

ADS61Bx9 アナログバッファ内蔵、14/12 ビット、250MSPS ADC

1 特長

- ハイインピーダンスアナログ入力バッファを内蔵
- 最大サンプルレート: 250MSPS
- 14ビット分解能 – ADS61B49
- 12ビット分解能 – ADS61B29
- 250MSPS で総消費電力 790mW
- ダブルデータレート (DDR) LVDS とパラレル CMOS 出力オプション
- 信号対雑音比 (SNR) と SFDR のトレードオフと $1V_{pp}$ フルスケール動作のための最大 6dB のプログラマブルなゲイン微調整
- DC オフセット補正
- 最小 400mV_{PP} 差動の入力クロック振幅をサポート
- 48-QFN パッケージ (7mm × 7mm)
- ADS6149 ファミリーとピン互換

2 アプリケーション

- マルチキャリア、広帯域通信
- ワイヤレス マルチキャリア通信インフラ
- ソフトウェア無線
- パワー アンプ線形化帰還 ADC
- 802.16d/e
- テストおよび計測機器
- 高精細ビデオ
- 医療用画像処理
- レーダー システム

3 説明

ADS61B49 (ADS61B29) は、最高 250MSPS のサンプリング レートをサポートする 14 ビット (12 ビット) A/D コンバータです。高いダイナミック性能と低消費電力を小型の 48-QFN パッケージで組み合わせています。内蔵アナログ バッファを備えているため、マルチキャリアの広帯域通信アプリケーションに適しています。このバッファは、広い周波数範囲にわたって一定の性能と入力インピーダンスを維持します。

ADS61B49 (ADS61B29) には微調整できるゲイン オプションがあり、より低いフルスケール入力範囲において SFDR 性能を向上させるために使用できます。dc オフセット補正ループが組み込まれており、ADC オフセットを打ち消すため使用できます。ダブル データ レート (DDR) LVDS とパラレル CMOS デジタル出力インターフェイスの両方が利用可能です。サンプリング レートが低い場合、ADC はスケール ダウンされた消費電力で自動的に動作し、性能が低下することはありません。

内部リファレンス電圧が搭載されており、従来使用されてきた基準電圧用のピンと、関連するデカップリング コンデンサは除去されています。このデバイスは、工業用温度範囲の $-40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ で動作が規定されています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)
ADS61B49	RGZ (QFN-48)	7.0mm × 7.0mm
ADS61B29	RGZ (QFN-48)	7.0mm × 7.0mm

- (1) 最新のパッケージおよび注文情報については、[セクション 10](#) を参照してください。
- (2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

製品情報

	アナログ バッファ	250 MSPS	210 MSPS
ADS614x 14 ビット ファミリー	なし	ADS6149	ADS6148
	あり	ADS61B49	
ADS612Xx 12 ビット ファミリー	なし	ADS6129	ADS6128
	あり	ADS61B29	

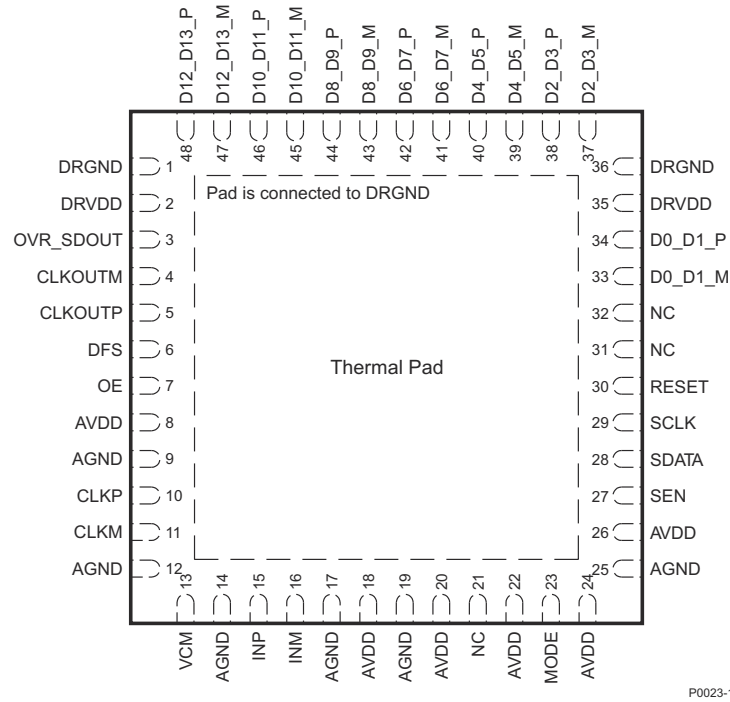


目次

1 特長	1	5.11 輪郭プロット - ADS61B49 / ADS61B29.....	26
2 アプリケーション	1	5.12 輪郭プロット - ADS61B49.....	27
3 説明	1	5.13 輪郭プロット - ADS61B29.....	28
4 ピン構成および機能	3	6 詳細説明	29
4.1 ピン構成と機能 (LVDS モード) — ADS61B49 と ADS61B29.....	3	6.1 機能ブロック図.....	29
4.2 ピン構成と機能 (CMOS モード) — ADS61B49 と ADS61B29.....	5	6.2 機能説明.....	30
5 仕様	8	6.3 シリアルレジスタ マップ.....	36
5.1 絶対最大定格.....	8	7 アプリケーションと実装	41
5.2 推奨動作条件.....	8	7.1 使用上の注意.....	41
5.3 電気的特性 - ADS61B49 と ADS61B29.....	9	8 デバイスおよびドキュメントのサポート	56
5.4 電気的特性 - ADS61B49 と ADS61B29.....	10	8.1 サード・パーティ製品に関する免責事項.....	56
5.5 電気的特性 - ADS61B49 と ADS61B29.....	11	8.2 ドキュメントの更新通知を受け取る方法.....	56
5.6 デジタル特性 – ADS61B49 と ADS61B29.....	12	8.3 サポート・リソース.....	56
5.7 タイミング要件 – LVDS および CMOS モード.....	13	8.4 商標.....	56
5.8 代表的特性 - ADS61B49.....	17	8.5 静電気放電に関する注意事項.....	56
5.9 代表的特性 - ADS61B29.....	21	8.6 用語集.....	56
5.10 代表的特性 — 共通プロット (ADS61B49/61B29 の両方).....	25	9 改訂履歴	57
		10 メカニカル、パッケージ、および注文情報	58

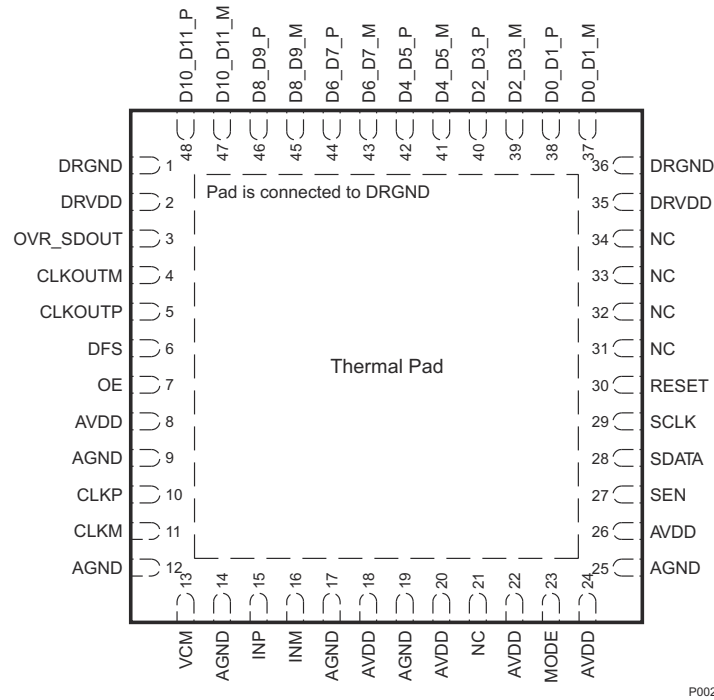
4 ピン構成および機能

4.1 ピン構成と機能 (LVDS モード) — ADS61B49 と ADS61B29



P0023-12

図 4-1. ピン構成 (LVDS モード) — ADS61B49



P0023-13

図 4-2. ピン構成 (LVDS モード) — ADS61B29

表 4-1. ピンの機能

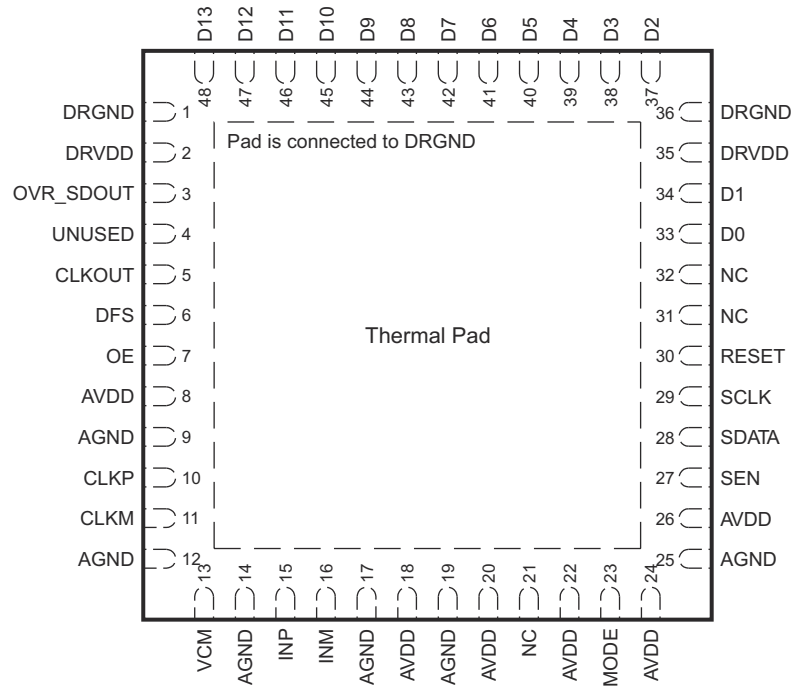
ピン		I/O	ピン数	説明	
名称	番号				
AVDD	8, 18, 20, 22, 24, 26	I	6	3.3V アナログ電源	
AGND	9, 12, 14, 17, 19, 25	I	6	アナログ グランド	
CLKP, CLKM	10, 11	I	2	差動クロック入力	
INP, INM	15, 16	I	2	差動アナログ入力	
VCM	13	IO	1	内部リファレンス モード – 同相電圧出力。 外部リファレンス モード – リファレンス入力。このピンに強制的に印加する電圧で、内部リファレンスを設定します。	
リセット	30	I	1	シリアル インターフェース リセット入力。 シリアル インターフェース モードを使用する場合、このピンに High に向かうパルスを印加するか、ソフトウェア リセット オプションを使用して、ハードウェアリセットを行い内部レジスタを初期化する必要があります。シリアル インターフェースのセクションを参照してください。 パラレル インターフェース モードでは、リセット ピンを永続的に High に接続する必要があります。(このモードでは、SDATA と SEN をパラレルのピン制御として使用します。) このピンには、内部に 100kΩ プルダウン抵抗を設置しています。	
SCLK	29	I	1	シリアル インターフェース クロック入力。このピンには、内部に 100kΩ プルダウン抵抗を設置しています。	
SDATA	28	I	1	このピンは、リセットが Low の場合はシリアル インターフェースのデータ入力として機能します。リセットを High に接続している場合、パワーダウン制御ピンとして機能します。 詳細については、表 6-3 を参照してください。 このピンには、内部に 100kΩ プルダウン抵抗を設置しています。	
SEN	27	I	1	リセットが Low の場合は、このピンはシリアル インターフェース イネーブル入力として機能します。 リセットを HIGH に接続している場合、出力クロック エッジの制御として機能します。詳細については、表 6-4 を参照してください。 このピンには、内部に AVDD への 100kΩ のプルアップ抵抗を設置しています。	
OE	7	I	1	出力バッファのイネーブル入力、アクティブ High。このピンには、内部に DRVDD への 100kΩ のプルアップ抵抗を設置しています。	
DFS	6	I	1	データフォーマット選択入力。このピンで、データフォーマット (2 の補数またはオフセット バイナリ) と LVDS/CMOS 出力インターフェースのタイプを設定します。 詳細については、表 6-5 を参照してください。	
モード ⁽¹⁾	23	I	1	未使用。詳細については、表 6-6 と以下の注釈をご覧ください。	
CLKOUTP	5	O	1	差動出力クロック、正相	
CLKOUTM	4	O	1	差動出力クロック、逆相	
D0_D1_P	図 4-1 および図 4-2 を参照	O	1	差動出力データ D0 と D1 を多重化、正相	
D0_D1_M		O	1	差動出力データ D0 と D1 を多重化、逆相	
D2_D3_P		O	1	差動出力データ D2 と D3 を多重化、正相	
D2_D3_M		O	1	差動出力データ D2 と D3 を多重化、逆相	
D4_D5_P		O	1	差動出力データ D4 と D5 を多重化、正相	
D4_D5_M		O	1	差動出力データ D4 と D5 を多重化、逆相	
D6_D7_P		O	1	差動出力データ D6 と D7 を多重化、正相	
D6_D7_M		O	1	差動出力データ D6 と D7 を多重化、逆相	
D8_D9_P		O	1	差動出力データ D8 と D9 を多重化、正相	
D8_D9_M		O	1	差動出力データ D8 と D9 を多重化、逆相	
D10_D11_P		O	1	差動出力データ D10 と D11 を多重化、正相	
D10_D11_M		O	1	差動出力データ D10 と D11 を多重化、逆相	
D12_D13_P		O	1	差動出力データ D12 と D13 を多重化、正相	
D12_D13_M		O	1	差動出力データ D12 と D13 を多重化、逆相	
OVR_SDOUT		3	O	1	これは CMOS 出力で、そのロジックレベルは DRVDD 電源で決まります。リセット後にレジスタ ビット <SERIAL READOUT> = 0 の場合、範囲外インジケータとして機能します。レジスタ ビット <SERIAL READOUT> = 1 の場合、シリアル レジスタ読み出しピンとして機能します。

表 4-1. ピンの機能 (続き)

ピン		I/O	ピン数	説明
名称	番号			
DRVDD	2, 35	I	2	1.8V デジタルおよび出力バッファの電源
DRGND	1, 36, PAD	I	2	デジタルおよび出力バッファのグラウンド
NC	図 4-1 および 図 4-2 を参照			接続しない

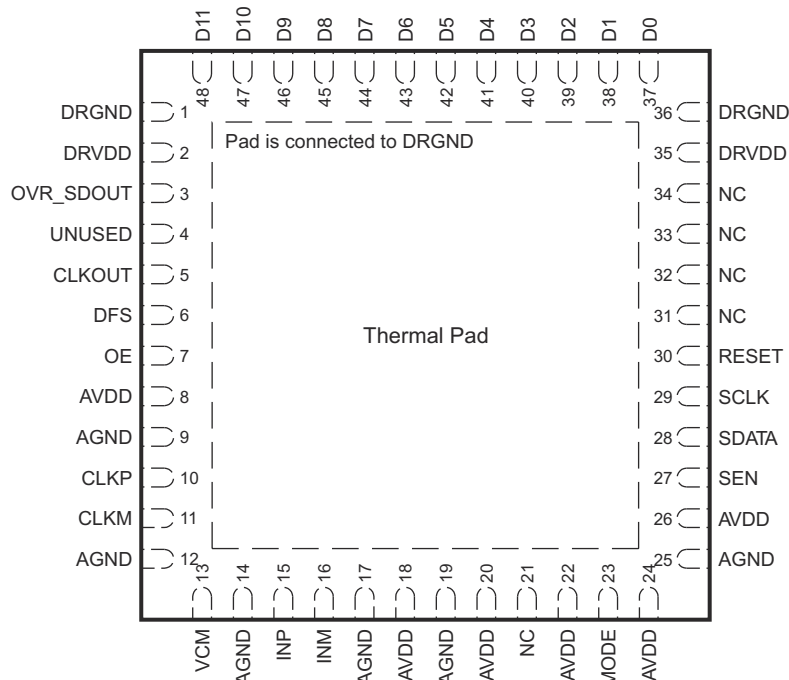
- (1) ピン互換の次世代 ADC ファミリーでは、モードは特定の予約機能のデジタル制御ピンに変換されます。そのためモードの使用には、内部または外部リファレンスの選択と低速機能がサポートされています。ADS61x9/x8 を使用するシステム ボードでは、モード ピンをデジタル コントローラに配線できます。これで次世代 ADC に移行する場合にボードの変更を回避できます。

4.2 ピン構成と機能 (CMOS モード) – ADS61B49 と ADS61B29



P0023-14

図 4-3. ピン構成 (CMOS モード) – ADS61B49



P0023-15

図 4-4. ピン構成 (CMOS モード) – ADS61B29

表 4-2. ピンの機能

ピン		I/O	ピン数	説明
名称	番号			
AVDD	8、18、20、22、24、26	I	6	3.3V アナログ電源
AGND	9、12、14、17、19、25	I	6	アナログ グランド
CLKP、CLKM	10、11	I	2	差動クロック入力
INP、INM	15、16	I	2	差動アナログ入力
VCM	13	IO	1	内部リファレンス モード – 同相電圧出力。 外部リファレンス モード – リファレンス入力。このピンに強制的に印加する電圧で、内部リファレンスを設定します。
リセット	30	I	1	シリアル インターフェースリセット入力。 シリアル インターフェース モードを使用する場合、このピンに High に向かうパルス印加するか、ソフトウェアリセット オプションを使用して、ハードウェアリセットを行い内部レジスタを初期化する必要があります。シリアル インターフェースのセクションを参照してください。 パラレル インターフェース モードでは、リセット ピンを永続的に High に接続する必要があります。(このモードでは、SDATA と SEN をパラレルのピン制御として使用します。) このピンには、内部に 100kΩ プルダウン抵抗を設置しています。
SCLK	29	I	1	シリアル インターフェース クロック入力。このピンには、内部に 100kΩ プルダウン抵抗を設置しています。
SDATA	28	I	1	このピンは、リセットが Low の場合はシリアル インターフェースのデータ入力として機能します。リセットを High に接続している場合、パワーダウン制御ピンとして機能します。 詳細については、表 6-3 を参照してください。 このピンには、内部に 100kΩ プルダウン抵抗を設置しています。

表 4-2. ピンの機能 (続き)

ピン		I/O	ピン数	説明
名称	番号			
SEN	27	I	1	リセットが Low の場合は、このピンはシリアル インターフェース イネーブル入力として機能します。リセットを High に接続している場合、出力クロック エッジの制御として機能します。詳細については、 表 6-4 を参照してください。 このピンには、内部に DVDD への 100kΩ のプルアップ抵抗を設置しています。
DFS	6	I	1	データ フォーマット選択入力。このピンで、データフォーマット (2 の補数またはオフセット バイナリ) と LVDS/CMOS 出力インターフェースのタイプを設定します。 詳細については、 表 6-5 を参照してください。
モード ⁽¹⁾	23	I	1	未使用。詳細については、 表 6-6 と以下の注釈をご覧ください。
CLKOUT	5	O	1	CMOS 出力クロック
OE	7	I	1	出力バッファのイネーブル入力、アクティブ High。このピンには、内部に DRVDD への 100kΩ のプルアップ抵抗を設置しています。
D0–D13	図 4-3 および 図 4-4 を参照	O	14/12	14 ビット / 12 ビット CMOS 出力データ
OVR_SDOOUT	3	O	1	これは CMOS 出力で、そのロジックレベルは DRVDD 電源で決まります。リセット後にレジスタビット <SERIAL READOUT> = 0 の場合、範囲外インジケータとして機能します。<SERIAL READOUT> = 1 の場合、シリアル レジスタ読み出しピンとして機能します。
DRVDD	2, 35	I	2	1.8V デジタルおよび出力バッファの電源
DRGND	1, 36, PAD	I	2	デジタルおよび出力バッファのグラウンド
未使用	4		1	CMOS モードでは未使用ピン
NC	図 4-3 および 図 4-4 を参照			接続しない

- (1) ピン互換の次世代 ADC ファミリーでは、モードは特定の予約機能のデジタル制御ピンに変換されます。そのためモードの使用には、内部または外部リファレンスの選択と低速機能がサポートされています。ADS61x9/x8 を使用するシステム ボードでは、モード ピンをデジタル コントローラに配線できます。これで次世代 ADC に移行する場合にボードの変更を回避できます。

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

	値	単位
電源電圧、AVDD	-0.3~3.9	V
電源電圧、DRVDD	-0.3~2.2	V
AGND と DRGND の間の電圧	-0.3~0.3	V
AVDD と DRVDD の間の電圧 (AVDD が DRVDD より先の場合)	0~3.3	V
DRVDD と AVDD の間の電圧 (DRVDD が AVDD より先の場合)	-1.5~1.8	V
アナログ入力ピンに印加される電圧 - INP、INM	-0.3 から最小値 (3.6、AVDD + 0.3)	V
入力ピンに印加される電圧 - CLKP、CLKM ⁽²⁾ 、RESET、SCLK、SDATA、SEN、DFS、MODE	-0.3 から (AVDD + 0.3)	V
T _A 動作温度範囲	-40~85	°C
T _J 最大動作接合部温度	125	°C
T _{stg} 保管温度範囲	-65~150	°C

- (1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみに関するものであり、絶対最大定格において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗黙的に示すものではありません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。
- (2) AVDD をオフにする場合は入力クロックをオフにすることを推奨します (または CLKP と CLKM の電圧が 0.3V 未満であることを確認してください)。これにより、クロック入力ピンの ESD 保護ダイオードがオンになるのが防止されます。

5.2 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位	
供給電圧						
AVDD	アナログ電源電圧	3	3.3	3.6	V	
DRVDD	デジタル電源電圧	1.7	1.8	1.9	V	
アナログ入力						
差動入力電圧範囲		2			V _{pp}	
入力同相電圧 (ADS6149 ファミリーとは異なる)		2.3±0.1			V	
入力振幅 2V _{pp} の最大アナログ入力周波数 ⁽¹⁾		500			MHz	
入力振幅 1V _{pp} の最大アナログ入力周波数 ⁽¹⁾		800			MHz	
クロック入力						
入力クロック サンプルレート		1		250	MSPS	
入力クロック振幅の差動 (V _{CLKP} —V _{CLKM})	AC 結合の正弦波	0.3	1.5		V _{pp}	
	AC 結合の LVPECL		1.6			
	AC 結合の LVDS		0.7		V	
	AC 結合のシングルエンド LVCMOS		3.3			
入力クロック デューティ サイクル		40%	50%	60%		
デジタル出力						
C _L	各出力ピンと DRGND の間の最大外部負荷容量	5			pF	
R _L	LVDS 出力ペア間の差動負荷抵抗 (LVDS モード)	100			Ω	
T _A	自由空気での動作温度	-40			85	°C

- (1) 「アプリケーション」セクションの「動作原理」を参照してください。

5.3 電気的特性 - ADS61B49 と ADS61B29

特に記述のない限り、標準値は 25°C、AVDD = 3.3V、DRVDD = 1.8V、50% クロック デューティ サイクル、-1 dBFS 差動アナログ入力、内部リファレンス モードにおける値です。

最小値と最大値は、 $T_{MIN} = -40^{\circ}C \sim T_{MAX} = 85^{\circ}C$ 、AVDD = 3.3V、DRVDD = 1.8V の全動作温度範囲にわたるものです

パラメータ	ADS61B49/ADS61B29 250MSPS			単位	
	最小値	標準値	最大値		
アナログ入力					
差動入力電圧範囲	2			V _{PP}	
差動入力抵抗 (DC 時)、 図 7-2 を参照	10			kΩ	
差動入力容量、 図 7-3 を参照	2			pF	
アナログ入力帯域幅	750			MHz	
アナログ入力同相モード電流 (入力ピンごと)	2			μA	
VCM の同相モード出力電圧 (ADS6149 ファミリとは異なる)	2.3			V	
VCM 出力電流能力	±4			mA	
DC 精度					
オフセット誤差	-15	±2	+15	mV	
オフセット誤差の温度係数	0.005			mV/°C	
電源によるオフセット誤差の変動	0.3			mV/V	
E _{GREF} 内部リファレンスの精度低下のみによるゲイン誤差	-2.5	±0.2	+2.5	%FS	
E _{GCHAN} チャンネルのみのゲイン誤差	0.2			%FS	
EGCHAN の温度係数	.001			Δ%/°C	
電源					
I _{AVDD} アナログ電源電流	200			mA	
I _{DRVDD}	出力バッファ電源電流、100Ω 外部終端付き LVDS インターフェイス	70			mA
	出力バッファ電源電流、CMOS インターフェイス F _{in} = 3MHz、10pF 外部負荷容量	56			mA
アナログ向け電源	660	730		mW	
デジタル電源 LVDS インターフェイス	130	160		mW	
デジタル電源 CMOS インターフェイス、F _{in} = 3MHz、10pF 外部負荷容量	101			mW	
グローバル パワー ダウン	20	75		mW	
スタンバイ	120			mW	

5.4 電気的特性 - ADS61B49 と ADS61B29

特に記述のない限り、標準値は 25°C、AVDD = 3.3V、DRVDD = 1.8V、50% クロック デューティ サイクル、-1 dBFS 差動アナログ入力、内部リファレンス モードにおける値です。

最小値と最大値は、T_{MIN} = -40°C ~ T_{MAX} = 85°C、AVDD = 3.3V、DRVDD = 1.8V の全動作温度範囲にわたるものです

パラメータ		ADS61B49 250MSPS			ADS61B29 250MSPS			単位
		最小 値	標準 値	最大 値	最小 値	標準 値	最大 値	
SNR 信号対雑音比、LVDS	F _{in} = 20MHz	72.3			70.1			dBFS
	F _{in} = 80MHz	72			69.8			
	F _{in} = 100MHz	71.6			69.6			
	F _{in} = 170MHz	68.5	70.7		66.5	69		
	F _{in} = 300MHz	69			67.8			
SINAD 信号対雑音比と歪み比、LVDS	F _{in} = 20MHz	72.5			70.3			dBFS
	F _{in} = 80MHz	71.8			69.7			
	F _{in} = 100MHz	71.6			69.5			
	F _{in} = 170MHz	67.5	70		65.7	68.4		
	F _{in} = 300MHz	67.1			66.3			
ENOB 有効ビット数	F _{in} = 170MHz (SINAD (dBFS) を使用)		11.3		11.1		LSB	
DNL 差動非直線性		-0.95	±0.4	1	-0.5	±0.2	1	LSB
INL 積分非直線性		-5	±2	5	-2.5	±1	2.5	LSB

5.5 電気的特性 - ADS61B49 と ADS61B29

特に記述のない限り、標準値は 25°C、AVDD = 3.3V、DRVDD = 1.8V、50% クロック デューティ サイクル、-1 dBFS 差動アナログ入力、内部リファレンス モードにおける値です。

最小値と最大値は、 $T_{MIN} = -40^{\circ}C \sim T_{MAX} = 85^{\circ}C$ 、AVDD = 3.3V、DRVDD = 1.8V の全動作温度範囲にわたるものです

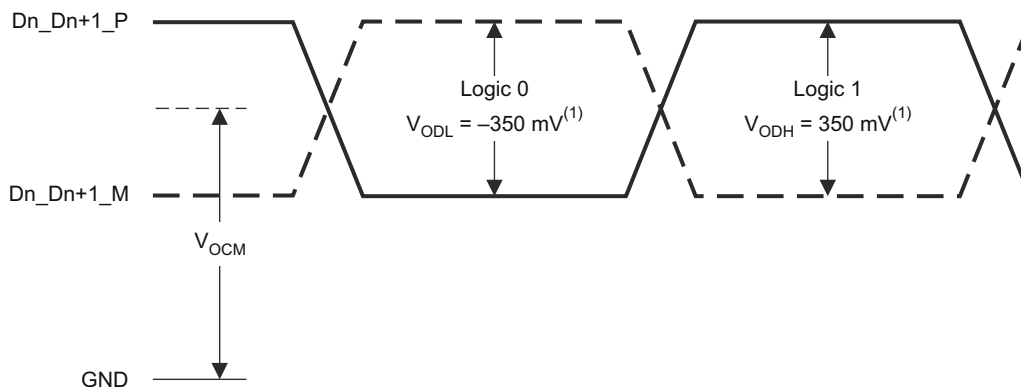
パラメータ		ADS61B49/ADS61B29 250MSPS		単位
		最小値	標準値	
SFDR スプリアス フリー ダイナミックレンジ	$F_{in} = 20MHz$	92		dBc
	$F_{in} = 80MHz$	86		
	$F_{in} = 100MHz$	86		
	$F_{in} = 170MHz$ (すべてのスプリアス / 高調波)	74	84	
	$F_{in} = 170MHz$ (2 次高調波を除く)	77	87	
	$F_{in} = 300MHz$	76		
THD 全高調波歪み	$F_{in} = 20MHz$	89		dBc
	$F_{in} = 80MHz$	83		
	$F_{in} = 100MHz$	82		
	$F_{in} = 170MHz$	72	79	
	$F_{in} = 300MHz$	73		
HD2、 2 次高調波歪み	$F_{in} = 20MHz$	94		dBc
	$F_{in} = 80MHz$	90		
	$F_{in} = 100MHz$	88		
	$F_{in} = 170MHz$	74	84	
	$F_{in} = 300MHz$	76		
HD3 3 次高調波歪み	$F_{in} = 20MHz$	93		dBc
	$F_{in} = 80MHz$	86		
	$F_{in} = 100MHz$	85		
	$F_{in} = 170MHz$	77	87	
	$F_{in} = 300MHz$	76		
最大スプリアス 2 次、3 次高調波以外	$F_{in} = 20MHz$	96		dBc
	$F_{in} = 80MHz$	94		
	$F_{in} = 100MHz$	94		
	$F_{in} = 170MHz$	80	92	
	$F_{in} = 300MHz$	90		
IMD 2 トーンの相互変調歪み	$F1 = 46MHz$ 、 $F2 = 50MHz$ 、 各トーンは -7dBFS で	94		dBFS
	$F1 = 185MHz$ 、 $F2 = 190MHz$ 、 各トーンは -7dBFS で	90		
入力過負荷復帰	正弦波入力による 6dB 過負荷の場合、(最終値の) 1% 以内に復帰	1		クロック サイ クル
PSRR AC 電源除去比	AVDD 電源で 100mV _{pp} 信号の場合	25		dB

5.6 デジタル特性 – ADS61B49 と ADS61B29

DC仕様とは、デジタル出力がスイッチングせず、有効なロジックレベル 0 または 1 に永続的に留まる状態を指します。AVDD = 3.3V、DRVDD = 1.8V

パラメータ	テスト条件	ADS61B49/ADS61B29			単位
		最小値	標準値	最大値	
デジタル入力 – RESET、SCLK、SDATA、SEN⁽¹⁾					
High レベル入力電圧	すべてのデジタル入力は 1.8V と 3.3V の CMOS ロジックレベルをサポートしています	1.3			V
Low レベル入力電圧		0.4			V
High レベル入力電流	SDATA、SCLK ⁽²⁾	16			μA
	SEN ⁽³⁾	10			
Low レベル入力電流	SDATA、SCLK	0			μA
	SEN	-20			
入力容量		4			pF
デジタル出力 – CMOS インターフェイス (ピン D0 ~ D13 と OVR_SDOOUT)					
High レベル出力電圧	$I_{OH} = 1\text{mA}$ で	DRVDD - 0.1	DRVDD	V	
Low レベル出力電圧	$I_{OL} = 1\text{mA}$ で	0	0.1	V	
出力キャパシタンス (デバイス内部)		2			pF
デジタル出力 – LVDS インターフェイス (ピン D0_D1_P/M ~ D12_D13_P/M)⁽⁵⁾					
V_{ODH} 、High レベル出力電圧 ⁽⁴⁾		275	350	425	mV
V_{ODL} 、Low レベル出力電圧 ⁽⁴⁾		-425	-350	-275	mV
V_{OCM} 、同相モード出力電圧	いずれかの出力からグラウンドに至るまでの、デバイス内部の静電容量	1	1.2	1.3	V
出力容量		2			pF

- (1) SCLK、SDATA、SEN は、シリアル構成モードでデジタル入力ピンとして機能します。
- (2) SDATA、SCLK には、内部に 200kΩ プルダウン抵抗を設置しています。
- (3) SEN には、内部に AVDD への 100kΩ プルアップ抵抗を設置しています。
- (4) 外部 100Ω 終端抵抗付き
- (5) OVR_SDOOUT の CMOS 出力ロジックレベルは、DRVDD 電圧で決まります。



T0399-01

図 5-1. LVDS の電圧レベル

5.7 タイミング要件 – LVDS および CMOS モード

特に記述のない限り、代表値は 25°C、AVDD = 3.3V、DRVDD = 1.8V、サンプリング周波数 = 250MSPS、正弦波入力クロック、 $C_{LOAD} = 5pF^{(2)}$ 、 $R_{LOAD} = 100\Omega^{(3)}$ 、低速度モード無効でのものです。
最小値と最大値は、全動作温度範囲 ($T_{MIN} = -40^{\circ}C \sim T_{MAX} = 85^{\circ}C$)、AVDD = 3.3V、DRVDD = 1.7V ~ 1.9V におけるものです。
(1)

パラメータ	テスト条件	最小値	標準値	最大値	単位		
t_a	アパーチャの遅延	0.7	1.2	1.7	ns		
t_j	アパーチャ ジッタ		170		fs rms		
ウェークアップ時間	STANDBY モードから出た後の有効なデータに対する時間		0.3	1	μs		
	PDN GLOBAL モードから出た後の有効なデータに対する時間		25	100			
	入力クロックの停止と再起動後の有効なデータに対する時間		10		クロック サイクル		
ADC レイテンシ ⁽⁸⁾	デフォルト、リセット後		18		クロック サイクル		
DDR LVDS モード ⁽⁴⁾							
t_{su}	データ セットアップ時間	データ有効 ⁽⁵⁾ から CLKOUTP のゼロ交差まで		0.8	1.2	ns	
t_h	データ ホールド時間	CLKOUT のゼロ交差からデータ無効 ⁽⁵⁾ まで		0.25	0.6	ns	
t_{PDI}	クロックの伝搬遅延	入力クロックの立ち上がりエッジクロスオーバーから出力クロックの立ち上がりエッジクロスオーバー		$0.2 \times t_s + t_{DELAY}$		ns	
t_{delay}		80MSPS ≤ サンプリング周波数 ≤ 250MSPS		5	6.2	7.5	ns
	LVDS ビット クロック デューティ サイクル	差動クロックのデューティ サイクル、(CLKOUTP–CLKOUTM) 80MSPS ≤ サンプリング周波数 ≤ 250MSPS		52%			
t_{RISE} 、 t_{FALL}	データの立ち上がり時間、 データの立ち下がり時間	立ち上がり時間は –100mV ~ 100mV で測定 立ち下がり時間は –100 mV ~ 100mV で測定 1MSPS ≤ サンプリング周波数 ≤ 250MSPS		0.08	0.14	0.2	ns
$t_{CLKRISE}$ 、 $t_{CLKFALL}$	出力クロック立ち上がり時間、 出力クロック立ち下がり時間	立ち上がり時間は –100mV ~ 100mV で測定 立ち下がり時間は –100 mV ~ 100mV で測定 1MSPS ≤ サンプリング周波数 ≤ 250MSPS		0.08	0.14	0.2	ns
t_{OE}	出カインエーブル (OE) からデータまでの遅延	OE がアクティブになった後の有効データまでの時間		40		ns	
パラレル CMOS モード ⁽⁷⁾							
t_{START}	入力クロックからデータまでの遅延	入力クロックの立ち上がりエッジクロスオーバーからデータ有効開始まで ⁽⁶⁾		3.2		ns	
t_{DV}	データ有効時間	有効データの時間間隔 ⁽⁶⁾		0.7	1.5	ns	
t_{PDI}	クロックの伝搬遅延	入力クロックの立ち上がりエッジクロスオーバーから出力クロックの立ち上がりエッジクロスオーバー		$0.78 \times t_s + t_{DELAY}$		ns	
t_{delay}		80MSPS ≤ サンプリング周波数 ≤ 150MSPS		5	6.5	8	ns
	出力クロック デューティ サイクル	差動クロックのデューティ サイクル、(CLKOUT) 80MSPS ≤ サンプリング周波数 ≤ 150MSPS		50%			
t_{RISE} 、 t_{FALL}	データの立ち上がり時間、 データの立ち下がり時間	DRVDD の 20% ~ 80% から測定された立ち上がり時間、 DRVDD の 80% ~ 20% から測定された立ち下がり時間、 1MSPS ≤ サンプリング周波数 ≤ 250MSPS		0.7	1.2	2	ns
$t_{CLKRISE}$ 、 $t_{CLKFALL}$	出力クロック立ち上がり時間、 出力クロック立ち下がり時間	DRVDD の 20% ~ 80% から測定された立ち上がり時間、 DRVDD の 80% ~ 20% から測定された立ち下がり時間、 1MSPS ≤ サンプリング周波数 ≤ 150MSPS		0.5	1	1.5	ns
t_{OE}	出カインエーブル (OE) からデータまでの遅延	OE がアクティブになった後の有効データまでの時間		20		ns	

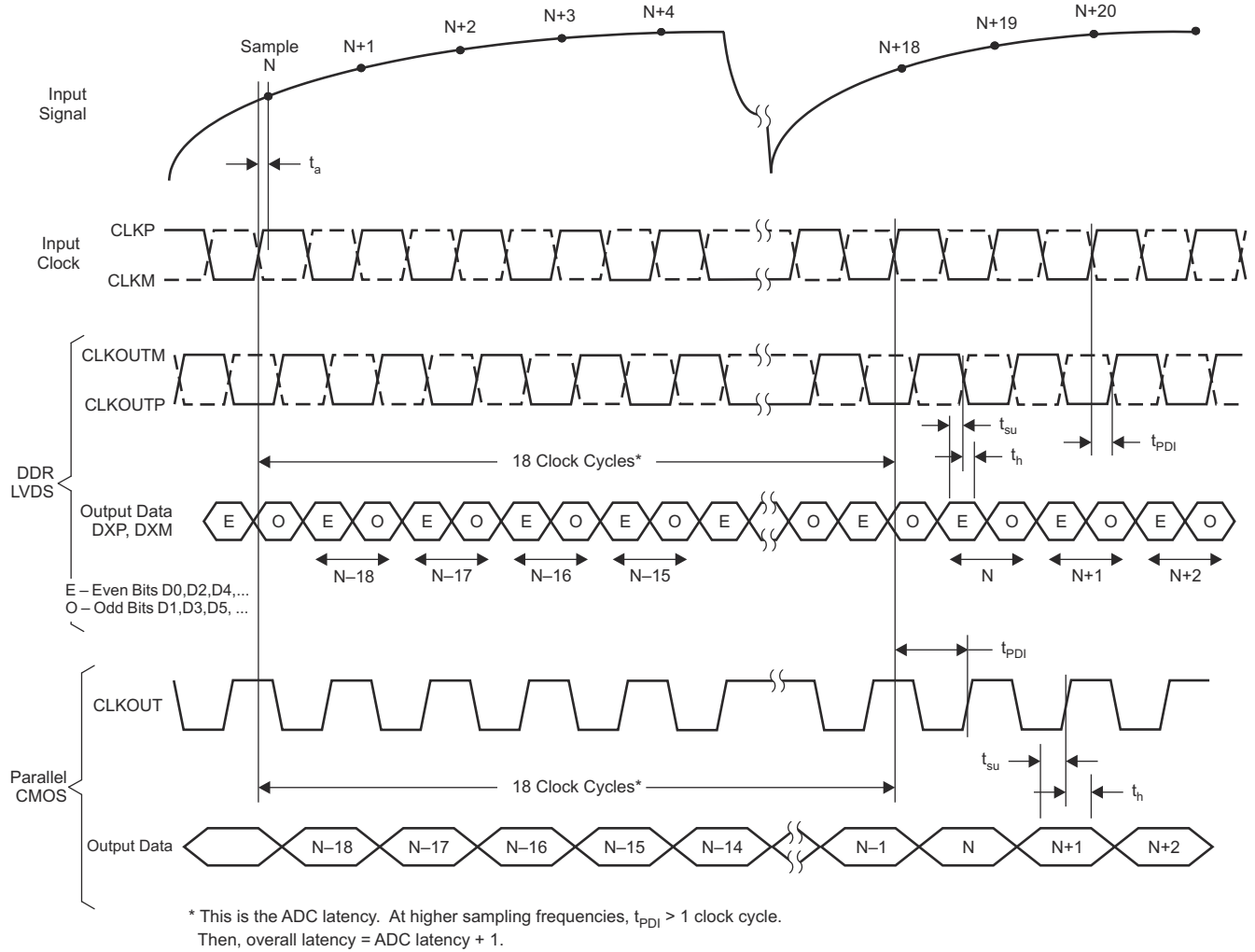
- (1) タイミング パラメータは設計および特性評価で規定される値であり、実製品のテストは行っていません。
- (2) C_{LOAD} は、各出力ピンとグランドとの間の実効的な外部シングルエンド負荷容量です
- (3) R_{LOAD} は、LVDS 出力ペア間の差動負荷抵抗です。
- (4) 測定は、デバイスと負荷の間の 100 Ω 特性インピーダンスの伝送ラインを使用して行っています。セットアップ時間とホールド時間の仕様では、出力データとクロックへのジッタの影響が考慮されます。
- (5) データ有効とは、+100mV のロジック "High" および–100mV のロジック "Low" を指します。
- (6) データ有効とは、1.26V のロジック "High" および 0.54V のロジック "Low" を指します。
- (7) $F_s > 150MSPS$ の場合、デバイス出力クロック信号 (CLKOUT) ではなく、データ キャプチャに外部クロックを使用することを推奨します。
- (8) より高い周波数では、 t_{PDI} は 1 クロック周期より大きく、全体のレイテンシは ADC レイテンシ + 1 です。

表 5-1. 低サンプリング周波数での LVDS タイミング

サンプリング周波数、MSPS	セットアップ時間、ns			ホールド時間、ns		
	最小値	標準値	最大値	最小値	標準値	最大値
210	1.0	1.4		0.4	0.8	
190	1.1	1.5		0.5	0.9	
170	1.3	1.7		0.7	1.1	
150	1.6	1.9		0.9	1.2	
125	1.9	2.2		1.1	1.4	
<80 低速モード有効化	2.5			2.0		
				t_{PD1}、ns		
				最小値	標準値	最大値
1 ≤ F _s ≤ 80、 低速モード有効化					8.2	

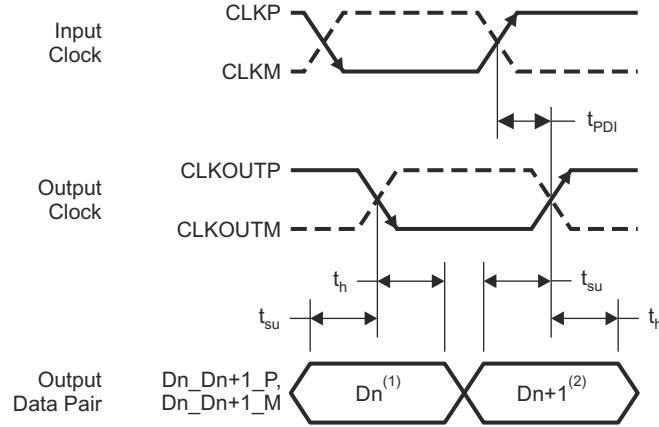
表 5-2. 低サンプリング周波数での CMOS タイミング

サンプリング周波数、MSPS	入力クロックに対して規定されたタイミング					
	t _{START} 、ns			データ有効時間、ns		
	最小値	標準値	最大値	最小値	標準値	最大値
210			1.7	1.6	2.4	
190			0.4	2.2	3.0	
170			5.1	2.4	3.6	
150			4.8	3.0	4.3	
サンプリング周波数、MSPS	CLKOUT に対して規定されたタイミング					
	セットアップ時間、ns			ホールド時間、ns		
	最小値	標準値	最大値	最小値	標準値	最大値
150	2.0	3.2		1.5	2.2	
125	2.9	4		2.2	2.7	
<80 低速モード有効化	5.0			3.8		
				t_{PD1}、ns		
				最小値	標準値	最大値
1 ≤ F _s ≤ 80、 低速モード有効化					14	



T0105-10

図 5-2. レイテンシの図

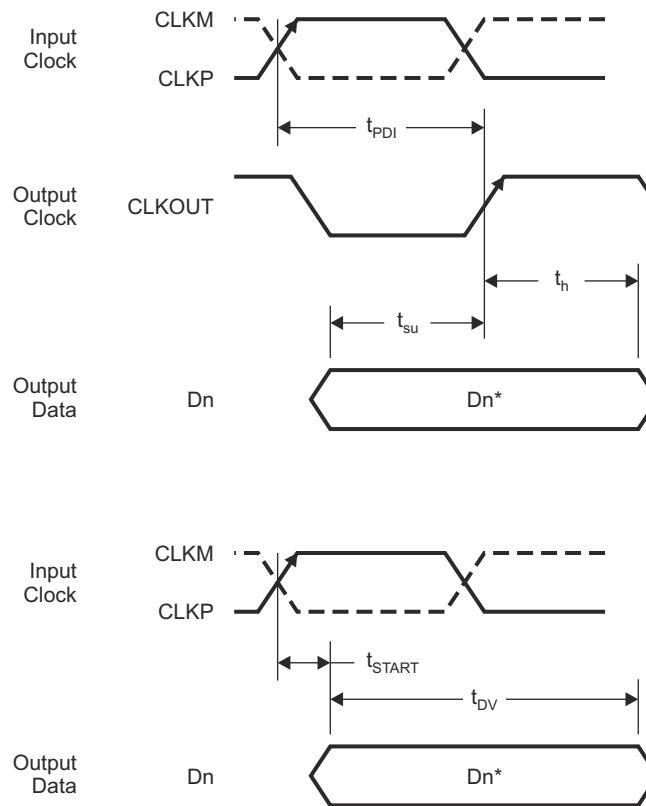


⁽¹⁾Dn – Bits D0, D2, D4,...

⁽²⁾Dn+1 – Bits D1, D3, D5, ...

T0106-07

図 5-3. LVDS モードのタイミング



*Dn – Bits D0, D1, D2, ...

T0107-05

図 5-4. CMOS モードのタイミング

5.8 代表的特性 - ADS61B49

すべてのプロットは、25°C、AVDD = 3.3V、DRVDD = 1.8V、最大定格サンプリング周波数、正弦波入力クロックのものです。1.5-V_{PP}の差動クロック振幅、50%のクロック デューティ サイクル、-1dBFSの差動アナログ入力、内部リファレンス モード、0dB ゲイン、LVDS 出力インターフェイス (特に記述のない限り)

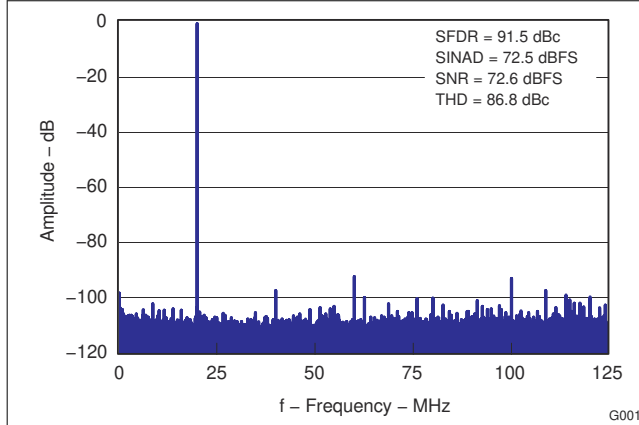


図 5-5. 20MHz 入力信号の FFT

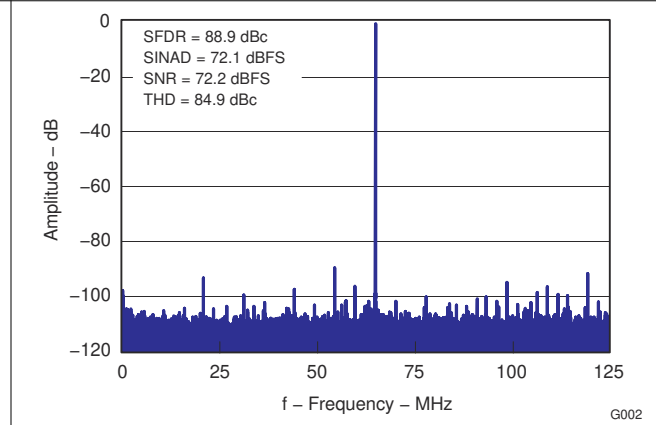


図 5-6. 65MHz 入力信号の FFT

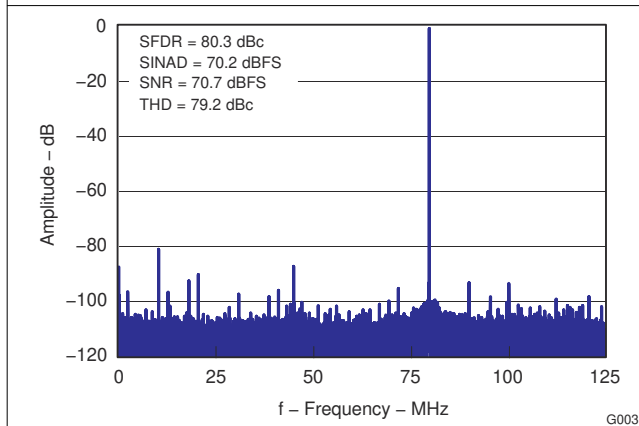


図 5-7. 170MHz 入力信号の FFT

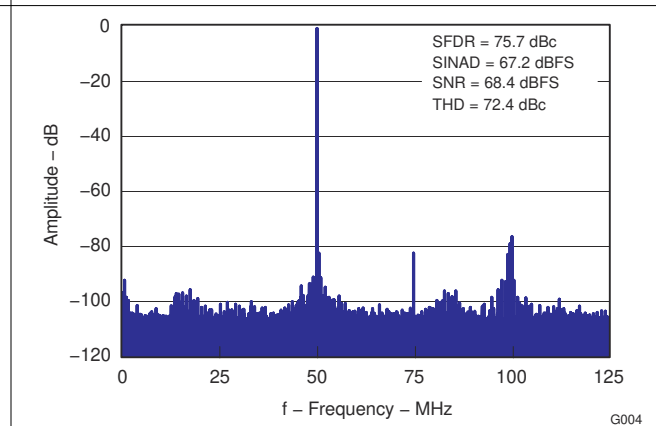


図 5-8. 300MHz 入力信号の FFT

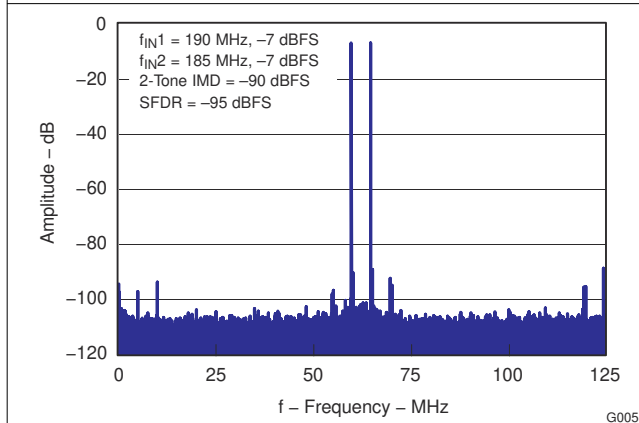


図 5-9. 2 トーン入力信号 (IMD) の FFT

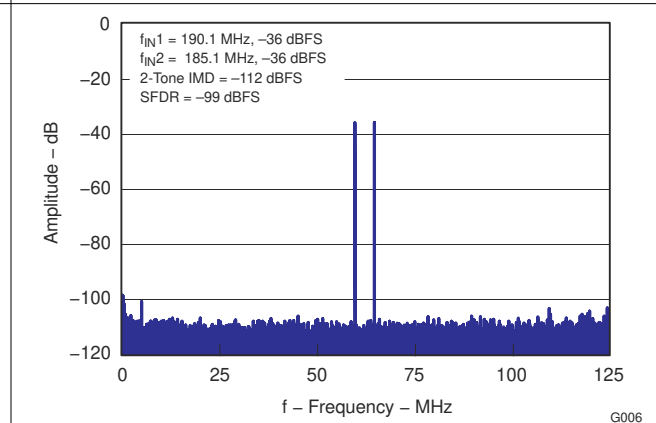


図 5-10. 2 トーン入力信号 (IMD) の FFT

5.8 代表的特性 - ADS61B49 (続き)

すべてのプロットは、25°C、AVDD = 3.3V、DRVDD = 1.8V、最大定格サンプリング周波数、正弦波入力クロックのものです。1.5-V_{PP}の差動クロック振幅、50%のクロック デューティ サイクル、-1dBFSの差動アナログ入力、内部リファレンス モード、0dB ゲイン、LVDS 出力インターフェイス (特に記述のない限り)

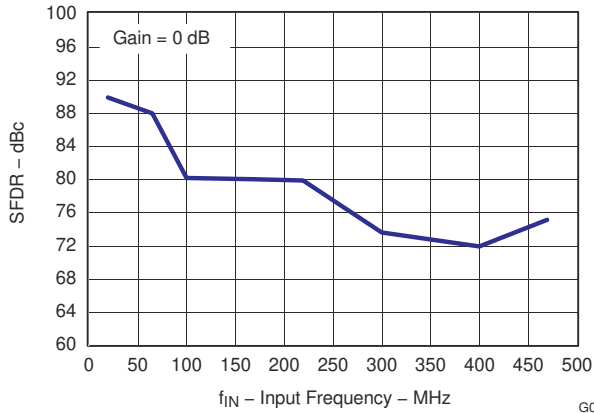


図 5-11. SFDR と入力周波数との関係

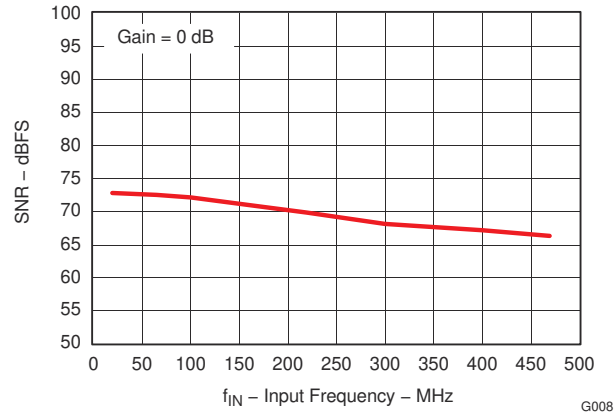


図 5-12. SNR と入力周波数との関係

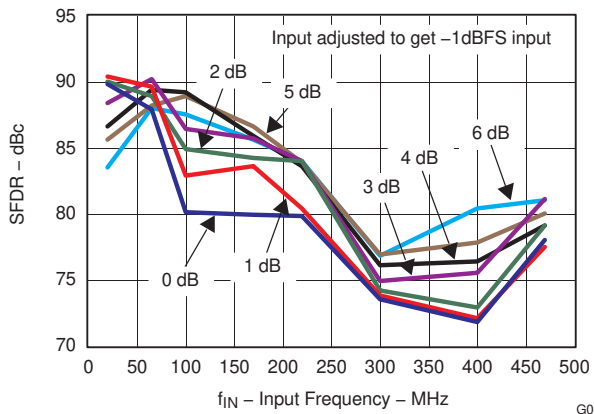


図 5-13. SFDR と入力周波数および内部ゲインとの関係

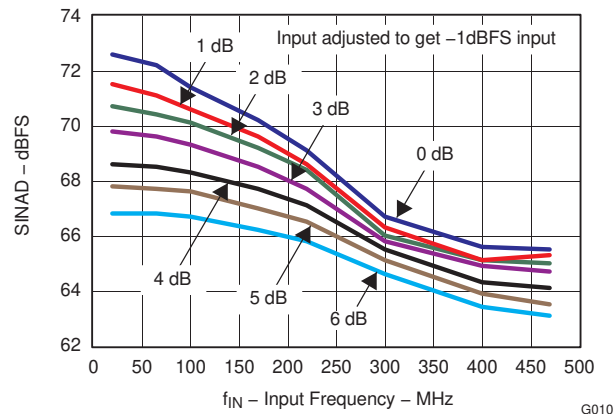


図 5-14. SINAD と入力周波数および内部ゲインとの関係

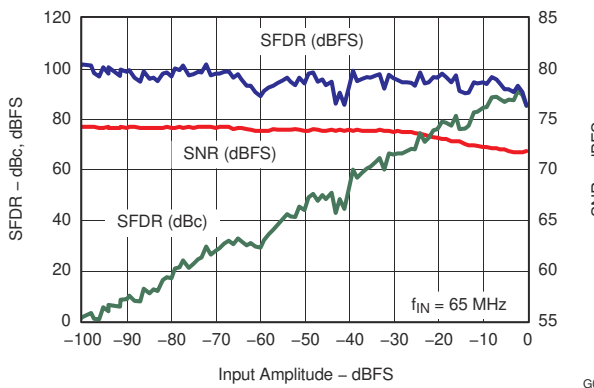


図 5-15. 性能と入力振幅との関係

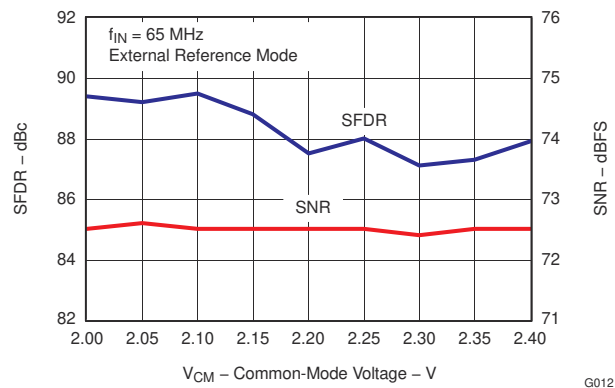


図 5-16. 性能と入力同相電圧との関係

5.8 代表的特性 - ADS61B49 (続き)

すべてのプロットは、25°C、AVDD = 3.3V、DRVDD = 1.8V、最大定格サンプリング周波数、正弦波入力クロックのものです。1.5-V_{PP}の差動クロック振幅、50%のクロック デューティ サイクル、-1dBFSの差動アナログ入力、内部リファレンス モード、0dB ゲイン、LVDS 出力インターフェイス (特に記述のない限り)

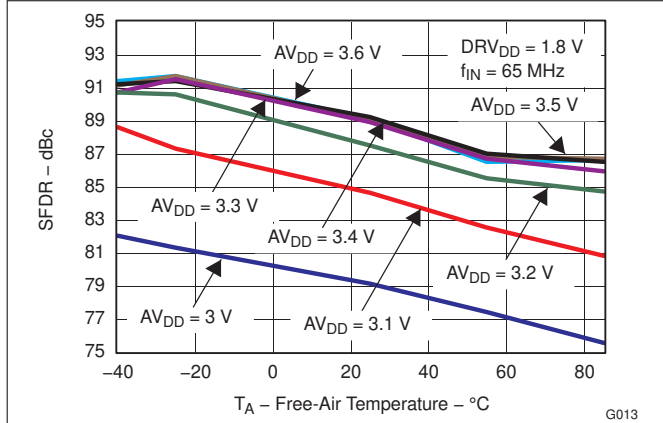


図 5-17. SFDR と温度との関係および AVDD

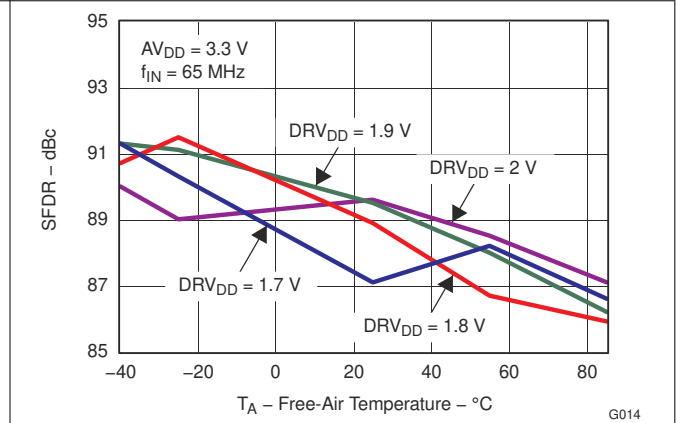


図 5-18. SFDR と温度との関係および DRVDD

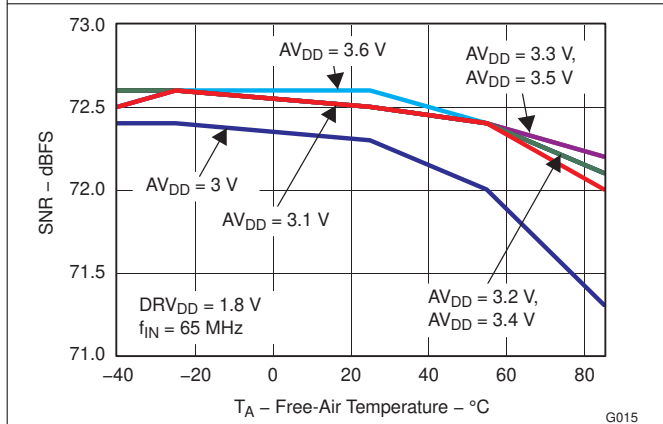


図 5-19. SNR と温度との関係および AVDD

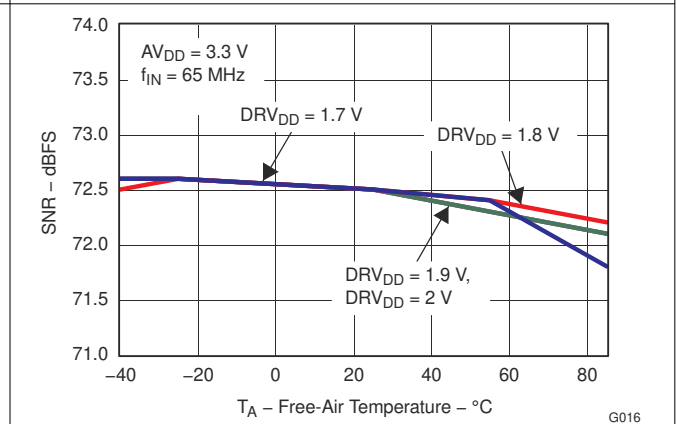


図 5-20. SNR と温度との関係および DRVDD

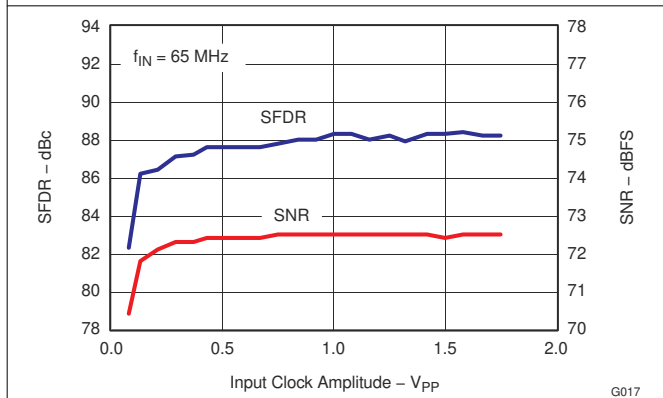


図 5-21. 性能と入力クロック振幅との関係

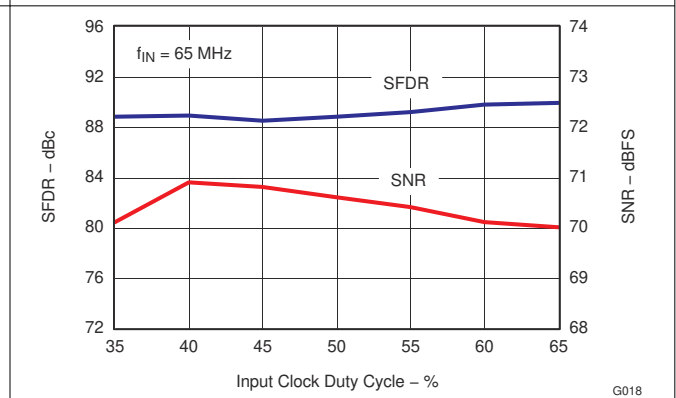


図 5-22. 性能と入力クロック デューティ サイクルとの関係

5.8 代表的特性 - ADS61B49 (続き)

すべてのプロットは、25°C、AVDD = 3.3V、DRVDD = 1.8V、最大定格サンプリング周波数、正弦波入力クロックのものです。1.5-V_{PP}の差動クロック振幅、50%のクロック デューティ サイクル、-1dBFSの差動アナログ入力、内部リファレンス モード、0dB ゲイン、LVDS 出力インターフェイス (特に記述のない限り)

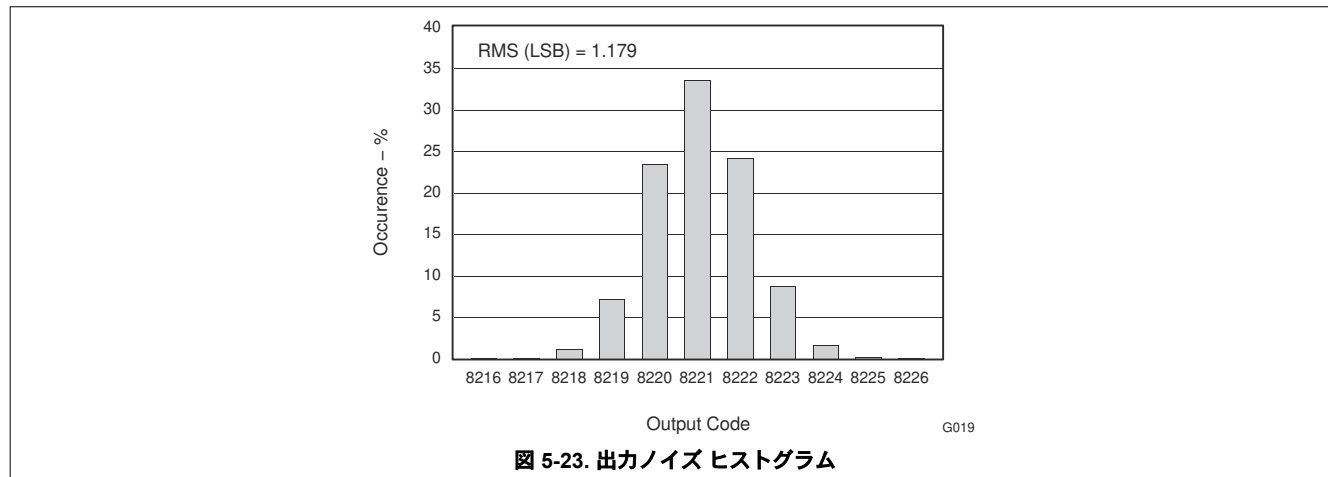


図 5-23. 出カノイズ ヒストグラム

5.9 代表的特性 - ADS61B29

すべてのプロットは、25°C、AVDD = 3.3V、DRVDD = 1.8V、最大定格サンプリング周波数、正弦波入力クロックのものです。1.5-V_{PP}の差動クロック振幅、50%のクロック デューティ サイクル、-1dBFSの差動アナログ入力、内部リファレンス モード、0dB ゲイン、LVDS 出力インターフェイス (特に記述のない限り)

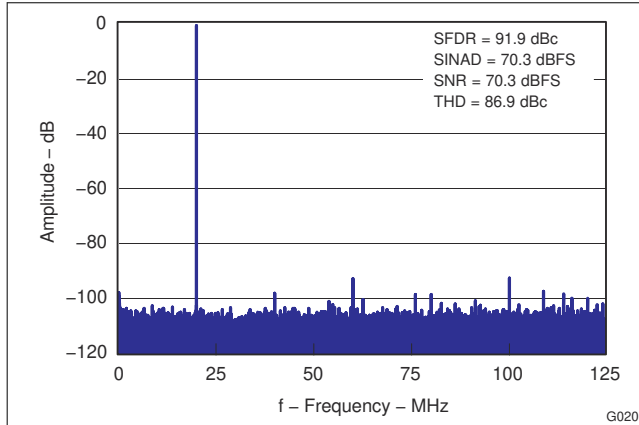


図 5-24. 20MHz 入力信号の FFT

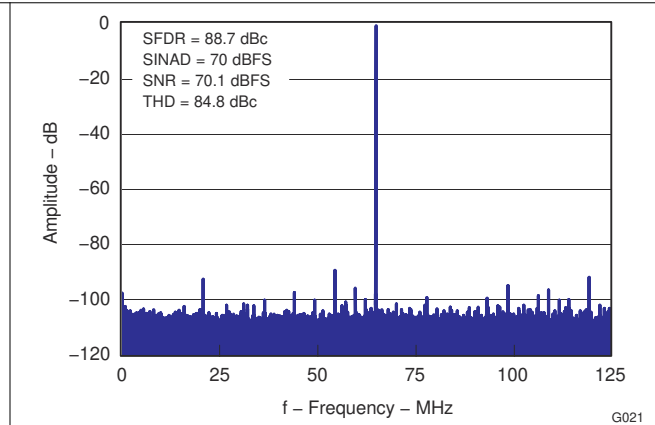


図 5-25. 65MHz 入力信号の FFT

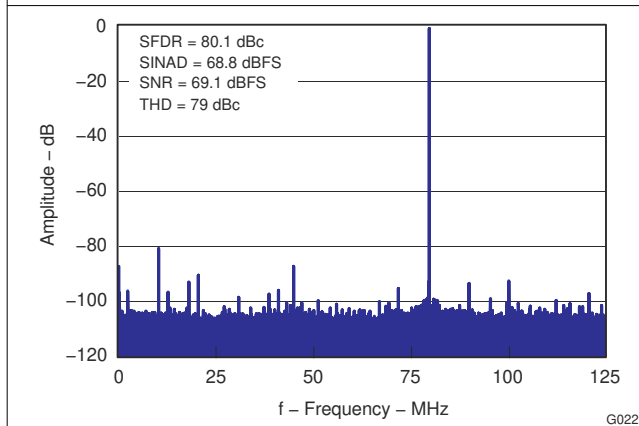


図 5-26. 170MHz 入力信号の FFT

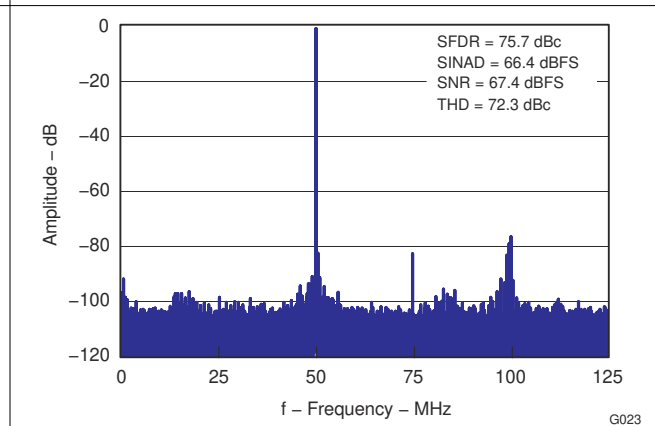


図 5-27. 300MHz 入力信号の FFT

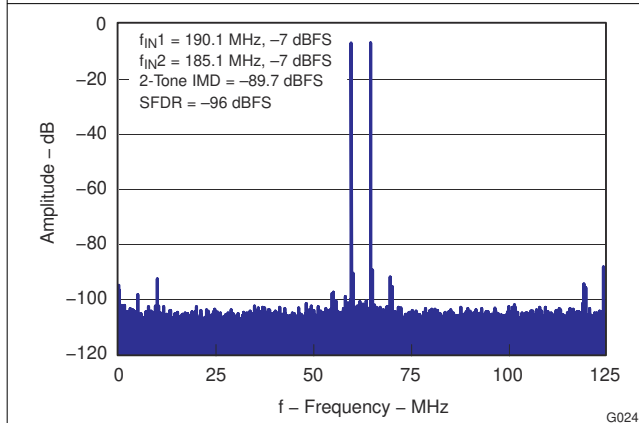


図 5-28. 2 トーン入力信号 (IMD) の FFT

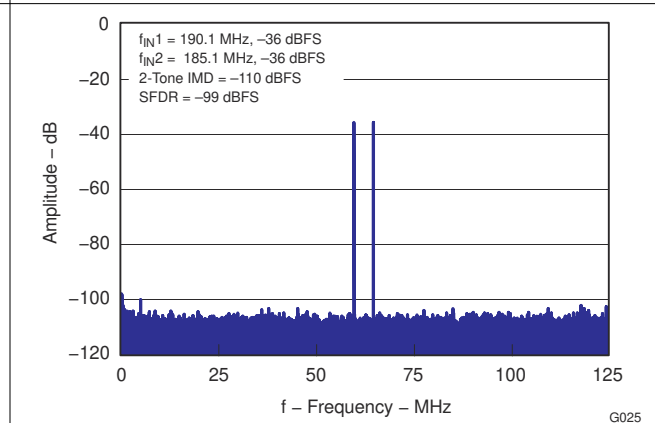


図 5-29. 2 トーン入力信号 (IMD) の FFT

5.9 代表的特性 - ADS61B29 (続き)

すべてのプロットは、25°C、AVDD = 3.3V、DRVDD = 1.8V、最大定格サンプリング周波数、正弦波入力クロックのものです。1.5-V_{PP}の差動クロック振幅、50%のクロック デューティ サイクル、-1dBFSの差動アナログ入力、内部リファレンス モード、0dB ゲイン、LVDS 出力インターフェイス (特に記述のない限り)

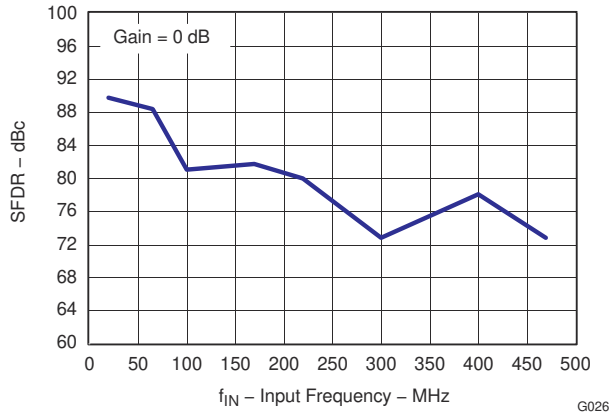


図 5-30. SFDR と入力周波数との関係

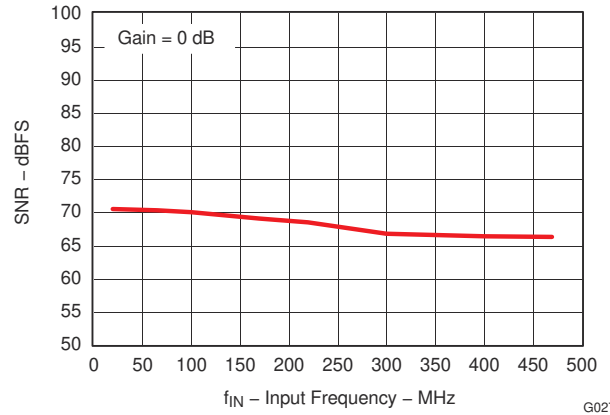


図 5-31. SNR と入力周波数との関係

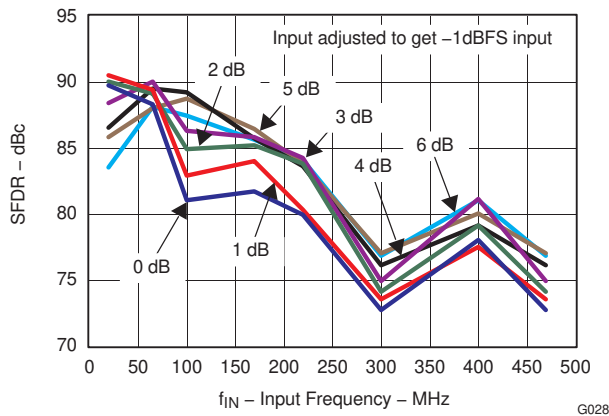


図 5-32. SFDR と入力周波数および内部ゲインとの関係

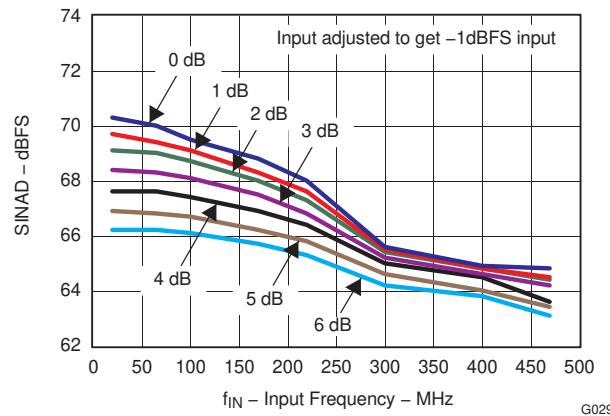


図 5-33. SINAD と入力周波数および内部ゲインとの関係

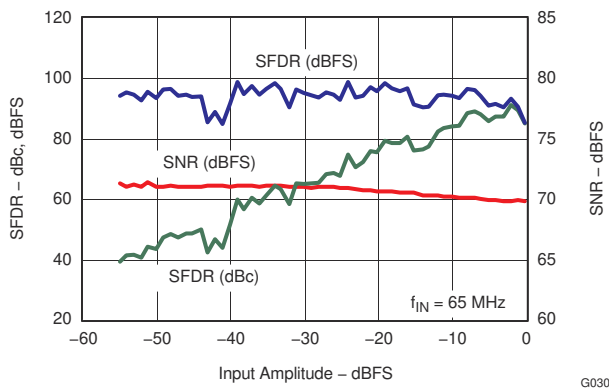


図 5-34. 性能と入力振幅との関係

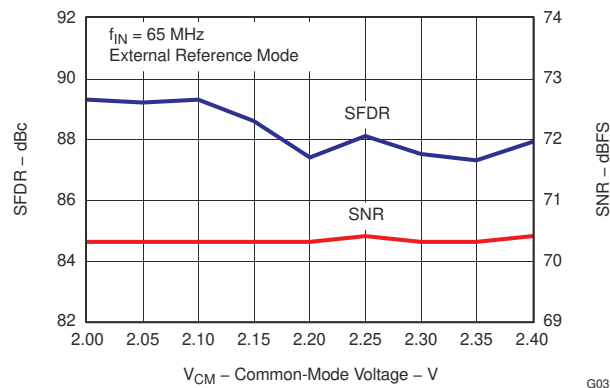


図 5-35. 性能と入力同相電圧との関係

5.9 代表的特性 - ADS61B29 (続き)

すべてのプロットは、25°C、AVDD = 3.3V、DRVDD = 1.8V、最大定格サンプリング周波数、正弦波入力クロックのものです。1.5-V_{PP}の差動クロック振幅、50%のクロック デューティ サイクル、-1DBFSの差動アナログ入力、内部リファレンス モード、0dB ゲイン、LVDS 出力インターフェイス (特に記述のない限り)

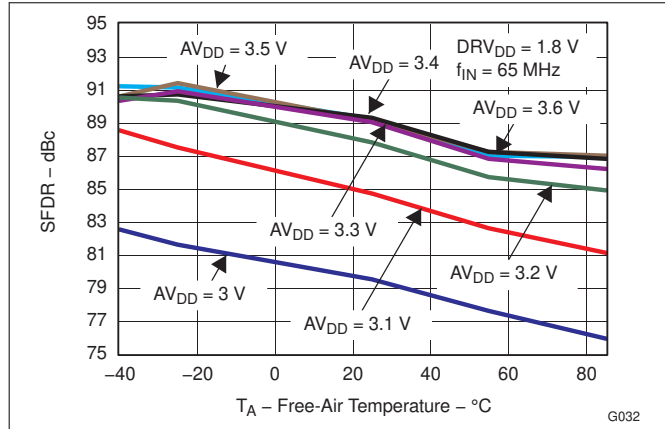


図 5-36. SFDR と温度との関係および AVDD

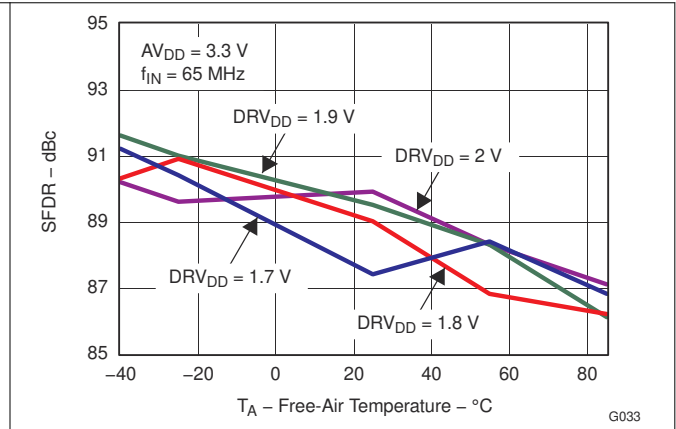


図 5-37. SFDR と温度との関係および DRVDD

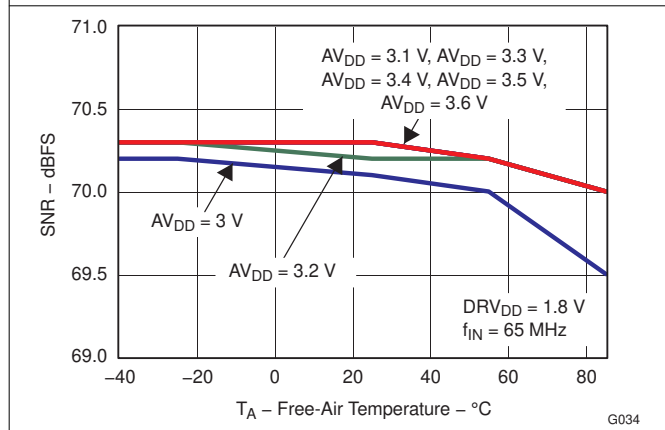


図 5-38. SNR と温度との関係および AVDD

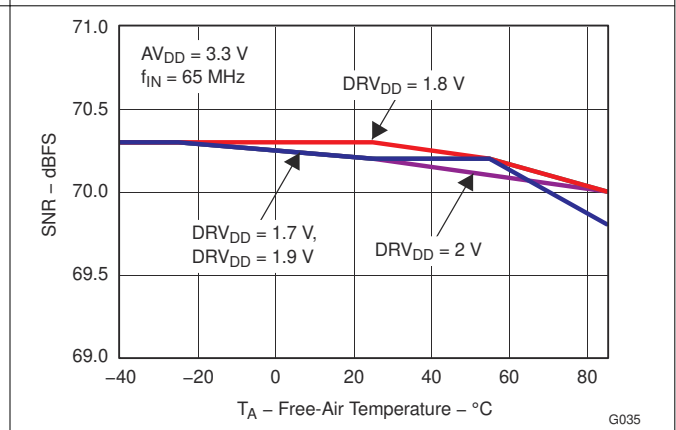


図 5-39. SNR と温度との関係および DRVDD

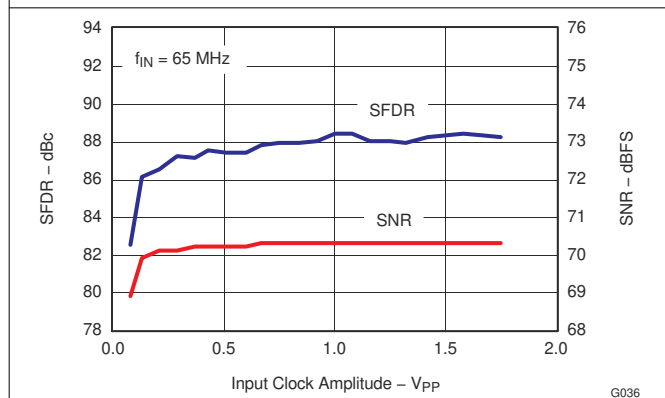


図 5-40. 性能と入力クロック振幅との関係

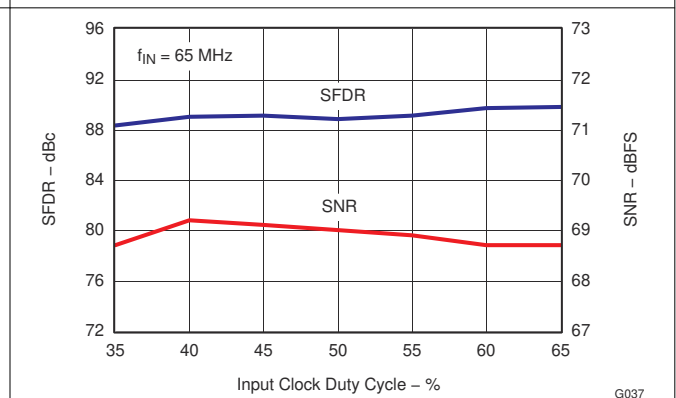


図 5-41. 性能と入力クロック デューティ サイクルとの関係

5.9 代表的特性 - ADS61B29 (続き)

すべてのプロットは、25°C、AVDD = 3.3V、DRVDD = 1.8V、最大定格サンプリング周波数、正弦波入力クロックのものです。1.5-V_{PP}の差動クロック振幅、50%のクロック デューティ サイクル、-1DBFSの差動アナログ入力、内部リファレンス モード、0dB ゲイン、LVDS 出力インターフェイス (特に記述のない限り)

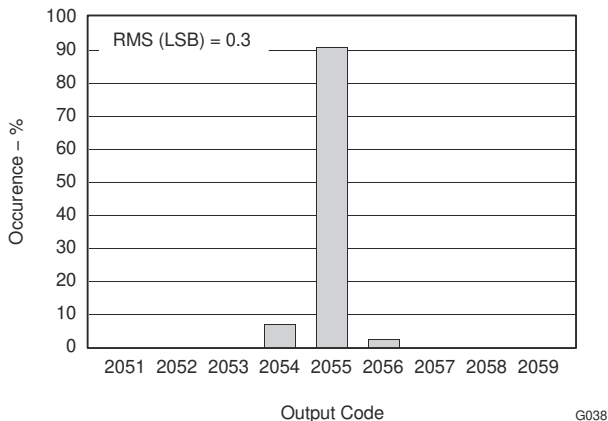


図 5-42. 出カノイズ ヒストグラム

5.10 代表的特性 — 共通プロット (ADS61B49/61B29 の両方)

すべてのプロットは、25°C、AVDD = 3.3V、DRVDD = 1.8V、最大定格サンプリング周波数、正弦波入力クロックのものです。1.5-V_{PP} の差動クロック振幅、50% のクロック デューティ サイクル、-1DBFS の差動アナログ入力、内部リファレンス モード、0dB ゲイン、LVDS 出力インターフェイス (特に記述のない限り)

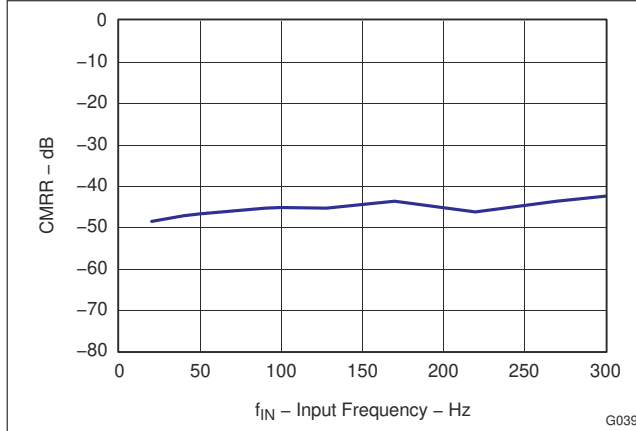


図 5-43. CMRR と入力周波数との関係

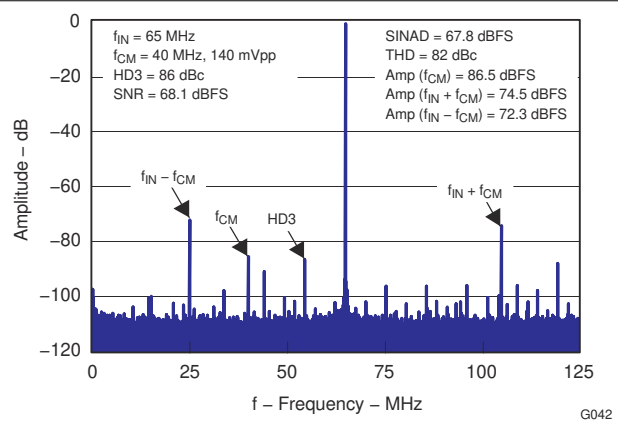


図 5-44. 同相モード信号の影響を示す FFT

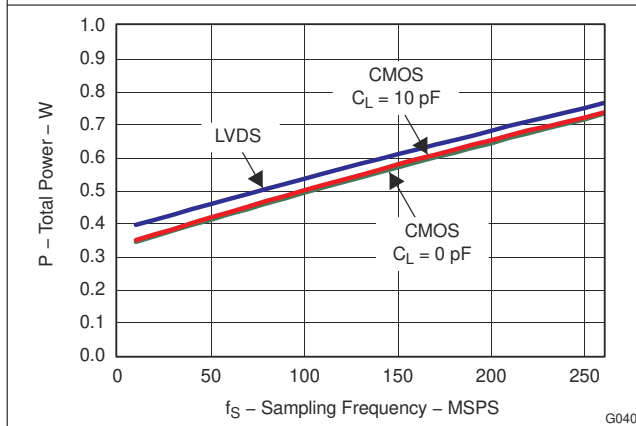


図 5-45. 合計電力とサンプリング周波数との関係

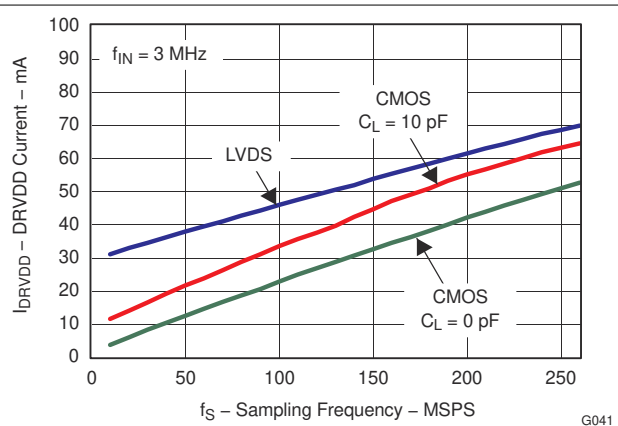


図 5-46. DRVDD 電流とサンプリング周波数との関係

5.11 輪郭プロット - ADS61B49 / ADS61B29

プロットは、25°C、AVDD = 3.3V、DRVDD = 1.8V、正弦波入力クロック、1.5-V_{pp} 差動クロック振幅、50% クロック デューティ サイクル、-1dBFS 差動アナログ入力、内部リファレンス モード、0-dB ゲイン、LVDS 出力インターフェイスのものです (特に記述のない限り)

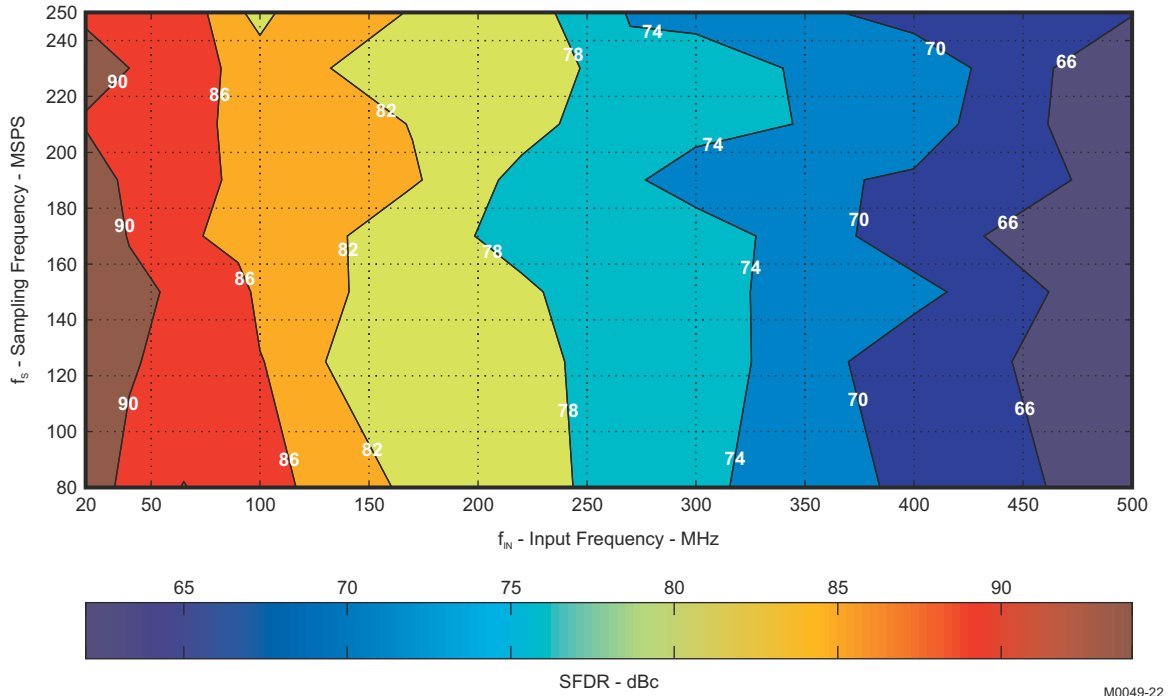


図 5-47. SFDR の輪郭プロット (0dB ゲイン)

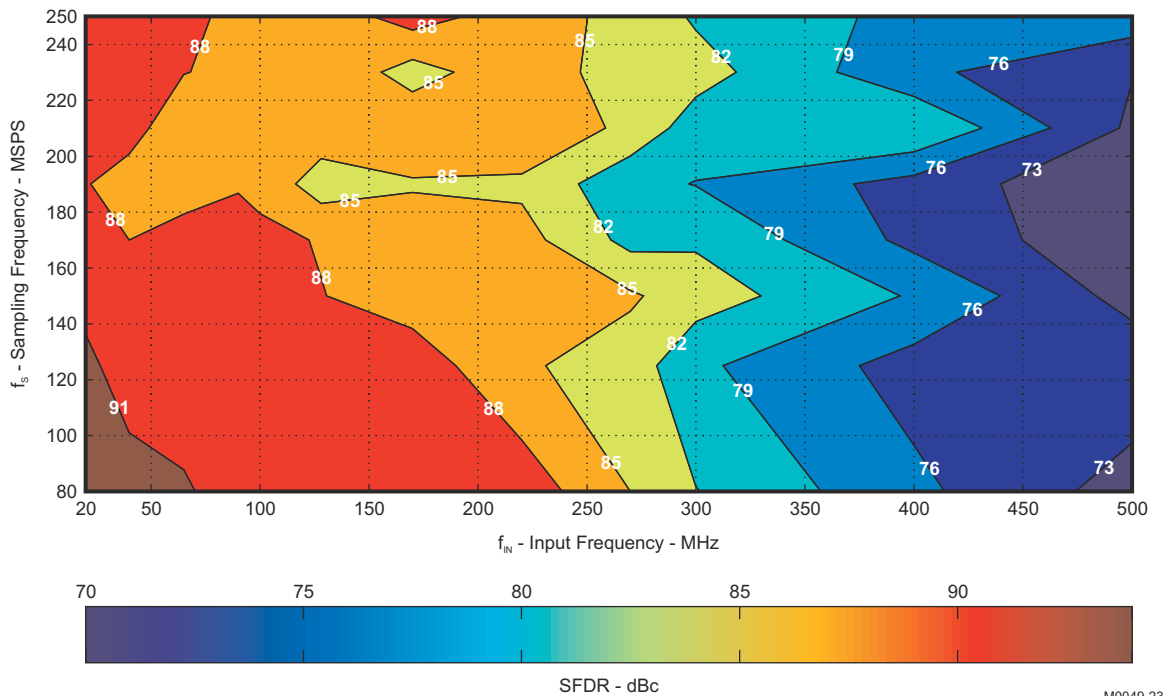
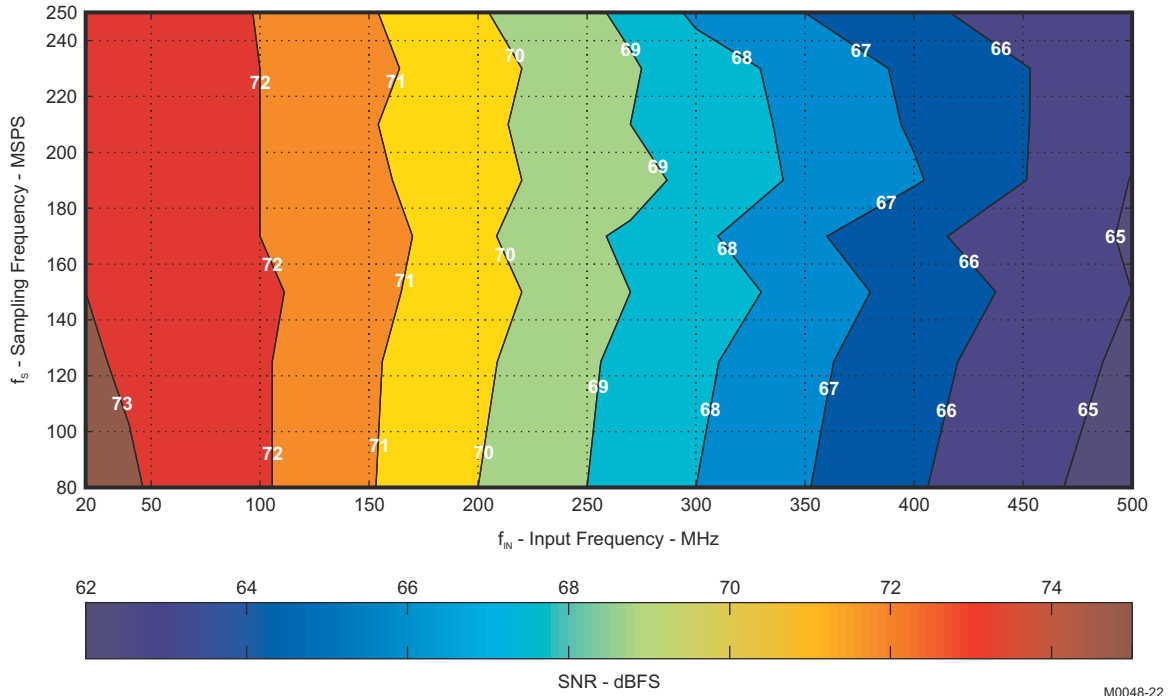


図 5-48. SFDR の輪郭プロット (6dB ゲイン)

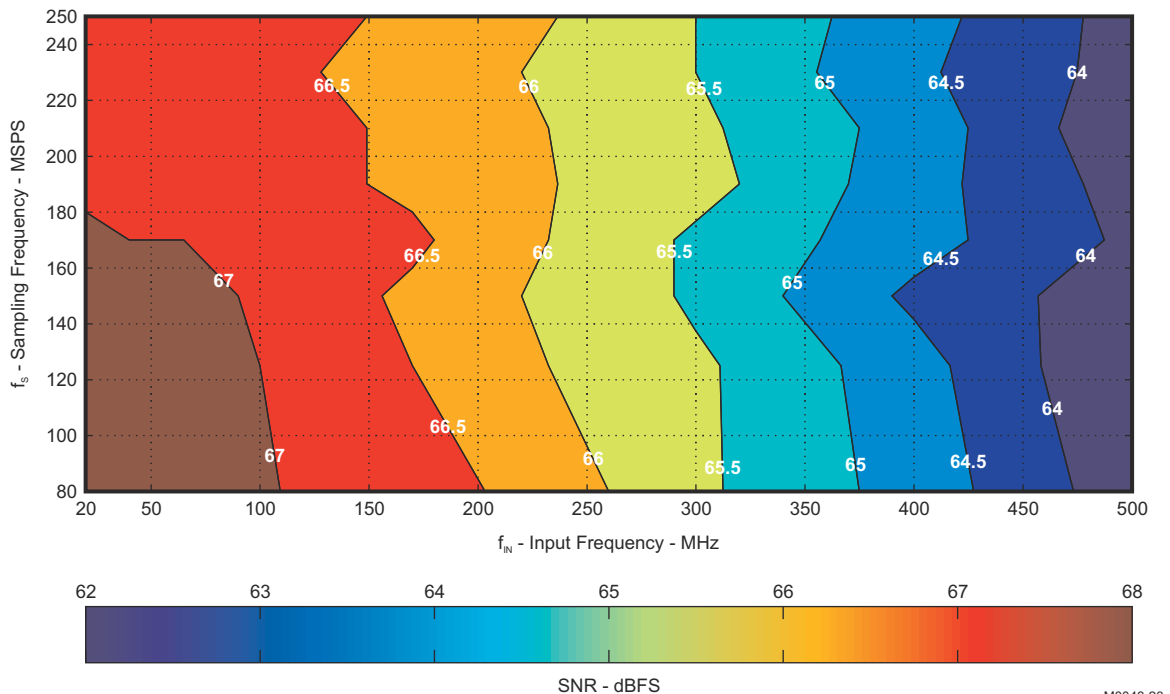
5.12 輪郭プロット - ADS61B49

プロットは、25°C、AVDD = 3.3V、DRVDD = 1.8V、正弦波入力クロック、1.5-V_{pp} 差動クロック振幅、50% クロック デューティ サイクル、-1dBFS 差動アナログ入力、内部リファレンス モード、0-dB ゲイン、LVDS 出力インターフェイスのものです (特に記述のない限り)



M0048-22

図 5-49. SNR 輪郭プロット (0-dB ゲイン)

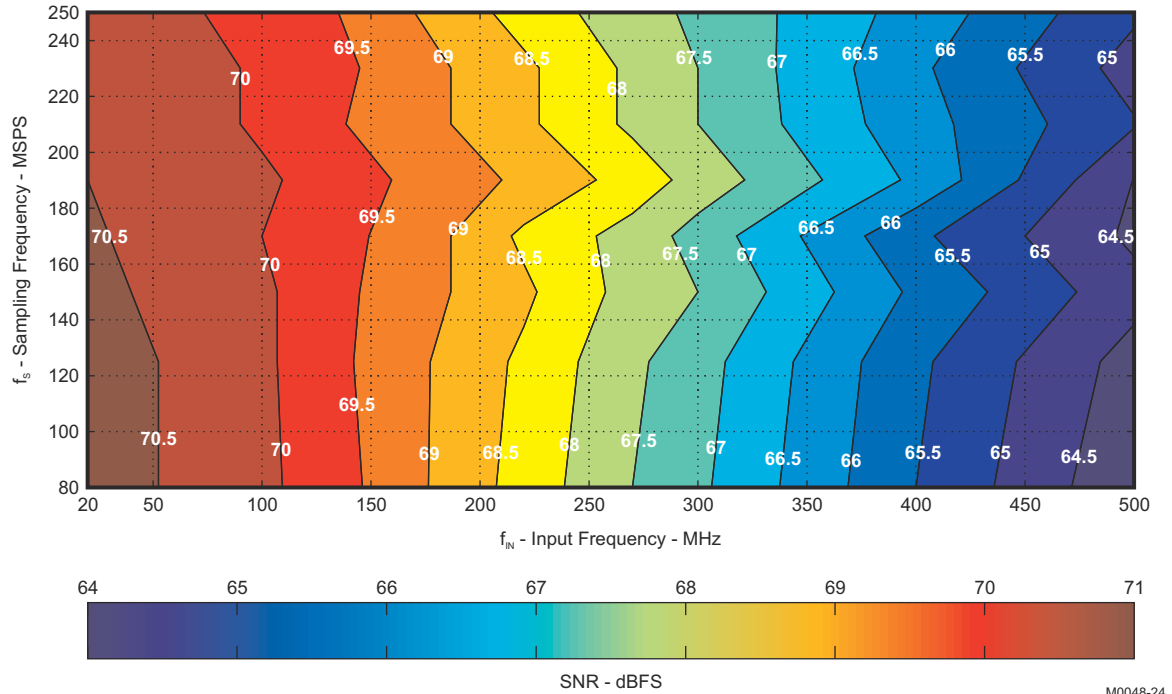


M0048-23

図 5-50. SNR 輪郭プロット (6-dB ゲイン)

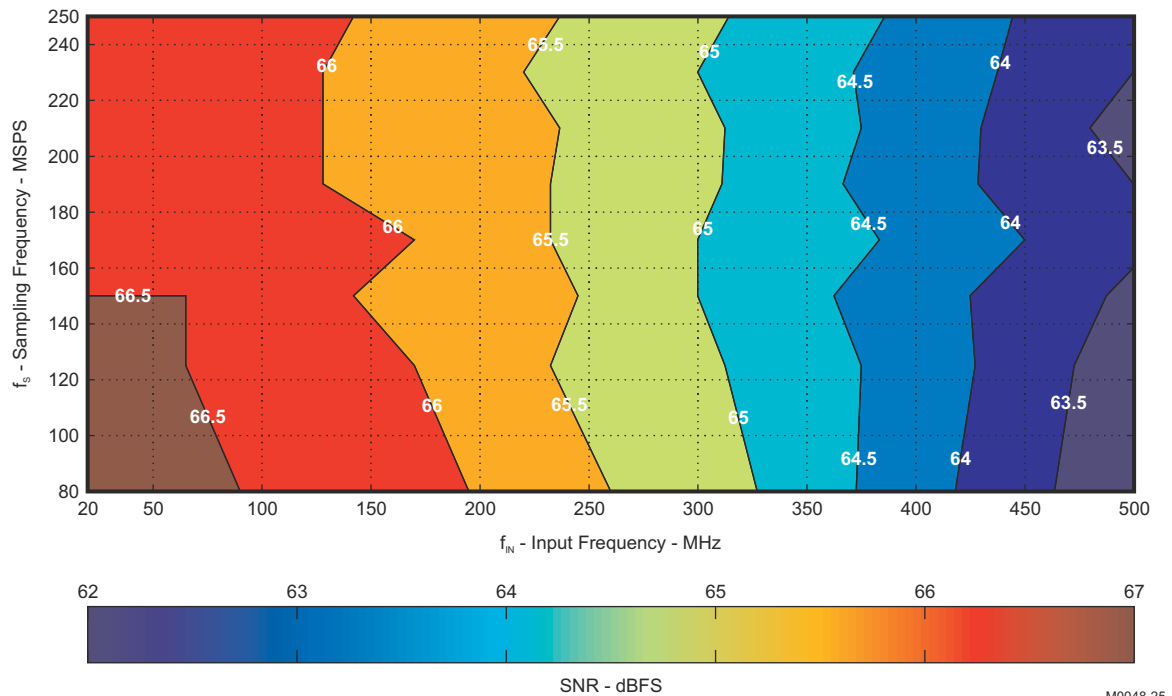
5.13 輪郭プロット - ADS61B29

プロットは、25°C、AVDD = 3.3V、DRVDD = 1.8V、正弦波入力クロック、1.5-V_{pp} 差動クロック振幅、50% クロック デューティ サイクル、-1dBFS 差動アナログ入力、内部リファレンス モード、0-dB ゲイン、LVDS 出力インターフェイスのものです (特に記述のない限り)



M0048-24

図 5-51. SNR 輪郭プロット (0-dB ゲイン)



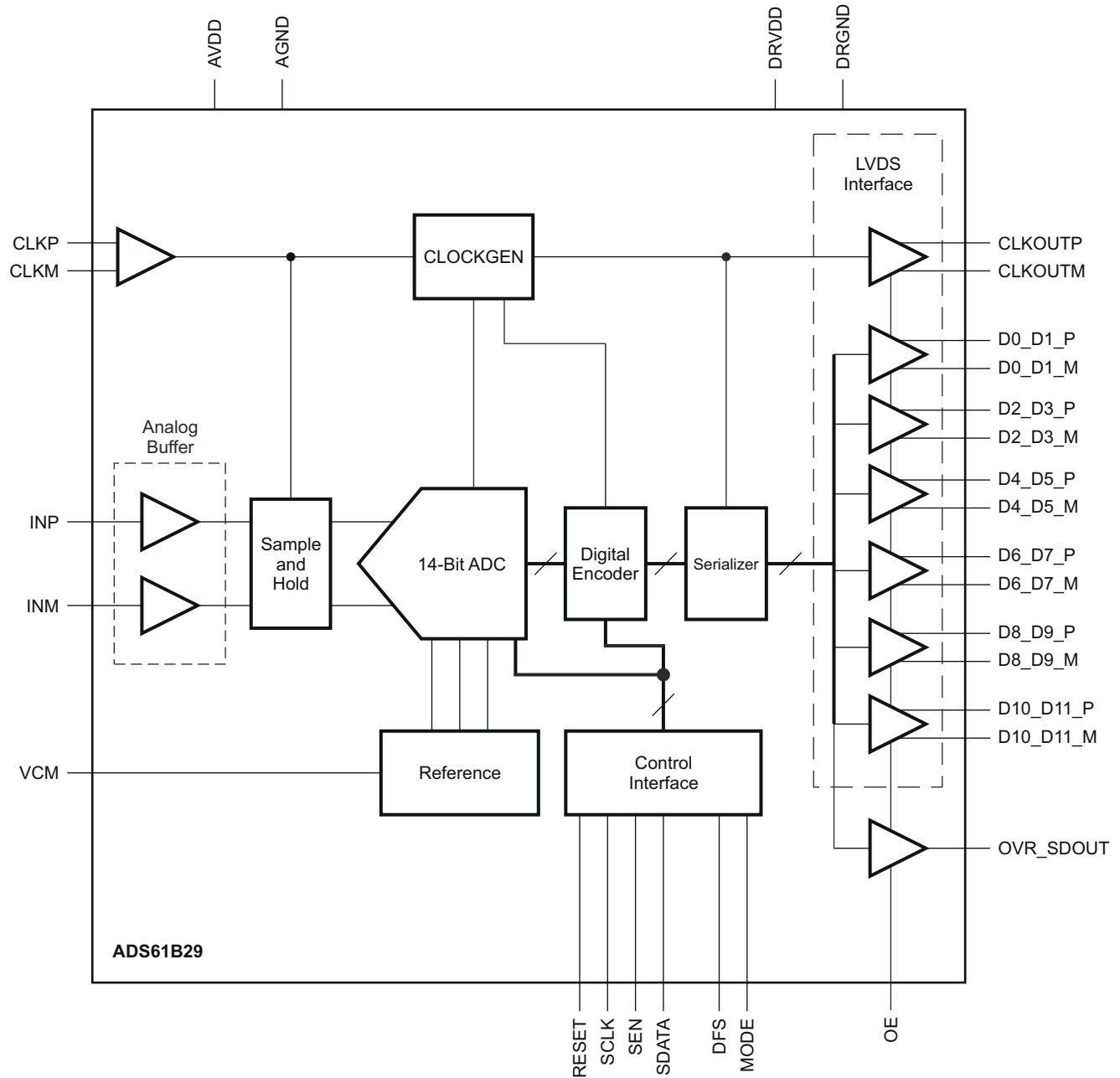
M0048-25

図 5-52. SNR 輪郭プロット (6-dB ゲイン)

6 詳細説明

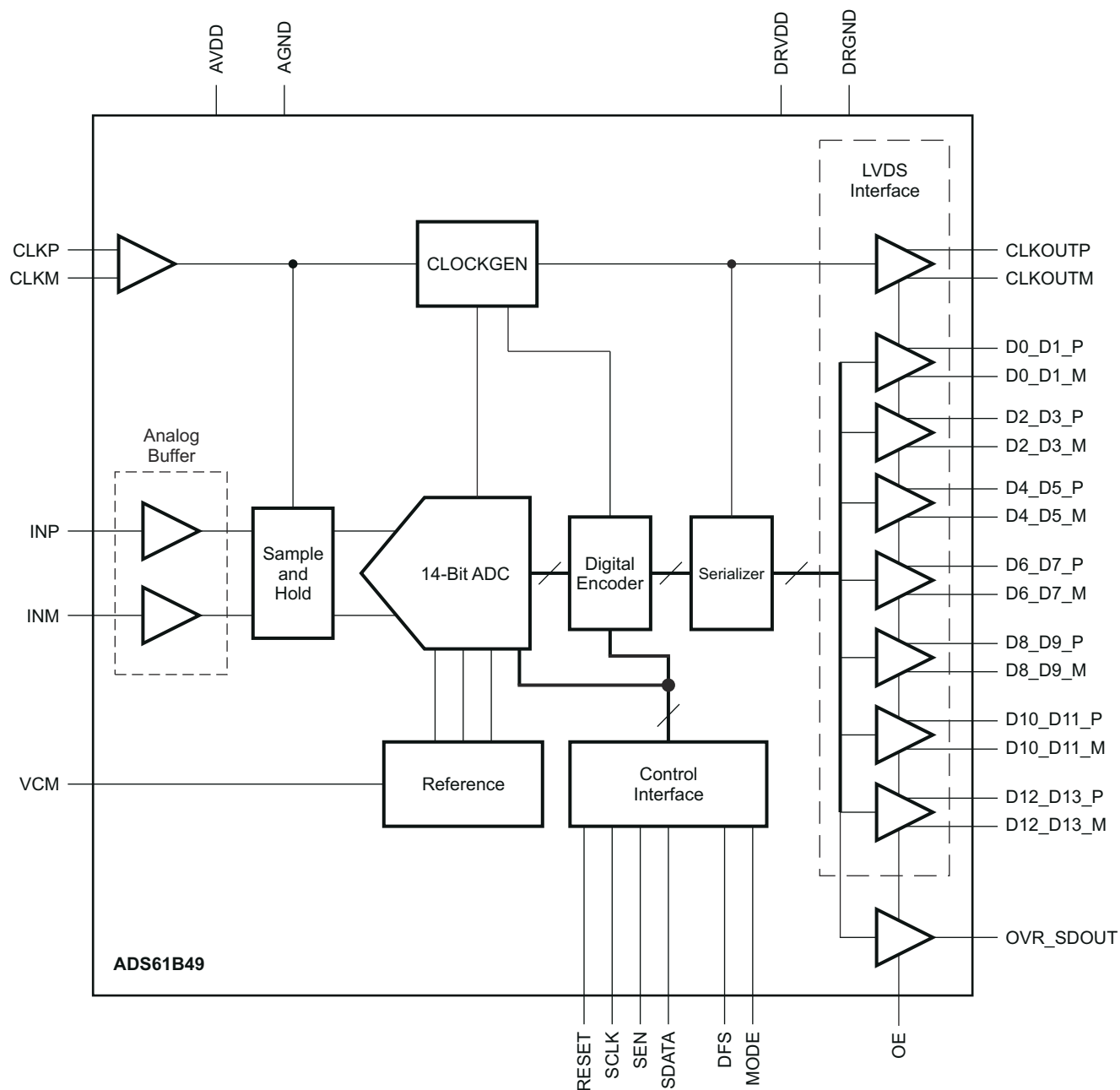
6.1 機能ブロック図

6.1.1 ADS61B29 のブロック図



B0095-09

6.1.2 ADS61B49 のブロック図



B0095-08

6.2 機能説明

6.2.1 デバイス設定

ADS61B49/29 は、パラレル インターフェイス制御またはシリアル インターフェイス プログラミングを使用して、個別に設定できます。

6.2.2 パラレル構成のみ

デバイスをパラレル構成モードにするには、リセットを High (DRVDD) に接続したままにします。

これで DFS ピン、MODE ピン、SEN ピン、SDATA ピンで ADC の特定のモードを直接制御できます。デバイスは、パラレル ピンを適切な電圧レベルに接続すれば、簡単に構成できます (表 6-6 ~ 表 6-3 で説明しています)。リセットを適用する必要はありません。

このモードでは、SEN と SDATA はパラレル インターフェース制御ピンとして機能します。このモードでは、頻繁に使用する機能 (スタンバイ、LVDS / CMOS 出力フォーマットの選択、2 の補数 / ストレート バイナリ出力フォーマット、出力クロック エッジの位置) を制御できます

表 6-1 でパラレル ピンで制御するモードについて簡単に説明します。

表 6-1. パラレル ピンの機能

ピン	制御のタイプ	制御モード
DFS	アナログ	データフォーマットと LVDS / CMOS 出力インターフェース。
モード	アナログ	ADS61B49 / B29 では、外部リファレンスをサポートしていません。したがって、ADS6149 / 29 ファミリの以前のモードピンの使用方法は、ADS61B49 / B29 ファミリでは異なります。ピン互換の次世代 ADC ファミリでは、モードは特定の予約機能のデジタル制御ピンに変換されます。モードピンをデジタル コントローラに配線しておくこと、将来的に次世代の ADC への移行が容易になります。
SEN	アナログ	CLKOUT エッジのプログラマビリティ。
SDATA	デジタル	グローバル パワーダウン (ADC、内部リファレンス、出力バッファがパワーダウン)

6.2.3 シリアル インターフェース構成のみ

このモードを実行するには、最初にシリアル レジスタをデフォルト値にリセットし、RESET ピンを Low に維持する必要があります。

このモードでは、SEN、SDATA、SCLK はシリアル インターフェース ピンとして機能し、ADC の内部レジスタにアクセスするために使用できます。

RESET ピンにパルスを印加するか、<RESET> ビット (レジスタ 0x00 の D7) を High に設定することで、レジスタをリセットできます。シリアル インターフェースのセクションでは、レジスタのプログラミングとレジスタリセットについて詳細に説明します。

パラレル ピン DFS はこのモードでは使用しないため、グランドに接続する必要があります。

6.2.4 シリアル インターフェイスとパラレル制御の両方を使用した構成

柔軟性の向上のために追加の構成モードがサポートされており、シリアル インターフェイス レジスタとパラレル ピン制御 (DFS) を組み合わせてデバイスを設定できます。

このモードを実行するには、シリアル レジスタをデフォルト値にリセットし、RESET ピンを Low に維持する必要があります。

このモードでは、SEN、SDATA、SCLK はシリアル インターフェイス ピンとして機能し、ADC の内部レジスタにアクセスするために使用できます。RESET ピンにパルスを印加するか、<RESET> ビット (レジスタ 0x00 の D7) を High に設定することで、レジスタをリセットできます。シリアル インターフェイスのセクションでは、レジスタのプログラミングとレジスタリセットについて詳細に説明します。

パラレル インターフェイスの制御ピン DFS を使用できます。その機能は、表 6-3 に示すように、適切な電圧レベルによって決定されます。電圧レベルは、図 6-1 に示す例のように、抵抗列を使用することで簡単に得ることができます。

一部の機能はパラレル ピンとシリアル レジスタの両方で制御できるため、表 6-2 に示すように、これら 2 つの機能間の優先度は優先順位表によって決定されます。

表 6-2. パラレル ピンとシリアル レジスタ間の優先度

機能	優先順位
内部 / 外部リファレンス - 未使用	このデバイスでは MODE は使用されません (ADS6149 からのレガシーおよび将来のファミリでこのピンは再定義可能)
データフォーマットの選択	DFS ピンは、レジスタ ビット <DATA FORMAT> = 00 である場合にのみ、この選択を制御します。それ以外の場合は <DATA FORMAT> が選択を制御します
LVDS または CMOS インターフェイスの選択	DFS ピンは、レジスタ ビット <LVDS CMOS> = 00 である場合にのみ、この選択を制御します。それ以外の場合は <LVDS CMOS> が選択を制御します

6.2.5 パラレル ピンの説明

表 6-3. SDATA – デジタル制御ピン

SDATA	説明
0	通常動作 (デフォルト)
AVDD	グローバル パワー ダウン。ADC、内部リファレンス、および出力バッファはパワーダウンされます。

表 6-4. SEN – アナログ制御ピン

SEN	説明 – 出力クロック エッジのプログラマビリティ ⁽¹⁾
0	LVDS: データと出力クロックの遷移が揃います CMOS: セットアップ時間は $(6 \times T_s) / 26$ 増加し、ホールド時間は $(6 \times T_s) / 26$ 減少します
(3/8)AVDD	LVDS: セットアップ時間は $(4 \times T_s) / 26$ 減少し、ホールド時間は $(4 \times T_s) / 26$ 増加します CMOS: セットアップ時間は $(9 \times T_s) / 26$ 増加し、ホールド時間は $(9 \times T_s) / 26$ 減少します
(5/8)AVDD	LVDS: セットアップ時間は $(4 \times T_s) / 26$ 増加し、ホールド時間は $(4 \times T_s) / 26$ 減少します CMOS: セットアップ時間は $(3 \times T_s) / 26$ 増加し、ホールド時間は $(3 \times T_s) / 26$ 減少します
AVDD	デフォルトの出力クロック位置 (このクロック位置に対する出力データのセットアップ / ホールドのタイミングは、タイミング特性表に規定されています)。

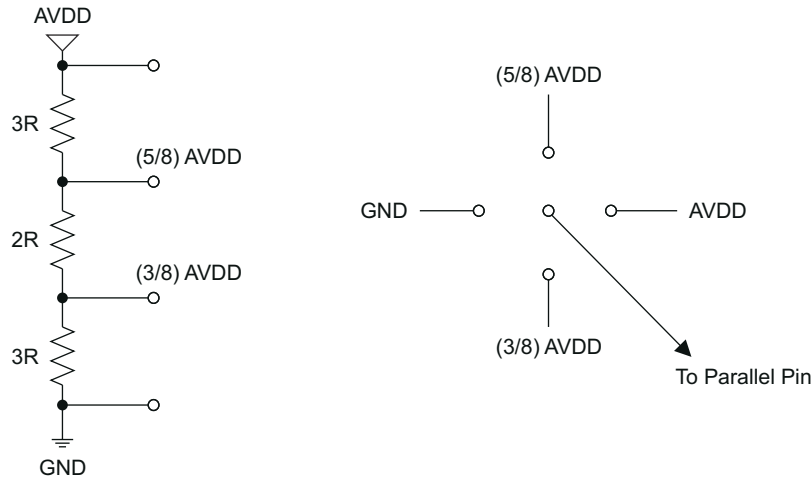
(1) $T_s = 1 / \text{サンプリング周波数}$

表 6-5. DFS – アナログ制御ピン

DFS	説明
0	2s の補数データおよび DDR LVDS 出力
(3/8)AVDD	2s の補数データとパラレル CMOS 出力
(5/8)AVDD	オフセット バイナリ データとパラレル CMOS 出力
AVDD	オフセット バイナリ データと DDR LVDS 出力

表 6-6. MODE – アナログ制御ピン

モード	説明
未使用	ADS61B49 / B29 では、外部リファレンスをサポートしていません。したがって、ADS6149/29 ファミリの MODE ピンの以前の使用は、ADS61B49/B29 ファミリーとは異なります。次世代のピン互換 ADC ファミリーでは、特定の予約機能用に MODE をデジタル制御ピンに変換できます。モードピンをデジタルコントローラに配線しておく、将来的に次世代の ADC への移行が容易になります。



S0321-01

図 6-1. パラレルピンの SEN および SCLK を構成するための簡単な手法

6.2.6 シリアルインターフェイス

ADC は、内部レジスタ群を備えており、SEN (シリアルインターフェース有効)、SCLK (シリアルインターフェースクロック)、SDATA (シリアルインターフェースデータ) ピンで構成されるシリアルインターフェースを通じてアクセスできます。

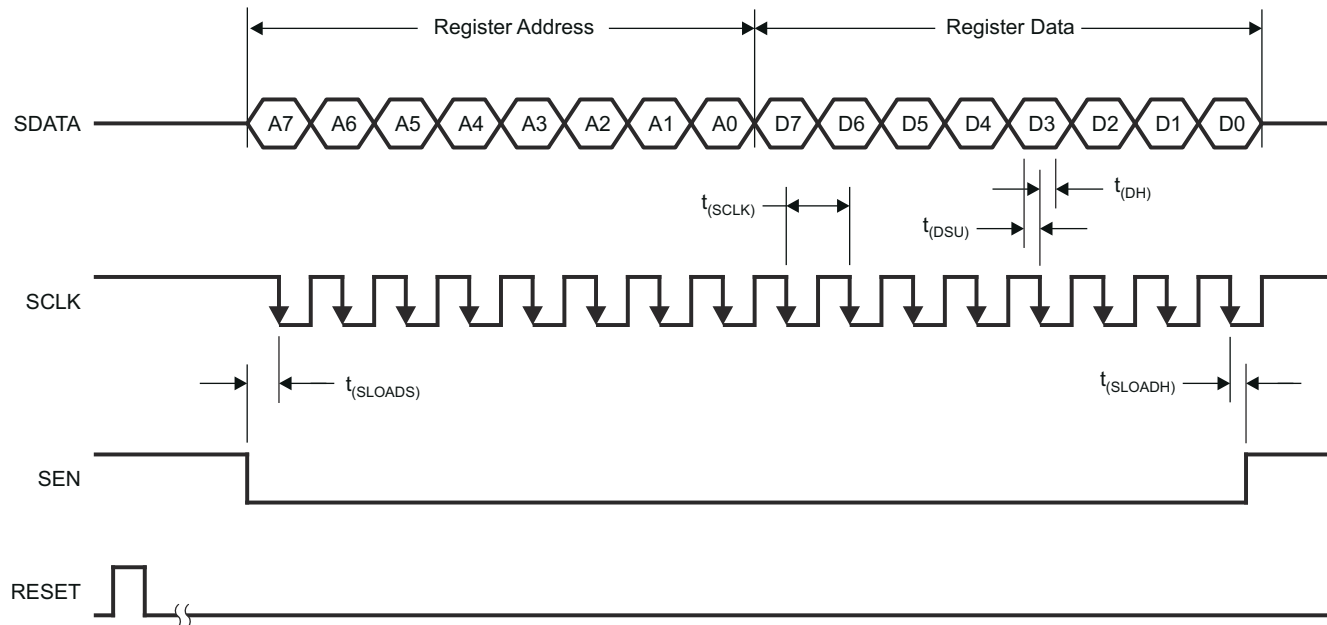
SEN が Low の場合、ビットをデバイスにシリアルでシフト入力することが可能になります。SEN がアクティブ (Low) の場合、シリアルデータの SDATA は SCLK の立ち下がりエッジごとにラッチされます。SEN が Low の場合、16 番目の SCLK の立ち下がりエッジごとに、シリアルデータがレジスタにロードされます。ワード長が 16 ビットの倍数を超えると、余分なビットは無視されます。データは、単一のアクティブ SEN パルス内に 16 ビットワードの倍数でロードされます。

最初の 8 ビットはレジスタアドレス、残りの 8 ビットはレジスタデータです。このインターフェースは 20MHz から低速 (数 Hz) までの SCLK 周波数と、50% 以外の SCLK デューティサイクルで機能できます。

6.2.6.1 レジスタの初期化

パワーアップ後、内部レジスタをデフォルト値に初期化する必要があります。これには、次の 2 つの方法のいずれかを使用します：

- 図 6-2 に示すように、RESET ピンに高方向パルス (10ns 以上の幅) を印加することで、ハードウェアリセットを実行します。
または
- ソフトウェアリセットを適用します。シリアルインターフェースを使用して、<RESET> ビット (レジスタ 0x00 の D7) を High にセットします。これにより、内部レジスタがデフォルト値に初期化されてから、<RESET> ビットが自動的に Low にリセットされます。この場合、RESET ピンは Low に維持されます。



T0109-01

図 6-2. シリアルインターフェースのタイミング

6.2.7 シリアルインターフェースのタイミング特性

特に記述のない限り、25°C における代表値、全動作温度範囲 (

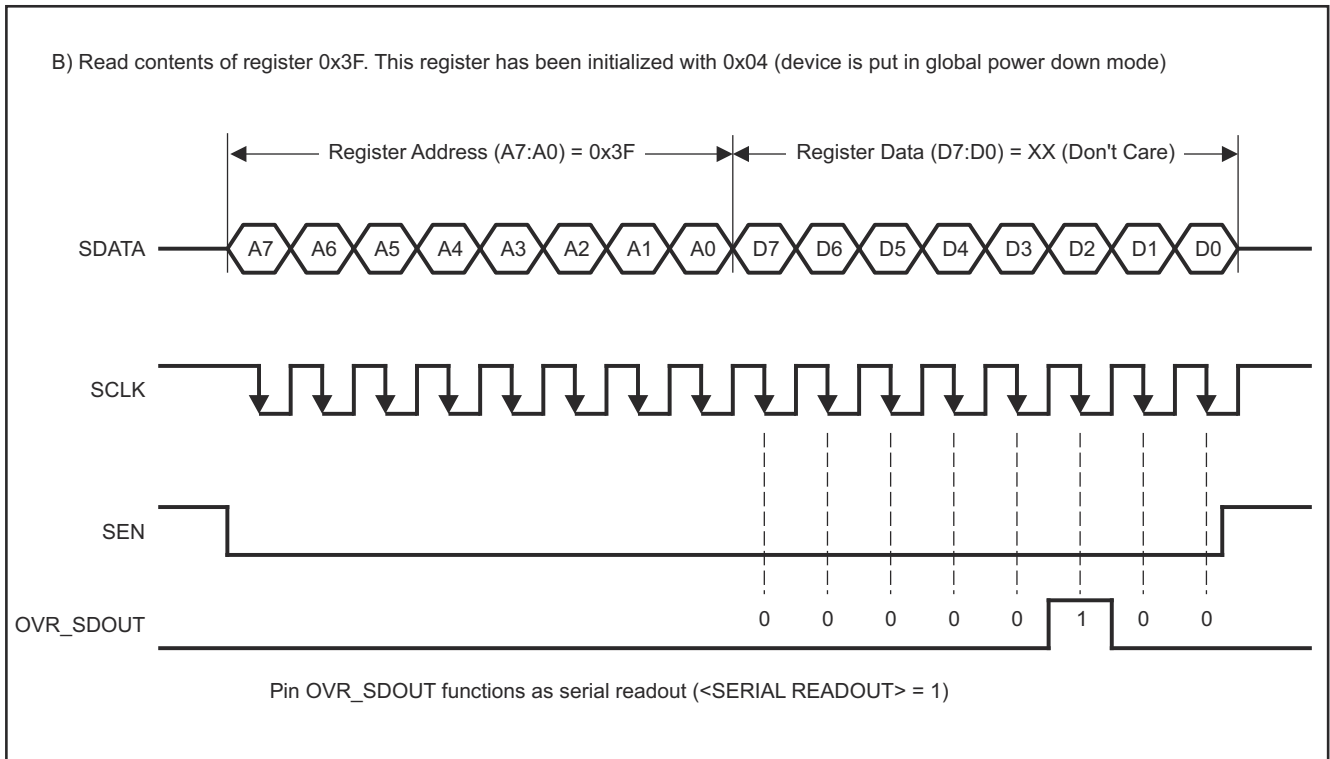
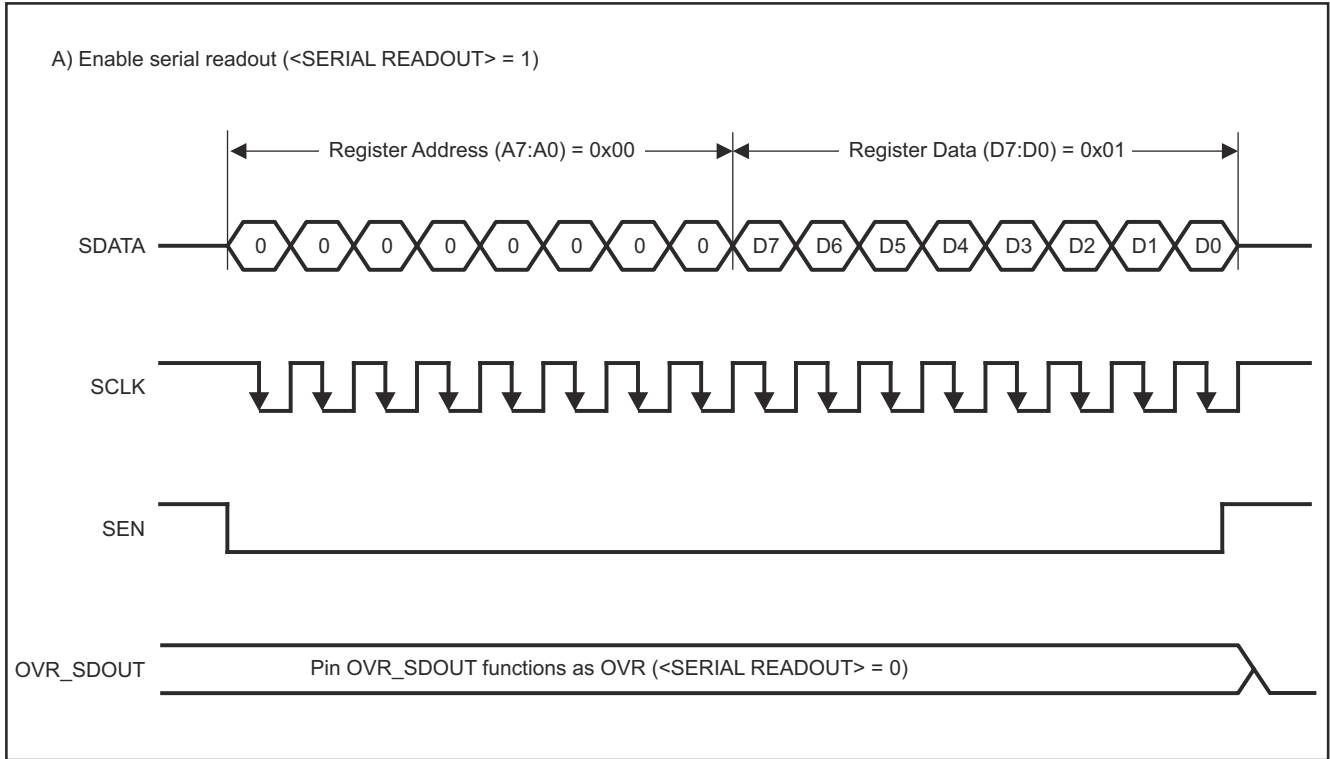
$T_{MIN} = -40^{\circ}C \sim T_{MAX} = 85^{\circ}C$)、 $AVDD = 3.3V$ 、 $DRVDD = 1.8V$ における最小値と最大値。

パラメータ		最小値	標準値	最大値	単位
f_{SCLK}	SCLK 周波数 (= $1/t_{SCLK}$)	> dc		20	MHz
t_{SLOADS}	SEN から SCLK までのセットアップ時間	25			ns
t_{SLOADH}	SCLK から SEN までのホールド時間	25			ns
t_{DS}	SDATA のセットアップ時間	25			ns
t_{DH}	SDATA のホールド時間	25			ns

6.2.8 シリアルレジスタの読み出し

このデバイスには、内部レジスタの内容を読み戻すことができるオプションが搭載されています。これは、外部コントローラと ADC の間のシリアル インターフェイス通信を検証する診断チェックとして役立ちます。

1. まず、レジスタビット <SERIAL READOUT> = 1 を設定します。また、これにより、レジスタへの以後の書き込みも無効化されます (レジスタビット <SERIAL READOUT> 自体を除く)。
2. 内容を読み取る必要があるレジスタのアドレス (A7-A0) を指定して、シリアル インターフェイス サイクルを開始します。
3. 本デバイスは、選択したレジスタの内容 (D7-D0) を OVR_SDOOUT ピンに出力します。
4. 外部コントローラは、SCLK の立ち下がりエッジで内容をラッチできます。
5. レジスタ書き込みを有効にするには、レジスタビット <SERIAL READOUT> = 0 をリセットします。



T0386-01

図 6-3. シリアル読み出し

6.2.9 リセット タイミング

特に記述のない限り、25°C における代表値、全動作温度範囲 (T_{MIN} = -40°C ~ T_{MAX} = 85°C) 全体における最小値と最大値。

パラメータ	テスト条件	最小値	標準値	最大値	単位
t ₁	パワーオン遅延時間 AVDD および DRVDD のパワーアップから RESET パルスがアクティブになるまでの遅延		1		ms
t ₂	パルス幅のリセット シリアルレジスタをリセットするアクティブ RESET 信号のパルス幅	10			ns
			1		µs
t ₃	遅延時間 リセットディセーブルから SEN がアクティブになるまでの遅延	100			ns

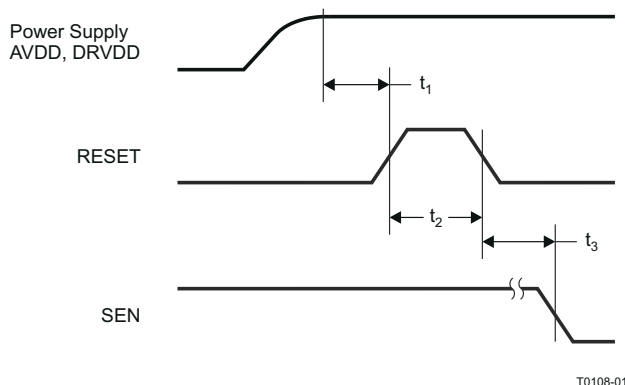


図 6-4. リセットのタイミング図

6.3 シリアル レジスタ マップ

表 6-7. シリアル インターフェースでサポートされている機能の概要

レジスタ アドレス	レジスタ機能 ⁽¹⁾								
	D7	D6	D5	D4	D3	D2	D1	D0	
A7 ~ A0 (16 進)									
00	<RESET> ソフトウェアリセット	0	0	0	0	0	0	<SERIAL READOUT>	
20	0	0	0	0	0	<ENABLE LOW SPEED MODE>	0	0	
3F	0	<REF> (予約済み)			0	0	<PDN GLOBAL>	<STANDBY>	<PDN OBUF>
41	<LVDS CMOS> デジタル出力インターフェイス			0	0	0	0	0	
44	<CLKOUT POSN> 出力クロック位置制御						0	0	
50	0	0	0	0	0	<DATA FORMAT> 2 の補数またはオフセット バイナリ		0	
51	<CUSTOM PATTERN LOW>								
52	0	0	<CUSTOM PATTERN HIGH>						
53	0	<ENABLE OFFSET CORR>	0	0	0	0	0	0	
55	<FINE GAIN >				<OFFSET CORR TIME CONSTANT> オフセット補正時定数				
62	0	0	0	0	0	<TEST PATTERNS>			

表 6-7. シリアル インターフェースでサポートされている機能の概要 (続き)

レジスタ アドレス	レジスタ機能 ⁽¹⁾							
A7 ~ A0 (16 進)	D7	D6	D5	D4	D3	D2	D1	D0
63	0	0	<PROGRAM OFFSET PEDESTAL >					

(1) レジスタ内の複数の機能を、1 回の書き込み動作でプログラムできます。

6.3.1 シリアル レジスタの説明

A)

A7 ~ A0 (16 進)	D7	D6	D5	D4	D3	D2	D1	D0
00	<RESET> ソフトウェア リセット	0	0	0	0	0	0	<SERIAL READOUT>

D7 <RESET>

1 ソフトウェア リセットを適用 – すべての内部レジスタをリセットし、0 にセルフクリアします。

D0 <SERIAL READOUT>

0 シリアル読み出しが無効

1 シリアル読み出しが有効化され、ピン OVR_SDOOUT はシリアル データの読み出しとして機能します。

B)

A7 ~ A0 (16 進)	D7	D6	D5	D4	D3	D2	D1	D0
20	0	0	0	0	0	<ENABLE LOW SPEED MODE>	0	0

D2 <ENABLE LOW SPEED MODE>

0 低速モードが無効化されます。サンプリング周波数が 80MSPS を超える場合に使用します

1 80MSPS 以下のサンプリング周波数向のイネーブル ロー速度モード

C)

A7 ~ A0 (16 進)	D7	D6	D5	D4	D3	D2	D1	D0
3F	0	<REF> (予約済み)	0	0	<PDN GLOBAL>	<STANDBY>	<PDN OBUF>	

D6, D5 <REF> 予約済み (未使用)

ADS61B49/61B29 では、外部リファレンス モードはサポートされていません。外部リファレンスが必要な場合は、ADS6149/6129 のバッファなし ADC を参照してください。このレジスタは、これらのデバイスのリファレンス モードを制御します。

D2 <PDN GLOBAL>

0 通常動作

1 合計パワーダウン – ADC、内部リファレンス、出力バッファはパワーダウンされています。低速ウェークアップ時間。

D1 <STANDBY>

0 通常動作

1 ADC のみがパワーダウンします。内部リファレンス、出力バッファはアクティブです。クイック ウェークアップ時間

D0 <PDN OBUF> パワーダウン出力バッファ

0 出力バッファの有効化

1 出力バッファがパワーダウン

D)

A7 ~ A0 (16 進)	D7	D6	D5	D4	D3	D2	D1	D0
41	<LVDS CMOS>		0	0	0	0	0	0

D7, D6 <LVDS CMOS>

- 00 DFS ピンは、LVDS または CMOS インターフェイスの選択を制御します
- 10 DDR LVDS インターフェイス
- 11 パラレル CMOS インターフェイス

E)

A7 ~ A0 (16 進)	D7	D6	D5	D4	D3	D2	D1	D0
44	CLKOUT POSN> 出力クロック位置制御						0	0

LVDS インターフェイス
D7-D5 <CLKOUT POSN> 出力クロックの立ち上がりエッジ位置

- 000 デフォルトの出力クロック位置 (タイミング仕様表を参照)
- 100 デフォルトの出力クロック位置 (タイミング仕様表を参照)
- 101 立ち上がりエッジが $+(4/26)T_s$ 分シフトされます
- 110 立ち上がりエッジがデータ遷移と揃います
- 111 立ち上がりエッジが $-(4/26)T_s$ 分シフトされます

D4-D2 <CLKOUT POSN> 出力クロックの立ち下がりエッジの位置

- 000 デフォルトの出力クロック位置 (タイミング仕様表を参照)
- 100 デフォルトの出力クロック位置 (タイミング仕様表を参照)
- 101 立ち下がりエッジが $+(4/26)T_s$ 分シフトされます
- 110 立ち下がりエッジがデータ遷移と揃います
- 111 立ち下がりエッジが $-(4/26)T_s$ 分シフトされます

CMOS インターフェイス
D7-D5 <CLKOUT POSN> 出力クロックの立ち上がりエッジ位置

- 000 デフォルトの出力クロック位置 (タイミング仕様表を参照)
- 100 デフォルトの出力クロック位置 (タイミング仕様表を参照)
- 101 立ち上がりエッジが $+(4/26)T_s$ 分シフトされます
- 110 立ち上がりエッジが $+(6/26)T_s$ 分シフトされます
- 111 立ち上がりエッジがデータ遷移と揃います

D4-D2 <CLKOUT POSN> 出力クロックの立ち下がりエッジの位置

- 000 デフォルトの出力クロック位置 (タイミング仕様表を参照)
- 100 デフォルトの出力クロック位置 (タイミング仕様表を参照)
- 101 立ち下がりエッジが $+(4/26)T_s$ 分シフトされます
- 110 立ち下がりエッジが $+(6/26)T_s$ 分シフトされます
- 111 立ち下がりエッジがデータ遷移と揃います

F)

A7 ~ A0 (16 進)	D7	D6	D5	D4	D3	D2	D1	D0
50	0	0	0	0	0	<DATA FORMAT> 2 の補数またはオフセット バイナリ		0

D2, D1 <DATA FORMAT>

- 00 DFS ピンはデータフォーマットの選択を制御します
- 10 2 の補数
- 11 オフセット バイナリ

G)

A7 ~ A0 (16 進)	D7	D6	D5	D4	D3	D2	D1	D0
51	<Custom LOW>							
52	<Custom HIGH>							

- D7–D0 <CUSTOM LOW>**
ADC データの代わりに出力で利用できるカスタム パターンの下位 8 ビット。
- D5–D0 <CUSTOM HIGH>**
ADC データの代わりに出力で利用できるカスタムパターンの上位 6 ビット。

H)

A7 ~ A0 (16 進)	D7	D6	D5	D4	D3	D2	D1	D0
53	0	<ENABLE OFFSET CORR> オフセット補正が有効	0	0	0	0	0	0

- D6 <ENABLE OFFSET CORR>**
- 0 オフセット補正が無効
 - 1 オフセット補正が有効

I)

A7 ~ A0 (16 進)	D7	D6	D5	D4	D3	D2	D1	D0
55	<FINE GAIN>				<OFFSET CORR TC> オフセット補正時定数			

- D7–D4 <FINE GAIN>** ゲインのプログラマビリティ (0.5dB ステップ)
- 0000 0dB のゲイン、リセット後はデフォルト
 - 0001 0.5dB のゲイン
 - 0010 1.0dB のゲイン
 - 0011 1.5dB のゲイン
 - 0100 2.0dB のゲイン
 - 0101 2.5dB のゲイン
 - 0110 3.0dB のゲイン
 - 0111 3.5dB のゲイン
 - 1000 4.0dB のゲイン
 - 1001 4.5dB のゲイン
 - 1010 5.0dB のゲイン
 - 1011 5.5dB のゲイン
 - 1100 6.0dB のゲイン
- D3–D0 <OFFSET CORR TC>** クロック サイクル数における補正ループの時定数。アプリケーション セクションの「オフセット補正」を参照してください。
- 0000 256k
 - 0001 512k
 - 0010 1M

ADS61B29, ADS61B49

JADS244C – OCTOBER 2008 – REVISED MAY 2026

0011	2M
0100	4M
0101	8M
0110	16M
0111	32M
1000	64M
1001	128M
1010	256M
1011	512M
1100~1111	予約済み

J)

A7 ~ A0 (16 進)	D7	D6	D5	D4	D3	D2	D1	D0
62	0	0	0	0	0	<TEST PATTERNS>		

D2–D0 <TEST PATTERNS> データ キャプチャを検証するためのテスト パターン

000	通常動作
001	すべてゼロを出力します
010	すべて 1 を出力します
011	トグル パターンを出力します
100	デジタル ランプを出力します
101	カスタム パターンを出力します
110	未使用。
111	未使用。

K)

A7 ~ A0 (16 進)	D7	D6	D5	D4	D3	D2	D1	D0
63	0	0	<OFFSET PEDESTAL>					

D5–D0 <OFFSET PEDESTAL> オフセット補正が有効な場合、オフセット補正後の最終的な収束値は ADC のミッド コード値になります。これらのビットをプログラムすることによって、最終的な収束値にペDESTALを追加できます。例については、アプリケーション セクションの「オフセット補正」を参照してください。

011111	ミッド コード + 31LSB
011110	ミッド コード + 30LSB
011101	ミッド コード + 29LSB
....	
000000	ミッドコード
111111	ミッド コード - 1LSB
111110	ミッド コード - 2LSB
....	
100000	ミッド コード - 32LSB

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 使用上の注意

7.1.1 動作原理

ADS61B49/29 は、高性能、低消費電力の 14 ビットおよび 12 ビット A/D コンバータで、最大 250MSPS のサンプリングレートを実現します。ADS6149/29 との主な違いは、内蔵アナログ バッファが追加されていることです (これを示すためデバイス名に B が付いています)。

変換プロセスは、外部入力クロックの立ち上がりエッジで開始され、アナログ入力信号がサンプリングされます。サンプリングされた信号は、一連の小分解能段によって連続的に変換され、その出力はデジタル補正ロジック ブロックに結合されます。クロック エッジごとに、サンプルはパイプラインを通して伝搬し、データレイテンシは 18 クロック サイクルになります。出力は DDR LVDS または CMOS で 14 ビット / 12 ビット データとして、ストレート オフセット バイナリまたは 2 の補数形式でコード化されています。

最初の段のサブ ADC の動的オフセットにより、最大アナログ入力周波数は、動作が不安定にならないよう約 500MHz (振幅 2Vpp) および約 800MHz (振幅 1Vpp) に制限されます。これは、信号振幅と周波数の関係を示すインジケータとしてのみ使用する 750MHz のフル パワー アナログ帯域幅とは分離されています。

7.1.2 アナログ入力

アナログ入力は統合入力バッファと、それに続くスイッチト コンデンサ ベースの差動サンプルおよびホールド アーキテクチャで構成されています。バッファを追加することにより、スイッチト コンデンサ回路の非線形インピーダンスとスイッチング過渡からの絶縁を実現できます。ADC は入力インピーダンスが一定であるため、データシートで測定した測定値の駆動や再現が比較的簡単です。パワー アンプの線形化などの広帯域アプリケーションでは、周波数全域での信号ゲインの安定性が向上します。周波数全体でのスペクトル性能のばらつきも低減されます。

この差動トポロジにより、高いサンプリング レートでの高い入力周波数でも非常に優れた ac 性能が実現されます。INP ピンおよび INM ピンは、VCM ピンで利用可能な 2.3V の同相電圧付近で外部からバイアスをかける必要があります。フルスケールの差動入力の場合、各入力ピン INP、INM は VCM + 0.5V と VCM – 0.5V の間で対称的にスイングする必要があります。2-V_{pp} の差動入力スイングが発生します。

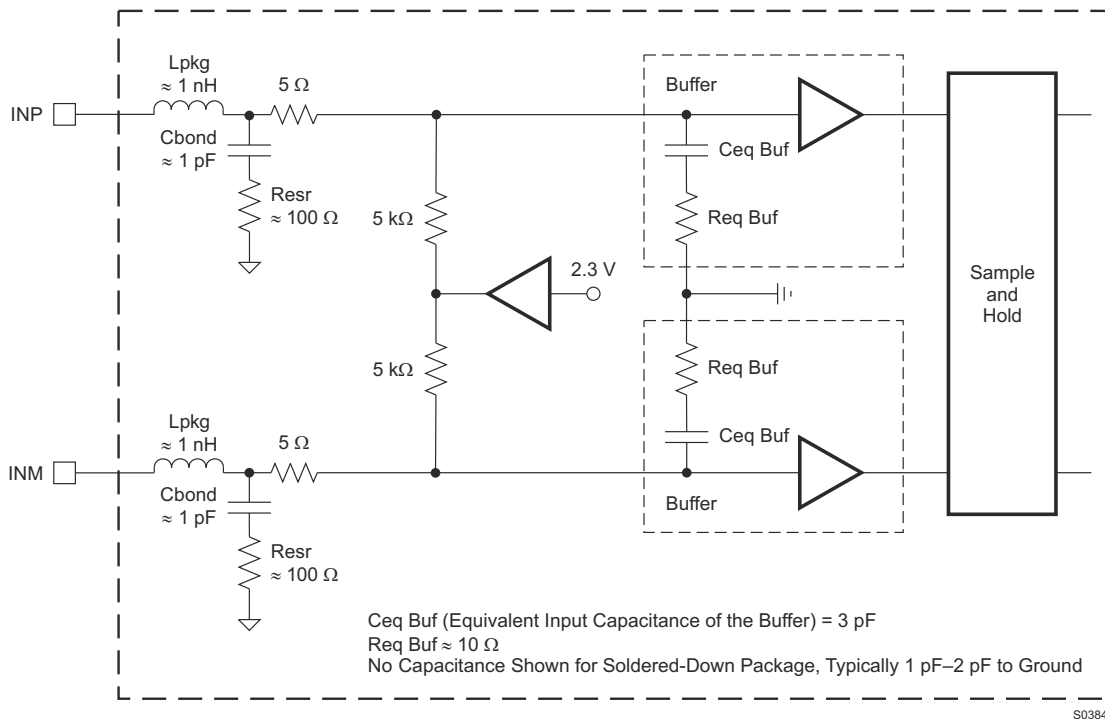


図 7-1. アナログ入力等価回路

入力サンプリング回路の高 3-dB 帯域幅は、最大で 750MHz (入力ピンからサンプリングされた電圧まで測定) まで拡大されています。

7.1.2.1 駆動回路の要件

最適な性能を得るには、アナログ入力を差動で駆動する必要があります。こうすることで同相ノイズ耐性と偶数次高調波除去が向上します。各入力ピンに直列に 5Ω の抵抗を接続し、パッケージの寄生容量に起因するリングングを減衰させることを推奨します。

ADS61B49/29 ファミリーはハイインピーダンスバッファを内蔵しているため、ADS6149/29 ファミリーに推奨する外部 R-C-R フィルタを使用したグリッチのフィルタ処理は必要ありません。駆動回路は、目的の周波数範囲全体での挿入損失を小さくし、かつソースへのインピーダンスをマッチングさせるように設計する必要があります。このとき ADC の入力インピーダンスを考慮する必要があります。図 7-2 と 図 7-3 に、ADC 入力ピンを考慮に入れたインピーダンス ($Z_{IN} = R_{IN} \parallel C_{IN}$) を示します。これらの図は、バッファ付き ADS61B49 とバッファなしの ADS6149 を比較しています。

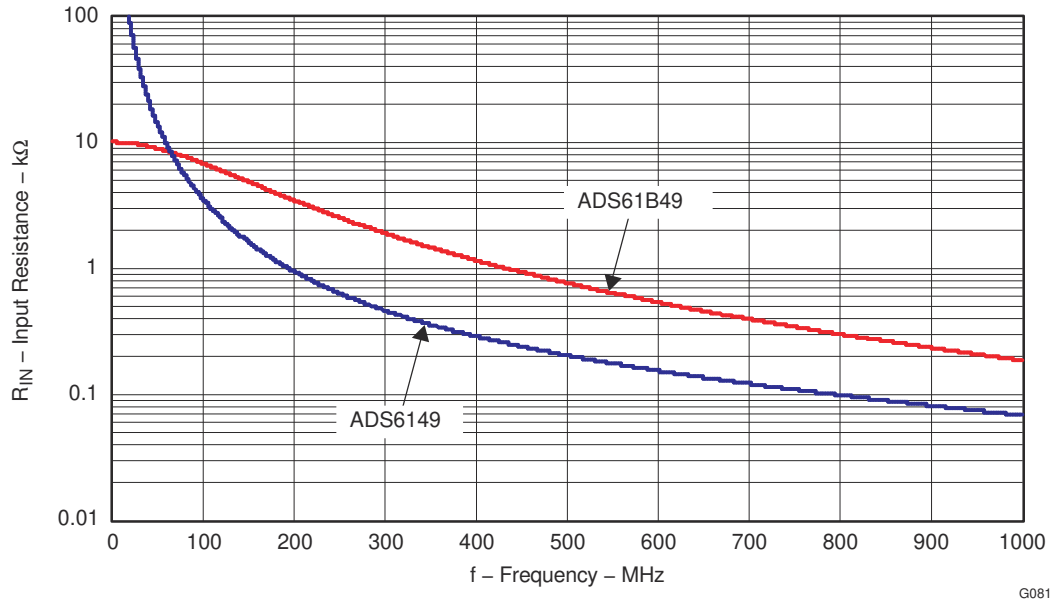


図 7-2. 周波数範囲にわたる ADC アナログ入力抵抗

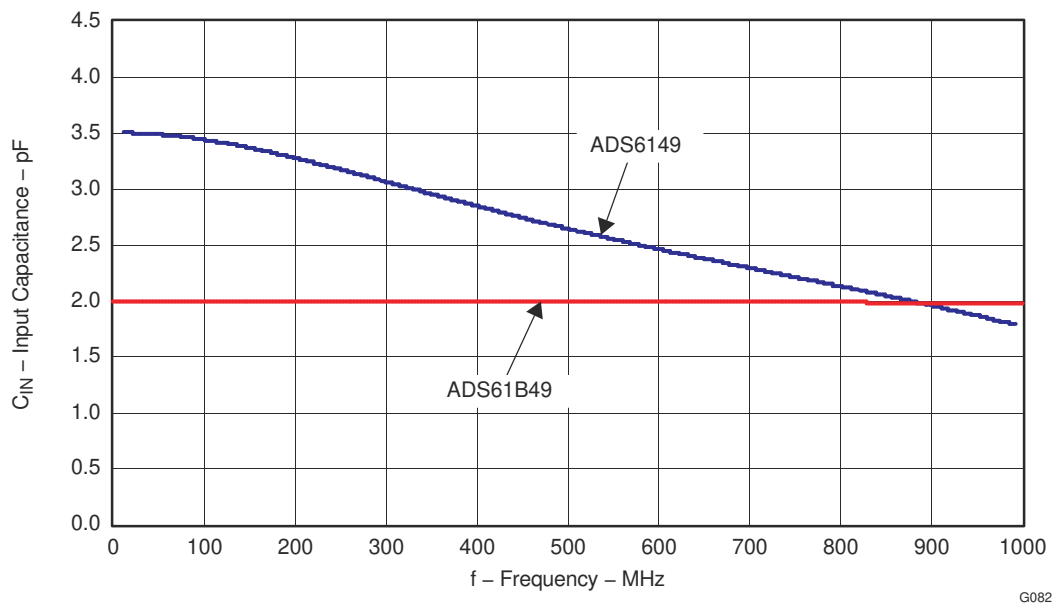


図 7-3. 周波数範囲にわたる ADC アナログ入力容量

7.1.2.2 駆動回路

2 種類の駆動回路構成の例を [図 7-5](#) と [図 7-4](#) に示します。1 つは低入力周波数向けに、もう 1 つは高入力周波数向けに最適化しています。どちらの場合も、バッファなしの ADS6149 に比べて基板回路が簡素化されていることに注意してください。[図 7-4](#) では単一のトランスを使用して低入力周波数に適していますが、一部の高周波アプリケーションでも作動します。高入力周波数 (> 2 次ナイキスト) での偶数高調波性能を最適化するため、双方向トランスの使用を推奨します ([図 7-5](#) を参照)。

両方の駆動回路は、ADC 側の近くで 50Ω で終端していることに注意してください。AC カップリング コンデンサによって、アナログ入力を必要な同相電圧付近で自己バイアスできます。

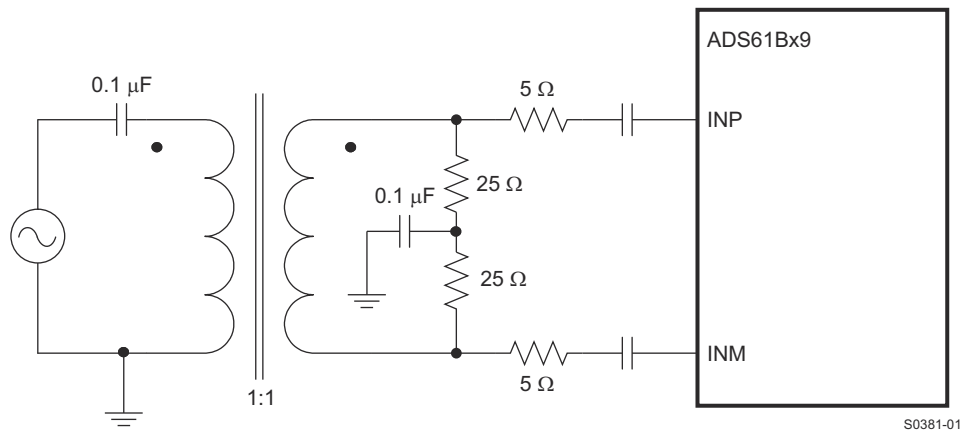


図 7-4. 低周波向けの駆動回路

(巻線間の)トランスの寄生容量の不整合は、偶数次高調波の性能を低下させます。2 個の同一 RF トランスを双方向に接続すると、この不整合を最小限に抑え、高周波入力信号に対して良好な性能が得られます。図に示すように、2 個のトランス間に追加の終端抵抗ペアが必要になる場合があります。この終端の中心点をグランドに接続して、P 側と M 側のバランスを改善しています。トランスと 2 次側の間の終端の値は、(ソース インピーダンスが 50Ω の場合) 50Ω の効果達成するように選択する場必要があります。

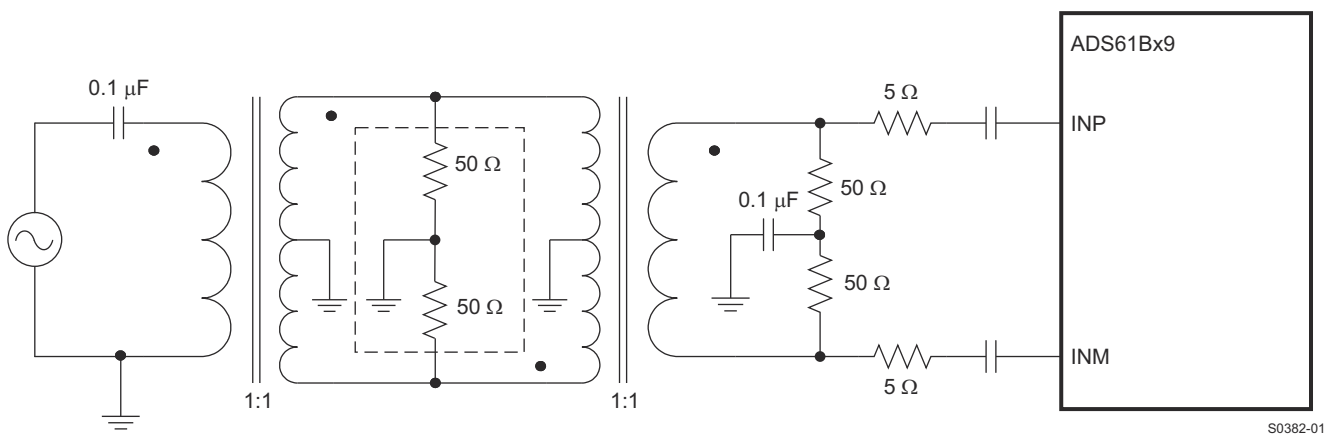


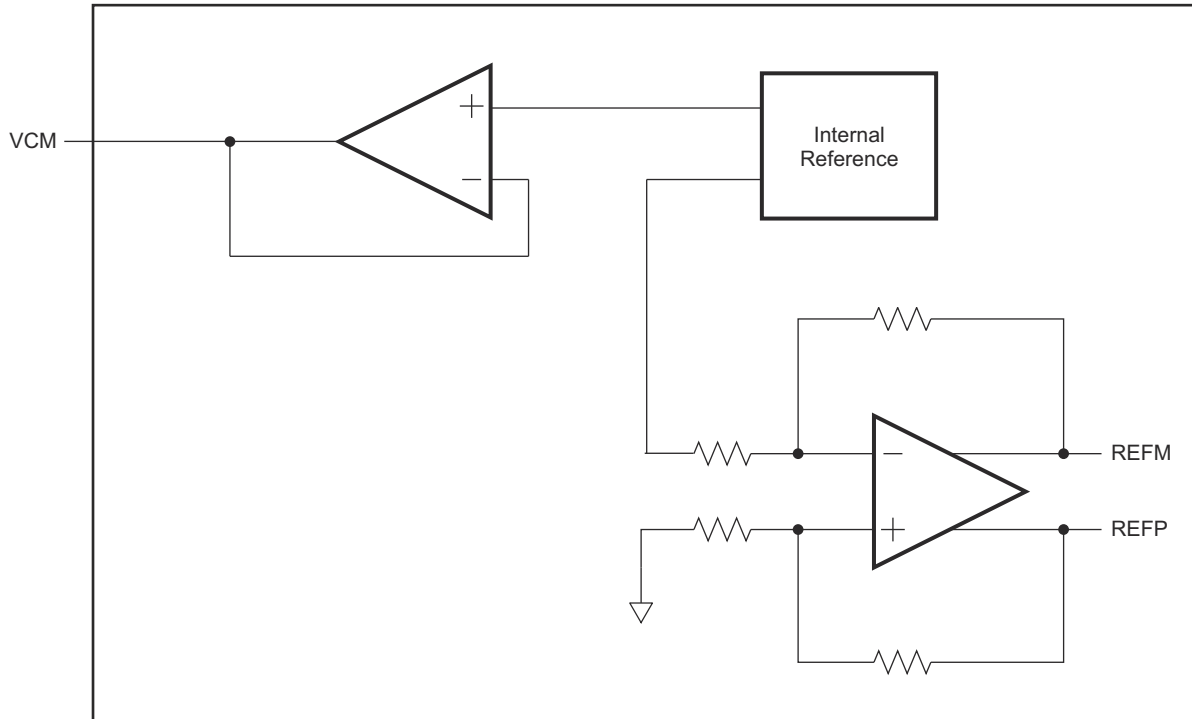
図 7-5. 高周波向けの駆動回路

7.1.2.3 入力同相モード

低ノイズの同相モードのリファレンス電圧を確保するため、グランドに接続した $0.1\mu\text{F}$ 低インダクタンス コンデンサで VCM ピンをフィルタ処理します。入力同相電圧は公称 2.3V で、ADS6149 の場合は 1.5V です。

7.1.3 リファレンス

ADS61B49/29 には内部リファレンス REFP および REFM が内蔵されており、外付け部品は必要ありません。設計スキームは、リファレンスで観測されるコンバータ負荷を線形化するために使用されます。これを必要なリファレンス コンデンサとオンチップで統合したことにより、外部のデカップリングが不要になります。外部リファレンス モードはサポートされていません。このリファレンスは、VCM 出力 (2.3V) を生成します。

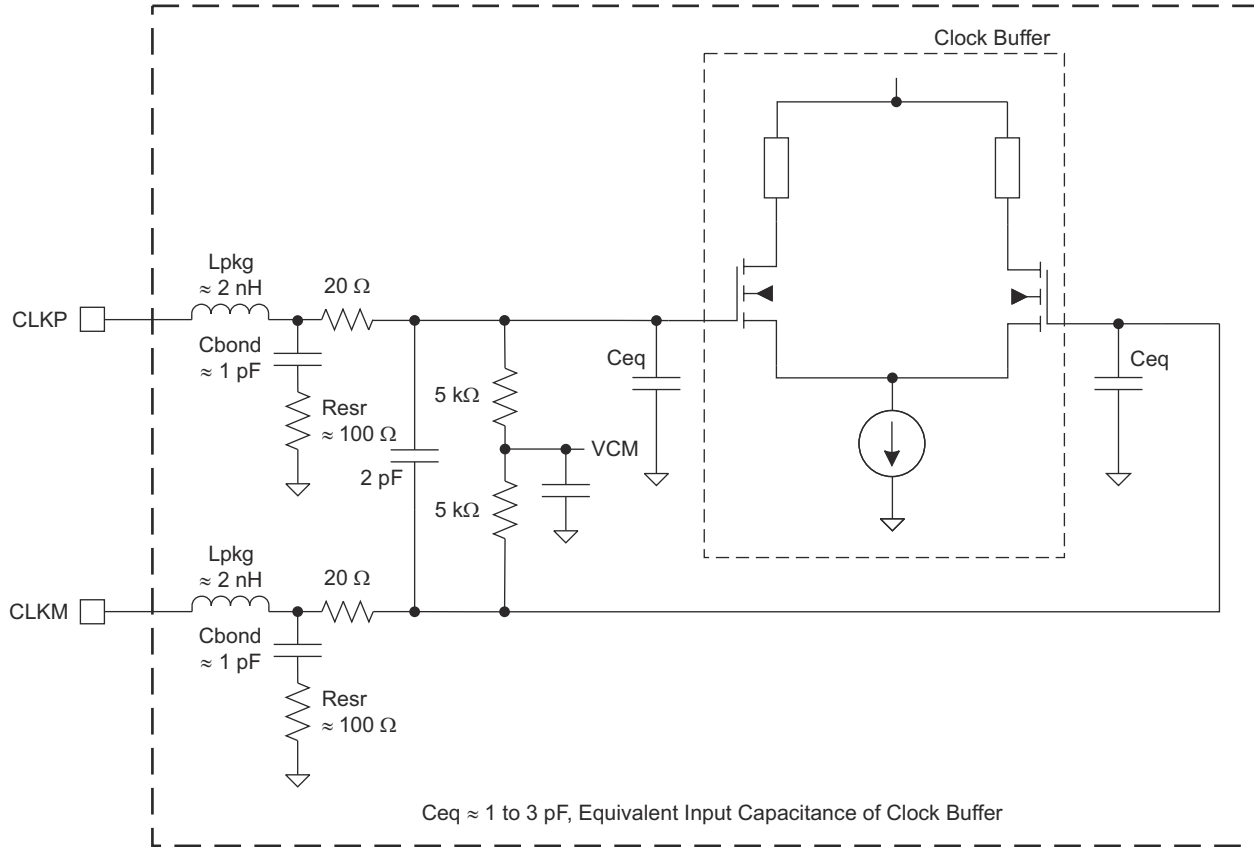


S0165-10

図 7-6. リファレンス部

7.1.4 クロック入力

ADS61B49/29 のクロック入力は、差動 (正弦、LVPECL、LVDS) またはシングルエンド (LVCMOS) で駆動できます。これらの入力間の性能差はほとんどありません。クロック入力の同相電圧は、内部の 5kΩ 抵抗を使用して VCM に設定されます。これにより、正弦波クロックに対してトランス結合された駆動回路を使用するか、LVPECL、LVDS クロック ソースに AC 結合することができます。



S0275-04

図 7-7. 内部クロック バッファ

図 7-9 に示すように、シングルエンド CMOS クロックを CLKP 入力に AC 結合し、CLKM を 0.1- μ F コンデンサを使用してグランドに接続できます。最高の性能を実現するには、同相ノイズの影響を低減して、クロック入力を差動で駆動する必要があります。入力周波数が高いサンプリングのために、ジッタが非常に小さいクロック ソースを使用することを推奨します。クロック ソースのバンドパス フィルタリングは、ジッタの影響を低減するのに役立ちます。50% 以外のデューティサイクル クロック入力では、性能に変化はありません。

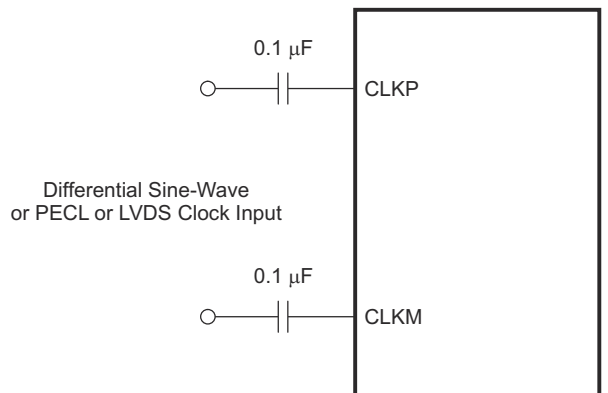


図 7-8. 差動クロック 駆動回路

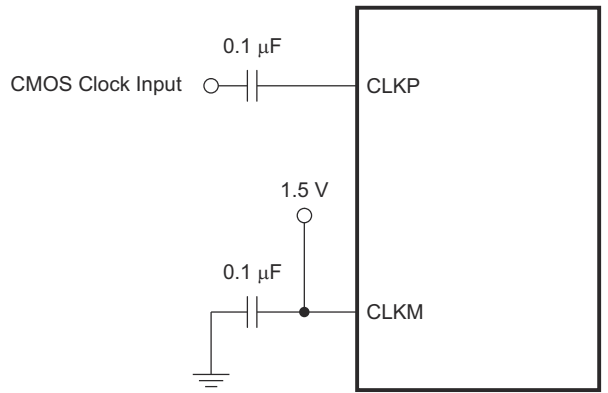


図 7-9. シングルエンド クロック 駆動回路

7.1.5 微調整ゲイン制御

ADS61B49/29 にはゲイン設定が含まれており、SFDR 性能の向上(ゲインなしとの比較) や、必要なフルスケール入力電圧の低減の目的で使用できます。ゲインはプログラム可能で、0.5dB 段階で 0dB ~ 6dB に設定できます。各ゲイン設定は 表 7-1 に示すように、アナログ入力のフルスケールレンジでは正比例でスケーリングされます。

SFDR の改善は信号対雑音比 (SNR) を犠牲にして達成します。各ゲイン設定で、信号対雑音比は約 0.5 ~ 1dB 低下します。入力周波数が高い場合、信号対雑音比の劣化は小さくなります。その結果、信号対雑音比のわずかな低下で SFDR が大幅に改善されるため、高い入力周波数ではゲインの微調整が有益です。

それでゲインを微調整して SFDR と信号対雑音比のトレードオフを行います。リセット後のデフォルトのゲインは 0dB であることに注意してください。

表 7-1. 各ゲインでのフルスケールレンジ

ゲイン, dB	タイプ	フルスケール, V _{PP}
0	リセット後のデフォルト	2V
1	微調整、プログラマブル	1.78
2		1.59
3		1.42
4		1.26
5		1.12
6		1.00

7.1.6 オフセット補正

ADS61B49/29 は、最大 ±10mV の DC オフセットを推定し補正する内部オフセット補正アルゴリズムを備えています。補正を有効化するには、シリアルレジスタビット <ENABLE OFFSET CORR> を使用します。有効化すると、アルゴリズムがチャンネルのオフセットを推定し、クロックサイクルごとに補正を適用します。補正ループの時定数は、サンプリングクロック周波数の関数です。時定数は 表 7-2 に示すように、レジスタビット <OFFSET CORR TIME CONSTANT> で制御できます。

オフセットを推定した後、<OFFSET CORR TIME CONSTANT> = 0 に設定して補正をロックできます。ロックすると、最後の推定値でクロックサイクルごとにオフセットを補正します。オフセット補正は、リセット後はデフォルトで無効化されていることに注意してください。

オフセット補正アルゴリズムを有効化した後の時間応答を、図 7-10 に示します。

表 7-2. オフセット補正アルゴリズムの時定数

<OFFSET CORR TIME CONSTANT> D3 ~ D0	時定数 (T _{CCLK})、クロックサイクル数	時定数、秒 (T _{CCLK} × 1/F _s) ⁽¹⁾
0000	256k	1ms
0001	512k	2ms
0010	1M	4ms
0011	2M	8ms
0100	4M	17ms
0101	8M	33ms
0110	16M	67ms
0111	32M	134ms
1000	64M	268ms
1001	128M	536ms
1010	256M	1.1s
1011	512M	2.2s
1100	予約済み	-

表 7-2. オフセット補正アルゴリズムの時定数 (続き)

<OFFSET CORR TIME CONSTANT> D3 ~ D0	時定数 (T _{CCLK}), クロック サイクル数	時定数, 秒 (T _{CCLK} × 1/F _s) ⁽¹⁾
1101	予約済み	–
1110	予約済み	–
1111	予約済み	–

(1) サンプリング周波数、F_s = 250MSPS

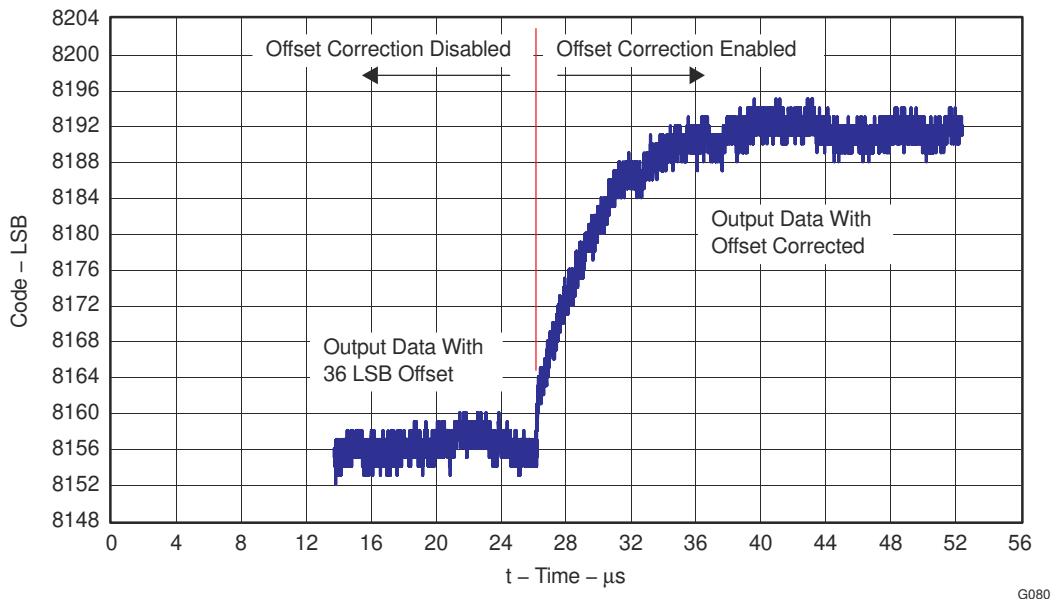


図 7-10. オフセット補正を有効化した場合の出力コード時間応答

7.1.7 パワーダウン

ADS61B49 / 29 には、パワーダウン グローバル、スタンバイ、出力バッファ ディセーブルの 3 つのパワーダウン モードがあります。

7.1.7.1 パワーダウン グローバル

このモードでは、A/D コンバータ、内部リファレンス、出力バッファを含むチップ全体がパワーダウンするため、総消費電力は約 20mW に抑えられます。出力バッファはハイ インピーダンス状態です。グローバル パワーダウンからデータが通常モードで有効になるまでのウェークアップ時間は、通常 25 μs です。

これは、レジスタビット<PDN GLOBAL> または SDATA ピン (パラレル構成モード) を使用して制御できます。

7.1.7.2 スタンバイ

この場合、A/D コンバータのみがパワーダウンし、内部リファレンス電圧がアクティブになっているため、300ns という高速ウェークアップ時間を実現します。スタンバイ時の総消費電力は約 120mW です。

これは、レジスタビット <STANDBY> を使用して制御できます。

7.1.7.3 出力バッファの無効化

出力バッファを無効化してハイ インピーダンス状態にすることができます。このモードからのウェークアップ時間は高速で、約 40ns です。これは、レジスタビット <PDN OBUF> を使用して制御できます。

7.1.7.4 入力クロック停止

上記に加えて、入力クロック周波数が 1MSPS を下回ると、コンバータはローパワーモードに移行します。消費電力は約 120mW です。

7.1.8 電源シーケンス

パワーアップ時、AVDD および DRVDD 電源は任意のシーケンスで起動できます。2 つの電源はデバイス内で分離されています。

7.1.9 デジタル出力情報

ADS61B49/29 は 14 ビット / 12 ビットのデータと、データに同期した出力クロックを提供します。

7.1.9.1 出力インターフェイス

ダブル データ レート (DDR) LVDS とパラレル CMOS という 2 種類の出力インターフェイス オプションを選択できます。シリアル インターフェイスレジスタビット <ODI> を使用するか、パラレル構成モードで DFS ピンを使用して選択します。

7.1.9.2 DDR LVDS 出力

このモードでは、データ ビットとクロックは低電圧差動信号 (LVDS) レベルを使用して出力されます。2 つのデータ ビットは多重化され、各 LVDS 差動ペアで出力されます。

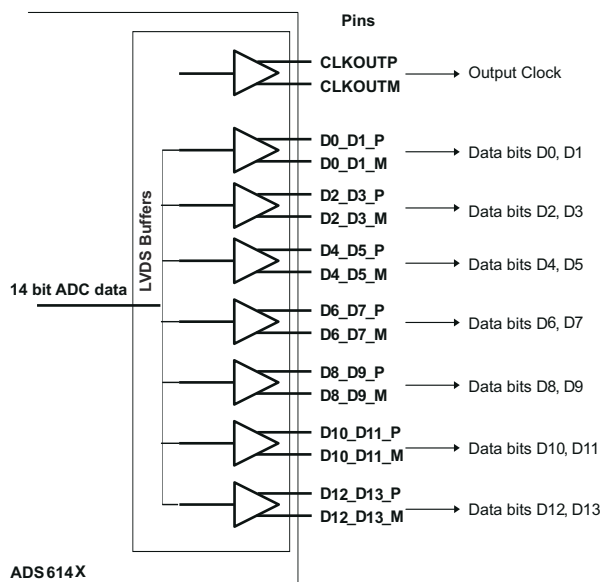


図 7-11. 14 ビット ADC LVDS の出力

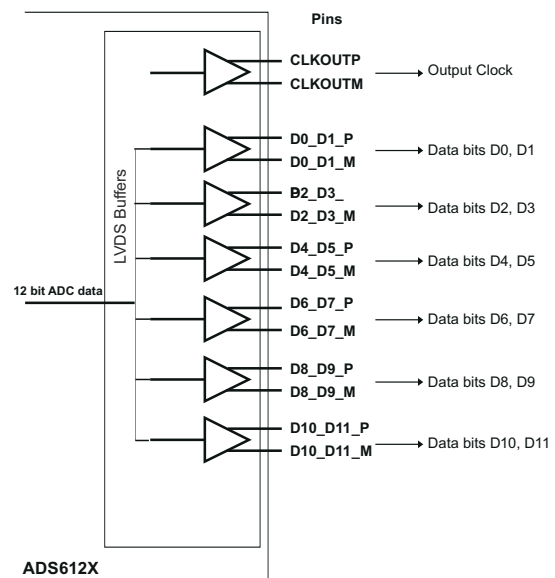


図 7-12. 12 ビット ADC LVDS の出力

偶数データ ビット D0、D2、D4...は、CLKOUTP の立ち下がりエッジで出力され、奇数データ ビット D1、D3、D5...は、CLKOUTP の立ち上がりエッジで出力されます。すべてのデータ ビットをキャプチャするには、CLKOUTP の立ち上がりエッジと立ち下がりエッジの両方を使う必要があります (図 7-13 を参照)。

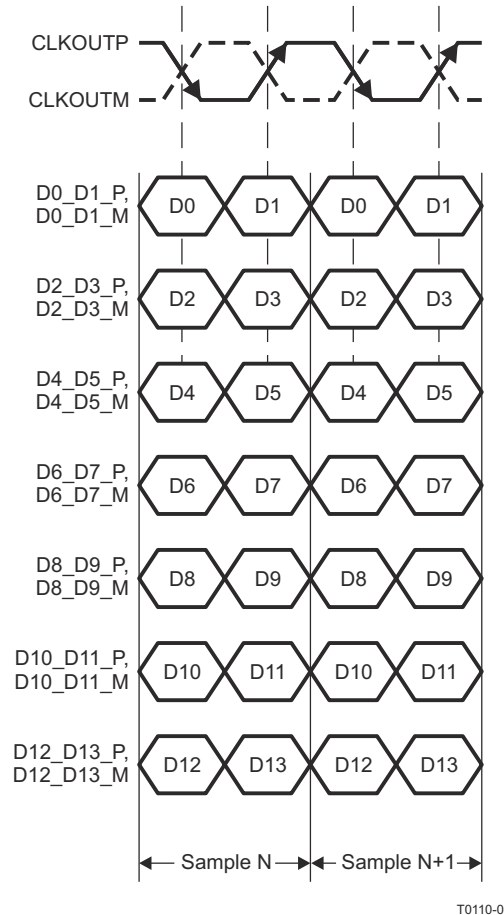
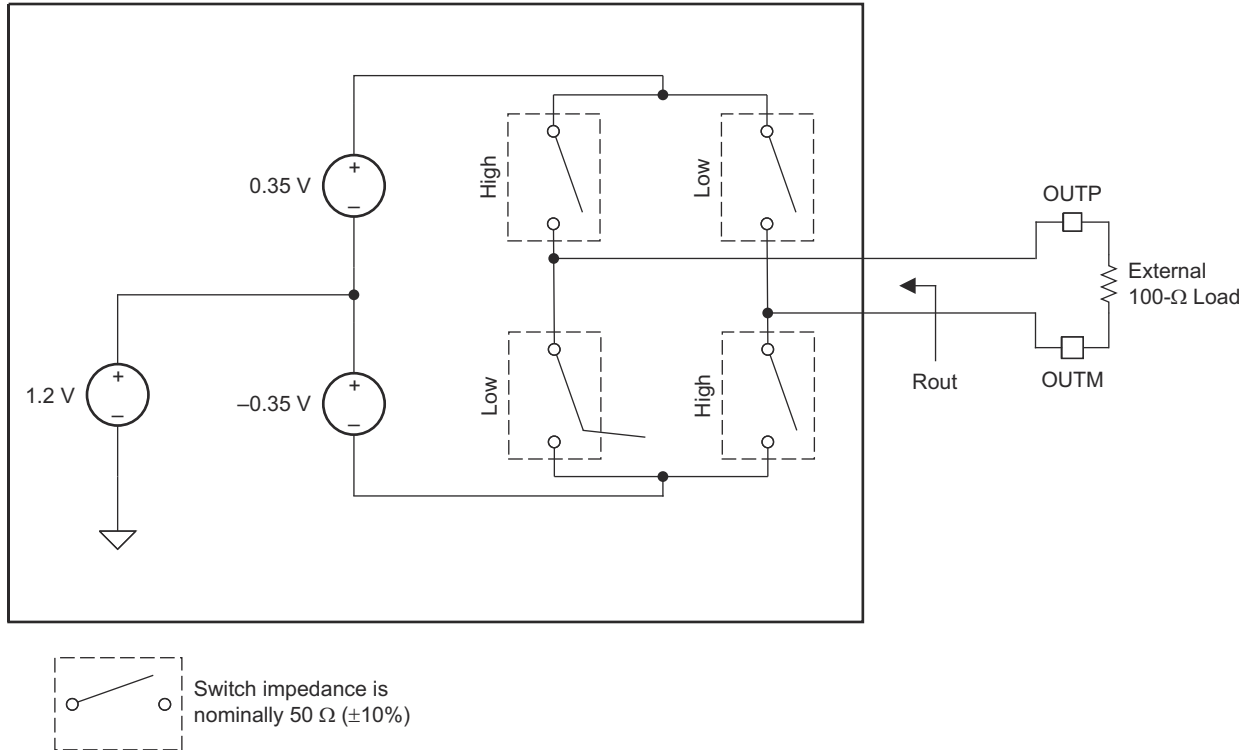


図 7-13. DDR LVDS インターフェイス

7.1.9.3 LVDS バッファ

各 LVDS 出力バッファの等価回路を 図 7-14 に示します。このバッファは、100Ω (Rout) の出力インピーダンスを示すよう設計しています。差動出力は受信端にて 100 Ω 終端抵抗で終端できます。バッファの出力インピーダンスは、ソース側での直列の終端のように動作します。レシーバ端からの反射を吸収すると、信号の整合性の改善に役立ちます。この内部終端は無効化できず、その値は変更できないことに注意してください。



When the High switches are closed, $OUTP = 1.375\ V$, $OUTM = 1.025\ V$
 When the Low switches are closed, $OUTP = 1.025\ V$, $OUTM = 1.375\ V$
 When the High (or Low) switches are closed, $R_{out} = 100\ \Omega$

S0374-02

図 7-14. LVDS バッファ等価回路

7.1.9.4 パラレル CMOS インターフェイス

CMOS モードでは、個別のピンに対し、各データ ビットを CMOS 電圧レベルとしてクロック サイクルごとに出力します。出力クロック CLKOUT の立ち上がりエッジを使用すると、レシーバにデータをラッチできます(最大で約 **150MSPS** のサンプリング周波数)。

最大 **150MSPS** で、CLKOUT に関する出力データの設定タイミングとホールド タイミングを規定します。レシーバへのパターンを短くして、データとクロック出力ピンで観測される負荷容量を最小限に抑えることを推奨します。また、出力データのパターンとクロックのパターンを一致させて、その間のスキューを最小化します。

CMOS モードで **150MSPS** を超えるサンプリング周波数の場合、外部クロックによるデータのキャプチャを推奨します。高いサンプリング周波数では、出力データまでの入力クロック遅延とデータ有効時間が規定されています。そのタイミングを利用して入力クロックを適切に遅延させ、データをキャプチャできます (図 5-4 を参照)。CMOS モードで発生するデバイスや基板のノイズのため、高いサンプルレートでの LVDS 出力モードの使用を考慮することを推奨します。

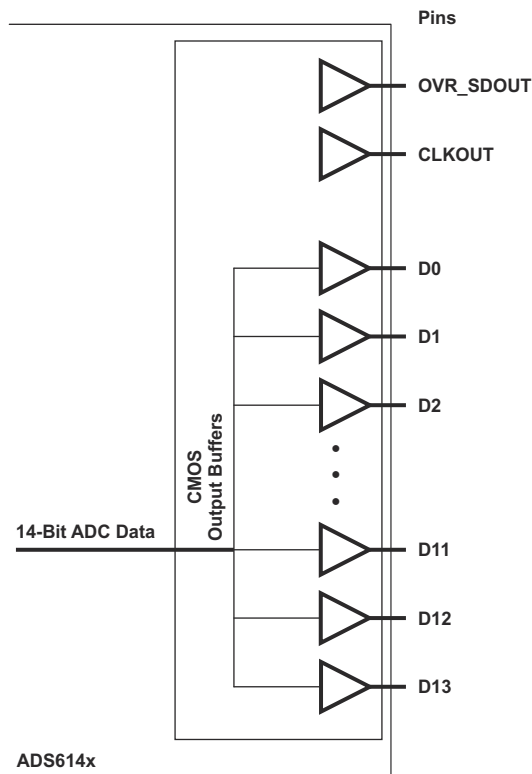


図 7-15. CMOS 出力インターフェイス

7.1.9.5 出力バッファ強度のプログラマビリティ

スイッチングノイズ (CMOS 出力データ遷移により発生) は、サンプリングの瞬間にアナログ入力に結合して、信号対雑音比 (SNR) を低下させることがあります。出力バッファ駆動が強くなると、結合が増加し SNR の低下が大きくなります。これを最小化するため、CMOS 出力バッファは、駆動強度を制御して最高の信号対雑音比を達成するように設計しています。またデフォルトの駆動強度で、最大 5 pF の負荷容量で幅広く安定したデータウィンドウも確保します。

7.1.9.6 CMOS インターフェイスの消費電力

CMOS 出力では、DRVDD 電流は、各出力ピンのサンプリング周波数および負荷容量に応じてスケールされます。DRVDD 電流の最大値は、各出力ビットがクロック サイクルごとに 0 ~ 1 の間で切り替わった場合に発生します。実際のアプリケーションでは、DRVDD 電流はスイッチングする出力ビットの平均数によって決定されます。これはサンプリング周波数の機能であり、アナログ入力信号の性質です。

CMOS 出力スイッチングによるデジタル電流 = $C_L \times \text{DRVDD} \times (N \times F_{\text{AVG}})$ 、

ここで、

C_L = 負荷容量、

$N \times F_{\text{AVG}}$ = スwitchングする出力ビットの平均数。

図 5-46 に、3MHz のアナログ入力周波数におけるサンプリング周波数全体の電流を示します。

7.1.9.7 出力データ フォーマット

2 種類の出力データ フォーマット (2 の補数とオフセット バイナリ) をサポートしています。これはシリアル インターフェイス レジスタビット <DATA FORMAT> で選択するか、パラレル構成モードで DFS ピンを制御して選択します。

入力電圧のオーバードライブが発生すると、デジタル出力は適切なフルスケール レベルに達します。正のオーバードライブの場合、出力コードはオフセット バイナリ出力フォーマットでは 0x3FFF に、2 の補数フォーマットでは 0x1FFF になり

ます。負の入力オーバードライブの場合、出力コードはオフセット バイナリ出力フォーマットでは 0x0000、2 の補数出力フォーマットでは 0x2000 です。

7.1.10 基板設計の検討事項

7.1.10.1 グランディング (グラウンド接続)

ボードのアナログ、デジタル、クロックの各セクションが明確に分離されている場合は、1 つのグラウンド プレーンで良好な性能を十分に達成できます。レイアウトとグランディングの詳細については、『評価基板ユーザー ガイド』をご覧ください。

7.1.10.2 電源のデカップリング

ADS61B49/29 にはすでに内部デカップリングが内蔵されているため、使用する外部デカップリングは最小限とすることができます。また、性能を低下させることもありません。デカップリング コンデンサは外部電源ノイズをフィルタリングするのに役立ちますが、最適なコンデンサの数は実際のアプリケーションによって異なりますのでご注意ください。デカップリング コンデンサは、コンバータの電源ピンのすぐ近くに配置する必要があります。

7.1.10.3 露出パッド付き

パッドは放熱の経路を提供するだけでなく、内部で電氣的にデジタル グラウンドに接続されています。このため、最良の熱特性と電氣的性能を得るには、露出パッドをグラウンド プレーンに半田付けする必要があります。

詳細については、『QFN レイアウト ガイドライン』([SLOA122](#)) と『QFN/SON の PCB 実装』([SLUA271](#)) のアプリケーションノートをご覧ください。

7.1.11 仕様の定義

アナログ帯域幅 – 基本波の電力が低周波数値に対して 3dB 低減されるアナログ入力周波数。

アパーチャ遅延 – 入力サンプリング クロックの立ち上がりエッジから、実際にサンプリングが行われるまでの遅延時間。この遅延はチャンネルによって異なります。最大の変動はアパーチャ遅延の変動 (チャンネル間) として指定されます。

アパーチャの不確実性 (ジッタ) – アパーチャ遅延におけるサンプル間の変動。

クロックのパルス幅 / デューティ サイクル – クロック信号のデューティ サイクルは、クロック信号の周期に対する、信号がロジック "High" に維持される時間の割合 (クロックのパルス幅) です。デューティ サイクルは一般にパーセンテージで表されます。完全な差動正弦波クロックは、デューティ サイクルが 50% です。

最大変換レート – 認証された動作に対して指定される最大サンプリング レート。特に記述のない限り、すべてのパラメータ測定はこのサンプリング レートで行われます。

最小変換レート – ADC が機能する最小サンプリング レート。

微分非直線性 (DNL) – 理想的な ADC は、正確に 1LSB 間隔で配置されたアナログ入力値でコードトランジションを示します。DNL は、この理想的な値からの 1 ステップの偏差で、LSB 単位で測定します。

積分非直線性 (INL) – INL は、その伝達関数の最小 2 乗曲線当てはめによって決定され、LSB の単位で測定される、最適なフィットラインからの ADC 伝達関数の偏差です。

ゲイン誤差 – ゲイン誤差は、ADC の実際の入力のフルスケール レンジと、その理想的な値との差異を示します。ゲイン誤差は、理想的な入力のフルスケール レンジに対するパーセンテージで表されます。ゲイン誤差には、リファレンス電圧の不正確さによる誤差と、チャンネルによる誤差という 2 つの要素があります。これらの誤差は、 E_{GREF} と E_{GCHAN} として個別に規定されています。

1 次近似では、ゲイン誤差の合計は $E_{TOTAL} \sim E_{GREF} + E_{GCHAN}$ です。

たとえば、 $E_{TOTAL} = \pm 0.5\%$ の場合、フルスケール入力は $(1 - 0.5/100) \times FS_{Ideal}$ から $(1 + 0.5/100) \times FS_{Ideal}$ まで変化します。

オフセット誤差 – オフセット誤差は、実際の平均アイドル チャンネル出力コードと、ADC の理想的な平均アイドル チャンネル出力コードとの差で、LSB を単位として表されます。この数値は多くの場合、mV にマッピングされます。

温度ドリフト – 温度ドリフト係数 (ゲイン誤差とオフセット誤差を基準とした) は、パラメータの摂氏温度あたりの変化 ($T_{MIN} \sim T_{MAX}$) を規定しています。これは、 $T_{MIN} \sim T_{MAX}$ の範囲におけるパラメータの最大偏差を $T_{MAX} - T_{MIN}$ の差で除算して計算されます。

信号対雑音比 – SNR は基本波の電力 (P_S) のノイズフロア電力 (P_N) に対する比で、DC および最初の 9 次の高調波の出力は除外されます。

$$SNR = 10 \log_{10} \frac{P_S}{P_N} \quad (1)$$

SNR は、基本波の絶対電力をリファレンスとして使用する場合は dBc (dB からキャリアまで) 単位、または基本波の電力がコンバータのフルスケール レンジに外挿されている場合は dBFS (dB からフルスケールまで) 単位で表されます。

信号対雑音比および歪み (SINAD) – SINAD は基本波の電力 (P_S) と、ノイズ (P_N) や歪み (P_D) など、dc を除く他のすべてのスペクトル成分の電力との比です。

$$SINAD = 10 \log_{10} \frac{P_S}{P_N + P_D} \quad (2)$$

SINAD は、基本波の絶対電力をリファレンスとして使用する場合は dBc (dB からキャリアまで) 単位、または基本波の電力がコンバータのフルスケール レンジに外挿されている場合は dBFS (dB からフルスケールまで) 単位で表されます。

有効ビット数 (ENOB) – ENOB は、量子化ノイズに基づく理論的な制限と比較した、コンバータ性能の測定値です。

$$\text{ENOB} = \frac{\text{SINAD} - 1.76}{6.02} \quad (3)$$

全高調波歪み (THD) – THD は、基本波の電力 (P_S) と最初の 9 つの高調波の電力 (P_D) との比です。

$$\text{THD} = 10 \text{Log}^{10} \frac{P_S}{P_N} \quad (4)$$

THD は通常、dBc (dB 対キャリア) 単位で表されます。

スプリアスフリー ダイナミックレンジ (SFDR) – 基本波の電力の、次に大きなスペクトル成分 (スパーまたは高調波) に対する比。SFDR は通常、dBc (dB 対キャリア) 単位で表されます。

ツー トーン相互変調歪み – IMD3 は、周波数 $2f_1-f_2$ または $2f_2-f_1$ における最悪のスペクトル成分の電力に対する基本波の電力 (周波数 f_1 および f_2) の比です。IMD3 は、基本波の絶対電力をリファレンスとして使用する場合は dBc (dB からキャリアへ) 単位、または基本波の電力がコンバータのフルスケールレンジに外挿されている場合は dBFS (dB からフルスケールまで) 単位で表されます。

DC 電源除去比 (DC PSRR) – DC PSRR は、オフセット誤差での変化の、アナログ電源電圧での変化に対する比率です。DC PSRR は通常、mV/V 単位で表されます。

AC 電源除去比 (AC PSRR) – AC PSRR は、ADC による電源電圧での変動除去の測定値です。 ΔV_{SUP} が電源電圧での変化、 ΔV_{OUT} が ADC 出力コードの結果の変化 (入力を基準とする) である場合、次のようになります。

$$\text{PSRR} = 20 \text{Log}^{10} \frac{\Delta V_{\text{OUT}}}{\Delta V_{\text{SUP}}} \quad (\text{Expressed in dBc}) \quad (5)$$

電圧過負荷復帰 – アナログ入力の過負荷から、誤差 1% 以内に回復するために必要なクロック サイクル数。これは、6dB の正と負の過負荷で正弦波信号を別々に印加することでテストされます。過負荷後の最初の数サンプルの偏差 (予想値からの) を示します。

同相信号除去比 (CMRR) – CMRR は、ADC によるアナログ入力同相モードの変動除去の測定値です。 $\Delta V_{\text{CM_IN}}$ が入力ピンの同相電圧の変化で、 ΔV_{OUT} が ADC 出力コードの結果の変化 (入力を基準とする) である場合、次のようになります。

$$\text{CMRR} = 20 \text{Log}^{10} \frac{\Delta V_{\text{OUT}}}{\Delta V_{\text{CM}}} \quad (\text{Expressed in dBc}) \quad (6)$$

クロストーク (マルチチャネル ADC のみ) – 隣接チャネルから対象チャネルへの信号の内部結合の測定値。直接隣接しているチャネル (ニアチャネル) からの結合と、パッケージを介したチャネルからの結合 (ファーチャネル) に対して個別に指定されます。通常は、隣接するチャネルにフルスケール信号を印加することで測定されます。クロストークは、(対象のチャネルの出力で測定される) 結合信号の電力と、隣接するチャネルの入力に印加される信号の電力の比です。通常は dBc 単位で表されます。

8 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介합니다。

8.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (May 2009) to Revision C (May 2026)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• 「目次」、「ピン構成および機能」セクション、「仕様」セクション、「詳細説明」セクション、「機能ブロック図」セクション、「アプリケーションと実装」セクション、「デバイスと文書化サポート」セクション、「改訂履歴」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加.....	1
• 「説明」に「パッケージ情報」表を追加.....	1
• 「タイミング要件」表、表 5-1 および 表 5-2 でサンプリング周波数を 100MSPS から 80MSPS に変更しました.....	13
• セクション 6.3.1 のイネーブル ロー速度モードで 100MSPS を 80MSPS に変更.....	37

Changes from Revision A (December 2008) to Revision B (May 2009)	Page
• セクション 4.1 で DFS ピン番号を 8 から 6 に変更.....	3
• セクション 4.2 で DFS ピン番号を 8 から 6 に変更.....	5
• ADS61B29 のブロック図に OE 入力を追加.....	29
• ADS61B49 のブロック図に OE 入力を追加.....	30

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ADS61B29IRGZR	Active	Production	VQFN (RGZ) 48	2500 LARGE T&R	Yes	NIPDAU NIPDAUAG	Level-3-260C-168 HR	-40 to 85	AZ61B29
ADS61B29IRGZR.A	Active	Production	VQFN (RGZ) 48	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	AZ61B29
ADS61B29IRGZT	Active	Production	VQFN (RGZ) 48	250 SMALL T&R	Yes	NIPDAU NIPDAUAG	Level-3-260C-168 HR	-40 to 85	AZ61B29
ADS61B29IRGZT.A	Active	Production	VQFN (RGZ) 48	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	AZ61B29
ADS61B49IRGZR	Active	Production	VQFN (RGZ) 48	2500 LARGE T&R	Yes	NIPDAU NIPDAUAG	Level-3-260C-168 HR	-40 to 85	AZ61B49
ADS61B49IRGZR.A	Active	Production	VQFN (RGZ) 48	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	AZ61B49
ADS61B49IRGZT	Active	Production	VQFN (RGZ) 48	250 SMALL T&R	Yes	NIPDAU NIPDAUAG	Level-3-260C-168 HR	-40 to 85	AZ61B49
ADS61B49IRGZT.A	Active	Production	VQFN (RGZ) 48	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	AZ61B49

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

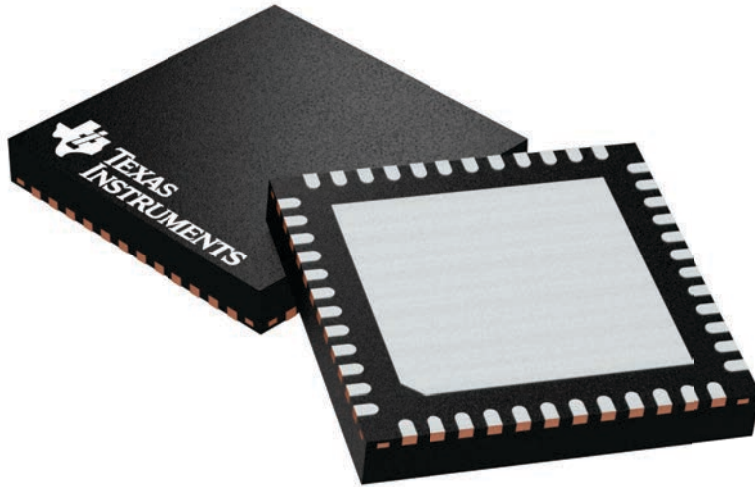
GENERIC PACKAGE VIEW

RGZ 48

VQFN - 1 mm max height

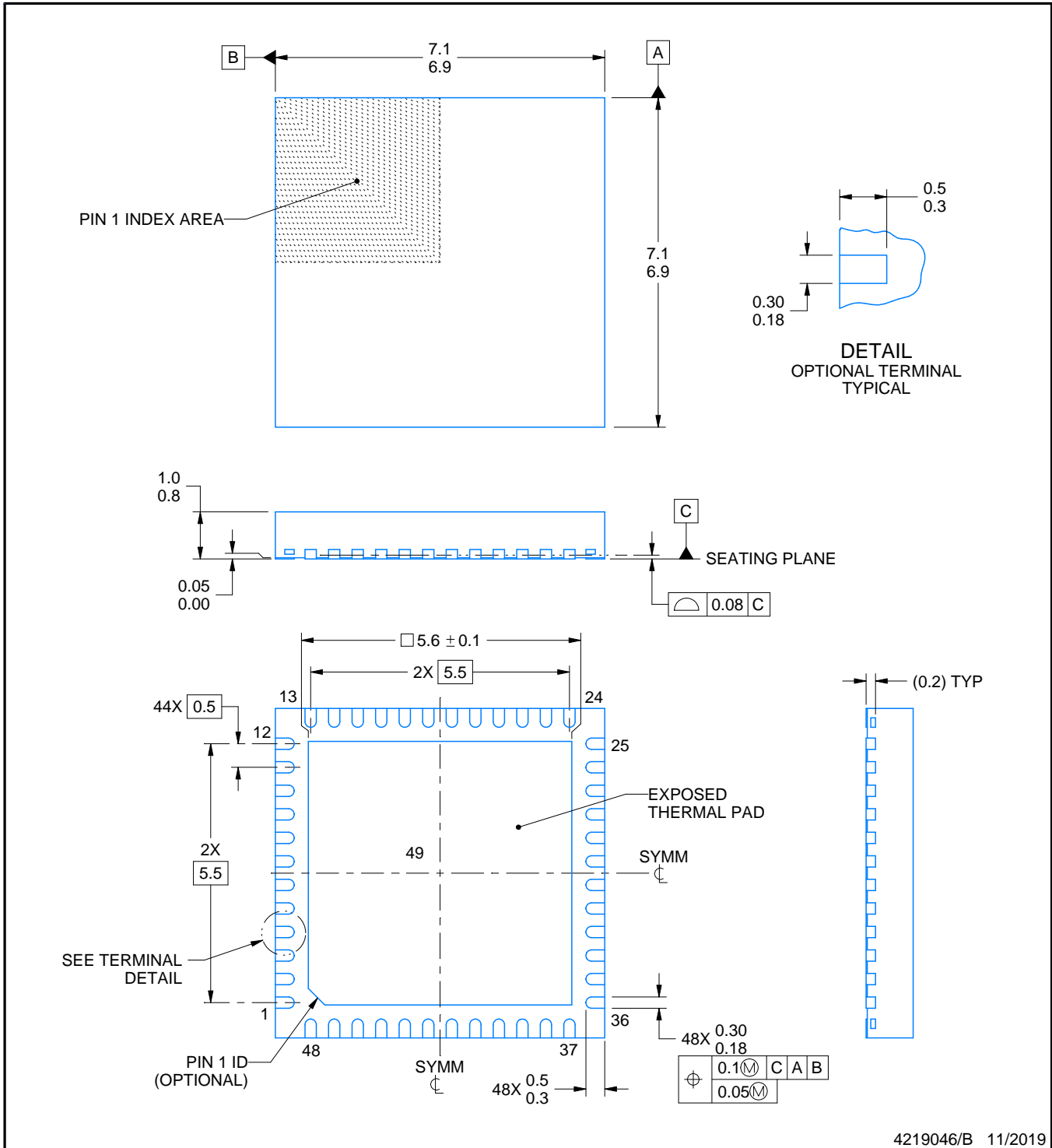
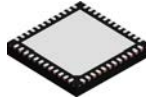
7 x 7, 0.5 mm pitch

PLASTIC QUADFLAT PACK- NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4224671/A



4219046/B 11/2019

NOTES:

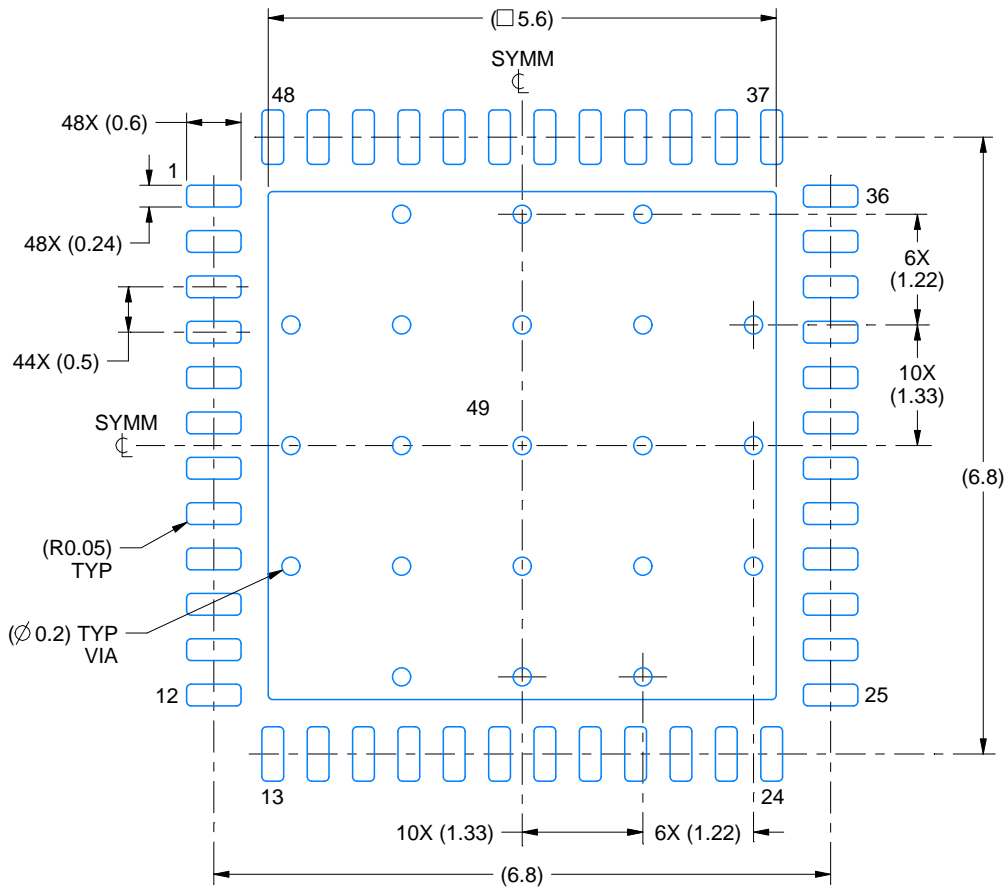
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

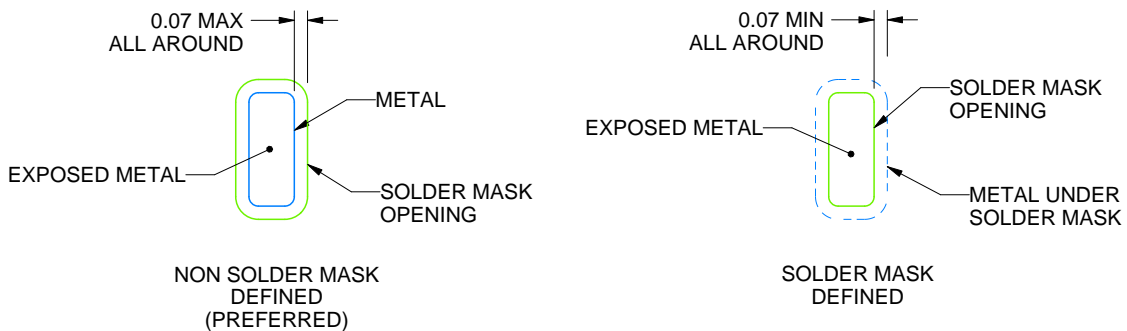
RGZ0048D

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:12X



SOLDER MASK DETAILS

4219046/B 11/2019

NOTES: (continued)

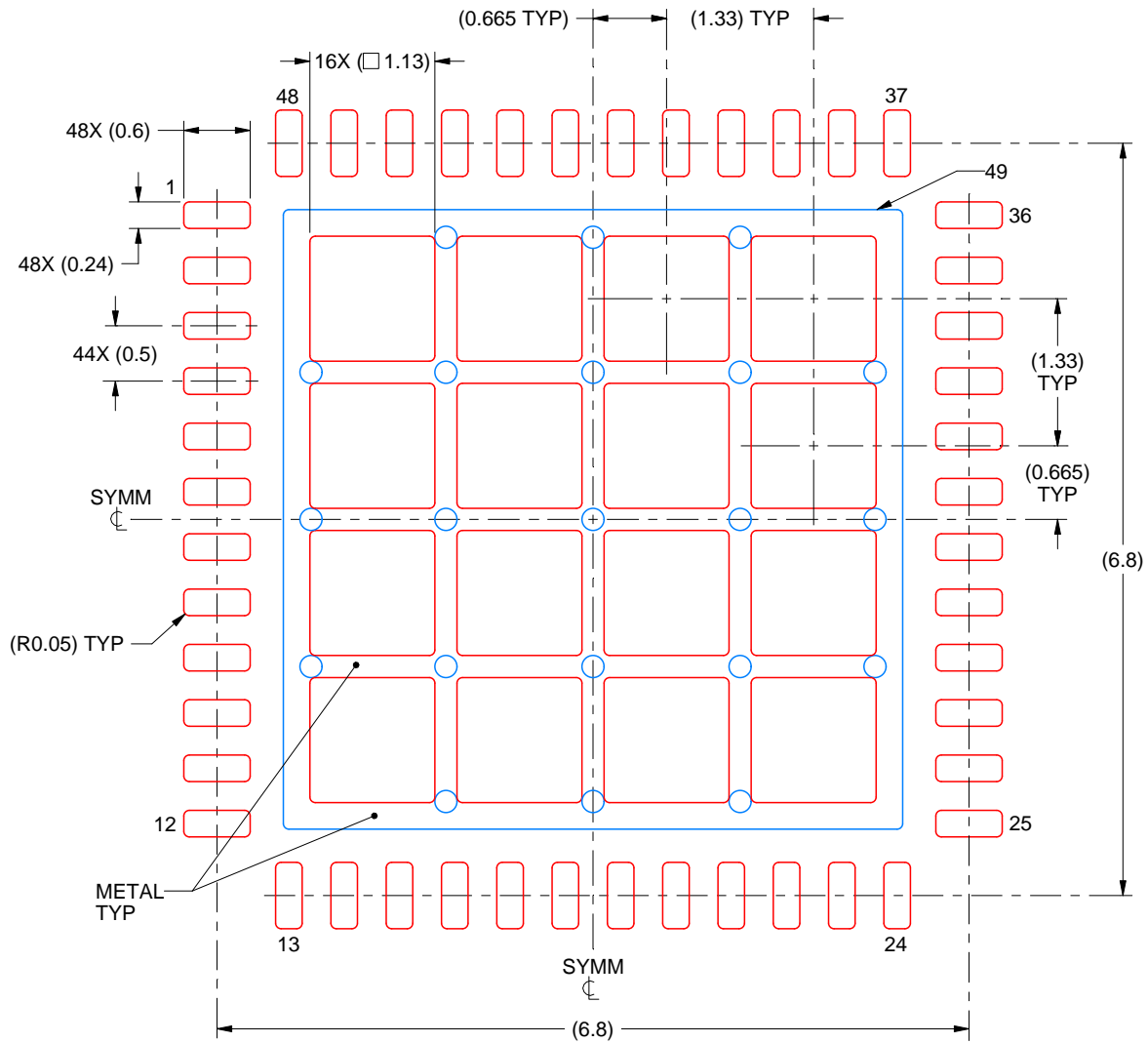
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RGZ0048D

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 49
66% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:15X

4219046/B 11/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月