

# ADS9120 16 ビット、2.5MSPS、15.5mW、拡張パフォーマンス機能を搭載した SAR ADC

## 1 特長

- サンプルレート: 2.5MSPS
- レイテンシ出力なし
- 優れた DC および AC 性能:
  - INL:  $\pm 0.25\text{LSB}$
  - DNL:  $\pm 0.6\text{LSB}$
  - 信号対雑音比: 96dB, THD: -118dB
- 広い入力範囲:
  - ユニポーラの差動入力信号:  $\pm V_{\text{REF}}$
  - $V_{\text{REF}}$  入力範囲: 2.5V ~ 5V、AVDD から独立
- 低消費電力:
  - 2.5MSPS で 9mW (AVDD のみ)
  - 2.5MSPS 時に 15.5mW (合計)
  - 柔軟な低消費電力モードにより、スループットに応じた電力スケールリングが可能
- 拡張 SPI (multiSPI™) デジタル インターフェイス
- 1.8V DVDD で JESD8 - 7A 準拠デジタル I/O
- 拡張温度範囲にわたり仕様規定済み:  $-40^{\circ}\text{C}$  ~  $+125^{\circ}\text{C}$
- 小型サイズ: 4mm × 4mm VQFN

## 2 アプリケーション

- 試験 / 測定機器
- モーター制御
- 医療用画像処理
- 高精度かつ高速な産業用途向け

## 3 説明

ADS9120 は、16 ビット、2.5MSPS で拡張パフォーマンス機能を搭載した、逐次比較型レジスタ (SAR) A/D コンバータ (ADC) です。高いスループットにより、開発者は入力信号をオーバーサンプリングでき、測定のダイナミックレンジと精度を向上させることができます。ADS9110 は、ADS9120 とピン互換の 18 ビット、2MSPS のバリエーションです。

ADS9120 は、TI の拡張 SPI 機能を使用して高分解能データ転送を維持しながらアナログ性能を向上させます。拡張 SPI により、ADS9120 は、低いクロック速度で高いスループットを達成できるため、基板レイアウトを簡素化し、システムコストを低減できます。

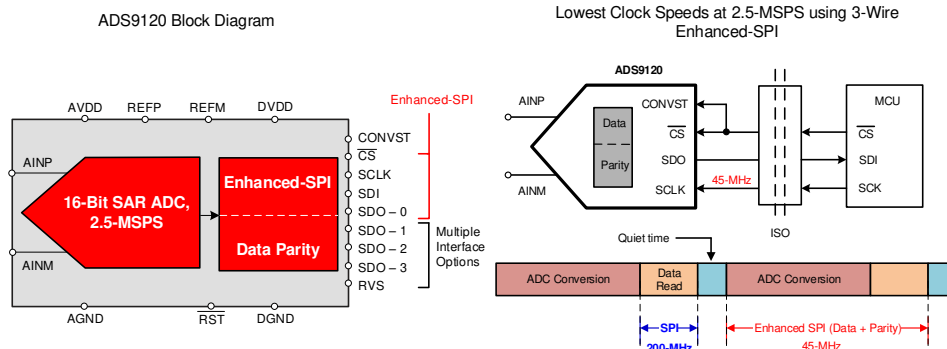
また、拡張 SPI によりデータのホスト クロックインが簡素化されるため、このデバイスは FPGA や DSP に関するアプリケーションに理想的です。ADS9120 は、標準の SPI インターフェイスと互換性があります。ADS9120 には内部的なデータパリティ機能があり、ADC データ出力にパリティを追加できます。パリティビットを使用してホストで ADC データを検証することにより、システムの信頼性が向上します。

このデバイスは、JESD8 - 7A 準拠の I/O、拡張工業用温度範囲に対応し、省スペースの 4mm × 4mm の VQFN パッケージで提供されます。

### フルスループットでの SPI インターフェイス クロック

部品番号 (1)	3-WIRE SPI	3 線式拡張 SPI
ADS9120	200MHz	45MHz

(1) 拡張 SPI のすべての機能については、「[インターフェイス モジュール](#)」セクションを参照してください。



### ADS9120 を使用したシステム設計が容易



## 目次

<b>1 特長</b> .....	1	6.4 デバイスの機能モード	22
<b>2 アプリケーション</b> .....	1	6.5 プログラミング	24
<b>3 説明</b> .....	1	6.6 レジスタ マップ	47
<b>4 ピン構成および機能</b> .....	3	<b>7 アプリケーションと実装</b> .....	50
<b>5 仕様</b> .....	4	7.1 使用上の注意	50
5.1 絶対最大定格	4	7.2 代表的なアプリケーション	53
5.2 ESD 定格	4	<b>8 電源に関する推奨事項</b> .....	58
5.3 推奨動作条件	4	8.1 電源のデカップリング	58
5.4 熱に関する情報	4	8.2 節電	58
5.5 電気的特性	5	<b>9 レイアウト</b> .....	61
5.6 タイミング要件:変換サイクル	7	9.1 レイアウトのガイドライン	61
5.7 タイミング要件:非同期リセット、NAP、および PD	7	9.2 レイアウト例	62
5.8 タイミング要件:SPI 互換のシリアル インターフェイス	7	<b>10 デバイスおよびドキュメントのサポート</b> .....	63
5.9 タイミング要件:ソース同期シリアル インターフェイス (外部クロック)	8	10.1 ドキュメントのサポート	63
5.10 タイミング要件:ソース同期シリアル インターフェイス (内部クロック)	8	10.2 ドキュメントの更新通知を受け取る方法	63
5.11 代表的特性	12	10.3 サポート・リソース	63
<b>6 詳細説明</b> .....	17	10.4 商標	63
6.1 概要	17	10.5 静電気放電に関する注意事項	63
6.2 機能ブロック図	17	10.6 用語集	63
6.3 機能説明	18	<b>11 改訂履歴</b> .....	64
		<b>12 メカニカル、パッケージ、および注文情報</b> .....	64

## 4 ピン構成および機能

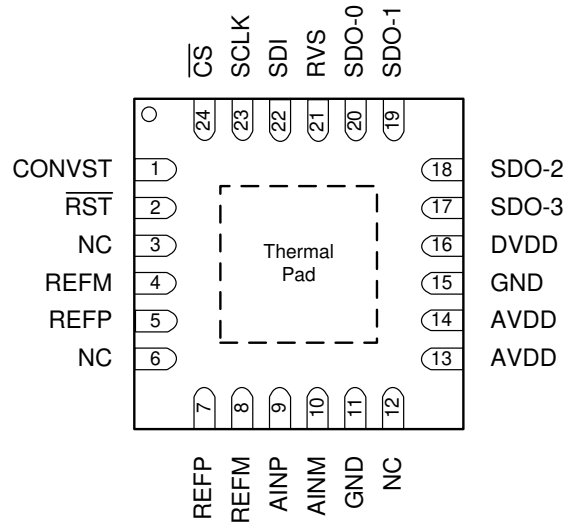


図 4-1. RGE パッケージ 24 ピン VQFN 上面図

表 4-1. ピンの機能

ピン		機能	説明
名称	番号		
AINM	10	アナログ入力	負アナログ入力
AINP	9	アナログ入力	正アナログ入力。
AVDD	13, 14	電源	デバイスのアナログ電源
CONVST	1	デジタル入力	デバイスの変換開始入力ピン。 CONVST の立ち上がりエッジにより、デバイスが ACQ ステートから CNV ステートに移行。
CS	24	デジタル入力	デバイスのチップ セレクト入力ピン、アクティブ Low。 CS が Low のとき、デバイスがデータバスを制御。 CS が high のとき、SDO - x ピンがトライステートに移行します。
DVDD	16	電源	インターフェイス電源
GND	11, 15	電源	グラウンド
NC	3, 6, 12	内部接続なし。	これらのピンは外部に接続せず、フローティングのままにする必要があります
REFM	4, 8	アナログ入力	リファレンス グラウンド電位
REFP	5, 7	アナログ入力	入力基準電圧
RST	2	デジタル入力	デバイスの非同期リセット入力ピン。 RST ピンで low パルスを印加すると、デバイスがリセットされ、すべてのレジスタ ビットがデフォルト状態に戻ります。
RVS	21	デジタル出力	デバイスのマルチファンクション出力ピン。 CS を high に保持すると、RVS は内部 ADCST 信号のステータスを反映します。 CS が low の場合、RVS のステータスは出力プロトコルの選択によって異なります。
SCLK	23	デジタル入力	シリアル インターフェースのクロック入力ピン。 すべてのシステム同期データ転送プロトコルは、SCLK 信号を基準にタイミングが調整されます。
SDI	22	デジタル入力	デバイスのシリアル データ入力ピン。 このピンを使用して、データまたはコマンドをデバイスに供給します。
SDO-0	20	デジタル出力	シリアル通信: データ出力 0
SDO-1	19	デジタル出力	シリアル通信: データ出力 1
SDO-2	18	デジタル出力	シリアル通信: データ出力 2
SDO-3	17	デジタル出力	シリアル通信: データ出力 3
サーマル パッド		電源	露出サーマルパッド。このピンを GND に接続することを推奨します

## 5 仕様

### 5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) <sup>(1)</sup>

	最小値	最大値	単位
AVDD から GND	-0.3	2.1	V
DVDD から GND	-0.3	2.1	V
REFP から REFM	-0.3	5.5	V
REFM から GND へ	-0.1	0.1	V
アナログ (AINP、AINM) から GND	-0.3	REFP + 0.3	V
デジタル入力 ( $\overline{\text{RST}}$ 、CONVST、 $\overline{\text{CS}}$ 、SCLK、SDI) から GND	-0.3	DVDD + 0.3	V
デジタル出力 (RVS、SDO - 0、SDO - 1、SDO - 2、SDO - 3) から GND	-0.3	DVDD + 0.3	V
動作温度、 $T_A$	-40	85	°C
保管温度、 $T_{\text{stg}}$	-65	150	°C

(1) 「絶対最大定格」で示す値を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはストレスの定格のみについてであり、絶対最大定格において、またはこのデータシートの「推奨動作条件」に示された値を超える他のいかなる条件でも、このデバイスが正しく動作することを意味するものではありません。絶対最大定格の状態が長時間続くこと、デバイスの信頼性に影響を与える可能性があります。

### 5.2 ESD 定格

		値	単位
$V_{\text{(ESD)}}$ 静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 <sup>(1)</sup>	±2000	V
	デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠 <sup>(2)</sup>	±500	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

### 5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

	最小値	公称値	最大値	単位
AVDD アナログ電源電圧		1.8		V
DVDD デジタル電源電圧		1.8		V
REFP 正のリファレンス		5		V

### 5.4 熱に関する情報

熱評価基準 <sup>(1)</sup>		ADS9120	単位
		RGE (VQFN)	
		24 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	31.9	°C/W
$R_{\theta JC(\text{top})}$	接合部からケース (上面) への熱抵抗	29.9	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	8.9	°C/W
$\Psi_{JT}$	接合部から上面への特性パラメータ	0.3	°C/W
$\Psi_{JB}$	接合部から基板への特性パラメータ	8.9	°C/W
$R_{\theta JC(\text{bot})}$	接合部からケース (底面) への熱抵抗	2.0	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

## 5.5 電気的特性

特に記載がない限り、すべての仕様は、 $AVDD = 1.8V$ 、 $DVDD = 1.8V$ 、 $V_{REF} = 5V$ 、 $f_{DATA} = 2.5MSPS$  の条件に基づきます。  
 特に記述のない限り、すべての最小値および最大値の仕様は、 $T_A = -40^{\circ}C \sim +85^{\circ}C$  の条件で規定されています。  
 すべての標準値は  $T_A = 25^{\circ}C$  での値です。

パラメータ	テスト条件	最小値	標準値	最大値	単位	
<b>アナログ入力</b>						
FSR	フルスケール入力範囲 (AINP – AINM) <sup>(1)</sup>	$-V_{REF}$		$V_{REF}$	V	
$V_{IN}$	絶対入力電圧 (AINP および AINM から REFGND)	-0.1		$V_{REF} + 0.1$	V	
$V_{CM}$	同相電圧範囲 (AINP + AINM)/2	$(V_{REF}/2) - 0.1$	$V_{REF}/2$	$(V_{REF}/2) + 0.1$	V	
$C_{IN}$	入力容量	サンプル モード	60		pF	
		ホールド モード	4			
$I_{IL}$	入力リーク電流		$\pm 1$		$\mu A$	
<b>電圧リファレンス入力</b>						
$V_{REF}$	基準入力電圧範囲	2.5		5	V	
$I_{REF}$	基準入力電流	平均電流、 $V_{REF} = 5V$ 、 2kHz、フルスケール入力、 スループット = 2.5MSPS		1.3	mA	
<b>DC 精度</b>						
	分解能		16		ビット	
NMC	ミッシング コードなし	16			ビット	
INL	積分非直線性	$T_A = -40^{\circ}C \sim +85^{\circ}C$	-0.6	$\pm 0.25^{(2)}$	0.6	LSB <sup>(3)</sup>
		$T_A = -40^{\circ}C \sim +125^{\circ}C$	-0.7	$\pm 0.25^{(2)}$	0.7	
DNL	微分非直線性	$T_A = -40^{\circ}C \sim +85^{\circ}C$	-0.6	$\pm 0.25^{(2)}$	0.6	LSB
		$T_A = -40^{\circ}C \sim +125^{\circ}C$	-0.7	$\pm 0.25$	0.7	
$E_{(IO)}$	入力オフセット誤差	-1	$\pm 0.025^{(2)}$	1	mV	
$dV_{OS}/dT$	入力オフセットの熱ドリフト		1		$\mu V/^{\circ}C$	
$G_E$	ゲイン誤差	-0.02	$\pm 0.01^{(2)}$	0.02	%FS	
$G_E/dT$	ゲイン誤差の熱ドリフト		0.25		ppm/ $^{\circ}C$	
	変換ノイズ		0.35		LSB	
CMRR	同相除去比	dc ~ 20kHz	80		dB	
<b>AC 精度<sup>(4)</sup></b>						
SINAD	信号対雑音 + 歪み	$f_{IN} = 2kHz$	94.4	96	dB	
		$f_{IN} = 100kHz$		95		
		$f_{IN} = 500kHz$		83.9		
SNR	信号対雑音比	$f_{IN} = 2kHz$	94.5	96	dB	
		$f_{IN} = 100kHz$		95.9		
		$f_{IN} = 500kHz$		84		
THD	全高調波歪 <sup>(5)</sup>	$f_{IN} = 2kHz$		-118	dB	
		$f_{IN} = 100kHz$		-102		
		$f_{IN} = 500kHz$		-101		
SFDR	スプリアスフリー ダイナミック レンジ	$f_{IN} = 2kHz$		120	dB	
		$f_{IN} = 100kHz$		108		
		$f_{IN} = 500kHz$		106		
<b>デジタル入力<sup>(6)</sup></b>						
$V_{IH}$	High レベル入力電圧		0.65 DVDD	$DVDD + 0.3$	V	
$V_{IL}$	Low レベル入力電圧		-0.3	0.35 DVDD	V	
<b>デジタル出力<sup>(6)</sup></b>						
$V_{OH}$	High レベル出力電圧	$I_{OH} = 2mA$ ソース	$DVDD - 0.45$		V	

## 5.5 電気的特性 (続き)

特に記載がない限り、すべての仕様は、 $AVDD = 1.8V$ 、 $DVDD = 1.8V$ 、 $V_{REF} = 5V$ 、 $f_{DATA} = 2.5MSPS$  の条件に基づきます。特に記述のない限り、すべての最小値および最大値の仕様は、 $T_A = -40^{\circ}C \sim +85^{\circ}C$  の条件で規定されています。すべての標準値は  $T_A = 25^{\circ}C$  の値です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{OL}$	Low レベル出力電圧	$I_{OH} = 2mA$ シンク			0.45	V
<b>電源</b>						
AVDD	アナログ電源電圧		1.65	1.8	1.95	V
DVDD	デジタル電源電圧		1.65	1.8	1.95	V
IDD	AVDD 電源電流 (AVDD = 1.8V)	アクティブ、2.5 - MSPS スループット、 $T_A = -40^{\circ}C \sim 85^{\circ}C$		5	6.5	mA
		アクティブ、2.5 - MSPS スループット、 $T_A = -40^{\circ}C \sim +125^{\circ}C$		5	6.75	
		静的、ACQ 状態		3.7		mA
		低消費電力、NAP モード			500	$\mu A$
		パワーダウン、PD 状態			1	
P <sub>D</sub>	AVDD 消費電力 (AVDD = 1.8V)	アクティブ、2.5 - MSPS スループット、 $T_A = -40^{\circ}C \sim +85^{\circ}C$		9	11.7	mW
		アクティブ、2.5 - MSPS スループット、 $T_A = -40^{\circ}C \sim +125^{\circ}C$		9	12.15	
		静的、ACQ 状態		6.6		mW
		低消費電力、NAP モード			900	$\mu W$
		パワーダウン、PD 状態			1.8	
<b>温度範囲</b>						
$T_A$	外気温度での動作時		-40		125	$^{\circ}C$

- 理想的な入力スパンであり、ゲイン誤差およびオフセット誤差は含みません。
- INL、DNL、オフセット、およびゲイン誤差パラメータの統計分布データについては、[図 5-9](#)、[図 5-10](#)、[図 5-25](#) および [図 5-26](#) を参照してください。
- LSB = 最下位ビット。18 ビットにおける 1LSB は約 3.8ppm です。
- 特に指定がない限り、デシベル (dB) で表されるすべての仕様はフルスケール入力 (FSR) を基準としており、フルスケールより 0.1dB 低い入力信号で測定されています。
- 入力周波数の最初の 9 高調波で計算します。
- JESD8 - 7A 規格に準拠。設計上規定されたものであり、量産時の試験は実施していません。

## 5.6 タイミング要件：変換サイクル

特に記載がない限り、すべての仕様は、AVDD = 1.8V、DVDD = 1.8V、V<sub>REF</sub> = 5V、f<sub>DATA</sub> = 2.5MSPS の条件に基づきます。すべての最小値および最大値の仕様は、T<sub>A</sub> = -40°C ~ +85°C の条件に基づきます。すべての代表値は、T<sub>A</sub> = 25°C での値です。[図 5-1](#) を参照してください。

		最小値	標準値	最大値	単位
<b>タイミング要件</b>					
f <sub>cycle</sub>	サンプリング周波数			2.5	MHz
t <sub>cycle</sub>	ADC サイクル時間周期	400			ns
t <sub>wh_CONVST</sub>	パルス幅 CONVST が High	30			ns
t <sub>wl_CONVST</sub>	パルス幅 CONVST が Low	30			ns
t <sub>acq</sub>	アキュジション時間	100			ns
t <sub>qt_acq</sub>	静かなアキュジション時間 <sup>(1)</sup>	25			ns
t <sub>d_cnvcap</sub>	静かなアパーチャ時間 <sup>(1)</sup>	10			ns
<b>タイミング仕様</b>					
t <sub>conv</sub>	変換時間	270		290	ns

(1) [図 6-12](#) を参照してください。

## 5.7 タイミング要件：非同期リセット、NAP、および PD

特に記載がない限り、すべての仕様は、AVDD = 1.8V、DVDD = 1.8V、V<sub>REF</sub> = 5V、f<sub>DATA</sub> = 2.5MSPS の条件に基づきます。すべての最小値および最大値の仕様は、T<sub>A</sub> = -40°C ~ +85°C の条件に基づきます。すべての代表値は、T<sub>A</sub> = 25°C での値です。[図 5-2](#) および [図 5-3](#) を参照してください。

		最小値	標準値	最大値	単位
<b>タイミング要件</b>					
t <sub>wl_RST</sub>	パルス幅 RST が Low	100			ns
<b>タイミング仕様</b>					
t <sub>d_rst</sub>	遅延時間: RST 立ち上がりから RVS 立ち上がり			1250	μs
t <sub>nap_wkup</sub>	ウェークアップ時間: NAP モード			300	ns
t <sub>pwrup</sub>	パワーアップ時間: PD モード			250	μs

## 5.8 タイミング要件：SPI 互換のシリアル インターフェイス

特に記載がない限り、すべての仕様は、AVDD = 1.8V、DVDD = 1.8V、V<sub>REF</sub> = 5V、f<sub>DATA</sub> = 2.5MSPS の条件に基づきます。すべての最小値および最大値の仕様は、T<sub>A</sub> = -40°C ~ +85°C の条件に基づきます。すべての代表値は、T<sub>A</sub> = 25°C での値です。[図 5-4](#) を参照してください。

		最小値	標準値	最大値	単位
<b>タイミング要件</b>					
f <sub>CLK</sub>	シリアル クロック周波数			75	MHz
t <sub>CLK</sub>	シリアル クロック期間	13.33			ns
t <sub>ph_CK</sub>	SCLK High 時間	0.45		0.55	t <sub>CLK</sub>
t <sub>pl_CK</sub>	SCLK Low 時間	0.45		0.55	t <sub>CLK</sub>
t <sub>su_CSCK</sub>	セットアップ時間: CS 立ち下がりから最初の SCLK キャプチャ エッジ	5			ns
t <sub>su_CKDI</sub>	セットアップ時間: SDI データが有効になってから SCLK のキャプチャ エッジまでの時間	1.2			ns
t <sub>ht_CKDI</sub>	ホールド時間: SCLK キャプチャ エッジから SDI での (前の) データ有効まで	0.65			ns
t <sub>ht_CKCS</sub>	遅延時間: 最後の SCLK 立ち下がりエッジから CS 立ち上がりまで	5			ns
<b>タイミング仕様</b>					
t <sub>den_CSDO</sub>	遅延時間: CS 立ち下がりエッジからデータが有効になるまで			4.5	ns
t <sub>dz_CSDO</sub>	遅延時間: CS 立ち上がりから SDO の 3-state への移行まで			10	ns
t <sub>d_CKDO</sub>	遅延時間: SCLK 起動エッジから SDO - x での (次の) データが有効になるまで			6.5	ns

特に記載がない限り、すべての仕様は、 $AVDD = 1.8V$ 、 $DVDD = 1.8V$ 、 $V_{REF} = 5V$ 、 $f_{DATA} = 2.5MSPS$  の条件に基づきます。すべての最小値および最大値の仕様は、 $T_A = -40^{\circ}C \sim +85^{\circ}C$  の条件に基づきます。すべての代表値は、 $T_A = 25^{\circ}C$  での値です。  
[図 5-4](#) を参照してください。

		最小値	標準値	最大値	単位
$t_{d\_CSRDY\_f}$	遅延時間: $\overline{CS}$ 立ち下がりから RVS 立ち上がりまで			5	ns
$t_{d\_CSRDY\_r}$	遅延時間: CS 立ち上がりから RVS 立ち上がりまで	NOP 動作の後		10	ns
		WR または RD 動作後		70	

### 5.9 タイミング要件：ソース同期シリアル インターフェイス (外部クロック)

特に記載がない限り、すべての仕様は、 $AVDD = 1.8V$ 、 $DVDD = 1.8V$ 、 $V_{REF} = 5V$ 、 $f_{DATA} = 2.5MSPS$  の条件に基づきます。すべての最小値および最大値の仕様は、 $T_A = -40^{\circ}C \sim +85^{\circ}C$  の条件に基づきます。すべての代表値は、 $T_A = 25^{\circ}C$  での値です。  
[図 5-5](#) を参照してください。

		最小値	標準値	最大値	単位
<b>タイミング要件</b>					
$f_{CLK}$	シリアル クロック周波数			100	MHz
$t_{CLK}$	シリアル クロック期間	10			ns
<b>タイミング仕様<sup>(1)</sup></b>					
$t_{d\_CKSTR\_r}$	遅延時間: SCLK 起動エッジから RVS 立ち上がり			8.5	ns
$t_{d\_CKSTR\_f}$	遅延時間: SCLK 立ち下がりエッジから RVS 立ち下がり			8.5	ns
$t_{off\_STRDO\_f}$	時間オフセット: RVS 立ち上がりから (次の) SDO データ有効までの時間	-0.5		0.5	ns
$t_{off\_STRDO\_r}$	時間オフセット: RVS 立ち下がりから (次の) SDO データ有効までの時間	-0.5		0.5	ns

(1) その他のパラメータは、[タイミング要件: SPI 互換のシリアル インターフェイス](#)表と同じです。

### 5.10 タイミング要件：ソース同期シリアル インターフェイス (内部クロック)

特に記載がない限り、すべての仕様は、 $AVDD = 1.8V$ 、 $DVDD = 1.8V$ 、 $V_{REF} = 5V$ 、 $f_{DATA} = 2.5MSPS$  の条件に基づきます。すべての最小値および最大値の仕様は、 $T_A = -40^{\circ}C \sim +85^{\circ}C$  の条件に基づきます。すべての代表値は、 $T_A = 25^{\circ}C$  での値です。  
[図 5-6](#) を参照してください。

		最小値	標準値	最大値	単位
<b>タイミング仕様<sup>(1)</sup></b>					
$t_{d\_CSSTR}$	遅延時間: $\overline{CS}$ 立ち下がりエッジから RVS 立ち上がりエッジ	12		40	ns
$t_{off\_STRDO\_f}$	時間オフセット: RVS 立ち上がりから (次の) SDO データ有効までの時間	-0.5		0.5	ns
$t_{off\_STRDO\_r}$	時間オフセット: RVS 立ち下がりから (次の) SDO データ有効までの時間	-0.5		0.5	ns
$t_{STR}$	ストロープ出力時間	INTCLK オプション		9.9	ns
		INTCLK/2 オプション		19.8	
		INTCLK/4 オプション		39.6	
$t_{ph\_STR}$	ストロープ出力 High 時間	0.45		0.55	$t_{STR}$
$t_{pl\_STR}$	ストロープ出力 Low 時間	0.45		0.55	$t_{STR}$

(1) その他のパラメータは、[タイミング要件: SPI 互換のシリアル インターフェイス](#)表と同じです。

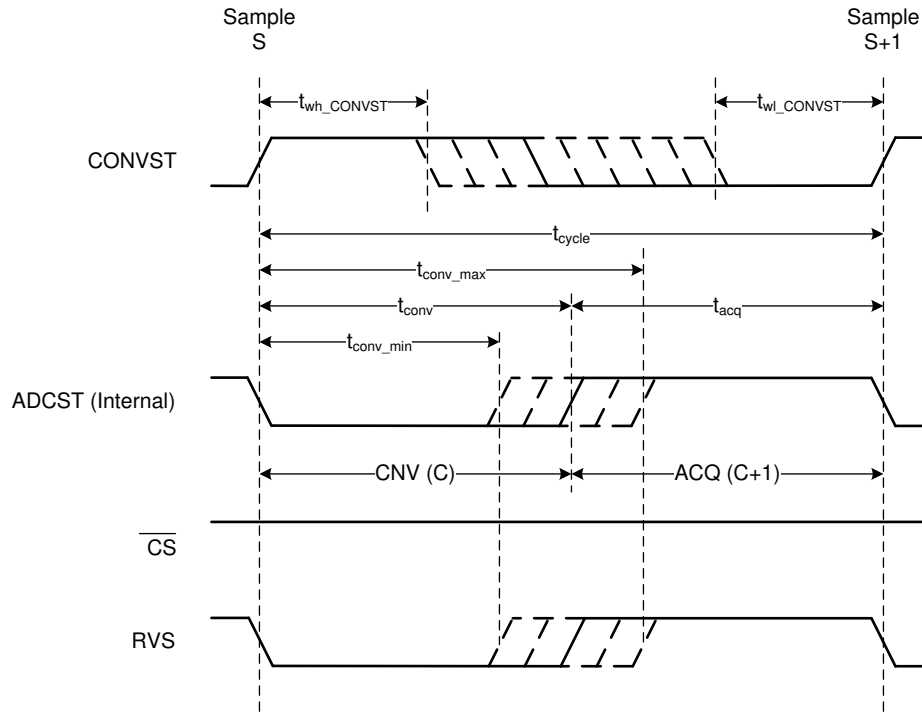


図 5-1. 変換サイクルのタイミング図

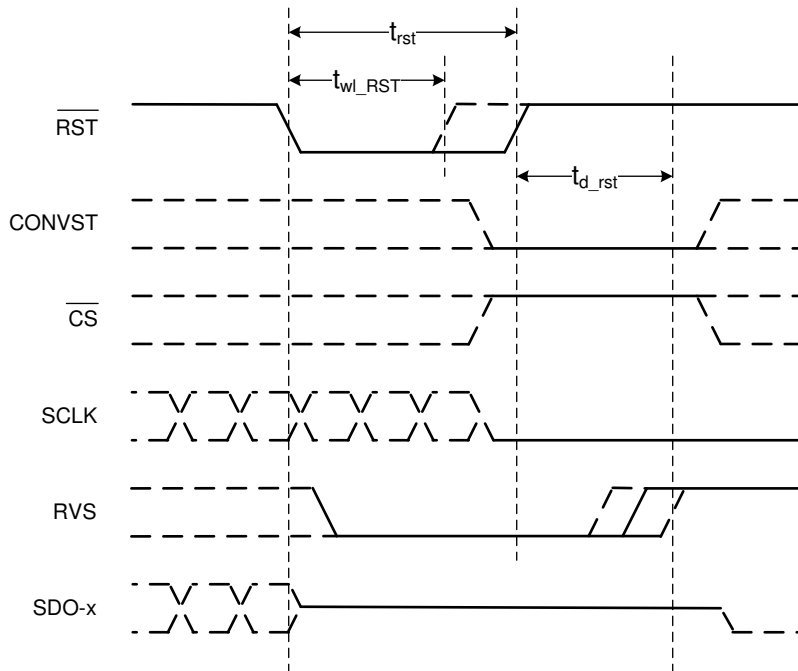


図 5-2. 非同期リセットのタイミング図

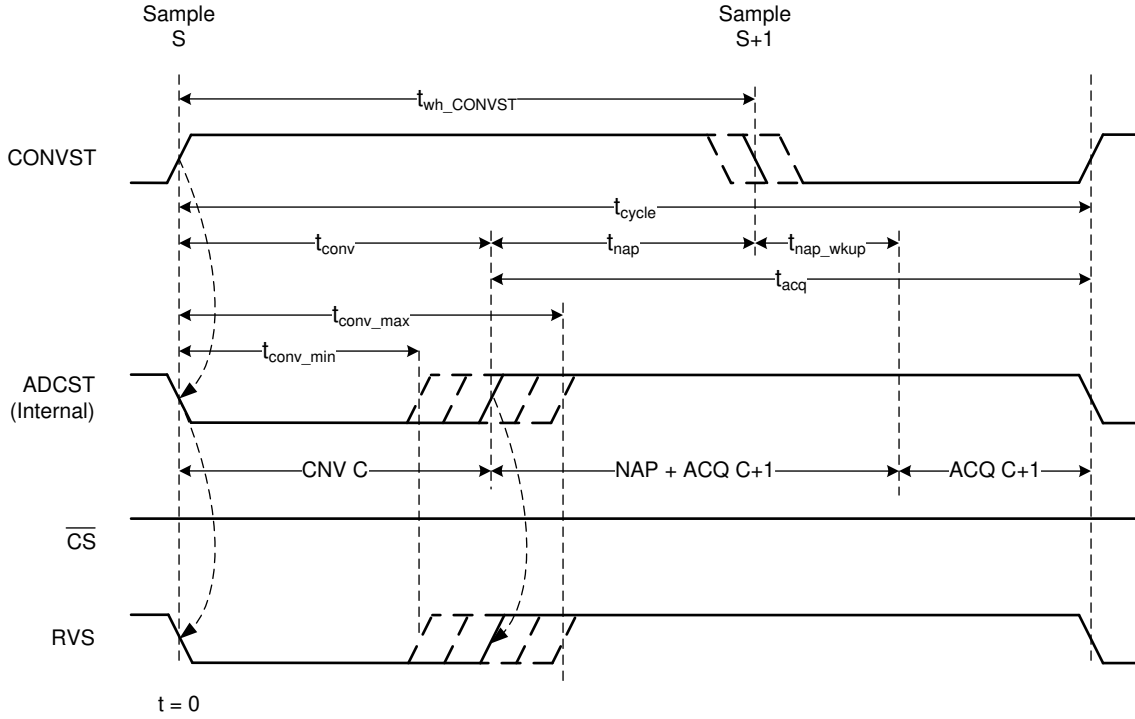
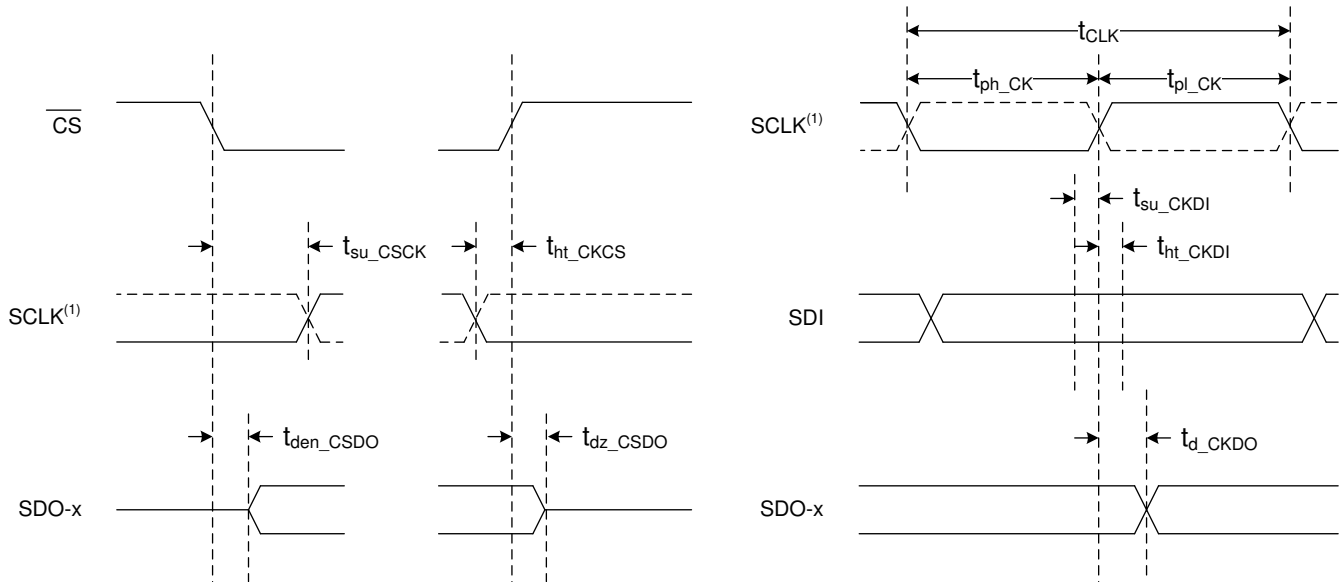


図 5-3. NAP モードのタイミング図



1. SCLK の極性、起動エッジ、およびキャプチャ エッジは、選択された SPI プロトコルに依存します。

図 5-4. SPI 互換のシリアル インターフェイスのタイミング図

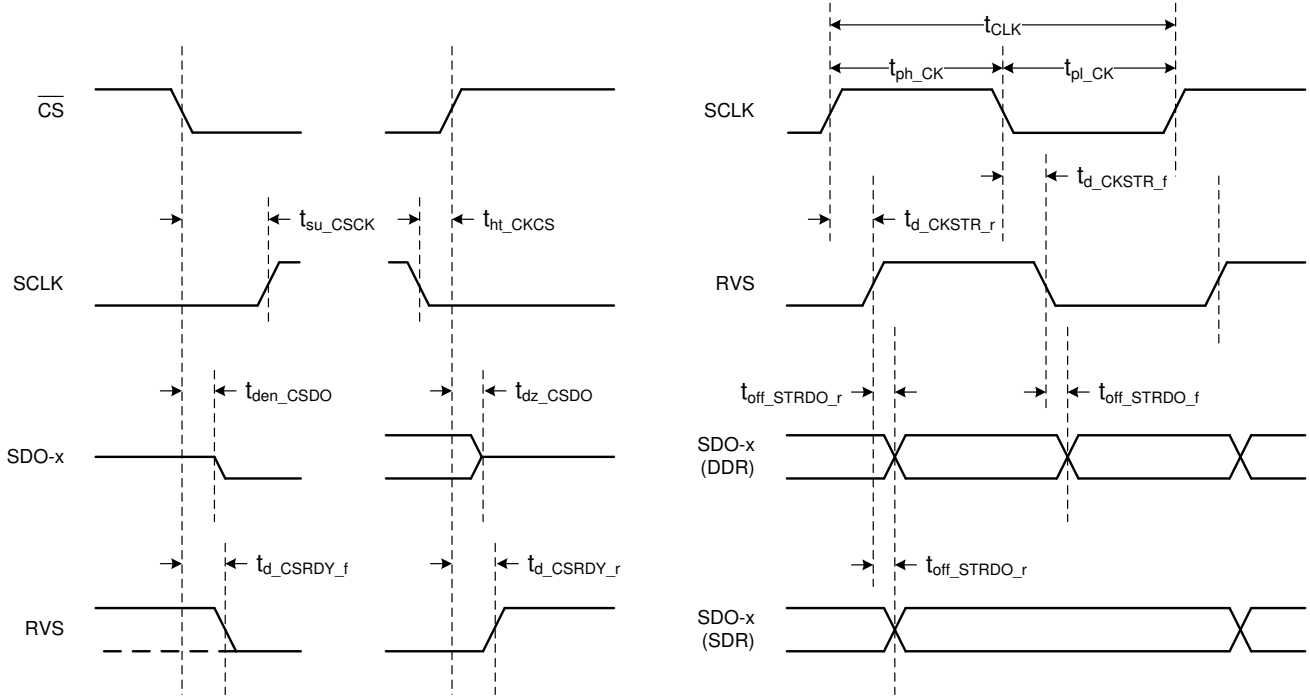


図 5-5. ソース同期シリアルインターフェイスのタイミング図 (外部クロック)

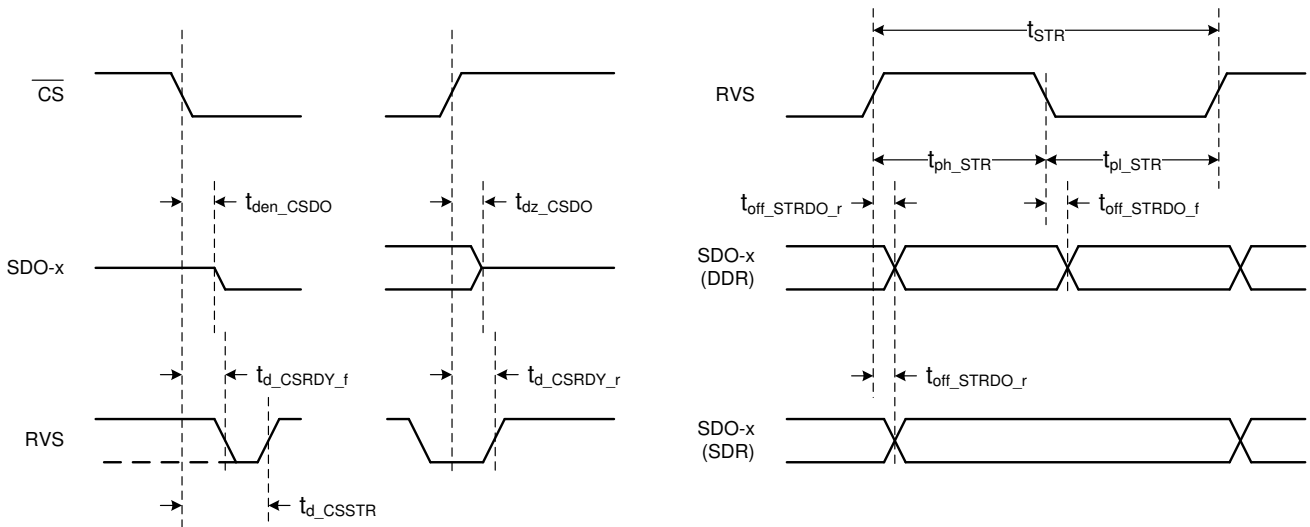


図 5-6. ソース同期シリアルインターフェイスのタイミング図 (内部クロック)

### 5.11 代表的特性

$T_A = 25^\circ\text{C}$ 、 $AV_{DD} = 1.8\text{V}$ 、 $DV_{DD} = 1.8\text{V}$ 、 $V_{REF} = 5\text{V}$ 、 $f_{SAMPLE} = 2.5\text{MSPS}$  (特に記述のない限り)

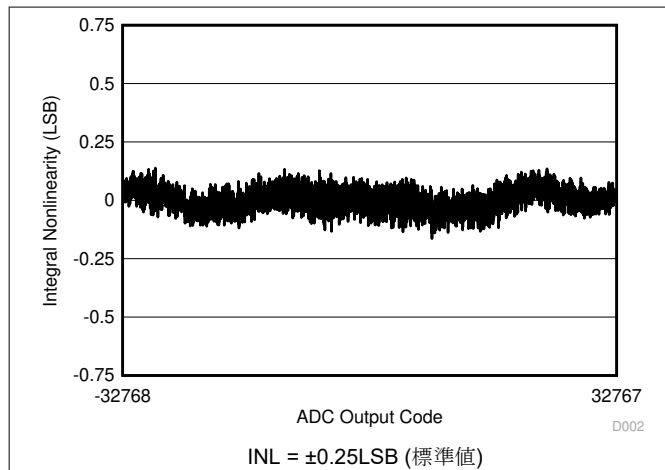


図 5-7. 標準 INL

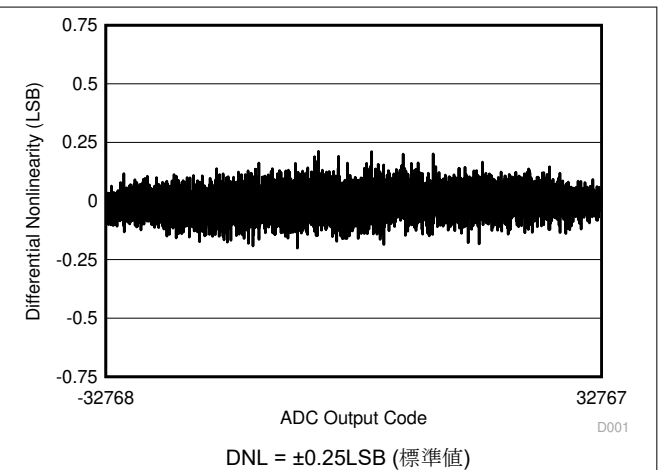


図 5-8. 標準 DNL

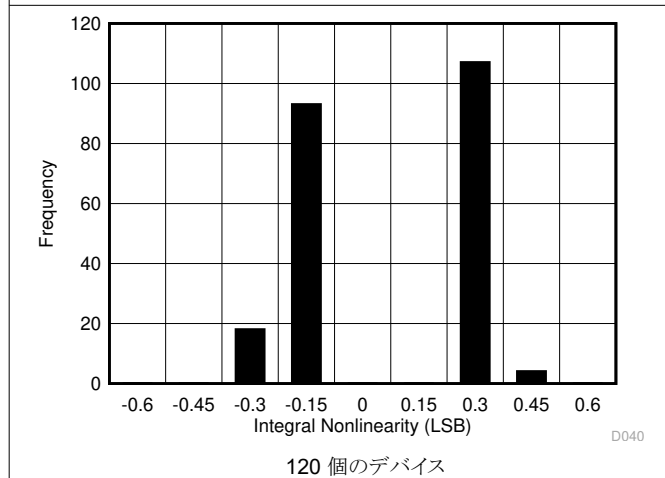


図 5-9. INL の標準的な分布

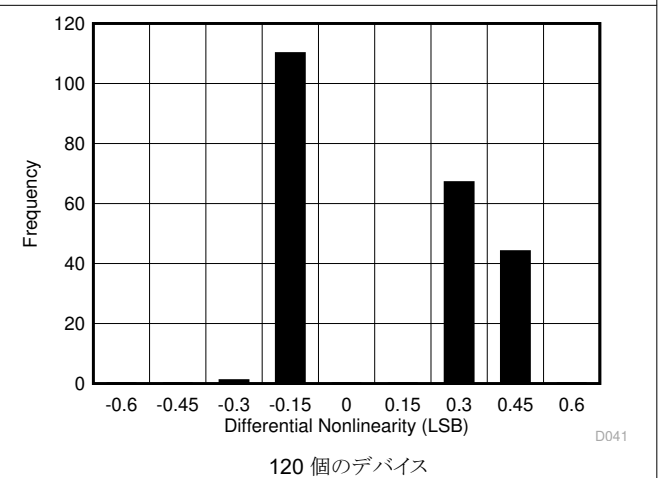


図 5-10. DNL の標準的な分布

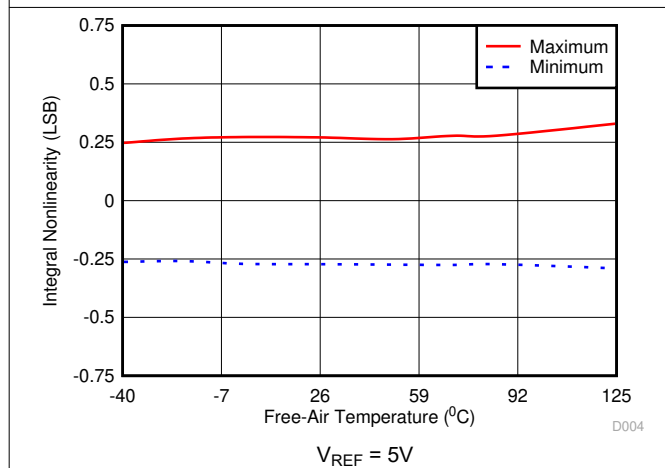


図 5-11. INL と温度との関係

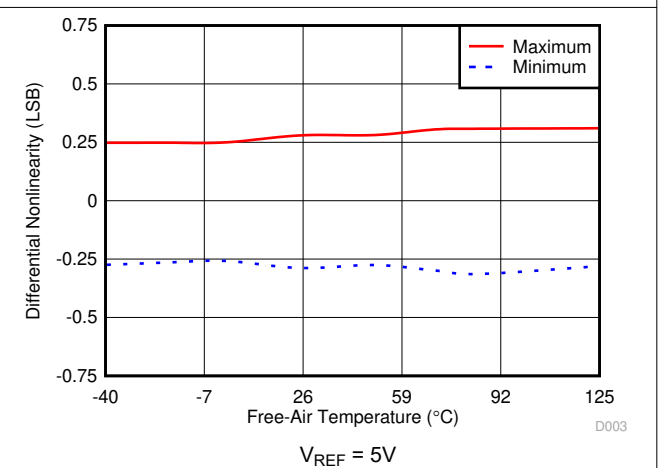


図 5-12. DNL と温度との関係

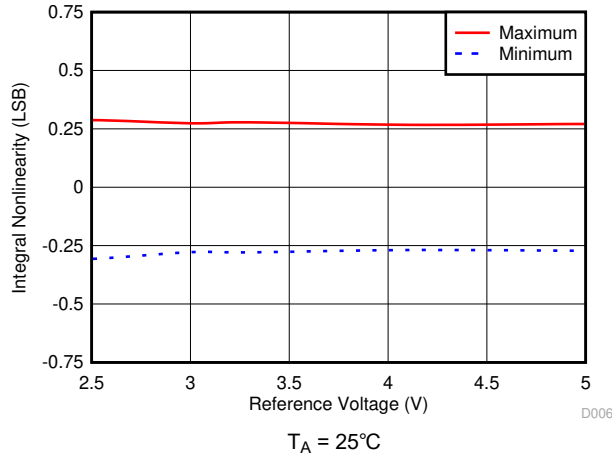


図 5-13. INL 電圧とリファレンス電圧との関係

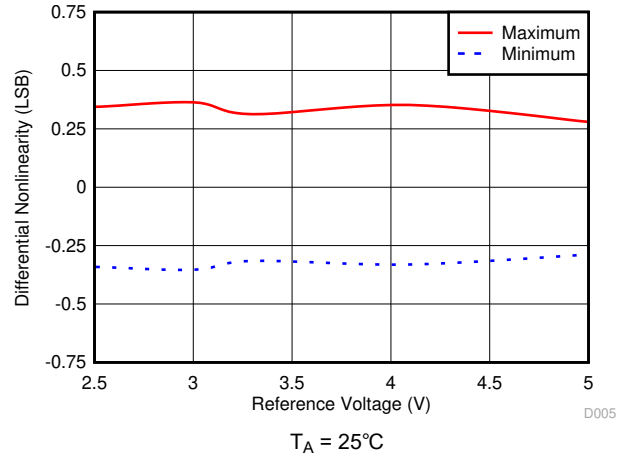


図 5-14. DNL 電圧とリファレンス電圧との関係

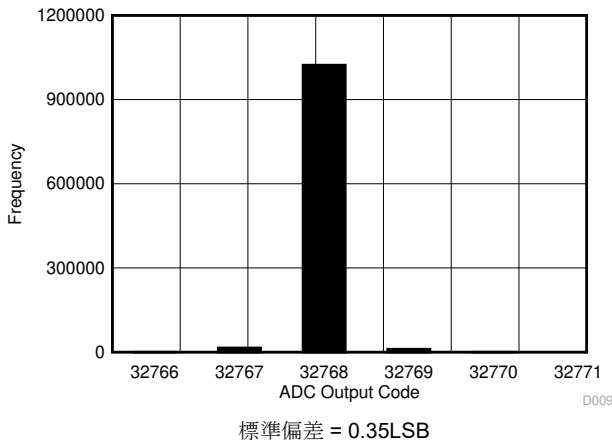


図 5-15. DC 入力ヒストグラム、コード センター

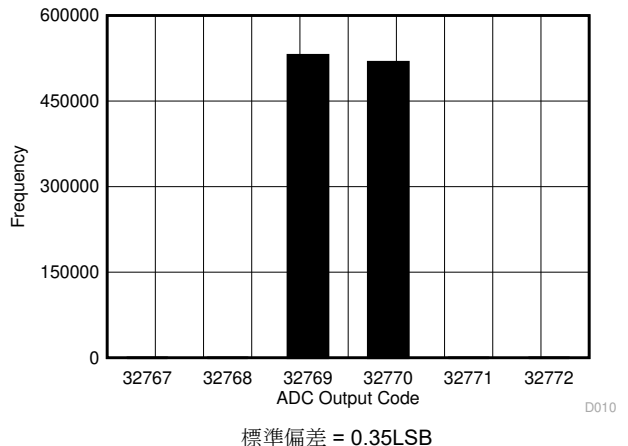


図 5-16. DC 入力ヒストグラム、コード 遷移

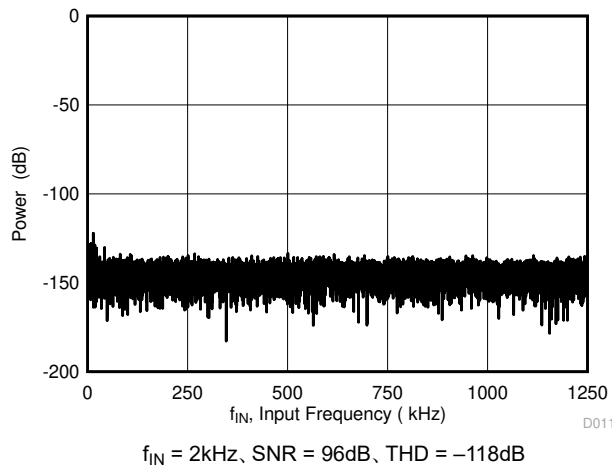


図 5-17. 標準 FFT

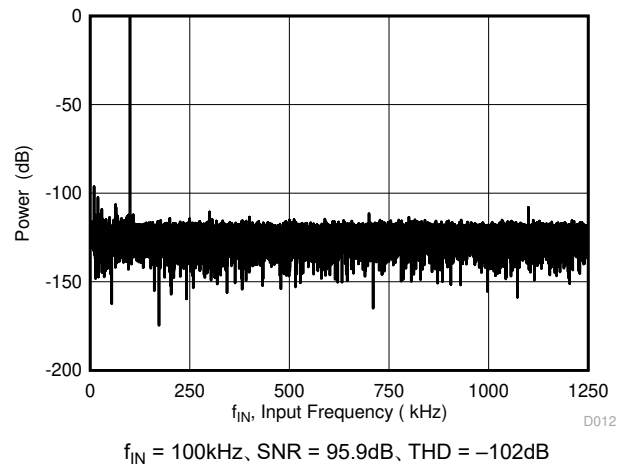


図 5-18. 標準 FFT

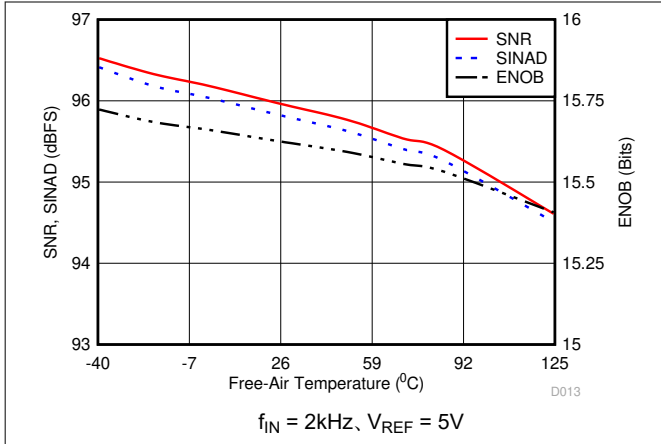


図 5-19. ノイズ性能と温度との関係

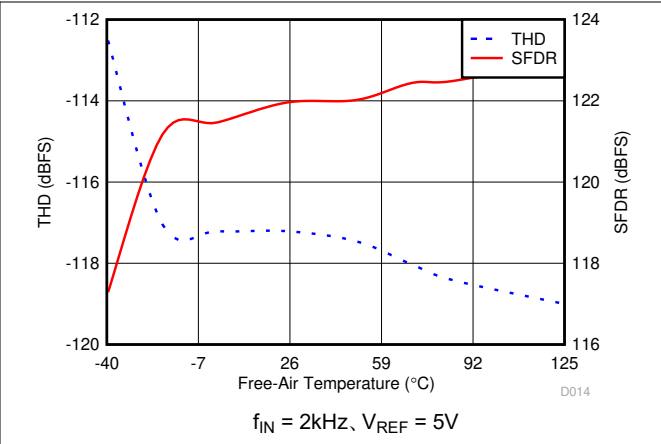


図 5-20. 歪み特性と温度との関係

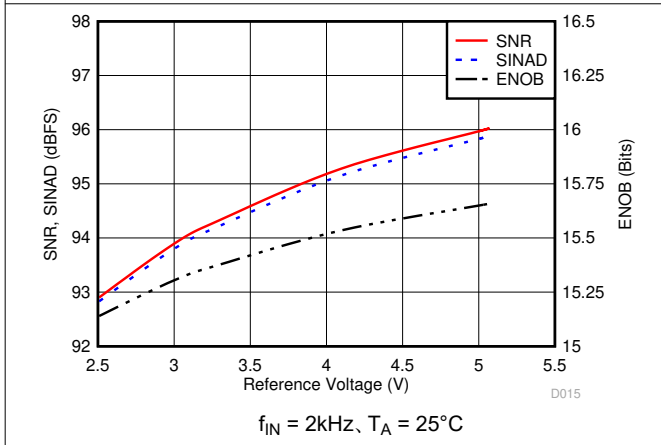


図 5-21. ノイズ性能とリファレンス電圧との関係

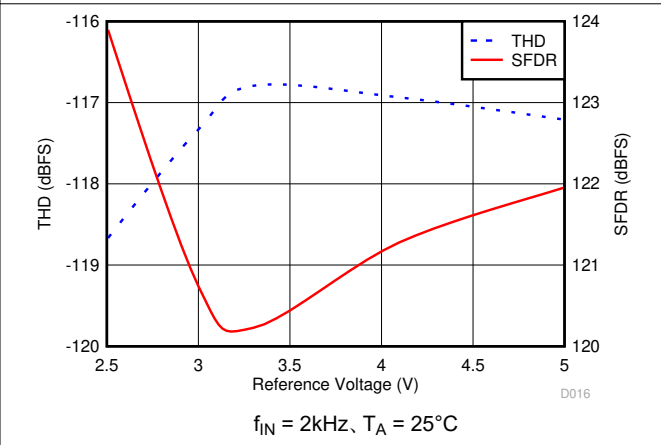


図 5-22. 歪み特性とリファレンス電圧との関係

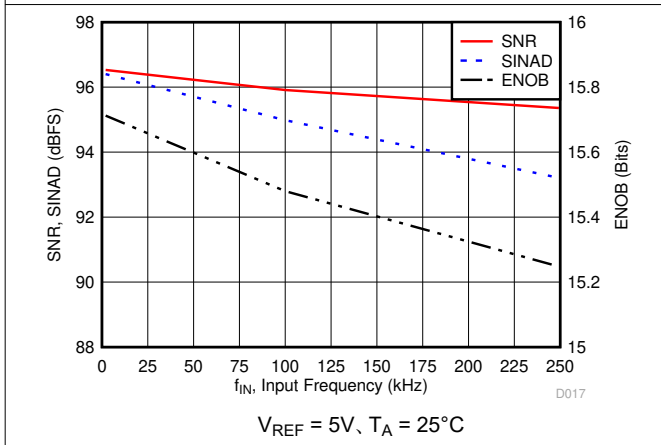


図 5-23. ノイズ性能と入力周波数との関係

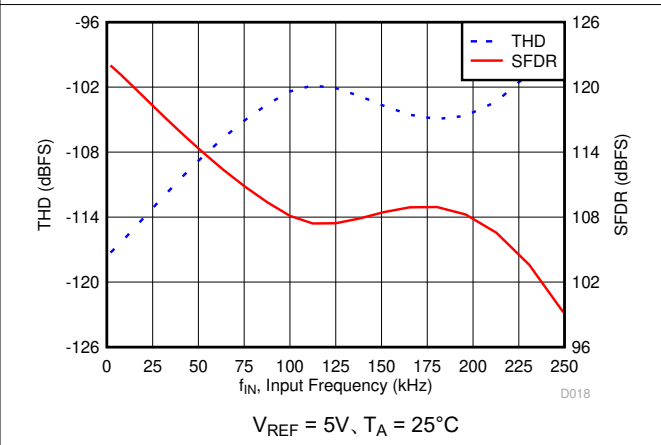


図 5-24. 歪み特性と入力周波数との関係

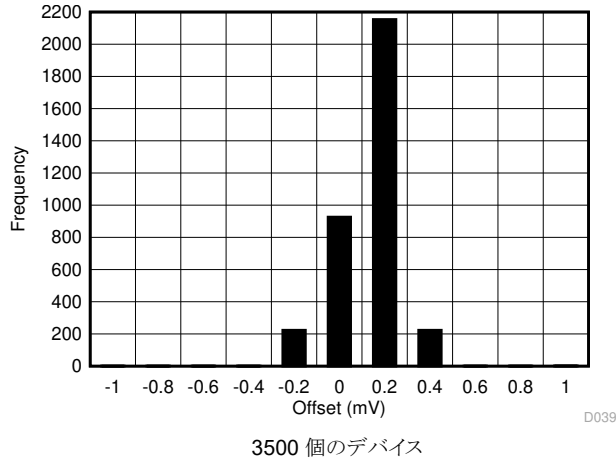


図 5-25. オフセットの標準的な分布

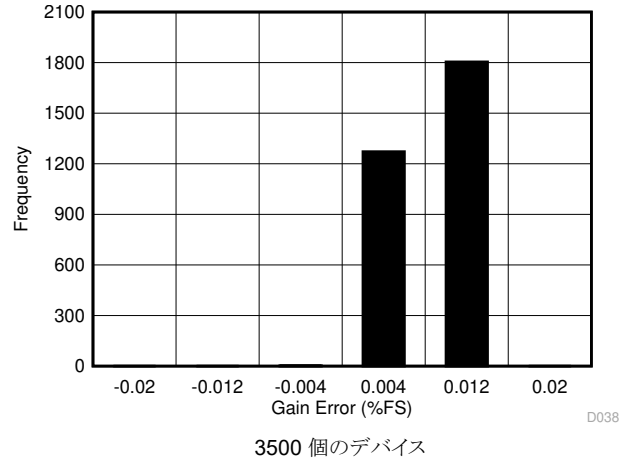


図 5-26. ゲイン誤差の標準的な分布

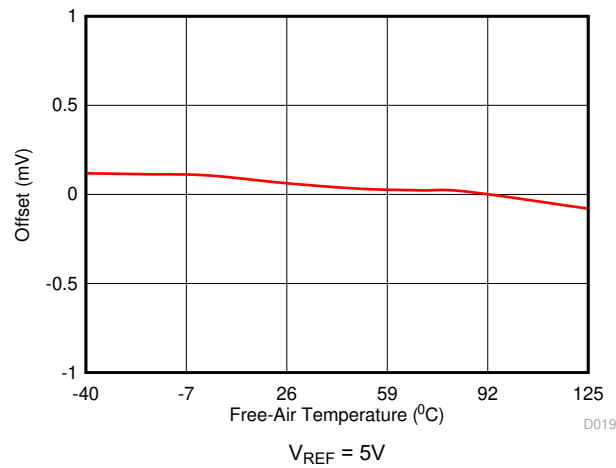


図 5-27. オフセットと温度との関係

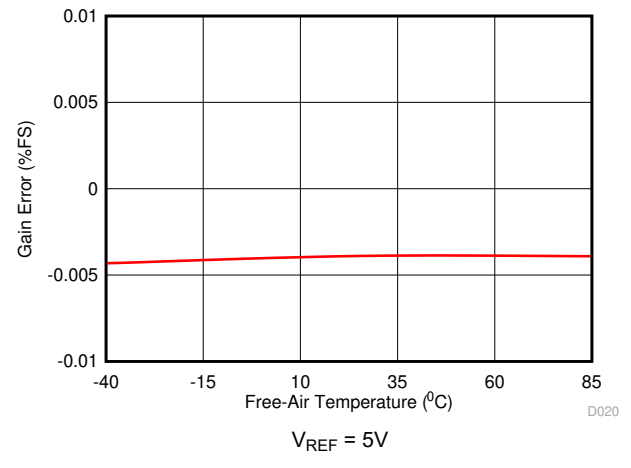


図 5-28. ゲイン誤差と温度との関係

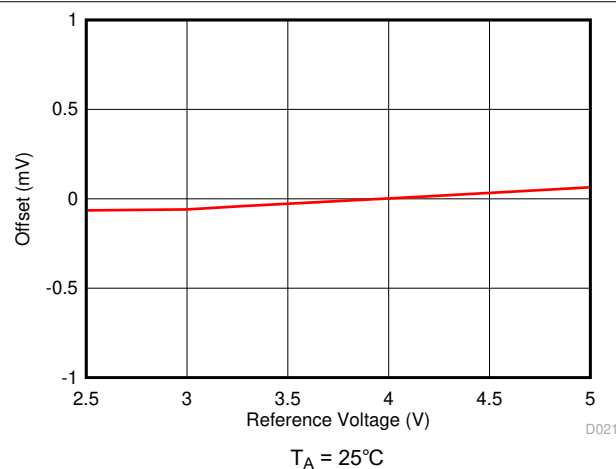


図 5-29. オフセットとリファレンス電圧との関係

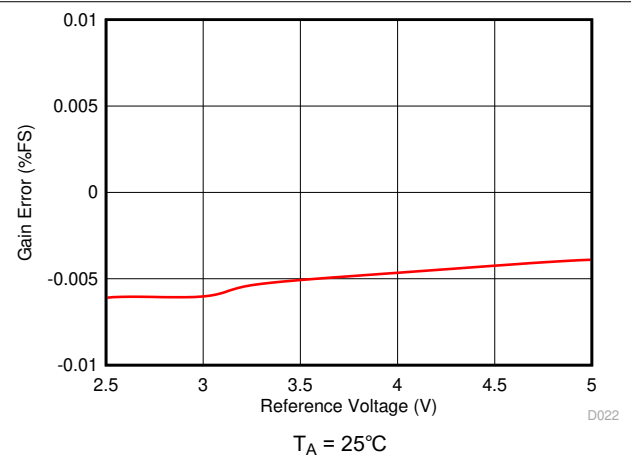


図 5-30. ゲイン誤差とリファレンス電圧との関係

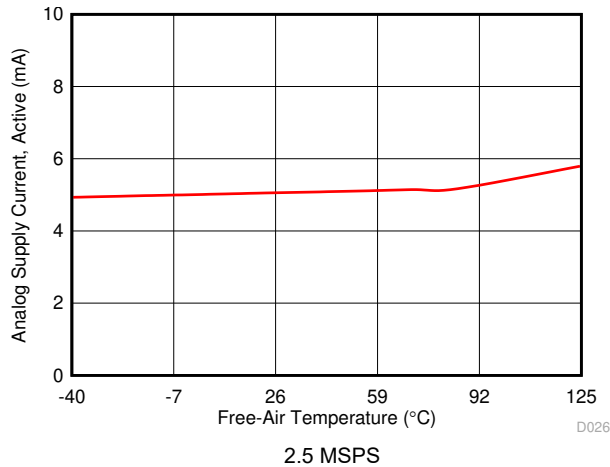


図 5-31. 電源電流と温度との関係

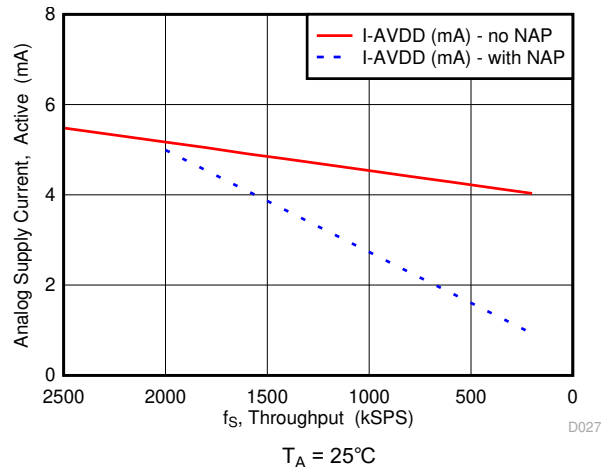


図 5-32. 電源電流とスループットとの関係

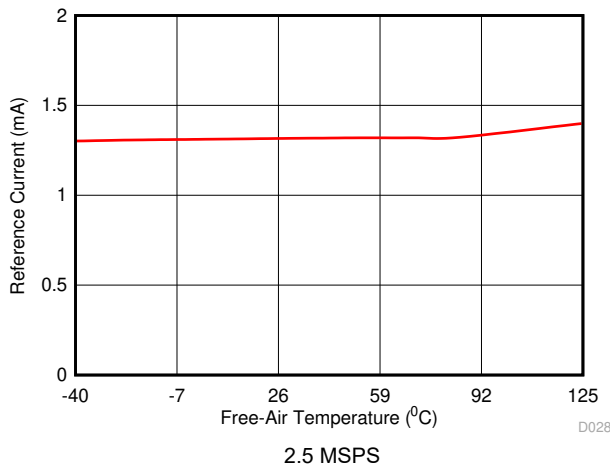


図 5-33. リファレンス電流と温度との関係

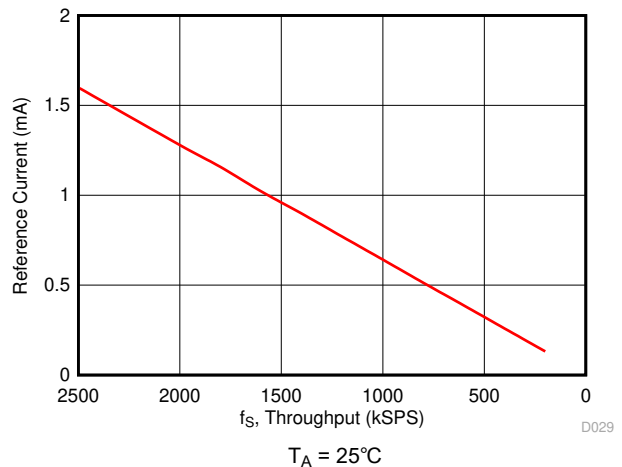


図 5-34. リファレンス電流とスループットとの関係

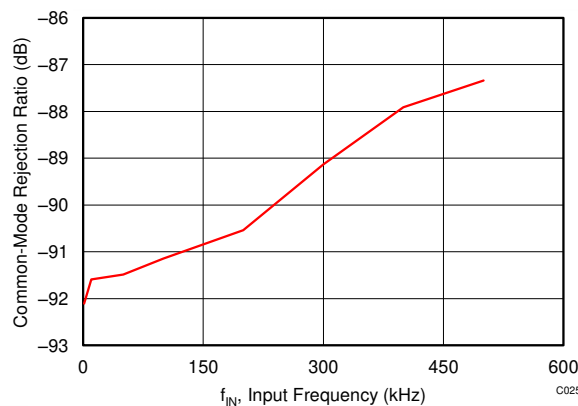


図 5-35. CMRR と入力周波数との関係

## 6 詳細説明

### 6.1 概要

ADS9120 は、電荷再配分アーキテクチャをベースとする、高速、逐次比較型 (SAR) A/D コンバータ (ADC) です。この小型デバイスは、小型ながら高いスループットで高性能を実現し、低消費電力を特長としています。

ADS9120 は、ユニポーラの完全差動アナログ入力信号に対応し、2.5V ~ 5V の外部リファレンスで動作します。また、追加の入力スケールなしで幅広い入力範囲を提供します。

変換開始時に、AINP ピンと AINM ピン間の差動入力が入部コンデンサ アレイにサンプリングされます。ADS9120 は、内部クロックを使用して変換を実行します。変換処理中は、両方のアナログ入力が内部回路から切り離されます。変換処理の終了時に、デバイスはサンプリング コンデンサを AINP ピンおよび AINM ピンに再接続し、アキュイジション フェーズに移行します。

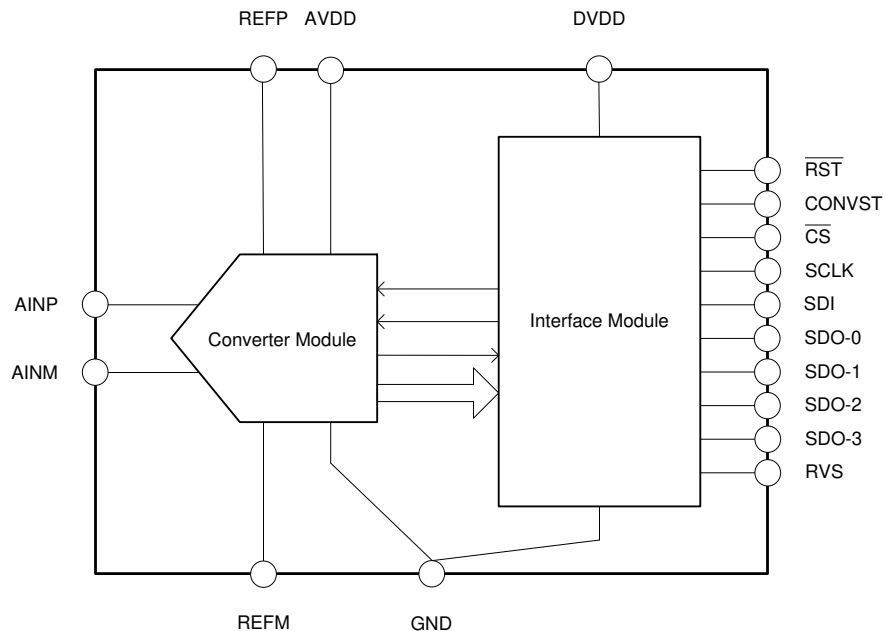
このデバイスは、2.5MSPS のフルスループットで動作する場合、消費電力はわずか 15.5mW です。低スループット時の消費電力は、柔軟な低消費電力モード (NAP および PD) を使用することで低減できます。

新しい multiSPI™ インターフェイスは、基板レイアウトやタイミング、ファームウェアを簡素化するとともに、低いクロック速度で高スループットを実現し、各種マイクロプロセッサ、デジタル信号プロセッサ (DSP)、フィールドプログラマブル ゲートアレイ (FPGA) との容易なインターフェイスを可能にします。

### 6.2 機能ブロック図

機能的な観点から、このデバイスは、このセクションに示すように、コンバータ モジュールとインターフェイス モジュールの 2 つのモジュールで構成されています。

コンバータ モジュールはアナログ入力をサンプリングして対応するデジタル出力コードに変換し、一方でインターフェイス モジュールはホストコントローラとの通信およびデータ転送を担います。



## 6.3 機能説明

### 6.3.1 コンバータ モジュール

図 6-1 に示すように、コンバータ モジュールは、アナログ入力信号 (AINP ピンと AINM ピン間に入力される信号) をサンプリングし、この信号をリファレンス電圧 (REFP ピンと REFM ピン間に印加される電圧) と比較して、それに対応するデジタル出力コードを生成します。

コンバータ モジュールは、インターフェイス モジュールから  $\overline{\text{RST}}$  および CONVST 入力を受信し、ADCST 信号と変換結果をインターフェイス モジュールに出力します。

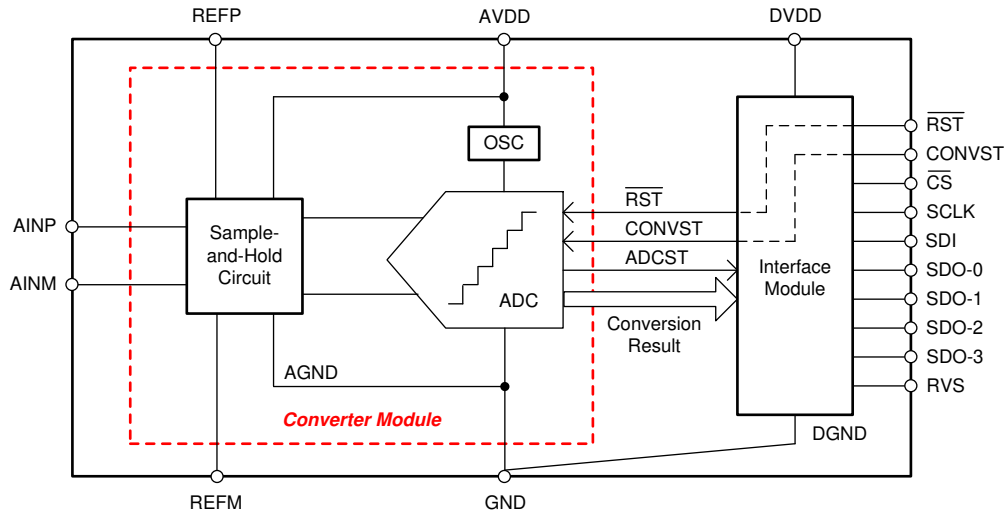


図 6-1. コンバータ モジュール

#### 6.3.1.1 サンプル アンド ホールド回路

このデバイスは、ユニポーラの完全差動アナログ入力信号に対応しています。図 6-2 サンプル/ホールド回路の小信号の等価回路を、に示します。各サンプリング スイッチは、理想スイッチ ( $\text{sw}_1$  および  $\text{sw}_2$ ) と直列に接続された抵抗 ( $R_{s1}$  および  $R_{s2}$ 、通常  $30\Omega$ ) として表されます。サンプリング コンデンサ  $C_{s1}$  および  $C_{s2}$  は通常  $60\text{pF}$  です。

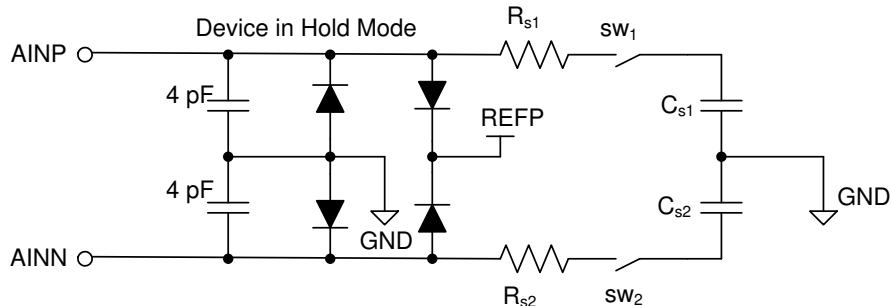


図 6-2. 入力サンプリング段の等価回路

アキュジション プロセス (ACQ 状態) 中に、正と負の両方の入力それぞれ  $C_{s1}$  および  $C_{s2}$  で個別にサンプリングされます。変換処理中 (CNV 状態) において、デバイスはサンプリングされた 2 つの値の電圧差を変換します:  $V_{\text{AINP}} - V_{\text{AINM}}$

各アナログ入力ピンには、REFP および GND に対する静電放電 (ESD) 保護ダイオードが備えられています。ダイオードがオンにならないように、アナログ入力を規定の範囲内に維持します。

式 1 および式 2 に、任意の外部リファレンス電圧 ( $V_{REF}$ ) のアナログ入力でサポートされるフルスケール電圧範囲 (FSR) と同相電圧範囲 ( $V_{CM}$ ) を示します。

$$FSR = \pm V_{REF} \quad (1)$$

$$V_{CM} = \left( \frac{V_{REF}}{2} \right) \pm 0.1 \text{ V} \quad (2)$$

### 6.3.1.2 外部リファレンス ソース

このデバイスの入力範囲は、2 つの REFP ピンに印加される外部電圧によって設定されます。REFM ピンはリファレンスグラウンドとして機能し、各リファレンス コンデンサに接続する必要があります。

このデバイスは、RST および ACQ 状態において、リファレンス ピンからの静的電流の消費が非常に小さいです。変換処理中 (CNV 状態) には、バイナリ重み付けされたコンデンサがリファレンス ピンに接続されます。スイッチング周波数は変換クロック周波数に比例しますが、動的電荷の要求量は入力電圧およびリファレンス電圧の絶対値の関数となります。リファレンス コンデンサは動的なリファレンス負荷をデカップリングし、電圧を 1LSB 以内に維持するために、低インピーダンスのリファレンスドライバが必要です。

ほとんどのリファレンス ソースは、非常に高い広帯域ノイズを持っています。図 6-3 に示すように、リファレンスドライバに接続する前に、160Hz のフィルタでフィルタ処理することをお勧めします。リファレンス コンデンサとドライバの選択については、「ADC リファレンスドライバ」セクションを参照してください。また、リファレンス入力は基板レイアウトの影響を受けやすいため、「レイアウト」セクションで説明するレイアウトのガイドラインに従う必要があります。

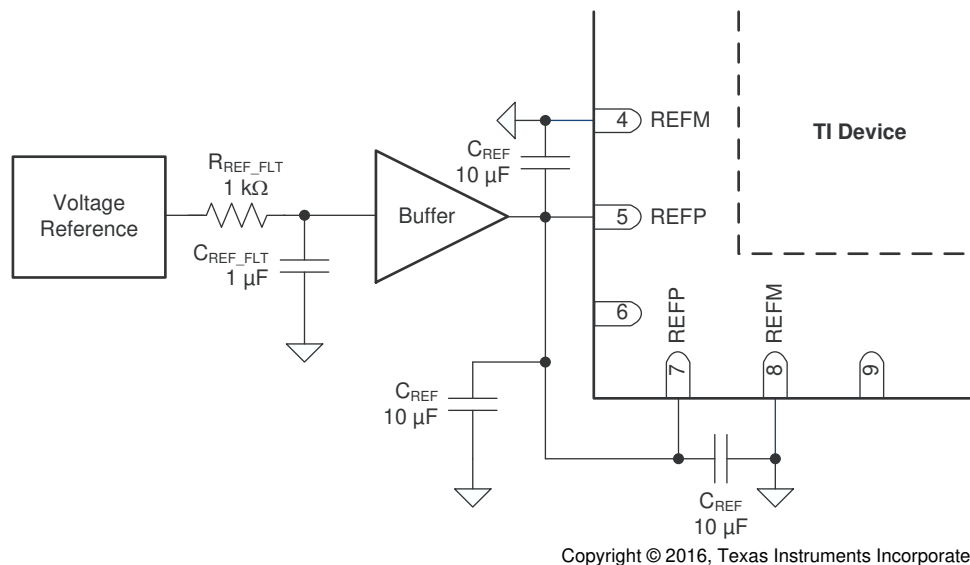


図 6-3. リファレンスドライバ回路図

### 6.3.1.3 内部発振器

このデバイスには、変換クロックを供給する内部発振器 (OSC) が搭載されています。図 6-1 を参照してください。変換期間は変化することがありますが、以下で規定されている  $t_{conv}$  の最小値および最大値の範囲内に収まります。「タイミング要件: 変換サイクル」の表。

インターフェイス モジュールは、デバイスとホスト コントローラ間のデータ転送処理を実行するために、この内部クロック (OSC)、外部クロック (SCLK ピンにホスト コントローラから供給されるクロック)、または内部クロックと外部クロックの組み合わせを使用できます。詳細については、「インターフェイス モジュール」セクションを参照してください。

### 6.3.1.4 ADC の伝達関数

ADS9120 は、単極性の完全差動アナログ入力をサポートします。デバイスの出力は 2 の補数形式です。図 6-4 および表 6-1 は、デバイスの理想的な伝達特性を示します。

ADC の LSB は、式 3 で計算されます：

$$1 \text{ LSB} = \frac{\text{FSR}}{2^{16}} = 2 \times \frac{V_{\text{REF}}}{2^{16}} \tag{3}$$

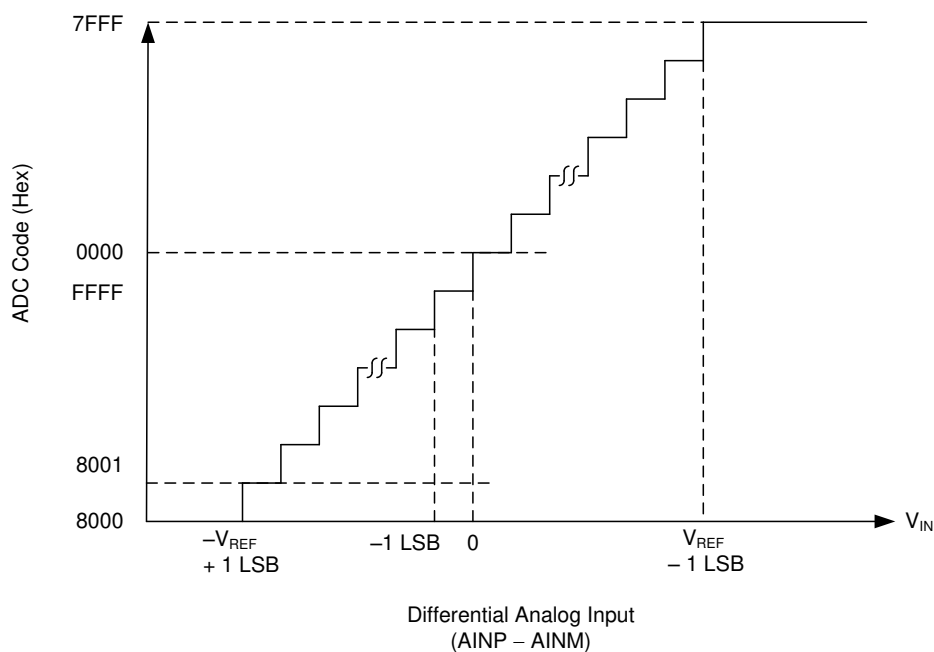


図 6-4. 差動伝達特性

表 6-1. 伝達特性

差動アナログ入力電圧 (AINP - AINM)	出力コード (Hex)
< -V <sub>REF</sub>	8000
-V <sub>REF</sub> + 1LSB	8001
-1LSB	FFFF
0	0000
1LSB	0001
> V <sub>REF</sub> - 1LSB	7FFF

### 6.3.2 インターフェイス モジュール

インターフェイス モジュールは、デバイスとホストコントローラ間の通信およびデータ転送を行います。図 6-5 に示されているように、このモジュールは、シフトレジスタ (入力データ用および出力データ用)、設定レジスタ、およびプロトコルユニットで構成されています。

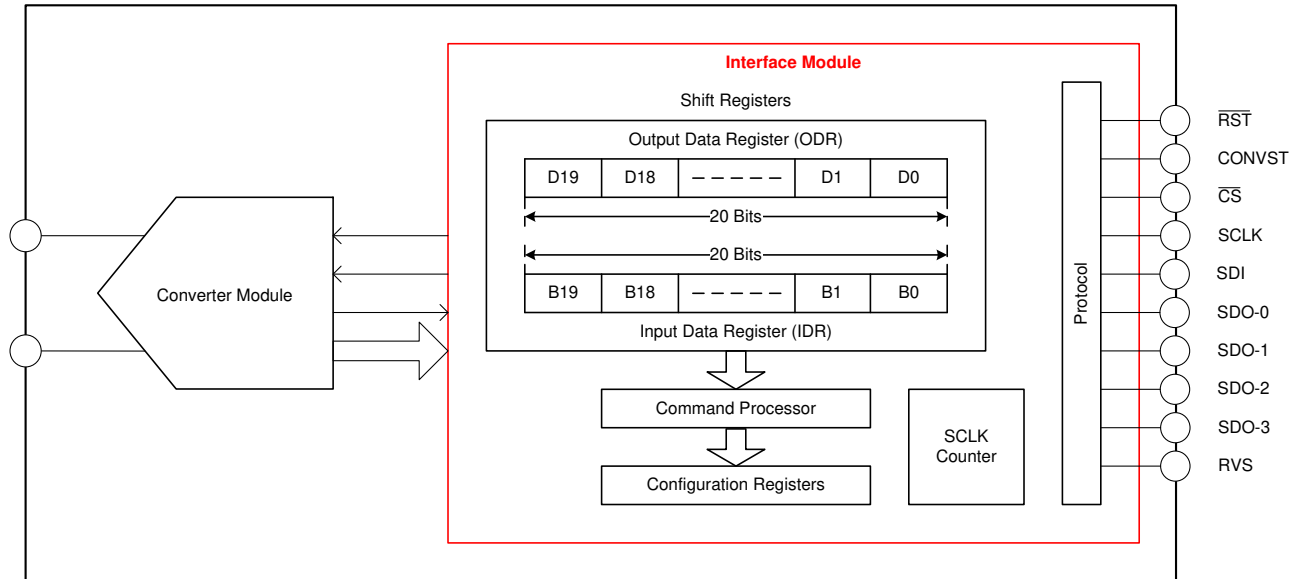


図 6-5. インターフェイス モジュール

「ピン構成および機能」セクションには、インターフェイスピンの説明が記載されています。「データ転送フレーム」セクションには、シフトレジスタ、SCLK カウンタ、コマンド プロセッサの機能の詳細が記載されています。「データ転送プロトコル」セクションには、サポートされているプロトコルの詳細が記載されています。「レジスタ マップ」セクションでは設定レジスタとビット設定について説明しています。

## 6.4 デバイスの機能モード

図 6-6 に示されているように、このデバイスは以下の 3 つの状態をサポートしています。RST、ACQ、CNV。デバイスのステータスは、ホストコントローラから供給される CONVST および  $\overline{\text{RST}}$  制御信号の状態によって決まります。

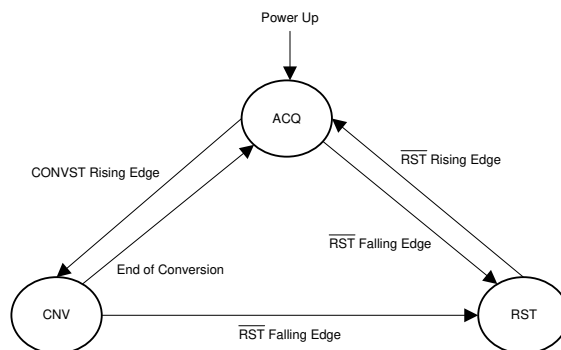


図 6-6. デバイスの機能状態

### 6.4.1 RST 状態

ADS9120 において、 $\overline{\text{RST}}$  ピンは非同期デジタル入力です。RST 状態に移行するには、ホストコントローラは  $\overline{\text{RST}}$  ピンを low にプルダウンし、以下で規定されている  $t_{\text{wl\_RST}}$  時間の間、low に保持する必要があります:「[タイミング要件:非同期リセット、NAP、PD](#)」の表)。

RST 状態では、すべての設定レジスタ (「[レジスタ マップ](#)」セクションを参照) はデフォルト値にリセットされ、RVS ピンは low のままとなり、SDO - x ピンはハイインピーダンス状態になります。

RST 状態から抜けるには、図 6-7 に示すように、CONVST および SCLK を low に保持し、 $\overline{\text{CS}}$  を high に保持した状態で、ホストコントローラが  $\overline{\text{RST}}$  ピンを high にプルアップする必要があります。 $t_{\text{d\_rst}}$  の遅延後、デバイスは ACQ 状態に移行し、RVS ピンは high になります。

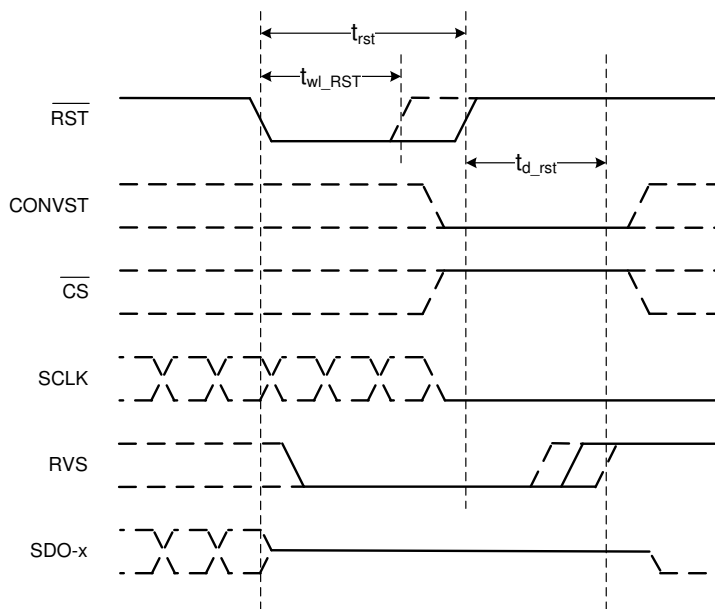


図 6-7. 非同期リセット

デバイスを他の 2 つの状態 (ACQ または CNV) のいずれかで動作させるには、 $\overline{\text{RST}}$  を high に保持する必要があります。 $\overline{\text{RST}}$  ピンが high に保持されると、CONVST ピンでの遷移により、デバイスの機能状態が決まります。

標準的な変換プロセスを、[図 6-8](#) に示します。内部信号 ADCST は、変換中は low となり、変換終了時に high になります。CS を high に保持すると、RVS は ADCST のステータスを反映します。

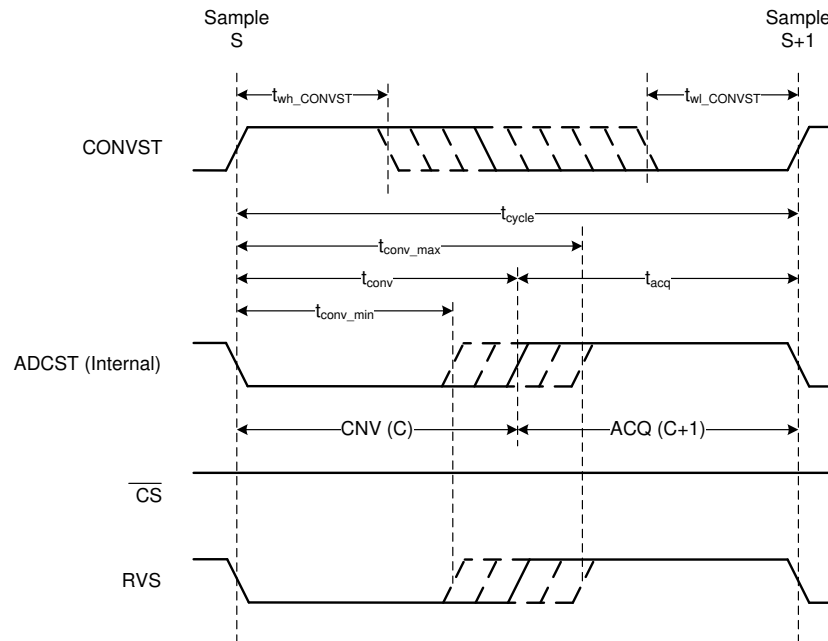


図 6-8. 標準的な変換プロセス

#### 6.4.2 ACQ 状態

ACQ 状態では、デバイスはアナログ入力信号を取得します。デバイスは、パワーアップ時、非同期リセットの後、または各変換が終了した後に、ACQ 状態に移行します。

RST 立ち下がりエッジで、デバイスは ACQ 状態から RST 状態になります。CONVST の立ち上がりエッジにより、デバイスは ACQ 状態から CNV 状態へ遷移します。

デバイスには低消費電力の NAP モードがあり、ACQ 状態での消費電力を低減できます。NAP モードの詳細については、「[NAP モード](#)」セクションを参照してください。

#### 6.4.3 CNV 状態

デバイスは、CONVST ピンの立ち上がりエッジで ACQ 状態から CNV 状態に遷移します。変換処理は内部クロックを使用して実行され、デバイスは変換が完了するまで (すなわち、 $t_{conv}$  の期間中)、CONVST 信号のそれ以降の遷移を無視します。

変換が終了すると、デバイスは ACQ 状態に入ります。[式 4](#) の式で、デバイスのサイクル時間を計算します。

$$t_{cycle-min} = t_{conv} + t_{acq-min} \quad (4)$$

#### 注

変換時間  $t_{conv}$  は、 $t_{conv-min}$  および  $t_{conv-max}$  の規定範囲内で変動する場合があります ([タイミング要件: 変換サイクル](#)表に規定)。変換開始後、ホストコントローラは、新たな操作 (データ転送または変換) を開始する前に、RVS ピンの Low から High への遷移を監視するか、または  $t_{conv-max}$  時間が経過するのを待つ必要があります。RVS が監視されていない場合は、[式 4](#) の  $t_{conv}$  を  $t_{conv-max}$  に置き換えます。

## 6.5 プログラミング

このデバイスは 4 つの構成レジスタ（「[レジスタ マップ](#)」セクションに記載）を備えており、2 種類のデータ転送動作をサポートします：データ書き込み（ホストがデバイスを設定）、およびデータ読み取り（ホストがデバイスからデータを読み取り）。

内部構成レジスタにアクセスするため、デバイスは表 6-2 に示すコマンドをサポートしています。

**表 6-2. サポートされている コマンド**

オペコード B[19:0]	コマンドの頭字語	コマンドの説明
0000_0000_0000_0000_0000	NOP	無操作
1001_<8-bit address>_0000_0000	RD_REG	<8-bit address> から内容を読み取り
1010_<8-bit address>_<8-bit data>	WR_REG	<8-bit address> に <8-bit data> を書き込み
1111_1111_1111_1111_1111	NOP	無操作
残りの組み合わせ	予約済み	これらのコマンドは予約されており、デバイスでは無操作として扱われます

ADS9120 において、デバイスへのすべてのデータ書き込みは、SCLK ピンに供給される外部クロックに常に同期しています。デバイスから読み取られるデータは、構成レジスタを設定することにより、同じ外部クロックまたはデバイスの内部クロックに同期させることができます（詳細については「[データ転送プロトコル](#)」セクションを参照）。

任意のデータ転送フレームにおいて、内部の 20 ビットの出力データ ワードの内容が、SDO ピンからシフト アウトされます。任意のフレーム (F+1) について、20 ビット出力データワードの D[19:4] ビットは、次の式で決定されます：

- フレーム F + 1 に適用可能な DATA\_PATN[2:0] ビットの設定 ([DATA\\_CNTL レジスタ](#)を参照) および
- フレーム F で発行されたコマンド

フレーム F で有効な RD\_REG コマンドが実行されると、フレーム F + 1 の D[19:12] ビットに選択されたレジスタの内容が反映され、D[11:0] ビットは 0 になります。

フレーム F + 1 の DATA\_PATN[2:0] ビットが 1xxb に設定されている場合、フレーム F + 1 の および D[19:4] ビットは、[図 6-9](#) に示す固定データ パターンとなります。

その他すべての組み合わせでは、フレーム F + 1 の および D[19:4] ビットは、最新の変換結果となります。

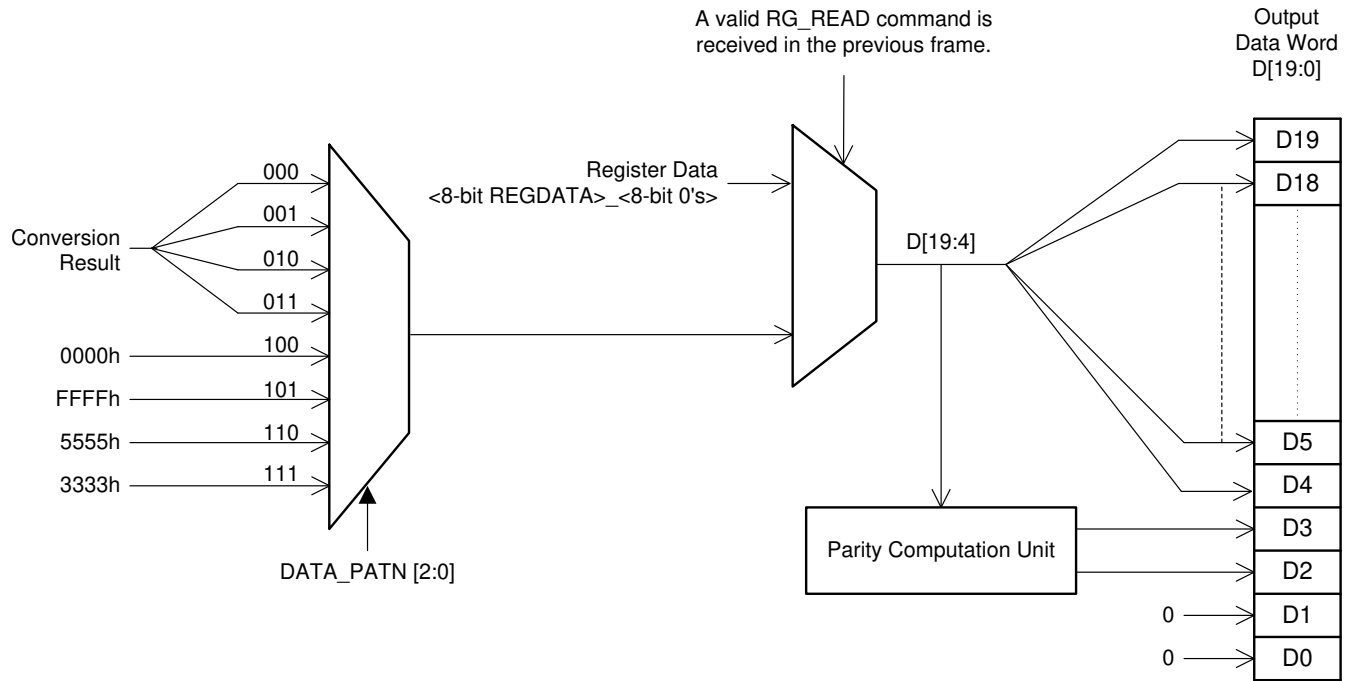


図 6-9. 出力データワード (D[19:0])



### 6.5.1 データ転送フレーム

デバイスとホスト コントローラ間のデータ転送フレームは、 $\overline{CS}$  の立ち下がりエッジからその後の  $\overline{CS}$  の立ち上がりエッジまでの間で規定されます。ホスト コントローラは、(図 6-11 に示すように) CONVST 信号のステータスに関係なく任意のタイミングでデータ転送フレームを開始できますが、そのようなデータ転送フレーム中に読み出されるデータは、CONVST 信号と  $\overline{CS}$  信号の相対的なタイミングに依存します。

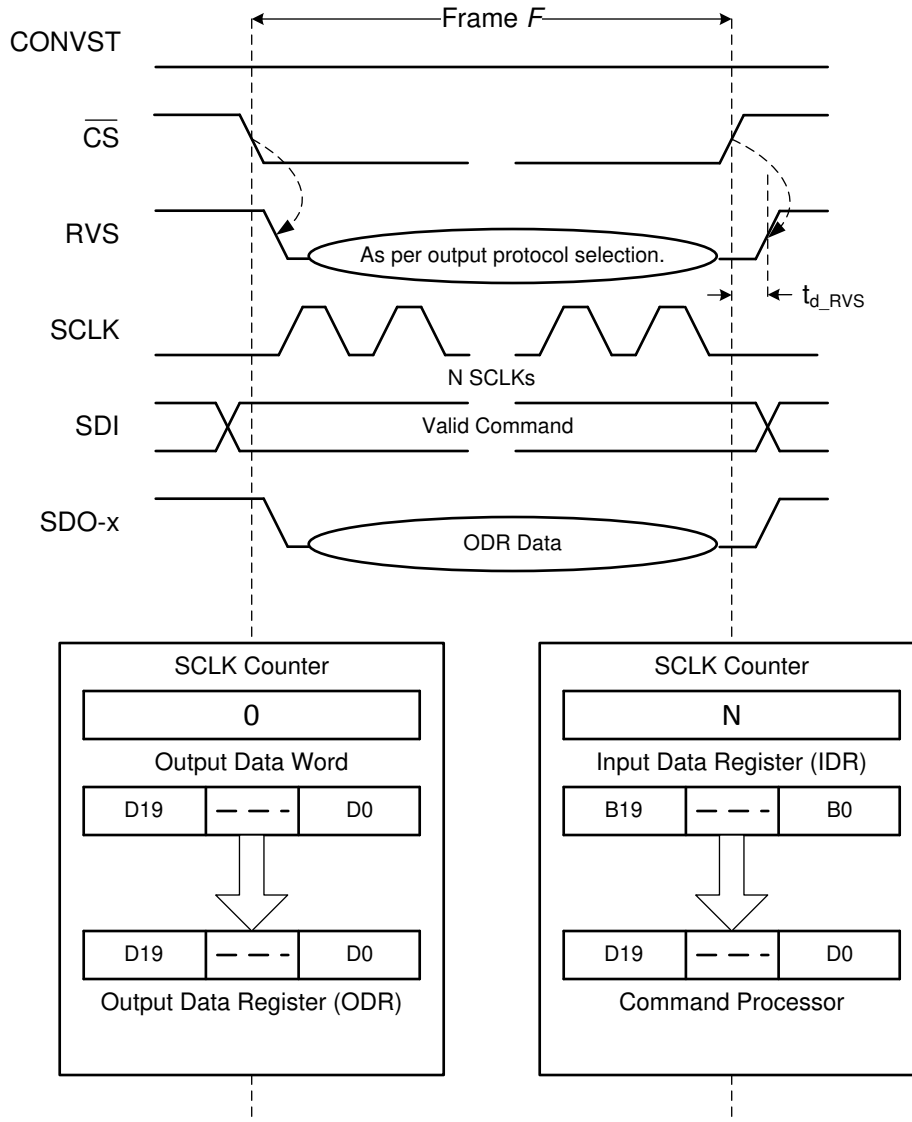


図 6-11. データ転送フレーム

この説明では、CONVST 信号が Low のままであると仮定します。

標準的なデータ転送フレーム F の場合:

1. ホスト コントローラは  $\overline{CS}$  を Low にプルし、データ転送フレームを開始します。 $\overline{CS}$  の立ち下がりエッジ時:
  - RVS が Low になり、データ転送フレームの開始を示します。
  - SCLK カウンタが 0 にリセットされます。
  - デバイスがデータバスの制御を取得します。図 6-11 に示すように、出力データワード (図 6-9 参照) の 20 ビットの内容が、20 ビットの ODR (図 6-5 参照) にロードされます。
  - 20 ビットの IDR (図 6-5 参照) は 00000h にリセットされ、NOP コマンドに対応します。

2. フレーム中、ホストコントローラは SCLK ピンにクロックを供給します。
  - 各 SCLK のキャプチャ エッジで、SCLK カウンタがインクリメントされ、SDI ピンで受信されたデータビットが IDR にシフト インされます。
  - 出力クロック (この場合は SCLK) の各ローンチ エッジで、選択された SDO - x ピンから ODR のデータがシフトアウトされます。
  - RVS ピンのステータスは出力プロトコルの選択に依存します (「デバイスからの読み出しプロトコル」セクションを参照)。
3. ホストコントローラは  $\overline{CS}$  ピンを High にして、データ転送フレームを終了します。 $\overline{CS}$  の立ち上がりエッジ時:
  - SDO-x ピンがトライステートになります。
  - RVS は ( $t_{d\_RVS}$  の遅延の後) High になります。
  - [図 6-11](#) に示されているように、IDR の 20 ビットの内容は、デコードおよび後続の処理のためにコマンド プロセッサ ([図 6-5](#) を参照) に転送されます。

$\overline{CS}$  を High にした後、ホストコントローラは RVS ピンの Low から High への遷移を監視するか、または  $t_{d\_RVS}$  の時間待機する必要があります (「タイミング要件: SPI 互換のシリアルインターフェイス」表を参照)) を更新し、新しい動作 (データ転送または変換) を開始する前に経過する必要があります。データ転送フレーム F の遅延  $t_{d\_RVS}$  は、フレーム F で実行されるデータ転送動作によって異なります。

データ転送フレーム F の終了時に、以下が発生します。

- SCLK カウンタが 20 未満の場合、IDR が SDI から 20 ビット未満しかキャプチャしていないことを示します。この場合、デバイスは、フレーム F を「短いコマンドフレーム」として扱います。短いコマンドフレームの終了時に、IDR は更新されず、デバイスはそのフレームを無操作コマンドとして扱います。
- SCLK カウンタが 20 の場合、IDR が SDI からちょうど 20 ビットをキャプチャしたことを示します。この場合、デバイスは、フレーム F を「最適なコマンドフレーム」として扱います。最適なコマンドフレームの終了時に、コマンドプロセッサは IDR の 20 ビットの内容を有効なコマンドワードとしてデコードします。
- SCLK カウンタが 20 を超える場合、IDR が SDI から 20 ビットを超えるデータをキャプチャしたことを示し、「最後の 20 ビット」のみが保持されます。この場合、デバイスは、フレーム F を「長いコマンドフレーム」として扱います。長いコマンドフレームの終了時に、コマンドプロセッサは IDR の 20 ビットの内容を有効なコマンドワードとして扱います。データ転送フレーム F 内で提供できるクロックの最大数に制限はありません。ただし、上記で説明しているように、 $\overline{CS}$  の立ち上がりエッジの前にデバイスにシフトインされた最後の 20 ビットが目的のコマンドを構成する必要があります。

短いコマンドフレームでは、デバイスへの書き込み操作は無効となりますが、そのフレーム中に転送される出力データビットは有効な出力データです。したがって、ホストコントローラは、このような短いデータ転送フレームを使用して、20 ビットの出力データワードから必要な数の MSB ビットのみを読み取ることができます。[図 6-9](#) に示すように、ADS9120 の「最適な読み取りフレーム」は、出力データワードの 16 MSB ビットのみを読み取る必要があります。最適な読み取りフレームの長さは、出力プロトコルの選択によって異なります。詳細については、「デバイスからの読み取りのためのプロトコル」セクションを参照してください。

### 注

上記の例では、SCLK ピンに供給される外部クロックに同期したデータの読み取りおよび書き込み動作を示しています。

このデバイスは、内部クロックと同期したデータ読み取り動作もサポートしています。詳細については、「デバイスからの読み取りのためのプロトコル」セクションを参照してください。この場合、ODR の内容は内部クロックのローンチ エッジで SDO にシフト出力される一方で、デバイスは SCLK のキャプチャ エッジで SDI データを IDR に取り込み続けます (SCLK カウンタはインクリメントします)。

### 6.5.2 変換サイクルとデータ転送フレームのインターリーブ

ホスト コントローラは、変換サイクルとデータ転送フレームをインターリーブすることで、ADS9120 を所望のスループットで動作させることができます。

デバイスのサイクル時間  $t_{\text{cycle}}$  は、ホスト コントローラによって供給される連続する 2 つの CONVST の立ち上がりエッジ間の時間差です。デバイスの応答時間  $t_{\text{resp}}$  は、ホスト コントローラが変換 C を開始してから、変換 C の完全な結果を受信するまでの時間差です。

図 6-12 に、C、C + 1、C + 2 の 3 つの変換サイクルを示します。変換 C は、 $t = 0$  の時点における CONVST の立ち上がりエッジによって開始され、変換結果は  $t_{\text{conv}}$  の時点でデータ転送に利用可能となります。ただし、この結果は、後続の  $\overline{\text{CS}}$  の立ち下がりエッジでのみ ODR にロードされます。この  $\overline{\text{CS}}$  の立ち下がりエッジは、変換 C + 1 の完了前 (すなわち、 $t_{\text{cycle}} + t_{\text{conv}}$  の時点より前) に供給する必要があります。

定格性能仕様を達成するために、ホスト コントローラは、図 6-12 に示すように、静止取得時間 ( $t_{\text{qt\_acq}}$ ) および静止アパーチャ時間 ( $t_{\text{d\_cnvcap}}$ ) の間にデジタル信号がトグルしないことを保証する必要があります。 $t_{\text{d\_cnvcap}}$  の間のいかなるノイズも進行中の変換結果に悪影響を及ぼす可能性があり、一方、 $t_{\text{qt\_acq}}$  の間のいかなるノイズも後続サンプルの取得 (したがってその変換結果) に悪影響を及ぼす可能性があります。

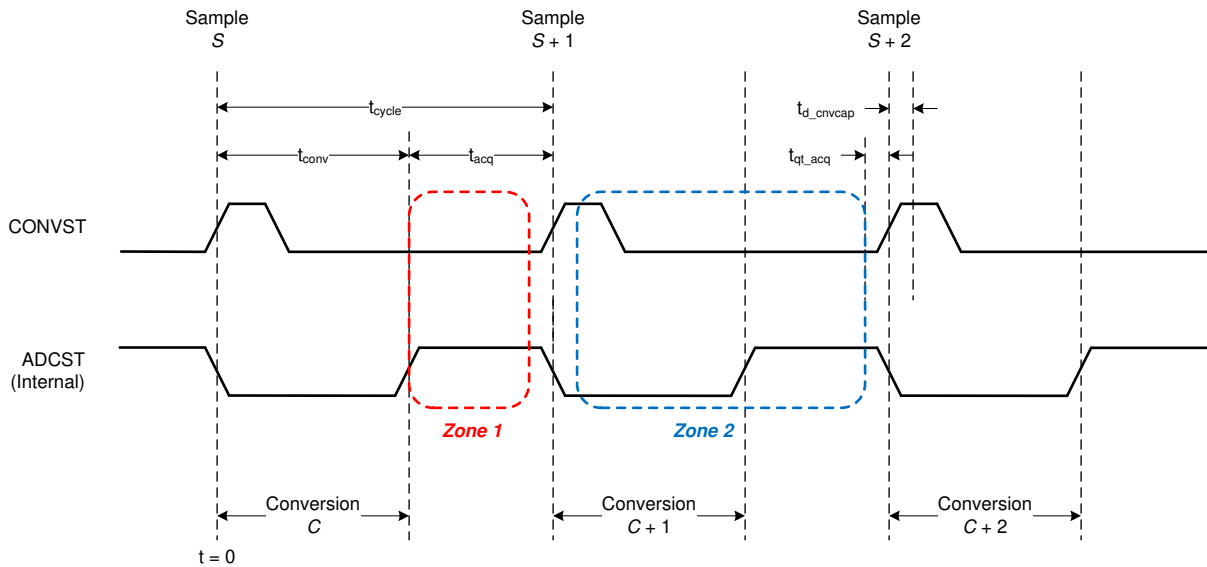


図 6-12. データ転送ゾーン

このアーキテクチャにより、各変換に対して 2 つの異なる時間領域 (zone1 および zone2) でデータ転送が可能になります。変換 C の zone1 および zone2 は、表 6-3 で定義されます。

表 6-3. データ転送ゾーンのタイミング

ゾーン	開始時間	終了時間
Zone1 変換 C	$t_{\text{conv}}$	$t_{\text{cycle}} - t_{\text{qt\_acq}}$
Zone2 変換 C	$t_{\text{cycle}} + t_{\text{d\_cnvcap}}$	$t_{\text{cycle}} + t_{\text{cycle}} - t_{\text{qt\_acq}}$

応答時間は変換時間とデータ転送時間を含み、したがって選択されたデータ転送ゾーンに依存します。

図 6-13 および図 6-14 に、zone1 と zone2 の 3 つのデータ転送フレーム (F、F + 1、F + 2) による 3 つの変換サイクル (C、C + 1、C + 2) のインターリーブを示します。

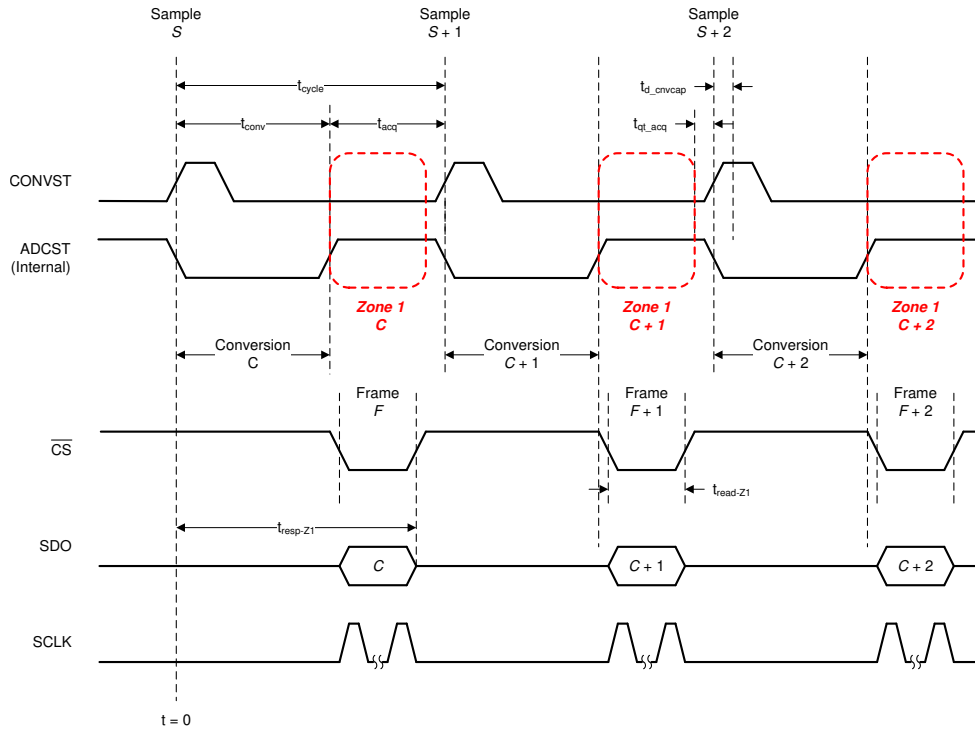


図 6-13. Zone1 データ転送

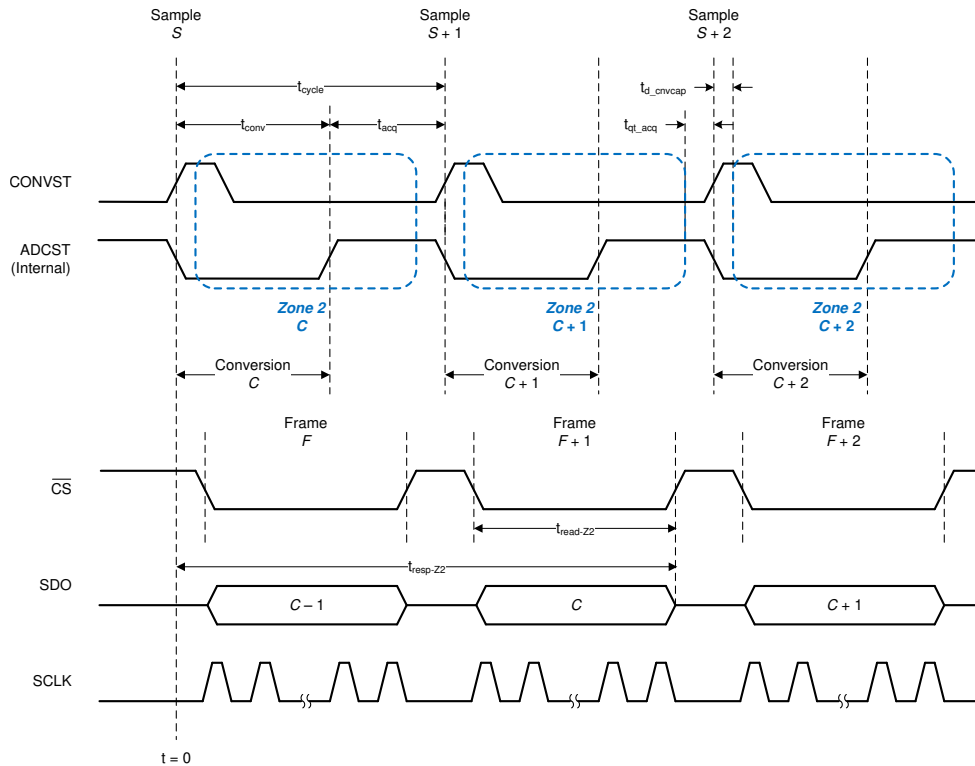


図 6-14. Zone2 データ転送

サイクル時間  $t_{\text{cycle}}$  を達成するために、**zone1** における読み取り時間は式 5 によって計算されます：

$$t_{\text{read-Z1}} \leq t_{\text{cycle}} - t_{\text{conv}} - t_{\text{qt\_acq}} \quad (5)$$

最適な読み出しフレームの場合、式 5 から式 6 によって与えられる SCLK 周波数が得られます：

$$f_{\text{SCLK}} \geq \frac{16}{t_{\text{read-Z1}}} \quad (6)$$

次に、**zone1** のデータ転送は、式 7 に定義された応答時間を達成します：

$$t_{\text{resp-Z1-min}} = t_{\text{conv}} + t_{\text{read-Z1}} \quad (7)$$

一例として、ADS9120 を 2.5MSPS のフルスループットで動作させる場合、**zone1** におけるデータ転送が 85ns 以内に完了すれば、ホストコントローラは 400ns の応答時間を達成できます。ただし、この応答時間を達成するには、SCLK 周波数は 188MHz を超えている必要があります。

なお、このデバイスはそのような高い SCLK 速度には対応していません。

**Zone2** におけるデータ転送では、同じサイクル時間に対してより低い SCLK 速度を実現できます。**Zone2** の読み取り時間は式 8 で与えられます：

$$t_{\text{read-Z2}} \leq t_{\text{cycle}} - t_{\text{d\_cnvcap}} - t_{\text{qt\_acq}} \quad (8)$$

最適なデータ転送フレームの場合、式 8 から式 9 によって与えられる SCLK 周波数が得られます：

$$f_{\text{SCLK}} \geq \frac{16}{t_{\text{read-Z2}}} \quad (9)$$

次に、**zone2** のデータ転送は、式 10 に定義された応答時間を達成します：

$$t_{\text{resp-Z2-min}} = t_{\text{cycle}} + t_{\text{d\_cnvcap}} + t_{\text{read-Z2}} \quad (10)$$

一例として、ホストコントローラは、**zone2** のデータ転送を使用し、44MHz の SCLK (読み取り時間 365ns) で、ADS9120 を 2.5MSPS のフルスループットで動作させることができます。ただし、**zone2** のデータ転送では、応答時間は約 800ns になります。

$t_{\text{read-Z1}}$  および  $t_{\text{read-Z2}}$  に上限はありませんが、これらの読み取り時間を増加させると応答時間が増加し、サイクル時間も増加する可能性があります。

所定のサイクル時間において、**zone1** のデータ転送は明らかにより高速な応答時間を実現できますが、より高い SCLK 速度を必要とします (式 5、式 6、および式 7 から明らかです)。一方、**zone2** のデータ転送はより低い SCLK 速度で動作可能ですが、応答時間は遅くなります (式 8、式 9、および式 10 から明らかです)。

### 注

さらに、データ転送フレームは **zone1** で開始し、その後 **zone2** にまたがって延長することができますが、ホストコントローラは  $t_{\text{qt\_acq}}$  および  $t_{\text{d\_cnvcap}}$  の時間区間においてデジタル信号の遷移が発生しないことを保証する必要があります。

### 6.5.3 データ転送プロトコル

このデバイスは multiSPI™ インターフェイスを備えており、ホスト コントローラはより低い SCLK 速度で動作しながら、必要なサイクル時間を満たしつつ、より高速な応答時間を実現できます。multiSPI™ インターフェイス モジュールは、データ転送に必要な SCLK 速度を低減するための二つのオプションを提供します：

1. 出力データ バスの幅を増やすオプション
2. ダブル データ レート (DDR) 転送を有効にするオプション

これらの二つのオプションは組み合わせて使用することができ、SCLK 速度をさらに低減することができます。

図 6-15 は、一般的なシリアル通信におけるホスト コントローラとデバイスとの間の遅延を示します。

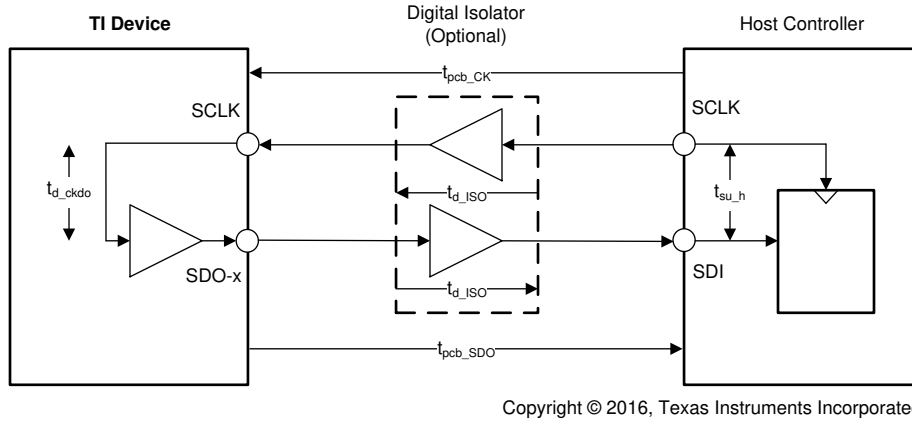


図 6-15. シリアル通信の遅延

$t_{pcb\_CK}$  および  $t_{pcb\_SDO}$  が、それぞれシリアル クロック信号および SDO 信号に対する PCB パターンによって生じる遅延であり、 $t_{d\_CKDO}$  がデバイスのクロック対データ遅延、 $t_{d\_ISO}$  がデジタル アイソレータによって生じる伝搬遅延、 $t_{su\_h}$  がホスト コントローラのセットアップ時間仕様である場合、パス全体の遅延は式 11 によって求められます：

$$t_{d\_total\_serial} = t_{pcb\_CK} + t_{d\_iso} + t_{d\_ckdo} + t_{d\_iso} + t_{pcb\_SDO} + t_{su\_h} \tag{11}$$

標準的な SPI プロトコルでは、ホスト コントローラとデバイスは、交互の SCLK エッジでデータ ビットを送出し、キャプチャします。したがって、 $t_{d\_total\_serial}$  遅延は SCLK 持続時間の半分未満に保つ必要があります。式 12 に、SPI プロトコルで許容される最高速クロックを示します。

$$f_{clk-SPI} \leq \frac{1}{2 \times t_{d\_total\_serial}} \tag{12}$$

$t_{d\_total\_serial}$  遅延の値が大きくなると、SPI プロトコルにおける最大 SCLK 速度が制限され、読み取り時間および応答時間が長くなり、サイクル時間も増加する可能性があります。この SCLK 速度に対する制限を解消するために、multiSPI™ インターフェイス モジュールは、ADC - Clock - Master モードまたはソース同期モードの動作をサポートしています。

図 6-16 に示すように、ADC クロック マスタまたはソース同期モードでは、デバイスは出力データ (SDO - x ピン) とともに同期出力クロック (RVS ピン) を供給します。

$t_{off\_STRDO}$  の値が無視できる場合、ソース同期データ転送のパスの合計遅延は式 13 で求められます：

$$t_{d\_total\_srcsync} = t_{pcb\_RVS} - t_{pcb\_SDO} + t_{su\_h} \tag{13}$$

式 11 と式 13 に示すように、ADC クロック マスタまたはソース同期モードでは、アイソレータ遅延 ( $t_{d\_ISO}$ ) とクロック / データ遅延 ( $t_{d\_CKDO}$ ) の影響は完全に除去されます。これは通常、遅延計算全体の最も大きな要因です。

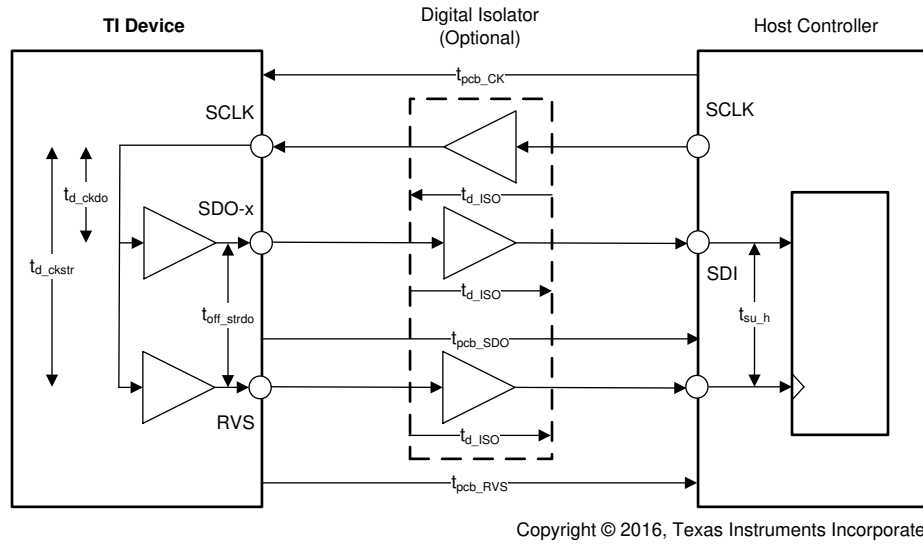


図 6-16. ソース同期通信の遅延

さらに、 $t_{pcb\_RVS}$  および  $t_{pcb\_SDO}$  の実際の値は重要ではありません。ほとんどの場合、 $t_{d\_total\_srcsync}$  遅延は、RVS ラインと SDO ラインを PCB 上で配線することで最小限に抑えることができます。したがって、ADC - Clock - Master モードまたはソース同期モードにより、ホスト コントローラとデバイス間のデータ転送は、はるかに高い SCLK 速度で動作することが可能になります。

### 6.5.3.1 デバイス構成のプロトコル

表 6-4 に示されているように、ホスト コントローラは、4 種類の従来の SPI 互換プロトコル (SPI - 00 - S、SPI - 01 - S、SPI - 10 - S、または SPI - 11 - S) のいずれかを使用して、デバイスにデータを書き込むことができます。

表 6-4. デバイス構成の SPI プロトコル

プロトコル	SCLK の極性 (At CS 立ち下がりエッジ)	SCLK 位相 (キャプチャ エッジ)	SDI_CNTRL	SDO_CNTRL	SCLK の数 (最適なコマンド フレーム)	図
SPI-00-S	低	立ち上がり	00h	00h	20	図 6-17
SPI-01-S	低	立ち下がり	01h	00h	20	図 6-18
SPI-10-S	高	立ち下がり	02h	00h	20	図 6-19
SPI-11-S	高	立ち上がり	03h	00h	20	図 6-20

パワーアップ時、または非同期リセットから復帰した後に、データの読み取りおよびデータ書き込み動作のために、デバイスは SPI-00-S プロトコルをサポートします。

別の SPI 互換プロトコルを選択するには、SDI\_CNTRL レジスタの SDI\_MODE[1:0] ビットをプログラムします。この最初の書き込み動作は、SPI - 00 - S プロトコルに準拠する必要があります。以降のすべてのデータ転送フレームは、新たに選択されたプロトコルに従う必要があります。

図 6-17 ~ 図 6-20 は、最適なコマンド フレームを用いた 4 つのプロトコルの詳細を示しています。関連するタイミングパラメータについては [タイミング要件: SPI 互換シリアル インターフェイス](#) セクションを参照してください。

注

「データ転送フレーム」セクションで説明されているとおり、デバイスへの有効な書き込み操作には、データ転送フレーム内で少なくとも 20 個の SCLK が供給される必要があります。

デバイスへのデータ書き込み動作は、データ読み取り動作用に選択されたプロトコルに関係なく、SDI\_CNTL レジスタで選択された SPI 互換プロトコルに従う必要があります。

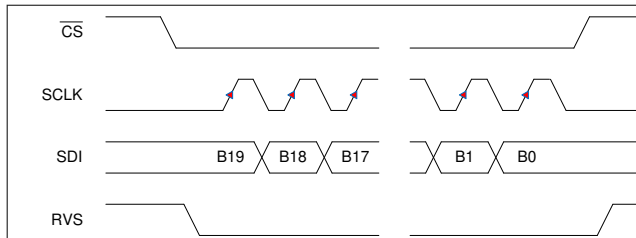


図 6-17. SPI - 00 - S プロトコル、最適なコマンドフレーム

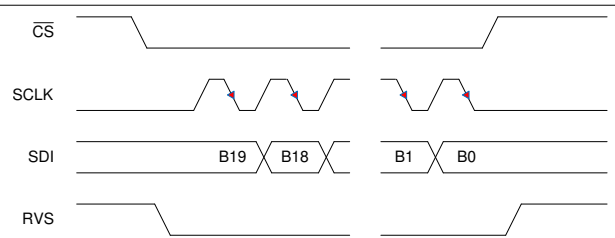


図 6-18. SPI - 01 - S プロトコル、最適なコマンドフレーム

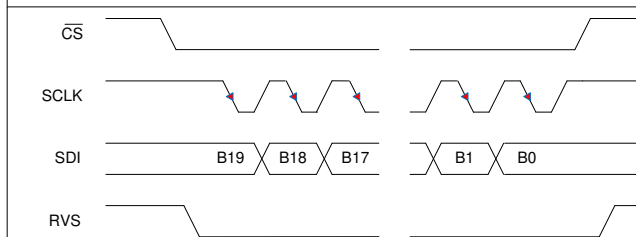


図 6-19. SPI - 10 - S プロトコル、最適なコマンドフレーム

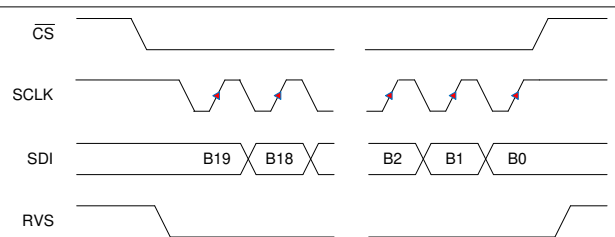


図 6-20. SPI - 11 - S プロトコル、最適なコマンドフレーム

6.5.3.2 デバイスからの読み取りのプロトコル

データ読み取り動作のプロトコルは、大きく 3 つのカテゴリに分類されます：

1. 従来、SPI 互換 (SPI - xy - S) プロトコル、
2. バス幅オプション (SPI - xy - D と SPI - xy - Q) を備えた SPI 互換プロトコル、および
3. ソース同期 (SRC) プロトコル

6.5.3.2.1 従来の SPI 互換 (SYS - xy - S) プロトコル

表 6-5 に示されているように、ホスト コントローラは、4 種類の従来の SPI 互換プロトコル (SPI - 00 - S、SPI - 01 - S、SPI - 10 - S、または SPI - 11 - S) のいずれかを使用して、デバイスからデータを読み取ることができます。

表 6-5. デバイスから読み取りを行う SPI プロトコル

プロトコル	SCLK の極性 (CS 立ち下がりエッジ時)	SCLK 位相 (キャプチャエッジ)	MSB ビット起動エッジ	SDI_CNTL	SDO_CNTL	SCLK の数 (最適な読み取りフレーム)	図
SPI-00-S	低	立ち上がり	CS 立ち下がり	00h	00h	16	<a href="#">図 6-21</a>
SPI-01-S	低	立ち下がり	1 番目の SCLK 立ち上がり	01h	00h	16	<a href="#">図 6-22</a>
SPI-10-S	高	立ち下がり	CS 立ち下がり	02h	00h	16	<a href="#">図 6-23</a>
SPI-11-S	高	立ち上がり	1 番目の SCLK 立ち下がり	03h	00h	16	<a href="#">図 6-24</a>

パワーアップ時、または非同期リセットから復帰した後に、データの読み取りおよびデータ書き込み動作のために、デバイスは **SPI-00-S** プロトコルをサポートします。両方のデータ転送動作で、**SPI** 互換の別のプロトコルを選択するには、次の手順に従います。

1. **SDI\_CNTL** レジスタの **SDI\_MODE[1:0]** ビットをプログラムします。この最初の書き込み動作は、**SPI-00-S** プロトコルに準拠する必要があります。以降のすべてのデータ転送フレームは、新たに選択されたプロトコルに従う必要があります。
2. **SDO\_CNTL** レジスタの **SDO\_MODE[1:0]** ビットを **00b** に設定します。

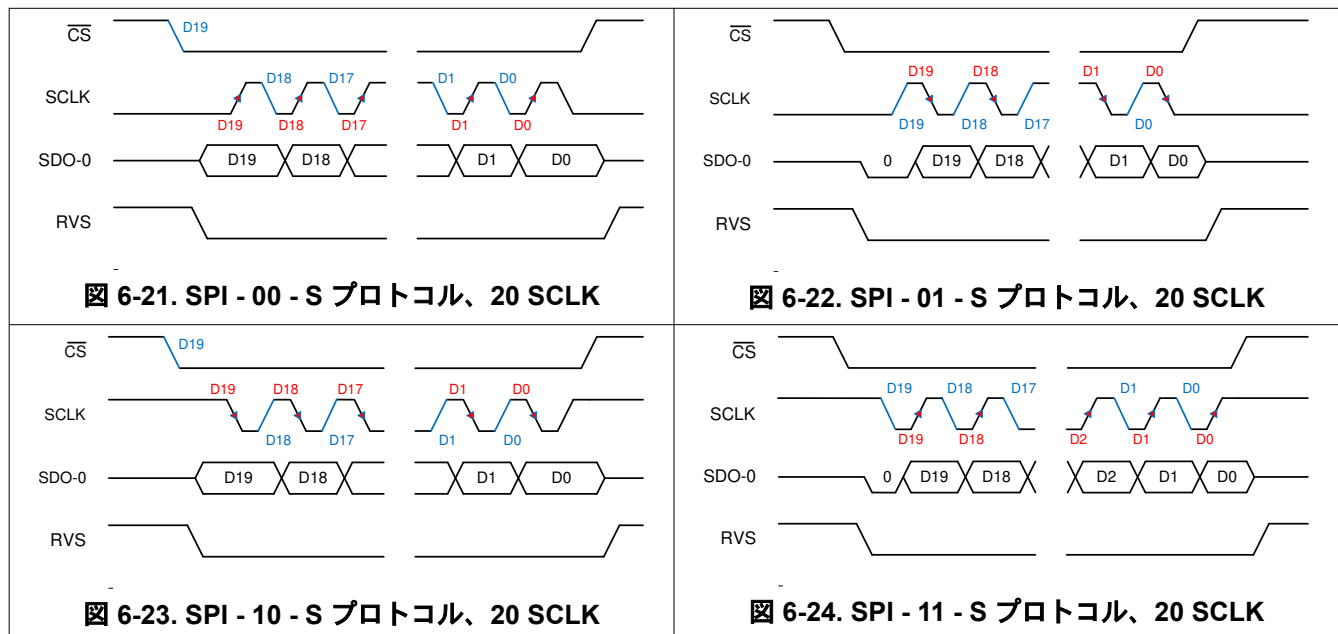
**SPI** 互換プロトコルのいずれかを使用する場合、**RVS** 出力はデータ転送フレーム全体を通して **Low** のままとなります。関連するタイミングパラメータについては「[タイミング要件: SPI 互換シリアル インターフェイス](#)」の表を参照してください。

### 注

表 6-2 で指定された **RD\_REG** および **WR\_REG** 動作を実行するには、4 つの **SPI** 互換プロトコルのいずれかを使用することを推奨します。

図 6-21 ~ 図 6-24 では、出力データワードの 20 ビットすべてを読み出すための最適なコマンドフレームを用いて、4 つのプロトコルの詳細を説明しています。表 6-5 は、各種の出力プロトコル選択に最適な読み取りフレームに必要な **SCLK** の数を示しています。

**SDO\_CNTL[7:0] = 00h** の場合、ホストコントローラが長いデータ転送フレームを使用すると、デバイスはデジチェーン動作を行います（「[複数のデバイス: デジチェーントポロジ](#)」セクションを参照）。



6.5.3.2.2 バス幅オプション付きの SPI 互換プロトコル

このデバイスは、4 つの従来の SPI 互換プロトコルのいずれかで動作する場合、SDO バス幅を 1 ビット (デフォルト、シングル SDO) から、2 ビット (デュアル SDO) または 4 ビット (クワッド SDO) へ拡張するオプションを備えています。

SDO バス幅を選択するには、SDO\_CNTL レジスタの SDO\_WIDTH[1:0] ビットを設定します。

デュアル SDO モード (SDO\_WIDTH[1:0] = 10b) では、各 SCLK の起動エッジごとに、2 ビットのデータが 2 つの SDO ピン (SDO - 0 および SDO - 1) から出力されます。

クワッド SDO モード (SDO\_WIDTH[1:0] = 11b) では、各 SCLK の起動エッジごとに、4 ビットのデータが 4 つの SDO ピン (SDO - 0、SDO - 1、SDO - 2、および SDO - 3) から出力されます。

SCLK の起動エッジは、SPI プロトコルの選択 (表 6-6 を参照) によって異なります。

表 6-6. バス幅オプション付きの SPI 互換プロトコル

プロトコル	SCLK の極性 (CS 立ち下がりエッジ時)	SCLK 位相 (キャプチャエッジ)	MSB ビット起動エッジ	SDI_CNTL	SDO_CNTL	#SCLK (最適な読み取りフレーム)	図
SPI-00-D	低	立ち上がり	$\overline{CS}$ 立ち下がり	00h	08h	8	図 6-25
SPI-01-D	低	立ち下がり	最初の SCLK 立ち上がり	01h	08h	8	図 6-26
SPI-10-D	高	立ち下がり	$\overline{CS}$ 立ち下がり	02h	08h	8	図 6-27
SPI-11-D	高	立ち上がり	最初の SCLK 立ち下がり	03h	08h	8	図 6-28
SPI-00-Q	低	立ち上がり	$\overline{CS}$ 立ち下がり	00h	0Ch	4	図 6-29
SPI-01-Q	低	立ち下がり	最初の SCLK 立ち上がり	01h	0Ch	4	図 6-30
SPI-10-Q	高	立ち下がり	$\overline{CS}$ 立ち下がり	02h	0Ch	4	
SPI-11-Q	高	立ち上がり	最初の SCLK 立ち下がり	03h	0Ch	4	図 6-32

SPI 互換プロトコルのいずれかを使用する場合、RVS 出力はデータ転送フレーム全体を通して Low のままとなります。関連するタイミングパラメータについては「タイミング要件:SPI 互換シリアル インターフェイス」の表を参照してください。

図 6-25 ~ 図 6-32 では、データバス幅を拡張することで、ホストコントローラがより短いデータ転送フレームを使用して出力データワードの 20 ビットすべてを読み取れることを示しています。表 6-6 は、各種の出力プロトコル選択に最適な読み取りフレームで必要な SCLK の数を示しています。

注

SDO\_CNTL[7:0] ≠ 00h の場合、長いデータ転送フレームを使用しても、デイジーチェーン動作にはなりません。SDO ピン上では、出力データワードの 20 ビットの後に 0 が続きます。

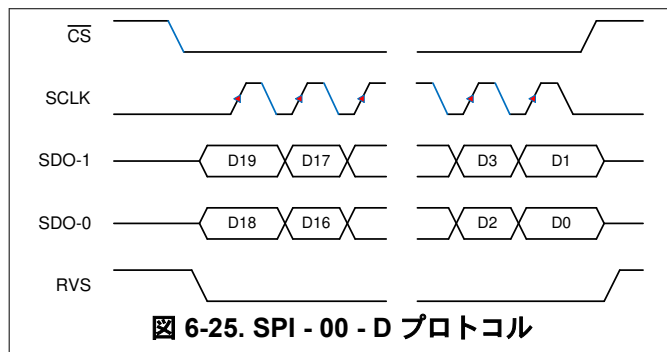


図 6-25. SPI - 00 - D プロトコル

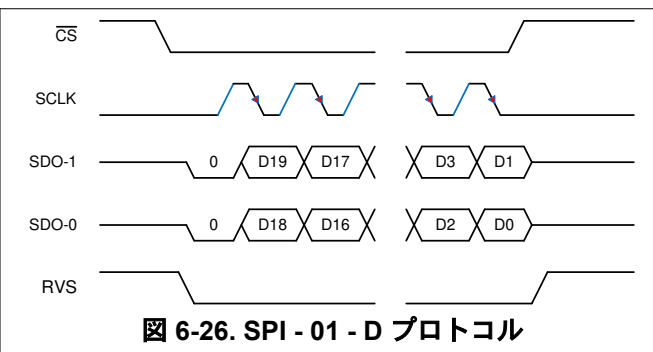


図 6-26. SPI - 01 - D プロトコル

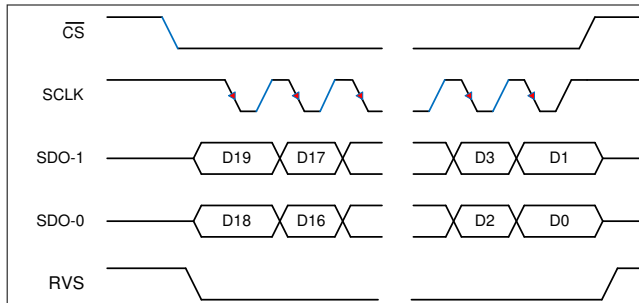


図 6-27. SPI - 10 - D プロトコル

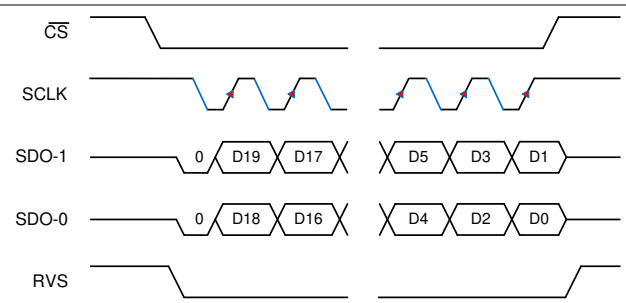


図 6-28. SPI - 11 - D プロトコル

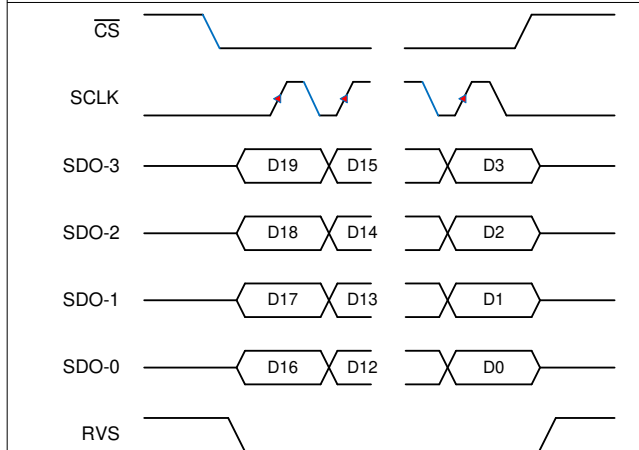


図 6-29. SPI - 00 - Q プロトコル

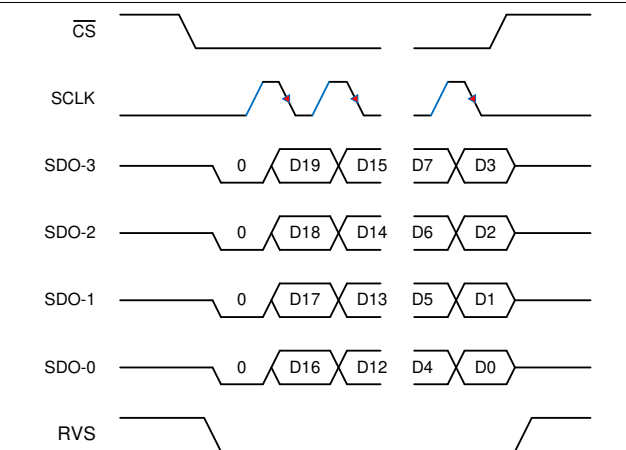


図 6-30. SPI - 01 - Q プロトコル

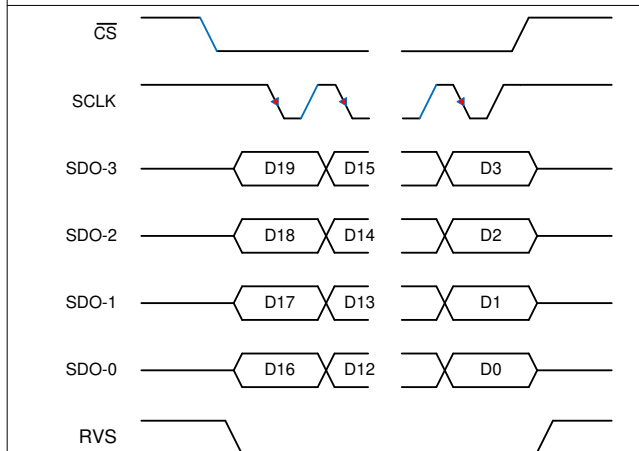


図 6-31. SPI - 10 - Q プロトコル

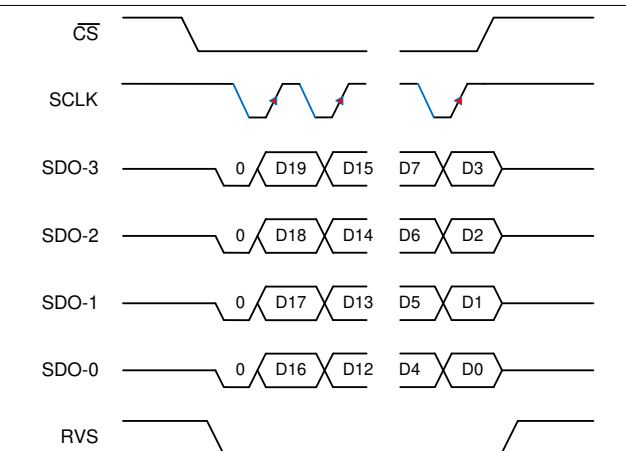


図 6-32. SPI - 11 - Q プロトコル

### 6.5.3.2.3 ソース同期 (SRC) プロトコル

「データ転送プロトコル」セクションで説明しているように、multiSPI™ インターフェイスは、デバイスとホストコントローラ間のデータ転送において、ADC クロック マスタ モードまたはソース同期モードをサポートします。このモードでは、デバイスは出力データと同期した出力クロックを供給します。さらに、ホストコントローラは、出力クロックソース、データバス幅、およびデータ転送レートも選択できます。

### 6.5.3.2.3.1 SRC プロトコルを使用した出力クロック ソースのオプション

すべての SRC プロトコルで、RVS ピンが出力クロックを供給します。このデバイスでは、この出力クロックを、SCLK ピンに入力される外部クロック、またはデバイス内部クロックのいずれかに同期させることができます。さらに、この内部クロックを 2 または 4 倍に分周して、データレートを下げることができます。

図 6-33 に示すように、出力クロック ソースを選択するには、SDO\_CNTL レジスタの SSYNC\_CLK\_SEL[1:0] ビットを設定します。

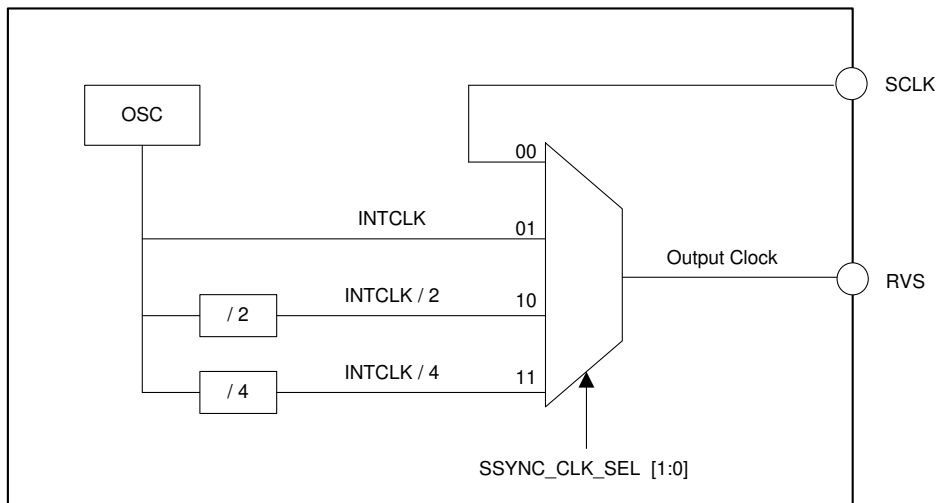


図 6-33. SRC プロトコルを使用した出力クロック ソースのオプション

#### 6.5.3.2.3.2 SRC プロトコルを使用するバス幅オプション

このデバイスは、SRC プロトコルのいずれかで動作する際に、SDO バス幅を 1 ビット (デフォルト、シングル SDO) から、2 ビット (デュアル SDO) または 4 ビット (クワッド SDO) へ拡張するオプションを提供します。SDO バス幅を選択するには、[SDO\\_CNTL レジスタ](#)の SDO\_WIDTH[1:0] ビットを設定します。

デュアル SDO モード (SDO\_WIDTH[1:0] = 10b) では、各 SCLK の立ち上がりエッジごとに、2 ビットのデータが 2 つの SDO ピン (SDO - 0 および SDO - 1) から出力されます。

クワッド SDO モード (SDO\_WIDTH[1:0] = 11b) では、各 SCLK 立ち上がりのエッジごとに、4 ビットのデータが 4 つの SDO ピン (SDO - 0、SDO - 1、SDO - 2、および SDO - 3) から出力されます。

#### 6.5.3.2.3.3 SRC プロトコルによる出力データ レート オプション

このデバイスは、データをホスト コントローラに対して、シングル データ レート (デフォルト、SDR) またはダブル データ レート (DDR) で転送するオプションを提供します。[図 6-54](#) の DATA\_RATE ビットを設定して、データ転送レートを選択します。

SDR モード (DATA\_RATE = 0b) では、RVS ピンは Low から High にトグルし、出力データ ビットは出力クロックの立ち上がりエッジで SDO ピンから出力されます。

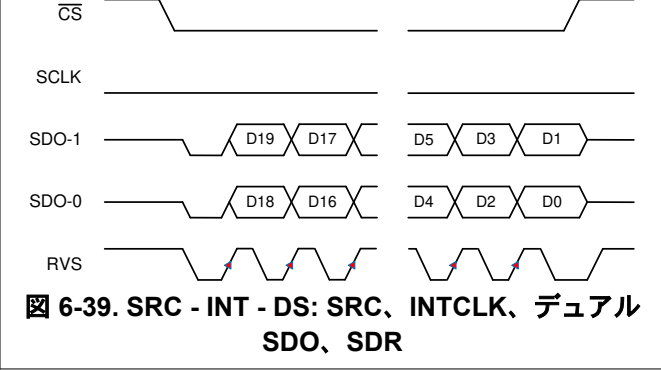
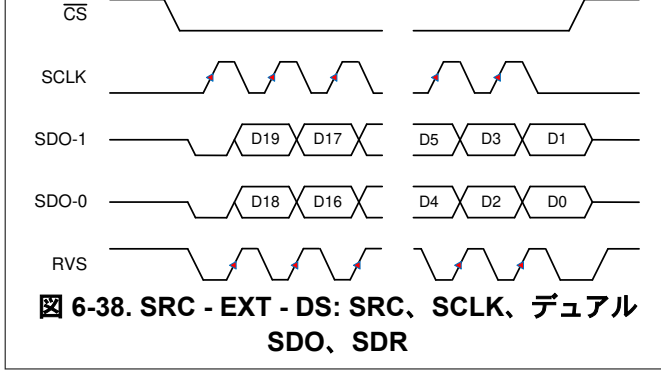
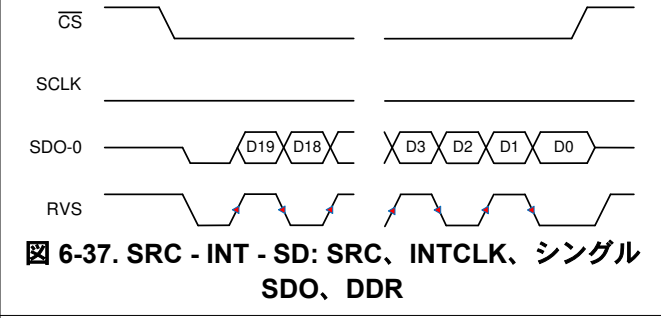
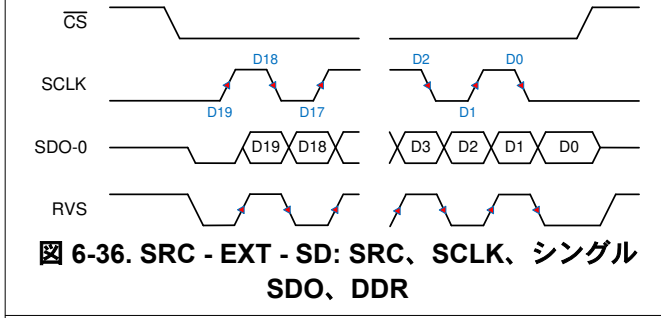
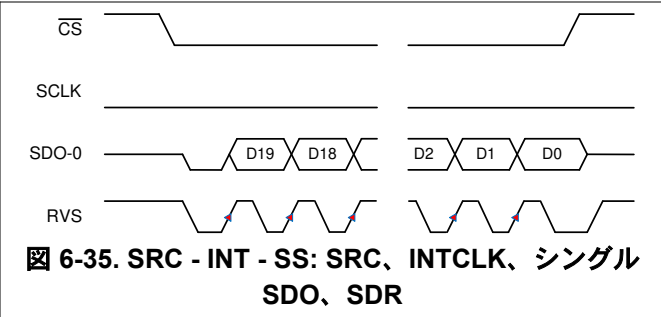
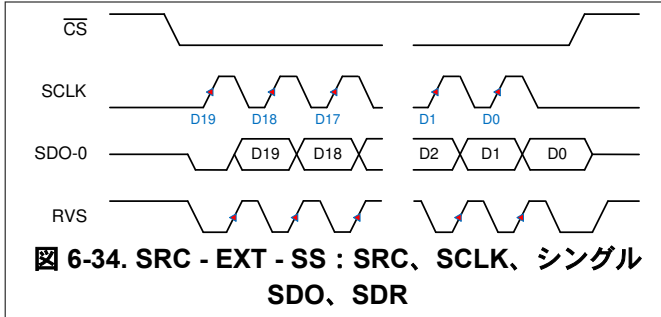
DDR モード (DATA\_RATE = 1b) では、RVS ピンはトグルし、出力データ ビットは最初の立ち上がりエッジから開始して、出力クロックのすべてのエッジで SDO ピンから出力されます。

このデバイスは、出力クロック ソース、バス幅、および出力データ レートの 24 通りすべての組み合わせをサポートしており、その内容は[表 6-7](#) に示されています。

表 6-7. SRC プロトコルの組み合わせ

プロトコル	出力クロックソース	バス幅	出力データレート	SDI_CNTL	SDO_CNTL	#OUTPUT CLOCK (最適な読み取りフレーム)	図
SRC - EXT - SS	SCLK	シングル	SDR	00h、01h、 02h または 03h	03h	16	図 6-34
SRC - INT - SS	INTCLK	シングル	SDR		43h	16	図 6-35
SRC-IB2-SS	INTCLK / 2	シングル	SDR		83h	16	
SRC-IB4-SS	INTCLK / 4	シングル	SDR		C3h	16	
SRC - EXT - DS	SCLK	デュアル	SDR		0Bh	8	図 6-38
SRC - INT - DS	INTCLK	デュアル	SDR		4Bh	8	図 6-39
SRC-IB2-DS	INTCLK / 2	デュアル	SDR		8Bh	8	
SRC-IB4-DS	INTCLK / 4	デュアル	SDR		CBh	8	
SRC - EXT - QS	SCLK	クワッド	SDR		0Fh	4	図 6-42
SRC - INT - QS	INTCLK	クワッド	SDR		4Fh	4	図 6-43
SRC-IB2-QS	INTCLK / 2	クワッド	SDR		8Fh	4	
SRC-IB4-QS	INTCLK / 4	クワッド	SDR		CFh	4	
SRC - EXT - SD	SCLK	シングル	DDR		13h	8	図 6-36
SRC - INT - SD	INTCLK	シングル	DDR		53h	8	図 6-37
SRC-IB2-SD	INTCLK / 2	シングル	DDR		93h	8	
SRC-IB4-SD	INTCLK / 4	シングル	DDR		D3h	8	
SRC - EXT - DD	SCLK	デュアル	DDR		1Bh	4	図 6-40
SRC - INT - DD	INTCLK	デュアル	DDR		5Bh	4	図 6-41
SRC-IB2-DD	INTCLK / 2	デュアル	DDR		9Bh	4	
SRC-IB4-DD	INTCLK / 4	デュアル	DDR		DBh	4	
SRC - EXT - QD	SCLK	クワッド	DDR	1Fh	2	図 6-44	
SRC - INT - QD	INTCLK	クワッド	DDR	5Fh	2	図 6-45	
SRC-IB2-QD	INTCLK / 2	クワッド	DDR	9Fh	2		
SRC-IB4-QD	INTCLK / 4	クワッド	DDR	DFh	2		

図 6-34 ~ 図 6-45 は、さまざまなソース同期プロトコルの詳細を示しています。表 6-7 に、各種出力プロトコル選択に対応するために、最適な読み取りフレームで必要とされる出力クロックの数を示します。



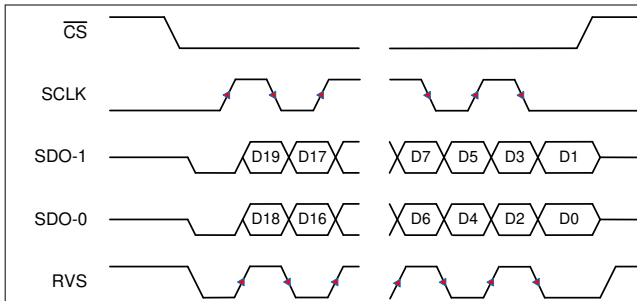


図 6-40. SRC - EXT - DD: SRC、SCLK、デュアル SDO、DDR

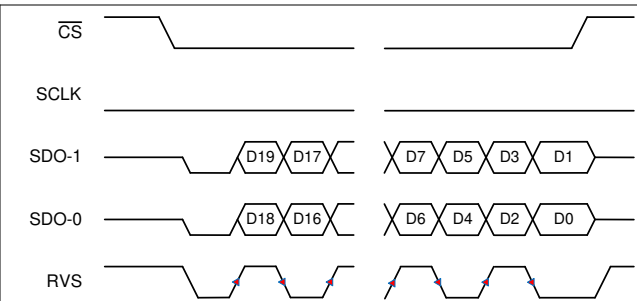


図 6-41. SRC - INT - DD: SRC、INTCLK、デュアル SDO、DDR

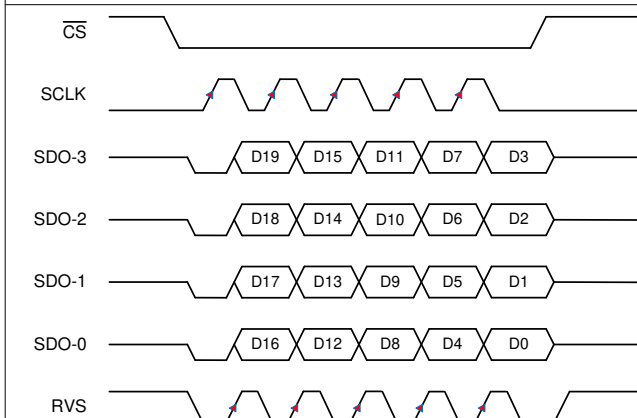


図 6-42. SRC - EXT - QS: SRC、SCLK、クワッド SDO、SDR

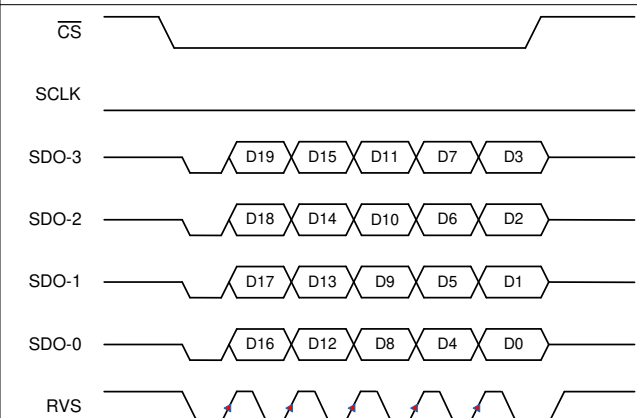


図 6-43. SRC - INT - QS: SRC、INTCLK、クワッド SDO、SDR

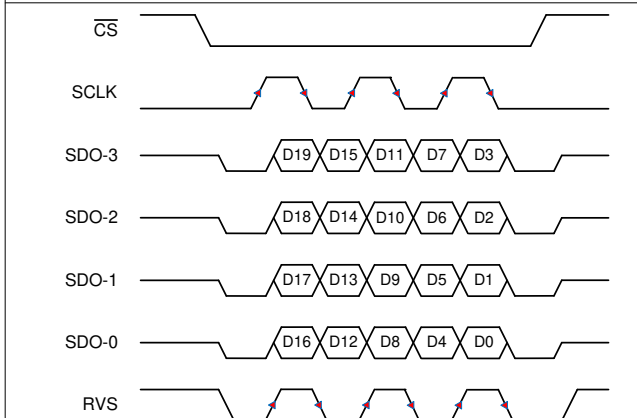


図 6-44. SRC - EXT - QD: SRC、SCLK、クワッド SDO、DDR

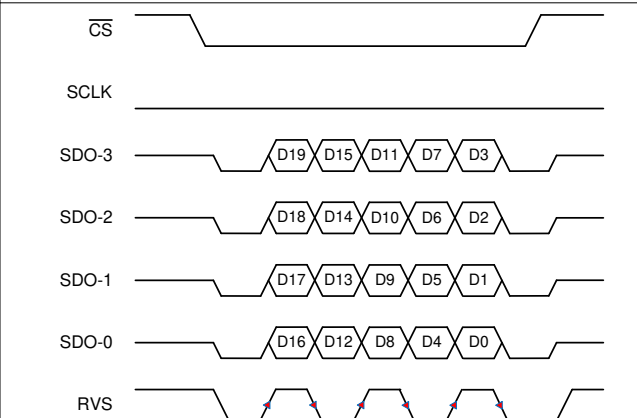


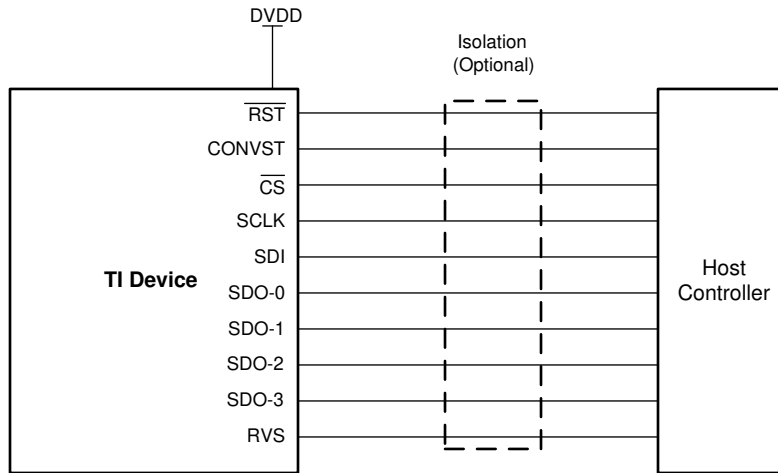
図 6-45. SRC - INT - QD: SRC、INTCLK、クワッド SDO、DDR

### 6.5.4 デバイスのセットアップ

multiSPI™ インターフェイスおよびデバイスの構成レジスタは、複数の動作モードを提供します。ここでは、さまざまなシステム要件を満たすためにハードウェア接続トポロジを選択する方法について説明します。

#### 6.5.4.1 シングル デバイス : すべての multiSPI™ オプション

図 6-46 に、ホスト コントローラとスタンドアローン デバイスの間の接続を示し、multiSPI™ インターフェイスに提供されるすべてのオプションを実行します。

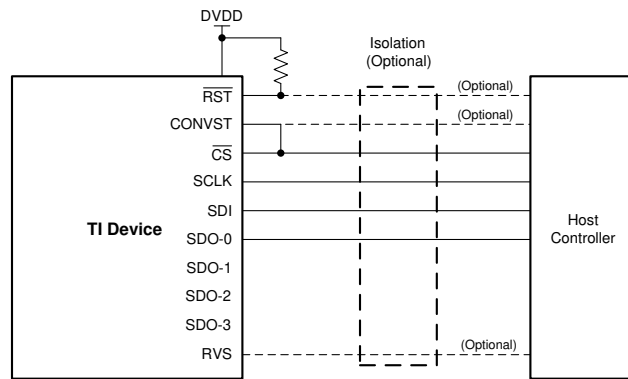


Copyright © 2016, Texas Instruments Incorporated

図 6-46. multiSPI™ インターフェイス、すべてのピン

#### 6.5.4.2 シングル デバイス : 標準 SPI インターフェイスの最小ピン

図 6-47 に、標準 SPI プロトコルを使用したアプリケーションの最小ピン インターフェイスを示します。



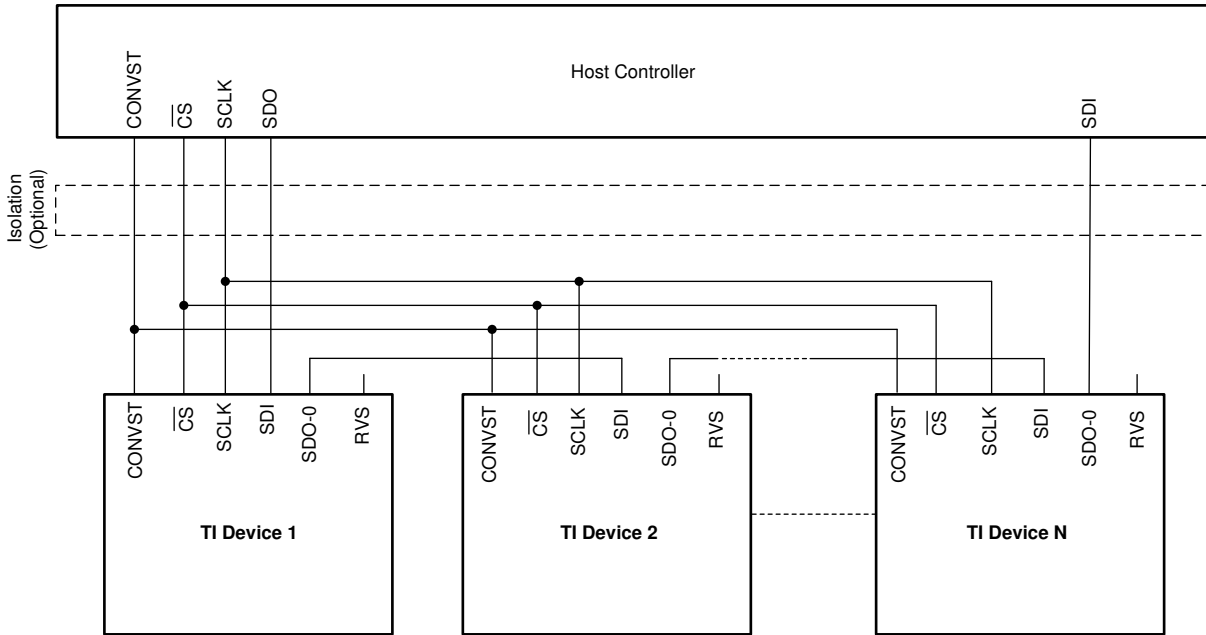
Copyright © 2016, Texas Instruments Incorporated

図 6-47. SPI インターフェイス、最小ピン

$\overline{CS}$ 、SCLK、SDI、および SDO - 0 ピンは、ホスト コントローラの標準 SPI ポートを構成します。CONVST ピンは  $\overline{CS}$  に接続することも、追加のタイミング柔軟性のために独立して制御することも可能です。RST ピンは DVDD に接続できます。RVS ピンを監視することで、タイミング面での利点が得られます。SDO - 1、SDO - 2、SDO - 3 ピンには外部接続はありません。

6.5.4.3 複数のデバイス：デジチェーントポロジ

図 6-48 に、デジチェーントポロジの複数のデバイスを扱う代表的な接続図を示します。

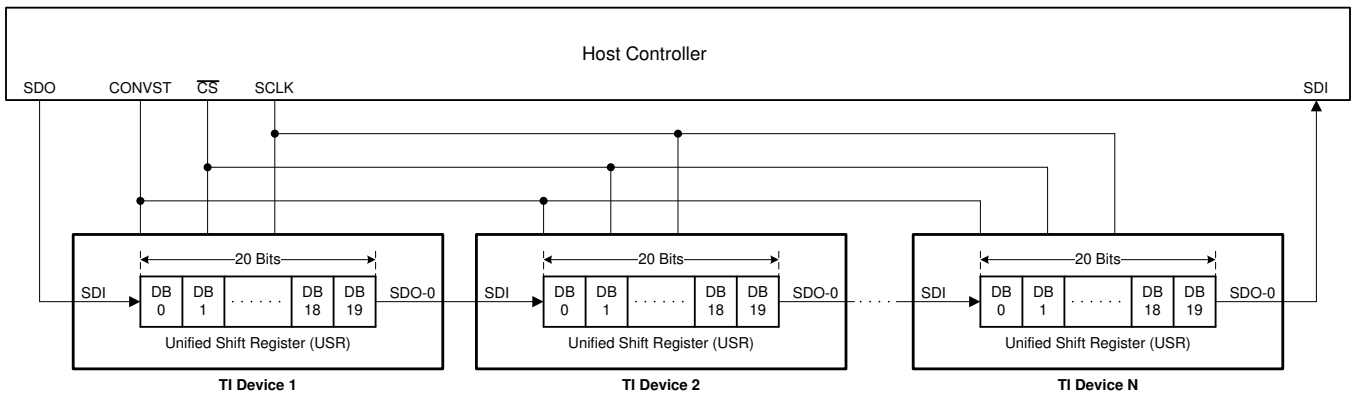


Copyright © 2016, Texas Instruments Incorporated

図 6-48. デジチェーン接続の回路図

すべてのデバイスの CONVST/CS および SCLK 入力は相互に接続され、それぞれホスト コントローラの単一の CONVST/CS および SCLK ピンによって制御されます。チェーン内の最初のデバイス (デバイス 1) の SDI 入力ピンはホスト コントローラの SDO ピンに接続され、デバイス 1 の SDO-0 出力ピンはデバイス 2 の SDI 入力ピンに接続され、以降も同様に接続されます。チェーンの最後のデバイス (デバイス N) の SDO-0 出力ピンは、ホスト コントローラの SDI ピンに接続されます。

デジチェーントポロジで複数のデバイスを動作させるために、ホスト コントローラは各デバイスの設定レジスタを同一の値にプログラムする必要があり、データの読み出しおよび書き込み動作には、従来の SPI 互換プロトコルのいずれかを使用する必要があります (SDO\_CNT[7:0] = 00h)。これらの構成設定では、図 6-49 に示すように、各デバイスの 20 ビット ODR レジスタと 20 ビット IDR レジスタが一体化して、デバイスごとに 1 つの 20 ビットの統合シフトレジスタ (USR) が形成されます。



Copyright © 2016, Texas Instruments Incorporated

図 6-49. 統合シフトレジスタ

デジチェーントポロジ内のすべてのデバイスは、**CONVST** の立ち上がりエッジでアナログ入力信号をサンプリングします。データ転送フレームは、 $\overline{\text{CS}}$  の立ち下がりエッジで開始されます。各 **SCLK** の出力エッジごとに、チェーン内のすべてのデバイスは、それぞれの **USR** の **MSB** を **SDO - 0** ピンへシフト出力します。各 **SCLK** のキャプチャエッジごとに、チェーン内の各デバイスは、**SDI** ピンで受信したデータを自身の **USR** の **LSB** ビットとしてシフト入力します。したがって、デジチェーン構成では、ホストコントローラはデバイス **N** のデータを最初に受信し、その後デバイス **N - 1** のデータを順に受信します (**MSB** ファースト形式)。 $\overline{\text{CS}}$  の立ち上がりエッジで、各デバイスは **USR** の内容をデコードし、適切なアクションを実行します。

図 6-50 に、デジチェーントポロジで接続された 3 台のデバイスに対し、**SPI - 00 - S** プロトコルを使用した場合の代表的なタイミング図を示します。

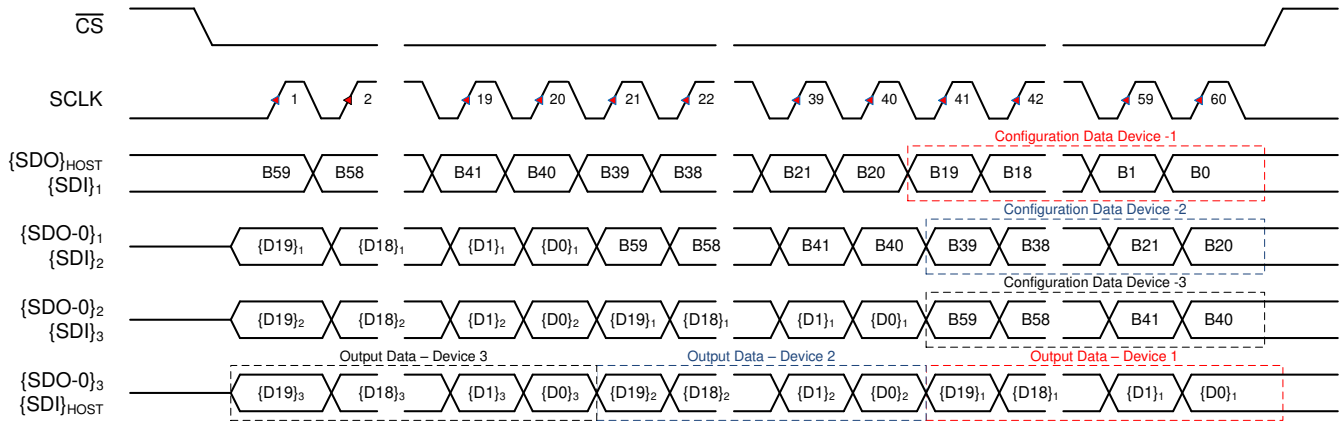


図 6-50. デジチェーンモードの 3 つのデバイスのタイミング図

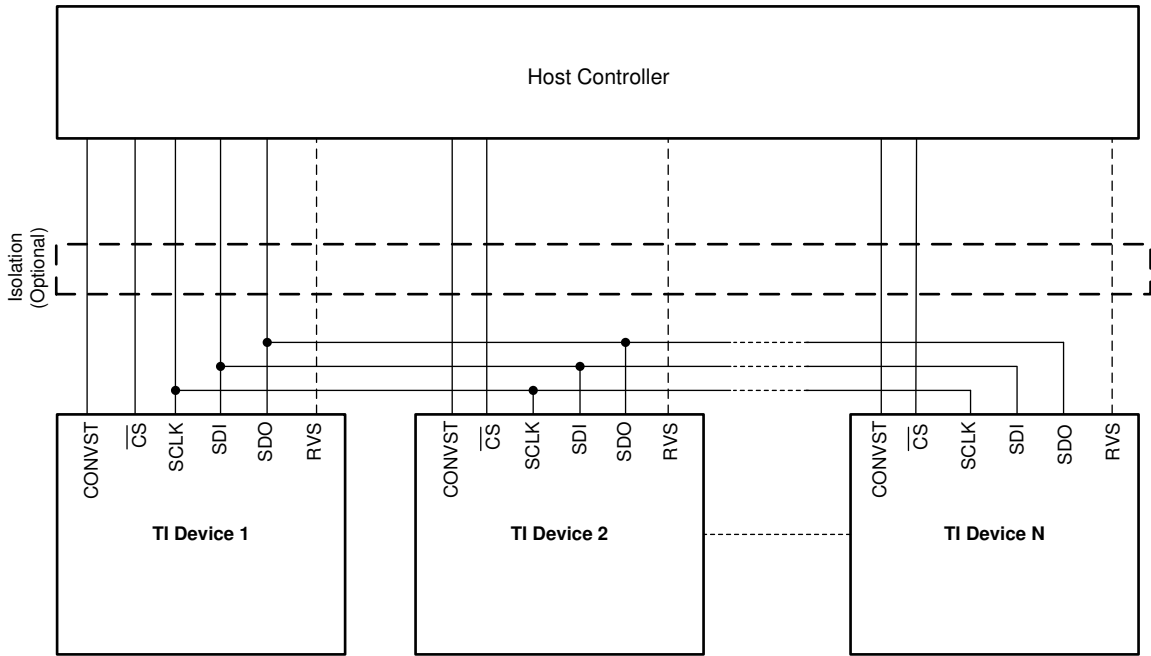
デジチェーントポロジで接続されるデバイス数に比例して、システム全体のスループットは低下する点に注意してください。

#### 警告

デジチェーントポロジで接続された **N** 個のデバイスの場合、最適コマンド フレームには  $20 \times N$  **SCLK** キャプチャエッジを含めます。データ転送フレームを長くする (フレーム内の **SCLK** 数  $> 20 \times N$ ) 場合、ホストコントローラは、 $\overline{\text{CS}}$  を **High** にする前に各デバイスの構成データを適切に揃える必要があります。データ転送フレームが短い (フレーム内の **SCLK** 数が  $20 \times N$  未満) 場合、デバイス構成が誤ってしまう可能性があるため、回避する必要があります。

6.5.4.4 複数のデバイス：スタートポロジ

図 6-51 に、スタートポロジで複数のデバイスを扱う代表的な接続図を示します。すべてのデバイスの CONVST、SDI、および SCLK 入力はそれぞれ共通接続され、ホストコントローラの単一の CONVST、SDO、および SCLK ピンによって制御されます。同様に、すべてのデバイスの SDO 出力ピンは共通に接続され、ホストコントローラの単一の SDI 入力ピンに接続されます。各デバイスの CS 入力ピンは、ホストコントローラからの個別の CS 制御ラインによって個別に制御されます。



Copyright © 2016, Texas Instruments Incorporated

図 6-51. スタートポロジ接続

スタートポロジで接続された N 個のデバイスのタイミング図を図 6-52 に示します。SDO ラインを同時に駆動する複数のデバイスに関連する競合を避けるため、ホストコントローラが特定の時点で 1 つのデバイスの CS 信号のみをプルダウンすることを確認してください。

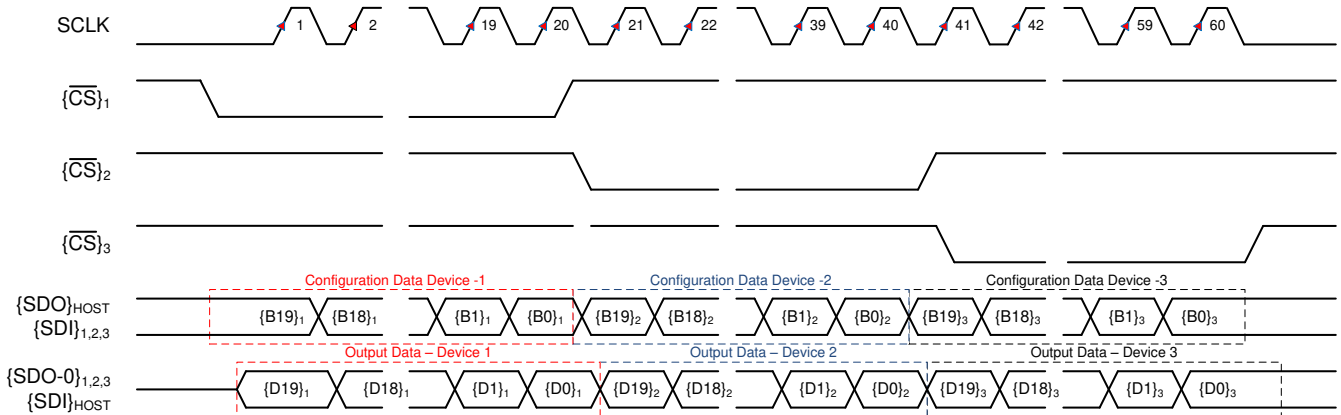


図 6-52. スタート接続された 3 台のデバイスのタイミング図

## 6.6 レジスタ マップ

### 6.6.1 デバイス構成およびレジスタ マップ

デバイスには、表 6-8 で説明されているようにマッピングされた 4 つの構成レジスタがあります。

表 6-8. 構成レジスタのマッピング

アドレス	レジスタ名	レジスタ機能	セクション
010h	PD_CNTL	ローパワーモード制御レジスタ	PD 制御
014h	SDI_CNTL	SDI 入力プロトコル選択レジスタ	SDI 制御
018h	SDO_CNTL	SDO 出力プロトコル選択レジスタ	SDO 制御
01Ch	DATA_CNTL	出力データワード構成レジスタ	DATA 制御

#### 6.6.1.1 PD\_CNTL レジスタ (アドレス = 010h)

このレジスタは、デバイスが提供する低消費電力モードを制御し、キーによって保護されています。

PD\_CNTL レジスタへの書き込みは、事前にレジスタ アドレスを 011h、レジスタ データを 69h に設定した書き込み操作を実行してから行う必要があります。

図 6-53. PD\_CNTL レジスタ

7	6	5	4	3	2	1	0
0	0	0	0	0	0	NAP_EN	PDWN
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R/W-0b	R/W-0b

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 6-9. PD\_CNTL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	0	R	000000b	予約済みビット。読み取り 000000b を返す。
1	NAP_EN	R/W	0b	このビットは、デバイスの NAP モードをイネーブルします。 0b = NAP モードを無効化 1b = NAP モードを有効化
0	PDWN	R/W	0b	このビットは、デバイスをパワーダウン モードに出力します。 0b = デバイスは電源オン 1b = デバイスは電源オフ

#### 6.6.1.2 SDI\_CNTL レジスタ (アドレス = 014h)

このレジスタは、デバイスにデータを書き込むために使用されるプロトコルを構成します。

図 6-54. SDI\_CNTL レジスタ

7	6	5	4	3	2	1	0
0	0	0	0	0	0	SDI_MODE[1:0]	
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R/W-0b	

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 6-10. SDI\_CNTL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	0	R	000000b	予約済みビット。読み取り 000000b を返す。
1-0	SDI_MODE[1:0]	R/W	00b	これらのビットは、デバイスにデータを書き込むためのプロトコルを選択します。 00b = 標準 SPI、CPOL = 0 および CPHASE = 0 01b = 標準 SPI、CPOL = 0 および CPHASE = 1 10b = 標準 SPI、CPOL = 1 および CPHASE = 0 11b = 標準 SPI、CPOL = 1 および CPHASE = 1

## 6.6.1.3 SDO\_CNTL レジスタ (アドレス = 018h)

このレジスタは、デバイスからデータを読み取るためのプロトコルを設定します。

図 6-55. SDO\_CNTL レジスタ

7	6	5	4	3	2	1	0
SSYNC_CLK_SEL[1:0]		0	DATA_RATE	SDO_WIDTH[1:0]		SDO_MODE[1:0]	
R/W-00b		R-0b	R/W-0b	R/W-00b		R/W-00b	

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 6-11. SDO\_CNTL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	SSYNC_CLK_SEL[1:0]	R/W	00b	これらのビットは、ソース同期データ伝送に使用されるクロックのソースおよび周波数を選択し、SDO_MODE[1:0] = 11b の場合にのみ有効です。 00b = 外部 SCLK エコー 01b = 内部クロック (INTCLK) 10b = 内部クロック / 2 (INTCLK/2) 11b = 内部クロック / 4 (INTCLK/4)
5	0	R	0b	このビットは常に 0 に設定する必要があります。
4	DATA_RATE	R/W	0b	このビットは、SDO_MODE[1:0] = 00b の場合は無視されます。 SDO_MODE[1:0] = 11b の場合: 0b = SDO は、出力クロックに対してシングル データレート (SDR) で更新されます 1b = SDO は、出力クロックに対してダブル データレート (DDR) で更新されます
3-2	SDO_WIDTH[1:0]	R/W	00b	これらのビットは、出力バスの幅を設定します。 0xb = データは SDO - 0 のみ出力されます 10b = データは SDO - 0 および SDO - 1 のみ出力されます 11b = SDO - 0、SDO - 1、SDO - 2、SDO - 3 でデータを出力します
1-0	SDO_MODE[1:0]	R/W	00b	これらのビットは、デバイスからデータを読み出すためのプロトコルを選択します。 00b = SDO は SDI と同じ SPI プロトコルに従います。SDI_CNTL レジスタを参照します 01b = 無効な構成であり、このデバイスではサポートされていません 10b = 無効な構成であり、このデバイスではサポートされていません 11b = SDO はソース同期プロトコルに従います

#### 6.6.1.4 DATA\_CNTL レジスタ (アドレス = 01Ch)

このレジスタは、20 ビットの出力データワード (D[19:0]) の内容を設定します。

図 6-56. DATA\_CNTL レジスタ

7	6	5	4	3	2	1	0
0	0	FPAR_LOC 0		PAR_EN	DATA_PATN[2:0]		
R-0b	R-0b	R/W-00b		R/W-0b	R/W-000b		

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 6-12. DATA\_CNTL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	0	R	00b	予約済みビット。読み取り 00b を返す。
5-4	FPAR_LOC[1:0]	R/W	00b	これらのビットは、FTPAR ビット (出力データワードのビット D[0]) を計算するためのデータ スパンを制御します。 00b = 、D[2] は、4MSB ビットに対して計算された偶数パリティを反映します 01b = 、D[2] は、8MSB ビットに対して計算された偶数パリティを反映します 10b = 、D[2] は、12MSB に対して計算された偶数パリティを反映します 11b = 、D[2] は、全 16 ビットに対して計算された偶数パリティ (すなわち FLPAR と同じ) を反映します
3	PAR_EN	R/W	0b	0b = 出力データにパリティ情報は含まれません D[3] = 0 D[2] = 0 1b = 出力データの LSB にパリティ情報が付加されます D[3] = D[19:4] に対して計算された偶数パリティ D[2] = FPAR_LOC[1:0] の設定に従い、D[19:4] の選択された MSB に対して計算された偶数パリティ 、パリティ計算の詳細については、図 6-10 を参照してください。
2-0	DATA_PATN[2:0]	R/W	000b	これらのビットは、出力データワードの D[19:4] ビットを制御します。 0xxb = 16 ビット変換出力 100b = すべて 0 101b = すべて 1 110b = 0 と 1 が交互に並ぶパターン (5555h) 111b = 00 と 11 が交互に並ぶパターン (3333h) 詳細については、図 6-11 を参照してください。

## 7 アプリケーションと実装

### 注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 7.1 使用上の注意

高精度の逐次比較型 (SAR) A/D コンバータ (ADC) の性能を最大化するために必要な主要な回路は、入力ドライバ回路とリファレンスドライバ回路の 2 つです。このセクションでは、これらの回路を設計するための一般的な原理について詳しく説明し、ADS9120 を使用して設計したアプリケーション回路を次に示します。

#### 7.1.1 ADC 入力ドライバ

高精度 ADC の入力ドライバ回路は、主に 2 つの部分で構成されます。すなわち、駆動アンプとフライホイール RC フィルタです。このアンプは入力信号のシグナル コンディショニングに使用され、低い出力インピーダンスにより、信号源と ADC のスイッチト キャパシタ入力との間のバッファとして機能します。この RC フィルタは、ADC のスイッチト キャパシタ入力段からのサンプリング時の電荷注入を減衰させるとともに、フロントエンド回路に起因する広帯域ノイズを帯域制限します。ADS9120 の直線性およびノイズ性能を満たすには、フロントエンド回路を慎重に設計することが重要です。

#### 7.1.2 入力アンプの選択

入力アンプの選定基準は、入力信号の種類およびデータ収集システムの性能目標に大きく依存します。ADC 入力を駆動するアンプの選択において考慮すべき主な仕様は、次のとおりです：

- **小信号帯域幅。** システムの電力予算を満たした上で、入力アンプの小信号帯域幅は可能な限り高くなるように選択します。帯域幅を高くすると、アンプの閉ループ出力インピーダンスが低下するため、アンプは ADC の入力で低カットオフ周波数の RC フィルタ (「電荷キックバック フィルタ」セクションを参照) をより簡単に駆動できます。帯域幅が高いほど、高い入力周波数における高調波歪みも低減されます。入力ドライバ回路の全体的な安定性を維持するため、式 14 に示すように、ユニティゲイン帯域幅 (UGB) を持つアンプを選択します：

$$UGB \geq 4 \times \left( \frac{1}{2\pi \times R_{FLT} \times C_{FLT}} \right) \quad (14)$$

- **ノイズ。** フロントエンドアンプのノイズ寄与は、システムの SNR 性能の劣化を防ぐため、可能な限り低く抑える必要があります。一般に、データアキュイジションシステムのノイズ性能がフロントエンド回路によって制限されないようにするため、フロントエンド回路からの合計ノイズ寄与は、ADC の入力換算ノイズの 20% 未満に抑える必要があります。式 15 で説明されているように、入力ドライバ回路のノイズは、カットオフ周波数を低く設定した RC フィルタにより帯域制限されます。

$$N_G \times \sqrt{2} \times \sqrt{\left( \frac{V_{1/f\_AMP\_PP}}{6.6} \right)^2 + e_{n\_RMS}^2 \times \frac{\pi}{2} \times f_{-3dB}} \leq \frac{1}{5} \times \frac{V_{REF}}{\sqrt{2}} \times 10^{\left( \frac{SNR(dB)}{20} \right)} \quad (15)$$

ここで

- $V_{1/f\_AMP\_PP}$  は、 $\mu V$  単位で表したピークツーピークのフリッカーノイズです
- $e_{n\_RMS}$  はアンプの広帯域ノイズ密度 ( $nV/\sqrt{Hz}$ ) です
- $f_{-3dB}$  は RC フィルタの 3dB 帯域幅です
- $N_G$  はフロントエンド回路のノイズゲインで、バッファ構成では 1 に等しくなります。
- **歪み。** ADC および入力ドライバの両方が、データアキュイジションブロックに歪みをもたらします。式 16 に示されているように、データアキュイジションシステムの歪み性能がフロントエンド回路によって制限されないようにするため、入力ドライバの歪みは、ADC の歪みより少なくとも 10dB 低くする必要があります。

$$\text{THD}_{\text{AMP}} \leq \text{THD}_{\text{ADC}} - 10 \text{ (dB)} \quad (16)$$

- セトリングタイム。多重化アプリケーションで一般的な高速過渡を持つ dc 信号の場合、アクイジション時間ウィンドウ中に、デバイス入力に信号を 16 ビットの精度でセトリングさせる必要があります。この条件は、ADC の全体的な直線性能を維持するために重要です。通常、アンプのデータシートでは出力セトリング性能が最大 0.1% ~ 0.001% までしか規定されていませんが、これは目的の 16 ビットの精度を満たすとは限りません。したがって、アンプを選択する前に、入力ドライバのセトリング動作を TINA™ - SPICE シミュレーションによって必ず検証する必要があります。

### 7.1.3 電荷キックバック フィルタ

チャージ キックバック フィルタはローパス RC フィルタとして設計され、3dB 帯域幅は特定のアプリケーション要件に基づいて最適化されます。高速な過渡応答を伴う dc 信号 (多重化入力信号を含む) に対しては、短い取得時間ウィンドウ内で ADC の入力において信号を正確に安定させるために、高帯域幅のフィルタが設計されます。ac 信号の場合、フィルタの帯域幅を低く保つことで、ADC の入力に供給されるノイズを帯域制限し、その結果、システムの信号対雑音比 (SNR) を向上させます。

フロントエンドの駆動回路からのノイズをフィルタリングすることに加えて、RC フィルタは、ADC のスイッチト キャパシタ入力段からのサンプリング時の電荷注入も減衰させるのに役立ちます。フィルタ コンデンサ  $C_{\text{FLT}}$  は、ADC の各入力ピンからグラウンドに接続されます (図 7-1 を参照)。このコンデンサは、サンプリング時の電荷注入を低減するのに役立つとともに、取得動作中に内部のサンプル / ホールド コンデンサを迅速に充電するための電荷バッファとして機能します。一般的に、このコンデンサの値は、ADC のサンプリング容量の規定値の少なくとも 15 倍以上にする必要があります。ADS9120 の場合、入力サンプリング容量は 60pF であるため、 $C_{\text{FLT}}$  を 900pF 以上に維持することを推奨します。これらのタイプのコンデンサは、高 Q、低温度係数、および電圧、周波数、時間の変化に対して安定した電気的特性を持つため、コンデンサには COG または NPO タイプを使用する必要があります。

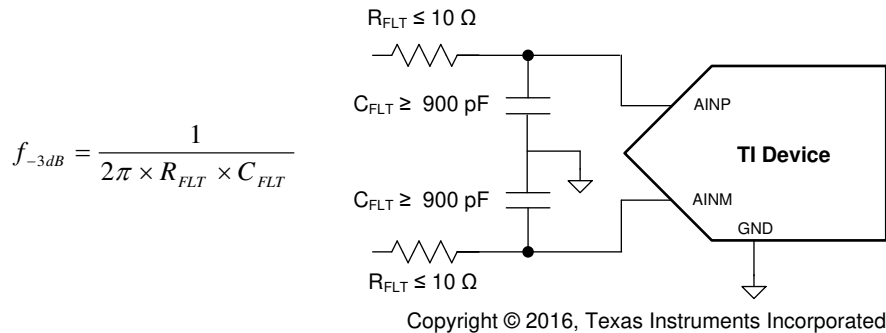


図 7-1. アンチエイリアス フィルタの設定

容量性負荷の駆動は、入力アンプの位相マージンを低下させ、結果としてアンプを不安定に近い状態にする可能性があります。この点に注意します。アンプの安定性問題を回避するために、アンプの出力には直列のアイソレーション抵抗 ( $R_{\text{FLT}}$ ) が使用されます。 $R_{\text{FLT}}$  の値が大きいほど、アンプの安定性の観点からは役立ちますが、ADC の非線形入力インピーダンスとの相互作用の結果として歪みが発生します。歪みは、ソース インピーダンス、入力信号周波数、および入力信号振幅の増加とともに大きくなります。したがって、 $R_{\text{FLT}}$  を選択するには、設計の安定性と歪みのバランスを取る必要があります。ADS9120 においては、線形性性能の著しい劣化を避けるため、 $R_{\text{FLT}}$  の値は最大 10Ω に制限することが推奨されます。入力を平衡な状態に維持するため、選択する抵抗の公差を 1% 未満に維持する必要があります。

ドライバ アンプは、閉ループ出力インピーダンスが  $R_{\text{FLT}}$  の少なくとも 1/5 以下になるように選定する必要があります。

### 7.1.4 ADC リファレンス ドライバ

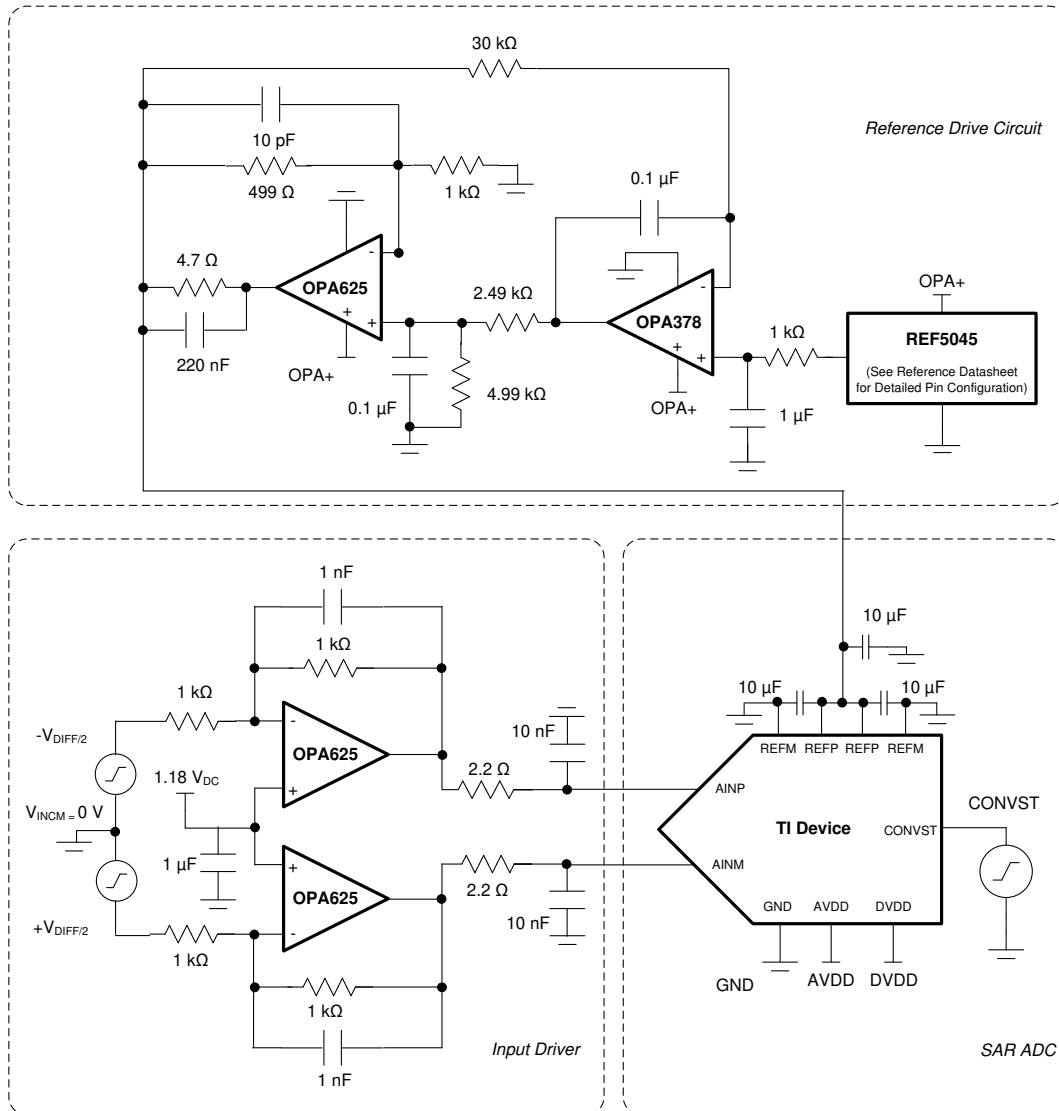
ADS9120 への外部基準電圧ソースは、ADC リファレンス入力に対して低ドリフトで非常に精度の高い電圧を供給し、デバイスのノイズ性能と直線性性能に影響を与えずに動的充電要件に対応する必要があります。ほとんどのリファレンスの出力広帯域ノイズは、数百  $\mu\text{V}_{\text{RMS}}$  程度になる場合があります。したがって、ADC のノイズ性能の劣化を防ぐために、電圧リファレンスの出力は、数百 Hz のカットオフ周波数を持つローパス フィルタを用いて適切にフィルタリングする必要があります。

リファレンス回路のノイズを帯域制限した後、次に重要なのは、ADC のリファレンス入力をもたらす動的負荷を駆動できるリファレンス バッファを設計することです。リファレンス バッファは、各変換の開始時に  $V_{REF}$  の値が 1LSB の誤差以内にとどまるように、リファレンス ピンの電圧をレギュレートする必要があります。この条件では、ADC のリファレンス入力の電圧を制御するために、REFP ピンと REFM ピンの各ペアの間に大容量コンデンサ CBUF\_FLT (図 6-3 を参照) を使用する必要があります。大容量コンデンサの実効容量は、定格電圧および種類に応じて、印加電圧の増加とともに低下します。X7R タイプのコンデンサを使用することを強く推奨します。

リファレンス ドライバとして選択されるアンプは、極めて低いオフセットおよび温度ドリフトを持ち、低出力インピーダンスで、安定性の問題なく ADC のリファレンス ピンに接続されたコンデンサを駆動できる必要があります。

## 7.2 代表的なアプリケーション

### 7.2.1 差動入力で歪みとノイズ性能を最小限に抑えるデータ アクイジション (DAQ) 回路



Copyright © 2016, Texas Instruments Incorporated

図 7-2. 2.5MSPS で歪みとノイズを最小化する差動入力 DAQ 回路

#### 7.2.1.1 設計要件

ADS9120 を使用するために最適化されたアプリケーション回路を設計します:

- > 95dB SNR、< -118dB THD
- $\pm 0.5$ LSB の直線性
- 2.5MSPS の最大規定スループット

### 7.2.1.2 詳細な設計手順

アプリケーション回路を図 7-2 に示します。簡略化のため、これらの回路図には電源デカップリング コンデンサは示していません。推奨されるガイドラインについては、「[電源に関する推奨事項](#)」セクションを参照してください。

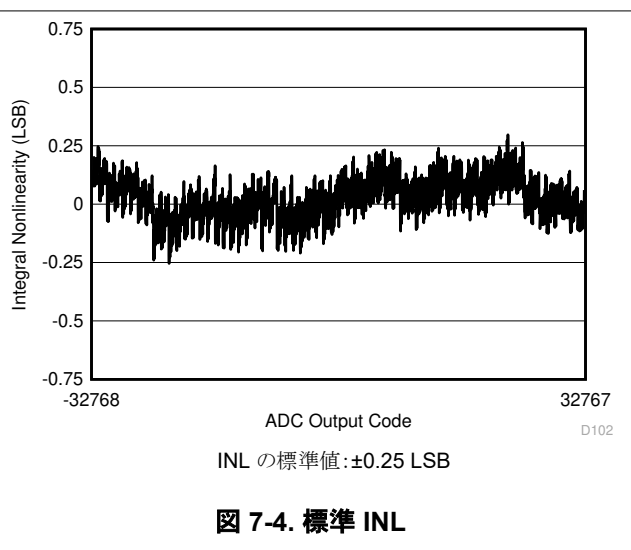
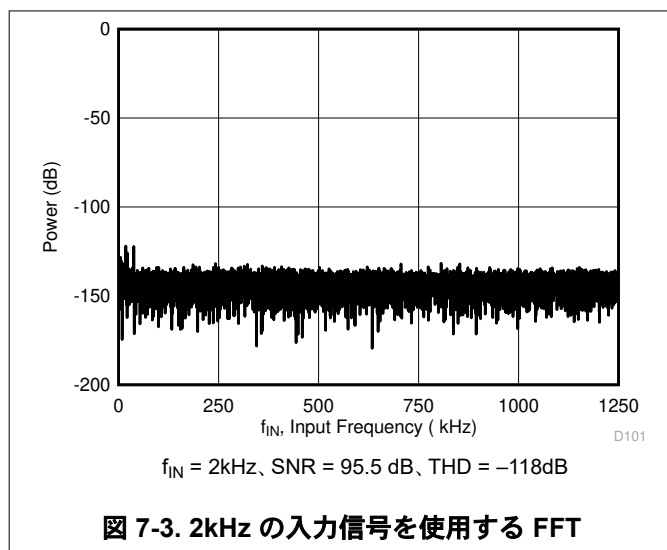
入力信号は、OPA625 (反転ゲイン構成の高帯域幅、低歪み、高精度アンプ) およびローパス RC フィルタを通して処理された後、ADC に入力されます。一般的に、入力ドライバによる歪みは、ADC の歪みよりも少なくとも 10dB 低くする必要があります。同相モード信号の変動によって生じる歪みは、OPA625 を反転利得構成で使用するにより除去されます。入力ドライバとして使用される低消費電力の OPA625 は、非常に低歪みかつ高帯域幅の仕様により、優れた ac 特性を実現します。ADS9120 のダイナミックレンジを最大限に活用するために、ADS9120 入力におけるコモンモード電圧は、OPA625 アンプの非反転入力ピンを用いて 2.25V (4.5V/2) に設定されます。

さらに、チャージ キックバック フィルタの各コンポーネントは、入力信号に歪みを加えることなく、フロントエンド回路からのノイズを低く抑えるように設計されています。

図 7-2 に示すリファレンス ドライバ回路は、単一の 5V 電源を使用して 4.5V<sub>DC</sub> の電圧を生成します。この回路は、ADS9120 のリファレンスを最大 2.5MSPS の高いサンプリング レートで駆動するのに適しています。この設計では、4.5V の基準電圧は、高精度、低ノイズの REF5045 回路によって生成されます。リファレンスの出力広帯域ノイズは、3dB カットオフ周波数が 160Hz のローパスフィルタによって大幅に除去されます。

リファレンス バッファは、OPA625 と OPA378 を用いたコンポジット アーキテクチャで設計されており、単一の高性能アンプを使用する場合と比較して、消費電力を抑えながら、優れた dc および ac 特性を実現します。OPA625 は、高帯域幅アンプであり、最大 1MHz の周波数まで 1Ω の非常に低いオープン ループ出力インピーダンスを備えています。低いオープン ループ出力インピーダンスにより、OPA625 は大きな容量性負荷を駆動して ADC のリファレンス入力の電圧を安定させるのに適した選択となります。OPA625 の比較的高いオフセットおよびドリフト仕様は、dc 補正アンプ (OPA378) を帰還ループ内に使用することで補正されます。コンポジット構成は、OPA378 の非常に低いオフセットおよび温度ドリフト特性を継承します。

### 7.2.1.3 アプリケーション曲線



### 7.2.2 FDA 入力ドライバとシングル エンドまたは差動入力を備えた DAQ 回路

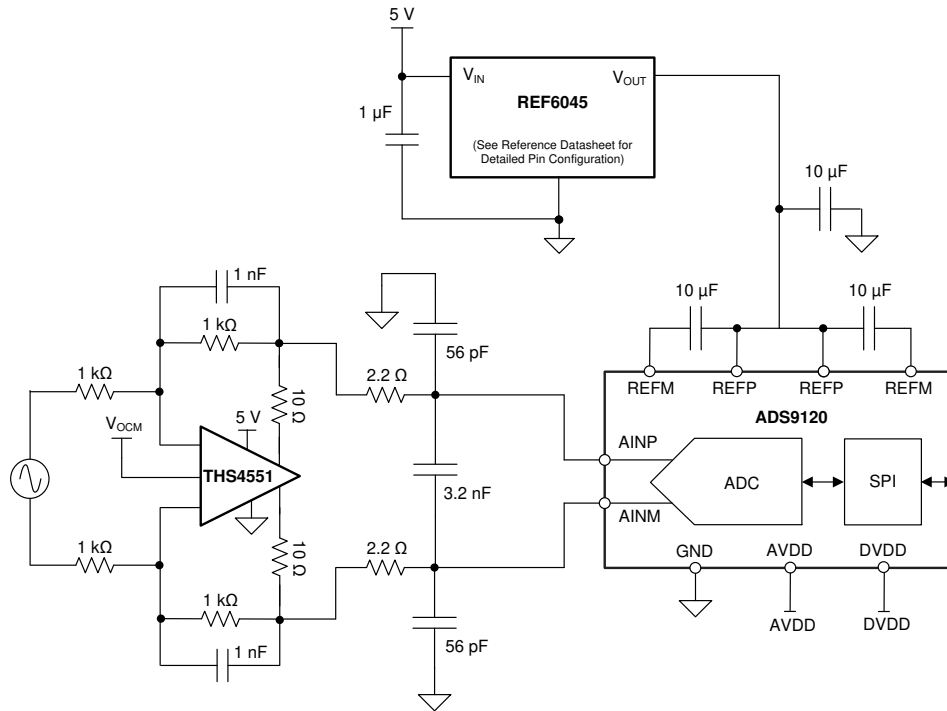


図 7-5. FDA 入力ドライバと差動入力を搭載した DAQ 回路

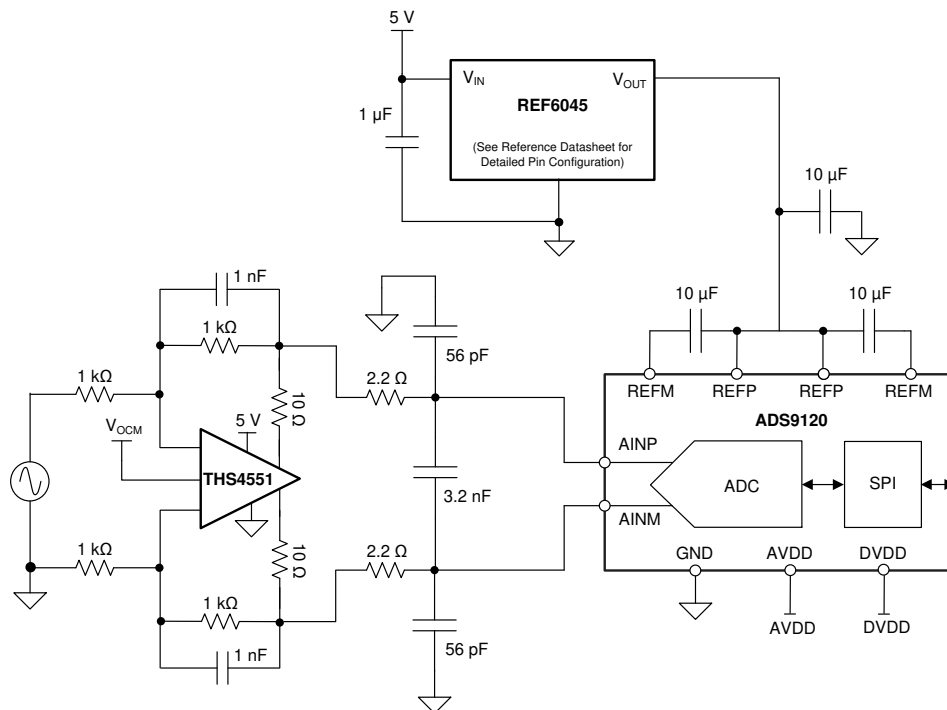


図 7-6. FDA 入力ドライバとシングル エンド入力を搭載した DAQ 回路

### 7.2.2.1 設計要件

以下を達成するために、ADS9120 を完全差動アンプ (FDA) と組み合わせて使用するよう最適化されたアプリケーション回路を設計します:

- 完全差動入力において、SNR は 94dB 以上、THD は -115dB 未満
- シングル エンド入力において、SNR は 94dB 以上、THD は -112dB 未満
- $\pm 1$ LSB の直線性
- 指定された最大スループット

### 7.2.2.2 詳細な設計手順

図 7-5 と図 7-6 に、アプリケーション回路を示します。簡略化のため、これらの回路図には電源デカップリング コンデンサは示していません。推奨されるガイドラインについては、「[電源に関する推奨事項](#)」セクションを参照してください。

REF6045 によって生成される 4.5V のリファレンス電圧は、高帯域幅バッファを内蔵した高精度電圧リファレンスです。

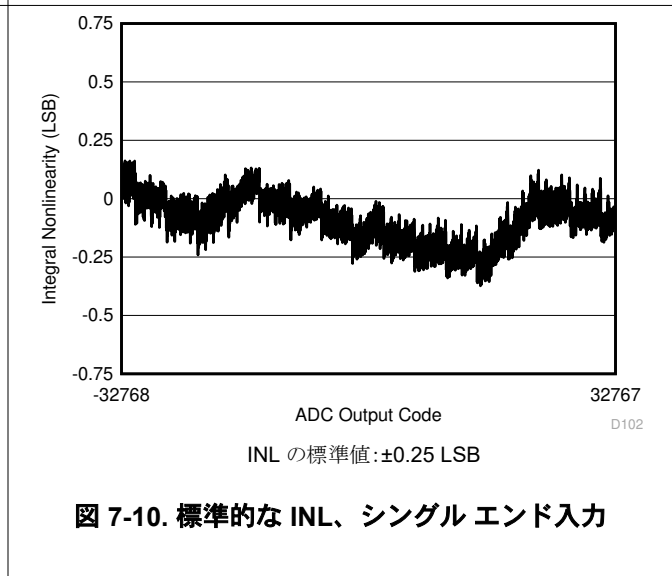
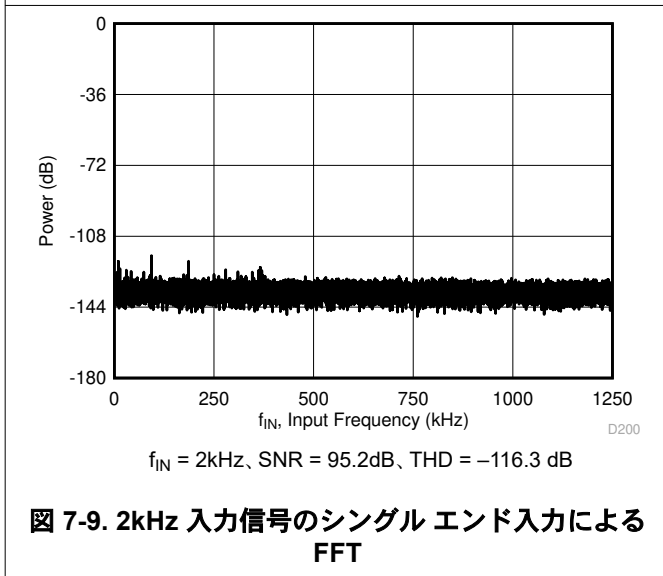
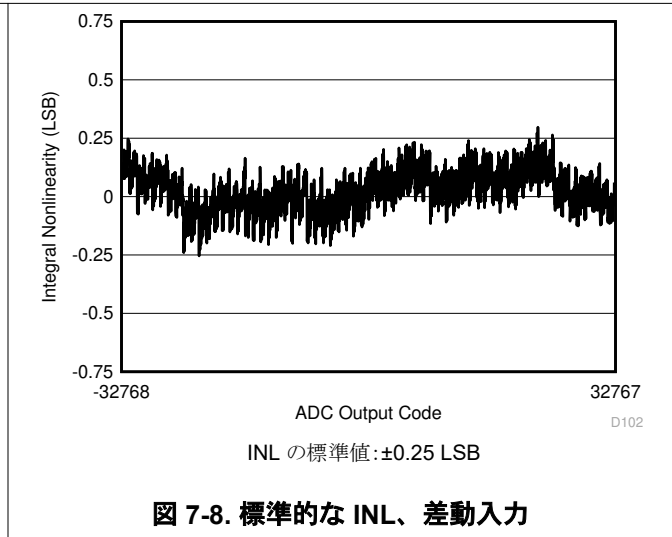
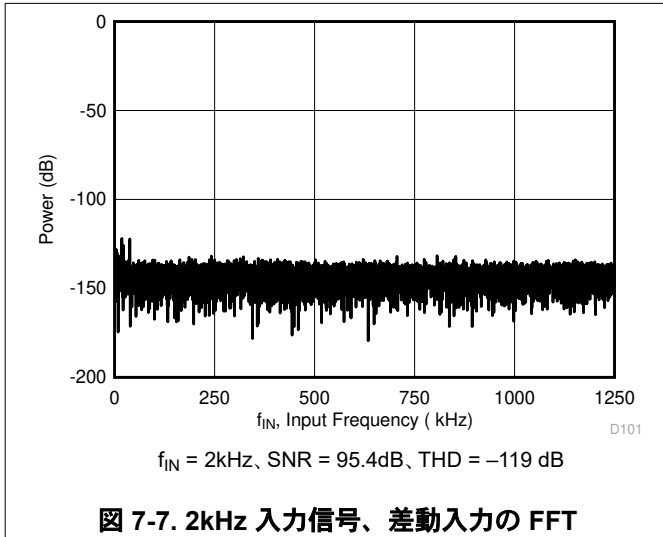
両方のアプリケーションにおいて、入力信号は、反転利得構成で設計された高帯域幅、低歪みのフル差動アンプ (FDA) およびローパス RC フィルタを通して処理された後、ADC に入力されます。一般的に、入力ドライバによる歪みは、ADC の歪みよりも少なくとも 10dB 低くする必要があります。同相モード信号の変動によって生じる歪みは、回路の同相モードレベルを固定する反転ゲイン構成で FDA を使用することにより除去されます。この構成は、アンプ入力におけるレールツーレール スイングの要件も不要にします。したがって、これらの回路では、非常に低歪みかつ高帯域幅の特性により優れた ac 特性を提供する低消費電力の THS4551 を入力ドライバとして使用しています。さらに、チャージキックバックフィルタの各コンポーネントは、入力信号に歪みを加えることなく、フロントエンド回路からのノイズを低く抑えます。ループ抵抗の 10 $\Omega$  によって、容量性負荷を駆動するときの THS4551 の位相マージンが改善されます。

図 7-5 の回路は、THS4551 および REF6045 を使い、ADS9120 を使用して低歪み、低ノイズに最適化されたフル差動データ アクイジション (DAQ) ブロックを示しています。このフロントエンド回路構成では、FDA の入力に差動信号が必要であり、ADC 入力を駆動するために差動出力を提供します。ADC に供給される入力信号の同相電圧は、THS4551 の  $V_{OCM}$  ピンによって設定されます。ADC のダイナミックレンジを最大限に使用するために、 $V_{OCM}$  は単純な抵抗分圧回路を用いて  $V_{REF}/2$  に設定することができます。

図 7-6 の回路は、THS4551 と REF6045 を ADS9120 と組み合わせて使用し、低歪みとノイズを実現するよう最適化されたシングルエンドから差動への DAQ ブロックを示しています。このフロントエンド回路構成では、FDA の入力にシングルエンドの ac 信号が必要であり、ADC 入力を駆動するためにフル差動出力を提供します。ADC に供給される入力信号の同相電圧は、THS4551 の  $V_{OCM}$  ピンによって設定されます。ADC のダイナミックレンジを最大限に使用するために、 $V_{OCM}$  は単純な抵抗分圧回路を用いて  $V_{REF}/2$  に設定することができます。

さらに、アンチエイリアスフィルタの各コンポーネントは、入力信号に歪みを加えることなく、フロントエンド回路からのノイズを低く抑えるように設計されています。

7.2.2.3 アプリケーション曲線



## 8 電源に関する推奨事項

デバイスには以下の 2 つの独立した電源があります: AVDD と DVDD。デバイスの内部回路は AVDD で動作します。DVDD はデジタル インターフェイスに使用されます。AVDD と DVDD は、許容範囲内の任意の値に個別に設定できます。

### 8.1 電源のデカップリング

AVDD と DVDD の電源ピンは、同じデカップリング コンデンサを共有することはできません。図 8-1 に示すように、個別の 1 $\mu$ F セラミック コンデンサを推奨します。これらのコンデンサは、変換およびデータ転送中の動的電流によって生じるデジタル電源とアナログ電源間のクロストークを抑制します。

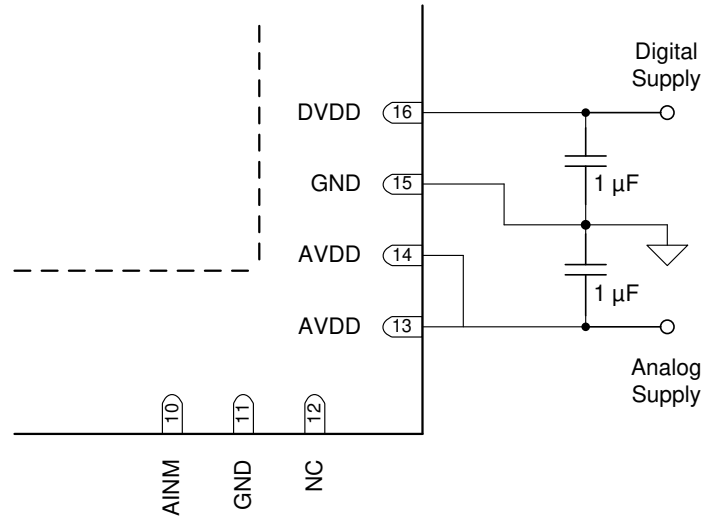


図 8-1. 電源のデカップリング

### 8.2 節電

通常動作モードでは、デバイスは変換間でパワーダウンしないため、高いスループット (2.5MSPS) を実現します。ただし、デバイスを低スループットで動作させる場合の消費電力を低減するために、デバイスは 2 つのプログラム可能な低消費電力モード (NAP および PD) を提供します。図 8-2 に、デバイスの各種モード間の消費電力の比較を示します。

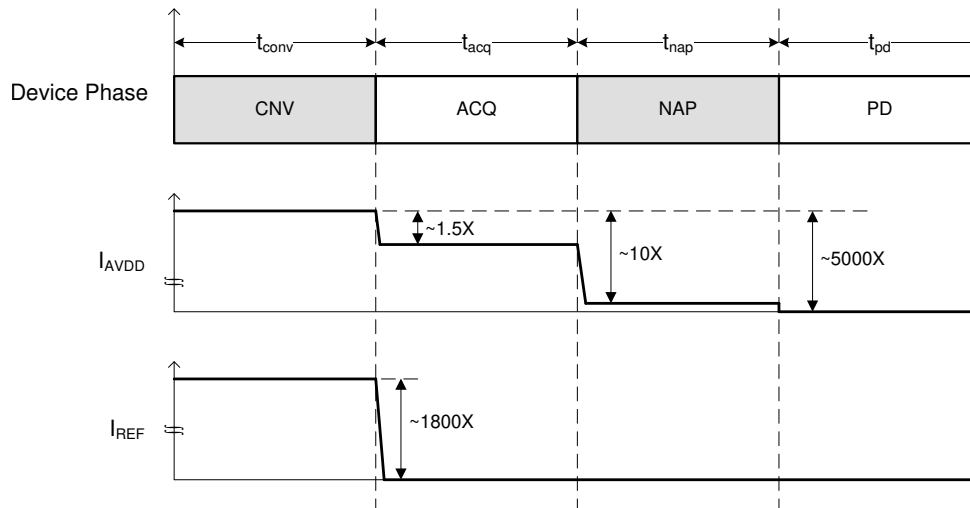


図 8-2. さまざまな動作モードでの消費電力

### 8.2.1 NAP モード

NAP モードでは、ACQ 状態における消費電力を低減するために、デバイス内部の一部のブロックがパワー ダウンします。

NAP モードを有効にするには、PD\_CNTL レジスタの NAP\_EN ビットを設定します。NAP モードを動作させるには、変換処理の終了時に CONVST ピンを High のままにします。その後、デバイスは変換終了時に NAP モードに入り、CONVST ピンが High に保持されている間、NAP モードを継続します。

CONVST の立ち下がりエッジにより、デバイスは NAP モードから復帰します。ただし、ホストコントローラが新たな変換 (CONVST の立ち上がりエッジ) を開始できるのは、 $t_{nap\_wkup}$  時間が経過した後に限られます。

図 8-3 は、NAP モードが有効 (NAP\_EN = 1b) な場合の典型的な変換サイクルを示しています。

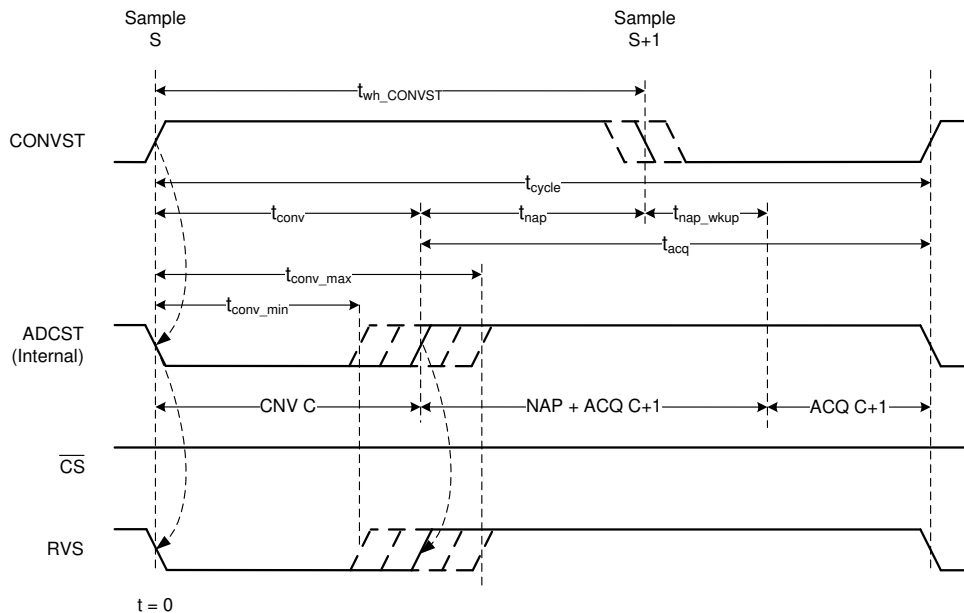


図 8-3. NAP が有効な変換サイクル

式 17 の式で、サイクル時間を計算します。

$$t_{cycle} = t_{conv} + t_{nap} + t_{nap\_wkup} \quad (17)$$

スループットが低い場合、サイクル時間 ( $t_{cycle}$ ) が長くなりますが、変換時間 ( $t_{conv}$ ) は一定のままになるため、デバイスは NAP モードでより長い時間を費やすため、図 8-4 に示すようにスループットを考慮した電力スケールリングが可能になります。

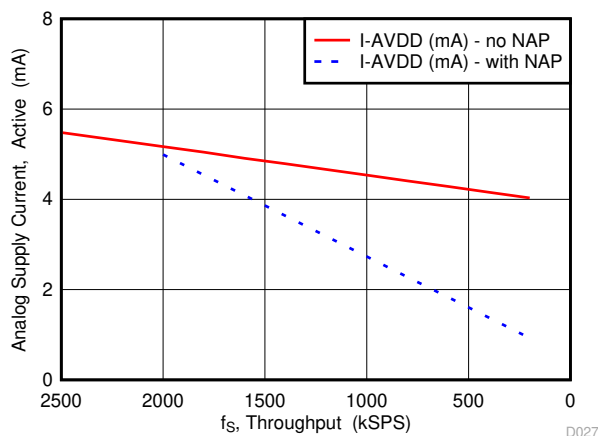


図 8-4. NAP モードにおけるスループットに応じた電力スケールリング

### 8.2.2 PD モード

また、デバイスにはディープ パワーダウン モード (PD) があり、非常に低いスループット レートで消費電力を低減できます。

PD モードに移行するには:

1. **PD\_CNTL** レジスタのロックを解除するには、アドレス 011h に 069h を書き込みます。
2. **PD\_CNTL** レジスタの PDWN ビットを設定します。 $\overline{CS}$  の立ち上がりエッジで、デバイスは PD モードに移行します。

PD モードでは、デバイスのすべてのアナログ ブロックがパワーダウンします。すべてのレジスタ内容は保持され、インターフェイスは動作を継続します。

PD モードを終了するには、次の手順を実行します。

1. **PD\_CNTL** レジスタの PDWN ビットをリセットします。
2. **RVS** ピンが high になり、デバイスがコマンドを処理して PD モードからの復帰を開始したことを示します。ただし、ホストコントローラは、新たな変換を開始する前に、 $t_{PWRUP}$  時間が経過するのを待つ必要があります。

## 9 レイアウト

### 9.1 レイアウトのガイドライン

このセクションでは、ADS9120 デバイスで最適な性能を実現するための推奨レイアウト ガイドラインをいくつか紹介します。

#### 9.1.1 信号路

**図 9-1** に示すように、アナログ入力信号とリファレンス信号はデジタル接続とは逆方向に配線されています。この配置により、デジタル スイッチング動作によって発生するノイズが、敏感なアナログ信号に結合するのを防ぎます。

#### 9.1.2 グランディングと PCB スタックアップ

最適な性能を実現するには、低インダクタンスのグランディングが重要です。接地インダクタンスは、15mil のグランディング ビアと、少なくとも 4 層のプリント回路基板 (PCB) のレイアウト設計により、1nH 未満に抑えられています。信号チェーンのすべての重要なコンポーネントはトップ層に配置し、後続の内層に連続したアナログ グランドを設けることで、グラウンドへのビア長を最小化します。

ADS9120 のピン 11 とピン 15 は、ADS9120 のサーマル パッドに 4 つ以上の 8mil グランド ビアを配置することで、非常に低いインダクタンスで簡単に接地できます。その後、ピン 11 とピン 15 を、グラウンド接続されたサーマルパスに直接接続できます。

#### 9.1.3 電源のデカップリング

AVDD および DVDD の電源デカップリング コンデンサは、各電源ピンから 20mil 以内に配置し、各コンデンサからグラウンドへ 15mil のビアを使用します。電源ピンとバイパス コンデンサの間にビアを配置しないでください。

#### 9.1.4 リファレンス デカップリング

変換フェーズ中、REFP ピンおよび REFM ピンには動的電流も流れるため、最適な性能を実現するには優れたデカップリングが必要です。**図 9-1** に示すように、10V 定格の X7R グレードの 10 $\mu$ F セラミック コンデンサを 3 個使用することが推奨されています。ESL を低く抑えるため、0603 または 0805 サイズのコンデンサを選択します。各ペアの REFM ピンは、グラウンド ビアの前にデカップリング コンデンサに接続する必要があります。

#### 9.1.5 差動入力デカップリング

ADS9120 の差動アナログ入力にも動的電流が存在します。これらの入力をデカップリングするためには、入力電圧範囲全体にわたって静電容量がほぼ一定に保たれる C0G または NPO タイプのコンデンサが必要です。低品質のコンデンサ (X5R、X7R など) では、入力電圧範囲全体にわたって容量が大きくなり、ADS9120 の性能が低下する可能性があります。

## 9.2 レイアウト例

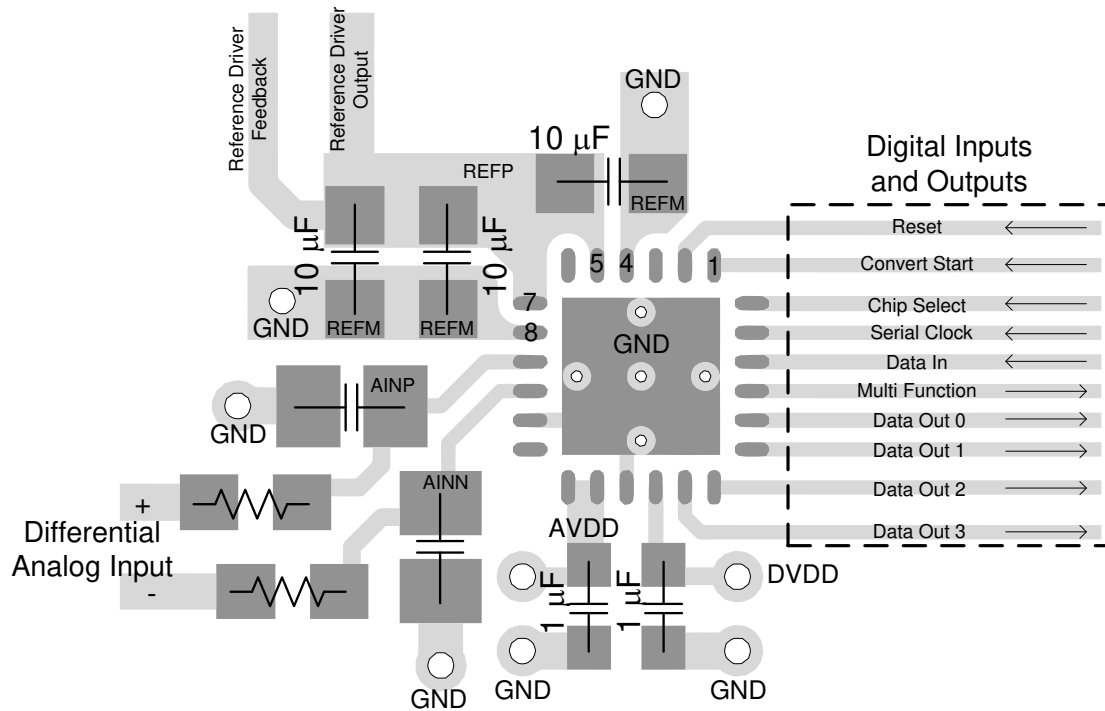


図 9-1. 推奨レイアウト

## 10 デバイスおよびドキュメントのサポート

### 10.1 ドキュメントのサポート

#### 10.1.1 関連資料

関連資料については、以下を参照してください。

- 『ADS9120EVM-PDK ユーザー ガイド』
- 『最大の SNR とサンプリング レートを実現する、18 ビット、2MSPS の絶縁型データ収集リファレンス デザイン』
- 『リファレンス電圧が全高調波歪みに与える影響』
- 『REF60xx 高精度電圧リファレンス、内蔵 ADC ドライブ バッファ付』
- 『OPAx625 高帯域幅、高精度、低 THD + N の 16 ビットおよび 18 ビット ADC ドライバ』
- 『THS4551 低ノイズ、高精度、150MHz 完全差動アンプ』
- 『REF50xx 低ノイズ、超低ドリフト、高精度の電圧リファレンス』
- 『OPAx378 低ノイズ、900kHz、RRIO、高精度オペアンプ、ゼロドリフト シリーズ』

### 10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 10.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

### 10.4 商標

multiSPI™, TINA™, and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

### 10.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 10.6 用語集

テキサス・インスツルメンツ用語集      この用語集には、用語や略語の一覧および定義が記載されています。

## 11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

### Changes from Revision A (June 2017) to Revision B (April 2026) Page

- ドキュメント全体にわたって表、図、相互参照の採番方法を更新..... 1

### Changes from Revision \* (September 2016) to Revision A (June 2017) Page

- 「概要」セクションを変更 ..... 1
- 「フル スループットでの SPI インターフェイス クロック」表を変更 ..... 1
- 「FDA 入力ドライバとシングル エンドまたは差動入力を搭載した DAQ 回路」セクションを追加 ..... 55
- 「関連資料」セクションを変更 ..... 63

## 12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

**PACKAGING INFORMATION**

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
<a href="#">ADS9120IRGER</a>	Active	Production	VQFN (RGE)   24	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	ADS9120
ADS9120IRGER.A	Active	Production	VQFN (RGE)   24	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	ADS9120
<a href="#">ADS9120IRGET</a>	Active	Production	VQFN (RGE)   24	250   SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ADS9120
ADS9120IRGET.A	Active	Production	VQFN (RGE)   24	250   SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ADS9120

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

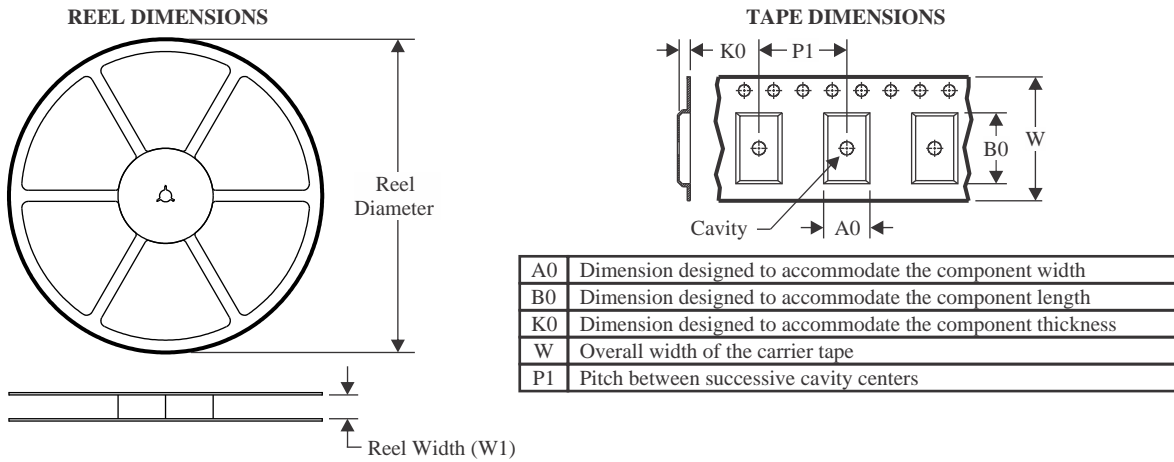
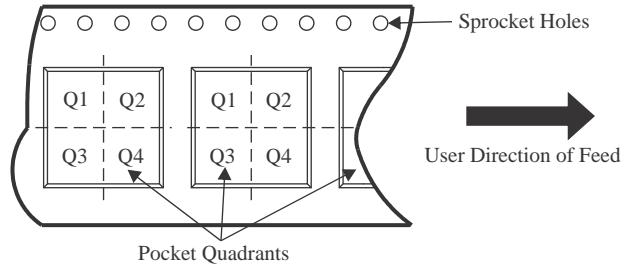
(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

**TAPE AND REEL INFORMATION**

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ADS9120IRGER	VQFN	RGE	24	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
ADS9120IRGET	VQFN	RGE	24	250	180.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

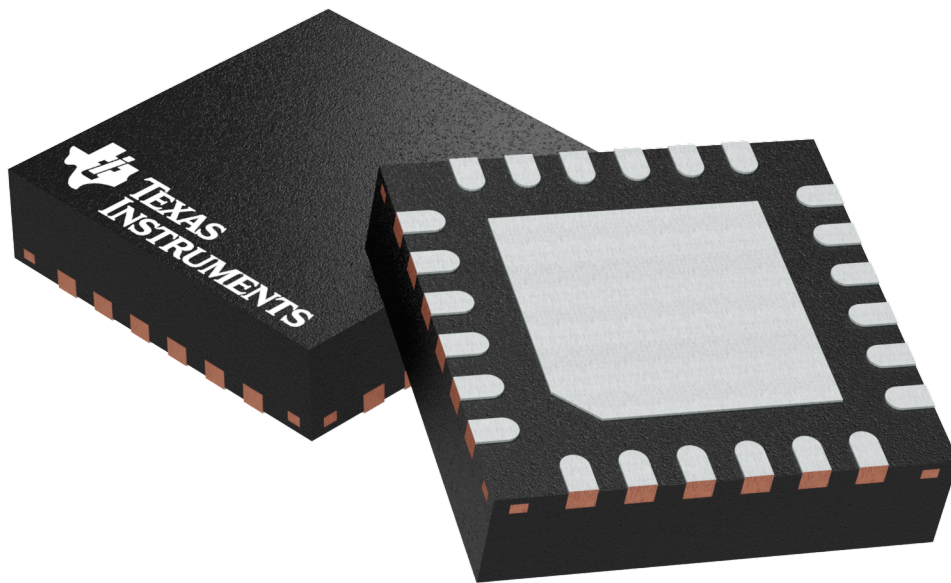
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ADS9120IRGER	VQFN	RGE	24	3000	346.0	346.0	33.0
ADS9120IRGET	VQFN	RGE	24	250	210.0	185.0	35.0

**RGE 24**

**GENERIC PACKAGE VIEW**

**VQFN - 1 mm max height**

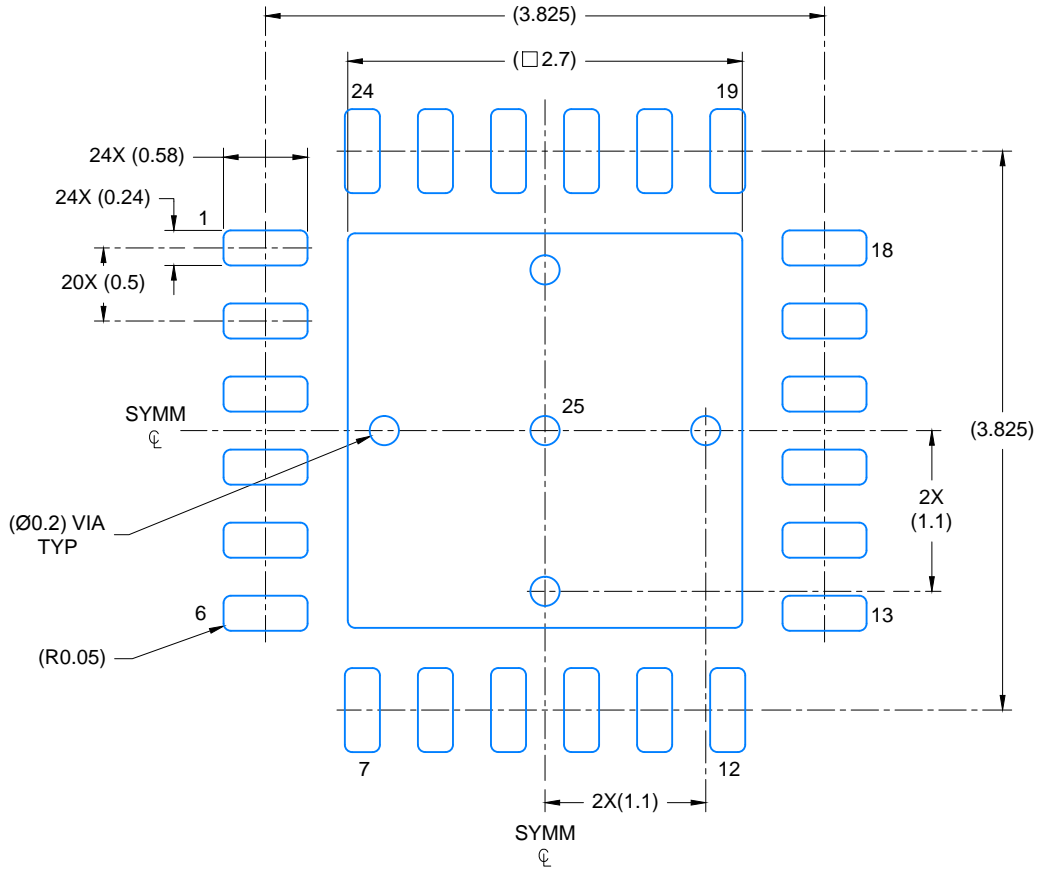
PLASTIC QUAD FLATPACK - NO LEAD



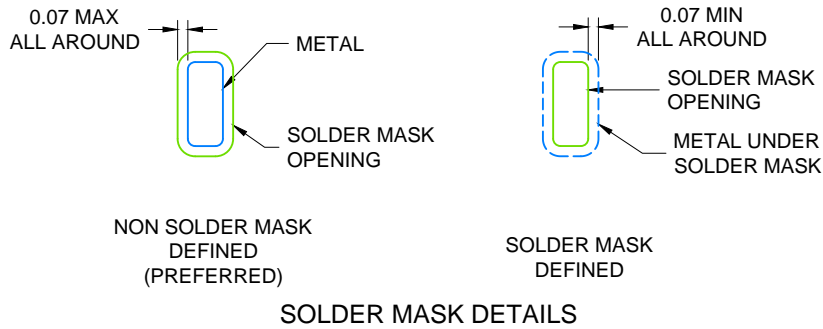
Images above are just a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.

4204104/H





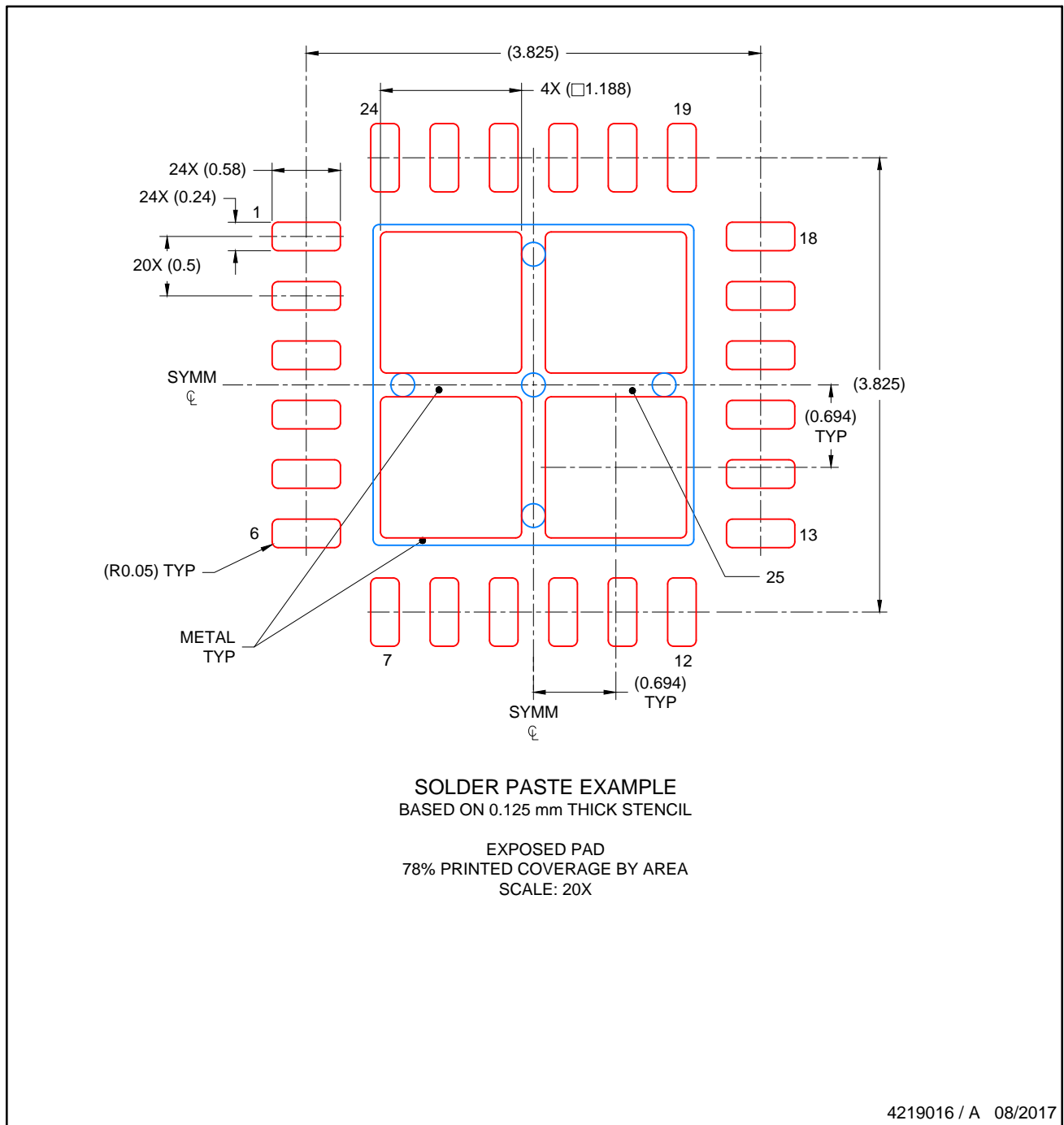
LAND PATTERN EXAMPLE  
SCALE: 20X



4219016 / A 08/2017

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/slua271](http://www.ti.com/lit/slua271)).
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



NOTES: (continued)

- 6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations..

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月