

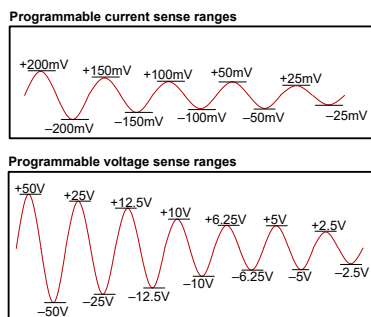
ADS9308V8I 電圧および電流検出用、24 ビット、16 チャンネル、同時サンプリング、高精度 ADC

1 特長

- 16 チャンネル、24 ビット同時サンプリング ADC
 - 8 つの電流センス入力と 8 つの電圧センス入力
 - 各チャンネルで最大 125kSPS のデータレート
- プログラマブルゼロドリフト電流センス アンプ
 - 受信差動入力インピーダンス (Z_{IN}): 0.5M Ω
 - 入力オフセットのドリフト: 0.1 μ V/ $^{\circ}$ C
 - ゲインドリフト: 5ppm/ $^{\circ}$ C
 - 入力範囲: ± 25 mV、 ± 50 mV、 ± 100 mV、 ± 150 mV、 ± 200 mV
 - 同相モード範囲: ± 18 V
- プログラマブル電圧センス アンプ
 - 入力インピーダンス: 1M Ω
 - 入力オフセットのドリフト: 1ppm/ $^{\circ}$ C
 - ゲインドリフト: 0.8ppm/ $^{\circ}$ C
 - 入力範囲: ± 50 V、 ± 25 V、 ± 12.5 V、 ± 10 V、 ± 6.25 V、 ± 5 V、 ± 2.5 V
 - シングルエンド入力および差動入力をサポート
 - 同相モード範囲: ± 12.5 V
- 電源
 - アナログ電源: 5V および 1.8V
 - デジタル I/O 電源: 1.8V ~ 3.3V
- 温度範囲: -40 $^{\circ}$ C ~ +125 $^{\circ}$ C

2 アプリケーション

- バッテリー セル形成とテスト機器
- マルチチャンネル電流 / 電圧センシング
- 電力テレメトリ
- 試験および測定機器



3 説明

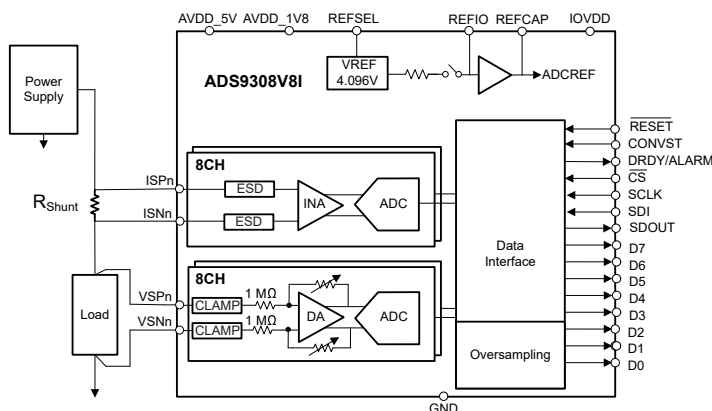
ADS9308V8I は、電流および電圧の同時センシングに対応するアナログ フロント エンドを内蔵した、16 チャンネル、24 ビットの逐次比較型 (SAR) A/D コンバータ (ADC) です。本デバイスには、電流検出用のゼロドリフト プログラマブル ゲイン アンプ 8 個と、電圧センス用の低ドリフト プログラマブル ゲイン 差動アンプ 8 個が内蔵されています。ADC 入力は電源に直接接続することが可能で、電圧と電流を同時に測定できます。本デバイスは、各チャンネルで最大 125kSPS のスループットを実現します。デバイスには、低ドリフト係数の高精度基準電圧も内蔵され、ADC を駆動するためのバッファも搭載されています。

ADS9308V8I は柔軟なデジタル インターフェイスを備えており、さまざまなホスト コントローラと組み合わせて使用できます。ユーザーはシリアル インターフェイスを、1 レーン、2 レーン、4 レーン、8 レーンのいずれかで ADC 出力を読み取るように設定できます。このデバイスは、2 チャンネル、4 チャンネル、8 チャンネル、16 チャンネルの同時サンプリング ADC として動作できる ADC の柔軟性も備えています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)
ADS9308V8I	RSK (VQFN, 64)	8.00mm × 8.00mm

- (1) 詳細については、[メカニカル](#)、[パッケージ](#)、および[注文情報](#)をご覧ください。
- (2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



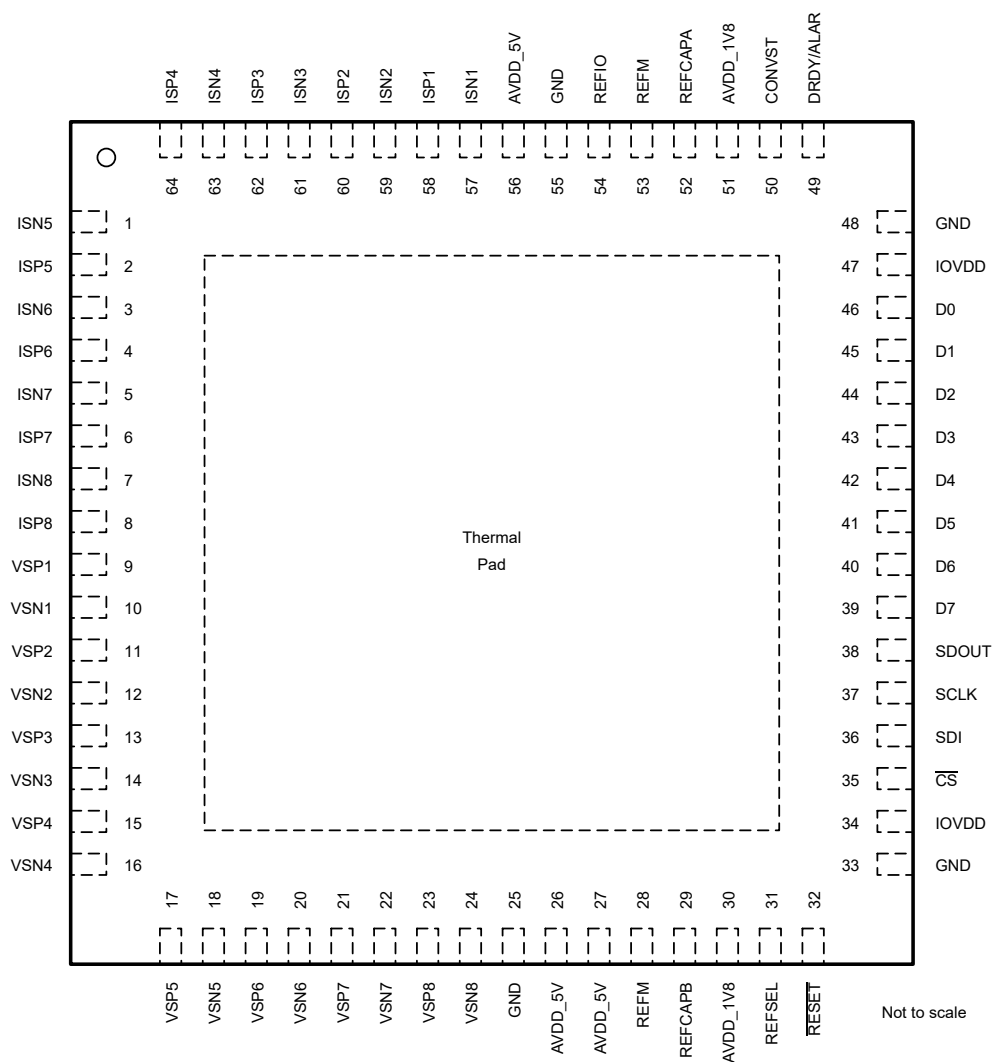
デバイスのブロック図



目次

1 特長.....	1	6.5 プログラミング.....	25
2 アプリケーション.....	1	6.6 レジスタ マップ.....	28
3 説明.....	1	7 アプリケーションと実装.....	77
4 ピン構成および機能.....	3	7.1 代表的なアプリケーション.....	77
5 仕様.....	6	7.2 電源に関する推奨事項.....	78
5.1 絶対最大定格.....	6	7.3 レイアウト.....	78
5.2 ESD 定格.....	6	8 デバイスおよびドキュメントのサポート.....	80
5.3 推奨動作条件.....	7	8.1 ドキュメントのサポート.....	80
5.4 熱に関する情報.....	7	8.2 ドキュメントの更新通知を受け取る方法.....	80
5.5 電気的特性.....	8	8.3 サポート・リソース.....	80
5.6 タイミング要件.....	11	8.4 商標.....	80
5.7 スイッチング特性.....	12	8.5 静電気放電に関する注意事項.....	80
5.8 タイミング図.....	13	8.6 用語集.....	80
6 詳細説明.....	16	9 改訂履歴.....	80
6.1 概要.....	16	10 メカニカル、パッケージ、および注文情報.....	80
6.2 機能ブロック図.....	16	10.1 テープおよびリール情報.....	81
6.3 機能説明.....	17	10.2 メカニカル データ.....	83
6.4 デバイスの機能モード.....	24		

4 ピン構成および機能



ADVANCE INFORMATION

図 4-1. RSK パッケージ、64 ピン VQFN (上面図)

表 4-1. ピンの機能

ピン		タイプ ⁽¹⁾	説明
名称	番号		
ISN1	57	AI	電流センス チャネル 1、負入力。
ISP1	58	AI	電流センス チャネル 1、正入力。
ISN2	59	AI	電流センス チャネル 2、負入力。
ISP2	60	AI	電流センス チャネル 2、正入力。
ISN3	61	AI	電流センス チャネル 3、負入力。
ISP3	62	AI	電流センス チャネル 3、正入力。

表 4-1. ピンの機能 (続き)

ピン		タイプ ⁽¹⁾	説明
名称	番号		
ISN4	63	AI	電流センス チャンネル 4、負入力。
ISP4	64	AI	電流センス チャンネル 4、正入力。
ISN5	1	AI	電流センス チャンネル 5、負入力。
ISP5	2	AI	電流センス チャンネル 5、正入力。
ISN6	3	AI	電流センス チャンネル 6、負入力。
ISP6	4	AI	電流センス チャンネル 6、正入力。
ISN7	5	AI	電流センス チャンネル 7、負入力。
ISP7	6	AI	電流センス チャンネル 7、正入力。
ISN8	7	AI	電流センス チャンネル 8、負入力。
ISP8	8	AI	電流センス チャンネル 8、正入力。
VSP1	9	AI	電圧センス チャンネル 1、正入力。
VSN1	10	AI	電圧センス チャンネル 1、負入力。
VSP2	11	AI	電圧センス チャンネル 2、正入力。
VSN2	12	AI	電圧センス チャンネル 2、負入力。
VSP3	13	AI	電圧センス チャンネル 3、正入力。
VSN3	14	AI	電圧センス チャンネル 3、負入力。
VSP4	15	AI	電圧センス チャンネル 4、正入力。
VSN4	16	AI	電圧センス チャンネル 4、負入力。
VSP5	17	AI	電圧センス チャンネル 5、正入力。
VSN5	18	AI	電圧センス チャンネル 5、負入力。
VSP6	19	AI	電圧センス チャンネル 6、正入力。
VSN6	20	AI	電圧センス チャンネル 6、負入力。
VSP7	21	AI	電圧センス チャンネル 7、正入力。
VSN7	22	AI	電圧センス チャンネル 7、負入力。
VSP8	23	AI	電圧センス チャンネル 8、正入力。
VSN8	24	AI	電圧センス チャンネル 8、負入力。
AVDD_1V8	30, 51	P	1.8V 電源。1 μ F と 0.1 μ F のデカップリング コンデンサを GND に接続します。
AVDD_5V	26, 27, 56	P	5V アナログ電源。1 μ F と 0.1 μ F のデカップリング コンデンサを GND に接続します。
DRDY/ALARM	49	DIO	データ準備完了またはアラーム、アクティブ High。
CONVST	50	DI	変換開始を制御するためのロジック入力。
CS	35	DI	SPI 構成用のチップ セレクト入力、アクティブ Low。
D0	46	DO	シリアル出力データ レーン 0。
D1	45	DO	シリアル出力データ レーン 1。
D2	44	DO	シリアル出力データ レーン 2。
D3	43	DO	シリアル出力データ レーン 3。
D4	42	DO	シリアル出力データ レーン 4。
D5	41	DO	シリアル出力データ レーン 5。
D6	40	DO	シリアル出力データ レーン 6。
D7	39	DO	シリアル出力データ レーン 7。
GND	25, 33, 48, 55	P	グラウンド。
IOVDD	34, 47	P	データ インターフェイスのデジタル I/O 電源。1 μ F と 0.1 μ F のデカップリング コンデンサを GND に接続します。
REFCAPA	52	AO	リファレンス アンプの出力ピン。ピン 52 とピン 53 の間に、低 ESR の 1 μ F、X7R デカップリング コンデンサを接続します。
REFIO	54	AIO	REFSEL が High のとき、このピンは内部リファレンス出力として動作します。REFSEL が Low のときは、外部リファレンス用の入力ピンとして機能します。また、このピンはピン 53 の REFM とともに、4.7 μ F のコンデンサでデカップリングします。

表 4-1. ピンの機能 (続き)

ピン		タイプ ⁽¹⁾	説明
名称	番号		
REFCAPB	29	AO	リファレンス アンプの出力ピン。ピン 29 とピン 28 の間に、低 ESR の 1μF、X7R デカップリング コンデンサを接続します。
REFM	28, 53	P	リファレンス GND ピン。これらのピンは、PCB 上でデバイス外部の GND プレーンに短絡します。
REFSEL	31	DI	ADC の基準電圧源を選択するためのロジック入力。外部リファレンスの場合は、REFSEL を GND に接続します。内部リファレンスの場合は、REFSEL を IOVDD に接続します。
RESET	32	DI	デバイスのリセット入力、アクティブ Low。
SCLK	37	DI	データ インターフェイス向けシリアル クロック入力。
SDI	36	DI	データ インターフェイスのシリアル データ入力。
SDOUT	38	DO	ユーザー レジスタ用のシリアル データ出力、または 1 レーン データ出力。
サーマル パッド	-	P	露出したサーマル パッド。GND に接続。

(1) AI = アナログ入力、AO = アナログ出力、AIO = アナログ入出力、DI = デジタル入力、DO = デジタル出力、DIO = デジタル入出力、P = 電源、NC = 接続なし。

5 仕様

5.1 絶対最大定格

動作時周囲温度範囲内 (特に記述のない限り)⁽¹⁾

	最小値	最大値	単位
AVDD_5V から GND	-0.3	6	V
AVDD_1V8 から GND	-0.3	2.1	V
IOVDD から GND へ	-0.3	3.6	V
VSPn および VSNn から GND へ	-50	50	V
VSPn – VSNm、任意の隣接する電圧センス ピン間	-50	50	V
ISPx および ISNx から GND へ	-20	20	V
REFIO から GND	GND - 0.3	VREF (4.096) + 0.3	V
REFM から GND へ	GND - 0.3	GND + 0.3	V
デジタル入力から GND へ	GND - 0.3	3.6	V
電源ピンを除く任意のピンへの入力電流 ⁽²⁾	-10	10	mA
接合部温度、T _j	-40	150	°C
保管温度、T _{stg}	-60	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) ピン電流は 10 mA 以下に制限する必要があります。

5.2 ESD 定格

				値	単位
V _(ESD)	静電放電	人体モデル (HBM)、 ANSI/ESDA/JEDEC JS-001 に準拠、すべての ピン (1)	電圧センス入力ピン (VSPn および VSNn)	±8000	V
			電流センス入力ピン (ISPn および ISNn)	±8000	V
			その他のすべてのピン	±2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべての ピン (2)		±500	V

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源						
AVDD_5V	アナログ電源	AVDD_5V から GND	4.75	5	5.25	V
AVDD_1V8	電源	AVDD_1V8 から GND	1.71	1.8	1.89	V
IOVDD	デジタル インターフェイス電源	IOVDD から GND へ	1.71		3.6	V
基準電圧						
V _{REF}	ADC へのリファレンス電圧	外部リファレンス	4.092	4.096	4.100	V
アナログ入力						
ISP _n	電流センスの正入力		-18		18	V
ISN _n	電流センスの負入力		-18		18	V
VSP _n	電圧センスの正入力		-50		50	V
VSN _n	電圧センスの負入力	差動入力、 CM_RANGE_AIN _n = 0	-50		50	V
VSN _n	電圧センスの負入力	シングルエンド入力、 CM_RANGE_AIN _n = 5、6	-0.5		0.5	V
VSP _n – VSN _m	隣接するピン間の電圧		-50		50	V
温度範囲						
T _A	周辺温度		-40		125	°C

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		ADS93x8V8I	単位
		RSK (VQFN)	
		64 ピン	
R _{θJA}	接合部から周囲への熱抵抗	22	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	8.6	°C/W
R _{θJB}	接合部から基板への熱抵抗	6.8	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	0.1	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	6.7	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	0.8	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。

5.5 電気的特性

AVDD = 4.75V ~ 5.25V、AVDD_1V8 = 1.75V ~ 1.85V、IOVDD = 1.75V ~ 3.3V、内部 VREF = 4.096V、最大スループット (特に記述のない限り)、 $T_A = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ での最小値および最大値、 $T_A = 25^{\circ}\text{C}$ での標準値

パラメータ		テスト条件	最小値	標準値	最大値	単位
電流検出						
	分解能、ミッシング コードなし		24			ビット
	出力データレート				125	kSPS
	入力バイアス電流	ISPn – ISNn = 0mV、 $V_{CM} = -18\text{V} \sim 18\text{V}$		1		nA
Z_{IN}	差動入力インピーダンス	すべてのゲイン		0.5		MΩ
I_{FSR}	フルスケール電流センス入力範囲 (ISPn – ISNn)		-25		25	mV
			-50		50	mV
			-100		100	mV
			-150		150	mV
			-200		200	mV
I_{SCM}	電流センス同相モード入力範囲		-18		18	V
	電流センス アナログ入力 LPF 帯域幅 (-3dB)	すべての入力範囲		400		kHz
	オフセットドリフト ⁽²⁾	すべてのゲイン		±0.1		μV/°C
	ゲインドリフト ^{(2) (3)}	すべてのゲイン		±5		ppm/°C
	INL	すべてのゲイン		±15		ppm
	信号対雑音比、ODR = 62.5kSPS、OSR = 16	範囲 = ±200mV		90.4		dB
		範囲 = ±150mV		88.9		dB
		範囲 = ±100mV		87.1		dB
		範囲 = ±50mV		83		dB
		範囲 = ±25mV		77.4		dB
THD	全高調波歪	全範囲		-104		dB
	CMRR	DC 時		140		dB
電圧検出						
	分解能、ミッシング コードなし		24			ビット
	出力データレート				125	kSPS
R_{IN}	入力インピーダンス	すべての入力範囲		1		MΩ
	入力インピーダンスの熱ドリフト	すべての入力範囲		10		ppm/°C
V_{FSR}	フルスケール電圧センス入力範囲 (VSPn - VSNn)	INPUT_RANGE_VSn[2:0] = 010b	-2.5		2.5	V
		INPUT_RANGE_VSn[2:0] = 000b	-5		5	V
		INPUT_RANGE_VSn[2:0] = 011b	-6.25		6.25	V
		INPUT_RANGE_VSn[2:0] = 100b	-10		10	V
		INPUT_RANGE_VSn[2:0] = 101b	-12.5		12.5	V
		INPUT_RANGE_VSn[2:0] = 001b	-25		25	V
		INPUT_RANGE_VSn[2:0] = 110b、シングルエンド	-50		50	V
V_{SCM}	電圧センス同相モード入力範囲	差動入力 (CM_RANGE_AINn = 0)	-12.5		12.5	V

AVDD = 4.75V ~ 5.25V、AVDD_1V8 = 1.75V ~ 1.85V、IOVDD = 1.75V ~ 3.3V、内部 VREF = 4.096V、最大スループット (特に記述のない限り)、T_A = -40°C ~ +125°C での最小値および最大値、T_A = 25°C での標準値

パラメータ		テスト条件	最小値	標準値	最大値	単位
BW _(-3 dB)	アナログ入力 LPF の -3dB 帯域幅	低帯域幅フィルタ、すべての入力範囲		25.5		kHz
		広帯域フィルタ、V _{FSR} = ±2.5V		280		kHz
		広帯域フィルタ、V _{FSR} = ±5V		325		kHz
		広帯域フィルタ、V _{FSR} = ±6.25V		300		kHz
		広帯域フィルタ、V _{FSR} = ±10V、±12.5V		350		kHz
		広帯域フィルタ、V _{FSR} = ±25V、±50V		400		kHz
INL	積分非直線性	全範囲		±15		ppm
	オフセット誤差	全範囲		±60		ppm
	オフセット誤差の温度係数	全範囲		1.2		ppm/°C
	ゲイン誤差 ^{(2) (3)}	全範囲		±0.012		%
	ゲイン誤差の温度ドリフト ^{(2) (3)}	全範囲		1		ppm/°C
SNR _{LOW_BW}	低帯域幅モードでの 信号対雑音比 (1kHz、-0.1dBFS 入力、ODR = 62.5kSPS、OSR = 16)	範囲 = ±2.5V		92		dBFS
		範囲 = ±5V、±6.25V		95.5		dBFS
		範囲 = ±10V、±12.5V		97.5		dBFS
		範囲 = ±25V		99		dBFS
		範囲 = ±50V		100		dBFS
SNR _{HI_BW}	高い帯域幅モードでの 信号対雑音比 (1kHz、-0.1dBFS 入力、ODR = 62.5kSPS、OSR = 16)	範囲 = ±2.5V		89.6		dBFS
		範囲 = ±5V		92.6		dBFS
		範囲 = ±6.25V		94.2		dBFS
		範囲 = ±10V		95.3		dBFS
		範囲 = ±12.5V		96.5		dBFS
		範囲 = ±25V		98		dBFS
		範囲 = ±50V		99		dBFS
THD	全高調波歪	全範囲		-103		dB
	CMRR	DC 時、CM 誤り訂正有効、ΔV _{CM} = 25V で測定		100		dB
内部リファレンス						
VREF ⁽¹⁾	REFIO ピンの電圧 (出力として構成)	REFIO ピンの 1μF コンデンサ、T _A = 25°C		4.096		V
	基準温度ドリフト	REFIO ピンの 1μF コンデンサ、T _A = 25°C		15		ppm/°C
	リファレンス バッファ出力 インピーダンス			1		kΩ
	リファレンス ターンオン時間	REFCAP ピンの 1μF コンデンサ			30	ms
外部リファレンス入力						
REF _{LKG}	リファレンス入力のリーク電流			±10		nA
デジタル入力						
V _{IL}	入力 low ロジックレベル スレッショルド			0.3 IOVDD		V
V _{IH}	入力 High ロジックレベル スレッショルド		0.7 IOVDD			V
デジタル出力						
V _{OL}	出力 Low ロジックレベル	I _{OL} = 200μA シンク	0	0.4		V
V _{OH}	出力 High ロジックレベル	I _{OH} = 200μA ソース	IOVDD-0.4	IOVDD		V
電源						

ADS9308V8I

JADS284 – JUNE 2026

AVDD = 4.75V ~ 5.25V、AVDD_1V8 = 1.75V ~ 1.85V、IOVDD = 1.75V ~ 3.3V、内部 VREF = 4.096V、最大スループット (特に記述のない限り)、 $T_A = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ での最小値および最大値、 $T_A = 25^{\circ}\text{C}$ での標準値

パラメータ		テスト条件	最小値	標準値	最大値	単位
	全消費電力	最大スループット		230		mW
I_{AVDD_5V}	AVDD_5V からの電源電流	最大スループット、内部リファレンス		30		mA
I_{AVDD_1V8}	AVDD_1V8 からの電源電流	最大スループット、内部リファレンス		32		mA
I_{IOVDD}	IOVDD からの消費電流	最大スループット		6		mA

- (1) 半田シフトの影響による電圧の変動は含まれていません。
- (2) この仕様には、 $T_A = 25^{\circ}\text{C}$ でのオフセット誤差校正後の全動作温度範囲が含まれます。
- (3) これらの仕様は全動作温度範囲での変動を想定していますが、誤差が内部リファレンスから寄与するものではありません。

5.6 タイミング要件

at AVDD_5V = 4.75V~5.25V、AVDD_1V8 = 1.7V~1.9V、IOVDD = 1.7V~3.6V、V_{REF} = 4.096V (内部または外部)、および最大スループット (特に記述のない限り)、T_A = -40°C ~ +125°C 最小値および最大値、T_A = 25°C での標準値

		最小値	最大値	単位
CONVST				
f _{CONVST}	ADC サンプルング周波数、フリーランニング連続クロック	100	1000	kHz
t _{CONVST}	サンプルング時間間隔	1 / f _{CONVST}		μs
t _{PH_CV}	CONVST パルス high 時間	50		ns
t _{PL_CV}	CONVST パルス low 時間	50		ns
シリアル インターフェイス				
f _{SCLK}	SCLK の最大周波数		80	MHz
t _{SCLK}	最小 SCLK 時間周期	20		ns
t _{PH_SCLK}	SCLK High 時間	0.45	0.55	t _{SCLK}
t _{PL_SCLK}	SCLK Low 時間	0.45	0.55	t _{SCLK}
t _{hi_CS}	パルス幅 $\overline{CS}$ high	5		ns
t _{su_CSCK}	セットアップ時間: $\overline{CS}$ 立ち下がりから最初の SCLK キャプチャ エッジ	12		ns
t _{ht_CSCK}	遅延時間: 最後の SCLK 立ち下がりエッジから $\overline{CS}$ 立ち上がり時間	10		ns
t _{su_CKDI}	セットアップ時間: SDI データ有効から対応する SCLK 立ち上がりエッジまで	3		ns
t _{ht_CKDI}	ホールド時間: SCLK 立ち上がりエッジから SDI での対応するデータ有効まで	1		ns
t _{su_DRDYCS}	セットアップ時間: DRDY 立ち下がりエッジから CS 立ち下がりエッジまで	0		ns
t _{ht_DRDYCS}	ホールド時間: DRDY 立ち上がりエッジから CS 立ち上がりエッジまで	0		ns

5.7 スイッチング特性

at AVDD_5V = 4.75V~5.25V、AVDD_1V8 = 1.7V~1.9V、IOVDD = 1.7V~3.6V、V_{REF} = 4.096V (内部または外部)、および最大スループット (特に記述のない限り)、T_A = -40°C ~ +125°C 最小値および最大値、T_A = 25°C での標準値

パラメータ		テスト条件	最小値	最大値	単位
リセット					
t _{PU}	デバイスのパワーアップ時間			100	ms
シリアル インターフェイス					
t _{d_CSDO}	遅延時間: CS の立ち下がりエッジから SDO _{OUT} および D[7:0] にデータが有効になるまでの時間			16	ns
t _{dz_CSDO}	遅延時間: CS の立ち上がりエッジから、SDO _{OUT} および D[7:0] がハイ インピーダンス状態に移行するまでの時間			7.5	ns
t _{vt_CKDO}	有効時間: SCLK の立ち上がり (または立ち下がり) エッジから、SDO _{OUT} および D[7:0] 上で前のデータが有効になるまでの時間		7.6		ns
t _{d_CKDO}	遅延時間: SCLK の立ち上がり (または立ち下がり) エッジから、SDO _{OUT} および D[7:0] 上で対応するデータが有効になるまでの時間			17	ns
DRDY およびアラーム					
t _{CYC}	ADC サイクル時間周期	最大 f _{CONVST} 時	10		μs
t _{CONV}	変換時間	OSR = 8、および最大 f _{CONVST} 時	8	8.25	μs
		OSR ≥ 8	(N-1) × t _{CONVST} + 1	(N-1) × t _{CONVST} + 1.25	μs
t _{d_CVDRDY_hi}	CONVST の立ち下がりエッジから DRDY の立ち上がりエッジまでの時間遅延			t _{CONV}	ns
t _{d_CVDRDY_lo}	CONVST の立ち下がりエッジから DRDY の立ち下がりエッジまでの遅延時間			10	ns
t _{d_ALARM}	CONVST から、新しい ALARM が有効になるまでの時間遅延			t _{CONV}	μs

5.8 タイミング図

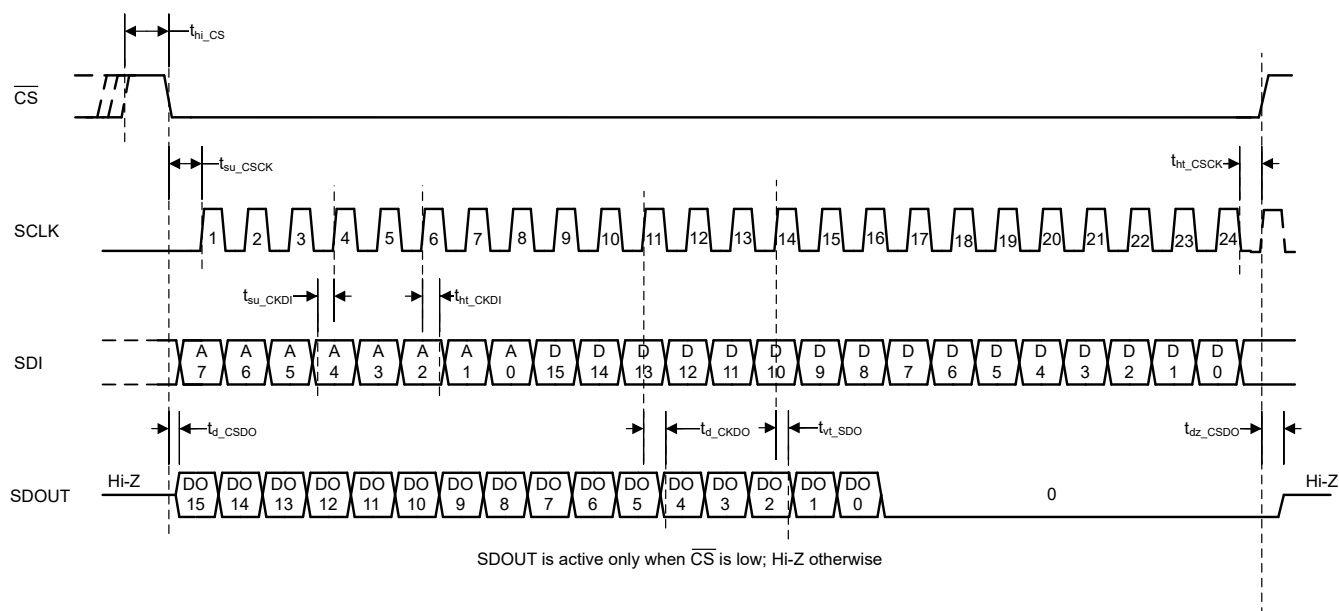


図 5-1. レジスタの読み取りおよび書き込み動作のタイミング

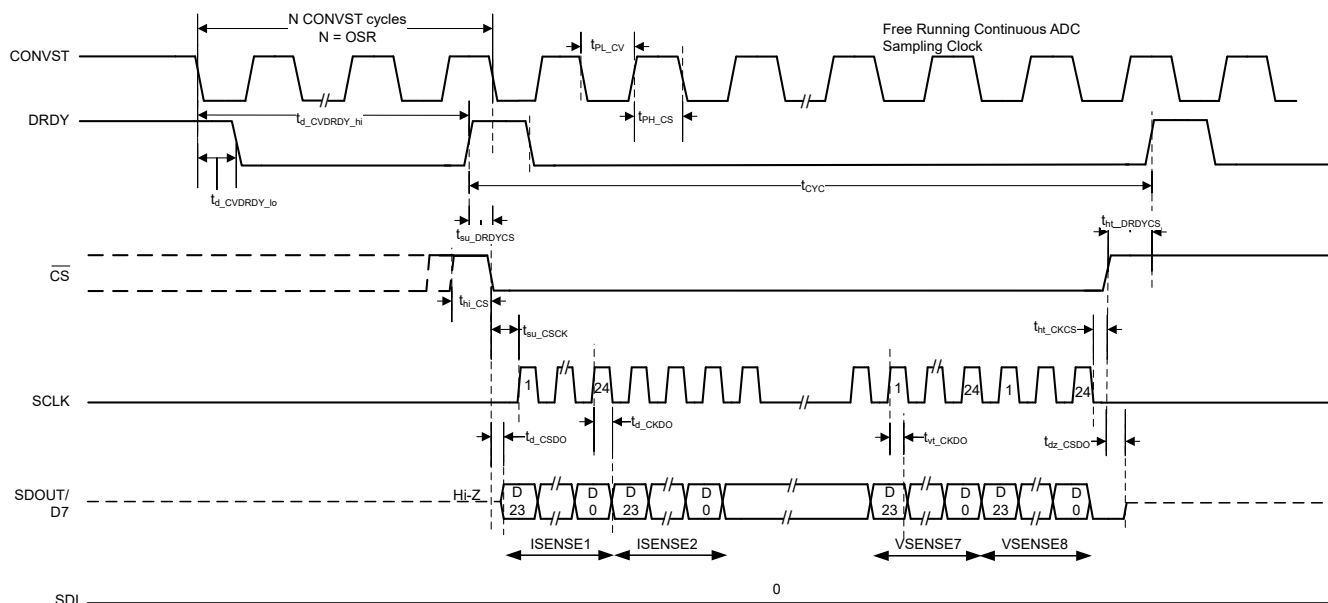


図 5-2. ADC 変換データの読み取りタイミング：1 データ レーン

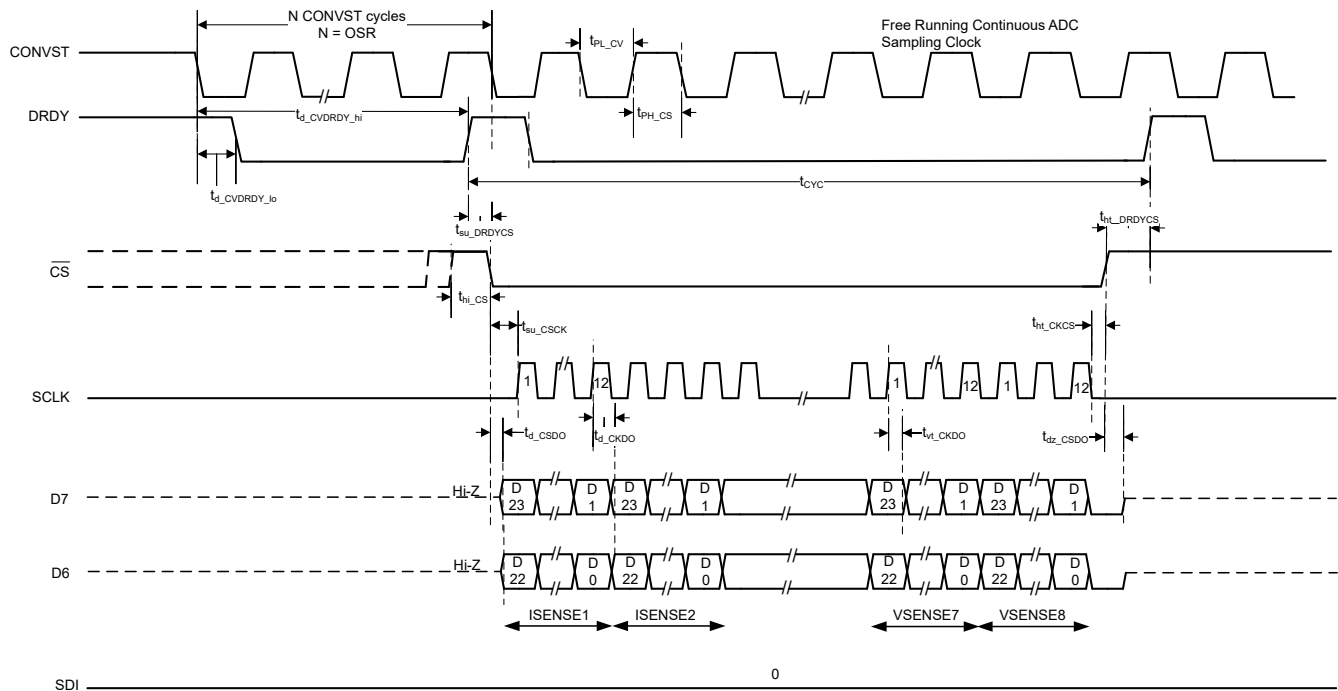


図 5-3. ADC 変換データの読み取りタイミング：2 データ レーン

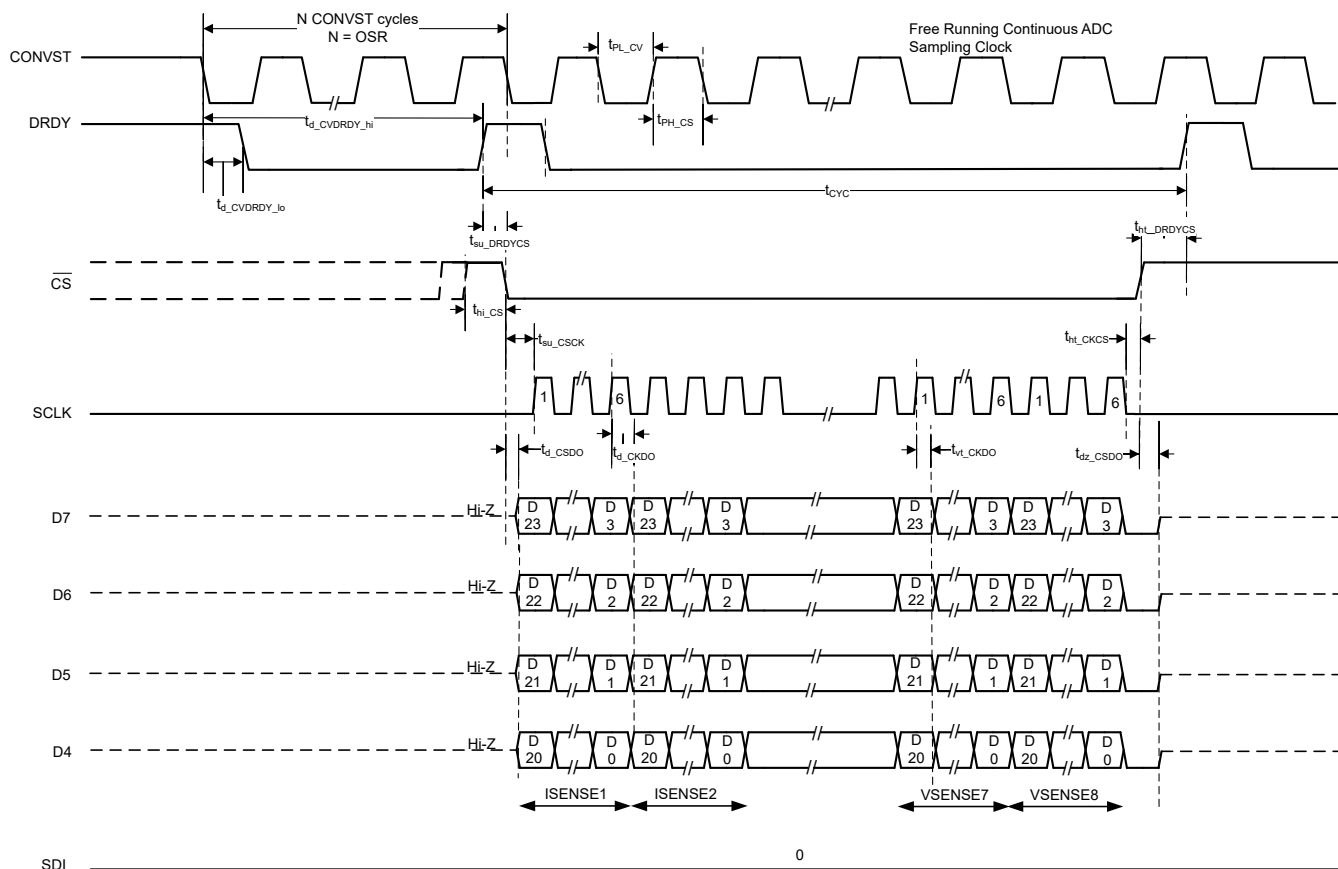


図 5-4. ADC 変換データの読み取りタイミング：4 データ レーン

English Data Sheet: [SBASB93](#)

6 詳細説明

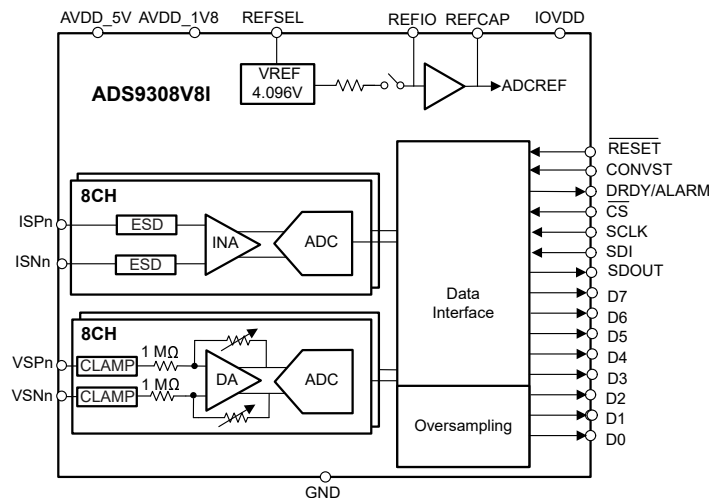
6.1 概要

ADS9308V8I は、電流および電圧の同時センシングに対応するアナログ フロント エンドを内蔵した、16 チャンネル、24 ビットの逐次比較型 (SAR) A/D コンバータ (ADC) です。本デバイスは、高精度の電流および電圧監視アプリケーション用に設計されており、外部シグナル コンディショニング部品を必要とせずに電源レールへ直接接続できます。電流センスパスには、シャントを使用した電流検出に対し最適化された、ESD 保護機能付きの 8 個のゼロドリフト プログラマブル ゲイン計測アンプ (INA) が内蔵されています。これらのアンプは、高い同相信号除去性能とゼロドリフト性能を備えており、ローサイドまたはハイサイドの高精度な電流測定を可能にします。電圧センスパスには、ESD 保護機能を備えた 8 個のプログラマブル差動アンプが内蔵されており、最大 $\pm 50V$ の電圧を検出できます。

ADC のアナログ入力には電源に直接接続することが可能で、電圧と電流を同時に測定できます。入力チャンネルは、AVDD および IOVDD 電源がない場合でも最大定格電圧に耐えられるように設計されているため、複数の電源レールを監視する際の電源シーケンスが不要です。本デバイスには、4.096V の高精度電圧リファレンス (VREF) が内蔵されており、REFSEL ピンで選択できます。このリファレンスは内部でバッファされ、REFIO および REFCAP ピンを介して配線されて、ADC 用の安定したリファレンス電圧を生成します。

ADS9308V8I は、各チャンネルで最大 125kSPS のスループットをサポートしており、入力信号ノイズの低減、全体的なノイズ性能の改善、総合的な変換スループットの低減に使用できるプログラマブル デジタル フィルタを備えています。柔軟なデジタル インターフェイスにより、本デバイスはさまざまなホスト コントローラと組み合わせ使用でき、SPI 通信を介して構成できます。変換結果は、SCLK、SDOUT、CS 信号に加え、パラレル データ バス (D0 ~ D7) を介して出力され、1 レーン、2 レーン、4 レーン、8 レーンのシリアル インターフェイス構成をサポートします。必要なチャンネル数が少ないアプリケーションでは、2 チャンネル、4 チャンネル、8 チャンネルの同時サンプリング モードで動作するようにデバイスを構成できます。

6.2 機能ブロック図



6.3 機能説明

6.3.1 電流センス プログラマブル ゲイン アンプ

ADS9308V8I は、8 個のプログラマブル ゲイン計測アンプを搭載しています。表 6-1 に、サポートされている入力範囲を示します。各チャンネルのアナログ入力範囲は、PGA_CONFIG_ISn レジスタ内の INPUT_RANGE_ISn[2:0] レジスタ フィールドを使用して個別に設定できます。

表 6-1. 電流センス PGA の入力範囲

RANGE	INPUT_RANGE_ISn
±25mV	0
±50mV	1
±100mV	2
±150mV	3
±200mV	4

6.3.2 電圧センス プログラマブル ゲイン アンプ (VPGA)

ADS9308V8I は、電圧センス プログラマブル アンプを搭載しています。PGA は、シングルエンド入力および差動入力の両方に対応しており、バイポーラ信号スイングをサポートします。差動入力モードでは、電圧センス PGA は最大同相電圧 ±12.5V を扱えます。シングルエンド モードでは、サポートされる最大同相電圧は $\pm(\text{RANGE} / 2)$ となります。表 6-2 に、サポートされているアナログ入力範囲を示します。各チャンネルのアナログ入力範囲は、PGA_CONFIG_AINx レジスタ内の INPUT_RANGE_VSn[2:0] レジスタ フィールドを使用して個別に構成します。

表 6-2. アナログ入力範囲

入力タイプ	RANGE	INPUT_RANGE_VSn	CM_RANGE_VSn
シングル エンド	±50V	6	5
シングル エンド	±25V	1	5
シングル エンド	±12.5V	5	5
シングル エンド	±10V	4	5
シングル エンド	±6.25V	3	5
シングル エンド	±5V	0	5
シングル エンド	±2.5V	2	5
差動	±25V	1	0
差動	±12.5V	5	0
差動	±10V	4	0
差動	±6.25V	3	0
差動	±5V	0	0
差動	±2.5V	2	0
シングルエンド オープンワイヤ安全	±12.5V	5	6
シングルエンド オープンワイヤ安全	±10V	4	6
シングルエンド オープンワイヤ安全	±6.25V	3	6
シングルエンド オープンワイヤ安全	±5V	0	6
シングルエンド オープンワイヤ安全	±2.5V	2	6

各電圧センス チャンネルには、PGA の出力にアンチエイリアシング用のローパス フィルタ (LPF) が備わっています。表 6-3 に、アナログ入力範囲に対応する ADS9308V8I で使用可能な各種のプログラマブル LPF オプションを示します。以下に、低帯域と広帯域の LPF の各構成における周波数応答を示します。各アナログ入力チャンネルのアナログ入力帯域幅は、PGA_BW_SEL_AINn レジスタ内の PGA_SEL ビット フィールドで選択します。デフォルトでは、すべての PGA は低帯域幅モードになっています。

表 6-3. 電圧センス、ローパス フィルタのコーナー周波数

LPF	PGA_BW_SEL_AINn	アナログ入力電圧範囲	コーナー周波数 (-3dB)
低帯域幅	0	すべての入力範囲	25.5kHz
広い帯域幅	1	±2.5V	280kHz
		±5V	325kHz
		±6.25V	300kHz
		±10V, ±12.5V	350kHz
		±25V, ±50V	400kHz

6.3.3 ADC の伝達関数

ADS9308V8I は、24 ビットの変換データを、ストレート バイナリ形式またはバイナリ 2 の補数形式のいずれかで出力します。デフォルトでは、ADC 出力はバイナリ 2 の補数形式となります。ストレート バイナリ形式にするには、EN_OFS_BINARY を '1'b に設定します。出力コードの形式は、すべてのアナログ チャネルで同じです。図 6-1 は、ADS9308V8I の転送特性を示します。

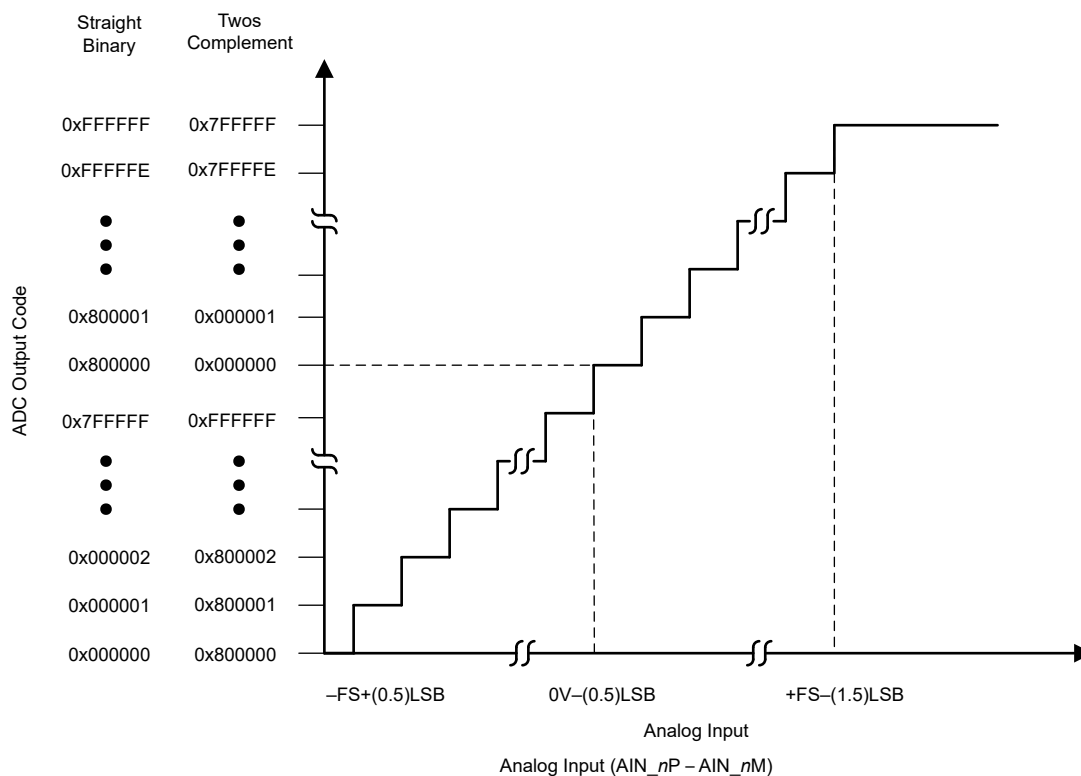


図 6-1. ADC 伝達特性

6.3.4 リファレンス

ADS93x8V8I は、高精度で低ドリフトの電圧リファレンスをデバイスに内蔵しています。最高の性能を得るため、4.7 μ F セラミック バイパス コンデンサを REFIO ピンに接続して内部リファレンス ノイズをフィルタ処理し、REFCAPA ピンと REFM ピンの間、および REFCAPB ピンと REFM ピンの間に 1 μ F セラミック コンデンサを直接接続します (図 6-2 と図 6-3 を参照)。パワーアップ時において、表 6-4 に示すように、リファレンス ソースは REFSEL ピン、または ADS93x8V8I の 共通レジスタ バンクにおけるアドレス 0x10 の REFSEL_CTRL および EXT_REF_EN フィールドの値によって選択されます。

表 6-4. ADC 電圧リファレンス ソースの選択

REFSEL 入力	REFSEL_CTRL_DIS	EXT_REF_EN	ADC 基準電圧ソース
Low	0b	X	ADC リファレンスは、REFSEL ピンを使用して選択します。REFIO ピンへの外部リファレンス。
High	0b	X	ADC リファレンスは、REFSEL ピンを使用して選択します。内部リファレンスが有効です。
X	1b	0b	ADC リファレンスは、0x10 レジスタの EXT_REF_EN ビットフィールドを使用して選択します。内部リファレンスが有効です。
X	1b	1b	ADC リファレンスは、0x10 レジスタの EXT_REF_EN ビットフィールドを使用して選択します。外部リファレンスが選択されています。外部リファレンスを REFIO ピンに強制します。

注

1. 外部リファレンス動作時に外部リファレンスが印加されない場合、デバイスはパワーダウン モードに移行します。

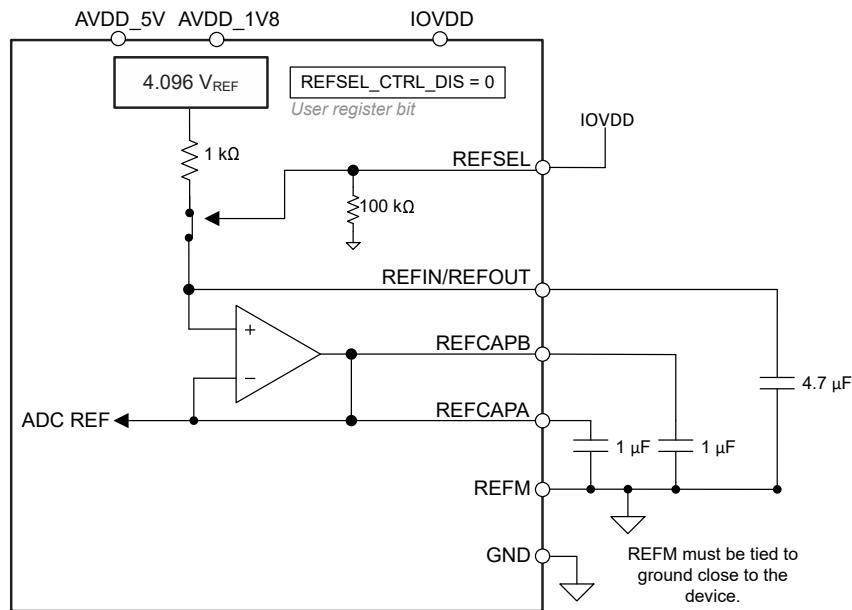


図 6-2. 内部リファレンス電圧

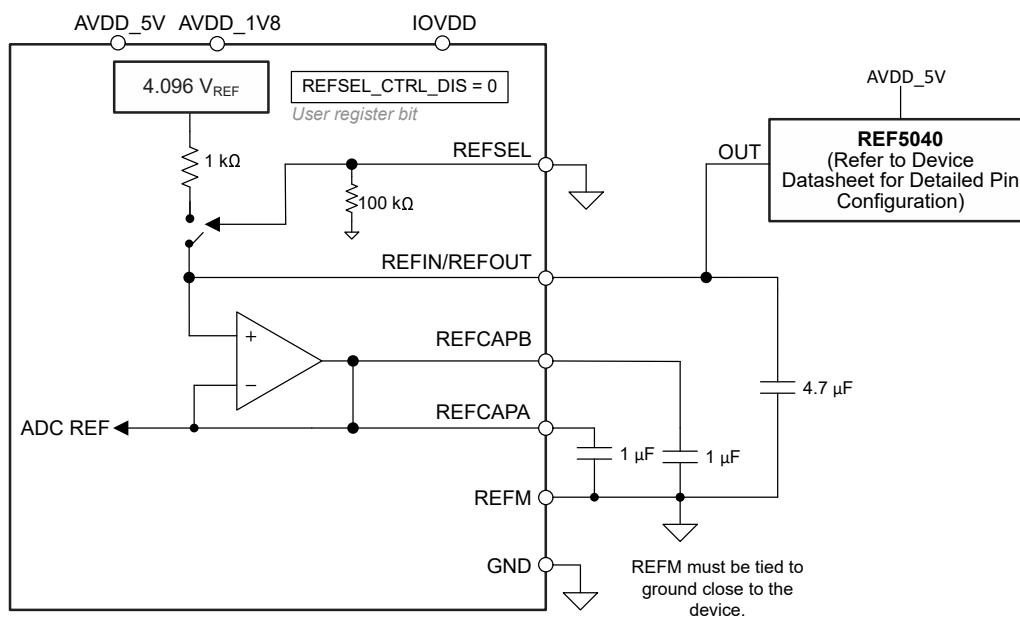


图 6-3. 外部基準電圧

6.3.5 デジタル平均化フィルタ

ADS9308V8I にはブロック平均化デジタル フィルタが搭載されており、低いノイズと広いダイナミック レンジを必要とする低スループットのアプリケーションで使用できます。ADC の全体スループットは、ブロック平均フィルタのオーバーサンプリング レートの増加に比例して低下します。ADS9308V8I のオンチップ デジタル フィルタを使用する前に、GEN_CFG5 レジスタ フィールドを初期化します。DIGITAL_FILTER レジスタの DIGITAL_FILT_SYSREF ビット フィールドに 0b から 1b を書き込みます。t_{CONVST} 遅延時間を少なくとも 1 回確認してから、図 6-4 に示すように DIGITAL_FILT_SYSREF ビットに 0b を書き込みます。

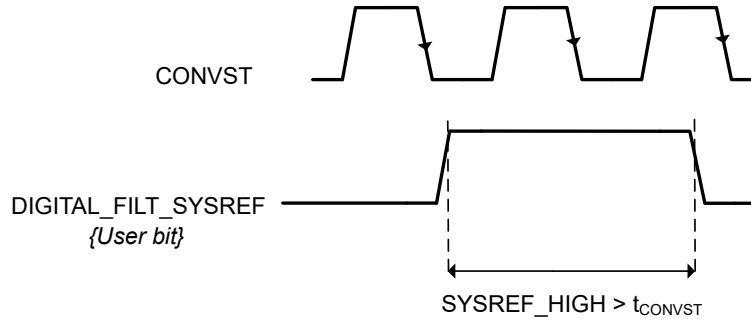


図 6-4. デジタル フィルタ SYSREF と CONVST

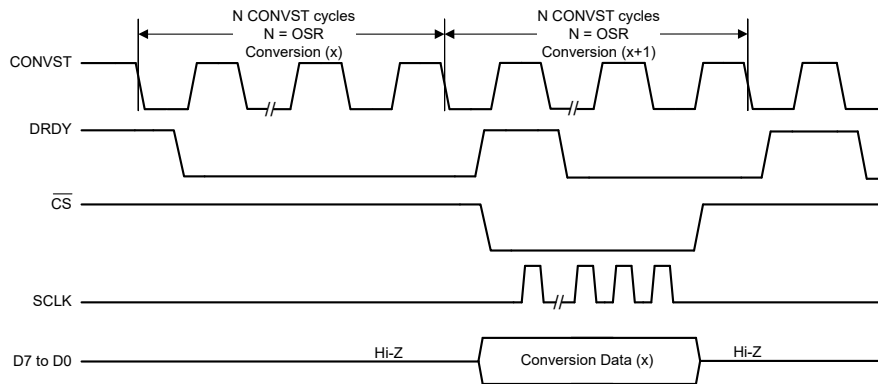


図 6-5. オーバーサンプリング時の ADC 出力



図 6-7. 8 チャンネル ADC データ読み取り、ADC_NUM_SEL = 01b、ADC_CH_SEL = 1xxb

6.4 デバイスの機能モード

6.4.1 リセット

ADS9308V8I をリセットするには、 $\overline{\text{RESET}}$ ピンにロジック 0 を入力するか、ADS9308V8I 共通レジスタ バンク内のアドレス 0x01 にある SW_RST ビット フィールドに 1b を書き込みます。デバイスのレジスタは、リセット後にデフォルト値へ初期化され、その後、一連のレジスタ書き込み操作によってデバイスが初期化されます。

$\overline{\text{RESET}}$ ピンはアクティブ Low デジタル入力です。専用のリセット ピンにより、デバイスは非同期方法でいつでもリセットできます。 $\overline{\text{RESET}}$ ピンがロジック Low に設定されると、デバイスのすべてのデジタル回路はリセットされ、この状態は、ピンが High に戻るまでアクティブのままです。

6.4.2 通常動作

ADS9308V8I に電源が投入された後、ADS9308V8I は CONVST 信号の立ち下がりエッジで、アナログ入力電圧をデジタル出力電圧に変換します。デバイスのリセット後に、最小遅延時間 t_{PU} が必要です (セクション 5.7 を参照)。

6.4.3 スタンバイ モード

このデバイスは、回路の一部だけがパワーダウンする低消費電力スタンバイ モードをサポートしています。このモードでは、アナログ フロントエンド、各チャネルの信号調整回路、および内部リファレンスがパワーダウンされます。デバイスを低消費電力スタンバイ モードにするには、PDN_CTL レジスタの DEVICE_PDN ビット フィールドを 1b に設定します。

6.5 プログラミング

6.5.1 レジスタ書き込み動作

ADS9308V8I の 16 ビットレジスタは 3 つのレジスタ バンク (ADS93x8V8I 共通、IS1 - IS8 チャンネル、VS1 - VS8 チャンネル) に分類されており、8 ビットのレジスタ アドレスでアクセスできます。アドレス 0x02 の BANK_SEL レジスタに 0x0001 を書き込むことで、読み取り / 書き込み操作の ADS93x8V8I 共通 レジスタ バンクが選択されます。アドレス 0x2 の PAGE_SEL レジスタは、すべてのレジスタ バンクの中で特別であり、PAGE_SEL ビットの設定に関係なく常にアクセス可能です。構成レジスタにデータを書き込むには、24 ビットのシリアル通信フレームが必要です。24 ビットレジスタ読み取りフレームは、8 ビットのレジスタ アドレスと新しい 16 ビットのレジスタ値で構成されます。SDI のデータは SCLK の立ち上がりエッジでラッチされます。書き込みコマンドは $\overline{CS}$ の立ち上がりエッジでデコードされ、指定されたレジスタは、レジスタ書き込み操作で指定された 16 ビット データで更新されます。レジスタ書き込みの 24 ビット SPI フレームを図 6-8 に示し、レジスタに書き込むために必要なステップを表 6-7 に示します。

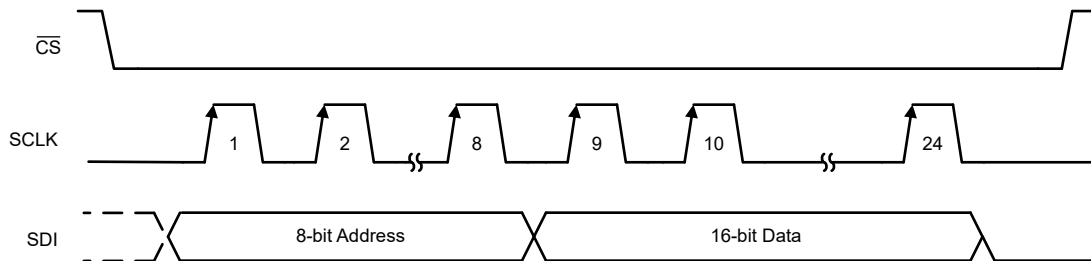


図 6-8. レジスタ書き込みフレーム

表 6-7. レジスタ書き込みシーケンス

フレーム番号	SDI[23:0]		説明
	SDI[23:16] = REG_ADDR	SDI[15:0] = REG_ADDR DATA	
1	0x02	0x0001	レジスタ バンク 0 を選択します。レジスタ バンク 1 と 2 には、それぞれ 0x02 と 0x04 を書き込みます。
2	REG_ADDR	REG_ADDR DATA	ユーザー データを目的のアドレスに書き込みます。必要なレジスタ書き込みの数だけ、この手順を繰り返します。

6.5.2 レジスタ読み取り動作

レジスタ読み出し動作のレジスタ バンクは、アドレス 0x02 の BANK_SEL レジスタを使って選択します。ADS93x8V8I 共通レジスタ バンクのレジスタを読み出すには、BANK_SEL レジスタに 0x0001 を書き込みます。同様に、BANK_SEL レジスタに 0x0002 および 0x0004 を書き込み、それぞれ VS1 - VS8 チャンネルおよび IS1 - IS8 チャンネルバンクのレジスタを読み出します。図 6-9 に示すように、レジスタを読み取るには 24 ビットの SPI フレームが必要です。図 6-9 は、レジスタ バンクの N 個のレジスタを読み取るために必要なシーケンスを示しており、必要なステップについては表 6-8 で説明しています。

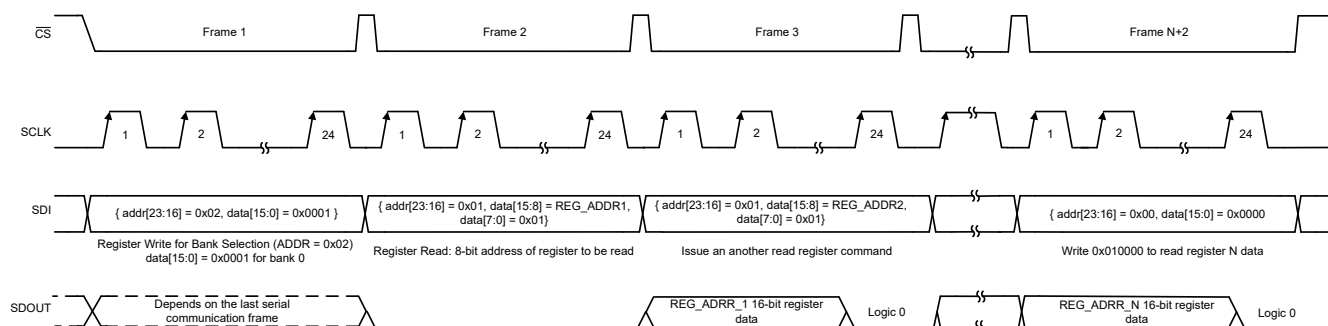


図 6-9. レジスタ読み出し

表 6-8. レジスタ読み出しシーケンス

フレーム番号	24 ビット SDI フレーム		SDOUT[23:0]	説明
	SDI[23:16]	SDI [15:0]		
1	0x02	0x0001 はレジスタ バンク 0、0x0002 はレジスタ バンク 1、0x0004 はレジスタ バンク 2	X	レジスタ バンクを選択します。
2	0x01	SDIN[15:8] = REG_ADDR1、 SDIN[7:0] = 0x01	0x000000	レジスタ アドレス REG_ADDR1 のレジスタ読み取り動作。レジスタ データ REG_ADDR1 は、次のシリアル通信フレームで受信されます。
3	0x01	SDIN[15:8] = REG_ADDR1、 SDIN[7:0] = 0x01	SDOUT[23:8] = REG_ADDR1 DATA、 SDOUT[7:0]= 0x00	レジスタ アドレス REG_ADDR2 のレジスタ読み取り動作。このフレームでは、レジスタ データ REG_ADDR1 が受信されます。レジスタ データ REG_ADDR2 は、次のシリアル通信フレームで受信されます。
N+2	0x00	0x0000	SDOUT[23:8]= REG_ADDRN DATA、 SDOUT[7:0]= 0x00	前のシリアル通信フレームで選択されたレジスタ値 REG_ADDR を読み出すには、SDIN に 0x000000 を書き込みます。

6.5.3 初期化シーケンス

セクション 6.5.3 に示すように、デバイスのパワーアップまたはリセット後、レジスタ書き込みシーケンスに従って ADS93x8V8I を初期化します。量産前のサンプル ユニットには、ステップ 2 からステップ 9 の初期化が必要です。

表 6-9. ADS93x8V8I の初期化の例

手順番号	レジスタ		説明
	SDIN[23:16] = REG_ADDR	SDIN[15:0] = REG_ADDR DATA	
1	0x01	0x0002	ソフトウェア・リセット
	1ms 待ちます		
2	0x02	0x0001	ADS9308V8I の共通レジスタ バンクを選択します
3	0x14	0x0040	サポートされている最小 OSR は 8 です。ユーザーは、8 の倍数 (16、32、64、128) に OSR をプログラムできます。

表 6-9. ADS93x8V8I の初期化の例 (続き)

手順番号	レジスタ		説明
	SDIN[23:16] = REG_ADDR	SDIN[15:0] = REG_ADDR DATA	
4	0x14	0x0041	SYSREF を 1b に設定します
	10μs 待機します		
5	0x14	0x0040	SYSREF を 0b に設定します
6	0x02	0x0002	ADS9308V8I の INA レジスタ バンクを選択します
7	0x3A	0x0400	INA を構成します
8	0x02	0x0001	ADS9308V8I の共通レジスタ バンクを選択します
9	0x11	0x1000	INA を構成します。125kSPS の最大 ODR を得るには、これを 0x1000 に設定します。ODR が 62.5kSPS 以下の場合、このフィールドを 0x4000 にプログラムします。
10 [ユーザー依存]	0x0A	0x003A	ユーザーは、システム要件に基づいてこのレジスタを設定します。0x003A を設定すると、ADC 変換データ サイズが 24b になり、SDOUT ピンで 1 レーン モードのデータ出力が選択されます。

6.6 レジスタ マップ

6.6.1 ADS93x8V8I 共通レジスタ

表 6-10 は、ADS93x8V8I の共通メモリ マップト レジスタを一覧表示します。表 6-10 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 6-10. ADS93x8V8I_Common

アドレス	略称	ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8
		ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
0x01	GEN_CFG1	REG_RD_ADD[7:0]							
		予約済み						SW_RST	REG_RD_EN
0x02	BANK_SEL	予約済み							
		予約済み				BANK_SEL[2:0]			
0x07	DIAG_CTRL	予約済み							RESET_DETECT_FLAG
		予約済み							
0x08	PDN_CTL	予約済み							
		予約済み							DEVICE_PD_N
0x09	GEN_CFG2	予約済み				DAISY_CHN_LOC[3:0]			
		DAISY_CHN_NUM[3:0]				予約済み			DAISY_CHN_EN
0x0A	GEN_CFG3	予約済み			EN_OFS_BINARY	予約済み		EN_XOR_PATT	EN_DIAG_FLAG
		予約済み		DOUT_LANE_SEL[1:0]		DOUT_LENGTH[1:0]		ADC_DATA_SDOUT_EN	予約済み
0x0B	XOR_BITS_CTL	予約済み							
		XOR_MODE[1:0]		NUM_XOR_BITS[1:0]		予約済み			XOR_BIT_SEL
0x0C	DRDY_ALARM_SEL	ALRM_MASK[7:0]							
		予約済み		ALRM_TYPE	ALRM_POL	DRDY_ALARM_SEL[3:0]			
0x0D	GEN_CFG4	予約済み							
		予約済み		ALRM_DIS	予約済み	DIG_DELAY_EN	予約済み	DRIVE_STRENGTH[1:0]	
0x0E	DIG_DELAY_CFG1	予約済み	DIG_DELAY_SDOUT[2:0]			DIG_DELAY_D3[2:0]			DIG_DELAY_D2[2:0]
		DIG_DELAY_D2[2:0]		DIG_DELAY_D1[2:0]			DIG_DELAY_D0[2:0]		
0x0F	DIG_DELAY_CFG2	予約済み				DIG_DELAY_D7[2:0]			DIG_DELAY_D6[2:0]
		DIG_DELAY_D6[2:0]		DIG_DELAY_D5[2:0]			DIG_DELAY_D4[2:0]		
0x10	ANA_CFG1	予約済み							
		予約済み						REFSEL_CTRL_DIS	EXT_REF_EN
0x11	ANA_CFG2	予約済み							
		予約済み	ADC_CH_SEL[2:0]			ADC_NUM_SEL[1:0]		予約済み	
0x14	DIG_FILTER	予約済み							
		BLK_AVG_OSR[3:0]				予約済み			DIG_FILTERSYSREF
0x15	GEN_CFG5	予約済み							
		予約済み				T_MODE_OVERRIDE_EN	T_MODE	予約済み	
0x21	DEVICE_ID	予約済み							
		DEVICE_ID[7:0]							

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 6-11 に、このセクションでアクセス タイプに使用しているコードを示します。

表 6-11. ADS93x8V8I 共通アクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		

表 6-11. ADS93x8V8I 共通アクセス タイプ コード (続
き)

アクセス タイプ	コード	説明
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

6.6.1.1 GEN_CFG1 レジスタ (アドレス = 0x01) [リセット = 0x0000]

概略表に戻ります。

図 6-10. GEN_CFG1 レジスタ

15	14	13	12	11	10	9	8
REG_RD_ADD[7:0]							
R/W-00000000b							
7	6	5	4	3	2	1	0
予約済み						SW_RST	REG_RD_EN
R/W-000000b						R/W-0b	R/W-0b

表 6-12. GEN_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	REG_RD_ADD[7:0]	R/W	00000000b	レジスタ読み取りアドレス
7:2	予約済み	R/W	000000b	予約済み。デフォルトのリセット値から変更しないでください。
1	SW_RST	R/W	0b	このビットに 1b を書き込むと、デバイスはリセットされます。
0	REG_RD_EN	R/W	0b	レジスタ読み取りを有効化

6.6.1.2 BANK_SEL レジスタ (アドレス = 0x02) [リセット = 0x0001]

概略表に戻ります。

図 6-11. BANK_SEL レジスタ

15	14	13	12	11	10	9	8
予約済み							
R/W-00000000000000b							
7	6	5	4	3	2	1	0
予約済み						BANK_SEL[2:0]	
R/W-00000000000000b						R/W-001b	

表 6-13. BANK_SEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:3	予約済み	R/W	00000000000000b	予約済み。デフォルトのリセット値から変更しないでください。
2:0	BANK_SEL[2:0]	R/W	001b	レジスタ バンクの選択。 001b = 共通レジスタ 010b = IS1 ~ IS8 チャネル レジスタ 100b = VS1 ~ VS8 チャネル レジスタ

6.6.1.3 DIAG_CTRL レジスタ (アドレス = 0x07) [リセット = 0x0100]

概略表に戻ります。

図 6-12. DIAG_CTRL レジスタ

15	14	13	12	11	10	9	8
予約済み	予約済み						RESET_DETECT_FLAG
R/W-0b		R/W-000000b					R/W-1b
7	6	5	4	3	2	1	0
予約済み	予約済み	予約済み	予約済み	予約済み	予約済み	予約済み	予約済み
R/W-00b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 6-14. DIAG_CTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R/W	0b	予約済み。デフォルトのリセット値から変更しないでください。
14:9	予約済み	R/W	000000b	予約済み。デフォルトのリセット値から変更しないでください。
8	RESET_DETECT_FLAG	R/W	1b	デバイスのリセットを示します。ユーザーはこのビットを 0b に書き込みます。ADC がリセットされると、このビットは 1b にセットされます。このビットは、SDOUT ステータス ビットで読み取ることができます。
7:6	予約済み	R/W	00b	予約済み。デフォルトのリセット値から変更しないでください。
5	予約済み	R/W	0b	予約済み。デフォルトのリセット値から変更しないでください。
4	予約済み	R/W	0b	予約済み。デフォルトのリセット値から変更しないでください。
3	予約済み	R/W	0b	予約済み。デフォルトのリセット値から変更しないでください。
2	予約済み	R/W	0b	予約済み。デフォルトのリセット値から変更しないでください。
1	予約済み	R/W	0b	予約済み。デフォルトのリセット値から変更しないでください。
0	予約済み	R/W	0b	予約済み。デフォルトのリセット値から変更しないでください。

6.6.1.4 PDN_CTL レジスタ (アドレス = 0x08) [リセット = 0x0000]

概略表に戻ります。

図 6-13. PDN_CTL レジスタ

15	14	13	12	11	10	9	8
予約済み							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
予約済み							DEVICE_PDN
R/W-0000000000000000b							R/W-0b

表 6-15. PDN_CTL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:1	予約済み	R/W	0000000000000000b	予約済み。デフォルトのリセット値から変更しないでください。
0	DEVICE_PDN	R/W	0b	デバイス パワーダウン制御。 0b = 通常動作 1b = デバイスはパワーダウン中

6.6.1.5 GEN_CFG2 レジスタ (アドレス = 0x09) [リセット = 0x0000]

概略表に戻ります。

図 6-14. GEN_CFG2 レジスタ

15	14	13	12	11	10	9	8
予約済み					DAISY_CHN_LOC[3:0]		
R/W-0000b					R/W-0000b		
7	6	5	4	3	2	1	0
DAISY_CHN_NUM[3:0]					予約済み		DAISY_CHN_EN
R/W-0000b					R/W-000b		R/W-0b

表 6-16. GEN_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:12	予約済み	R/W	0000b	予約済み。デフォルトのリセット値から変更しないでください。
11:8	DAISY_CHN_LOC[3:0]	R/W	0000b	デイジー チェーン構成でのデバイスの位置。
7:4	DAISY_CHN_NUM[3:0]	R/W	0000b	デイジー チェーン構成内のデバイスの総数。
3:1	予約済み	R/W	000b	予約済み。デフォルトのリセット値から変更しないでください。
0	DAISY_CHN_EN	R/W	0b	デイジー チェーン構成をイネーブル。 0b = デイジー チェーン構成をディスエーブル 1b = デイジー チェーン構成をイネーブル

6.6.1.6 GEN_CFG3 レジスタ (アドレス = 0x0A) [リセット = 0x0108]

概略表に戻ります。

図 6-15. GEN_CFG3 レジスタ

15	14	13	12	11	10	9	8
予約済み			EN_OFS_BINARY	予約済み		EN_XOR_PATT	EN_DIAG_FLAG
R/W-000b			R/W-0b	R/W-00b		R/W-0b	R/W-1b
7	6	5	4	3	2	1	0
予約済み		DOUT_LANE_SEL[1:0]		DOUT_LENGTH[1:0]		ADC_DATA_SDOUT_EN	予約済み
R/W-00b		R/W-00b		R/W-10b		R/W-0b	R/W-0b

表 6-17. GEN_CFG3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:13	予約済み	R/W	000b	予約済み。デフォルトのリセット値から変更しないでください。
12	EN_OFS_BINARY	R/W	0b	ADC 変換データ出力フォーマットの選択。 0b = 2 の補数 1b = オフセットバイナリ
11:10	予約済み	R/W	00b	予約済み。デフォルトのリセット値から変更しないでください。
9	EN_XOR_PATT	R/W	0b	ADC 変換結果 に対する XOR 処理をイネーブルにします。 0b = XOR 動作を無効化 1b = ADC 変換結果に対するビット単位の XOR 演算がイネーブルになります
8	EN_DIAG_FLAG	R/W	1b	ADC 変換データ出力後にステータス ビットを有効化。
7:6	予約済み	R/W	00b	予約済み。デフォルトのリセット値から変更しないでください。
5:4	DOUT_LANE_SEL[1:0]	R/W	00b	データ レーンの選択。 00b = 8 レーン 01b = 4 レーン 10b = 2 レーン 11b = 1 レーン
3:2	DOUT_LENGTH[1:0]	R/W	10b	ADC データ サイズ選択。 00b = 16 ビット 01b = 予約済み 10b = 24 ビット
1	ADC_DATA_SDOUT_EN	R/W	0b	シングル レーン モードでは、SDOUT ピンでの ADC データ出力がイネーブルになります。 0b = ADC データを D7 に出力 1b = SDOUT ピンに ADC データを出力
0	予約済み	R/W	0b	予約済み。デフォルトのリセット値から変更しないでください。

6.6.1.7 XOR_BITS_CTL レジスタ (アドレス = 0x0B) [リセット = 0x0000]

概略表に戻ります。

図 6-16. XOR_BITS_CTL レジスタ

15	14	13	12	11	10	9	8
予約済み							
R/W-00000000b							
7	6	5	4	3	2	1	0
XOR_MODE[1:0]		NUM_XOR_BITS[1:0]			予約済み		XOR_BIT_SEL

図 6-16. XOR_BITS_CTL レジスタ (続き)

R/W-00b	R/W-00b	R/W-000b	R/W-0b
---------	---------	----------	--------

表 6-18. XOR_BITS_CTL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	予約済み	R/W	00000000b	予約済み。デフォルトのリセット値から変更しないでください。
7:6	XOR_MODE[1:0]	R/W	00b	XOR_MODE を 3 に設定します。
5:4	NUM_XOR_BITS[1:0]	R/W	00b	ADC 出力ランダム化用の XOR ビット数を選択します。このビットフィールドを 3 に設定します。
3:1	予約済み	R/W	000b	予約済み。デフォルトのリセット値から変更しないでください。
0	XOR_BIT_SEL	R/W	0b	PRBS ビットの場合、このビットを 1b に設定します。 0b = PRBS

6.6.1.8 DRDY_ALARM_SEL レジスタ (アドレス = 0x0C) [リセット = 0x0000]

概略表に戻ります。

図 6-17. DRDY_ALARM_SEL レジスタ

15	14	13	12	11	10	9	8
ALRM_MASK[7:0]							
R/W-00000000b							
7	6	5	4	3	2	1	0
予約済み	ALRM_TYPE		ALRM_POL	DRDY_ALARM_SEL[3:0]			
R/W-00b	R/W-0b		R/W-0b	R/W-0000b			

表 6-19. DRDY_ALARM_SEL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	ALRM_MASK[7:0]	R/W	00000000b	アラーム マスクの選択。各ビットは、各アラームの OR 出力が ALARM ピンで選択されている場合に、それぞれのアラーム モードに対するマスクを制御します。
7:6	予約済み	R/W	00b	予約済み。デフォルトのリセット値から変更しないでください。
5	ALRM_TYPE	R/W	0b	アラーム タイプの選択。DWC にのみ適用されます。 0b = レベル ベース 1b = ハルス ベース
4	ALRM_POL	R/W	0b	DRDY/ アラーム極性の選択。 0b = アクティブ High 1b = アクティブ Low
3:0	DRDY_ALARM_SEL[3:0]	R/W	0000b	DRDY/ アラームの選択。 0000b = ADC データ準備完了フラグ (DRDY) 0001b = DWC 出力 0010b = 予約済み 0011b = 予約済み 0100b = 予約済み 0101b = 予約済み 0110b = 予約済み 0111b = 予約済み 1000b = OR を行う前に個別マスクを適用した上で、上記すべてのフラグを OR した結果を示します

6.6.1.9 GEN_CFG4 レジスタ (アドレス = 0x0D) [リセット = 0x0000]

概略表に戻ります。

図 6-18. GEN_CFG4 レジスタ

15	14	13	12	11	10	9	8
予約済み							
R/W-0000000000b							
7	6	5	4	3	2	1	0
予約済み	ALRM_DIS		予約済み	DIG_DELAY_EN	予約済み	DRIVE_STRENGTH[1:0]	
R/W-0000000000b	R/W-0b		R/W-0b	R/W-0b	R/W-0b	R/W-00b	

表 6-20. GEN_CFG4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:6	予約済み	R/W	0000000000b	予約済み。デフォルトのリセット値から変更しないでください。
5	ALRM_DIS	R/W	0b	アラーム機能無効。 0b = イネーブル 1b = ディセーブル
4	予約済み	R/W	0b	予約済み。デフォルトのリセット値から変更しないでください。
3	DIG_DELAY_EN	R/W	0b	出力バッファバスでのデジタル遅延の制御。0b = 通常のデバイス動作。1b = 出力バッファバスのデジタル遅延がイネーブルになります。この大きさは DIG_DELAY_CFG1 と DIG_DELAY_CFG2 で制御されます。
2	予約済み	R/W	0b	予約済み。デフォルトのリセット値から変更しないでください。
1:0	DRIVE_STRENGTH[1:0]	R/W	00b	デジタル出力バッファの駆動能力を構成するための制御機能。 00b = 通常動作 01b = 0.5 x 駆動強度 10b = 2 x 駆動強度 11b = 1.5 x 駆動強度

6.6.1.10 DIG_DELAY_CFG1 レジスタ (アドレス = 0x0E) [リセット = 0x0000]

概略表に戻ります。

図 6-19. DIG_DELAY_CFG1 レジスタ

15	14	13	12	11	10	9	8
予約済み	DIG_DELAY_SDOUT[2:0]				DIG_DELAY_D3[2:0]		DIG_DELAY_D2[2:0]
R/W-0b	R/W-000b				R/W-000b		R/W-000b
7	6	5	4	3	2	1	0
DIG_DELAY_D2[2:0]		DIG_DELAY_D1[2:0]			DIG_DELAY_D0[2:0]		
R/W-000b		R/W-000b			R/W-000b		

表 6-21. DIG_DELAY_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R/W	0b	予約済み。デフォルトのリセット値から変更しないでください。
14:12	DIG_DELAY_SDOUT[2:0]	R/W	000b	SDOUT 上のプログラム可能なデジタル遅延。 000b = 0ns 遅延 001b = 1ns 遅延 010b = 2ns 遅延 011b = 3ns 遅延 100b = 4ns 遅延 101b = 5ns 遅延
11:9	DIG_DELAY_D3[2:0]	R/W	000b	D3 上のプログラム可能なデジタル遅延。 000b = 0ns 遅延 001b = 1ns 遅延 010b = 2ns 遅延 011b = 3ns 遅延 100b = 4ns 遅延 101b = 5ns 遅延
8:6	DIG_DELAY_D2[2:0]	R/W	000b	D2 上のプログラム可能なデジタル遅延。 000b = 0ns 遅延 001b = 1ns 遅延 010b = 2ns 遅延 011b = 3ns 遅延 100b = 4ns 遅延 101b = 5ns 遅延
5:3	DIG_DELAY_D1[2:0]	R/W	000b	D1 上のプログラム可能なデジタル遅延。 000b = 0ns 遅延 001b = 1ns 遅延 010b = 2ns 遅延 011b = 3ns 遅延 100b = 4ns 遅延 101b = 5ns 遅延

表 6-21. DIG_DELAY_CFG1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2:0	DIG_DELAY_D0[2:0]	R/W	000b	D0 上のプログラム可能なデジタル遅延。 000b = 0ns 遅延 001b = 1ns 遅延 010b = 2ns 遅延 011b = 3ns 遅延 100b = 4ns 遅延 101b = 5ns 遅延

6.6.1.11 DIG_DELAY_CFG2 レジスタ (アドレス = 0x0F) [リセット = 0x0000]

概略表に戻ります。

図 6-20. DIG_DELAY_CFG2 レジスタ

15	14	13	12	11	10	9	8
予約済み				DIG_DELAY_D7[2:0]			DIG_DELAY_D6[2:0]
R/W-0000b				R/W-000b			R/W-000b
7	6	5	4	3	2	1	0
DIG_DELAY_D6[2:0]		DIG_DELAY_D5[2:0]			DIG_DELAY_D4[2:0]		
R/W-000b		R/W-000b			R/W-000b		

表 6-22. DIG_DELAY_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:12	予約済み	R/W	0000b	予約済み。デフォルトのリセット値から変更しないでください。
11:9	DIG_DELAY_D7[2:0]	R/W	000b	D7 上のプログラム可能なデジタル遅延。 000b = 0ns 遅延 001b = 1ns 遅延 010b = 2ns 遅延 011b = 3ns 遅延 100b = 4ns 遅延 101b = 5ns 遅延
8:6	DIG_DELAY_D6[2:0]	R/W	000b	D6 上のプログラム可能なデジタル遅延。 000b = 0ns 遅延 001b = 1ns 遅延 010b = 2ns 遅延 011b = 3ns 遅延 100b = 4ns 遅延 101b = 5ns 遅延
5:3	DIG_DELAY_D5[2:0]	R/W	000b	D5 上のプログラム可能なデジタル遅延。 000b = 0ns 遅延 001b = 1ns 遅延 010b = 2ns 遅延 011b = 3ns 遅延 100b = 4ns 遅延 101b = 5ns 遅延
2:0	DIG_DELAY_D4[2:0]	R/W	000b	D4 上のプログラム可能なデジタル遅延。 000b = 0ns 遅延 001b = 1ns 遅延 010b = 2ns 遅延 011b = 3ns 遅延 100b = 4ns 遅延 101b = 5ns 遅延

6.6.1.12 ANA_CFG1 レジスタ (アドレス = 0x10) [リセット = 0x0000]

概略表に戻ります。

図 6-21. ANA_CFG1 レジスタ

15	14	13	12	11	10	9	8
予約済み							
R/W-000000000000000b							
7	6	5	4	3	2	1	0
予約済み						REFSEL_CTRL_DIS	EXT_REF_EN

図 6-21. ANA_CFG1 レジスタ (続き)

R/W-00000000000000b	R/W-0b	R/W-0b
---------------------	--------	--------

表 6-23. ANA_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:2	予約済み	R/W	00000000000000b	予約済み。デフォルトのリセット値から変更しないでください。
1	REFSEL_CTRL_DIS	R/W	0b	REFSEL ビン制御のディセーブル。 0b = イネーブル 1b = ディセーブル
0	EXT_REF_EN	R/W	0b	ADC リファレンスの選択。 0b = 内部リファレンス 1b = 外部リファレンス

6.6.1.13 ANA_CFG2 レジスタ (アドレス = 0x11) [リセット = 0x0000]

概略表に戻ります。

図 6-22. ANA_CFG2 レジスタ

15	14	13	12	11	10	9	8
予約済み	予約済み						
R/W-0b	R/W-00000000b						
7	6	5	4	3	2	1	0
予約済み	ADC_CH_SEL[2:0]			ADC_NUM_SEL[1:0]		予約済み	
R/W-00000000b	R/W-000b			R/W-00b		R/W-00b	

表 6-24. ANA_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R/W	0b	予約済み。デフォルトのリセット値から変更しないでください。
14:7	予約済み	R/W	00000000b	予約済み。デフォルトのリセット値から変更しないでください。
6:4	ADC_CH_SEL[2:0]	R/W	000b	ADC_NUM_SEL に対応する ADC チャンネルを選択します。これらの設定は、ADC_NUM_SEL が 00'b でない場合に動作します。
3:2	ADC_NUM_SEL[1:0]	R/W	00b	変換を実行する ADC の数を選択します。ADC_NUM_SEL が 00'b の場合、ADC_CH_SEL は気にする必要がありません。 00b = 16 チャンネル (デフォルト) 01b = 8 チャンネル 10b = 4 チャンネル 11b = 2 チャンネル
1:0	予約済み	R/W	00b	予約済み。デフォルトのリセット値から変更しないでください。

6.6.1.14 DIG_FILTER レジスタ (アドレス = 0x14) [リセット = 0x0000]

概略表に戻ります。

図 6-23. DIG_FILTER レジスタ

15	14	13	12	11	10	9	8
予約済み							
R/W-00000000b							
7	6	5	4	3	2	1	0
BLK_AVG_OSQ[3:0]				予約済み		DIG_FILTER_SYSREF	
R/W-0000b				R/W-000b		R/W-0b	

表 6-25. DIG_FILTER レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	予約済み	R/W	00000000b	予約済み。デフォルトのリセット値から変更しないでください。

表 6-25. DIG_FILTER レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
7:4	BLK_AVG_OSR[3:0]	R/W	0000b	ブロック平均フィルタのオーバーサンプリング レート (OSR) 構成。サポートされている最小 OSR は 8 です。 0000b = 予約済み 0001b = 予約済み 0010b = 予約済み 0011b = 予約済み 0100b - 8 サイクルの平均 0101b = 予約済み 0110b - 12 サイクルの平均 0111b - 16 サイクルの平均 1000b = 予約済み 1001b - 32 サイクルの平均 1010b - 64 サイクルの平均 1011b - 128 サイクルの平均
3:1	予約済み	R/W	000b	予約済み。デフォルトのリセット値から変更しないでください。
0	DIG_FILT_SYSREF	R/W	0b	このビットに 1b を書き込むと、CONVST の立ち下がりがエッジで平均フィルタがリセットされます。

6.6.1.15 GEN_CFG5 レジスタ (アドレス = 0x15) [リセット = 0x0000]

概略表に戻ります。

図 6-24. GEN_CFG5 レジスタ

15	14	13	12	11	10	9	8
予約済み							
R/W-0000000000000b							
7	6	5	4	3	2	1	0
予約済み				T_MODE_OVR_EN	T_MODE	予約済み	予約済み
R/W-0000000000000b				R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 6-26. GEN_CFG5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:4	予約済み	R/W	0000000000000b	予約済み。デフォルトのリセット値から変更しないでください。
3	T_MODE_OVR_EN	R/W	0b	このビットは、T_MODE (切り捨てモード機能) をイネーブルにします。T_MODE フィールドを構成する前に、このビットを 1b に設定します。
2	T_MODE	R/W	0b	このビットにより、本デバイスのテスト パターンを使用する場合に、ADC 出力を 16b に切り詰められます。
1	予約済み	R/W	0b	予約済み。デフォルトのリセット値から変更しないでください。
0	予約済み	R/W	0b	予約済み。デフォルトのリセット値から変更しないでください。

6.6.1.16 DEVICE_ID レジスタ (アドレス = 0x21) [リセット = 0x0085]

概略表に戻ります。

図 6-25. DEVICE_ID レジスタ

15	14	13	12	11	10	9	8
予約済み							
R-000000000b							
7	6	5	4	3	2	1	0
DEVICE_ID[7:0]							
R-10000101b							

表 6-27. DEVICE_ID レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	予約済み	R	00000000b	予約済み。デフォルトのリセット値から変更しないでください。
7:0	DEVICE_ID[7:0]	R	10000101b	デバイス ID。

6.6.2 IS1 ~ IS8 チャンネル レジスタ

表 6-28 は、IS1 - IS8 のメモリ マップト レジスタを一覧表示します。表 6-28 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 6-28. IS1 - IS8 チャンネル

アドレス	略称	ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8
		ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
0x08	PGA_CONFIG_IS1_2	予約済み					INPUT_RANGE_IS2[2:0]		
		予約済み					INPUT_RANGE_IS1[2:0]		
0x09	PGA_CONFIG_IS3_4	予約済み					INPUT_RANGE_IS4[2:0]		
		予約済み					INPUT_RANGE_IS3[2:0]		
0x0A	PGA_CONFIG_IS5_6	予約済み					INPUT_RANGE_IS6[2:0]		
		予約済み					INPUT_RANGE_IS5[2:0]		
0x0B	PGA_CONFIG_IS7_8	予約済み					INPUT_RANGE_IS8[2:0]		
		予約済み					INPUT_RANGE_IS7[2:0]		
0x11	OFS_IS1	予約済み						OFS_IS1[9:0]	
		OFS_IS1[9:0]							
0x12	OFS_IS2	予約済み						OFS_IS2[9:0]	
		OFS_IS2[9:0]							
0x13	OFS_IS3	予約済み						OFS_IS3[9:0]	
		OFS_IS3[9:0]							
0x14	OFS_IS4	予約済み						OFS_IS4[9:0]	
		OFS_IS4[9:0]							
0x15	OFS_IS5	予約済み						OFS_IS5[9:0]	
		OFS_IS5[9:0]							
0x16	OFS_IS6	予約済み						OFS_IS6[9:0]	
		OFS_IS6[9:0]							
0x17	OFS_IS7	予約済み						OFS_IS7[9:0]	
		OFS_IS7[9:0]							
0x18	OFS_IS8	予約済み						OFS_IS8[9:0]	
		OFS_IS8[9:0]							
0x19	GAN_IS1	予約済み		GAN_IS1[13:0]					
		GAN_IS1[13:0]							
0x1A	GAN_IS2	予約済み		GAN_IS2[13:0]					
		GAN_IS2[13:0]							
0x1B	GAN_IS3	予約済み		GAN_IS3[13:0]					
		GAN_IS3[13:0]							
0x1C	GAN_IS4	予約済み		GAN_IS4[13:0]					
		GAN_IS4[13:0]							
0x1D	GAN_IS5	予約済み		GAN_IS5[13:0]					
		GAN_IS5[13:0]							
0x1E	GAN_IS6	予約済み		GAN_IS6[13:0]					
		GAN_IS6[13:0]							
0x1F	GAN_IS7	予約済み		GAN_IS7[13:0]					
		GAN_IS7[13:0]							
0x20	GAN_IS8	予約済み		GAN_IS8[13:0]					
		GAN_IS8[13:0]							
0x21	DWC_CFG	DWC_STAT_RST	予約済み				DWC_GLITCH_FILT[3:0]		
		DWC_EN_IS8	DWC_EN_IS7	DWC_EN_IS6	DWC_EN_IS5	DWC_EN_IS4	DWC_EN_IS3	DWC_EN_IS2	DWC_EN_IS1
0x22	DWC_TH_IS1	HIGH_TH_IS1[7:0]							
		LOW_TH_IS1[7:0]							
0x23	DWC_TH_IS2	HIGH_TH_IS2[7:0]							
		LOW_TH_IS2[7:0]							

表 6-28. IS1 - IS8 チャンネル (続き)

アドレス	略称	ビット 15		ビット 14		ビット 13		ビット 12		ビット 11		ビット 10		ビット 9		ビット 8	
		ビット 7		ビット 6		ビット 5		ビット 4		ビット 3		ビット 2		ビット 1		ビット 0	
0x24	DWC_TH_IS3	HIGH_TH_IS3[7:0]															
		LOW_TH_IS3[7:0]															
0x25	DWC_TH_IS4	HIGH_TH_IS4[7:0]															
		LOW_TH_IS4[7:0]															
0x26	DWC_TH_IS5	HIGH_TH_IS5[7:0]															
		LOW_TH_IS5[7:0]															
0x27	DWC_TH_IS6	HIGH_TH_IS6[7:0]															
		LOW_TH_IS6[7:0]															
0x28	DWC_TH_IS7	HIGH_TH_IS7[7:0]															
		LOW_TH_IS7[7:0]															
0x29	DWC_TH_IS8	HIGH_TH_IS8[7:0]															
		LOW_TH_IS8[7:0]															
0x2A	DWC_HYS_IS1_2	HYS_IS2[7:0]															
		HYS_IS1[7:0]															
0x2B	DWC_HYS_IS3_4	HYS_IS4[7:0]															
		HYS_IS3[7:0]															
0x2C	DWC_HYS_IS5_6	HYS_IS6[7:0]															
		HYS_IS5[7:0]															
0x2D	DWC_HYS_IS7_8	HYS_IS8[7:0]															
		HYS_IS7[7:0]															
0x2E	TP_CFG	予約済み															
		予約済み	TP_MODE[2:0]						予約済み		TP_DIS_IDX		TP_UP_DN_EN		TP_EN		
0x2F	TP_IS1	TP_IS1[15:0]															
		TP_IS1[15:0]															
0x30	TP_IS2	TP_IS2[15:0]															
		TP_IS2[15:0]															
0x31	TP_IS3	TP_IS3[15:0]															
		TP_IS3[15:0]															
0x32	TP_IS4	TP_IS4[15:0]															
		TP_IS4[15:0]															
0x33	TP_IS5	TP_IS5[15:0]															
		TP_IS5[15:0]															
0x34	TP_IS6	TP_IS6[15:0]															
		TP_IS6[15:0]															
0x35	TP_IS7	TP_IS7[15:0]															
		TP_IS7[15:0]															
0x36	TP_IS8	TP_IS8[15:0]															
		TP_IS8[15:0]															
0x37	GEN_CFG1	予約済み															
		予約済み												OFS_CORR_EN		GAN_CORR_EN	
0x3E	DWC_FLAG_IS1_8	HIGH_FLAG_IS8	HIGH_FLAG_IS7	HIGH_FLAG_IS6	HIGH_FLAG_IS5	HIGH_FLAG_IS4	HIGH_FLAG_IS3	HIGH_FLAG_IS2	HIGH_FLAG_IS1								
		LOW_FLAG_IS8	LOW_FLAG_IS7	LOW_FLAG_IS6	LOW_FLAG_IS5	LOW_FLAG_IS4	LOW_FLAG_IS3	LOW_FLAG_IS2	LOW_FLAG_IS1								

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 6-29 に、このセクションでアクセス タイプに使用しているコードを示します。

表 6-29. IS1～IS8 チャンネル アクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し

表 6-29. IS1～IS8 チャンネル アクセス タイプ コード (続
き)

アクセス タイプ	コード	説明
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

6.6.2.1 PGA_CONFIG_IS1_2 レジスタ (アドレス = 0x08) [リセット = 0x0000]

概略表に戻ります。

図 6-26. PGA_CONFIG_IS1_2 レジスタ

15	14	13	12	11	10	9	8
予約済み						INPUT_RANGE_IS2[2:0]	
R/W-00000b						R/W-000b	
7	6	5	4	3	2	1	0
予約済み						INPUT_RANGE_IS1[2:0]	
R/W-00000b						R/W-000b	

表 6-30. PGA_CONFIG_IS1_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:11	予約済み	R/W	00000b	予約済み。デフォルトのリセット値から変更しないでください。
10:8	INPUT_RANGE_IS2[2:0]	R/W	000b	IS2 アナログ入力範囲の選択。 000b = ±25mV 001b = ±50mV 010b = ±100mV 011b = ±150mV 100b = ±200mV
7:3	予約済み	R/W	00000b	予約済み。デフォルトのリセット値から変更しないでください。
2:0	INPUT_RANGE_IS1[2:0]	R/W	000b	IS1 アナログ入力範囲の選択。 000b = ±25mV 001b = ±50mV 010b = ±100mV 011b = ±150mV 100b = ±200mV

6.6.2.2 PGA_CONFIG_IS3_4 レジスタ (アドレス = 0x09) [リセット = 0x0000]

概略表に戻ります。

図 6-27. PGA_CONFIG_IS3_4 レジスタ

15	14	13	12	11	10	9	8
予約済み						INPUT_RANGE_IS4[2:0]	
R/W-00000b						R/W-000b	
7	6	5	4	3	2	1	0
予約済み						INPUT_RANGE_IS3[2:0]	
R/W-00000b						R/W-000b	

表 6-31. PGA_CONFIG_IS3_4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:11	予約済み	R/W	00000b	予約済み。デフォルトのリセット値から変更しないでください。
10:8	INPUT_RANGE_IS4[2:0]	R/W	000b	IS4 アナログ入力範囲の選択。 000b = ±25mV 001b = ±50mV 010b = ±100mV 011b = ±150mV 100b = ±200mV

表 6-31. PGA_CONFIG_IS3_4 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
7:3	予約済み	R/W	00000b	予約済み。デフォルトのリセット値から変更しないでください。
2:0	INPUT_RANGE_IS3[2:0]	R/W	000b	IS3 アナログ入力範囲の選択。 000b = $\pm 25\text{mV}$ 001b = $\pm 50\text{mV}$ 010b = $\pm 100\text{mV}$ 011b = $\pm 150\text{mV}$ 100b = $\pm 200\text{mV}$

6.6.2.3 PGA_CONFIG_IS5_6 レジスタ (アドレス = 0x0A) [リセット = 0x0000]

概略表に戻ります。

図 6-28. PGA_CONFIG_IS5_6 レジスタ

15	14	13	12	11	10	9	8
予約済み						INPUT_RANGE_IS6[2:0]	
R/W-00000b						R/W-000b	
7	6	5	4	3	2	1	0
予約済み						INPUT_RANGE_IS5[2:0]	
R/W-00000b						R/W-000b	

表 6-32. PGA_CONFIG_IS5_6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:11	予約済み	R/W	00000b	予約済み。デフォルトのリセット値から変更しないでください。
10:8	INPUT_RANGE_IS6[2:0]	R/W	000b	IS6 アナログ入力範囲の選択。 000b = $\pm 25\text{mV}$ 001b = $\pm 50\text{mV}$ 010b = $\pm 100\text{mV}$ 011b = $\pm 150\text{mV}$ 100b = $\pm 200\text{mV}$
7:3	予約済み	R/W	00000b	予約済み。デフォルトのリセット値から変更しないでください。
2:0	INPUT_RANGE_IS5[2:0]	R/W	000b	IS5 アナログ入力範囲の選択。 000b = $\pm 25\text{mV}$ 001b = $\pm 50\text{mV}$ 010b = $\pm 100\text{mV}$ 011b = $\pm 150\text{mV}$ 100b = $\pm 200\text{mV}$

6.6.2.4 PGA_CONFIG_IS7_8 レジスタ (アドレス = 0x0B) [リセット = 0x0000]

概略表に戻ります。

図 6-29. PGA_CONFIG_IS7_8 レジスタ

15	14	13	12	11	10	9	8
予約済み						INPUT_RANGE_IS8[2:0]	
R/W-00000b						R/W-000b	
7	6	5	4	3	2	1	0
予約済み						INPUT_RANGE_IS7[2:0]	
R/W-00000b						R/W-000b	

表 6-33. PGA_CONFIG_IS7_8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:11	予約済み	R/W	00000b	予約済み。デフォルトのリセット値から変更しないでください。
10:8	INPUT_RANGE_IS8[2:0]	R/W	000b	IS8 アナログ入力範囲の選択。 000b = $\pm 25\text{mV}$ 001b = $\pm 50\text{mV}$ 010b = $\pm 100\text{mV}$ 011b = $\pm 150\text{mV}$ 100b = $\pm 200\text{mV}$
7:3	予約済み	R/W	00000b	予約済み。デフォルトのリセット値から変更しないでください。

表 6-33. PGA_CONFIG_IS7_8 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2:0	INPUT_RANGE_IS7[2:0]	R/W	000b	IS7 アナログ入力範囲の選択。 000b = ±25mV 001b = ±50mV 010b = ±100mV 011b = ±150mV 100b = ±200mV

6.6.2.5 OFS_IS1 レジスタ (アドレス = 0x11) [リセット = 0x0000]

[概略表](#)に戻ります。

図 6-30. OFS_IS1 レジスタ

15	14	13	12	11	10	9	8
予約済み						OFS_IS1[9:0]	
R/W-000000b						R/W-0000000000b	
7	6	5	4	3	2	1	0
OFS_IS1[9:0]							
R/W-0000000000b							

表 6-34. OFS_IS1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:10	予約済み	R/W	000000b	予約済み。デフォルトのリセット値から変更しないでください。
9:0	OFS_IS1[9:0]	R/W	0000000000b	IS1 のオフセット補正レジスタ。 オフセット値は 2 の補数形式で表され、変換結果に加算されます。オフセット演算は、ゲイン演算よりも先に行われます。

6.6.2.6 OFS_IS2 レジスタ (アドレス = 0x12) [リセット = 0x0000]

[概略表](#)に戻ります。

図 6-31. OFS_IS2 レジスタ

15	14	13	12	11	10	9	8
予約済み						OFS_IS2[9:0]	
R/W-000000b						R/W-0000000000b	
7	6	5	4	3	2	1	0
OFS_IS2[9:0]							
R/W-0000000000b							

表 6-35. OFS_IS2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:10	予約済み	R/W	000000b	予約済み。デフォルトのリセット値から変更しないでください。
9:0	OFS_IS2[9:0]	R/W	0000000000b	IS2 のオフセット補正レジスタ。 オフセット値は 2 の補数形式で表され、変換結果に加算されます。オフセット演算は、ゲイン演算よりも先に行われます。

6.6.2.7 OFS_IS3 レジスタ (アドレス = 0x13) [リセット = 0x0000]

[概略表](#)に戻ります。

図 6-32. OFS_IS3 レジスタ

15	14	13	12	11	10	9	8
予約済み						OFS_IS3[9:0]	
R/W-000000b						R/W-0000000000b	
7	6	5	4	3	2	1	0

図 6-32. OFS_IS3 レジスタ (続き)

OFS_IS3[9:0]
R/W-0000000000b

表 6-36. OFS_IS3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:10	予約済み	R/W	000000b	予約済み。デフォルトのリセット値から変更しないでください。
9:0	OFS_IS3[9:0]	R/W	0000000000b	IS3 のオフセット補正レジスタ。オフセット値は 2 の補数形式で表され、変換結果に加算されます。オフセット演算は、ゲイン演算よりも先に行われます。

6.6.2.8 OFS_IS4 レジスタ (アドレス = 0x14) [リセット = 0x0000]

概略表に戻ります。

図 6-33. OFS_IS4 レジスタ

15	14	13	12	11	10	9	8
予約済み						OFS_IS4[9:0]	
R/W-000000b						R/W-0000000000b	
7	6	5	4	3	2	1	0
OFS_IS4[9:0]							
R/W-0000000000b							

表 6-37. OFS_IS4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:10	予約済み	R/W	000000b	予約済み。デフォルトのリセット値から変更しないでください。
9:0	OFS_IS4[9:0]	R/W	0000000000b	IS4 のオフセット補正レジスタ。オフセット値は 2 の補数形式で表され、変換結果に加算されます。オフセット演算は、ゲイン演算よりも先に行われます。

6.6.2.9 OFS_IS5 レジスタ (アドレス = 0x15) [リセット = 0x0000]

概略表に戻ります。

図 6-34. OFS_IS5 レジスタ

15	14	13	12	11	10	9	8
予約済み						OFS_IS5[9:0]	
R/W-000000b						R/W-0000000000b	
7	6	5	4	3	2	1	0
OFS_IS5[9:0]							
R/W-0000000000b							

表 6-38. OFS_IS5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:10	予約済み	R/W	000000b	予約済み。デフォルトのリセット値から変更しないでください。
9:0	OFS_IS5[9:0]	R/W	0000000000b	IS5 のオフセット補正レジスタ。オフセット値は 2 の補数形式で表され、変換結果に加算されます。オフセット演算は、ゲイン演算よりも先に行われます。

6.6.2.10 OFS_IS6 レジスタ (アドレス = 0x16) [リセット = 0x0000]

概略表に戻ります。

図 6-35. OFS_IS6 レジスタ

15	14	13	12	11	10	9	8
----	----	----	----	----	----	---	---

図 6-35. OFS_IS6 レジスタ (続き)

予約済み							OFS_IS6[9:0]
R/W-000000b							R/W-0000000000b
7	6	5	4	3	2	1	0
OFS_IS6[9:0]							
R/W-0000000000b							

表 6-39. OFS_IS6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:10	予約済み	R/W	000000b	予約済み。デフォルトのリセット値から変更しないでください。
9:0	OFS_IS6[9:0]	R/W	0000000000b	IS6 のオフセット補正レジスタ。 オフセット値は 2 の補数形式で表され、変換結果に加算されます。オフセット演算は、ゲイン演算よりも先に行われます。

6.6.2.11 OFS_IS7 レジスタ (アドレス = 0x17) [リセット = 0x0000]

[概略表](#)に戻ります。

図 6-36. OFS_IS7 レジスタ

15	14	13	12	11	10	9	8
予約済み							OFS_IS7[9:0]
R/W-000000b							R/W-0000000000b
7	6	5	4	3	2	1	0
OFS_IS7[9:0]							
R/W-0000000000b							

表 6-40. OFS_IS7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:10	予約済み	R/W	000000b	予約済み。デフォルトのリセット値から変更しないでください。
9:0	OFS_IS7[9:0]	R/W	0000000000b	IS7 のオフセット補正レジスタ。 オフセット値は 2 の補数形式で表され、変換結果に加算されます。オフセット演算は、ゲイン演算よりも先に行われます。

6.6.2.12 OFS_IS8 レジスタ (アドレス = 0x18) [リセット = 0x0000]

[概略表](#)に戻ります。

図 6-37. OFS_IS8 レジスタ

15	14	13	12	11	10	9	8
予約済み							OFS_IS8[9:0]
R/W-000000b							R/W-0000000000b
7	6	5	4	3	2	1	0
OFS_IS8[9:0]							
R/W-0000000000b							

表 6-41. OFS_IS8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:10	予約済み	R/W	000000b	予約済み。デフォルトのリセット値から変更しないでください。
9:0	OFS_IS8[9:0]	R/W	0000000000b	IS8 のオフセット補正レジスタ。 オフセット値は 2 の補数形式で表され、変換結果に加算されます。オフセット演算は、ゲイン演算よりも先に行われます。

6.6.2.13 GAN_IS1 レジスタ (アドレス = 0x19) [リセット = 0x0000]

[概略表](#)に戻ります。

図 6-38. GAN_IS1 レジスタ

15	14	13	12	11	10	9	8
GAN_IS1[13:0]							
R/W-00b							
7	6	5	4	3	2	1	0
GAN_IS1[13:0]							
R/W-000000000000000b							

表 6-42. GAN_IS1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:14	予約済み	R/W	00b	予約済み。デフォルトのリセット値から変更しないでください。
13:0	GAN_IS1[13:0]	R/W	000000000000000b	IS1 のゲイン補正レジスタ。 ゲイン補正値は 2 の補数表現で、オフセット動作の後に行われます。ゲイン動作中、変換データには $(1 + \text{GAN_ISn}[13:0] / 10000h)$ が掛けられます。

6.6.2.14 GAN_IS2 レジスタ (アドレス = 0x1A) [リセット = 0x0000]

[概略表](#)に戻ります。

図 6-39. GAN_IS2 レジスタ

15	14	13	12	11	10	9	8
GAN_IS2[13:0]							
R/W-00b							
7	6	5	4	3	2	1	0
GAN_IS2[13:0]							
R/W-000000000000000b							

表 6-43. GAN_IS2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:14	予約済み	R/W	00b	予約済み。デフォルトのリセット値から変更しないでください。
13:0	GAN_IS2[13:0]	R/W	000000000000000b	IS2 のゲイン補正レジスタ。 ゲイン補正値は 2 の補数表現で、オフセット動作の後に行われます。ゲイン動作中、変換データには $(1 + \text{GAN_ISn}[13:0] / 10000h)$ が掛けられます。

6.6.2.15 GAN_IS3 レジスタ (アドレス = 0x1B) [リセット = 0x0000]

[概略表](#)に戻ります。

図 6-40. GAN_IS3 レジスタ

15	14	13	12	11	10	9	8
GAN_IS3[13:0]							
R/W-00b							
7	6	5	4	3	2	1	0
GAN_IS3[13:0]							
R/W-000000000000000b							

表 6-44. GAN_IS3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:14	予約済み	R/W	00b	予約済み。デフォルトのリセット値から変更しないでください。

表 6-44. GAN_IS3 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
13:0	GAN_IS3[13:0]	R/W	00000000000000b	IS3 のゲイン補正レジスタ。 ゲイン補正値は 2 の補数表現で、オフセット動作の後に行われます。ゲイン動作中、変換データには $(1 + \text{GAN_ISn}[13:0] / 10000h)$ が掛けられます。

6.6.2.16 GAN_IS4 レジスタ (アドレス = 0x1C) [リセット = 0x0000]

概略表に戻ります。

図 6-41. GAN_IS4 レジスタ

15	14	13	12	11	10	9	8
予約済み			GAN_IS4[13:0]				
R/W-00b			R/W-00000000000000b				
7	6	5	4	3	2	1	0
GAN_IS4[13:0]							
R/W-00000000000000b							

表 6-45. GAN_IS4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:14	予約済み	R/W	00b	予約済み。デフォルトのリセット値から変更しないでください。
13:0	GAN_IS4[13:0]	R/W	00000000000000b	IS4 のゲイン補正レジスタ。 ゲイン補正値は 2 の補数表現で、オフセット動作の後に行われます。ゲイン動作中、変換データには $(1 + \text{GAN_ISn}[13:0] / 10000h)$ が掛けられます。

6.6.2.17 GAN_IS5 レジスタ (アドレス = 0x1D) [リセット = 0x0000]

概略表に戻ります。

図 6-42. GAN_IS5 レジスタ

15	14	13	12	11	10	9	8
予約済み			GAN_IS5[13:0]				
R/W-00b			R/W-00000000000000b				
7	6	5	4	3	2	1	0
GAN_IS5[13:0]							
R/W-00000000000000b							

表 6-46. GAN_IS5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:14	予約済み	R/W	00b	予約済み。デフォルトのリセット値から変更しないでください。
13:0	GAN_IS5[13:0]	R/W	00000000000000b	IS5 のゲイン補正レジスタ。 ゲイン補正値は 2 の補数表現で、オフセット動作の後に行われます。ゲイン動作中、変換データには $(1 + \text{GAN_ISn}[13:0] / 10000h)$ が掛けられます。

6.6.2.18 GAN_IS6 レジスタ (アドレス = 0x1E) [リセット = 0x0000]

概略表に戻ります。

図 6-43. GAN_IS6 レジスタ

15	14	13	12	11	10	9	8
予約済み			GAN_IS6[13:0]				
R/W-00b			R/W-00000000000000b				
7	6	5	4	3	2	1	0
GAN_IS6[13:0]							
R/W-00000000000000b							

図 6-43. GAN_IS6 レジスタ (続き)

表 6-47. GAN_IS6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:14	予約済み	R/W	00b	予約済み。デフォルトのリセット値から変更しないでください。
13:0	GAN_IS6[13:0]	R/W	00000000000000b	IS6 のゲイン補正レジスタ。 ゲイン補正値は 2 の補数表現で、オフセット動作の後に行われます。ゲイン動作中、変換データには $(1 + \text{GAN_ISn}[13:0] / 10000h)$ が掛けられます。

6.6.2.19 GAN_IS7 レジスタ (アドレス = 0x1F) [リセット = 0x0000]

概略表に戻ります。

図 6-44. GAN_IS7 レジスタ

15	14	13	12	11	10	9	8
予約済み			GAN_IS7[13:0]				
R/W-00b			R/W-00000000000000b				
7	6	5	4	3	2	1	0
GAN_IS7[13:0]							
R/W-00000000000000b							

表 6-48. GAN_IS7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:14	予約済み	R/W	00b	予約済み。デフォルトのリセット値から変更しないでください。
13:0	GAN_IS7[13:0]	R/W	00000000000000b	IS7 のゲイン補正レジスタ。 ゲイン補正値は 2 の補数表現で、オフセット動作の後に行われます。ゲイン動作中、変換データには $(1 + \text{GAN_ISn}[13:0] / 10000h)$ が掛けられます。

6.6.2.20 GAN_IS8 レジスタ (アドレス = 0x20) [リセット = 0x0000]

概略表に戻ります。

図 6-45. GAN_IS8 レジスタ

15	14	13	12	11	10	9	8
予約済み			GAN_IS8[13:0]				
R/W-00b			R/W-00000000000000b				
7	6	5	4	3	2	1	0
GAN_IS8[13:0]							
R/W-00000000000000b							

表 6-49. GAN_IS8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:14	予約済み	R/W	00b	予約済み。デフォルトのリセット値から変更しないでください。
13:0	GAN_IS8[13:0]	R/W	00000000000000b	IS8 のゲイン補正レジスタ。 ゲイン補正値は 2 の補数表現で、オフセット動作の後に行われます。ゲイン動作中、変換データには $(1 + \text{GAN_ISn}[13:0] / 10000h)$ が掛けられます。

6.6.2.21 DWC_CFG レジスタ (アドレス = 0x21) [リセット = 0x0000]

概略表に戻ります。

図 6-46. DWC_CFG レジスタ

15	14	13	12	11	10	9	8
DWC_STAT_RST	予約済み				DWC_GLITCH_FILTER[3:0]		
R/W-0b	R/W-000b				R/W-0000b		

図 6-46. DWC_CFG レジスタ (続き)

7	6	5	4	3	2	1	0
DWC_EN_IS8	DWC_EN_IS7	DWC_EN_IS6	DWC_EN_IS5	DWC_EN_IS4	DWC_EN_IS3	DWC_EN_IS2	DWC_EN_IS1
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 6-50. DWC_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	DWC_STAT_RST	R/W	0b	デジタル ウィンドウ コンバータ リセット制御。リセットするには 1b を書き込みます。
14:12	予約済み	R/W	000b	予約済み。デフォルトのリセット値から変更しないでください。
11:8	DWC_GLITCH_FILT[3:0]	R/W	0000b	デジタル ウィンドウ コンバータのグリッチ除去フィルタ制御。 ンバータのフラグは、ADC データが DWC_GLITCH_FILT[3:0] で指定された連続サイクル数だけスレッショルドを超えた場合にのみセットされます。
7	DWC_EN_IS8	R/W	0b	デジタル ウィンドウ コンバータがイネーブル。 0b=ディセーブル 1b = イネーブル
6	DWC_EN_IS7	R/W	0b	デジタル ウィンドウ コンバータがイネーブル。 0b=ディセーブル 1b = イネーブル
5	DWC_EN_IS6	R/W	0b	デジタル ウィンドウ コンバータがイネーブル。 0b=ディセーブル 1b = イネーブル
4	DWC_EN_IS5	R/W	0b	デジタル ウィンドウ コンバータがイネーブル。 0b=ディセーブル 1b = イネーブル
3	DWC_EN_IS4	R/W	0b	デジタル ウィンドウ コンバータがイネーブル。 0b=ディセーブル 1b = イネーブル
2	DWC_EN_IS3	R/W	0b	デジタル ウィンドウ コンバータがイネーブル。 0b=ディセーブル 1b = イネーブル
1	DWC_EN_IS2	R/W	0b	デジタル ウィンドウ コンバータがイネーブル。 0b=ディセーブル 1b = イネーブル
0	DWC_EN_IS1	R/W	0b	デジタル ウィンドウ コンバータがイネーブル。 0b=ディセーブル 1b = イネーブル

6.6.2.22 DWC_TH_IS1 レジスタ (アドレス = 0x22) [リセット = 0xFF00]

[概略表](#)に戻ります。

図 6-47. DWC_TH_IS1 レジスタ

15	14	13	12	11	10	9	8
HIGH_TH_IS1[7:0]							
R/W-11111111b							
7	6	5	4	3	2	1	0
LOW_TH_IS1[7:0]							
R/W-00000000b							

表 6-51. DWC_TH_IS1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	HIGH_TH_IS1[7:0]	R/W	11111111b	アナログ入力用の、MSB にそろえられた high スレッショルド。これらのビットは、ADC 変換結果の上位 8 ビットと比較されます。
7:0	LOW_TH_IS1[7:0]	R/W	00000000b	アナログ入力用の、MSB にそろえられた low スレッショルド。これらのビットは、ADC 変換結果の上位 8 ビットと比較されます。

6.6.2.23 DWC_TH_IS2 レジスタ (アドレス = 0x23) [リセット = 0xFF00]

[概略表](#)に戻ります。

図 6-48. DWC_TH_IS2 レジスタ

15	14	13	12	11	10	9	8
HIGH_TH_IS2[7:0]							
R/W-11111111b							
7	6	5	4	3	2	1	0
LOW_TH_IS2[7:0]							
R/W-00000000b							

表 6-52. DWC_TH_IS2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	HIGH_TH_IS2[7:0]	R/W	11111111b	アナログ入力用の、MSB にそろえられた high スレッショルド。これらのビットは、ADC 変換結果の上位 8 ビットと比較されます。
7:0	LOW_TH_IS2[7:0]	R/W	00000000b	アナログ入力用の、MSB にそろえられた low スレッショルド。これらのビットは、ADC 変換結果の上位 8 ビットと比較されます。

6.6.2.24 DWC_TH_IS3 レジスタ (アドレス = 0x24) [リセット = 0xFF00]

概略表に戻ります。

図 6-49. DWC_TH_IS3 レジスタ

15	14	13	12	11	10	9	8
HIGH_TH_IS3[7:0]							
R/W-11111111b							
7	6	5	4	3	2	1	0
LOW_TH_IS3[7:0]							
R/W-00000000b							

表 6-53. DWC_TH_IS3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	HIGH_TH_IS3[7:0]	R/W	11111111b	アナログ入力用の、MSB にそろえられた high スレッショルド。これらのビットは、ADC 変換結果の上位 8 ビットと比較されます。
7:0	LOW_TH_IS3[7:0]	R/W	00000000b	アナログ入力用の、MSB にそろえられた low スレッショルド。これらのビットは、ADC 変換結果の上位 8 ビットと比較されます。

6.6.2.25 DWC_TH_IS4 レジスタ (アドレス = 0x25) [リセット = 0xFF00]

概略表に戻ります。

図 6-50. DWC_TH_IS4 レジスタ

15	14	13	12	11	10	9	8
HIGH_TH_IS4[7:0]							
R/W-11111111b							
7	6	5	4	3	2	1	0
LOW_TH_IS4[7:0]							
R/W-00000000b							

表 6-54. DWC_TH_IS4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	HIGH_TH_IS4[7:0]	R/W	11111111b	アナログ入力用の、MSB にそろえられた high スレッショルド。これらのビットは、ADC 変換結果の上位 8 ビットと比較されます。
7:0	LOW_TH_IS4[7:0]	R/W	00000000b	アナログ入力用の、MSB にそろえられた low スレッショルド。これらのビットは、ADC 変換結果の上位 8 ビットと比較されます。

6.6.2.26 DWC_TH_IS5 レジスタ (アドレス = 0x26) [リセット = 0xFF00]

[概略表](#)に戻ります。

図 6-51. DWC_TH_IS5 レジスタ

15	14	13	12	11	10	9	8
HIGH_TH_IS5[7:0]							
R/W-11111111b							
7	6	5	4	3	2	1	0
LOW_TH_IS5[7:0]							
R/W-00000000b							

表 6-55. DWC_TH_IS5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	HIGH_TH_IS5[7:0]	R/W	11111111b	アナログ入力用の、MSB にそろえられた high スレッショルド。これらのビットは、ADC 変換結果の上位 8 ビットと比較されます。
7:0	LOW_TH_IS5[7:0]	R/W	00000000b	アナログ入力用の、MSB にそろえられた low スレッショルド。これらのビットは、ADC 変換結果の上位 8 ビットと比較されます。

6.6.2.27 DWC_TH_IS6 レジスタ (アドレス = 0x27) [リセット = 0xFF00]

[概略表](#)に戻ります。

図 6-52. DWC_TH_IS6 レジスタ

15	14	13	12	11	10	9	8
HIGH_TH_IS6[7:0]							
R/W-11111111b							
7	6	5	4	3	2	1	0
LOW_TH_IS6[7:0]							
R/W-00000000b							

表 6-56. DWC_TH_IS6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	HIGH_TH_IS6[7:0]	R/W	11111111b	アナログ入力用の、MSB にそろえられた high スレッショルド。これらのビットは、ADC 変換結果の上位 8 ビットと比較されます。
7:0	LOW_TH_IS6[7:0]	R/W	00000000b	アナログ入力用の、MSB にそろえられた low スレッショルド。これらのビットは、ADC 変換結果の上位 8 ビットと比較されます。

6.6.2.28 DWC_TH_IS7 レジスタ (アドレス = 0x28) [リセット = 0xFF00]

[概略表](#)に戻ります。

図 6-53. DWC_TH_IS7 レジスタ

15	14	13	12	11	10	9	8
HIGH_TH_IS7[7:0]							
R/W-11111111b							
7	6	5	4	3	2	1	0
LOW_TH_IS7[7:0]							
R/W-00000000b							

表 6-57. DWC_TH_IS7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	HIGH_TH_IS7[7:0]	R/W	11111111b	アナログ入力用の、MSB にそろえられた high スレッショルド。これらのビットは、ADC 変換結果の上位 8 ビットと比較されます。

表 6-57. DWC_TH_IS7 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
7:0	LOW_TH_IS7[7:0]	R/W	00000000b	アナログ入力用の、MSB にそろえられた low スレッシュホールド。これらのビットは、ADC 変換結果の上位 8 ビットと比較されます。

6.6.2.29 DWC_TH_IS8 レジスタ (アドレス = 0x29) [リセット = 0xFF00]

[概略表](#)に戻ります。

図 6-54. DWC_TH_IS8 レジスタ

15	14	13	12	11	10	9	8
HIGH_TH_IS8[7:0]							
R/W-11111111b							
7	6	5	4	3	2	1	0
LOW_TH_IS8[7:0]							
R/W-00000000b							

表 6-58. DWC_TH_IS8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	HIGH_TH_IS8[7:0]	R/W	11111111b	アナログ入力用の、MSB にそろえられた high スレッシュホールド。これらのビットは、ADC 変換結果の上位 8 ビットと比較されます。
7:0	LOW_TH_IS8[7:0]	R/W	00000000b	アナログ入力用の、MSB にそろえられた low スレッシュホールド。これらのビットは、ADC 変換結果の上位 8 ビットと比較されます。

6.6.2.30 DWC_HYS_IS1_2 レジスタ (アドレス = 0x2A) [リセット = 0x0000]

[概略表](#)に戻ります。

図 6-55. DWC_HYS_IS1_2 レジスタ

15	14	13	12	11	10	9	8
HYS_IS2[7:0]							
R/W-00000000b							
7	6	5	4	3	2	1	0
HYS_IS1[7:0]							
R/W-00000000b							

表 6-59. DWC_HYS_IS1_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	HYS_IS2[7:0]	R/W	00000000b	High および Low スレッシュホールド用の 8 ビットヒステリシス。
7:0	HYS_IS1[7:0]	R/W	00000000b	High および Low スレッシュホールド用の 8 ビットヒステリシス。

6.6.2.31 DWC_HYS_IS3_4 レジスタ (アドレス = 0x2B) [リセット = 0xFF00]

[概略表](#)に戻ります。

図 6-56. DWC_HYS_IS3_4 レジスタ

15	14	13	12	11	10	9	8
HYS_IS4[7:0]							
R/W-11111111b							
7	6	5	4	3	2	1	0
HYS_IS3[7:0]							
R/W-00000000b							

表 6-60. DWC_HYS_IS3_4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	HYS_IS4[7:0]	R/W	11111111b	High および Low スレッショルド用の 8 ビット ヒステリシス。
7:0	HYS_IS3[7:0]	R/W	00000000b	High および Low スレッショルド用の 8 ビット ヒステリシス。

6.6.2.32 DWC_HYS_IS5_6 レジスタ (アドレス = 0x2C) [リセット = 0xFF00]

[概略表](#)に戻ります。

図 6-57. DWC_HYS_IS5_6 レジスタ

15	14	13	12	11	10	9	8
HYS_IS6[7:0]							
R/W-11111111b							
7	6	5	4	3	2	1	0
HYS_IS5[7:0]							
R/W-00000000b							

表 6-61. DWC_HYS_IS5_6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	HYS_IS6[7:0]	R/W	11111111b	High および Low スレッショルド用の 8 ビット ヒステリシス。
7:0	HYS_IS5[7:0]	R/W	00000000b	High および Low スレッショルド用の 8 ビット ヒステリシス。

6.6.2.33 DWC_HYS_IS7_8 レジスタ (アドレス = 0x2D) [リセット = 0xFF00]

[概略表](#)に戻ります。

図 6-58. DWC_HYS_IS7_8 レジスタ

15	14	13	12	11	10	9	8
HYS_IS8[7:0]							
R/W-11111111b							
7	6	5	4	3	2	1	0
HYS_IS7[7:0]							
R/W-00000000b							

表 6-62. DWC_HYS_IS7_8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	HYS_IS8[7:0]	R/W	11111111b	High および Low スレッショルド用の 8 ビット ヒステリシス。
7:0	HYS_IS7[7:0]	R/W	00000000b	High および Low スレッショルド用の 8 ビット ヒステリシス。

6.6.2.34 TP_CFG レジスタ (アドレス = 0x2E) [リセット = 0x0000]

[概略表](#)に戻ります。

図 6-59. TP_CFG レジスタ

15	14	13	12	11	10	9	8
予約済み							
R/W-00000000b							
7	6	5	4	3	2	1	0
予約済み	TP_MODE[2:0]			予約済み	TP_DIS_IDX	TP_UP_DN_EN	TP_EN
R/W-00000000b	R/W-000b			R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 6-63. TP_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:7	予約済み	R/W	000000000b	予約済み。デフォルトのリセット値から変更しないでください。
6:4	TP_MODE[2:0]	R/W	000b	テスト パターン モード選択。 000b = 一定パターン 001b = 予約済み 010b = ランプ パターン 011b = 予約済み 100b = 予約済み 101b = 予約済み
3	予約済み	R/W	0b	予約済み。デフォルトのリセット値から変更しないでください。
2	TP_DIS_IDX	R/W	0b	1b に設定すると、テスト パターンのチャネル インデックス挿入が無効になります。
1	TP_UP_DN_EN	R/W	0b	テスト パターン インクリメント モード。 0b = インクリメントはチャネル フレーム境界で発生します。 1b = インクリメントは CONVST ごとに発生します。
0	TP_EN	R/W	0b	IS1 から IS8 へのテスト パターンをイネーブル。 0b = ADC 変換結果がデータインターフェイスで起動されます 1b = デジタルテストパターンがデータインターフェイス上で起動されます

6.6.2.35 TP_IS1 レジスタ (アドレス = 0x2F) [リセット = 0x0000]

概略表に戻ります。

図 6-60. TP_IS1 レジスタ

15	14	13	12	11	10	9	8
TP_IS1[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
TP_IS1[15:0]							
R/W-0000000000000000b							

表 6-64. TP_IS1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:0	TP_IS1[15:0]	R/W	0000000000000000 000b	IS1 の 16 ビット パターンを固定。

6.6.2.36 TP_IS2 レジスタ (アドレス = 0x30) [リセット = 0x0000]

概略表に戻ります。

図 6-61. TP_IS2 レジスタ

15	14	13	12	11	10	9	8
TP_IS2[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
TP_IS2[15:0]							
R/W-0000000000000000b							

表 6-65. TP_IS2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:0	TP_IS2[15:0]	R/W	0000000000000000 000b	IS2 の 16 ビット パターンを固定。

6.6.2.37 TP_IS3 レジスタ (アドレス = 0x31) [リセット = 0x0000]

概略表に戻ります。

図 6-62. TP_IS3 レジスタ

15	14	13	12	11	10	9	8
TP_IS3[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
TP_IS3[15:0]							
R/W-0000000000000000b							

表 6-66. TP_IS3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:0	TP_IS3[15:0]	R/W	0000000000000000 000b	IS3 の 16 ビット パターンを固定。

6.6.2.38 TP_IS4 レジスタ (アドレス = 0x32) [リセット = 0x0000]

概略表に戻ります。

図 6-63. TP_IS4 レジスタ

15	14	13	12	11	10	9	8
TP_IS4[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
TP_IS4[15:0]							
R/W-0000000000000000b							

表 6-67. TP_IS4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:0	TP_IS4[15:0]	R/W	0000000000000000 000b	IS4 の 16 ビット パターンを固定。

6.6.2.39 TP_IS5 レジスタ (アドレス = 0x33) [リセット = 0x0000]

概略表に戻ります。

図 6-64. TP_IS5 レジスタ

15	14	13	12	11	10	9	8
TP_IS5[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
TP_IS5[15:0]							
R/W-0000000000000000b							

表 6-68. TP_IS5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:0	TP_IS5[15:0]	R/W	0000000000000000 000b	IS5 の 16 ビット パターンを固定。

6.6.2.40 TP_IS6 レジスタ (アドレス = 0x34) [リセット = 0x0000]

概略表に戻ります。

図 6-65. TP_IS6 レジスタ

15	14	13	12	11	10	9	8
TP_IS6[15:0]							

図 6-65. TP_IS6 レジスタ (続き)

R/W-0000000000000000b							
7	6	5	4	3	2	1	0
TP_IS6[15:0]							
R/W-0000000000000000b							

表 6-69. TP_IS6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:0	TP_IS6[15:0]	R/W	0000000000000000 000b	IS6 の 16 ビット パターンを固定。

6.6.2.41 TP_IS7 レジスタ (アドレス = 0x35) [リセット = 0x0000]

概略表に戻ります。

図 6-66. TP_IS7 レジスタ

15	14	13	12	11	10	9	8
TP_IS7[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
TP_IS7[15:0]							
R/W-0000000000000000b							

表 6-70. TP_IS7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:0	TP_IS7[15:0]	R/W	0000000000000000 000b	IS7 の 16 ビット パターンを固定。

6.6.2.42 TP_IS8 レジスタ (アドレス = 0x36) [リセット = 0x0000]

概略表に戻ります。

図 6-67. TP_IS8 レジスタ

15	14	13	12	11	10	9	8
TP_IS8[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
TP_IS8[15:0]							
R/W-0000000000000000b							

表 6-71. TP_IS8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:0	TP_IS8[15:0]	R/W	0000000000000000 000b	IS8 の 16 ビット パターンを固定。

6.6.2.43 GEN_CFG1 レジスタ (アドレス = 0x37) [リセット = 0x0000]

概略表に戻ります。

図 6-68. GEN_CFG1 レジスタ

15	14	13	12	11	10	9	8
予約済み							
R/W-00000000000000b							
7	6	5	4	3	2	1	0

図 6-68. GEN_CFG1 レジスタ (続き)

予約済み	予約済み	OFS_CORR_EN	GAN_CORR_EN
R/W-000000000000b	R/W-00b	R/W-0b	R/W-0b

表 6-72. GEN_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:4	予約済み	R/W	000000000000b	予約済み。デフォルトのリセット値から変更しないでください。
3:2	予約済み	R/W	00b	予約済み。デフォルトのリセット値から変更しないでください。
1	OFS_CORR_EN	R/W	0b	IS1 ~ IS8 のオフセット補正を有効化。 0b=ディセーブル 1b = イネーブル
0	GAN_CORR_EN	R/W	0b	IS1 ~ IS8 のゲイン補正を有効化。 0b=ディセーブル 1b = イネーブル

6.6.2.44 DWC_FLAG_IS1_8 レジスタ (アドレス = 0x3E) [リセット = 0x0000]

[概略表](#)に戻ります。

図 6-69. DWC_FLAG_IS1_8 レジスタ

15	14	13	12	11	10	9	8
HIGH_FLAG_IS8	HIGH_FLAG_IS7	HIGH_FLAG_IS6	HIGH_FLAG_IS5	HIGH_FLAG_IS4	HIGH_FLAG_IS3	HIGH_FLAG_IS2	HIGH_FLAG_IS1
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b
7	6	5	4	3	2	1	0
LOW_FLAG_IS8	LOW_FLAG_IS7	LOW_FLAG_IS6	LOW_FLAG_IS5	LOW_FLAG_IS4	LOW_FLAG_IS3	LOW_FLAG_IS2	LOW_FLAG_IS1
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 6-73. DWC_FLAG_IS1_8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	HIGH_FLAG_IS8	R	0b	IS8 のデジタル ウィンドウ コンパレータ high フラグ。
14	HIGH_FLAG_IS7	R	0b	IS7 のデジタル ウィンドウ コンパレータ high フラグ。
13	HIGH_FLAG_IS6	R	0b	IS6 のデジタル ウィンドウ コンパレータ high フラグ。
12	HIGH_FLAG_IS5	R	0b	IS5 のデジタル ウィンドウ コンパレータ high フラグ。
11	HIGH_FLAG_IS4	R	0b	IS4 のデジタル ウィンドウ コンパレータ high フラグ。
10	HIGH_FLAG_IS3	R	0b	IS3 のデジタル ウィンドウ コンパレータ high フラグ。
9	HIGH_FLAG_IS2	R	0b	IS2 のデジタル ウィンドウ コンパレータ high フラグ。
8	HIGH_FLAG_IS1	R	0b	IS1 のデジタル ウィンドウ コンパレータ high フラグ。
7	LOW_FLAG_IS8	R	0b	IS8 のデジタルウィンドウコンパレータ low フラグ。
6	LOW_FLAG_IS7	R	0b	IS7 のデジタルウィンドウコンパレータ low フラグ。
5	LOW_FLAG_IS6	R	0b	IS6 のデジタルウィンドウコンパレータ low フラグ。
4	LOW_FLAG_IS5	R	0b	IS5 のデジタルウィンドウコンパレータ low フラグ。
3	LOW_FLAG_IS4	R	0b	IS4 のデジタルウィンドウコンパレータ low フラグ。
2	LOW_FLAG_IS3	R	0b	IS3 のデジタルウィンドウコンパレータ low フラグ。
1	LOW_FLAG_IS2	R	0b	IS2 のデジタルウィンドウコンパレータ low フラグ。
0	LOW_FLAG_IS1	R	0b	IS1 のデジタルウィンドウコンパレータ low フラグ。

6.6.3 VS1 ~ VS8 チャンネル レジスタ

表 6-74 は、VS1 - VS8 のメモリ マップト レジスタを一覧表示します。表 6-74 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 6-74. VS1 - VS8 チャンネル

アドレス	略称	ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8
		ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
0x08	PGA_CONFIG_VS7_8	CME_CORR_EN_VS7	CM_RANGE_VS7[2:0]			予約済み	INPUT_RANGE_VS7[2:0]		
		CME_CORR_EN_VS8	CM_RANGE_VS8[2:0]			予約済み	INPUT_RANGE_VS8[2:0]		
0x09	PGA_CONFIG_VS5_6	CME_CORR_EN_VS5	CM_RANGE_VS5[2:0]			予約済み	INPUT_RANGE_VS5[2:0]		
		CME_CORR_EN_VS6	CM_RANGE_VS6[2:0]			予約済み	INPUT_RANGE_VS6[2:0]		
0x0A	PGA_CONFIG_VS3_4	CME_CORR_EN_VS3	CM_RANGE_VS3[2:0]			予約済み	INPUT_RANGE_VS3[2:0]		
		CME_CORR_EN_VS4	CM_RANGE_VS4[2:0]			予約済み	INPUT_RANGE_VS4[2:0]		
0x0B	PGA_CONFIG_VS1_2	CME_CORR_EN_VS1	CM_RANGE_VS1[2:0]			予約済み	INPUT_RANGE_VS1[2:0]		
		CME_CORR_EN_VS2	CM_RANGE_VS2[2:0]			予約済み	INPUT_RANGE_VS2[2:0]		
0x0C	PGA_BW_SEL_VS1_8	PGA_BW_SEL_VS1[1:0]		PGA_BW_SEL_VS2[1:0]		PGA_BW_SEL_VS3[1:0]		PGA_BW_SEL_VS4[1:0]	
		PGA_BW_SEL_VS5[1:0]		PGA_BW_SEL_VS6[1:0]		PGA_BW_SEL_VS7[1:0]		PGA_BW_SEL_VS8[1:0]	
0x11	OFS_VS8	予約済み						OFS_VS8[9:0]	
		OFS_VS8[9:0]							
0x12	OFS_VS7	予約済み						OFS_VS7[9:0]	
		OFS_VS7[9:0]							
0x13	OFS_VS6	予約済み						OFS_VS6[9:0]	
		OFS_VS6[9:0]							
0x14	OFS_VS5	予約済み						OFS_VS5[9:0]	
		OFS_VS5[9:0]							
0x15	OFS_VS4	予約済み						OFS_VS4[9:0]	
		OFS_VS4[9:0]							
0x16	OFS_VS3	予約済み						OFS_VS3[9:0]	
		OFS_VS3[9:0]							
0x17	OFS_VS2	予約済み						OFS_VS2[9:0]	
		OFS_VS2[9:0]							
0x18	OFS_VS1	予約済み						OFS_VS1[9:0]	
		OFS_VS1[9:0]							
0x19	GAN_VS8	予約済み		GAN_VS8[13:0]					
		GAN_VS8[13:0]							
0x1A	GAN_VS7	予約済み		GAN_VS7[13:0]					
		GAN_VS7[13:0]							
0x1B	GAN_VS6	予約済み		GAN_VS6[13:0]					
		GAN_VS6[13:0]							
0x1C	GAN_VS5	予約済み		GAN_VS5[13:0]					
		GAN_VS5[13:0]							
0x1D	GAN_VS4	予約済み		GAN_VS4[13:0]					
		GAN_VS4[13:0]							
0x1E	GAN_VS3	予約済み		GAN_VS3[13:0]					
		GAN_VS3[13:0]							
0x1F	GAN_VS2	予約済み		GAN_VS2[13:0]					
		GAN_VS2[13:0]							
0x20	GAN_VS1	予約済み		GAN_VS1[13:0]					
		GAN_VS1[13:0]							

表 6-74. VS1 - VS8 チャンネル (続き)

アドレス	略称	DWC_CFG1 (7:0)							
		ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8
		ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
0x21	DWC_CFG	DWC_RST	予約済み				DWC_GLITCH_FILT[3:0]		
		DWC_EN_V S1	DWC_EN_V S2	DWC_EN_V S3	DWC_EN_V S4	DWC_EN_V S5	DWC_EN_V S6	DWC_EN_V S7	DWC_EN_V S8
0x22	DWC_TH_VS8	HIGH_TH_VS8[7:0]							
		LOW_TH_VS8[7:0]							
0x23	DWC_TH_VS7	HIGH_TH_VS7[7:0]							
		LOW_TH_VS7[7:0]							
0x24	DWC_TH_VS6	HIGH_TH_VS6[7:0]							
		LOW_TH_VS6[7:0]							
0x25	DWC_TH_VS5	HIGH_TH_VS5[7:0]							
		LOW_TH_VS5[7:0]							
0x26	DWC_TH_VS4	HIGH_TH_VS4[7:0]							
		LOW_TH_VS4[7:0]							
0x27	DWC_TH_VS3	HIGH_TH_VS3[7:0]							
		LOW_TH_VS3[7:0]							
0x28	DWC_TH_VS2	HIGH_TH_VS2[7:0]							
		LOW_TH_VS2[7:0]							
0x29	DWC_TH_VS1	HIGH_TH_VS1[7:0]							
		LOW_TH_VS1[7:0]							
0x2A	DWC_HYS_VS7_8	HYS_VS8[7:0]							
		HYS_VS7[7:0]							
0x2B	DWC_HYS_VS5_6	HYS_VS6[7:0]							
		HYS_VS5[7:0]							
0x2C	DWC_HYS_VS3_4	HYS_VS4[7:0]							
		HYS_VS3[7:0]							
0x2D	DWC_HYS_VS1_2	HYS_VS2[7:0]							
		HYS_VS1[7:0]							
0x2E	TP_CFG	予約済み							
		予約済み	TP_MODE[2:0]				予約済み	TP_DIS_IDX	TP_UP_DN_EN
0x2F	TP_VS8	TP_VS8[15:0]							
		TP_VS8[15:0]							
0x30	TP_VS7	TP_VS7[15:0]							
		TP_VS7[15:0]							
0x31	TP_VS6	TP_VS6[15:0]							
		TP_VS6[15:0]							
0x32	TP_VS5	TP_VS5[15:0]							
		TP_VS5[15:0]							
0x33	TP_VS4	TP_VS4[15:0]							
		TP_VS4[15:0]							
0x34	TP_VS3	TP_VS3[15:0]							
		TP_VS3[15:0]							
0x35	TP_VS2	TP_VS2[15:0]							
		TP_VS2[15:0]							
0x36	TP_VS1	TP_VS1[15:0]							
		TP_VS1[15:0]							
0x37	GEN_CFG1	予約済み							
		予約済み						OFS_CORR_EN	GAN_CORR_EN
0x3E	DWC_FLAG_VS1_8	HIGH_FLAG_VS1	HIGH_FLAG_VS2	HIGH_FLAG_VS3	HIGH_FLAG_VS4	HIGH_FLAG_VS5	HIGH_FLAG_VS6	HIGH_FLAG_VS7	HIGH_FLAG_VS8
		LOW_FLAG_VS1	LOW_FLAG_VS2	LOW_FLAG_VS3	LOW_FLAG_VS4	LOW_FLAG_VS5	LOW_FLAG_VS6	LOW_FLAG_VS7	LOW_FLAG_VS8

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 6-75 に、このセクションでアクセス タイプに使用しているコードを示します。

表 6-75. VS1~VS8 チャンネル アクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

6.6.3.1 PGA_CONFIG_VS7_8 レジスタ (アドレス = 0x08) [リセット = 0x0000]

概略表に戻ります。

図 6-70. PGA_CONFIG_VS7_8 レジスタ

15	14	13	12	11	10	9	8
CME_CORR_EN_VS7	CM_RANGE_VS7[2:0]			予約済み	INPUT_RANGE_VS7[2:0]		
R/W-0b	R/W-000b			R/W-0b	R/W-000b		
7	6	5	4	3	2	1	0
CME_CORR_EN_VS8	CM_RANGE_VS8[2:0]			予約済み	INPUT_RANGE_VS8[2:0]		
R/W-0b	R/W-000b			R/W-0b	R/W-000b		

表 6-76. PGA_CONFIG_VS7_8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	CME_CORR_EN_VS7	R/W	0b	同相モード誤り訂正をイネーブル。
14:12	CM_RANGE_VS7[2:0]	R/W	000b	入力信号タイプを選択します。 000b = 差動 ($\pm 12.5V$ 同相モード範囲) 101b = シングル エンド 110b = シングル エンド オープン ワイヤ安全
11	予約済み	R/W	0b	予約済み。デフォルトのリセット値から変更しないでください。
10:8	INPUT_RANGE_VS7[2:0]	R/W	000b	VS7 アナログ入力範囲の選択。 000b = $\pm 5V$ 001b = $\pm 25V$ 010b = $\pm 2.5V$ 011b = $\pm 6.25V$ 100b = $\pm 10V$ 101b = $\pm 12.5V$ 110b = $\pm 50V$ 111b = 予約済み
7	CME_CORR_EN_VS8	R/W	0b	同相モード誤り訂正をイネーブル。
6:4	CM_RANGE_VS8[2:0]	R/W	000b	入力信号タイプを選択します。 000b = 差動 ($\pm 12.5V$ 同相モード範囲) 101b = シングル エンド 110b = シングル エンド オープン ワイヤ安全
3	予約済み	R/W	0b	予約済み。デフォルトのリセット値から変更しないでください。
2:0	INPUT_RANGE_VS8[2:0]	R/W	000b	VS8 アナログ入力範囲の選択。 000b = $\pm 5V$ 001b = $\pm 25V$ 010b = $\pm 2.5V$ 011b = $\pm 6.25V$ 100b = $\pm 10V$ 101b = $\pm 12.5V$ 110b = $\pm 50V$ 111b = 予約済み

6.6.3.2 PGA_CONFIG_VS5_6 レジスタ (アドレス = 0x09) [リセット = 0x0000]

概略表に戻ります。

図 6-71. PGA_CONFIG_VS5_6 レジスタ

15	14	13	12	11	10	9	8
CME_CORR_EN_VS5	CM_RANGE_VS5[2:0]			予約済み	INPUT_RANGE_VS5[2:0]		
R/W-0b	R/W-000b			R/W-0b	R/W-000b		
7	6	5	4	3	2	1	0
CME_CORR_EN_VS6	CM_RANGE_VS6[2:0]			予約済み	INPUT_RANGE_VS6[2:0]		
R/W-0b	R/W-000b			R/W-0b	R/W-000b		

表 6-77. PGA_CONFIG_VS5_6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	CME_CORR_EN_VS5	R/W	0b	同相モード誤り訂正をイネーブル。
14:12	CM_RANGE_VS5[2:0]	R/W	000b	入力信号タイプを選択します。 000b = 差動 (±12.5V 同相モード範囲) 101b = シングル エンド 110b = シングル エンド オープン ワイヤ安全
11	予約済み	R/W	0b	予約済み。デフォルトのリセット値から変更しないでください。
10:8	INPUT_RANGE_VS5[2:0]	R/W	000b	VS5 アナログ入力範囲の選択。 000b = ±5V 001b = ±25V 010b = ±2.5V 011b = ±6.25V 100b = ±10V 101b = ±12.5V 110b = ±50V 111b = 予約済み
7	CME_CORR_EN_VS6	R/W	0b	同相モード誤り訂正をイネーブル。
6:4	CM_RANGE_VS6[2:0]	R/W	000b	入力信号タイプを選択します。 000b = 差動 (±12.5V 同相モード範囲) 101b = シングル エンド 110b = シングル エンド オープン ワイヤ安全
3	予約済み	R/W	0b	予約済み。デフォルトのリセット値から変更しないでください。
2:0	INPUT_RANGE_VS6[2:0]	R/W	000b	VS6 アナログ入力範囲の選択。 000b = ±5V 001b = ±25V 010b = ±2.5V 011b = ±6.25V 100b = ±10V 101b = ±12.5V 110b = ±50V 111b = 予約済み

6.6.3.3 PGA_CONFIG_VS3_4 レジスタ (アドレス = 0x0A) [リセット = 0x0000]

概略表に戻ります。

図 6-72. PGA_CONFIG_VS3_4 レジスタ

15	14	13	12	11	10	9	8
CME_CORR_EN_VS3	CM_RANGE_VS3[2:0]			予約済み	INPUT_RANGE_VS3[2:0]		
R/W-0b	R/W-000b			R/W-0b	R/W-000b		
7	6	5	4	3	2	1	0
CME_CORR_EN_VS4	CM_RANGE_VS4[2:0]			予約済み	INPUT_RANGE_VS4[2:0]		
R/W-0b	R/W-000b			R/W-0b	R/W-000b		

表 6-78. PGA_CONFIG_VS3_4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	CME_CORR_EN_VS3	R/W	0b	同相モード誤り訂正をイネーブル。

表 6-78. PGA_CONFIG_VS3_4 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
14:12	CM_RANGE_VS3[2:0]	R/W	000b	入力信号タイプを選択します。 000b = 差動 ($\pm 12.5V$ 同相モード範囲) 101b = シングル エンド 110b = シングル エンド オープン ワイヤ安全
11	予約済み	R/W	0b	予約済み。デフォルトのリセット値から変更しないでください。
10:8	INPUT_RANGE_VS3[2:0]	R/W	000b	VS3 アナログ入力範囲の選択。 000b = $\pm 5V$ 001b = $\pm 25V$ 010b = $\pm 2.5V$ 011b = $\pm 6.25V$ 100b = $\pm 10V$ 101b = $\pm 12.5V$ 110b = $\pm 50V$ 111b = 予約済み
7	CME_CORR_EN_VS4	R/W	0b	同相モード誤り訂正をイネーブル。
6:4	CM_RANGE_VS4[2:0]	R/W	000b	入力信号タイプを選択します。 000b = 差動 ($\pm 12.5V$ 同相モード範囲) 101b = シングル エンド 110b = シングル エンド オープン ワイヤ安全
3	予約済み	R/W	0b	予約済み。デフォルトのリセット値から変更しないでください。
2:0	INPUT_RANGE_VS4[2:0]	R/W	000b	VS4 アナログ入力範囲の選択。 000b = $\pm 5V$ 001b = $\pm 25V$ 010b = $\pm 2.5V$ 011b = $\pm 6.25V$ 100b = $\pm 10V$ 101b = $\pm 12.5V$ 110b = $\pm 50V$ 111b = 予約済み

6.6.3.4 PGA_CONFIG_VS1_2 レジスタ (アドレス = 0x0B) [リセット = 0x0000]

概略表に戻ります。

図 6-73. PGA_CONFIG_VS1_2 レジスタ

15	14	13	12	11	10	9	8
CME_CORR_EN_VS1	CM_RANGE_VS1[2:0]			予約済み	INPUT_RANGE_VS1[2:0]		
R/W-0b	R/W-000b			R/W-0b	R/W-000b		
7	6	5	4	3	2	1	0
CME_CORR_EN_VS2	CM_RANGE_VS2[2:0]			予約済み	INPUT_RANGE_VS2[2:0]		
R/W-0b	R/W-000b			R/W-0b	R/W-000b		

表 6-79. PGA_CONFIG_VS1_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	CME_CORR_EN_VS1	R/W	0b	同相モード誤り訂正をイネーブル。
14:12	CM_RANGE_VS1[2:0]	R/W	000b	入力信号タイプを選択します。 000b = 差動 ($\pm 12.5V$ 同相モード範囲) 101b = シングル エンド 110b = シングル エンド オープン ワイヤ安全
11	予約済み	R/W	0b	予約済み。デフォルトのリセット値から変更しないでください。
10:8	INPUT_RANGE_VS1[2:0]	R/W	000b	VS1 アナログ入力範囲の選択。 000b = $\pm 5V$ 001b = $\pm 25V$ 010b = $\pm 2.5V$ 011b = $\pm 6.25V$ 100b = $\pm 10V$ 101b = $\pm 12.5V$ 110b = $\pm 50V$ 111b = 予約済み
7	CME_CORR_EN_VS2	R/W	0b	同相モード誤り訂正をイネーブル。
6:4	CM_RANGE_VS2[2:0]	R/W	000b	入力信号タイプを選択します。 000b = 差動 ($\pm 12.5V$ 同相モード範囲) 101b = シングル エンド 110b = シングル エンド オープン ワイヤ安全
3	予約済み	R/W	0b	予約済み。デフォルトのリセット値から変更しないでください。

表 6-79. PGA_CONFIG_VS1_2 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2:0	INPUT_RANGE_VS2[2:0]	R/W	000b	VS2 アナログ入力範囲の選択。 000b = ±5V 001b = ±25V 010b = ±2.5V 011b = ±6.25V 100b = ±10V 101b = ±12.5V 110b = ±50V 111b = 予約済み

6.6.3.5 PGA_BW_SEL_VS1_8 レジスタ (アドレス = 0x0C) [リセット = 0x0000]

[概略表](#)に戻ります。

図 6-74. PGA_BW_SEL_VS1_8 レジスタ

15	14	13	12	11	10	9	8
PGA_BW_SEL_VS1[1:0]		PGA_BW_SEL_VS2[1:0]		PGA_BW_SEL_VS3[1:0]		PGA_BW_SEL_VS4[1:0]	
R/W-00b		R/W-00b		R/W-00b		R/W-00b	
7	6	5	4	3	2	1	0
PGA_BW_SEL_VS5[1:0]		PGA_BW_SEL_VS6[1:0]		PGA_BW_SEL_VS7[1:0]		PGA_BW_SEL_VS8[1:0]	
R/W-00b		R/W-00b		R/W-00b		R/W-00b	

表 6-80. PGA_BW_SEL_VS1_8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:14	PGA_BW_SEL_VS1[1:0]	R/W	00b	VS1 アナログ ローパス フィルタ構成制御。 00b = 低帯域幅 01b = 広帯域幅 10b = 予約済み 11b = 予約済み
13:12	PGA_BW_SEL_VS2[1:0]	R/W	00b	VS2 アナログ ローパス フィルタ構成制御。 00b = 低帯域幅 01b = 広帯域幅 10b = 予約済み 11b = 予約済み
11:10	PGA_BW_SEL_VS3[1:0]	R/W	00b	VS3 アナログ ローパス フィルタ構成制御。 00b = 低帯域幅 01b = 広帯域幅 10b = 予約済み 11b = 予約済み
9:8	PGA_BW_SEL_VS4[1:0]	R/W	00b	VS4 アナログ ローパス フィルタ構成制御。 00b = 低帯域幅 01b = 広帯域幅 10b = 予約済み 11b = 予約済み
7:6	PGA_BW_SEL_VS5[1:0]	R/W	00b	VS5 アナログ ローパス フィルタ構成制御。 00b = 低帯域幅 01b = 広帯域幅 10b = 予約済み 11b = 予約済み
5:4	PGA_BW_SEL_VS6[1:0]	R/W	00b	VS6 アナログ ローパス フィルタ構成制御。 00b = 低帯域幅 01b = 広帯域幅 10b = 予約済み 11b = 予約済み
3:2	PGA_BW_SEL_VS7[1:0]	R/W	00b	VS7 アナログ ローパス フィルタ構成制御。 00b = 低帯域幅 01b = 広帯域幅 10b = 予約済み 11b = 予約済み
1:0	PGA_BW_SEL_VS8[1:0]	R/W	00b	VS8 アナログ ローパス フィルタ構成制御。 00b = 低帯域幅 01b = 広帯域幅 10b = 予約済み 11b = 予約済み

6.6.3.6 OFS_VS8 レジスタ (アドレス = 0x11) [リセット = 0x0000]

[概略表](#)に戻ります。

図 6-75. OFS_VS8 レジスタ

15	14	13	12	11	10	9	8
予約済み						OFS_VS8[9:0]	
R/W-000000b						R/W-0000000000b	
7	6	5	4	3	2	1	0
OFS_VS8[9:0]							
R/W-0000000000b							

表 6-81. OFS_VS8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:10	予約済み	R/W	000000b	予約済み。デフォルトのリセット値から変更しないでください。
9:0	OFS_VS8[9:0]	R/W	0000000000b	VS8 のオフセット補正レジスタ。 オフセット値は 2 の補数形式で表され、変換結果に加算されます。オフセット演算は、ゲイン演算よりも先に行われます。

6.6.3.7 OFS_VS7 レジスタ (アドレス = 0x12) [リセット = 0x0000]

[概略表](#)に戻ります。

図 6-76. OFS_VS7 レジスタ

15	14	13	12	11	10	9	8
予約済み						OFS_VS7[9:0]	
R/W-000000b						R/W-0000000000b	
7	6	5	4	3	2	1	0
OFS_VS7[9:0]							
R/W-0000000000b							

表 6-82. OFS_VS7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:10	予約済み	R/W	000000b	予約済み。デフォルトのリセット値から変更しないでください。
9:0	OFS_VS7[9:0]	R/W	0000000000b	VS7 のオフセット補正レジスタ。 オフセット値は 2 の補数形式で表され、変換結果に加算されます。オフセット演算は、ゲイン演算よりも先に行われます。

6.6.3.8 OFS_VS6 レジスタ (アドレス = 0x13) [リセット = 0x0000]

[概略表](#)に戻ります。

図 6-77. OFS_VS6 レジスタ

15	14	13	12	11	10	9	8
予約済み						OFS_VS6[9:0]	
R/W-000000b						R/W-0000000000b	
7	6	5	4	3	2	1	0
OFS_VS6[9:0]							
R/W-0000000000b							

表 6-83. OFS_VS6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:10	予約済み	R/W	000000b	予約済み。デフォルトのリセット値から変更しないでください。

表 6-83. OFS_VS6 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9:0	OFS_VS6[9:0]	R/W	0000000000b	VS6 のオフセット補正レジスタ。 オフセット値は 2 の補数形式で表され、変換結果に加算されます。オフセット演算は、ゲイン演算よりも先に行われます。

6.6.3.9 OFS_VS5 レジスタ (アドレス = 0x14) [リセット = 0x0000]

概略表に戻ります。

図 6-78. OFS_VS5 レジスタ

15	14	13	12	11	10	9	8
予約済み						OFS_VS5[9:0]	
R/W-000000b						R/W-0000000000b	
7	6	5	4	3	2	1	0
OFS_VS5[9:0]							
R/W-0000000000b							

表 6-84. OFS_VS5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:10	予約済み	R/W	000000b	予約済み。デフォルトのリセット値から変更しないでください。
9:0	OFS_VS5[9:0]	R/W	0000000000b	VS5 のオフセット補正レジスタ。 オフセット値は 2 の補数形式で表され、変換結果に加算されます。オフセット演算は、ゲイン演算よりも先に行われます。

6.6.3.10 OFS_VS4 レジスタ (アドレス = 0x15) [リセット = 0x0000]

概略表に戻ります。

図 6-79. OFS_VS4 レジスタ

15	14	13	12	11	10	9	8
予約済み						OFS_VS4[9:0]	
R/W-000000b						R/W-0000000000b	
7	6	5	4	3	2	1	0
OFS_VS4[9:0]							
R/W-0000000000b							

表 6-85. OFS_VS4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:10	予約済み	R/W	000000b	予約済み。デフォルトのリセット値から変更しないでください。
9:0	OFS_VS4[9:0]	R/W	0000000000b	VS4 のオフセット補正レジスタ。 オフセット値は 2 の補数形式で表され、変換結果に加算されます。オフセット演算は、ゲイン演算よりも先に行われます。

6.6.3.11 OFS_VS3 レジスタ (アドレス = 0x16) [リセット = 0x0000]

概略表に戻ります。

図 6-80. OFS_VS3 レジスタ

15	14	13	12	11	10	9	8
予約済み						OFS_VS3[9:0]	
R/W-000000b						R/W-0000000000b	
7	6	5	4	3	2	1	0
OFS_VS3[9:0]							
R/W-0000000000b							

図 6-80. OFS_VS3 レジスタ (続き)

表 6-86. OFS_VS3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:10	予約済み	R/W	000000b	予約済み。デフォルトのリセット値から変更しないでください。
9:0	OFS_VS3[9:0]	R/W	0000000000b	VS3 のオフセット補正レジスタ。オフセット値は 2 の補数形式で表され、変換結果に加算されます。オフセット演算は、ゲイン演算よりも先に行われます。

6.6.3.12 OFS_VS2 レジスタ (アドレス = 0x17) [リセット = 0x0000]

概略表に戻ります。

図 6-81. OFS_VS2 レジスタ

15	14	13	12	11	10	9	8
予約済み						OFS_VS2[9:0]	
R/W-000000b						R/W-0000000000b	
7	6	5	4	3	2	1	0
OFS_VS2[9:0]							
R/W-0000000000b							

表 6-87. OFS_VS2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:10	予約済み	R/W	000000b	予約済み。デフォルトのリセット値から変更しないでください。
9:0	OFS_VS2[9:0]	R/W	0000000000b	VS2 のオフセット補正レジスタ。オフセット値は 2 の補数形式で表され、変換結果に加算されます。オフセット演算は、ゲイン演算よりも先に行われます。

6.6.3.13 OFS_VS1 レジスタ (アドレス = 0x18) [リセット = 0x0000]

概略表に戻ります。

図 6-82. OFS_VS1 レジスタ

15	14	13	12	11	10	9	8
予約済み						OFS_VS1[9:0]	
R/W-000000b						R/W-0000000000b	
7	6	5	4	3	2	1	0
OFS_VS1[9:0]							
R/W-0000000000b							

表 6-88. OFS_VS1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:10	予約済み	R/W	000000b	予約済み。デフォルトのリセット値から変更しないでください。
9:0	OFS_VS1[9:0]	R/W	0000000000b	VS1 のオフセット補正レジスタ。オフセット値は 2 の補数形式で表され、変換結果に加算されます。オフセット演算は、ゲイン演算よりも先に行われます。

6.6.3.14 GAN_VS8 レジスタ (アドレス = 0x19) [リセット = 0x0000]

概略表に戻ります。

図 6-83. GAN_VS8 レジスタ

15	14	13	12	11	10	9	8
予約済み		GAN_VS8[13:0]					
R/W-00b		R/W-00000000000000b					

図 6-83. GAN_VS8 レジスタ (続き)

7	6	5	4	3	2	1	0
GAN_VS8[13:0]							
R/W-00000000000000b							

表 6-89. GAN_VS8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:14	予約済み	R/W	00b	予約済み。デフォルトのリセット値から変更しないでください。
13:0	GAN_VS8[13:0]	R/W	00000000000000b	VS8 のゲイン補正レジスタ。 ゲイン補正値は 2 の補数表現で、オフセット動作の後に行われます。ゲイン動作中、変換データには (1 + GAN_VSn[13:0] / 10000h) が掛けられます。

6.6.3.15 GAN_VS7 レジスタ (アドレス = 0x1A) [リセット = 0x0000]

[概略表](#)に戻ります。

図 6-84. GAN_VS7 レジスタ

15	14	13	12	11	10	9	8
予約済み		GAN_VS7[13:0]					
R/W-00b		R/W-00000000000000b					
7	6	5	4	3	2	1	0
GAN_VS7[13:0]							
R/W-00000000000000b							

表 6-90. GAN_VS7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:14	予約済み	R/W	00b	予約済み。デフォルトのリセット値から変更しないでください。
13:0	GAN_VS7[13:0]	R/W	00000000000000b	VS7 のゲイン補正レジスタ。 ゲイン補正値は 2 の補数表現で、オフセット動作の後に行われます。ゲイン動作中、変換データには (1 + GAN_VSn[13:0] / 10000h) が掛けられます。

6.6.3.16 GAN_VS6 レジスタ (アドレス = 0x1B) [リセット = 0x0000]

[概略表](#)に戻ります。

図 6-85. GAN_VS6 レジスタ

15	14	13	12	11	10	9	8
予約済み		GAN_VS6[13:0]					
R/W-00b		R/W-00000000000000b					
7	6	5	4	3	2	1	0
GAN_VS6[13:0]							
R/W-00000000000000b							

表 6-91. GAN_VS6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:14	予約済み	R/W	00b	予約済み。デフォルトのリセット値から変更しないでください。
13:0	GAN_VS6[13:0]	R/W	00000000000000b	VS6 のゲイン補正レジスタ。 ゲイン補正値は 2 の補数表現で、オフセット動作の後に行われます。ゲイン動作中、変換データには (1 + GAN_VSn[13:0] / 10000h) が掛けられます。

6.6.3.17 GAN_VS5 レジスタ (アドレス = 0x1C) [リセット = 0x0000]

[概略表](#)に戻ります。

図 6-86. GAN_VS5 レジスタ

15	14	13	12	11	10	9	8
予約済み			GAN_VS5[13:0]				
R/W-00b			R/W-00000000000000b				
7	6	5	4	3	2	1	0
GAN_VS5[13:0]							
R/W-00000000000000b							

表 6-92. GAN_VS5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:14	予約済み	R/W	00b	予約済み。デフォルトのリセット値から変更しないでください。
13:0	GAN_VS5[13:0]	R/W	00000000000000b	VS5 のゲイン補正レジスタ。 ゲイン補正値は 2 の補数表現で、オフセット動作の後に行われます。ゲイン動作中、変換データには $(1 + \text{GAN_VS5n}[13:0] / 10000h)$ が掛けられます。

6.6.3.18 GAN_VS4 レジスタ (アドレス = 0x1D) [リセット = 0x0000]

概略表に戻ります。

図 6-87. GAN_VS4 レジスタ

15	14	13	12	11	10	9	8
予約済み			GAN_VS4[13:0]				
R/W-00b			R/W-00000000000000b				
7	6	5	4	3	2	1	0
GAN_VS4[13:0]							
R/W-00000000000000b							

表 6-93. GAN_VS4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:14	予約済み	R/W	00b	予約済み。デフォルトのリセット値から変更しないでください。
13:0	GAN_VS4[13:0]	R/W	00000000000000b	VS4 のゲイン補正レジスタ。 ゲイン補正値は 2 の補数表現で、オフセット動作の後に行われます。ゲイン動作中、変換データには $(1 + \text{GAN_VS4n}[13:0] / 10000h)$ が掛けられます。

6.6.3.19 GAN_VS3 レジスタ (アドレス = 0x1E) [リセット = 0x0000]

概略表に戻ります。

図 6-88. GAN_VS3 レジスタ

15	14	13	12	11	10	9	8
予約済み			GAN_VS3[13:0]				
R/W-00b			R/W-00000000000000b				
7	6	5	4	3	2	1	0
GAN_VS3[13:0]							
R/W-00000000000000b							

表 6-94. GAN_VS3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:14	予約済み	R/W	00b	予約済み。デフォルトのリセット値から変更しないでください。
13:0	GAN_VS3[13:0]	R/W	00000000000000b	VS3 のゲイン補正レジスタ。 ゲイン補正値は 2 の補数表現で、オフセット動作の後に行われます。ゲイン動作中、変換データには $(1 + \text{GAN_VS3n}[13:0] / 10000h)$ が掛けられます。

6.6.3.20 GAN_VS2 レジスタ (アドレス = 0x1F) [リセット = 0x0000]

[概略表](#)に戻ります。

図 6-89. GAN_VS2 レジスタ

15	14	13	12	11	10	9	8
予約済み				GAN_VS2[13:0]			
R/W-00b				R/W-00000000000000b			
7	6	5	4	3	2	1	0
GAN_VS2[13:0]							
R/W-00000000000000b							

表 6-95. GAN_VS2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:14	予約済み	R/W	00b	予約済み。デフォルトのリセット値から変更しないでください。
13:0	GAN_VS2[13:0]	R/W	000000000000000b	VS2 のゲイン補正レジスタ。 ゲイン補正値は 2 の補数表現で、オフセット動作の後に行われます。ゲイン動作中、変換データには $(1 + \text{GAN_VS}[13:0] / 10000h)$ が掛けられます。

6.6.3.21 GAN_VS1 レジスタ (アドレス = 0x20) [リセット = 0x0000]

[概略表](#)に戻ります。

図 6-90. GAN_VS1 レジスタ

15	14	13	12	11	10	9	8
予約済み				GAN_VS1[13:0]			
R/W-00b				R/W-00000000000000b			
7	6	5	4	3	2	1	0
GAN_VS1[13:0]							
R/W-00000000000000b							

表 6-96. GAN_VS1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:14	予約済み	R/W	00b	予約済み。デフォルトのリセット値から変更しないでください。
13:0	GAN_VS1[13:0]	R/W	00000000000000b	VS1 のゲイン補正レジスタ。 ゲイン補正値は 2 の補数表現で、オフセット動作の後に行われます。ゲイン動作中、変換データには $(1 + \text{GAN_VS}[13:0] / 10000h)$ が掛けられます。

6.6.3.22 DWC_CFG レジスタ (アドレス = 0x21) [リセット = 0x0000]

[概略表](#)に戻ります。

図 6-91. DWC_CFG レジスタ

15	14	13	12	11	10	9	8
DWC_RST	予約済み				DWC_GLITCH_FILTER[3:0]		
R/W-0b	R/W-000b				R/W-0000b		
7	6	5	4	3	2	1	0
DWC_EN_VS1	DWC_EN_VS2	DWC_EN_VS3	DWC_EN_VS4	DWC_EN_VS5	DWC_EN_VS6	DWC_EN_VS7	DWC_EN_VS8
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 6-97. DWC_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	DWC_RST	R/W	0b	デジタル ウィンドウ コンバータ リセット制御。リセットするには 1b を書き込みます。
14:12	予約済み	R/W	000b	予約済み。デフォルトのリセット値から変更しないでください。

表 6-97. DWC_CFG レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
11:8	DWC_GLITCH_FILT[3:0]	R/W	0000b	デジタル ウィンドウ コンパレータのグリッチ除去フィルタ制御。 コンパレータのフラグは、ADC データが DWC_GLITCH_FILT[3:0] で指定された連続サイクル数だけスレッシュホールドを超えた場合にのみセットされます。
7	DWC_EN_VS1	R/W	0b	デジタル ウィンドウ コンパレータがイネーブル。 0b=ディセーブル 1b = イネーブル
6	DWC_EN_VS2	R/W	0b	デジタル ウィンドウ コンパレータがイネーブル。 0b=ディセーブル 1b = イネーブル
5	DWC_EN_VS3	R/W	0b	デジタル ウィンドウ コンパレータがイネーブル。 0b=ディセーブル 1b = イネーブル
4	DWC_EN_VS4	R/W	0b	デジタル ウィンドウ コンパレータがイネーブル。 0b=ディセーブル 1b = イネーブル
3	DWC_EN_VS5	R/W	0b	デジタル ウィンドウ コンパレータがイネーブル。 0b=ディセーブル 1b = イネーブル
2	DWC_EN_VS6	R/W	0b	デジタル ウィンドウ コンパレータがイネーブル。 0b=ディセーブル 1b = イネーブル
1	DWC_EN_VS7	R/W	0b	デジタル ウィンドウ コンパレータがイネーブル。 0b=ディセーブル 1b = イネーブル
0	DWC_EN_VS8	R/W	0b	デジタル ウィンドウ コンパレータがイネーブル。 0b=ディセーブル 1b = イネーブル

6.6.3.23 DWC_TH_VS8 レジスタ (アドレス = 0x22) [リセット = 0xFF00]

概略表に戻ります。

図 6-92. DWC_TH_VS8 レジスタ

15	14	13	12	11	10	9	8
HIGH_TH_VS8[7:0]							
R/W-11111111b							
7	6	5	4	3	2	1	0
LOW_TH_VS8[7:0]							
R/W-00000000b							

表 6-98. DWC_TH_VS8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	HIGH_TH_VS8[7:0]	R/W	11111111b	アナログ入力用の、MSB にそろえられた high スレッシュホールド。これらのビットは、ADC 変換結果の上位 8 ビットと比較されます。
7:0	LOW_TH_VS8[7:0]	R/W	00000000b	アナログ入力用の、MSB にそろえられた low スレッシュホールド。これらのビットは、ADC 変換結果の上位 8 ビットと比較されます。

6.6.3.24 DWC_TH_VS7 レジスタ (アドレス = 0x23) [リセット = 0xFF00]

概略表に戻ります。

図 6-93. DWC_TH_VS7 レジスタ

15	14	13	12	11	10	9	8
HIGH_TH_VS7[7:0]							
R/W-11111111b							
7	6	5	4	3	2	1	0
LOW_TH_VS7[7:0]							
R/W-00000000b							

図 6-93. DWC_TH_VS7 レジスタ (続き)

表 6-99. DWC_TH_VS7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	HIGH_TH_VS7[7:0]	R/W	11111111b	アナログ入力用の、MSB にそろえられた high スレッショルド。これらのビットは、ADC 変換結果の上位 8 ビットと比較されます。
7:0	LOW_TH_VS7[7:0]	R/W	00000000b	アナログ入力用の、MSB にそろえられた low スレッショルド。これらのビットは、ADC 変換結果の上位 8 ビットと比較されます。

6.6.3.25 DWC_TH_VS6 レジスタ (アドレス = 0x24) [リセット = 0xFF00]

[概略表](#)に戻ります。

図 6-94. DWC_TH_VS6 レジスタ

15	14	13	12	11	10	9	8
HIGH_TH_VS6[7:0]							
R/W-11111111b							
7	6	5	4	3	2	1	0
LOW_TH_VS6[7:0]							
R/W-00000000b							

表 6-100. DWC_TH_VS6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	HIGH_TH_VS6[7:0]	R/W	11111111b	アナログ入力用の、MSB にそろえられた high スレッショルド。これらのビットは、ADC 変換結果の上位 8 ビットと比較されます。
7:0	LOW_TH_VS6[7:0]	R/W	00000000b	アナログ入力用の、MSB にそろえられた low スレッショルド。これらのビットは、ADC 変換結果の上位 8 ビットと比較されます。

6.6.3.26 DWC_TH_VS5 レジスタ (アドレス = 0x25) [リセット = 0xFF00]

[概略表](#)に戻ります。

図 6-95. DWC_TH_VS5 レジスタ

15	14	13	12	11	10	9	8
HIGH_TH_VS5[7:0]							
R/W-11111111b							
7	6	5	4	3	2	1	0
LOW_TH_VS5[7:0]							
R/W-00000000b							

表 6-101. DWC_TH_VS5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	HIGH_TH_VS5[7:0]	R/W	11111111b	アナログ入力用の、MSB にそろえられた high スレッショルド。これらのビットは、ADC 変換結果の上位 8 ビットと比較されます。
7:0	LOW_TH_VS5[7:0]	R/W	00000000b	アナログ入力用の、MSB にそろえられた low スレッショルド。これらのビットは、ADC 変換結果の上位 8 ビットと比較されます。

6.6.3.27 DWC_TH_VS4 レジスタ (アドレス = 0x26) [リセット = 0xFF00]

[概略表](#)に戻ります。

図 6-96. DWC_TH_VS4 レジスタ

15	14	13	12	11	10	9	8
HIGH_TH_VS4[7:0]							
R/W-11111111b							

図 6-96. DWC_TH_VS4 レジスタ (続き)

7	6	5	4	3	2	1	0
LOW_TH_VS4[7:0]							
R/W-00000000b							

表 6-102. DWC_TH_VS4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	HIGH_TH_VS4[7:0]	R/W	11111111b	アナログ入力用の、MSB にそろえられた high スレッショルド。これらのビットは、ADC 変換結果の上位 8 ビットと比較されます。
7:0	LOW_TH_VS4[7:0]	R/W	00000000b	アナログ入力用の、MSB にそろえられた low スレッショルド。これらのビットは、ADC 変換結果の上位 8 ビットと比較されます。

6.6.3.28 DWC_TH_VS3 レジスタ (アドレス = 0x27) [リセット = 0xFF00]

概略表に戻ります。

図 6-97. DWC_TH_VS3 レジスタ

15	14	13	12	11	10	9	8
HIGH_TH_VS3[7:0]							
R/W-11111111b							
7	6	5	4	3	2	1	0
LOW_TH_VS3[7:0]							
R/W-00000000b							

表 6-103. DWC_TH_VS3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	HIGH_TH_VS3[7:0]	R/W	11111111b	アナログ入力用の、MSB にそろえられた high スレッショルド。これらのビットは、ADC 変換結果の上位 8 ビットと比較されます。
7:0	LOW_TH_VS3[7:0]	R/W	00000000b	アナログ入力用の、MSB にそろえられた low スレッショルド。これらのビットは、ADC 変換結果の上位 8 ビットと比較されます。

6.6.3.29 DWC_TH_VS2 レジスタ (アドレス = 0x28) [リセット = 0xFF00]

概略表に戻ります。

図 6-98. DWC_TH_VS2 レジスタ

15	14	13	12	11	10	9	8
HIGH_TH_VS2[7:0]							
R/W-11111111b							
7	6	5	4	3	2	1	0
LOW_TH_VS2[7:0]							
R/W-00000000b							

表 6-104. DWC_TH_VS2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	HIGH_TH_VS2[7:0]	R/W	11111111b	アナログ入力用の、MSB にそろえられた high スレッショルド。これらのビットは、ADC 変換結果の上位 8 ビットと比較されます。
7:0	LOW_TH_VS2[7:0]	R/W	00000000b	アナログ入力用の、MSB にそろえられた low スレッショルド。これらのビットは、ADC 変換結果の上位 8 ビットと比較されます。

6.6.3.30 DWC_TH_VS1 レジスタ (アドレス = 0x29) [リセット = 0xFF00]

概略表に戻ります。

図 6-99. DWC_TH_VS1 レジスタ

15	14	13	12	11	10	9	8
HIGH_TH_VS1[7:0]							
R/W-11111111b							
7	6	5	4	3	2	1	0
LOW_TH_VS1[7:0]							
R/W-00000000b							

表 6-105. DWC_TH_VS1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	HIGH_TH_VS1[7:0]	R/W	11111111b	アナログ入力用の、MSB にそろえられた high スレッショルド。これらのビットは、ADC 変換結果の上位 8 ビットと比較されます。
7:0	LOW_TH_VS1[7:0]	R/W	00000000b	アナログ入力用の、MSB にそろえられた low スレッショルド。これらのビットは、ADC 変換結果の上位 8 ビットと比較されます。

6.6.3.31 DWC_HYS_VS7_8 レジスタ (アドレス = 0x2A) [リセット = 0x0000]

概略表に戻ります。

図 6-100. DWC_HYS_VS7_8 レジスタ

15	14	13	12	11	10	9	8
HYS_VS8[7:0]							
R/W-00000000b							
7	6	5	4	3	2	1	0
HYS_VS7[7:0]							
R/W-00000000b							

表 6-106. DWC_HYS_VS7_8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	HYS_VS8[7:0]	R/W	00000000b	High および Low スレッショルド用の 8 ビット ヒステリシス。
7:0	HYS_VS7[7:0]	R/W	00000000b	High および Low スレッショルド用の 8 ビット ヒステリシス。

6.6.3.32 DWC_HYS_VS5_6 レジスタ (アドレス = 0x2B) [リセット = 0xFF00]

概略表に戻ります。

図 6-101. DWC_HYS_VS5_6 レジスタ

15	14	13	12	11	10	9	8
HYS_VS6[7:0]							
R/W-11111111b							
7	6	5	4	3	2	1	0
HYS_VS5[7:0]							
R/W-00000000b							

表 6-107. DWC_HYS_VS5_6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	HYS_VS6[7:0]	R/W	11111111b	High および Low スレッショルド用の 8 ビット ヒステリシス。
7:0	HYS_VS5[7:0]	R/W	00000000b	High および Low スレッショルド用の 8 ビット ヒステリシス。

6.6.3.33 DWC_HYS_VS3_4 レジスタ (アドレス = 0x2C) [リセット = 0xFF00]

概略表に戻ります。

図 6-102. DWC_HYS_VS3_4 レジスタ

15	14	13	12	11	10	9	8
HYS_VS4[7:0]							
R/W-11111111b							
7	6	5	4	3	2	1	0
HYS_VS3[7:0]							
R/W-00000000b							

表 6-108. DWC_HYS_VS3_4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	HYS_VS4[7:0]	R/W	11111111b	High および Low スレッショルド用の 8 ビット ヒステリシス。
7:0	HYS_VS3[7:0]	R/W	00000000b	High および Low スレッショルド用の 8 ビット ヒステリシス。

6.6.3.34 DWC_HYS_VS1_2 レジスタ (アドレス = 0x2D) [リセット = 0xFF00]

概略表に戻ります。

図 6-103. DWC_HYS_VS1_2 レジスタ

15	14	13	12	11	10	9	8
HYS_VS2[7:0]							
R/W-11111111b							
7	6	5	4	3	2	1	0
HYS_VS1[7:0]							
R/W-00000000b							

表 6-109. DWC_HYS_VS1_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	HYS_VS2[7:0]	R/W	11111111b	High および Low スレッショルド用の 8 ビット ヒステリシス。
7:0	HYS_VS1[7:0]	R/W	00000000b	High および Low スレッショルド用の 8 ビット ヒステリシス。

6.6.3.35 TP_CFG レジスタ (アドレス = 0x2E) [リセット = 0x0000]

概略表に戻ります。

図 6-104. TP_CFG レジスタ

15	14	13	12	11	10	9	8
予約済み							
R/W-00000000b							
7	6	5	4	3	2	1	0
予約済み	TP_MODE[2:0]			予約済み	TP_DIS_IDX	TP_UP_DN_EN	TP_EN
R/W-00000000b	R/W-000b			R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 6-110. TP_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:7	予約済み	R/W	00000000b	予約済み。デフォルトのリセット値から変更しないでください。
6:4	TP_MODE[2:0]	R/W	000b	テスト パターン モード選択。 000b = 一定パターン 001b = 予約済み 010b = ランプ パターン 011b = 予約済み 100b = 予約済み 101b = 予約済み
3	予約済み	R/W	0b	予約済み。デフォルトのリセット値から変更しないでください。
2	TP_DIS_IDX	R/W	0b	1b に設定すると、テスト パターンのチャネル インデックス挿入が無効になります。

表 6-110. TP_CFG レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1	TP_UP_DN_EN	R/W	0b	テスト パターン インクリメント モード。 0b = インクリメントはチャネル フレーム境界で発生します。 1b = インクリメントは CONVST ごとに発生します。
0	TP_EN	R/W	0b	VS1 から VS8 へのテスト パターンをイネーブル。 0b = ADC 変換結果がデータインターフェイスで起動されます 1b = デジタルテストパターンがデータインターフェイス上で起動されます

6.6.3.36 TP_VS8 レジスタ (アドレス = 0x2F) [リセット = 0x0000]

[概略表](#)に戻ります。

図 6-105. TP_VS8 レジスタ

15	14	13	12	11	10	9	8
TP_VS8[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
TP_VS8[15:0]							
R/W-0000000000000000b							

表 6-111. TP_VS8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:0	TP_VS8[15:0]	R/W	0000000000000000b	VS8 の 16 ビット パターンを固定。

6.6.3.37 TP_VS7 レジスタ (アドレス = 0x30) [リセット = 0x0000]

[概略表](#)に戻ります。

図 6-106. TP_VS7 レジスタ

15	14	13	12	11	10	9	8
TP_VS7[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
TP_VS7[15:0]							
R/W-0000000000000000b							

表 6-112. TP_VS7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:0	TP_VS7[15:0]	R/W	0000000000000000b	VS7 の 16 ビット パターンを固定。

6.6.3.38 TP_VS6 レジスタ (アドレス = 0x31) [リセット = 0x0000]

[概略表](#)に戻ります。

図 6-107. TP_VS6 レジスタ

15	14	13	12	11	10	9	8
TP_VS6[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
TP_VS6[15:0]							
R/W-0000000000000000b							

表 6-113. TP_VS6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:0	TP_VS6[15:0]	R/W	0000000000000000b	VS6 の 16 ビット パターンを固定。

6.6.3.39 TP_VS5 レジスタ (アドレス = 0x32) [リセット = 0x0000]

[概略表](#)に戻ります。

図 6-108. TP_VS5 レジスタ

15	14	13	12	11	10	9	8
TP_VS5[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
TP_VS5[15:0]							
R/W-0000000000000000b							

表 6-114. TP_VS5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:0	TP_VS5[15:0]	R/W	0000000000000000b	VS5 の 16 ビット パターンを固定。

6.6.3.40 TP_VS4 レジスタ (アドレス = 0x33) [リセット = 0x0000]

[概略表](#)に戻ります。

図 6-109. TP_VS4 レジスタ

15	14	13	12	11	10	9	8
TP_VS4[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
TP_VS4[15:0]							
R/W-0000000000000000b							

表 6-115. TP_VS4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:0	TP_VS4[15:0]	R/W	0000000000000000b	VS4 の 16 ビット パターンを固定。

6.6.3.41 TP_VS3 レジスタ (アドレス = 0x34) [リセット = 0x0000]

[概略表](#)に戻ります。

図 6-110. TP_VS3 レジスタ

15	14	13	12	11	10	9	8
TP_VS3[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
TP_VS3[15:0]							
R/W-0000000000000000b							

表 6-116. TP_VS3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:0	TP_VS3[15:0]	R/W	0000000000000000b	VS3 の 16 ビット パターンを固定。

6.6.3.42 TP_VS2 レジスタ (アドレス = 0x35) [リセット = 0x0000]

[概略表](#)に戻ります。

図 6-111. TP_VS2 レジスタ

15	14	13	12	11	10	9	8
TP_VS2[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
TP_VS2[15:0]							
R/W-0000000000000000b							

表 6-117. TP_VS2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:0	TP_VS2[15:0]	R/W	0000000000000000b	VS2 の 16 ビット パターンを固定。

6.6.3.43 TP_VS1 レジスタ (アドレス = 0x36) [リセット = 0x0000]

[概略表](#)に戻ります。

図 6-112. TP_VS1 レジスタ

15	14	13	12	11	10	9	8
TP_VS1[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
TP_VS1[15:0]							
R/W-0000000000000000b							

表 6-118. TP_VS1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:0	TP_VS1[15:0]	R/W	0000000000000000b	VS1 の 16 ビット パターンを固定。

6.6.3.44 GEN_CFG1 レジスタ (アドレス = 0x37) [リセット = 0x0000]

[概略表](#)に戻ります。

図 6-113. GEN_CFG1 レジスタ

15	14	13	12	11	10	9	8
予約済み							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
予約済み						OFS_CORR_EN	GAN_CORR_EN
R/W-0000000000000000b						R/W-0b	R/W-0b

表 6-119. GEN_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:2	予約済み	R/W	0000000000000000b	予約済み。デフォルトのリセット値から変更しないでください。

表 6-119. GEN_CFG1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1	OFS_CORR_EN	R/W	0b	VS1 ~ VS8 のオフセット補正を有効にします。 0b=ディセーブル 1b = イネーブル
0	GAN_CORR_EN	R/W	0b	VS1 ~ VS8 のゲイン補正を有効にします。 0b=ディセーブル 1b = イネーブル

6.6.3.45 DWC_FLAG_VS1_8 レジスタ (アドレス = 0x3E) [リセット = 0x0000]

概略表に戻ります。

図 6-114. DWC_FLAG_VS1_8 レジスタ

15	14	13	12	11	10	9	8
HIGH_FLAG_VS1	HIGH_FLAG_VS2	HIGH_FLAG_VS3	HIGH_FLAG_VS4	HIGH_FLAG_VS5	HIGH_FLAG_VS6	HIGH_FLAG_VS7	HIGH_FLAG_VS8
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b
7	6	5	4	3	2	1	0
LOW_FLAG_VS1	LOW_FLAG_VS2	LOW_FLAG_VS3	LOW_FLAG_VS4	LOW_FLAG_VS5	LOW_FLAG_VS6	LOW_FLAG_VS7	LOW_FLAG_VS8
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 6-120. DWC_FLAG_VS1_8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	HIGH_FLAG_VS1	R	0b	VS1 のデジタル ウィンドウ コンバータ high フラグ。
14	HIGH_FLAG_VS2	R	0b	VS2 のデジタル ウィンドウ コンバータ high フラグ。
13	HIGH_FLAG_VS3	R	0b	VS3 のデジタル ウィンドウ コンバータ high フラグ。
12	HIGH_FLAG_VS4	R	0b	VS4 のデジタル ウィンドウ コンバータ high フラグ。
11	HIGH_FLAG_VS5	R	0b	VS5 のデジタル ウィンドウ コンバータ high フラグ。
10	HIGH_FLAG_VS6	R	0b	VS6 のデジタル ウィンドウ コンバータ high フラグ。
9	HIGH_FLAG_VS7	R	0b	VS7 のデジタル ウィンドウ コンバータ high フラグ。
8	HIGH_FLAG_VS8	R	0b	VS8 のデジタル ウィンドウ コンバータ high フラグ。
7	LOW_FLAG_VS1	R	0b	VS1 のデジタルウィンドウコンバータ low フラグ。
6	LOW_FLAG_VS2	R	0b	VS2 のデジタルウィンドウコンバータ low フラグ。
5	LOW_FLAG_VS3	R	0b	VS3 のデジタルウィンドウコンバータ low フラグ。
4	LOW_FLAG_VS4	R	0b	VS4 のデジタルウィンドウコンバータ low フラグ。
3	LOW_FLAG_VS5	R	0b	VS5 のデジタルウィンドウコンバータ low フラグ。
2	LOW_FLAG_VS6	R	0b	VS6 のデジタルウィンドウコンバータ low フラグ。
1	LOW_FLAG_VS7	R	0b	VS7 のデジタルウィンドウコンバータ low フラグ。
0	LOW_FLAG_VS8	R	0b	VS8 のデジタルウィンドウコンバータ low フラグ。

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 代表的なアプリケーション

7.1.1 マルチチャネル リチウムイオン セルのフォーメーションおよびテスト

セルの組み立てプロセスの後、各リチウムイオン バッテリには段階的充電が施され、その間に固体電解質界面 (SEI) 層が形成されます。これは、長期的な機能維持には重要です。このプロセスが適切に制御されていない場合、バッテリーは容量の最大 50% を失う可能性があります。したがって、SEI 層の厚さを制御するために、試験装置には高精度の定電流 / 定電圧充放電機能が求められます。これにより、容量損失を 5% 未満に抑えることができます。

図 7-1 に、ADS93x8V8I を使用したアプリケーション回路図を示します。ADS93x8V8I は、8 セル バッテリのフォーメーションおよびテスト アプリケーション向けのソリューションを実現し、すべてのバッテリー セルをリアルタイムで同時にかつ高精度で監視します。この 24 ビット ADC は、8 個の専用電圧チャネルと 8 個の電流チャネルを備えており、チャネルあたり 125kSPS で、充電 / 放電サイクル中の各セルを包括的に特性評価できます。内蔵のゼロドリフト プログラマブル ゲイン アンプにより、 $\pm 0.01\%$ のフルスケール電流測定精度が得られます。これは、精密なバッテリー テストおよび品質管理において重要です。本デバイスのノーサイクルレイテンシー アーキテクチャにより、迅速な故障検出と高速な閉ループ制御が可能になります。これらは、フォーメーション サイクル中における過電流、過電圧、熱事象からセルを保護するうえで不可欠です。複数の構成可能な入力範囲により、さまざまなシャント抵抗構成やセル電圧レベルに対応できます。また、140dB の同相信号除去比により、高精度のハイサイド電流検出を実現します。8 個の計測アンプ、8 個の差動アンプ、16 チャネルの逐次比較型 ADC を 1 つの 8mm x 8mm パッケージに統合することで、ADS9308V8I の BOM コストは大幅に削減され、PCB レイアウトは簡素化され、コンパクトな自動バッテリー試験装置の設計を可能にしています。

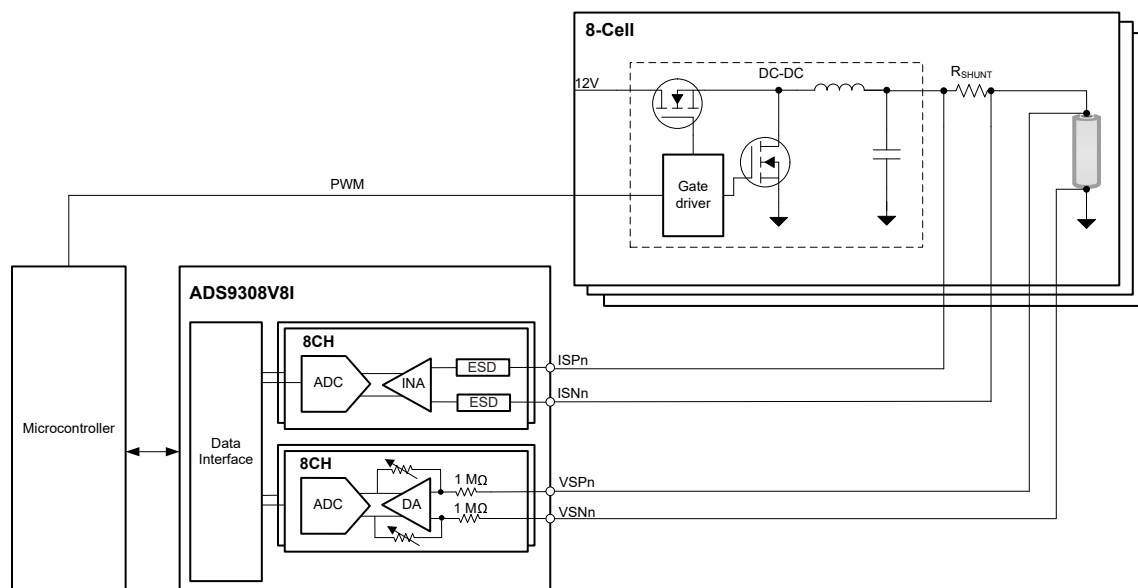


図 7-1. ADS9308V8I を用いた、マルチチャネル バッテリ セルのテスト

7.2 電源に関する推奨事項

ADS93x8V8I には、次の三つの電源が必要です。AVDD_5V、AVDD_1V8 および IOVDD。特定の電源オン シーケンス要件はありません。IOVDD は、デジタル IOVDD に電力を供給します。IOVDD を 1.8V 系で使用する場合、AVDD_1V8 は 100Ω のフェライトビーズを介して IOVDD と短絡接続できます。図 7-2 に、それぞれの電源のデカップリングコンデンサの接続を示します。各電源ピンに個別の 0.1μF デカップリング コンデンサがあることを確認します。

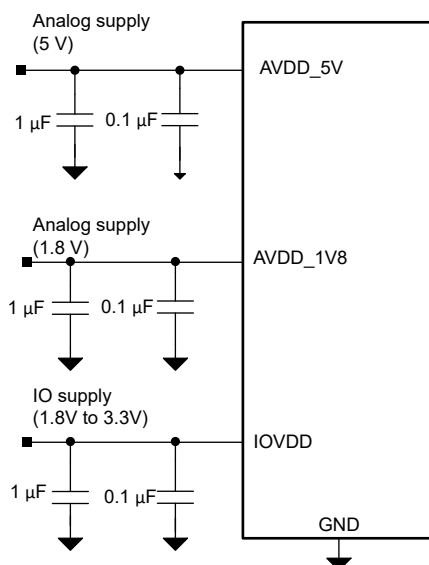


図 7-2. 電源のデカップリング

7.3 レイアウト

7.3.1 レイアウトのガイドライン

図 7-3 に、ADS9308V8I の基板レイアウト例を示します。デジタル ラインはアナログ信号パスで交差することを避け、アナログ入力信号と基準信号はノイズ源から遠ざけます。

最高の性能を得るため、REFIO ピンに 4.7μF のセラミック バイパス コンデンサを接続して内部リファレンスのノイズをフィルタし、さらに REFCAPA と REFM の各ピン間、および REFCAPB と REFM の各ピン間に 1μF のセラミック コンデンサを直接接続します。1μF のリファレンス デカップリング コンデンサを、デバイスの REFCAP ピンおよび REFM ピンの近くに配置します。REFIO ピンとバイパス コンデンサの間にビアを配置しないでください。GND ピンと REFM ピンを短い低インピーダンスのパスを使用してグラウンド プレーンに接続します。

AVDD_5V、AVDD_1V8、および IOVDD 電源ピンの近くに 0.1μF のセラミック バイパス コンデンサを配置して使用してください。電源ピンとバイパス コンデンサの間にビアを配置しないでください。

7.3.2 レイアウト例

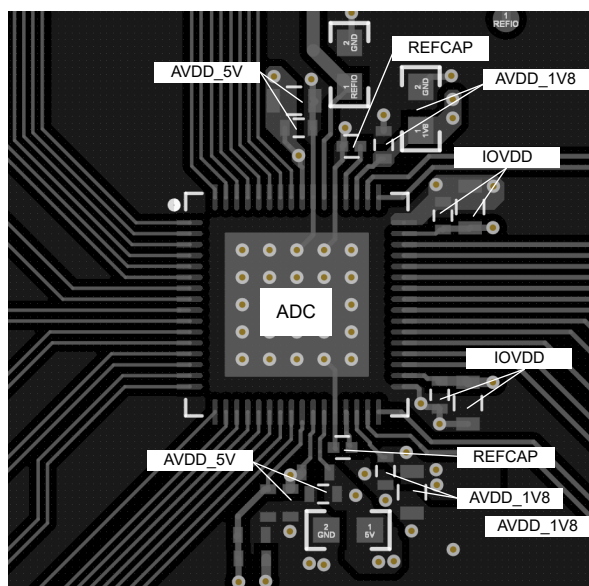


図 7-3. レイアウト例

8 デバイスおよびドキュメントのサポート

8.1 ドキュメントのサポート

8.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、[「REF50xx 低ノイズ、超低ドリフト、高精度リファレンス電圧」データシート](#)
- テキサス インスツルメンツ、[AN-2029 取り扱いおよびプロセスの推奨事項](#)アプリケーション ノート

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

[テキサス・インスツルメンツ E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

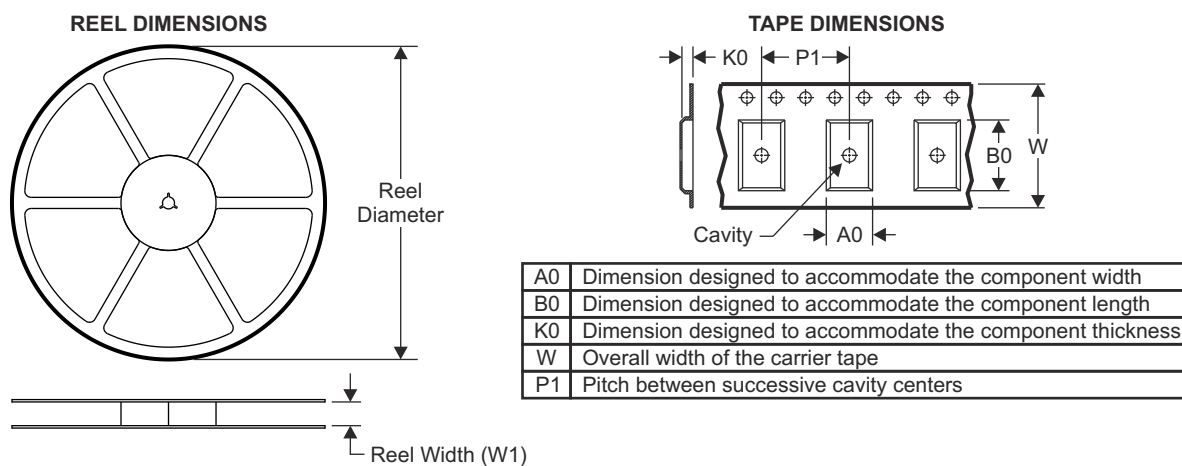
資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
June 2026	*	初版リリース

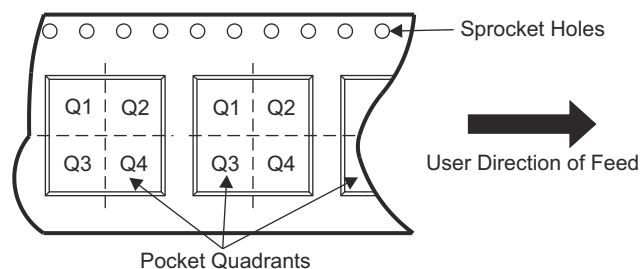
10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

10.1 テープおよびリール情報

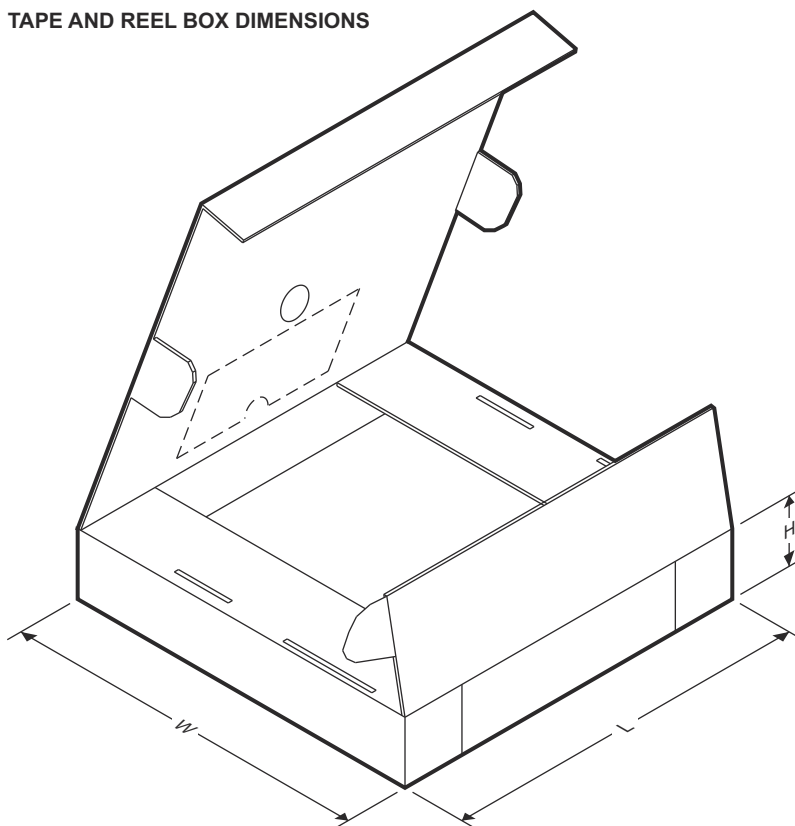


QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



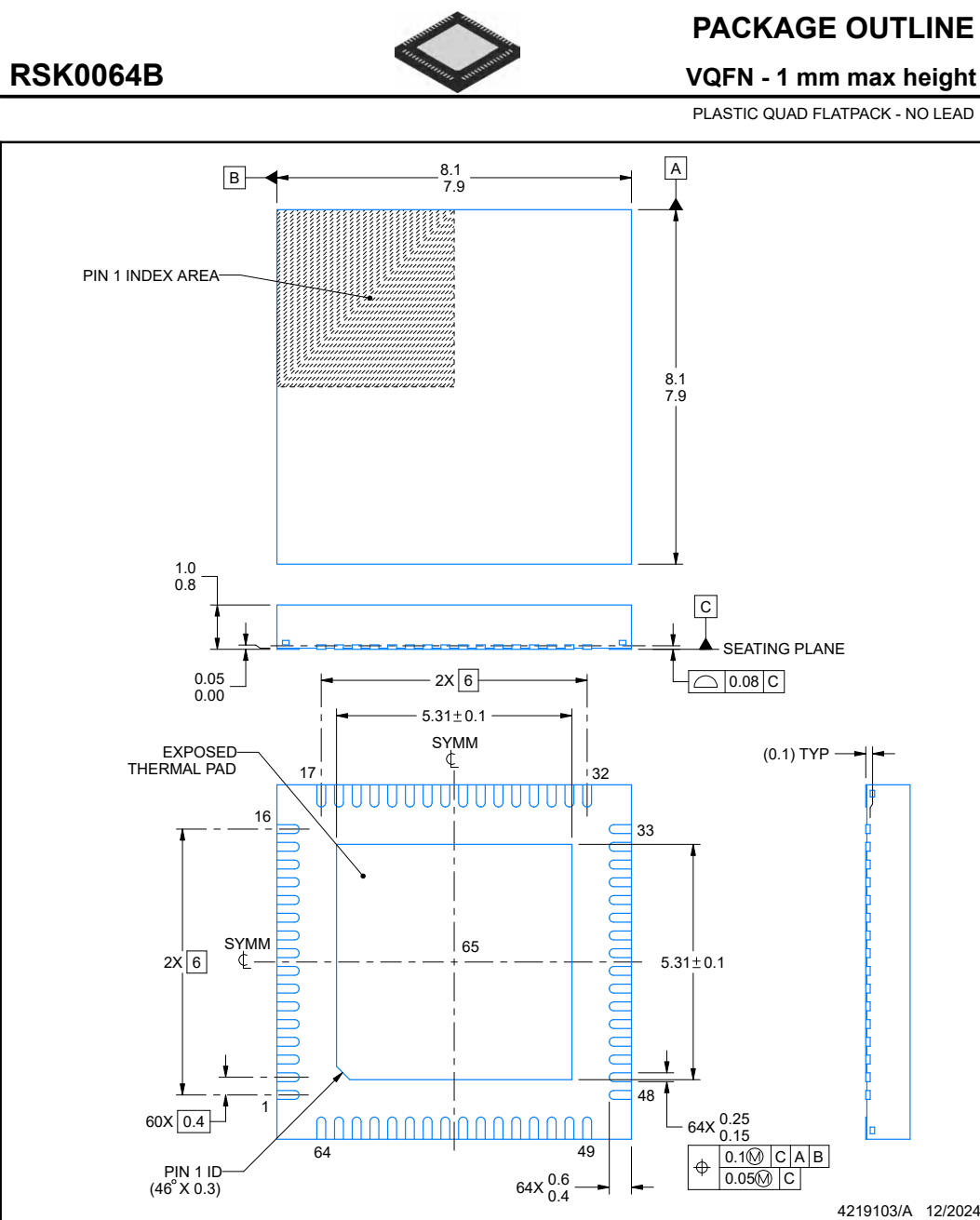
デバイス	パッケージ タイプ	パッケージ 図	ピン	SPQ	リール 直径 (mm)	リール 幅 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	ピン 1 の 象限
P9308V8IRSKR	VQFN	RSK	64	3500	330.0	16.4	8.3	8.3	1.1	12.0	16.0	Q2

TAPE AND REEL BOX DIMENSIONS



デバイス	パッケージタイプ	パッケージ図	ピン	SPQ	長さ (mm)	幅 (mm)	高さ (mm)
P9308V8IRSKR	VQFN	RSK	64	3500	360.0	360.0	36.0

10.2 メカニカル データ

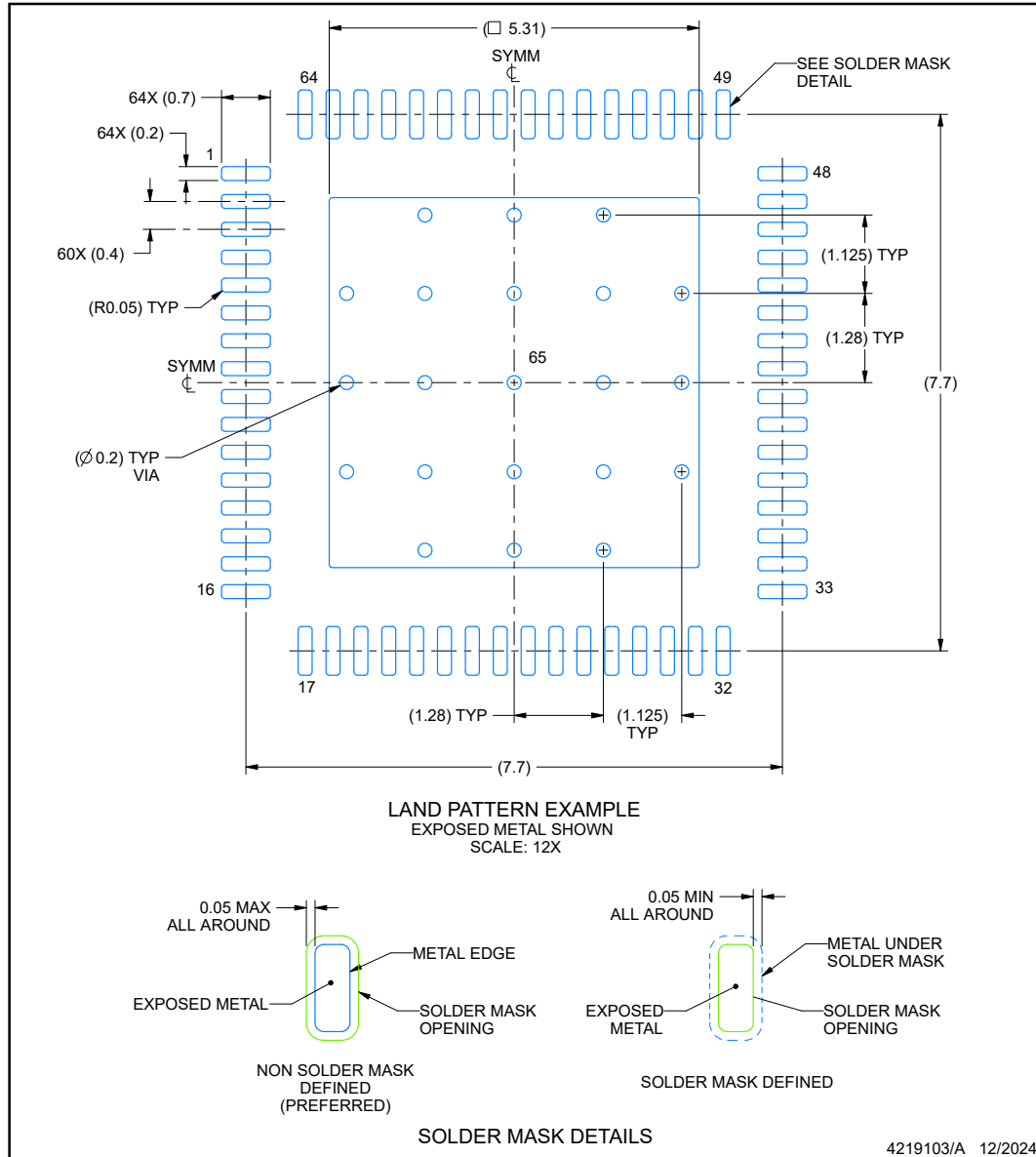


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT**RSK0064B****VQFN - 1 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

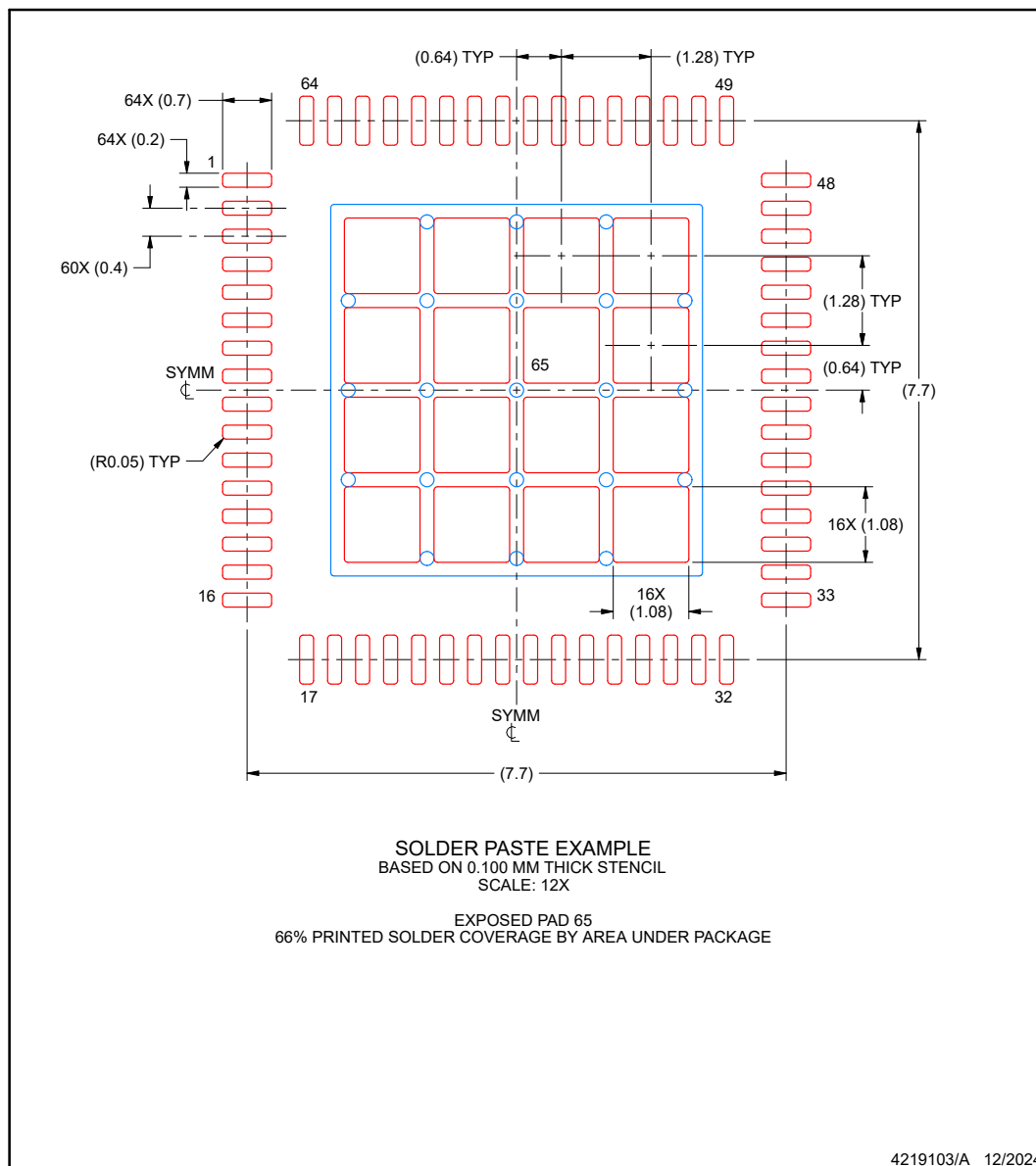
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RSK0064B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
P9308V8IRSKR	Active	Preproduction	VQFN (RSK) 64	3500 LARGE T&R	-	Call TI	Call TI	-40 to 125	

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月