

# ADS9324C 16 ビット、1MSPS、16 チャンネル、高精度 ADC、80Vpp 同相差動アンプ搭載

## 1 特長

- 16 チャンネル、16 ビット同時サンプリング ADC
  - 各チャンネルのスループット 1MSPS
- プログラマブル ゲイン アンプ
  - 1MΩ アナログ入力インピーダンス
  - シングルエンド入力および差動入力をサポート
  - 入力範囲:
    - 差動入力電圧: ±50V、±25V、±12.5V、±10V、±6.25V、±5V、±2.5V
    - 同相電圧: ±40V
- アナログ帯域幅オプション: 25kHz と 400kHz
- オープンワイヤ安全入力
  - フローティング入力に対して、ADC 出力コードがほぼゼロ
- 標準的性能:
  - INL: ±0.5LSB、DNL: ±0.5LSB
  - 信号対雑音比: 88dB、THD: -103dB、DC CMRR: 100dB
- 低ドリフト係数のオンチップ基準電圧 (4.096V) およびバッファ
  - 15ppm/°C (標準値) の温度ドリフト
- デジタル機能
  - オンチップのデジタル フィルタによるオーバーサンプリング
  - システム オフセット、ゲイン、位相のキャリブレーション
  - デジタル ウィンドウ コンパレータ
  - ADC 出力データランダムマイザー
- 電源
  - アナログ電源: 5V および 1.8V
  - デジタル I/O 電源: 1.8V ~ 3.3V
- 温度範囲: -40°C ~ +125°C

## 2 アプリケーション

- 試験および測定機器

- バッテリーセル形成とテスト
- 産業用オートメーション
  - アナログ入力モジュール
  - 混合モジュール (AI、AO、DI、DO)
- 直列スタックセル電圧監視
- 多軸モーター制御

## 3 説明

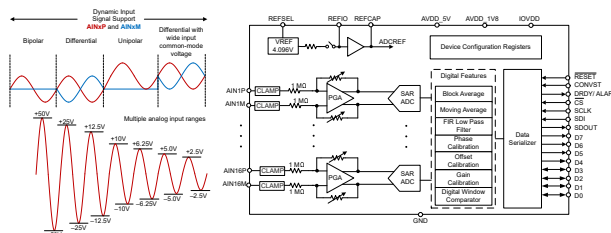
ADS9324C は、16 チャンネルの統合型データ収集 (DAQ) システムで、同時サンプリング、16 ビットの逐次比較型 (SAR) A/D コンバータ (ADC) を搭載し、1MSPS で動作します。デバイスには、各チャンネルに完全なアナログ フロントエンドが搭載されており、入力インピーダンス 1MΩ のプログラマブルゲインアンプ (PGA)、入力クランプ、ローパスフィルタ、ADC 入力ドライバが備わります。デバイスには、低ドリフト係数の高精度基準電圧も内蔵され、ADC を駆動するためのバッファも搭載されています。入力インピーダンスが高いため、センサや変圧器と直接接続でき、外付けのドライバ回路が必要ありません。このデバイスは差動入力とシングルエンド入力の両方に対応しており、さまざまなセンサ出力と組み合わせで使用できます。

ADS9324C は柔軟なデジタル インターフェイスを備えており、さまざまなホスト コントローラと組み合わせで使用できます。ユーザーはシリアル インターフェイスを、1 レーン、2 レーン、4 レーン、8 レーンのいずれかで ADC 出力を読み取るように設定できます。このデバイスは、2 チャンネル、4 チャンネル、8 チャンネル、16 チャンネルの同時サンプリング ADC として動作できる ADC の柔軟性も備えています。

### パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
ADS9324C	RSK (VQFN, 64)	8.00mm × 8.00mm

- 詳細については、[メカニカル](#)、[パッケージ](#)、および[注文情報](#)をご覧ください。
- パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



デバイスのブロック図



## 目次

1 特長.....	1	8 レジスタ マップ.....	52
2 アプリケーション.....	1	8.1 ADS93xx 共通レジスタ.....	52
3 説明.....	1	8.2 AIN1 ~ AIN8 チャンネル レジスタ.....	63
4 デバイス比較表.....	3	8.3 AIN9 ~ AIN16 チャンネル レジスタ.....	86
5 ピン構成および機能.....	4	9 アプリケーションと実装.....	109
6 仕様.....	6	9.1 代表的なアプリケーション.....	109
6.1 絶対最大定格.....	6	9.2 電源に関する推奨事項.....	111
6.2 ESD 定格.....	6	9.3 レイアウト.....	111
6.3 推奨動作条件.....	7	10 デバイスおよびドキュメントのサポート.....	113
6.4 熱に関する情報.....	7	10.1 ドキュメントのサポート.....	113
6.5 電気的特性.....	8	10.2 ドキュメントの更新通知を受け取る方法.....	113
6.6 タイミング要件.....	12	10.3 サポート・リソース.....	113
6.7 スイッチング特性.....	13	10.4 商標.....	113
6.8 タイミング図.....	14	10.5 静電気放電に関する注意事項.....	113
7 詳細説明.....	18	10.6 用語集.....	113
7.1 概要.....	18	11 改訂履歴.....	113
7.2 機能ブロック図.....	18	12 メカニカル、パッケージ、および注文情報.....	113
7.3 機能説明.....	19	12.1 テープおよびリール情報.....	115
7.4 デバイスの機能モード.....	44		

## 4 デバイス比較表

製品名	分解能 (ビット数)	チャンネル	同相電圧	サンプルレート (kSPS)
<a href="#">ADS9324</a>	16	16、シングル エンド、差動	±12.5V	1000
<a href="#">ADS9324C</a>	16	16、シングル エンド、差動	±40V	1000
<a href="#">ADS9344</a>	12	16、シングル エンド、差動	±12.5V	1000

## 5 ピン構成および機能

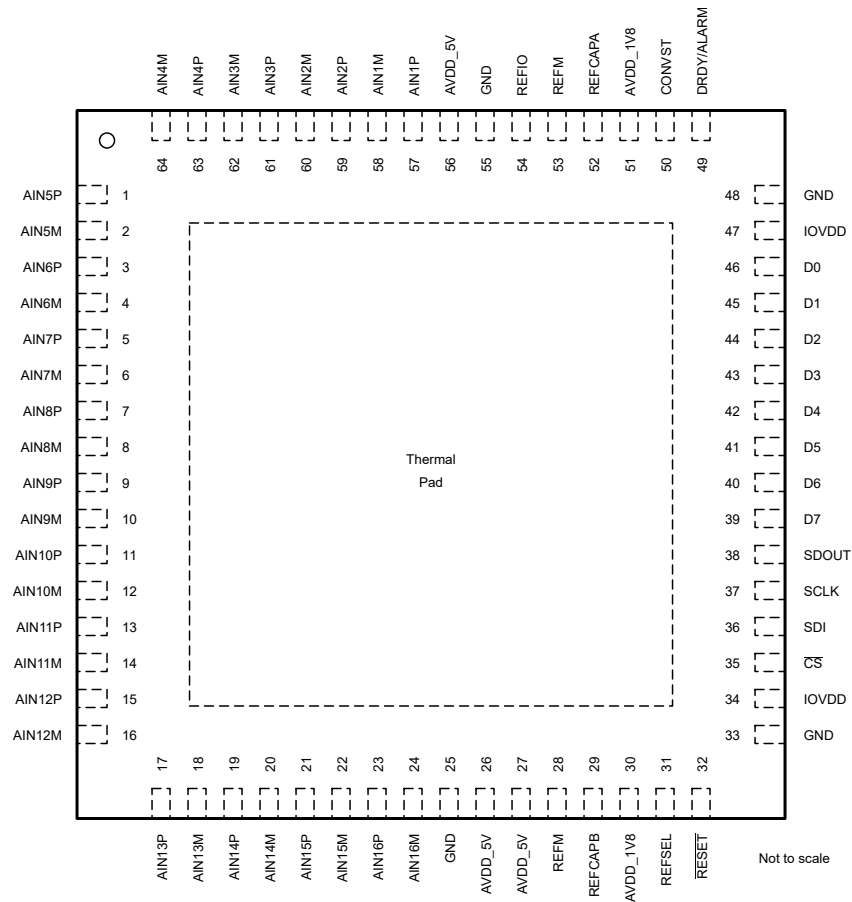


図 5-1. RSK パッケージ、64 ピン VQFN (上面図)

### ピンの機能

ピン		タイプ <sup>(1)</sup>	説明
名称	番号		
AIN1P	57	AI	アナログ入力チャネル 1、正入力。
AIN1M	58	AI	アナログ入力チャネル 1、負入力。
AIN2P	59	AI	アナログ入力チャネル 2、正入力。
AIN2M	60	AI	アナログ入力チャネル 2、負入力。
AIN3P	61	AI	アナログ入力チャネル 3、正入力。
AIN3M	62	AI	アナログ入力チャネル 3、負入力。
AIN4P	63	AI	アナログ入力チャネル 4、正入力。
AIN4M	64	AI	アナログ入力チャネル 4、負入力。
AIN5P	1	AI	アナログ入力チャネル 5、正入力。
AIN5M	2	AI	アナログ入力チャネル 5、負入力。
AIN6P	3	AI	アナログ入力チャネル 6、正入力。
AIN6M	4	AI	アナログ入力チャネル 6、負入力。
AIN7P	5	AI	アナログ入力チャネル 7、正入力。
AIN7M	6	AI	アナログ入力チャネル 7、負入力。
AIN8P	7	AI	アナログ入力チャネル 8、正入力。
AIN8M	8	AI	アナログ入力チャネル 8、負入力。
AIN9P	9	AI	アナログ入力チャネル 9、正入力。
AIN9M	10	AI	アナログ入力チャネル 9、負入力。

### ピンの機能 (続き)

ピン		タイプ <sup>(1)</sup>	説明
名称	番号		
AIN10P	11	AI	アナログ入力チャネル 10、正入力。
AIN10M	12	AI	アナログ入力チャネル 10、負入力。
AIN11P	13	AI	アナログ入力チャネル 11、正入力。
AIN11M	14	AI	アナログ入力チャネル 11、負入力。
AIN12P	15	AI	アナログ入力チャネル 12、正入力。
AIN12M	16	AI	アナログ入力チャネル 12、負入力。
AIN13P	17	AI	アナログ入力チャネル 13、正入力。
AIN13M	18	AI	アナログ入力チャネル 13、負入力。
AIN14P	19	AI	アナログ入力チャネル 14、正入力。
AIN14M	20	AI	アナログ入力チャネル 14、負入力。
AIN15P	21	AI	アナログ入力チャネル 15、正入力。
AIN15M	22	AI	アナログ入力チャネル 15、負入力。
AIN16P	23	AI	アナログ入力チャネル 16、正入力。
AIN16M	24	AI	アナログ入力チャネル 16、負入力。
AVDD_1V8	30, 51	P	1.8V 電源。1 $\mu$ F と 0.1 $\mu$ F のデカップリング コンデンサを GND に接続します。
AVDD_5V	26, 27, 56	P	5V アナログ電源。1 $\mu$ F と 0.1 $\mu$ F のデカップリング コンデンサを GND に接続します。
DRDY/ALARM	49	DIO	データ準備完了またはアラーム、アクティブ High
CONVST	50	DI	変換開始を制御するためのロジック入力。
CS	35	DI	SPI 構成用のチップ セレクト入力、アクティブ Low。
D0	46	DIO	データ出力 0 とデジタイゼーション入力 0。
D1	45	DIO	データ出力 1 とデジタイゼーション入力 1。
D2	44	DIO	データ出力 2 とデジタイゼーション入力 2。
D3	43	DIO	データ出力 3 とデジタイゼーション入力 3。
D4	42	DO	シリアル出力データレーン 4。
D5	41	DO	シリアル出力データレーン 5。
D6	40	DO	シリアル出力データレーン 6。
D7	39	DO	シリアル出力データレーン 7。
GND	25, 33, 48, 55	P	グランド。
IOVDD	34, 47	P	データ インターフェイスのデジタル I/O 電源。1 $\mu$ F と 0.1 $\mu$ F のデカップリング コンデンサを GND に接続します。
REFCAPA	52	AO	リファレンス アンプの出力ピン。ピン 52 とピン 53 の間に、低 ESR の 1 $\mu$ F、X7R デカップリング コンデンサを接続します。
REFIO	54	AIO	REFSEL が High のとき、このピンは内部リファレンス出力として動作します。REFSEL が Low のときは、外部リファレンス用の入力ピンとして機能します。また、このピンはピン 53 の REF <sub>M</sub> とともに、4.7 $\mu$ F のコンデンサでデカップリングします。
REFCAPB	29	AO	リファレンス アンプの出力ピン。ピン 29 とピン 28 の間に、低 ESR の 1 $\mu$ F、X7R デカップリング コンデンサを接続します。
REF <sub>M</sub>	28, 53	P	リファレンス GND ピン。これらのピンを、PCB 上でデバイス外部の GND プレーンに短絡接続します。
REFSEL	31	DI	ADC の基準電圧源を選択するためのロジック入力。
リセット	32	DI	デバイスのリセット入力、アクティブ Low。
SCLK	37	DI	データ インターフェイス向けシリアル クロック入力。
SDI	36	DI	データ インターフェイスのシリアル データ入力。
SDOUT	38	DO	ユーザー レジスタ用のシリアル データ出力、または 1 レーン データ出力。
サーマル パッド	-	P	露出したサーマル パッド。GND に接続。

(1) AI = アナログ入力、AO = アナログ出力、AIO = アナログ入出力、DI = デジタル入力、DO = デジタル出力、DIO = デジタル入出力、P = 電源、NC = 接続なし。

## 6 仕様

### 6.1 絶対最大定格

動作周囲温度範囲の全体にわたって (特に記述のない限り)<sup>(1)</sup>

	最小値	最大値	単位
AVDD_5V から GND	-0.3	6	V
AVDD_1V8 から GND	-0.3	2.1	V
IOVDD から GND へ	-0.3	3.6	V
AINnP - AINmM で定義され、隣接する任意のアナログ ピン間に配置	-50	50	V
AINnP および AINmM から GND	-50	50	V
REFIO から GND	GND - 0.3	VREF (4.096) + 0.3	V
デジタル入力から GND へ	GND - 0.3	3.6	V
電源ピンを除く任意のピンへの入力電流 <sup>(2)</sup>	-10	10	mA
接合部温度、T <sub>J</sub>	-40	150	°C
保管温度、T <sub>stg</sub>	-60	150	°C

- (1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件、または「推奨動作条件」に記載された範囲を超えるその他のいかなる条件においても、本デバイスの機能動作を保証するものではありません。「絶対最大定格」の範囲内であっても、「推奨動作条件」の範囲外で使用するとデバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) ピンの電流を 10 mA 以下に制限します。

### 6.2 ESD 定格

			値	単位	
V <sub>(ESD)</sub>	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン <sup>(1)</sup>	アナログ入力ピン (AINnP および AINmM)	±8000	V
			その他のすべてのピン	±2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン <sup>(2)</sup>		±500	V

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

### 6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位	
<b>電源</b>						
AVDD_5V	アナログ電源	AVDD_5V から GND	4.75	5	5.25	V
AVDD_1V8	電源	AVDD_1V8 から GND	1.7	1.8	1.9	V
IOVDD	デジタル インターフェイス電源	IOVDD から IOGND へ	1.7		3.6	V
<b>基準電圧</b>						
V <sub>REF</sub>	ADC へのリファレンス電圧	外部リファレンス	4.086	4.096	4.106	V
<b>アナログ入力</b>						
AINnP	動作入力電圧、 正入力		-50		50	V
AINnM	動作入力電圧、 負入力		-50		50	V
	隣接アナログ ピン間の電圧差 (AINnP - AINnM)		-50		50	V
V <sub>CM</sub>	同相モード入力範囲、 (AINnP + AINnM)/2	差動入力 CM_RANGE_AINn = 0	-40		40	V
<b>温度範囲</b>						
T <sub>A</sub>	周辺温度		-40		125	°C

### 6.4 熱に関する情報

熱評価基準 <sup>(1)</sup>		ADS93x4、ADS93x4C	単位
		RSK (VQFN)	
		64 ピン	
R <sub>θJA</sub>	接合部から周囲への熱抵抗	22.3	°C/W
R <sub>θJC(top)</sub>	接合部からケース (上面) への熱抵抗	8.6	°C/W
R <sub>θJB</sub>	接合部から基板への熱抵抗	6.8	°C/W
Ψ <sub>JT</sub>	接合部から上面への特性パラメータ	0.1	°C/W
Ψ <sub>JB</sub>	接合部から基板への特性パラメータ	6.7	°C/W
R <sub>θJC(bot)</sub>	接合部からケース (底面) への熱抵抗	0.8	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。

## 6.5 電気的特性

at AVDD\_5V = 4.75V~5.25V、AVDD\_1V8 = 1.7V~1.9V、IOVDD = 1.7V~3.6V、V<sub>REF</sub> = 4.096V (内部または外部)、および最大スループット (特に記述のない限り)、T<sub>A</sub> = -40°C ~ +125°C 最小値および最大値、T<sub>A</sub> = 25°C での標準値

パラメータ		テスト条件	最小値	標準値	最大値	単位
<b>アナログ入力</b>						
R <sub>IN</sub>	入力インピーダンス	すべての入力範囲		1		MΩ
	入力インピーダンスの熱ドリフト	すべての入力範囲		10		ppm/°C
	入力容量			10		pF
V <sub>FSR</sub>	フルスケール入力範囲 (AINnP - AINnM)	RANGE_n[2:0] = 010b	-2.5		2.5	V
		RANGE_n[2:0] = 000b	-5		5	V
		RANGE_n[2:0] = 011b	-6.25		6.25	V
		RANGE_n[2:0] = 100b	-10		10	V
		RANGE_n[2:0] = 101b	-12.5		12.5	V
		RANGE_n[2:0] = 001b	-25		25	V
		RANGE_n[2:0] = 110b	-50		50	V
V <sub>CM</sub>	コモン モード入力範囲	差動入力 CM_RANGE_AINn = 0	-40		40	V
<b>アナログ入力フィルタ</b>						
BW <sub>(-3 dB)</sub>	アナログ入力 LPF 帯域幅 - 3dB	低帯域幅フィルタ、すべての入力範囲		25.5		kHz
		広帯域フィルタ、V <sub>FSR</sub> = ±2.5V		280		kHz
		広帯域フィルタ、V <sub>FSR</sub> = ±5V		325		kHz
		広帯域フィルタ、V <sub>FSR</sub> = ±6.25V		300		kHz
		広帯域フィルタ、V <sub>FSR</sub> = ±10V、±12.5V		350		kHz
		広帯域フィルタ、V <sub>FSR</sub> = ±25V、±50V		400		kHz
	位相遅延	低帯域幅フィルタ、すべての入力範囲		6.2		μs
		広帯域幅フィルタ、すべての入力範囲		0.5		μs
<b>DC 性能 - シングル エンド</b>						
	分解能	ミッシング コードなし		16		ビット
DNL	微分非直線性	全範囲		±0.5		LSB
INL	積分非直線性	全範囲		±0.5		LSB
	オフセット誤差 <sup>(1) (4)</sup>	V <sub>FSR</sub> = ±2.5V		±15		LSB
		V <sub>FSR</sub> = ±5V、±6.25V、±10V、±12.5V、±25V		±8		LSB
		V <sub>FSR</sub> = ±50V		±16		LSB
	オフセット誤差の温度係数 <sup>(2)</sup>	V <sub>FSR</sub> = ±2.5V		1		ppm/°C
		V <sub>FSR</sub> = ±5V、±6.25V、±10V、±12.5V、±25V		1		ppm/°C
		V <sub>FSR</sub> = ±50V		1		ppm/°C
	ゲイン誤差 <sup>(2) (3) (4)</sup>	V <sub>FSR</sub> = ±2.5V、±5V、±6.25V、±10V、±12.5V、±25V		±0.012		%FSR
		V <sub>FSR</sub> = ±50V		±0.025		%FSR
	ゲイン誤差の温度ドリフト <sup>(2) (3)</sup>	V <sub>FSR</sub> = ±2.5V、±5V、±6.25V、±10V、±12.5V、±25V		0.8		ppm/°C
		V <sub>FSR</sub> = ±50V		2		ppm/°C
<b>DC 性能 - 差動</b>						
	分解能	ミッシング コードなし		16		ビット
DNL	微分非直線性	全範囲		±0.5		LSB
INL	積分非直線性	全範囲		±0.5		LSB

at AVDD\_5V = 4.75V~5.25V、AVDD\_1V8 = 1.7V~1.9V、IOVDD = 1.7V~3.6V、V<sub>REF</sub> = 4.096V (内部または外部)、および最大スループット (特に記述のない限り)、T<sub>A</sub> = -40°C ~ +125°C 最小値および最大値、T<sub>A</sub> = 25°C での標準値

パラメータ		テスト条件	最小値	標準値	最大値	単位
	オフセット誤差 <sup>(1) (4) (5)</sup>	V <sub>FSR</sub> = ±2.5V		±15		LSB
		V <sub>FSR</sub> = ±5V、±6.25V、±10V、±12.5V、±25V		±8		LSB
	オフセット誤差の温度ドリフト <sup>(2) (5)</sup>	V <sub>FSR</sub> = ±2.5V		1		ppm/°C
		V <sub>FSR</sub> = ±5V、±6.25V、±10V、±12.5V、±25V		1		ppm/°C
	ゲイン誤差 <sup>(2) (3) (4) (5)</sup>	V <sub>FSR</sub> = ±2.5V、±5V、±6.25V、±10V、±12.5V、±25V		±0.012		%FSR
	ゲイン誤差の温度ドリフト <sup>(2) (3) (5)</sup>	V <sub>FSR</sub> = ±2.5V、±5V、±6.25V、±10V、±12.5V、±25V		0.8		ppm/°C
<b>DC 性能 - シングル エンド、オープン ワイヤ安全</b>						
	分解能	ミッシング コードなし		16		ビット
DNL	微分非直線性	全範囲		±0.5		LSB
INL	積分非直線性	全範囲		±0.5		LSB
	オフセット誤差 <sup>(1) (4)</sup>	V <sub>FSR</sub> = ±2.5V		±15		LSB
		V <sub>FSR</sub> = ±5V、±6.25V、±10V、±12.5V		±8		LSB
	オフセット誤差の温度係数 <sup>(2)</sup>	V <sub>FSR</sub> = ±2.5V、±5V、±6.25V、±10V、±12.5V		1		ppm/°C
	ゲイン誤差 <sup>(2) (3) (4)</sup>	V <sub>FSR</sub> = ±2.5V、±5V、±6.25V、±10V、±12.5V		±0.012		%FSR
	ゲイン誤差の温度ドリフト <sup>(2) (3)</sup>	V <sub>FSR</sub> = ±2.5V、±5V、±6.25V、±10V、±12.5V		0.8		ppm/°C
<b>AC 性能 - シングル エンド</b>						
SNR	低帯域幅モードでの 信号対雑音比 (1kHz で -0.1dBFS 入力)	V <sub>FSR</sub> = ±2.5V		86		dB
		V <sub>FSR</sub> = ±5V、±6.25V		87		dB
		V <sub>FSR</sub> = ±10V、±12.5V、±25V、±50V		88		dB
	広帯域幅モードでの 信号対雑音比 (1kHz で -0.1dBFS 入力)	V <sub>FSR</sub> = ±2.5V		77		dB
		V <sub>FSR</sub> = ±5V		79.5		dB
		V <sub>FSR</sub> = ±6.25V		81.5		dB
		V <sub>FSR</sub> = ±10V		82.5		dB
		V <sub>FSR</sub> = ±12.5V		84		dB
SINAD	低帯域幅モードでの 信号対雑音 + 歪み比 (1kHz での -0.1dBFS 入力)	V <sub>FSR</sub> = ±2.5V		84.7		dB
		V <sub>FSR</sub> = ±5V、±6.25V		86		dB
		V <sub>FSR</sub> = ±10V、±12.5V		86.4		dB
		V <sub>FSR</sub> = ±25V、±50V		87		dB
	広帯域幅モードでの 信号対雑音 + 歪み比 (1kHz での -0.1dBFS 入力)	V <sub>FSR</sub> = ±2.5V		76.5		dB
		V <sub>FSR</sub> = ±5V		78.9		dB
		V <sub>FSR</sub> = ±6.25V		80.7		dB
		V <sub>FSR</sub> = ±10V		81.6		dB
	全高調波歪み (1kHz で -0.1dBFS 入力)	V <sub>FSR</sub> = ±12.5V		83		dB
		V <sub>FSR</sub> = ±25V		85		dB
	V <sub>FSR</sub> = ±50V		86		dB	
THD	全高調波歪み (1kHz で -0.1dBFS 入力)	全範囲		-103		dB
SFDR	スプリアスフリー ダイナミックレンジ (1kHz で -0.1dBFS 入力)	全範囲		100		dB
	絶縁クロストーク	DC 時		-100		dB

at AVDD\_5V = 4.75V~5.25V、AVDD\_1V8 = 1.7V~1.9V、IOVDD = 1.7V~3.6V、V<sub>REF</sub> = 4.096V (内部または外部)、および最大スループット (特に記述のない限り)、T<sub>A</sub> = -40°C ~ +125°C 最小値および最大値、T<sub>A</sub> = 25°C での標準値

ADVANCE INFORMATION

パラメータ		テスト条件	最小値	標準値	最大値	単位
<b>AC 性能 - 差動</b>						
SNR	低帯域幅モードでの 信号対雑音比 (1kHz で -0.1dBFS 入力)	V <sub>FSR</sub> = ±2.5V		78		dB
		V <sub>FSR</sub> = ±5V、±6.25V		83		dB
		V <sub>FSR</sub> = ±10V、±12.5V、±25V		86.5		dB
	広帯域幅モードでの 信号対雑音比 (1kHz で -0.1dBFS 入力)	V <sub>FSR</sub> = ±2.5V		70		dB
		V <sub>FSR</sub> = ±5V		74		dB
		V <sub>FSR</sub> = ±6.25V		76		dB
		V <sub>FSR</sub> = ±10V		79		dB
		V <sub>FSR</sub> = ±12.5V		80		dB
		V <sub>FSR</sub> = ±25V		84		dB
	SINAD	低帯域幅モードでの 信号対雑音 + 歪み比 (1kHz での -0.1dBFS 入力)	V <sub>FSR</sub> = ±2.5V		77.2	
V <sub>FSR</sub> = ±5V、±6.25V				81.6		dB
V <sub>FSR</sub> = ±10V、±12.5V、±25V				84.5		dB
広帯域幅モードでの 信号対雑音 + 歪み比 (1kHz での -0.1dBFS 入力)		V <sub>FSR</sub> = ±2.5V		70		dB
		V <sub>FSR</sub> = ±5V		73.5		dB
		V <sub>FSR</sub> = ±6.25V		75.3		dB
		V <sub>FSR</sub> = ±10V		78.3		dB
		V <sub>FSR</sub> = ±12.5V		78.8		dB
		V <sub>FSR</sub> = ±25V		82		dB
THD		全高調波歪み (1kHz で -0.1dBFS 入力)	全範囲		-103	
SFDR	スプリアスフリー ダイナミックレンジ (1kHz で -0.1dBFS 入力)	全範囲		100		dB
CMRR	絶縁クロストーク	dc では CM 誤り訂正なし		74		dB
		dc で、CM 誤り訂正がイネーブル、 ΔV <sub>CM</sub> = 80V で測定		100		dB
		DC 時		-100		dB
<b>AC 性能 - シングル エンド、オープンワイヤ安全</b>						
SNR	低帯域幅モードでの 信号対雑音比 (1kHz で -0.1dBFS 入力)	V <sub>FSR</sub> = ±2.5V、		80		dB
		V <sub>FSR</sub> = ±5V、±6.25V		85.5		dB
		V <sub>FSR</sub> = ±10V、±12.5V		87.5		dB
	広帯域幅モードでの 信号対雑音比 (1kHz で -0.1dBFS 入力)	V <sub>FSR</sub> = ±2.5V		71.5		dB
		V <sub>FSR</sub> = ±5V		76		dB
		V <sub>FSR</sub> = ±6.25V		78		dB
		V <sub>FSR</sub> = ±10V		80		dB
		V <sub>FSR</sub> = ±12.5V		81.5		dB
		V <sub>FSR</sub> = ±25V		84		dB
	SINAD	低帯域幅モードでの 信号対雑音 + 歪み比 (1kHz での -0.1dBFS 入力)	V <sub>FSR</sub> = ±2.5V		79.3	
V <sub>FSR</sub> = ±5V、±6.25V				84		dB
V <sub>FSR</sub> = ±10V、±12.5V				86		dB
広帯域幅モードでの 信号対雑音 + 歪み比 (1kHz での -0.1dBFS 入力)		V <sub>FSR</sub> = ±2.5V		71.2		dB
		V <sub>FSR</sub> = ±5V		75.6		dB
		V <sub>FSR</sub> = ±6.25V		77.5		dB
		V <sub>FSR</sub> = ±10V		79.3		dB
		V <sub>FSR</sub> = ±12.5V		80.7		dB
		V <sub>FSR</sub> = ±25V		84		dB

at AVDD\_5V = 4.75V~5.25V、AVDD\_1V8 = 1.7V~1.9V、IOVDD = 1.7V~3.6V、V<sub>REF</sub> = 4.096V (内部または外部)、および最大スループット (特に記述のない限り)、T<sub>A</sub> = -40°C ~ +125°C 最小値および最大値、T<sub>A</sub> = 25°C での標準値

パラメータ		テスト条件	最小値	標準値	最大値	単位
THD	全高調波歪み (1kHz で -0.1dBFS 入力)	全範囲		-103		dB
SFDR	スプリアスフリー ダイナミックレンジ (1kHz で -0.1dBFS 入力)	全範囲		100		dB
	絶縁クロストーク	DC 時		-100		dB
<b>内部リファレンス</b>						
V <sub>REF</sub> (1)	REFIO ピンの電圧 (出力として構成)	REFIO ピンの 1μF コンデンサ、T <sub>A</sub> = 25°C		4.096		V
	基準温度ドリフト			15		ppm/°C
	リファレンス バッファ出力 インピーダンス			1		kΩ
	リファレンス ターンオン時間	REFCAP ピンの 1μF コンデンサ			30	ms
<b>外部リファレンス入力</b>						
REF <sub>LKG</sub>	リファレンス入力のリーク電流				±10	nA
<b>デジタル入力</b>						
V <sub>IL</sub>	入力 low ロジックレベル スレッシュ ホールド			0.3 IOVDD		V
V <sub>IH</sub>	入力 High ロジックレベル		0.7 IOVDD			V
<b>デジタル出力</b>						
V <sub>OL</sub>	出力 Low ロジックレベル	I <sub>OL</sub> = 200μA シンク	0		0.4	V
V <sub>OH</sub>	出力 High ロジックレベル	I <sub>OH</sub> = 200μA ソース	IOVDD-0.4		IOVDD	V
<b>電源</b>						
	全消費電力	最大スループット		230		mW
I <sub>AVDD_5V</sub>	AVDD_5V からの電源電流	最大スループット、内部リファレンス		30		mA
I <sub>AVDD_1V8</sub>	AVDD_1V8 からの電源電流	最大スループット、内部リファレンス		32		mA
I <sub>IOVDD</sub>	IOVDD からの消費電流	最大スループット		6		mA

- (1) 半田シフトの影響による電圧の変動は含まれていません。
- (2) この仕様には、T<sub>A</sub> = 25°C でのオフセット誤差校正後の全動作温度範囲が含まれます。
- (3) これらの仕様は全動作温度範囲での変動を想定していますが、誤差が内部リファレンスから寄与するものではありません。
- (4) ADC\_CAL は、電源投入時に実行されます。
- (5) 同相モード エラー訂正が有効です (CME\_CORR\_EN\_AINn = 1b)。

## 6.6 タイミング要件

at AVDD\_5V = 4.75V~5.25V、AVDD\_1V8 = 1.7V~1.9V、IOVDD = 1.7V~3.6V、V<sub>REF</sub> = 4.096V (内部または外部)、および最大スループット (特に記述のない限り)、T<sub>A</sub> = -40°C ~ +125°C 最小値および最大値、T<sub>A</sub> = 25°C での標準値

		最小値	最大値	単位
<b>CONVST</b>				
t <sub>CONVST</sub>	サンプリング時間間隔 (1/f <sub>CONVST</sub> )	1		μs
t <sub>PL_CV</sub>	CONVST パルス low 時間	50		ns
t <sub>PH_CV</sub>	CONVST パルス high 時間	50		ns
t <sub>su_CV_hi_DRDY_hi</sub>	セットアップ時間: CONVST 立ち上がりから DRDY の立ち上がりまで <sup>(1)</sup>	50		ns
<b>シリアル インターフェイス</b>				
f <sub>SCLK</sub>	SCLK の最大周波数		60	MHz
t <sub>SCLK</sub>	最小 SCLK 時間周期	16		ns
t <sub>PH_SCLK</sub>	SCLK High 時間	0.45	0.55	t <sub>SCLK</sub>
t <sub>PL_SCLK</sub>	SCLK Low 時間	0.45	0.55	t <sub>SCLK</sub>
t <sub>hi_CS</sub>	パルス幅 $\overline{CS}$ high	16		ns
t <sub>su_CSCK</sub>	セットアップ時間: $\overline{CS}$ 立ち下がりから最初の SCLK キャプチャ エッジ	16		ns
t <sub>ht_CSCK</sub>	遅延時間: 最後の SCLK 立ち下がりエッジから $\overline{CS}$ 立ち上がり時間	16		ns
t <sub>su_CKDI</sub>	セットアップ時間: SDI データ有効から対応する SCLK 立ち上がりエッジまで	3		ns
t <sub>ht_CKDI</sub>	ホールド時間: SCLK 立ち上がりエッジから SDI での対応するデータ有効まで	1		ns
t <sub>su_DRDYCS</sub>	セットアップ時間: DRDY 立ち下がりエッジから CS 立ち下がりエッジまで	0		ns
t <sub>ht_DRDYCS</sub>	ホールド時間: DRDY 立ち上がりエッジから CS 立ち上がりエッジまで	0		ns

(1) 内部クロックオーバー サンプリング モードにのみ適用されます。

## 6.7 スイッチング特性

at AVDD\_5V = 4.75V~5.25V, AVDD\_1V8 = 1.7V~1.9V, IOVDD = 1.7V~3.6V, V<sub>REF</sub> = 4.096V (内部または外部)、および最大スループット (特に記述のない限り)、T<sub>A</sub> = -40°C ~ +125°C 最小値および最大値、T<sub>A</sub> = 25°C での標準値

パラメータ		テスト条件	最小値	最大値	単位
リセット					
t <sub>PU</sub>	デバイスのパワーアップ時間	REFCAP ピンの 1μF コンデンサ		30	ms
シリアル インターフェイス					
t <sub>d_CSDO</sub>	遅延時間: CS の立ち下がりエッジから SDOUT および D[7:0] にデータが有効になる までの時間			16	ns
t <sub>dz_CSDO</sub>	遅延時間: CS の立ち上がりエッジから、 SDOUT および D[7:0] がハイ インピーダンス 状態に移行するまでの時間			7.5	ns
t <sub>vt_CKDO</sub>	有効時間: SCLK の立ち上がり (または立ち下 がり) エッジから、SDOUT および D[7:0] 上で 前の データが有効になるまでの時間		7.6		ns
t <sub>d_CKDO</sub>	遅延時間: SCLK の立ち上がり (または立ち下 がり) エッジから、SDOUT および D[7:0] 上で 対応するデータが有効になるまでの時間			17	ns
DRDY およびアラーム					
t <sub>CYC</sub>	ADC サイクル時間周期		1 / f <sub>CONVST</sub>		μs
t <sub>d_CVDRDY_hi</sub>	データレディ時間、CONVST 立ち下がりエッ ジから DRDY 立ち上がりエッジまでの時間遅 延			t <sub>CONV</sub>	μs
t <sub>d_CVDRDY_lo</sub>	CONVST の立ち下がりエッジから DRDY の立 ち下がりエッジまでの遅延時間			350	ns
t <sub>d_ALARM</sub>	CONVST の立ち下がりエッジから、新しい ALARM が有効になるまでの遅延時間			t <sub>CONV</sub>	μs

### 6.8 タイミング図

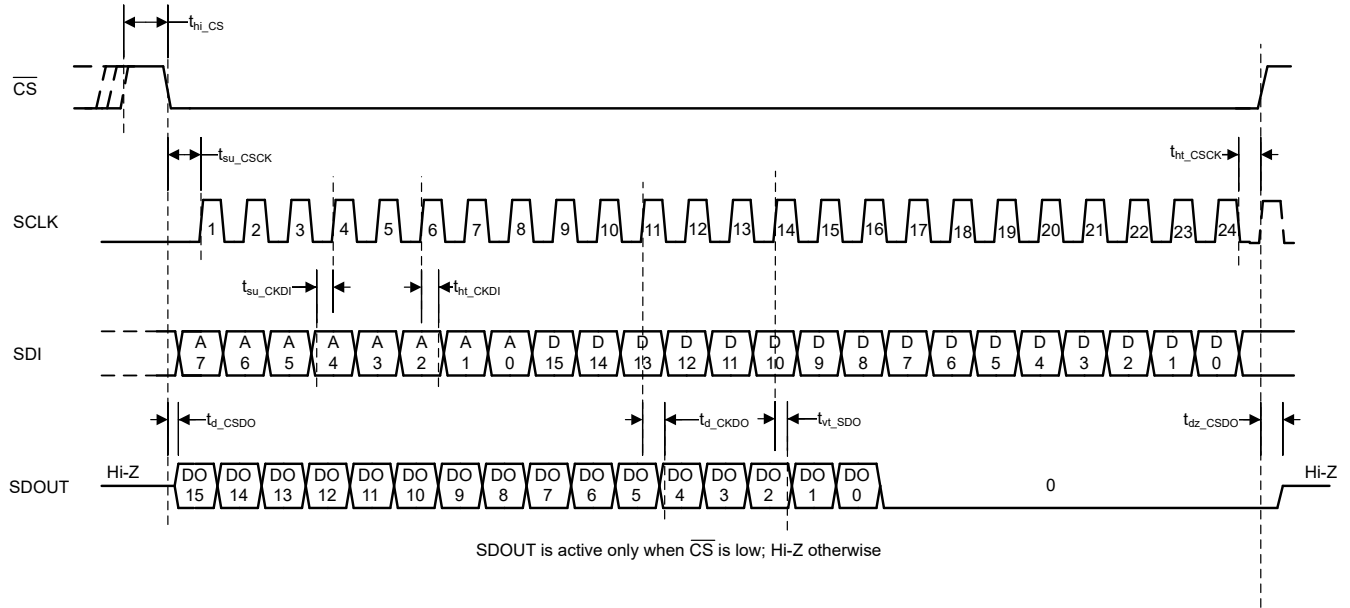


図 6-1. レジスタの読み取りおよび書き込み動作のタイミング

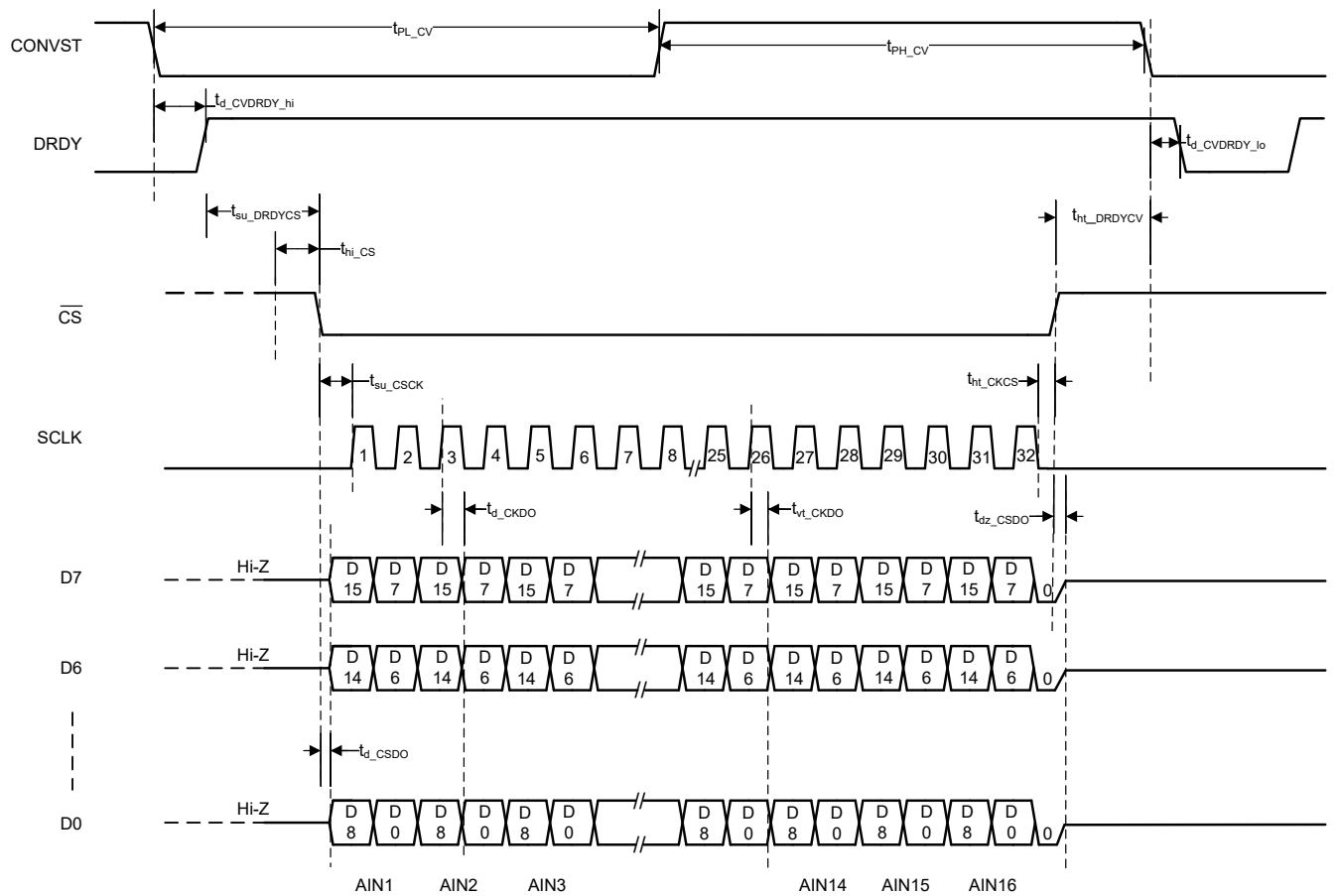


図 6-2. ADC 変換データの読み取りタイミング：8 レーン (デフォルト動作)

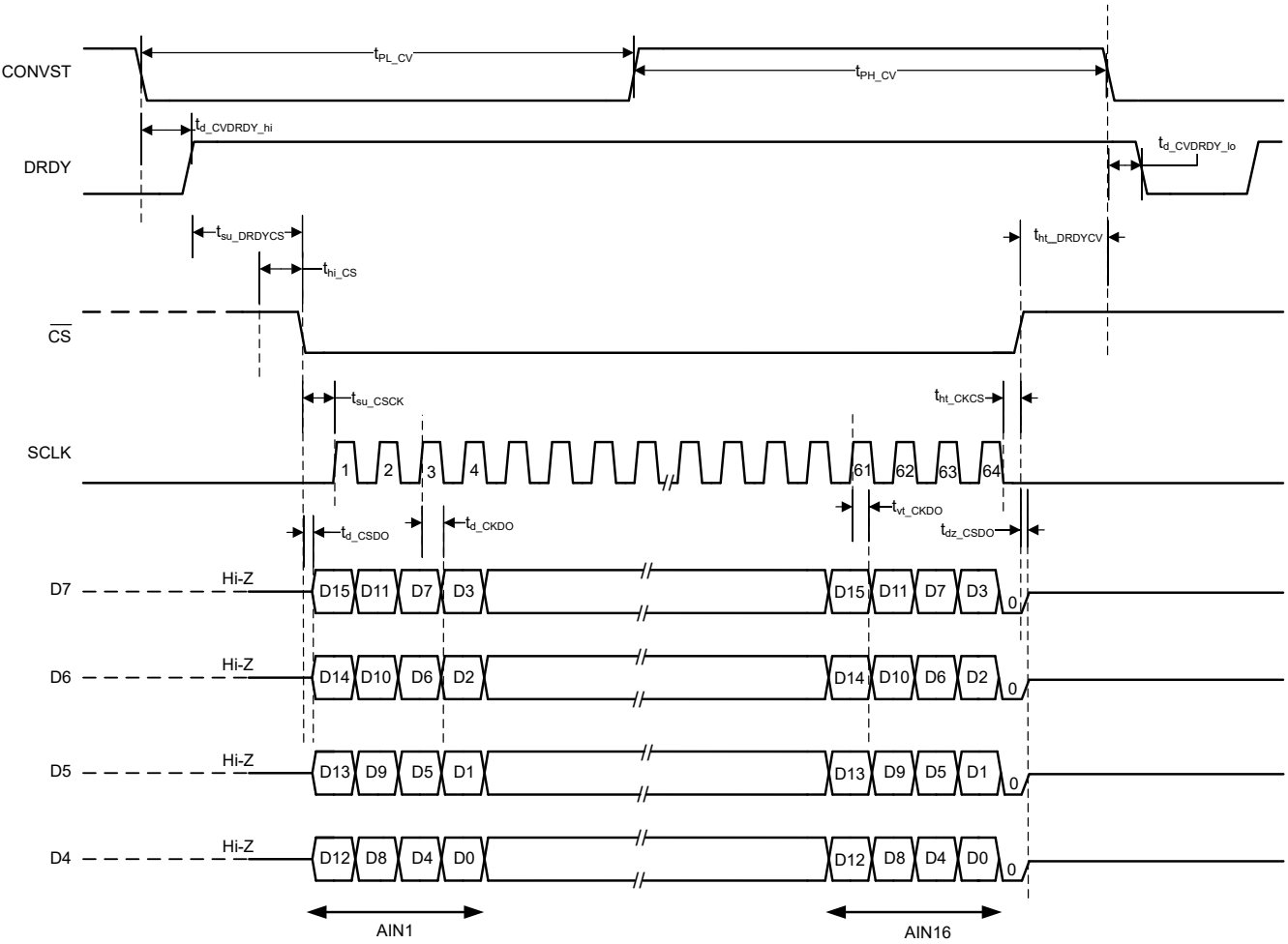


図 6-3. ADC 変換データの読み取りタイミング : 4 レーン

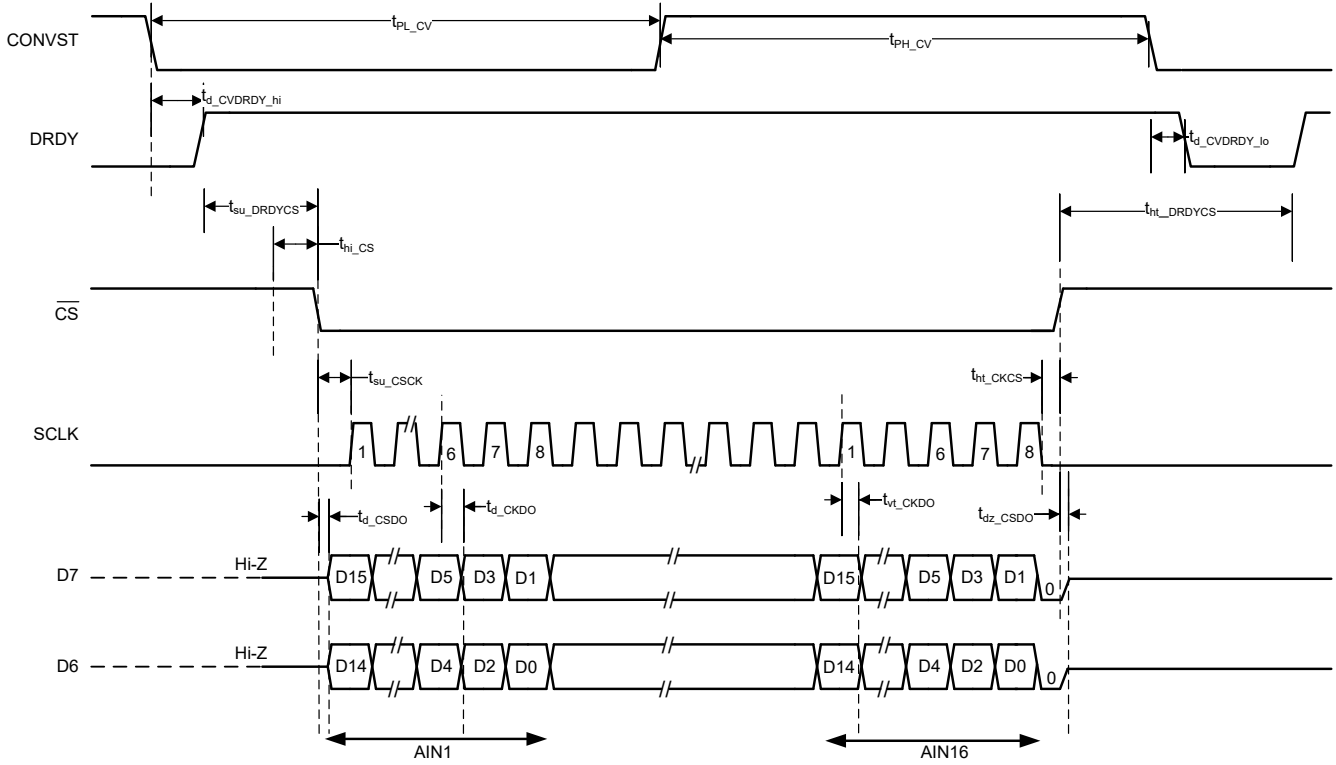


図 6-4. ADC 変換データの読み取りタイミング : 2 レーン

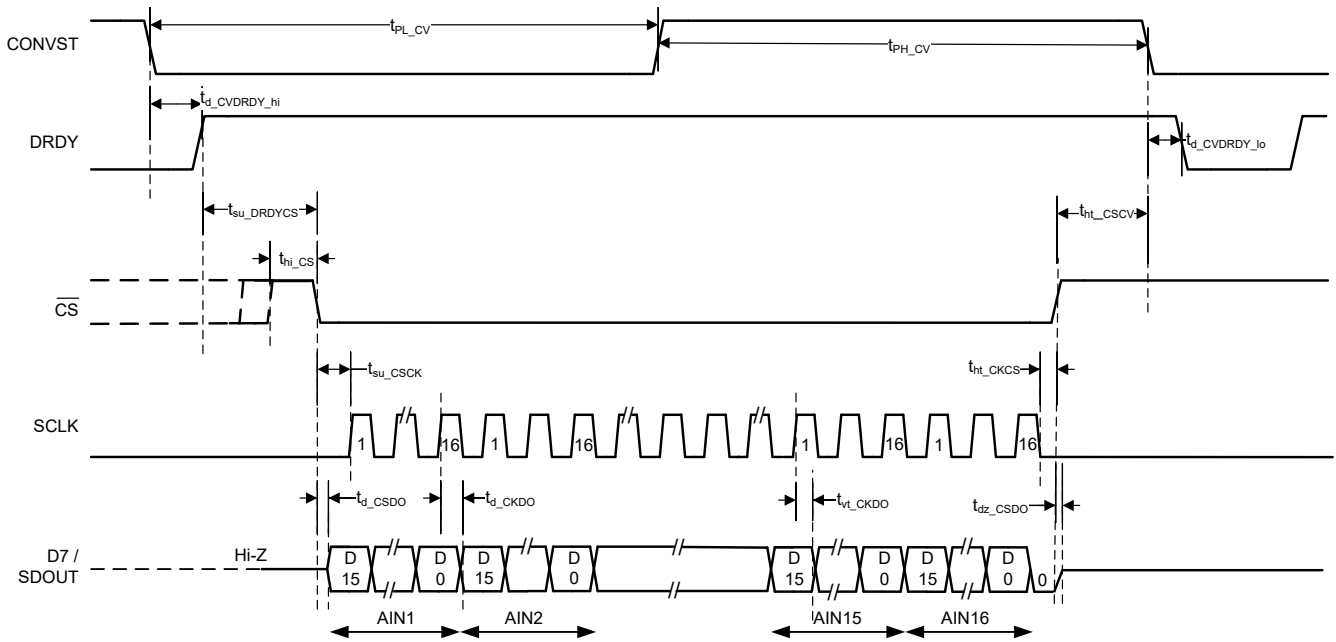
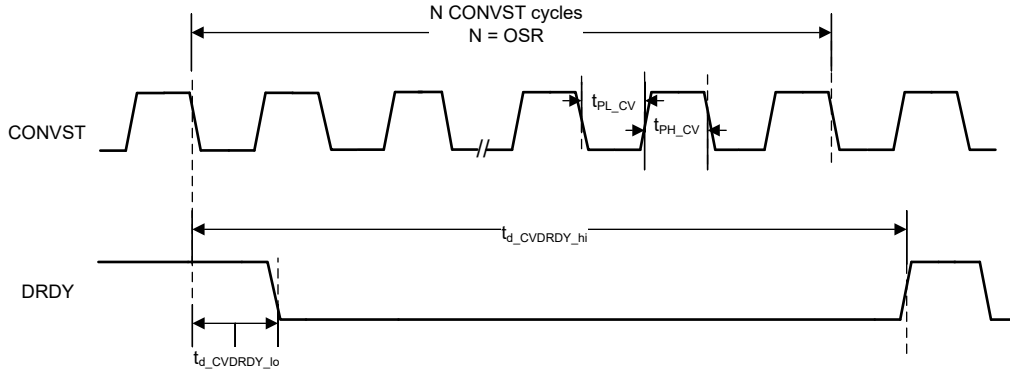


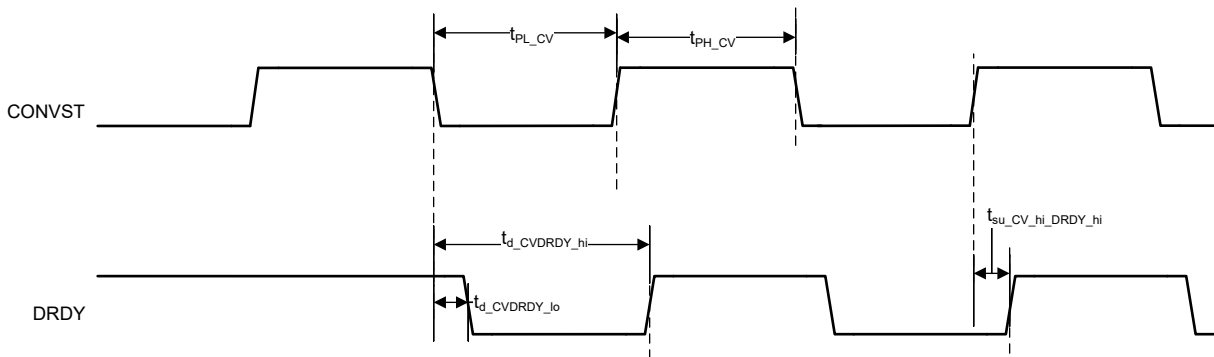
図 6-5. ADC 変換データの読み取りタイミング : 1 レーン



注

1. 外部クロックのオーバーサンプリングモードおよびFIRフィルタを使用し、ブロック平均フィルタを利用する場合に適用されます。FIRフィルタの場合、Nはデシメーション係数です。

図 6-6. CONVST および DRDY、外部クロック オーバーサンプリング



注

1. 内部クロックのオーバーサンプリングモードでは、デバイスが正しく動作するために、CONVSTはDRDYの立ち上がりエッジより前にHighになる必要があります。タイミング要件は $t_{su\_CV\_hi\_DRDY\_hi}$ によって定義されます。これにより、CONVST信号の最小 $t_{PH\_CV}$ が制限されます。 $t_{PH\_CV}$ の最小値は、で計算できます $t_{PH\_CV} = t_{CONVST} - 1.2 \mu s$ 以下に適用します $f_{CONVST} \leq \frac{800kHz}{N}$ ここで、Nはオーバーサンプリングレートです。
2. 内部クロック オーバーサンプリングモードによるブロック平均フィルタに適用できます。

図 6-7. CONVST および DRDY、内部クロック オーバーサンプリング

## 7 詳細説明

### 7.1 概要

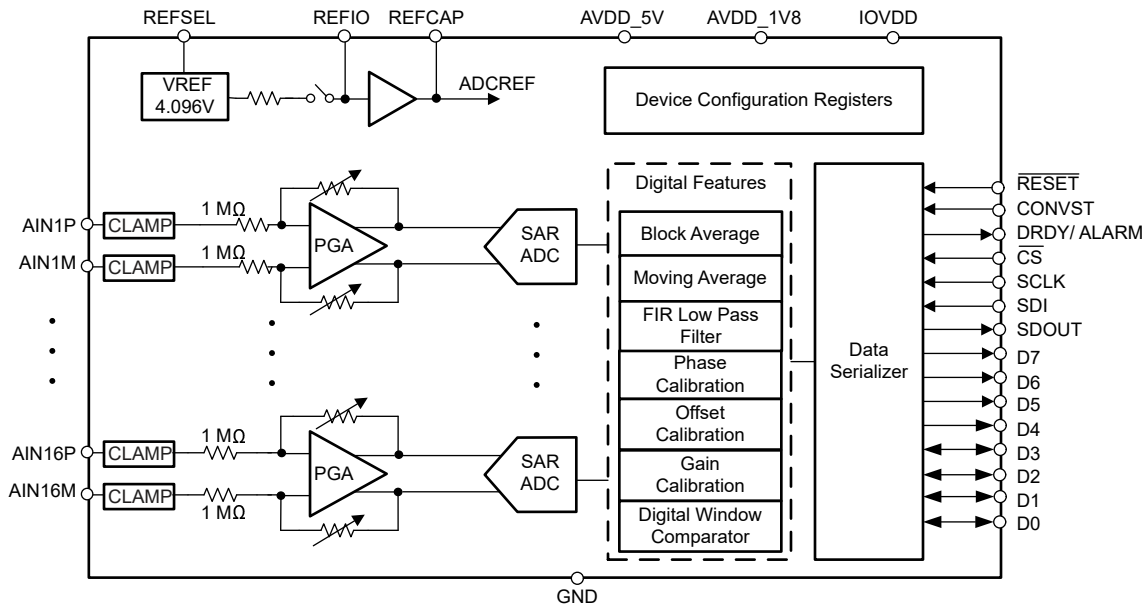
ADS9324C は、16 アナログ入力を備え、シングルエンドまたは差動として設定可能な、16 ビット同時サンプリングのデータ収集 (DAQ) システムです。各アナログ入力チャンネルは、入力クランプ保護回路およびユーザー選択可能な帯域幅オプションを備えたプログラマブル ゲイン アンプ (PGA) で構成されています。入力信号は、逐次比較型 (SAR) アーキテクチャに基づいて、16 ビットの A/D コンバータ (ADC) でデジタル化されます。このシステム全体は、すべてのチャンネルで 1 チャンネルあたり最大 1MSPS のスループットを実現します。このデバイスは、ADC を駆動するためのバッファ付き 4.096V 内部精密リファレンスを備えています。

このデバイスは 5V および 1.8V のアナログ電源で動作し、真のバイポーラ入力信号に対応します。このデバイスは、サンプリング周波数や選択された入力レンジに関係なく、一定の 1MΩ の抵抗性入力インピーダンスを提供します。ADS9324C は、外部アンプや高電圧バイポーラ電源、複雑なドライバ回路を必要としない、シンプルなエンド設計を実現します。このデバイスは差動入力とシングルエンド入力の両方に対応しており、さまざまなセンサ出力と組み合わせで使用できます。シングルエンド入力ではオープンワイヤ安全モードを備えており、センサが突然 ADC 入力から外れた場合でも、ADC の出力コードがほぼゼロになります。

ADS9324C の各チャンネルには、ADC のノイズ性能を向上させるためのオプションのデジタル フィルタが搭載されています。デジタル フィルタは、ブロック平均、移動平均、およびローパス FIR モードをサポートしています。ADS9324C は、また、測定されたオフセット誤差、ゲイン誤差、位相誤差に合わせて ADC 出力を自動調整できるよう、オフセット、ゲイン、位相のキャリブレーション機能も備えています。このデバイスには ADC の誤差を補正し、チャンネル間のオフセットやゲインの mismatch を低減するための ADC キャリブレーション (ADC\_CAL) モジュールが搭載されています。ユーザーがシステムレベルのキャリブレーションをまったく行わず、かつ電源投入時に低い ADC オフセット誤差とゲイン誤差を必要とする場合に、ADC\_CAL 機能は有用です。

ADS9324C は柔軟なデジタル インターフェイスを備えており、さまざまなホスト コントローラと組み合わせで使用できます。ユーザーはシリアル インターフェイスを、1 レーン、2 レーン、4 レーン、8 レーンのいずれかで ADC 出力を読み取るように設定できます。このデバイスは、2 チャンネル、4 チャンネル、8 チャンネル、16 チャンネルの同時サンプリング ADC として動作できる ADC の柔軟性も備えています。PCB レイアウトでグラウンド バウンスを十分に抑えられていない場合でも、データ伝送と ADC のアナログ性能の干渉を最小限にするため、ADC 出力ランダムマイザ機能も備わっています。

### 7.2 機能ブロック図



## 7.3 機能説明

### 7.3.1 アナログ入力

ADS9324C には、同時サンプリング可能な 16 ビット逐次比較型 (SAR) A/D コンバータ (ADC) が 16 チャンネル組み込まれています。このデバイスには、合計 16 つのアナログ入力ペアがあります。ADC は、アナログ入力ペア AINnP - AINnM の電圧差をデジタル化します。図 7-1 は、各アナログ入力チャネルの簡略化した回路図を示しており、入力クランプ保護回路、選択可能なローパスフィルタ付き PGA、および高精度な 16 ビット SAR ADC を含みます。

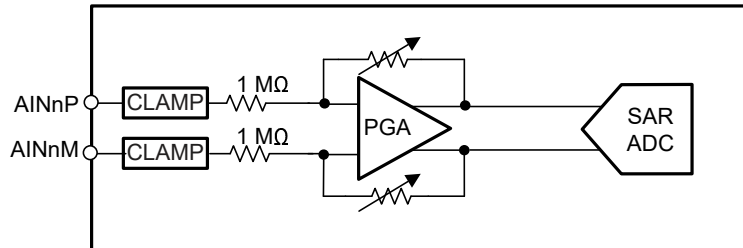


図 7-1. 選アナログ入力チャネルのフロントエンド回路図

### 7.3.2 入力クランプ保護回路

図 7-1 に示すように、ADS9324C は各 16 アナログ入力チャネルに内部クランプ保護回路を備えています。デバイスを保護する二次的な保護手段として、外部保護回路の使用が推奨されます。外部保護デバイスを使用すると、サージ、静電放電 (ESD)、電気的高速過渡 (EFT) に対する保護に役立ちます。

ADS9324C は、各アナログ入力が最大電圧  $\pm 50V$  までスイングすることを許容します。過電圧状態になると、入力電流は入力電圧に比例して増加し、クランプ電圧  $\pm 105V$  に達するまで直線的に増えます。図 7-2 は、入力クランプの電流対電圧の典型的な特性曲線を示しています。この電圧を超えると入力クランプ回路が動作し、電流は指数関数的に増加します。

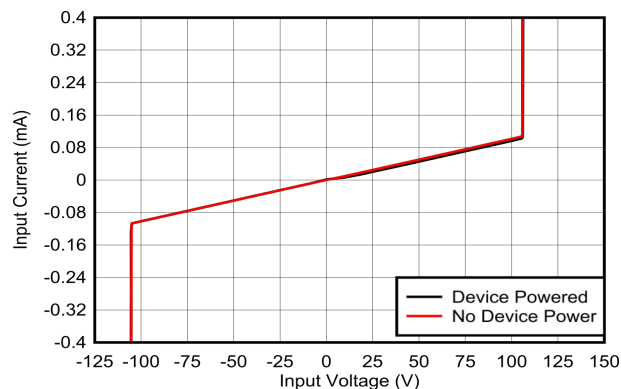


図 7-2. 入力クランプ保護プロファイル：入力電流と入力電圧との関係

最大入力電圧  $\pm 50V$  を超える入力電圧の場合、デバイスを損傷しないよう、入力電流が絶対最大定格 ( $\pm 10mA$ 、絶対最大定格表を参照) を決して超えないようにします。図 7-3 は、アナログ入力に小さな直列抵抗を入れることが、入力電流を制限する有効な方法であることを示しています。この抵抗は入力電流を制限するだけでなく、コンデンサと組み合わせることでアンチ エイリアシング用のローパス フィルタとしても働きます。システムの直流精度を維持するためには、AINnP 入力ピンの外部ソース インピーダンスと、AINnM ピン側に同等の抵抗を配置してマッチングさせることが推奨されます。一致させることで、外部抵抗に起因する追加のオフセット誤差を打ち消すのに役立ちます。

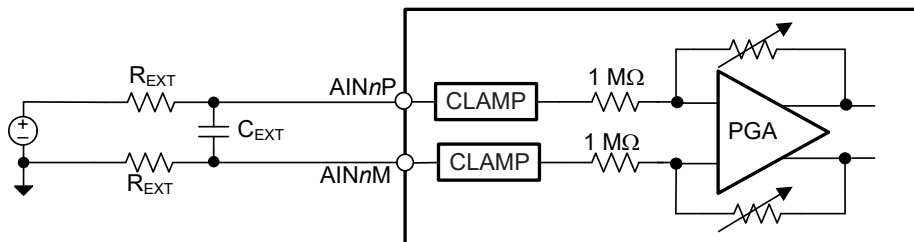


図 7-3. デバイスのアナログ入力の入力抵抗のマッチング

ADS9324C の入力過電圧保護クランプは、入力ピンでの過渡的な変動を制御することを目的としています。通常動作時でもパワー ダウン モードでも、クランプ回路が長時間作動し続けるような状態でデバイスを放置することは推奨されません。こうした故障状態は、デバイスの性能や信頼性を低下させる可能性があります。

### 7.3.3 アナログ入力インピーダンス

デバイスの各アナログ入力チャネルは、AINnP ピンと AINnM ピンの両方に 1MΩ の入力抵抗を示しています。各チャネルの入力抵抗は、入力信号の周波数、ADC の設定レンジ、あるいはオーバーサンプリング モードのいずれにも依存しません。このような高インピーダンス入力の主な利点は、出力インピーダンスの低いアンプを駆動する必要がなく、ADC 入力を簡単に駆動できることです。この ADC は高電圧のフロント エンドドライバを必要としないため、システムではバイポーラの高電圧電源は必要ありません。ほとんどのアプリケーションでは、信号源またはセンサ出力が ADC 入力に直接接続されるため、シグナル チェーン的设计を大幅に簡素化できます。

システムの dc 精度を維持するため、AINnP 入力ピンの外部ソース インピーダンスと同等の抵抗を AINnM ピン側にも合わせることを推奨されます (図 7-3 参照)。一致させることで、外部抵抗に起因する追加のオフセット誤差を打ち消すのに役立ちます。

### 7.3.4 プログラマブル ゲイン アンプ (PGA)

ADS93x4C は、すべてのアナログ入力チャネルにプログラマブル ゲイン アンプ (PGA) を備えています。PGA は、シングルエンド入力および差動入力の両方に対応しており、バイポーラ信号スイングをサポートします。差動入力モードでは、ADS93x4C は最大同相電圧 ±40V を使用できます。信号エンドモードでは、サポートされる最大同相電圧は  $\pm \frac{\text{RANGE}}{2}$  )。表 7-1 に、サポートされているアナログ入力範囲を示します。各チャネルのアナログ入力レンジは、PGA\_CONFIG\_AINx レジスタ内の INPUT\_RANGE\_AINn[2:0] フィールドを使用して個別に設定します。

各アナログ入力チャネルには、PGA の出力にアンチエイリアス用のローパス フィルタ (LPF) が備わっています。表 7-2 に、アナログ入力範囲に対応する ADS9324C で使用可能な各種のプログラマブル LPF オプションを示します。以下に、低帯域と広帯域の LPF の各構成における周波数応答を示します。各アナログ入力チャネルのアナログ入力帯域幅は、PGA\_BW\_SEL\_AINn レジスタ内の PGA\_SEL ビット フィールドで選択します。デフォルトでは、すべての PGA は低帯域幅モードになっています。

表 7-1. アナログ入力範囲

入力タイプ	RANGE	INPUT_RANGE_AINx	CM_RANGE_AINx
シングル エンド	±50V	6	5
シングル エンド	±25V	1	5
シングル エンド	±12.5V	5	5
シングル エンド	±10V	4	5
シングル エンド	±6.25V	3	5
シングル エンド	±5V	0	5
シングル エンド	±2.5V	2	5
差動	±25V	1	0
差動	±12.5V	5	0
差動	±10V	4	0

表 7-1. アナログ入力範囲 (続き)

入力タイプ	RANGE	INPUT_RANGE_AINx	CM_RANGE_AINx
差動	±6.25V	3	0
差動	±5V	0	0
差動	±2.5V	2	0
シングルエンド オープンワイヤ安全	±12.5V	5	6
シングルエンド オープンワイヤ安全	±10V	4	6
シングルエンド オープンワイヤ安全	±6.25V	3	6
シングルエンド オープンワイヤ安全	±5V	0	6
シングルエンド オープンワイヤ安全	±2.5V	2	6

表 7-2. ローパス フィルタのコーナー周波数

LPF	PGA_BW_SEL_AINn	アナログ入力電圧範囲	コーナー周波数 (-3dB)
低帯域幅	0	すべての入力範囲	25.5kHz
広い帯域幅	1	±2.5V	280kHz
		±5V	325kHz
		±6.25V	300kHz
		±10V、±12.5V	350kHz
		±25V、±50V	400kHz

### 7.3.5 ADC の伝達関数

ADS9324C は、変換データを 16 ビットで出力し、ストレート バイナリ形式または 2 の補数バイナリ形式のいずれかを選択できます。デフォルトでは、ADC 出力は 2 の補数のバイナリ形式です。ストレート バイナリ形式にするには、EN\_OFS\_BINARY を 1'b に設定します。出力コードの形式は、すべてのアナログ チャネルで同じです。図 7-4 は、ADS9324C の転送特性を示します。

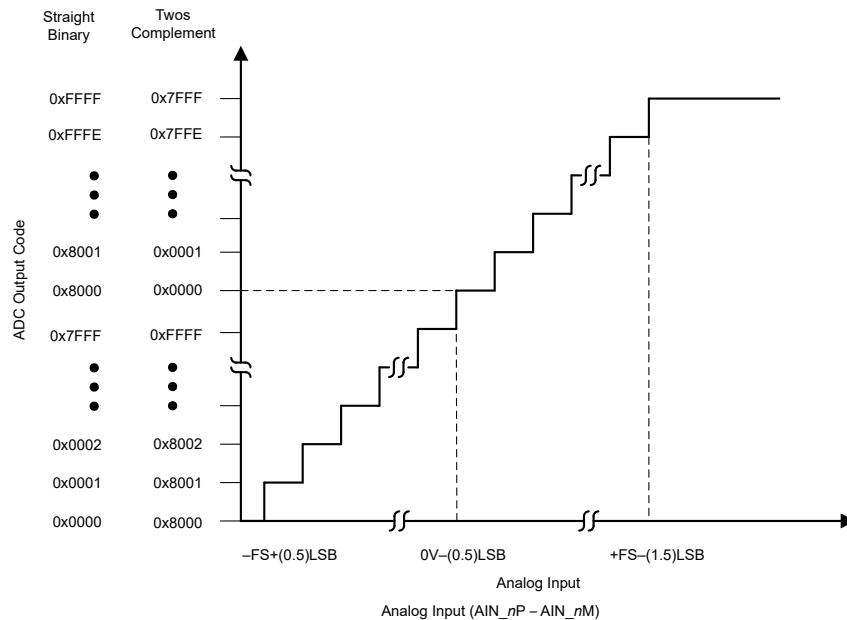


図 7-4. ADC 伝達特性

### 7.3.6 リファレンス

ADS93x4C は、高精度で低ドリフトの電圧リファレンスをデバイスに内蔵しています。最高の性能を得るため、4.7 $\mu$ F セラミック バイパス コンデンサを REFIO ピンに接続して内部リファレンス ノイズをフィルタ処理し、REFCAPA ピンと REFM ピンの間、および REFCAPB ピンと REFM ピンの間に 1 $\mu$ F セラミック コンデンサを直接接続します (図 7-5 と図 7-6 を参照)。電源投入時に、表 7-3 に示すように、リファレンス ソースは REFSEL ピンによって、または ADS93x4C 共通レジスタ バンクのアドレス 0x10 の REFSEL\_CTRL および EXT\_REF\_EN フィールドの値によって選択されます。

表 7-3. ADC 電圧リファレンス ソースの選択

REFSEL 入力	REFSEL_CTRL_DIS	EXT_REF_EN	ADC 基準電圧ソース
Low	0b	X	ADC リファレンスは、REFSEL ピンを使用して選択します。REFIO ピンへの外部リファレンス。
High	0b	X	ADC リファレンスは、REFSEL ピンを使用して選択します。内部リファレンスが有効です。
X	1b	0b	ADC リファレンスは、0x10 レジスタの EXT_REF_EN ビットフィールドを使用して選択します。内部リファレンスが有効です。
X	1b	1b	ADC リファレンスは、0x10 レジスタの EXT_REF_EN ビットフィールドを使用して選択します。外部リファレンスが選択されています。外部リファレンスを REFIO ピンに強制します。

注

1. 外部リファレンス動作時に外部リファレンスが入力されない場合、デバイスはパワーダウン モードに移行します。

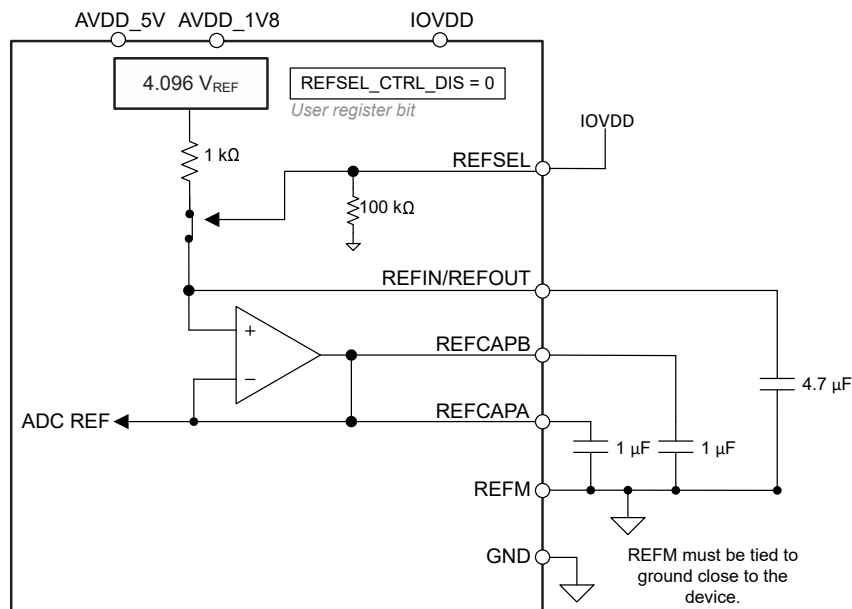


図 7-5. 内部リファレンス電圧



### 7.3.7 オープンワイヤセーフモード

ADS9324C は開路時に誤った変換結果を発生させることなく処理できるよう設計されています。AINnP と AINnM の両入力力がオープン回路状態のままの場合、ADC の出力コードは 0V 基準コードの  $\pm 16\text{LSB}$  の範囲内に収まります。シングルエンド条件では、AINnM がグランドに接続されている場合、ADC 出力をゼロコード近くに維持するため、プルダウン抵抗 ( $R_{PD}$ ) が必要です (図 7-7 を参照)。このデバイスには、差動、シングルエンド、シングルエンド オープンワイヤ安全の 3 つの入力モードがあります。オープン線式セーフモードでは、入力信号ソースがフローティングのとき、特定のプルダウン抵抗について ADC 出力の変化が最小限になります。表 7-4 を参照してください。アナログ入力を断線セーフモードで構成するには、CM\_RANGE\_AINn を 110b に設定します。

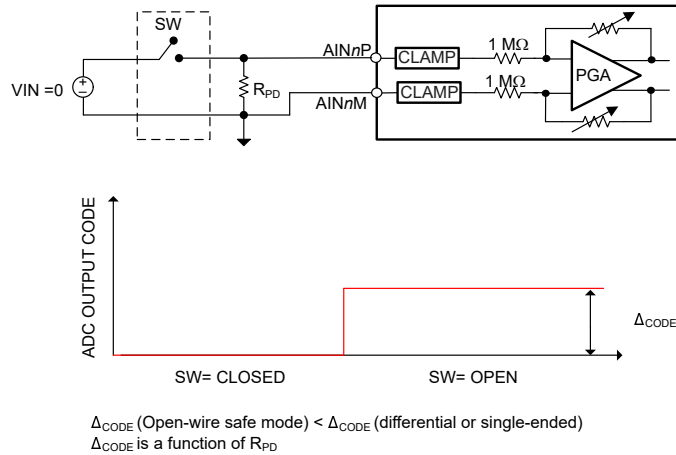
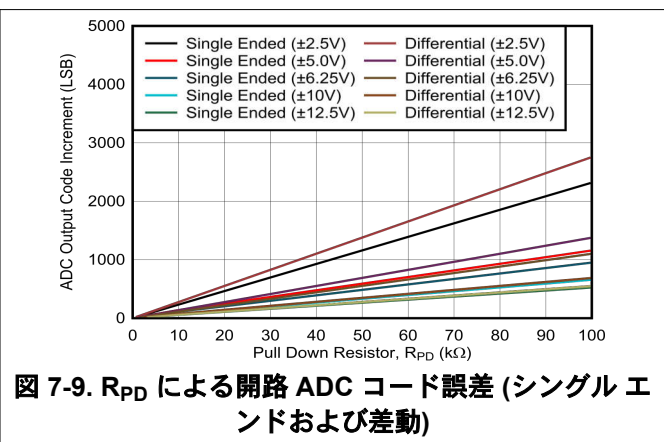
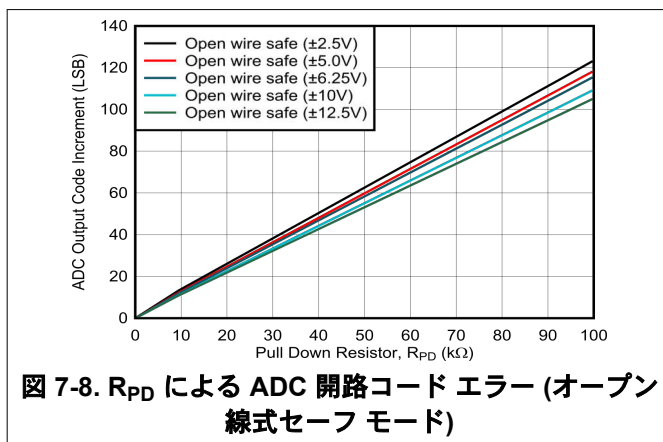


図 7-7. オープンワイヤセーフモード

表 7-4.  $R_{PD}$  とオフセットインクリメント (範囲 =  $\pm 10\text{V}$ 、 $\pm 5\text{V}$ )

$R_{PD}$ (k $\Omega$ )	$\Delta_{CODE}$ オープンワイヤ安全	$\Delta_{CODE}$ シングルエンド
2.5	2LSB <sub>16</sub>	15LSB <sub>16</sub>
5	4LSB <sub>16</sub>	30LSB <sub>16</sub>
7.5	6LSB <sub>16</sub>	45LSB <sub>16</sub>
10	8LSB <sub>16</sub>	60LSB <sub>16</sub>
オープン (Hi-Z)	$\cong 0.18\text{V}$ (範囲 = $\pm 5\text{V}$ ) $\cong 0.36\text{V}$ (範囲 = $\pm 10\text{V}$ )	$\cong 1.89\text{V}$ (範囲 = $\pm 5\text{V}$ ) $\cong 2.10\text{V}$ (範囲 = $\pm 10\text{V}$ )

図 7-9 と図 7-8 に、プルダウン抵抗値の変化を含む ADC 出力を示します。



### 7.3.8 システム オフセット校正

センサに存在するオフセット、またはアナログ入力ピンに使用される  $R_{EXT}$  間の mismatch に起因するオフセット誤差 (図 7-3 を参照) は、ADS93x4C オンチップのオフセット校正機能を使って補正できます。オフセット校正値は 2 の補数形式で符号化された 10 ビット値で、ADC の変換データに加算されます。オフセット校正は、ゲイン校正より先に実行されます。式 1 にオフセット動作後の ADC 出力コードを示し、表 7-5 に異なるオフセット校正レジスタ値による ADC 出力を示します。デフォルトではオフセット校正は有効で、OFS\_AINx の値は 000h に設定されています。オフセット キャリブレーションは、GEN\_CFG5 レジスタで OFS\_CAL\_DIS を 1b に書き込むことで無効化できます。

$$\text{ADC Output Code} = \frac{(\text{16-bit ADC Conversion Result}) \times 4 + \text{OFS\_AINx}}{4} \quad (1)$$

表 7-5. オフセット校正の例

OFS_AINx レジスタ コード	ADC 最終出力
1FFh	ADC コード + 127LSB <sub>16</sub>
100h	ADC コード + 64LSB <sub>16</sub>
001h	ADC コード + 0.25LSB
3FFh	ADC コード - 1LSB <sub>16</sub>
2FFh	ADC コード - 64LSB <sub>16</sub>
200h	ADC コード - 128LSB <sub>16</sub>

### 7.3.9 システム ゲイン キャリブレーション

ADC のアナログ入力に外付け抵抗を使用すると、システムのゲイン誤差が生じます。この誤差は、ADS93x4C デバイス内のシステム ゲイン校正機能を使用して補償できます。ゲイン校正値の例を、表 7-6 に示します。ゲイン校正は、GEN\_CFG5 レジスタで GAN\_CAL\_DIS を 1b に書き込むことで無効化できます。

$$\text{Gain Correction Applied} = \frac{(\text{Gain Register Value})}{65536} \quad (2)$$

$$\text{Gain Register Value} = \frac{(\text{Actual Code} - \text{ADC code})}{\text{ADC Code}} \times 65536 ; \text{ For 2's complement} \quad (3)$$

$$\text{Gain Register Value} = \frac{(\text{Actual Code} - \text{ADC code})}{\text{ADC Code} - 32768} \times 65536 ; \text{ For offset binary} \quad (4)$$

表 7-6. ゲイン校正の例

GAN_AINx	ゲイン補正が適用されます	ADC の最終出力 (2 の補数)
1FFFh	0.124985	ADC コード × 1.124985
0CCDh	0.050003	ADC コード × 1.05003
0000h	0	ADC コード × 1.0
3333h	-0.050003	ADC コード × 0.949997
2000h	-0.124985	ADC コード × 0.875015

### 7.3.10 ADC ゲインおよび位相誤差のキャリブレーション

ADS93x4C には、各 ADC チャンネル用の ADC キャリブレーション モジュール (ADC\_CAL) が含まれています。周囲温度の変化によって生じる ADC のゲインおよびオフセット誤差の変動は、このキャリブレーションを使って補正できます。ADC\_CAL が実行されている間、ADC は全チャンネルのゲインおよびオフセット誤差をキャリブレーションするために  $T_{WAIT}$  時間 待機します (表 7-7 を参照)。ADC キャリブレーション モジュールは、AINnP および AINnM 入力ピンの信号に影響を与えません。ADC\_CAL はオプション機能であり、動作を開始するにはユーザーによるトリガが必要です。ユーザーがシステム全体のオフセットおよびゲインのキャリブレーションを実行している場合、オンチップのシステム ゲイン / オフセット誤差補正機能を使う場合でも、ホスト側で行う場合でも、ADC\_CAL を使用する必要はありません。ユーザーがシステム レベルのキャリブレーションをまったく行わず、かつ電源投入時に低い ADC オフセット誤差とゲイン誤差を必要とする場合に、ADC\_CAL 機能は有用です。

表 7-7. ADC 較正時間 ( $T_{WAIT}$ )

ADC_CAL モード	INT_TRIG_MODE	$T_{WAIT}$ 時間
フリー ランニング CONVST	0b	$100,000 \times t_{CONVST}$
シングルショット	1b	125ms

図 7-10 および図 7-11 に、ADC 較正の実行前と実行後に入力をグランドに短絡したときの ADC 出力コードを示します。チャンネル間でのオフセット誤差は  $40LSB_{16}$  から  $15LSB_{16}$  に低減され、キャリブレーションの実行後に、オフセット誤差は  $\pm 30LSB_{16}$  から  $\pm 8LSB_{16}$  に低減されます。

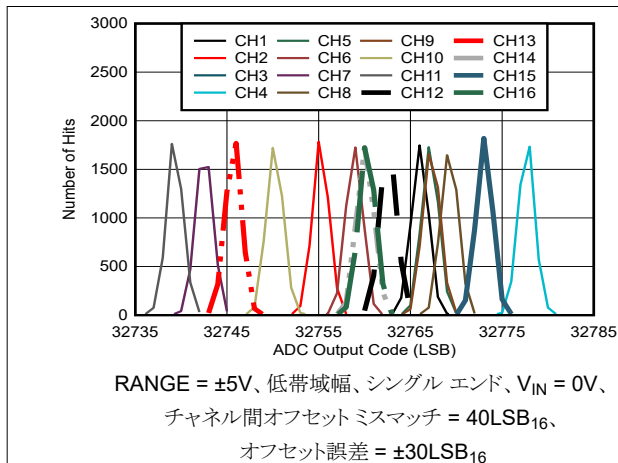


図 7-10. ADC 較正前のオフセット誤差

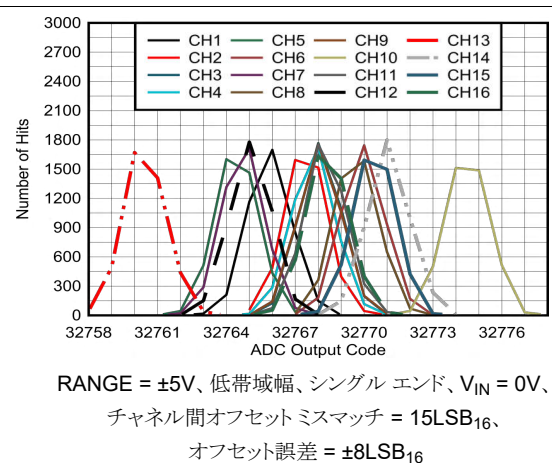


図 7-11. ADC 較正後のオフセット誤差

ADC 較正ブロックは、ADS93x4C 共通レジスタ バンクの ADC\_CAL レジスタを使用して構成します。ADC 較正モジュールを実行する前に、必要に応じて同相モード誤差補正機能を有効にし、デジタル フィルタを無効にします。デフォルトでは、デジタル フィルタは無効です。ADC 較正モジュールでは、ユーザーがアナログ入力構成を設定する必要があります。シングル エンドまたは差動アナログ モードに応じて、ADC\_CAL レジスタの SE\_DIFF\_MODE\_AIN9\_16 および SE\_DIFF\_MODE\_AIN1\_8 ビット フィールドを更新します。ADC ゲインおよびオフセット誤差の較正モジュールの実行に必要な手順については、以下を参照してください。

#### ADC 較正 (シングルショット モード):

1. INT\_TRIG\_MODE を 1b に設定します。
2. ADC 較正モジュールは、オフセット較正、ゲイン較正、オフセットおよびゲイン較正の 3 つの較正モードをサポートしています。オフセットのみ、ゲインのみ、およびオフセットおよびゲイン較正について、ADC\_CAL\_MODE ビット フィールドを 01b、10b、11b に更新します。ADC\_CAL\_MODE に 00b を書き込むと、自動較正ブロックと ADC データ

出力に適用される較正值が無効化されます。ADC 較正機能を使用する場合、このフィールドは 01b、10b、11b のいずれかに設定されていることを確認してください。

3. ADC\_CAL\_TRIG ビットで立ち上がりエッジ遷移の場合、0b を 1b に書き込みます。
4. 10 $\mu$ s 間待機します
5. ADC\_CAL\_TRIG ビットを 0b に書き込みます。
6. デバイスに単一のクロックパルスを送信します。少なくとも 1 つの立ち下がりエッジを提供する必要があります。クロックのアイドル状態が low の場合、デバイスは低 high パルスシーケンスを必要とします。CONVST のエンド状態は High である必要があります。
7. 125ms 間待機しますまたは、ユーザーは CALIB\_BUSY フラグの状態を読み取ることで、較正完了のタイミングを判断できます。
8. これでユーザーは ADC を通常動作で使用できます。

連続 CONVST 信号による ADC 較正:INT\_TRIG\_MODE が 0b に設定されている場合、以下のプログラミングシーケンスを使って ADC\_CAL ブロックを構成します。

1. フリーランニング CONVST クロックが ADC に供給されていることを確認してください。
2. ADC 較正モジュールは、オフセットのみ較正、ゲインのみ較正、オフセットおよびゲイン較正の 3 つの較正モードをサポートしています。オフセットのみ、ゲインのみ、およびオフセットおよびゲイン較正について、ADC\_CAL\_MODE ビットフィールドを 01b、10b、11b に更新します。ADC\_CAL\_MODE に 00b を書き込むと、自動較正ブロックと ADC データ出力に適用される較正值が無効化されます。ADC 較正機能を使用する場合、このフィールドは 01b、10b、11b のいずれかに設定されていることを確認してください。
3. ADC\_CAL\_TRIG ビットで立ち上がりエッジ遷移の場合、0b を 1b に書き込みます。
4. 1 つ以上の  $t_{CONVST}$  遅延時間を確保してください。
5. ADC\_CAL\_TRIG ビットを 0b に書き込みます。
6. 100,000 の CONVST クロックサイクルを待ちます。1MHz CONVST の場合、必要な待ち時間は 100ms です。
7. これでユーザーは ADC を通常動作で使用できます。

### 7.3.11 デジタル フィルタ

ADS93x4C には、[図 7-12](#) に示すように、4 つのデジタル フィルタ オプションがあります。一度に 1 つのフィルタ パスだけが選択され、すべてのチャンネルに適用されます。デジタル フィルタは、ADS93x4C 共通レジスタ バンクの DIG\_FILTER レジスタを使用して選択します。

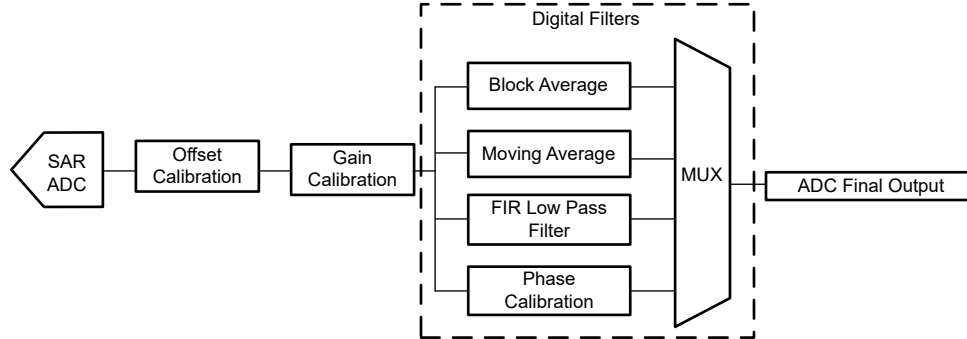


図 7-12. ADC 出力データ パス

#### 7.3.11.1 システム位相キャリブレーション

チャンネル間の位相ずれは、デバイスに備わっている位相キャリブレーション機能を使用することで、チャンネルごとに補正できます。位相キャリブレーションはデジタル遅延を使用して行われ、CONVST が 1MSPS での 1 $\mu$ s の最小分解能があります。位相遅延は、AIN1 - AIN8 チャンネルおよび AIN9 - AIN16 チャンネル チャンネルのレジスタ バンクにある PHASE\_DELAY\_AINx レジスタ内の 8 ビット フィールドを使用して設定されます。[式 5](#) は位相較正值を計算します。

$$\text{Phase Calibration Applied} = \frac{\text{PHASE\_DELAY\_AINx}}{\text{ADC Sampling Frequency}} \quad (5)$$

位相較正フィルタの構成:

1. [式 5](#) を使用して、PHASE\_DELAY\_AINx フィールドの値を計算します。
2. 各チャンネルの PHASE\_DELAY\_AINx レジスタをプログラムします。
3. DIG\_FILTER レジスタの PHASE\_DELAY\_EN ビットを 1b に設定します。
4. DIGITAL\_FILTER レジスタの DIGITAL\_FILTER\_SYSREF ビット フィールドに 0b から 1b を書き込みます。t<sub>CONVST</sub> 遅延時間を少なくとも 1 つ確保してから、[図 7-13](#) に示すように DIGITAL\_FILTER\_SYSREF ビットを 0b に書き込みます。

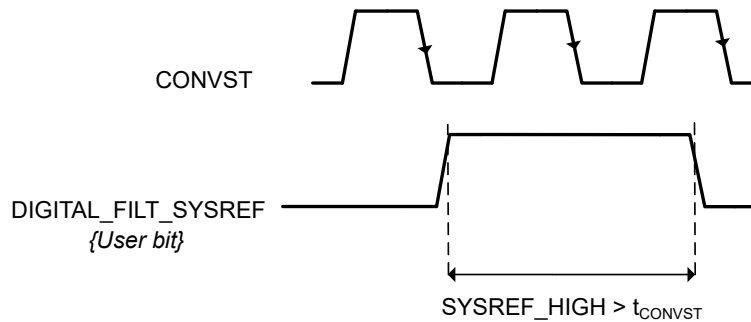
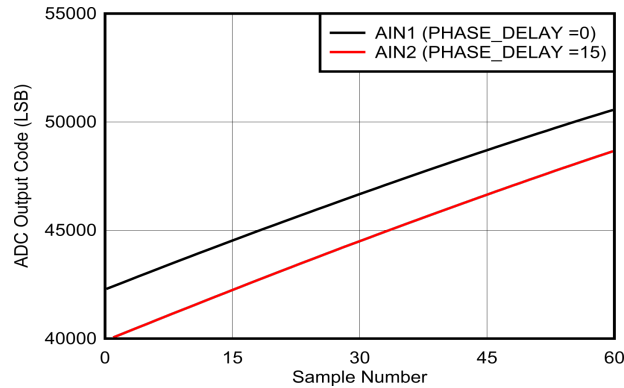


図 7-13. デジタル フィルタ SYSREF と CONVST



AIN1 と AIN2 に同じ入力を単一に印加

図 7-14. 位相調整の例

### 7.3.11.2 ブロック平均フィルタ

ADS9324C にはオプションのブロック平均化デジタル フィルタが搭載されており、低いノイズと広いダイナミック レンジを必要とする低速のアプリケーションで使用できます。ADC の全体スループットは、ブロック平均フィルタのオーバーサンプリング レートの増加に比例して低下します。オーバーサンプリングは、[図 7-16](#) および [図 7-15](#) に示すように、外部と内部の両方のオーバーサンプリング クロックを使用して行うことができます。デフォルトでは、オーバーサンプリングは外部クロックで動作し、ADC は CONVST クロックの立ち下がりエッジごとに各チャンネルのサンプルを取り、その後、平均値を出力します。外部クロック オーバーサンプリングでは、入力信号が一定の間隔でサンプリングされ、最適なアンチエイリアス性能が得られます。ADS9324C のオンチップ デジタル フィルタを使用する前に、GEN\_CFG5 レジスタ フィールドを初期化します。まず、GEN\_CFG5 レジスタの AVG\_MODE\_OVR\_EN ビット フィールドを 1b に設定します。次に、GEN\_CFG5 レジスタの AVG\_MODE ビット フィールドを 1b に設定します。

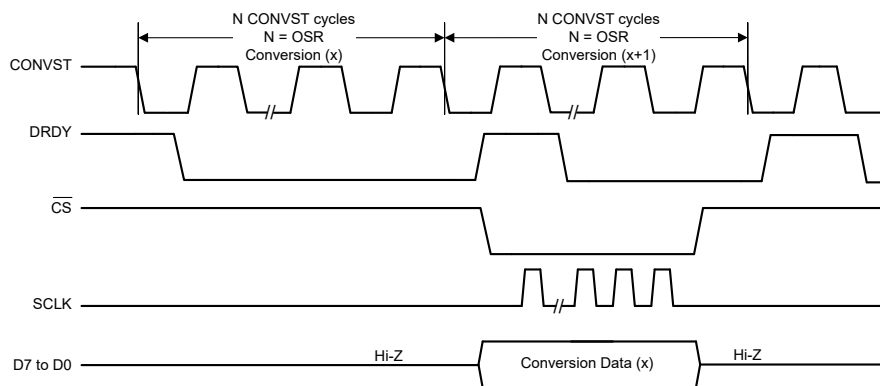


図 7-15. 外部オーバーサンプリング クロック

内部オーバーサンプリング クロック モードでは、最初の CONVST 立ち下がりエッジ後に、ADC が自動的に変換をトリガします。内部オーバーサンプリング クロック モードを使用するには、ADS93x4C 共通 regbank の DIG\_FILTER レジスタで INT\_TRIG\_MODE ビットを 1b に設定します。オーバーサンプリング フィルタが正しく動作するためには、DIGITAL\_FILTER レジスタ内の DIGITAL\_FILT\_SYSREF ビット フィールドに 0b から 1b への立ち上がりエッジ遷移が必要です ([図 7-13](#) を参照)。

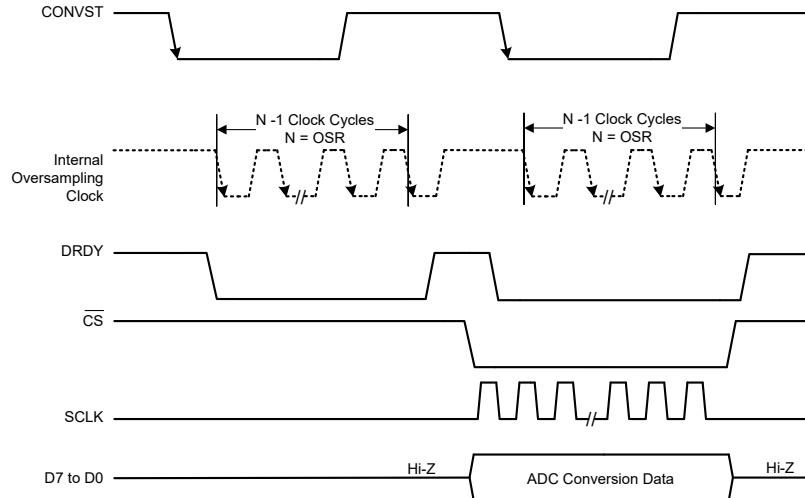


図 7-16. 内部オーバーサンプリング クロック

### 7.3.11.3 移動平均フィルタ

ADS9324C は、チャンネルごとにプログラム可能な、シンプルな移動平均フィルタを内蔵しています。移動平均は、可能な限り鋭いステップ応答を保ちながら、ランダムなホワイトノイズを低減するのに役立ちます。移動平均フィルタの長さは、DIGITAL\_FILTER レジスタの `MVG_AVG_LENGTH` ビット フィールドを使用して調整できます。移動平均フィルタの最大長は 128 です。周波数は、式 6 で数学的に記述されます。長さ 10 の移動平均フィルタ周波数応答を、図 7-17 に示します。移動平均フィルタをプログラムして設定した後、そのフィルタが正しく動作するためには `SYSREF` パルスが必要です。DIGITAL\_FILTER レジスタの `DIGITAL_FILT_SYSREF` ビット フィールドに 0b を 1b に書き込みます (図 7-13 を参照)。

$$H[f] = \frac{\sin(\pi f N)}{N \sin(\pi f)} \quad (6)$$

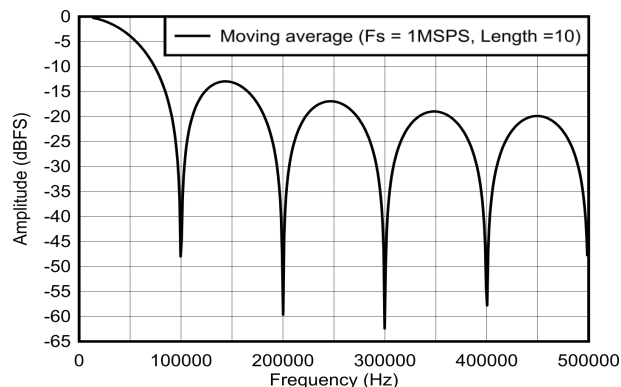


図 7-17. 移動平均の周波数応答 (長さ = 10)

### 7.3.11.4 ローパス FIR フィルタ

各アナログ入力チャンネルには、エイリアシング防止のため、PGA の出力に統合されたローパス フィルタ (LPF) が備わっています。アナログのローパス フィルタによるエイリアシング抑制が不十分な場合、ユーザーは ADS93x4C のオンチップ デジタル フィルタを利用して、望ましいエイリアシング効果を得ることができます。ADS93x4C のオンチップ デジタル フィルタは、入力信号をオーバーサンプリングし、デジタル ローパス フィルタを使用して、信号の高周波ノイズを減衰させます (図 7-18 を参照)。ADS9324C には、選択可能な 6 つのローパス FIR フィルタがあります。FIR フィルタは、表 7-8 に示すように、DIGITAL\_FILTER レジスタ内の `FIR_FILT_SEL` ビット フィールドを使用して選択できます。デジタル フィルタ

のプログラム後に、SYSREF パルスが必要になります。DIGITAL\_FILTER レジスタ内の DIGITAL\_FILT\_SYSREF ビットフィールドに 0b から 1b への遷移を書き込みます (図 7-13 を参照)。

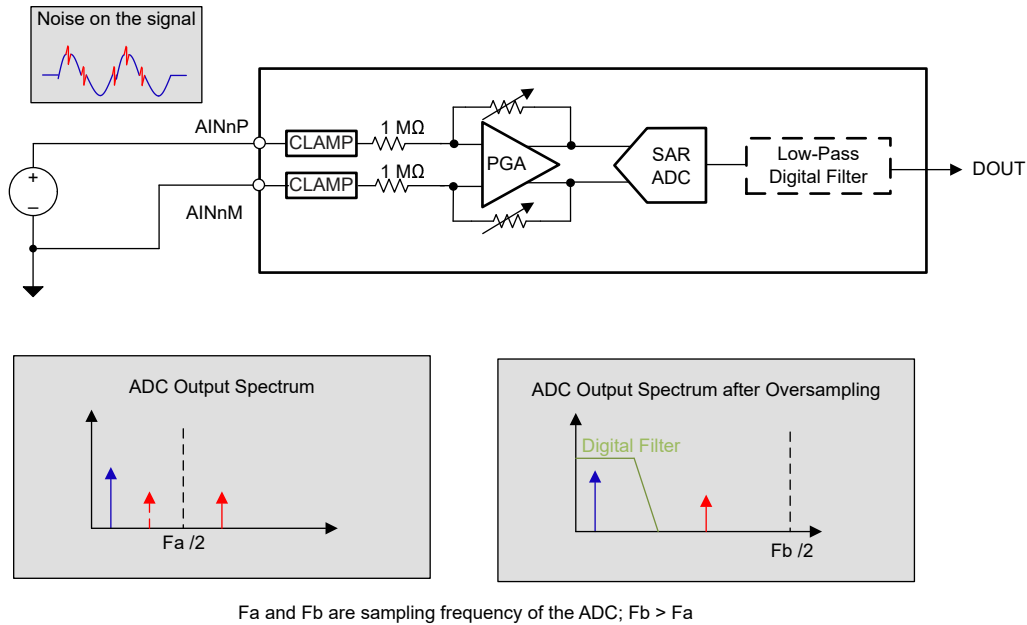


図 7-18. ローパス デジタル フィルタを使用したエイリアシング抑制

表 7-8. ローパス FIR フィルタのオプション

フィルタ オプション	FIR_FIL_SEL	デシメーション	-3dB のカットオフ周波数	グループ遅延 (T <sub>CONVST</sub> )
FIR1	001b	2	0.218x F <sub>CONVST</sub>	5
FIR2	010b	2	0.205x F <sub>CONVST</sub>	3
FIR3	011b	4	0.108x F <sub>CONVST</sub>	13
FIR4	100b	2	0.205x F <sub>CONVST</sub>	3
FIR5	101b	サポート対象外。		
FIR6	110b	4	0.100x F <sub>CONVST</sub>	9
FIR7	111b	8	0.540x F <sub>CONVST</sub>	29

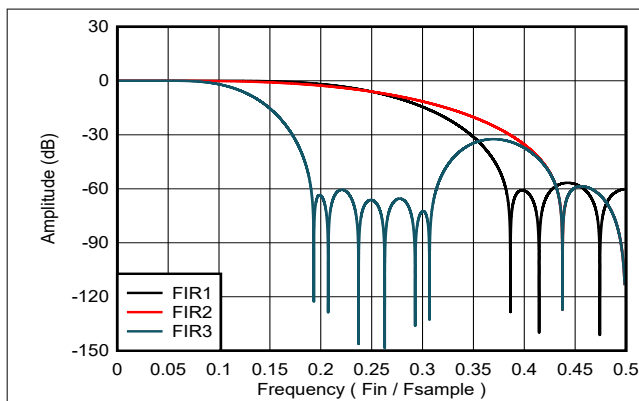


図 7-19. FIR1、FIR2、FIR3 のフィルタの周波数応答

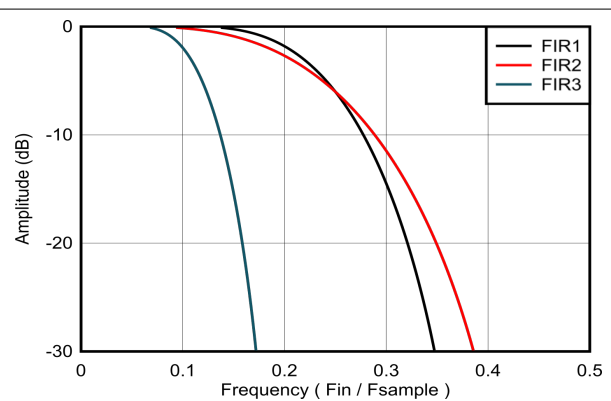


図 7-20. FIR1、FIR2、FIR3 フィルタの周波数応答、パスバンドの詳細

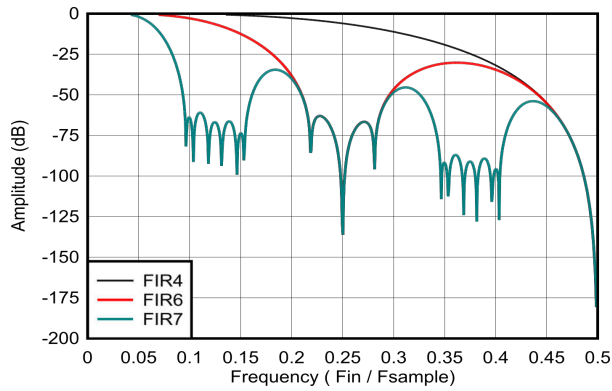


図 7-21. FIR4、FIR6、FIR7 のフィルタの周波数応答

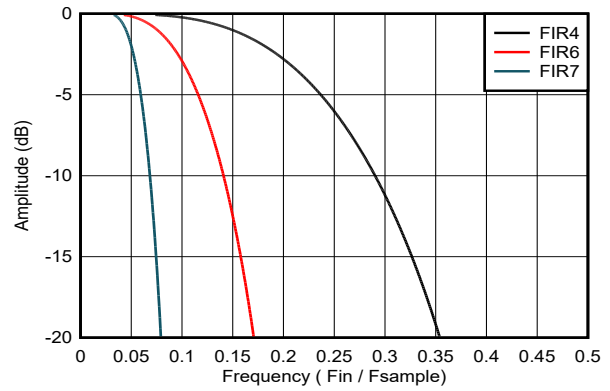


図 7-22. FIR4、FIR6、FIR7 フィルタの周波数応答、パスバンドの詳細

ADVANCE INFORMATION

### 7.3.12 デジタル ウィンドウ コンパレータ

ADS93x4C には、各入力チャンネルに 8 ビットのデジタル ウィンドウ コンパレータ (DWC) が搭載されています。図 7-23 に、デジタル コンパレータのブロック図を示します。ローサイド スレッショルド、ハイサイド スレッショルド、ヒステリシスの各パラメータは、各入力チャンネルごとに独立して設定できます。デフォルトでは、ヒステリシスは 0、上限スレッショルドは 127 (0x7F)、下限スレッショルドは -128 (0x80) です。DWC は、ADC 出力が高スレッショルドを超えるか、低スレッショルドを下回ると、DWC 出力を HIGH に設定します。ヒステリシス フィールドは 8 ビット フィールドで、ユーザーはフィールドを 0 ~ 255 の範囲で設定できます。DWC には、各 DWC 内部にグリッチ除去フィルタも含まれています。グリッチ除去フィルタは 4 ビットのカウンタで、ADC データがロー スレッショルドまたはハイ スレッショルドを連続する ADC 変換クロック数だけ超えている場合にカウントし、その条件を満たしたときにロー側またはハイ側のコンパレータ出力を HIGH にします。グリッチ除去フィルタとユーザー DWC リセット ビットは、AIN1 から AIN8、および AIN9 ~ AIN16 のチャンネル グループで共通です。DWC\_RSTx のユーザ ビットに立ち上がりエッジが入ると、デジタル ウィンドウ コンパレータのフラグがリセットされます。

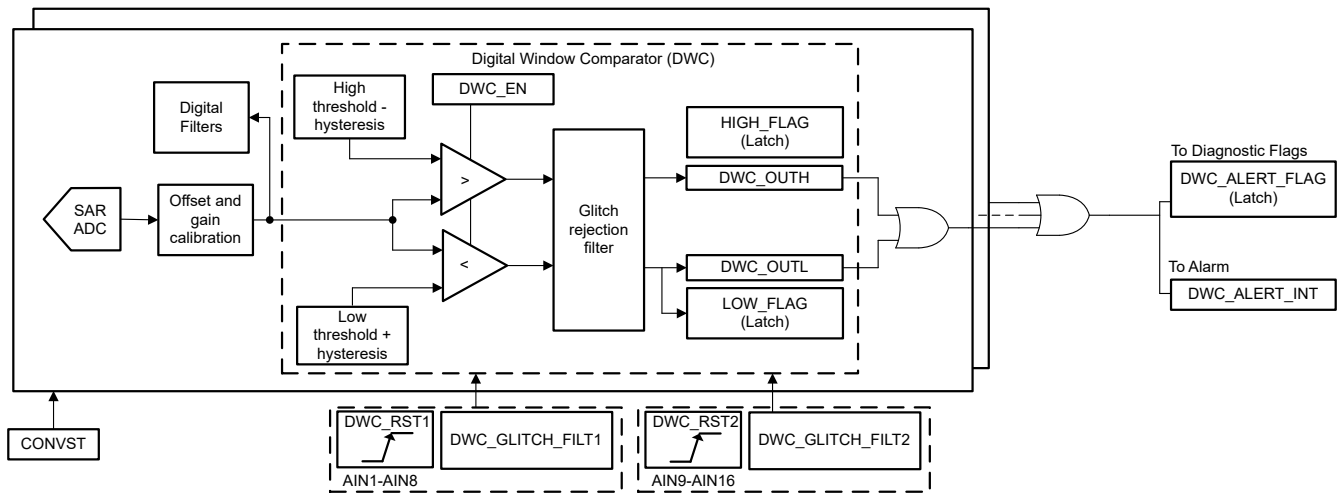


図 7-23. デジタル ウィンドウ コンパレータの機能ブロック図

デジタル ウィンドウ コンパレータを有効にするには、AIN1~AIN8 チャンネルおよび AIN9~AIN16 チャンネルのレジスタ バンク内にある DWC\_CFG レジスタの DWC\_EN ビットをセットします。各ウィンドウ コンパレータのハイ/ロー フラグの状態は、DWC\_FLAG\_AIN1\_8 レジスタおよび DWC\_FLAG\_AIN8\_16 レジスタを使って読み取ることができます。デフォルトでは、グリッチ除去カウンタは 0000'b に設定されています。イベントが発生した場合、グリッチ除去フィルタはハイまたはローのスレッショルド違反の回数をカウントし、その後 HIGH フラグや LOW フラグをセットします。DWC には割り込み出力 DWC\_ALERT\_INT もあり、これはハイ側とロー側のコンパレータ出力を OR したものです。DWC\_ALERT\_INT 信号は ALARM ピンに送られ、ALARM ピンを構成することで DRDY/ALARM ピンに出力として供給されます (セクション 7.3.13 を参照)。DWC\_ALERT\_INT は、レベル出力 (ALRM\_TYP = 0b) としても、パルス出力 (ALRM\_TYP = 1b) としても設定できます。High または Low のアラート割り込み信号は、high スレッショルドまたは low スレッショルドを最大値または最小値に設定することで選択できます。デジタル コンパレータの動作を図 7-24 に示します。

- HIGH\_FLAG または HIGH\_ALERT だけがが必要な場合は、LOW\_TH\_AINn を -128 (負の最大値) に設定します。
- LOW\_FLAG または LOW\_ALERT だけがが必要な場合は、HIGH\_TH\_AINn を 127 (正の最大値) に設定します。

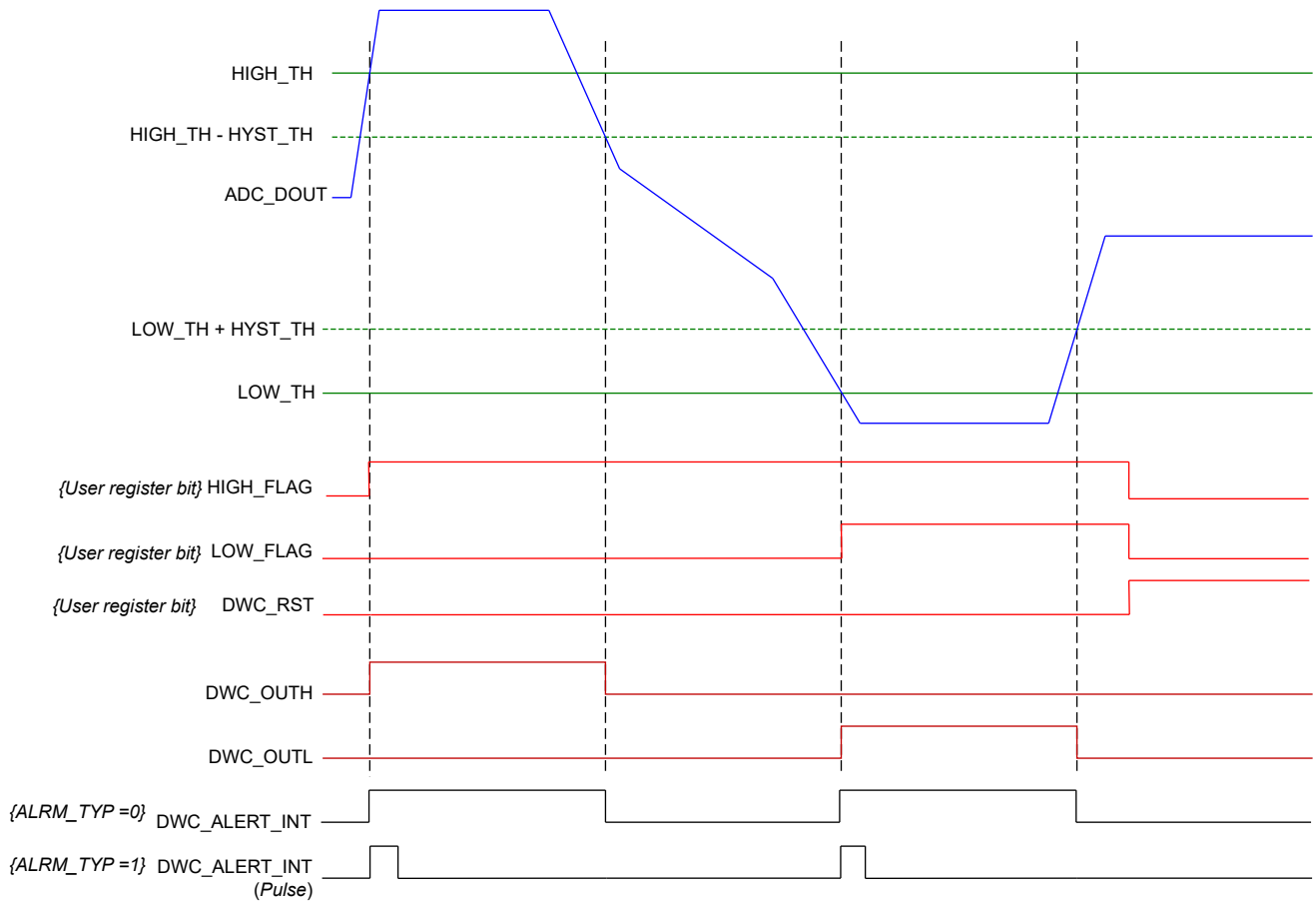


図 7-24. デジタル ウィンドウ コンパレータの動作

### 7.3.13 アラームモード

ADS93x4C DRDY/ALARM は多機能ピンです (図 7-25 を参照)。ユーザーは、DRDY/ALARM ピンに DRDY、DWC\_ALERT\_INT、ADC\_CAL\_DONE の各信号を出力するように設定できます。デフォルトでは、DRDY/ALARM は ADC データレディ信号である DRDY ピンとして動作します。表 7-9 に、各種アラームモードの ALARM\_SEL 値を示します。アラームはデフォルトでアクティブ High ピンであり、ADS93x4C 共通レジスタバンクの DRDY\_ALARM\_SEL レジスタの ALRM\_POL ビットフィールドを 1'b1 に設定すると、アクティブ Low にプログラムできます。DWC\_ALERT\_INT はデフォルトではレベル ベースの割り込みですが、ALRM\_TYP を 1b に設定することでパルス ベースに変更できます。パルスモードは DWC\_INT 信号にのみ適用できます。

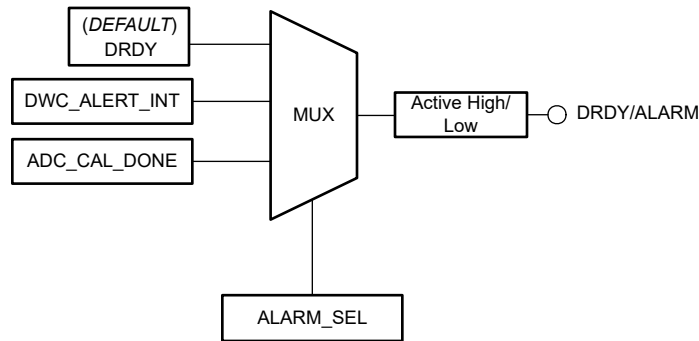


図 7-25. アラーム機能ブロック図

表 7-9. アラームモード

ALARM_SEL[3:0]	アラーム名	説明
0000b	DRDY	ADC 変換完了割り込み
0001b	DWC_ALERT_INT	DWC アラート割り込み
0110b	ADC_CAL_DONE	ADC 較正完了

### 7.3.14 データ インターフェイス

ADS9324C は、1 レーン、2 レーン、4 レーン、8 レーン モードのデータ読み出しシリアル インターフェイスをサポートしています。表 7-10 の説明に従って、データ インターフェイスを選択します。この ADC は、16 ビットおよび 24 ビットの ADC データ長をサポートしています。ADC のデータ長は、GEN\_CFG3 レジスタ (0x0A) の DOUT\_LENGTH[1:0] フィールドを使って設定します。16 ビットの ADC 変換結果は、24 ビットのデータ パケット内で MSB ファーストで出力され、オーバーサンプリングが無効の場合、最後の 8 ビットはゼロになります。

表 7-10 のレジスタを使用して、データ インターフェイスを構成します。

表 7-10. データ インターフェイス モードのためのレジスタ構成

インターフェイス モード	☒	DOUT_LANE_SEL[1:0] (ADDRESS = 0x0A)	ADC_DATA_SDOUT_EN (ADDRESS = 0x0A)
8 レーン、D[7:0]	<a href="#">☒ 6-2</a>	0	0
4 レーン、D[7:4]	<a href="#">☒ 6-3</a>	1	0
2 レーン、D[7:6]	<a href="#">☒ 6-4</a>	2	0
1 レーン、D7	<a href="#">☒ 6-5</a>	3	0
1 レーン、SDOUT	<a href="#">☒ 6-5</a>	3	1

#### 7.3.14.1 ADC チャンネル モード

ADS93x4C には、データ インターフェイスで ADC チャンネル数を選択するデジタル機能が搭載されています。表 7-11 に、このデバイスでサポートされる可能な組み合わせを示します。すべてのモードでは、最小のチャンネル番号が最初に送信されます。[☒ 7-26](#) は、ADC\_CH\_SEL = 0xxb のときの 8 チャンネル ADC データ読み取りモードを示しています。

表 7-11. ADC チャンネル モード

ADC_NUM_SEL	ADC_CH_SEL	ADC 報告レポート	ADC 出力
00b (デフォルト)	xxx b	16 (デフォルト)	AIN1, AIN2, AIN3, AIN4, AIN5, AIN6, AIN7, AIN8, AIN9, AIN10, AIN11, AIN12, AIN13, AIN14, AIN15, AIN16
01b	0xx b	8	AIN1, AIN2, AIN3, AIN4, AIN13, AIN14, AIN15, AIN16
01b	1xx b	8	AIN5, AIN6, AIN7, AIN8, AIN9, AIN10, AIN11, AIN12
10b	00x b	4	AIN1, AIN2, AIN15, AIN16
10b	01x b	4	AIN3, AIN4, AIN13, AIN14
10b	10x b	4	AIN5, AIN6, AIN11, AIN12
10b	11x b	4	AIN7, AIN8, AIN9, AIN10
11b	000 b	2	AIN1, AIN16
11b	001 b	2	AIN2, AIN15
11b	010 b	2	AIN3, AIN14
11b	011 b	2	AIN4, AIN13
11b	100 b	2	AIN5, AIN12
11b	101 b	2	AIN6, AIN11
11b	110 b	2	AIN7, AIN10
11b	111 b	2	AIN8, AIN9



図 7-26. 8 チャンネル ADC データ読み取り、ADC\_NUM\_SEL = 01b、ADC\_CH\_SEL = 0xxb



図 7-27. 8 チャンネル ADC データ読み取り、ADC\_NUM\_SEL = 01b、ADC\_CH\_SEL = 1xxb

### 7.3.14.2 デイジー チェーン

図 7-28 に、デイジーチェーントポロジで 2 つのデバイスを使用した一般的な接続図が示されています。

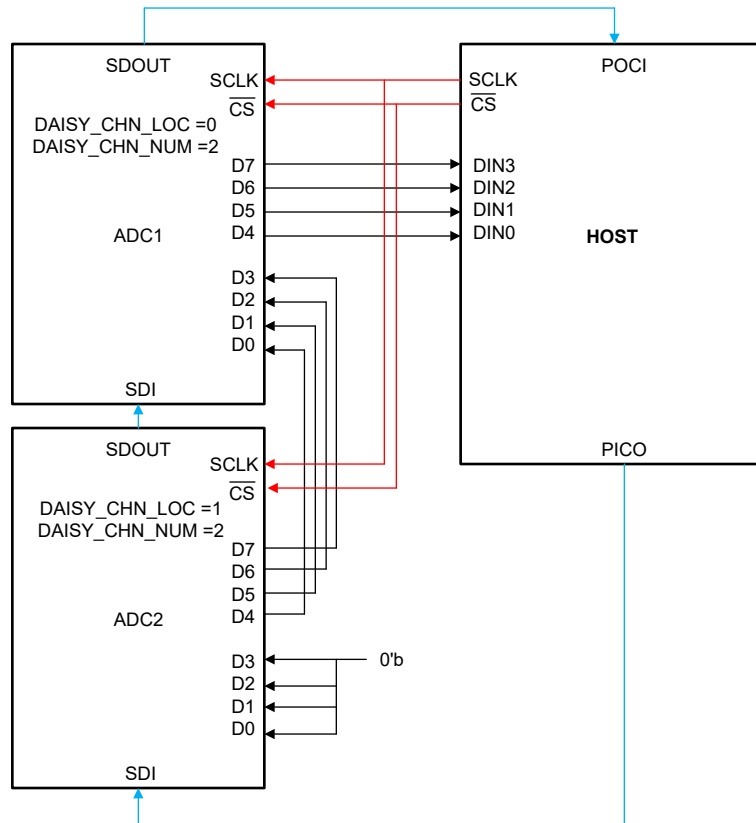


図 7-28. SPI 構成のデイジーチェーン接続

両方の ADC の  $\overline{CS}$  および SCLK 入力は互いに接続され、それぞれコントローラの単一の  $\overline{CS}$  および SCLK ピンによって制御されます。チェーン内の下側の ADC (ADC2) の SDI 入力ピンは、コントローラのペリフェラル入力コントローラ出力 (PICO) ピンに接続されています。続いて、ADC2 の SDO 出力ピンは ADC1 の SDI 入力ピンに接続されます。チェーン内の上位の ADC の SDO 出力ピン (ADC1) は、コントローラのペリフェラル出力コントローラ入力 (POCI) ピンに接続されます。PICO ピンのデータは、 $\overline{CS}$  がアクティブである限り、32 SCLK の遅延で ADC1 を通過します。デイジーチェーンを使用しない場合、レジスタの読み書きには 24 SCLK が必要です。デイジーチェーンモードでは、レジスタの読み取り/書き込みには、ADC デバイスごとに 32 SCLK が必要です。SPI コマンドの MSB は 0 でパディングされます。

のデイジーチェーンモードは、ADS93x4C1 レーン、2 レーン、4 レーンのデータ転送をサポートしています。1 レーンモードで SDOUT による ADC データ転送を行う場合、デイジーチェーンはサポートされません。デイジーチェーン構成で ADC を設定するために必要なレジスタ設定は以下のとおりです。

1. すべてのデバイスの DAISY\_CHN\_NUM および DAISY\_CHN\_LOC ビットフィールドを設定します。
2. すべてのデバイスのレーン数 DOUT\_LANE\_SEL を設定します。デイジーチェーン構成のレーン数は 4、2、1 のみです。
3. デバイスの DAISY\_CHN\_EN を 1b にプログラムします。

### 7.3.14.3 診断フラグ

診断フラグのステータスは、表 7-12 に示す 8 ビットの値です。図 7-29 に示すように、このステータスビットは ADC データ出力と一緒に通知できます。診断ステータス ビットを有効にするには、GEN\_CFG レジスタの EN\_STATUS\_BITS ビットフィールドを 1b に設定します。

表 7-12. DIAG\_FLAG ビット フィールド

DIAG_FLAG[7:0]	フィールド名	説明
7	予約済み	予約済み
6	DWC_ALERT_FLAG	すべてのデジタル コンパレータ ALERT_FLAG の ORed 出力
5	予約済み	予約済み
4	予約済み	予約済み
3	予約済み	予約済み
2	予約済み	予約済み
1	予約済み	予約済み
0	RESET_DETECT_FLAG	このビットのリセット値は 1b です。ADC の電源投入後、RESET_DETECT_FLAG を 0b に設定します。デバイスリセットを引き起こしたグリッチが発生すると、このビットは 1b にセットされます。

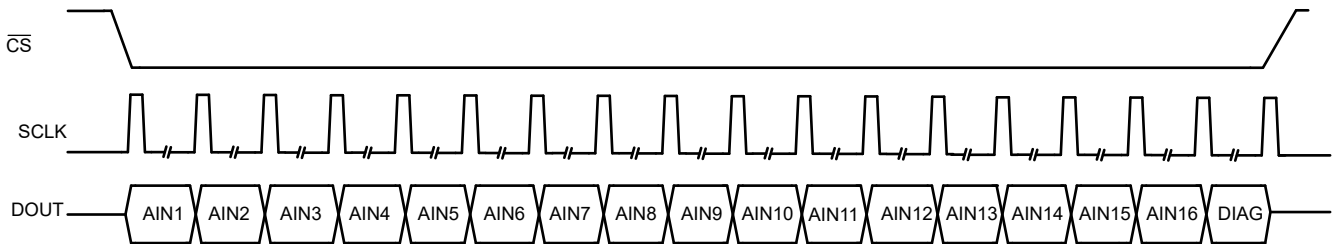


図 7-29. ADC データ出力フレーム、DIAG\_FLAG イネーブル

### 7.3.14.4 ADC 出力データ ランダマイザー

ADS93x4C には、データ出力ランダムマイザーがあります。有効化されると、ADC の変換結果は、図 7-30 に示す 8 ビットの疑似乱数ビット列 (PRBS) フィールドとビット単位で排他的論理和 (XOR) が取られます。PRBS ビットは、図 7-32、図 7-33、図 7-34、図 7-35 に示すように、ADC のデータ出力に付加することができます。XOR PRBS ビットは 1 または 0 になる確率が等しくなります。XOR 動作の結果、ADS93x4C からのデータ出力はランダム化されます。データインターフェイス上でランダム化された結果を送信することにより発生するグラウンド バウンスは、アナログ入力電圧とは相関していません。この無相関転送により、PCB レイアウトでグラウンド バウンスが最小限に抑えられないときに、データ転送と ADC のアナログ性能との間の干渉を最小限に抑えることができます。

データ出力ランダム化器が有効なときに、ADC のランダム化出力コードから ADC 変換結果を計算する方法を、式 7 と式 8 に示します。たとえば、ADC のランダム化後の出力値が 0x1234 で、PRBS ビットが 0x1f の場合、計算される MASK\_BITS は 0x1fff となり、ADC の変換結果は 0x1234 ^ 0x1fff になります。24 ビット ADC 出力フレームでは、XOR モードはサポートされていません。

$$\text{MASK\_BITS} = (\text{PRBS 8-bit Value}) \times 256 + (\text{PRBS0} \times 255) \quad (7)$$

$$\text{ADC Conversion Result} = (\text{ADC Randomized Code}) \wedge (\text{MASK\_BITS}) \quad (8)$$

データ出力ランダム化装置をイネーブルにするには、次のレジスタ書き込みが必要です：

1. GEN\_CFG3 レジスタの EN\_XOR\_PATT ビット フィールドを 1b に書き込みます。

2. XOR\_CTL レジスタを設定します: XOR\_BIT\_SEL を 1b、NUM\_XOR\_BITS を 11b、XOR\_MODE を 11b に設定します。

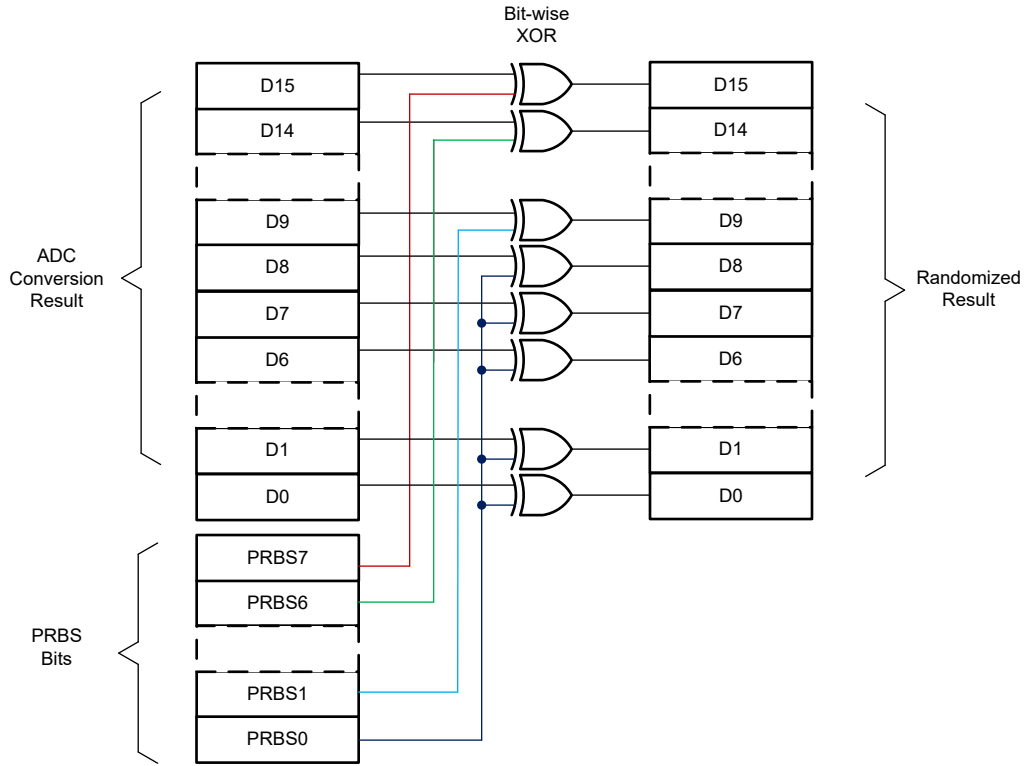


図 7-30. ADC データ出力ランダムマイザ

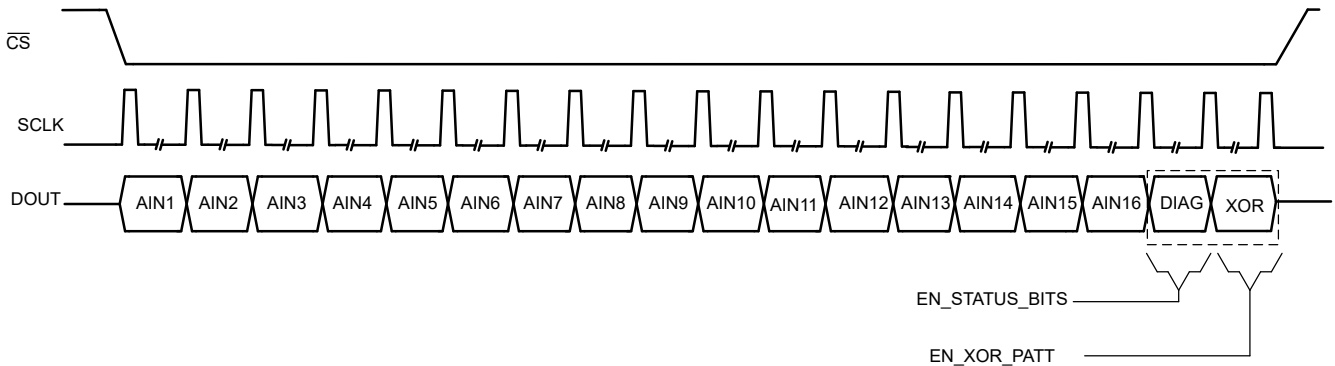


図 7-31. ADC データ出力フレーム、DIAG\_FLAG、XOR\_PATT がイネーブル

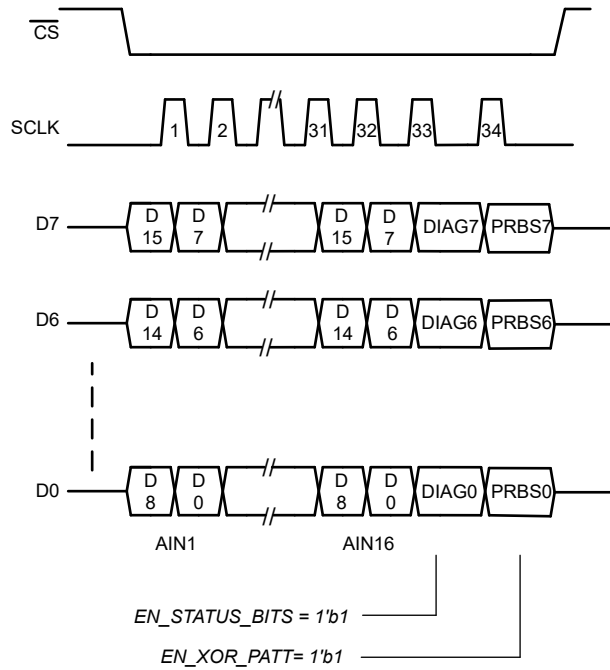


図 7-32. ADC 出力フレーム、8 レーンモード

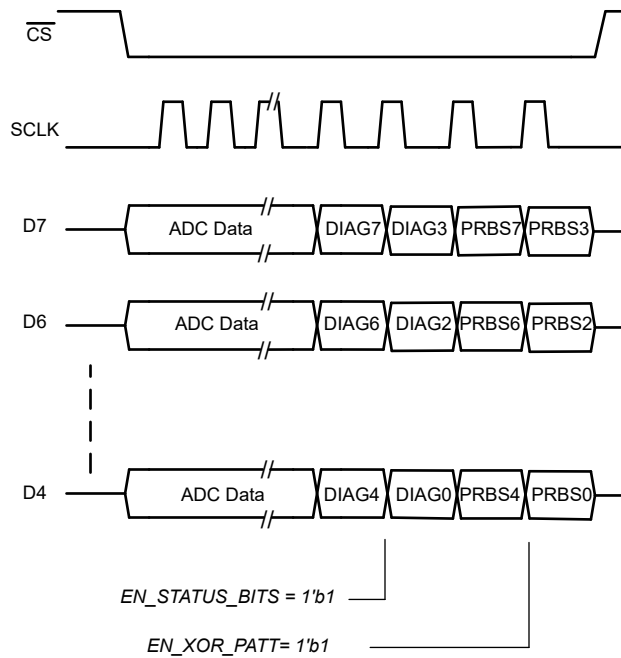


図 7-33. ADC 出力フレーム、4 レーンモード

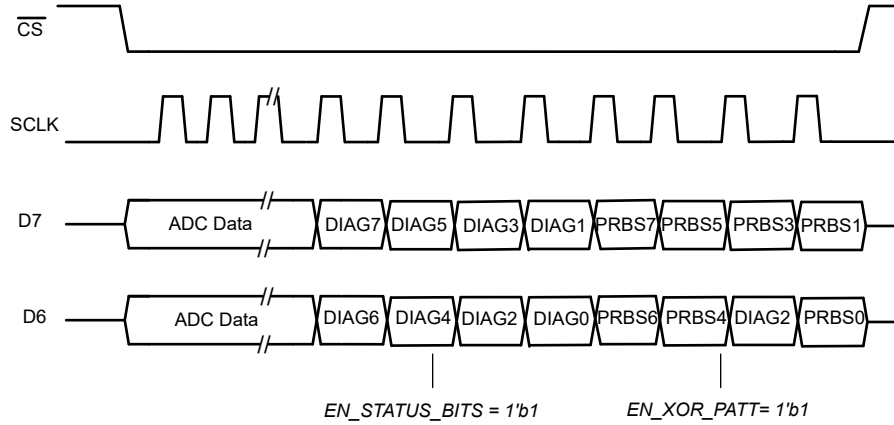


図 7-34. ADC 出力フレーム、2 レーン モード

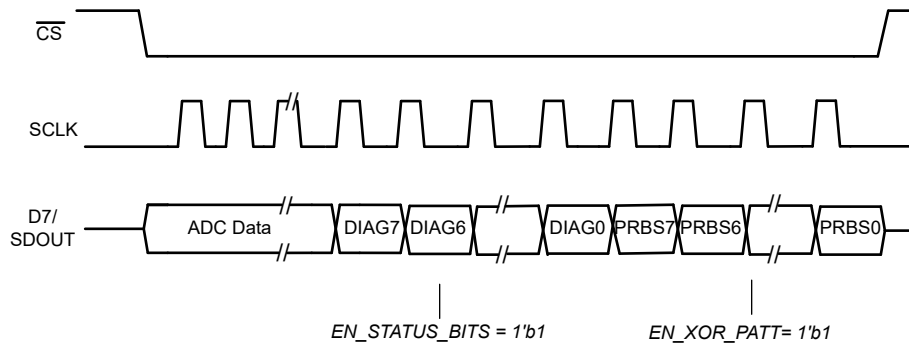


図 7-35. ADC 出力フレーム、1 レーン モード

### 7.3.14.5 データ インターフェイスのテスト パターン

テスト パターンは 16 ビットの値で、ADC 出力データの MSB を事前定義されたデジタル データに置き換えます。テスト パターンを有効にするには、AIN1 - AIN8 チャンネルおよび AIN9 - AIN16 チャンネルのレジスタ バンク内にある TP\_CFG レジスタ(0x2E)を設定します。

表 7-13 に、ADS93x4C でサポートされているテスト パターンが示されています。

表 7-13. テスト パターン構成

TP_EN	TP_MODE[2:0]	TP_DIS_IDX	TP_UPD_MODE	ADC 出力	結果 (注記を参照)
0	X	X	0	ADC 変換結果	ADC 変換結果
1	0	1	0	固定パターン	AIN1 = TP_AIN1, AIN2 = TP_AIN2、...、AIN15 = TP_15、AIN16 = TP_16。
1	0	0	0	固定パターン	AIN1 = 0x0000+TP_AIN1、AIN2 = 0x1000+TP_AIN2、...、AIN15 = 0xE000+TP_15、AIN16 = 0xF000+TP_16。
1	1	1	0	ランブ パターン	ランブ パターンはチャンネル フレーム境界でインクリメントします (図 7-36 および図 7-38 を参照)。
1	2	1	1	ランブ パターン	サンプル フレーム境界でのランブ パターンのインクリメント。AIN1 = AIN2 = AIN3...=AIN8; AIN9 = AIN10 = AIN11...= AIN16。図 7-37 および図 7-39 を参照

注

1. テストパターンは、AIN1\_8とAIN9\_16の2つのチャンネルグループに分けて設定します。
2. 24ビットADC出力を使用する場合、最後の8ビットは0です。
3. TP\_AIN1およびTP\_AIN16は、AIN1からAIN8へ、AIN9からAIN16へのランプステップをそれぞれ制御します。
4. ランプステップは、AIN1からAIN8までおよびAIN9からAIN16までは、それぞれTP\_AIN1 + 1およびTP\_AIN16 + 1です。

AIN8	AIN1 + 7 x Step	AIN1 + 15 x Step	AIN1 + 23 x Step
AIN7	AIN1 + 6 x Step	AIN1 + 14 x Step	AIN1 + 22 x Step
AIN6	AIN1 + 5 x Step	AIN1 + 13 x Step	AIN1 + 21 x Step
AIN5	AIN1 + 4 x Step	AIN1 + 12 x Step	AIN1 + 20 x Step
AIN4	AIN1 + 3 x Step	AIN1 + 11 x Step	AIN1 + 19 x Step
AIN3	AIN1 + 2 x Step	AIN1 + 10 x Step	AIN1 + 18 x Step
AIN2	AIN1 + 1 x Step	AIN1 + 9 x Step	AIN1 + 17 x Step
AIN1	AIN1 + 0 x Step	AIN1 + 8 x Step	AIN1 + 16 x Step
CHANNEL NUMBER	SAMPLE 1	SAMPLE 2	SAMPLE 3

図 7-36. デジタル ランプ テスト パターン、チャンネル フレーム境界でのインクリメント (TP\_UPD\_MODE = 0)

AIN8	AIN1 + 0 x Step	AIN1 + 1 x Step	AIN1 + 2 x Step
AIN7	AIN1 + 0 x Step	AIN1 + 1 x Step	AIN1 + 2 x Step
AIN6	AIN1 + 0 x Step	AIN1 + 1 x Step	AIN1 + 2 x Step
AIN5	AIN1 + 0 x Step	AIN1 + 1 x Step	AIN1 + 2 x Step
AIN4	AIN1 + 0 x Step	AIN1 + 1 x Step	AIN1 + 2 x Step
AIN3	AIN1 + 0 x Step	AIN1 + 1 x Step	AIN1 + 2 x Step
AIN2	AIN1 + 0 x Step	AIN1 + 1 x Step	AIN1 + 2 x Step
AIN1	AIN1 + 0 x Step	AIN1 + 1 x Step	AIN1 + 2 x Step
CHANNEL NUMBER	SAMPLE 1	SAMPLE 2	SAMPLE 3

図 7-37. デジタル ランプ テスト パターン、サンプル フレーム境界でのインクリメント (TP\_UPD\_MODE = 1)

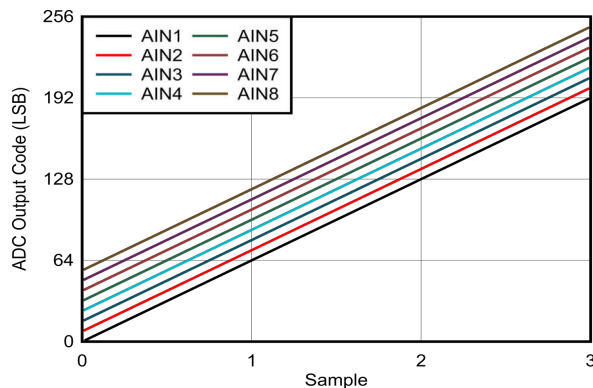


図 7-38. ランプ テスト パターンの例、ステップ = 8 (TP\_AIN1 = 7、TP\_UPD\_MODE = 0)

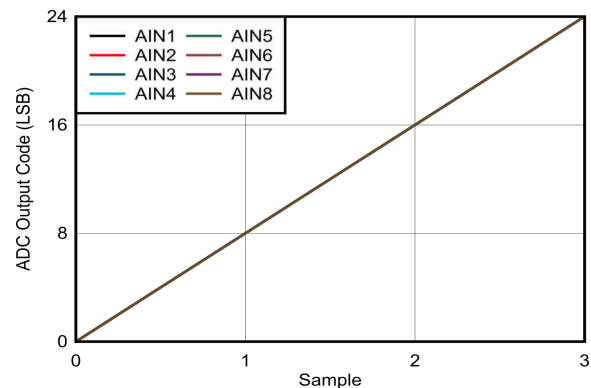


図 7-39. ランプ テスト パターンの例、ステップ = 8 (TP\_AIN1 = 7、TP\_UPD\_MODE = 1)

### 7.3.14.6 デジタル出力ドライブ強度制御

デジタル出力のドライブ強度は、ADS93x4C 共通レジスタ バンク内の GEN\_CFG4 レジスタにある DRIVE\_STRENGTH ビット フィールドで調整できます。「デジタル出力ドライブ強度制御」を参照してください。

表 7-14. ドライブ強度制御

DRIVE_STRENGTH	説明
00b	通常のデバイス動作
01b	0.5x 通常動作
10b	2x 通常動作
11b	1.5x 通常動作

#### 7.3.14.7 デジタル出力遅延調整

ADS93x4C には、ADC データ出力ピンである SDOUT と D7、D5、D6、D5、D4、D3、D2、D1、D0 にディレイを追加する機能が含まれています。遅延をプログラムするには、ADS93x4C 共通レジスタ バンクの DIG\_DELAY\_CFG1 および DIG\_DELAY\_CFG2 レジスタを使用します。

## 7.4 デバイスの機能モード

### 7.4.1 リセット

ADS9324C をリセットするには、 $\overline{\text{RESET}}$  ピンにロジック 0 を入力するか、ADS93x4C 共通レジスタ バンク内のアドレス 0x01 にある SW\_RST ビット フィールドに 1b を書き込みます。デバイスのレジスタは、リセット後にデフォルト値へ初期化され、その後、一連のレジスタ書き込み操作によってデバイスが初期化されます。

$\overline{\text{RESET}}$  ピンはアクティブ Low デジタル入力です。専用のリセット ピンにより、デバイスは非同期方法でいつでもリセットできます。 $\overline{\text{RESET}}$  ピンがロジック Low に設定されると、デバイスのすべてのデジタル回路はリセットされ、この状態は、ピンが High に戻るまでアクティブのままです。

### 7.4.2 通常動作

ADS9324C に電源が投入された後、ADS9324C は CONVST 信号の立ち下がりエッジで、アナログ入力電圧をデジタル出力電圧に変換します。デバイスのリセット後に、最小遅延時間  $t_{PU}$  が必要です (セクション 6.7 を参照)。

### 7.4.3 スタンバイ モード

このデバイスは、回路の一部だけがパワーダウンする低消費電力スタンバイ モードをサポートしています。このモードでは、アナログ フロントエンド、各チャンネルの信号調整回路、および内部リファレンスがパワーダウンされます。スタンバイ モードでは、デバイスの総消費電力は通常 6.5mW デバイスを低消費電力スタンバイ モードにするには、PDN\_CTL レジスタの DEVICE\_PDN ビット フィールドを 1b に設定します。

## 7.4.4 プログラミング

### 7.4.4.1 レジスタ書き込み動作

ADS9324C の 16 ビットレジスタは 3 つのレジスタ バンク (ADS93x4C 共通、AIN1 - AIN8 チャンネル、AIN9 - AIN16 チャンネル) に分類されており、8 ビットのレジスタ アドレスでアクセスできます。読み取りまたは書き込み操作のために、アドレス 0x02 の BANK\_SEL レジスタに 0x0001 を書き込むことで、ADS93x4C 共通 レジスタ バンクが選択されます。アドレス 0x2 の PAGE\_SEL レジスタは、すべてのレジスタ バンクの中で特別な存在で、PAGE\_SEL ビットの設定に関係なく常にアクセス可能です。構成レジスタにデータを書き込むには、24 ビットのシリアル通信フレームが必要です。24 ビットレジスタ読み取りフレームは、8 ビットのレジスタ アドレスと新しい 16 ビットのレジスタ値で構成されます。SDI のデータは SCLK の立ち上がりエッジでラッチされます。書き込みコマンドは  $\overline{CS}$  の立ち上がりエッジでデコードされ、指定されたレジスタは、レジスタ書き込み操作で指定された 16 ビット データで更新されます。レジスタ書き込みの 24 ビット SPI フレームを図 7-40 に示し、レジスタに書き込むために必要なステップを表 7-15 に示します。

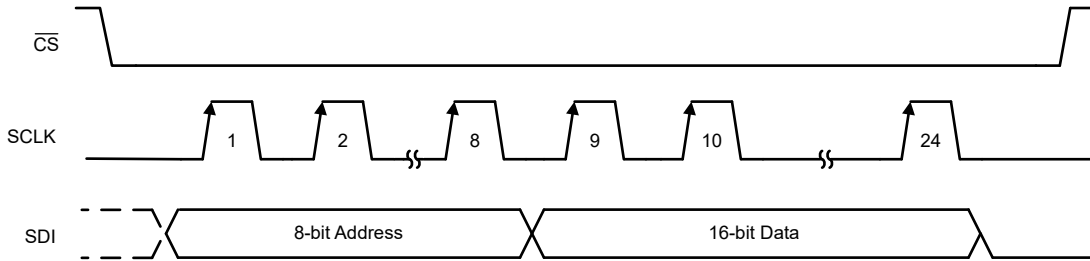


図 7-40. レジスタ書き込みフレーム

表 7-15. レジスタ書き込みシーケンス

フレーム番号	SDI[23:0]		説明
	SDI[23:16] = REG_ADDR	SDI[15:0] = REG_ADDR DATA	
1	0x02	0x0001	レジスタ バンク 0 を選択します。レジスタ バンク 1 と 2 には、それぞれ 0x02 と 0x04 を書き込みます。
2	REG_ADDR	REG_ADDR DATA	ユーザー データを目的のアドレスに書き込みます。必要なレジスタ書き込みの数だけ、この手順を繰り返します。

### 7.4.4.2 レジスタ読み取り動作

レジスタ読み出し動作のレジスタ バンクは、アドレス 0x02 の BANK\_SEL レジスタを使って選択します。ADS93x4C 共通レジスタ バンクのレジスタを読み出すには、BANK\_SEL レジスタに 0x0001 を書き込みます。同様に、BANK\_SEL レジスタに 0x0002 および 0x0004 を書き込み、それぞれ AIN9 - AIN16 チャンネルおよび AIN1 - AIN8 チャンネルバンクのレジスタを読み出します。図 7-41 に示すように、レジスタを読み取るには 24 ビットの SPI フレームが必要です。図 7-41 に、レジスタ バンクの N 個のレジスタを読み取るために必要なシーケンスを示し、必要なステップについては表 7-16 で説明しています。

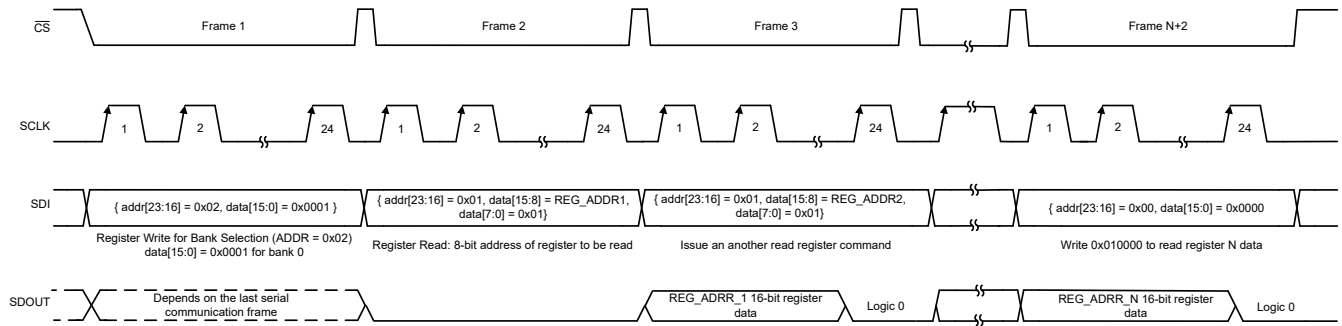


図 7-41. レジスタ読み出し

表 7-16. レジスタ読み出しシーケンス

フレーム番号	24 ビット SDI フレーム		SDOUT[23:0]	説明
	SDI[23:16]	SDI [15:0]		
1	0x02	0x0001 はレジスタ バンク 0、0x0002 はレジスタ バンク 1、0x0004 はレジスタ バンク 2	X	レジスタ バンクを選択します。
2	0x01	SDIN[15:8] = REG_ADDR1、 SDIN[7:0] = 0x01	0x000000	レジスタ アドレス REG_ADDR1 のレジスタ読み取り動作。レジスタ データ REG_ADDR1 は、次のシリアル通信フレームで受信されます。
3	0x01	SDIN[15:8] = REG_ADDR1、 SDIN[7:0] = 0x01	SDOUT[23:8] = REG_ADDR1 DATA、 SDOUT[7:0]= 0x00	レジスタ アドレス REG_ADDR2 のレジスタ読み取り動作。このフレームでは、レジスタ データ REG_ADDR1 が受信されます。レジスタ データ REG_ADDR2 は、次のシリアル通信フレームで受信されます。
N+2	0x00	0x0000	SDOUT[23:8]= REG_ADDRN DATA、 SDOUT[7:0]= 0x00	前のシリアル通信フレームで選択されたレジスタ値 REG_ADDR を読み出すには、SDIN に 0x000000 を書き込みます。

ADVANCE INFORMATION

#### 7.4.4.3 初期化例 — DOUT レーン構成

デフォルトでは、ADC の出力インターフェイスは 8 レーン モードで、ADC 出力サイズは 16 ビットに設定されています。  
表 7-17 に、SDOUT を使用した 1 レーン モードでの ADC データ読み出し用デバイス初期化設定を示します。

**表 7-17. 1 レーン モードの ADS9324C 初期化シーケンス**

手順番号	レジスタ		説明
	SDI[23:16] = REG_ADDR	SDI[15:0] = REG_ADDR DATA	
1	30ms 待ちます		電源および電圧リファレンスのセトリ ング
2	0x01	0x0002	ソフトウェアリセット (オプション)
3	1ms 待機 (オプション)		オプションの遅延
4	0x02	0x0001	ADS93x4C 共通レジスタバンクの 選択
5	0x0A	0x0032	ユーザーは、システム要件に基づい てこのレジスタを設定します。 0x0032 を設定すると、ADC 変換デ ータサイズが 16b になり、SDOUT ピンで 1 レーン モードのデータ出 力が選択されます。

#### 7.4.4.4 初期化例 — デジタル フィルタ

OSR が 2 のブロック平均フィルタのデバイス初期化例を、表 7-18 に示します。

表 7-18. 外部クロック オーバーサンプリング用の ADS9324C 初期化例

手順番号	レジスタ		説明
	SDI[23:16] = REG_ADDR	SDI[15:0] = REG_ADDR DATA	
1	30ms 待ちます		電源および電圧リファレンスのセトリング
2	0x01	0x0002	ソフトウェアリセット (オプション)
3	1ms 待機 (オプション)		オプションの遅延
4	0x02	0x0001	ADS93x4C 共通 レジスタ バンクの選択
5	0x14	0x0010	ユーザーは、オーバーサンプリングの要件に基づいてこれをプログラムします。0x0010 OSR 係数 2 でブロック平均フィルタを選択します。
6	0x14	0x0011	DIGITAL_FILTER レジスタの DIGITAL_FILT_SYSREF ビット フィールドに 0b から 1b を書き込みます。
7	CONVST をイネーブルにします		フリー ランニング CONVST クロックをイネーブルにするか、または CONVST を HIGH から LOW、LOW から HIGH に設定します。
8	$t_{wait} > t_{CONVST}$		遅延 $> t_{CONVST}$ を追加します。
9	0x14	0x0010	DIGITAL_FILT_SYSREF を 0b に設定します。

#### 7.4.4.5 初期化例 — 同相エラーの訂正

表 7-17 に、CMRR エラー訂正機能を使用したデバイス初期化設定を示します。

表 7-19. 同相モード誤り訂正用の ADS9324C の初期化例

手順番号	レジスタ		説明
	SDI[23:16] = REG_ADDR	SDI[15:0] = REG_ADDR DATA	
1	30ms 待ちます		電源および電圧リファレンスのセトリング
2	0x01	0x0002	ソフトウェアリセット (オプション)
3	1ms 待機 (オプション)		オプションの遅延
4	0x02	0x0002	AIN1 - AIN8 チャンネル レジスタ バンクを選択します。
5	0x08	0x8080	AIN1 から AIN8 への同相モード エラー訂正を有効化します。
6	0x09	0x8080	
7	0x0A	0x8080	
8	0x0B	0x8080	
9	0x02	0x0004	AIN9 - AIN16 チャンネル レジスタ バンクの選択
10	0x08	0x8080	AIN9 から AIN16 への同相モード エラー訂正を有効化します。
11	0x09	0x8080	
12	0x0A	0x8080	
13	0x0B	0x8080	
14	0x02	0x0001	ADS93x4C 共通 レジスタ バンクの選択
15	0x14	0x0010	0x0010 OSR 係数 2 でブロック平均フィルタを選択します。移動平均フィルタを使用する場合は、長さを少なくとも 2 に設定します。または、任意の FIR フィルタを使用します。
16	0x14	0x0011	DIGITAL_FILTER レジスタの DIGITAL_FILTER_SYSREF ビット フィールドに 0b から 1b を書き込みます。
17	CONVST をイネーブルにします		フリー ランニング CONVST クロックをイネーブルにするか、または CONVST を HIGH から LOW、LOW から HIGH に設定します。
18	$t_{wait} > t_{CONVST}$		遅延 > $t_{CONVST}$ を追加します。
19	0x14	0x0010	DIGITAL_FILTER_SYSREF を 0b に設定します。

#### 7.4.4.6 初期化例 — ADC 較正

表 7-20 および 表 7-21 に、シングルショットおよび連続 CONVST モードにおける ADC\_CAL の初期化例を示します。

**表 7-20. ADC\_CAL モジュールのシングルショットの ADS9324C 初期化例**

手順番号	レジスタ		説明
	SDI[23:16] = REG_ADDR	SDI[15:0] = REG_ADDR DATA	
1	30ms 待ちます		電源および電圧リファレンスのセトリング
2	0x01	0x0002	ソフトウェアリセット (オプション)
3	1ms 待機 (オプション)		オプションの遅延
4	0x02	0x0001	ADS93x4C 共通 レジスタ バンクの選択
5	0x14	0x0002	INT_TRIG_MODE を 1b に設定します
6	0x12	0x0003	オフセットおよびゲインの較正のため、ADC_CAL_MODE を 11b に書き込みます。PGA 入力シングルエンドモードに構成されている場合、0x12 ~ 0x3003 を書き込んで SE_DIFF_M ODE_AINn を 1b に設定します。
7	0x12	0x0103	ADC_CAL_TRIG ビットで立ち上がりエッジ遷移の場合、0b を 1b に書き込みます。PGA 入力シングルエンドモードに構成されている場合は、0x12 ~ 0x3103 を設定します。
8	CONVST 立ち下がりエッジ		CONVST を HIGH から LOW に設定します。少なくとも CONVST の 1 つの立ち下がりエッジを提供する必要があります。CONVST のエンド状態は High である必要があります。
9	10µs 待ちます		10µs 遅延を追加します。
10	0x12	0x0003	ADC_CAL_TRIG ビットに 0b を書き込みます。PGA 入力シングルエンドモードに構成されている場合は、0x12 ~ 0x3003 を設定します。
11	125ms 待ちます		125ms の間待機するか、CALIB_BUSY フラグをポーリングして、キャリブレーションの完了を判定します。これでユーザーは ADC を通常動作で使用できます。

**表 7-21. 連続 CONVST 付き ADC\_CAL モジュールの ADS9324C 初期化例**

手順番号	レジスタ		説明
	SDI[23:16] = REG_ADDR	SDI[15:0] = REG_ADDR DATA	
1	30ms 待ちます		電源および電圧リファレンスのセトリング
2	0x01	0x0002	ソフトウェアリセット (オプション)
3	1ms 待機 (オプション)		オプションの遅延
	CONVST 信号をイネーブルします		フリーランニング CONVST クロックが ADC に供給されています。
4	0x02	0x0001	ADS93x4C 共通 レジスタ バンクの選択
5	0x14	0x0002	INT_TRIG_MODE を 1b に設定します
6	0x12	0x0003	オフセットおよびゲインの較正のため、ADC_CAL_MODE を 11b に書き込みます。PGA 入力シングルエンドモードに構成されている場合、0x12 ~ 0x3003 を書き込んで SE_DIFF_M ODE_AINn を 1b に設定します。

表 7-21. 連続 CONVST 付き ADC\_CAL モジュールの ADS9324C 初期化例 (続き)

手順番号	レジスタ		説明
	SDI[23:16] = REG_ADDR	SDI[15:0] = REG_ADDR DATA	
7	0x12	0x0103	ADC_CAL_TRIG ビットで立ち上がりエッジ遷移の場合、0b を 1b に書き込みます。PGA 入力シングルエンドモードに構成されている場合は、0x12 ~ 0x3103 を設定します。
8	t <sub>CONVST</sub> を待ちます		少なくとも CONVST の 1 つの立ち上がりエッジを提供する必要があります。
10	0x12	0x0003	ADC_CAL_TRIG ビットに 0b を書き込みます。PGA 入力シングルエンドモードに構成されている場合は、0x12 ~ 0x3003 を設定します。
11	100,000 t <sub>CONVST</sub> を待ちます		100,000 の CONVST クロック サイクルを待機するか、CALIB_BUSY フラグをポーリングして、キャリブレーションが完了したタイミングを判定します。これによりユーザーは ADC を通常動作で使用できます。

#### 7.4.4.7 初期化例 — テスト パターン モード

AIN1 の一定のテスト パターン出力のデバイス初期化設定を、表 7-22 に示します。

表 7-22. テスト パターン モードの ADS9324C の初期化例

手順番号	レジスタ		説明
	SDI[23:16] = REG_ADDR	SDI[15:0] = REG_ADDR DATA	
1	30ms 待ちます		電源および電圧リファレンスのセトリング
2	0x01	0x0002	ソフトウェアリセット (オプション)
3	1ms 待機 (オプション)		オプションの遅延
4	0x02	0x0002	AIN1 - AIN8 チャンネル レジスタ バンクの選択
5	0x2F	0xAAAA	AIN1 一定テスト パターンを 0xAAAA にプログラムします。
6	0x2E	0x0001	AIN1 から AIN8 への一定のテスト パターン出力を有効化します。デフォルトでは、AIN2 から AIN8 へのテスト パターンは 0 です。ユーザーは AIN1 の場合は 0xAAAA データ、AIN2 から AIN8 の場合は 0x0000 を読み取ります。

## 8 レジスタ マップ

### 8.1 ADS93xx 共通レジスタ

表 8-1 は、ADS93xx の共通メモリ マップト レジスタを一覧表示します。表 8-1 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 8-1. ADS93xx\_Common

アドレス	略称	ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8		
		ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0		
0x01	GEN_CFG1	REG_RD_ADD[7:0]							SW_RST	REG_RD_EN	
		予約済み									
0x02	BANK_SEL	予約済み							BANK_SEL[2:0]		
		予約済み									
0x07	DIAG_CTRL	予約済み							RESET_DETECT_FLAG		
		予約済み									
0x08	PDN_CTL	予約済み							DEVICE_PD_N		
		予約済み									
0x09	GEN_CFG2	予約済み				DAISY_CHN_LOC[3:0]				DAISY_CHN_EN	
		DAISY_CHN_NUM_DEV[3:0]				予約済み					
0x0A	GEN_CFG3	予約済み			EN_OFS_BINARY	予約済み		EN_XOR_PATT	EN_DIAG_FLAG	予約済み	
		予約済み		DOUT_LANE_SEL[1:0]		DOUT_LENGTH[1:0]		ADC_DATA_SDOUT_EN			
0x0B	XOR_BITS_CTL	予約済み							XOR_BIT_SEL		
		XOR_MODE[1:0]		NUM_XOR_BITS[1:0]		予約済み					
0x0C	DRDY_ALARM_SEL	ALRM_MASK[7:0]							DRDY_ALARM_SEL[3:0]		
		予約済み		ALRM_TYPE	ALRM_POL	予約済み					
0x0D	GEN_CFG4	予約済み							DRIVE_STRENGTH[1:0]		
		予約済み		ALRM_DIS	予約済み	DIG_DELAY_EN	予約済み				
0x0E	DIG_DELAY_CFG1	予約済み	DIG_DELAY_SDOUT[2:0]			DIG_DELAY_D3[2:0]			DIG_DELAY_D2[2:0]	予約済み	
		DIG_DELAY_D2[2:0]		DIG_DELAY_D1[2:0]			DIG_DELAY_D0[2:0]				
0x0F	DIG_DELAY_CFG2	予約済み				DIG_DELAY_D7[2:0]			DIG_DELAY_D6[2:0]	予約済み	
		DIG_DELAY_D6[2:0]		DIG_DELAY_D5[2:0]			DIG_DELAY_D4[2:0]				
0x10	ANA_CFG1	予約済み							REFSEL_CTL_DIS	EXT_REF_EN	
		予約済み									
0x11	ANA_CFG2	CH_XTALK_LOW_SPEED	予約済み							ADC_NUM_SEL[1:0]	予約済み
		予約済み		ADC_CH_SEL[2:0]			予約済み				
0x12	ADC_CAL	予約済み		SE_DIFF_MODE_AIN1_8	SE_DIFF_MODE_AIN9_16	予約済み			ADC_CAL_T_RIG	予約済み	
		予約済み							ADC_CAL_MODE[1:0]		
0x14	DIG_FILTER	PHASE_DELAY_EN	FIR_FILT_SEL[2:0]			MVG_AVG_LEN[3:0]				DIG_FILTSYSREF	
		BLK_AVG_OSR[3:0]				予約済み		INT_TRIG_MODE			
0x15	GEN_CFG5	予約済み							AVG_MODE_OVR_EN	AVG_MODE	
		予約済み				T_MODE_OVR_EN	T_MODE				
0x1E	DEVICE_STATUS	予約済み							CALIB_BUSY_FLAG	予約済み	
		予約済み			予約済み						

表 8-1. ADS93xx\_Common (続き)

アドレス	略称	ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8
		ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
0x21	DEVICE_ID	予約済み							
		DEVICE_ID[7:0]							

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-2 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-2. ADS93xx 共通アクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

### 8.1.1 GEN\_CFG1 レジスタ (アドレス = 0x01) [リセット = 0x0000]

概略表に戻ります。

図 8-1. GEN\_CFG1 レジスタ

15	14	13	12	11	10	9	8
REG_RD_ADD[7:0]							
R/W-00000000b							
7	6	5	4	3	2	1	0
予約済み						SW_RST	REG_RD_EN
R/W-000000b						R/W-0b	R/W-0b

表 8-3. GEN\_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	REG_RD_ADD[7:0]	R/W	00000000b	レジスタ読み取りアドレス
7:2	予約済み	R/W	000000b	予約済み。デフォルトのリセット値から変更しないでください。
1	SW_RST	R/W	0b	このビットに 1b を書き込むと、デバイスがリセットされます。
0	REG_RD_EN	R/W	0b	レジスタ読み取りを有効にします。レジスタ読み取り SPI フレームごとに、このビットは 1b である必要があります。

### 8.1.2 BANK\_SEL レジスタ (アドレス = 0x02) [リセット = 0x0001]

概略表に戻ります。

図 8-2. BANK\_SEL レジスタ

15	14	13	12	11	10	9	8
予約済み							
R/W-00000000000000b							
7	6	5	4	3	2	1	0
予約済み					BANK_SEL[2:0]		
R/W-00000000000000b					R/W-001b		

**表 8-4. BANK\_SEL レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
15:3	予約済み	R/W	00000000000000b	予約済み。デフォルトのリセット値から変更しないでください。
2:0	BANK_SEL[2:0]	R/W	001b	レジスタバンクの選択。 001b = 共通レジスタ 010b = チャネル レジスタ AIN1 ~ AIN8 100b = チャネル レジスタ AIN9 ~ AIN16

### 8.1.3 DIAG\_CTRL レジスタ (アドレス = 0x07) [リセット = 0x0000]

概略表に戻ります。

**図 8-3. DIAG\_CTRL レジスタ**

15	14	13	12	11	10	9	8
予約済み							RESET_DETECT_FLAG
R-00000000b							R/W-0b
7	6	5	4	3	2	1	0
予約済み							
R-00000000b							

**表 8-5. DIAG\_CTRL レジスタ フィールドの説明**

ビット	フィールド	タイプ	リセット	説明
15:9	予約済み	R	00000000b	
8	RESET_DETECT_FLAG	R/W	0b	デバイスのリセットを示します。ユーザーはこのビットを 0b に書き込みます。ADC がリセットされると、このビットは 1b にセットされます。このビットは、SDOUT ステータスビットで読み取ることができます。
7:0	予約済み	R	00000000b	

### 8.1.4 PDN\_CTL レジスタ (アドレス = 0x08) [リセット = 0x0000]

概略表に戻ります。

**図 8-4. PDN\_CTL レジスタ**

15	14	13	12	11	10	9	8
予約済み							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
予約済み						DEVICE_PDN	
R/W-0000000000000000b						R/W-0b	

**表 8-6. PDN\_CTL レジスタ フィールドの説明**

ビット	フィールド	タイプ	リセット	説明
15:1	予約済み	R/W	000000000000000000b	予約済み。デフォルトのリセット値から変更しないでください。
0	DEVICE_PDN	R/W	0b	デバイス パワーダウン制御。 0b = 通常動作 1b = デバイスはパワーダウン中。

### 8.1.5 GEN\_CFG2 レジスタ (アドレス = 0x09) [リセット = 0x0000]

概略表に戻ります。

**図 8-5. GEN\_CFG2 レジスタ**

15	14	13	12	11	10	9	8
予約済み					DAISY_CHN_LOC[3:0]		

図 8-5. GEN\_CFG2 レジスタ (続き)

R/W-0000b			R/W-0000b			
7	6	5	4	3	2	1 0
DAISY_CHN_NUM_DEV[3:0]			予約済み			DAISY_CHN_EN
R/W-0000b			R/W-000b			R/W-0b

表 8-7. GEN\_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:12	予約済み	R/W	0000b	予約済み。デフォルトのリセット値から変更しないでください。
11:8	DAISY_CHN_LOC[3:0]	R/W	0000b	デイジー チェーン構成でのデバイスの位置。
7:4	DAISY_CHN_NUM_DEV[3:0]	R/W	0000b	デイジー チェーン構成内のデバイスの総数。
3:1	予約済み	R/W	000b	予約済み。デフォルトのリセット値から変更しないでください。
0	DAISY_CHN_EN	R/W	0b	デイジー チェーン構成をイネーブル。 0b = デイジー チェーン構成をディスエーブル 1b = デイジー チェーン構成をイネーブル

### 8.1.6 GEN\_CFG3 レジスタ (アドレス = 0x0A) [リセット = 0x0000]

概略表に戻ります。

図 8-6. GEN\_CFG3 レジスタ

15	14	13	12	11	10	9	8
予約済み			EN_OFS_BINARY	予約済み		EN_XOR_PATT	EN_DIAG_FLAG
R/W-0000b			R/W-0b	R/W-00b		R/W-0b	R/W-0b
7	6	5	4	3	2	1	0
予約済み		DOUT_LANE_SEL[1:0]		DOUT_LENGTH[1:0]		ADC_DATA_SDOUT_EN	予約済み
R/W-00b		R/W-00b		R/W-00b		R/W-0b	R/W-0b

表 8-8. GEN\_CFG3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:13	予約済み	R/W	000b	予約済み。デフォルトのリセット値から変更しないでください。
12	EN_OFS_BINARY	R/W	0b	ADC 変換データ出力フォーマットの選択。 0b = 2 の補数 1b = オフセットバイナリ
11:10	予約済み	R/W	00b	予約済み。デフォルトのリセット値から変更しないでください。
9	EN_XOR_PATT	R/W	0b	ADC 変換結果 に対する XOR 処理をイネーブルにします。
8	EN_DIAG_FLAG	R/W	0b	ADC 変換データ出力イネーブル後のステータス ビット。 0b = XOR 動作を無効化 1b = ADC 変換結果に対するビット単位の XOR 演算がイネーブルになります
7:6	予約済み	R/W	00b	予約済み。デフォルトのリセット値から変更しないでください。
5:4	DOUT_LANE_SEL[1:0]	R/W	00b	データ レーンの選択。 00b = 8 レーン 01b = 4 レーン 10b = 2 レーン 11b = 1 レーン
3:2	DOUT_LENGTH[1:0]	R/W	00b	ADC データ サイズの選択 00b = 16 ビット 01b = 予約済み 10b = 24 ビット
1	ADC_DATA_SDOUT_EN	R/W	0b	シングル レーン モードでは、SDOUT ピンでの ADC データ出力がイネーブルになります。 0b = ADC データを D7 に出力 1b = SDOUT ピンに ADC データを出力
0	予約済み	R/W	0b	予約済み。デフォルトのリセット値から変更しないでください。

### 8.1.7 XOR\_BITS\_CTL レジスタ (アドレス = 0x0B) [リセット = 0x0000]

概略表に戻ります。

図 8-7. XOR\_BITS\_CTL レジスタ

15	14	13	12	11	10	9	8
予約済み							
R/W-00000000b							
7	6	5	4	3	2	1	0
XOR_MODE[1:0]		NUM_XOR_BITS[1:0]		予約済み			XOR_BIT_SEL
R/W-00b		R/W-00b		R/W-000b			R/W-0b

表 8-9. XOR\_BITS\_CTL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	予約済み	R/W	00000000b	予約済み。デフォルトのリセット値から変更しないでください。
7:6	XOR_MODE[1:0]	R/W	00b	XOR_MODE を 3 に設定します。
5:4	NUM_XOR_BITS[1:0]	R/W	00b	ADC 出力ランダムマイザ用の XOR ビット数を選択します。このビットフィールドを 3 に設定します。
3:1	予約済み	R/W	000b	予約済み。デフォルトのリセット値から変更しないでください。
0	XOR_BIT_SEL	R/W	0b	PRBS ビットの場合、このビットを 1b にセットします。

### 8.1.8 DRDY\_ALARM\_SEL レジスタ (アドレス = 0x0C) [リセット = 0x0000]

概略表に戻ります。

図 8-8. DRDY\_ALARM\_SEL レジスタ

15	14	13	12	11	10	9	8
ALRM_MASK[7:0]							
R/W-00000000b							
7	6	5	4	3	2	1	0
予約済み		ALRM_TYPE	ALRM_POL	DRDY_ALARM_SEL[3:0]			
R/W-00b		R/W-0b	R/W-0b	R/W-0000b			

表 8-10. DRDY\_ALARM\_SEL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	ALRM_MASK[7:0]	R/W	00000000b	アラーム マスクの選択。各ビットは、各アラームの OR 出力が ALARM ビンに選択されている場合に、すべてのアラーム モードに対するマスクを制御します。
7:6	予約済み	R/W	00b	予約済み。デフォルトのリセット値から変更しないでください。
5	ALRM_TYPE	R/W	0b	アラーム タイプの選択。DWC にのみ適用されます。 0b = レベル ベース 1b = パルス ベース
4	ALRM_POL	R/W	0b	DRDY/ アラーム極性の選択。 0b = アクティブ High 1b = アクティブ Low
3:0	DRDY_ALARM_SEL[3:0]	R/W	0000b	DRDY/ アラームの選択。 0000b = ADC データ準備完了フラグ (DRDY) 0001b = DWC 出力 0010b = 予約済み 0011b = 予約済み 0100b = 予約済み 0101b = 予約済み 0110b = ADC_CAL 完了フラグ (ADC_CAL_DONE) 0111b = 予約済み 1000b = OR を行う前に個別マスクを適用した上で、上記すべてのフラグを論理和 (OR) した結果を示します。

### 8.1.9 GEN\_CFG4 レジスタ (アドレス = 0x0D) [リセット = 0x0000]

概略表に戻ります。

図 8-9. GEN\_CFG4 レジスタ

15	14	13	12	11	10	9	8
予約済み							
R/W-0000000000b							

図 8-9. GEN\_CFG4 レジスタ (続き)

7	6	5	4	3	2	1	0
予約済み		ALRM_DIS	予約済み	DIG_DELAY_EN	予約済み	DRIVE_STRENGTH[1:0]	
R/W-0000000000b		R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-00b	

表 8-11. GEN\_CFG4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:6	予約済み	R/W	0000000000b	予約済み。デフォルトのリセット値から変更しないでください。
5	ALRM_DIS	R/W	0b	アラーム機能無効。 0b = イネーブル 1b = ディセーブル
4	予約済み	R/W	0b	予約済み。デフォルトのリセット値から変更しないでください。
3	DIG_DELAY_EN	R/W	0b	出力バッファパスでのデジタル遅延の制御。0b = 通常のデバイス動作。1b = 出力バッファパスのデジタル遅延がイネーブルになります。この大きさは DIG_DELAY_CFG1 と DIG_DELAY_CFG2 で制御されます。
2	予約済み	R/W	0b	予約済み。デフォルトのリセット値から変更しないでください。
1:0	DRIVE_STRENGTH[1:0]	R/W	00b	デジタル出力バッファの駆動能力を構成するための制御機能。 00b = 通常動作 01b = ゲートドライブ強度の 0.5 倍 10b = ゲートドライブ強度の 2 倍 11b = ゲートドライブ強度の 1.5 倍

### 8.1.10 DIG\_DELAY\_CFG1 レジスタ (アドレス = 0x0E) [リセット = 0x0000]

概略表に戻ります。

図 8-10. DIG\_DELAY\_CFG1 レジスタ

15	14	13	12	11	10	9	8
予約済み	DIG_DELAY_SDOUT[2:0]			DIG_DELAY_D3[2:0]			DIG_DELAY_D2[2:0]
R/W-0b	R/W-000b			R/W-000b			R/W-000b
7	6	5	4	3	2	1	0
DIG_DELAY_D2[2:0]		DIG_DELAY_D1[2:0]			DIG_DELAY_D0[2:0]		
R/W-000b		R/W-000b			R/W-000b		

表 8-12. DIG\_DELAY\_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R/W	0b	予約済み。デフォルトのリセット値から変更しないでください。
14:12	DIG_DELAY_SDOUT[2:0]	R/W	000b	SDOUT 上のプログラム可能なデジタル遅延。 000b = 0ns 遅延 001b = 1ns 遅延 010b = 2ns 遅延 011b = 3ns 遅延 100b = 4ns 遅延 101b = 5ns 遅延
11:9	DIG_DELAY_D3[2:0]	R/W	000b	D3 上のプログラム可能なデジタル遅延。 000b = 0ns 遅延 001b = 1ns 遅延 010b = 2ns 遅延 011b = 3ns 遅延 100b = 4ns 遅延 101b = 5ns 遅延
8:6	DIG_DELAY_D2[2:0]	R/W	000b	D2 上のプログラム可能なデジタル遅延。 000b = 0ns 遅延 001b = 1ns 遅延 010b = 2ns 遅延 011b = 3ns 遅延 100b = 4ns 遅延 101b = 5ns 遅延
5:3	DIG_DELAY_D1[2:0]	R/W	000b	D1 上のプログラム可能なデジタル遅延。 000b = 0ns 遅延 001b = 1ns 遅延 010b = 2ns 遅延 011b = 3ns 遅延 100b = 4ns 遅延 101b = 5ns 遅延

表 8-12. DIG\_DELAY\_CFG1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2:0	DIG_DELAY_D0[2:0]	R/W	000b	D0 上のプログラム可能なデジタル遅延。 000b = 0ns 遅延 001b = 1ns 遅延 010b = 2ns 遅延 011b = 3ns 遅延 100b = 4ns 遅延 101b = 5ns 遅延

### 8.1.11 DIG\_DELAY\_CFG2 レジスタ (アドレス = 0x0F) [リセット = 0x0000]

概略表に戻ります。

図 8-11. DIG\_DELAY\_CFG2 レジスタ

15	14	13	12	11	10	9	8
予約済み				DIG_DELAY_D7[2:0]			DIG_DELAY_D6[2:0]
R/W-0000b				R/W-000b			R/W-000b
7	6	5	4	3	2	1	0
DIG_DELAY_D6[2:0]		DIG_DELAY_D5[2:0]			DIG_DELAY_D4[2:0]		
R/W-000b		R/W-000b			R/W-000b		

表 8-13. DIG\_DELAY\_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:12	予約済み	R/W	0000b	予約済み。デフォルトのリセット値から変更しないでください。
11:9	DIG_DELAY_D7[2:0]	R/W	000b	D7 上のプログラム可能なデジタル遅延。 000b = 0ns 遅延 001b = 1ns 遅延 010b = 2ns 遅延 011b = 3ns 遅延 100b = 4ns 遅延 101b = 5ns 遅延
8:6	DIG_DELAY_D6[2:0]	R/W	000b	D6 上のプログラム可能なデジタル遅延。 000b = 0ns 遅延 001b = 1ns 遅延 010b = 2ns 遅延 011b = 3ns 遅延 100b = 4ns 遅延 101b = 5ns 遅延
5:3	DIG_DELAY_D5[2:0]	R/W	000b	D5 上のプログラム可能なデジタル遅延。 000b = 0ns 遅延 001b = 1ns 遅延 010b = 2ns 遅延 011b = 3ns 遅延 100b = 4ns 遅延 101b = 5ns 遅延
2:0	DIG_DELAY_D4[2:0]	R/W	000b	D4 上のプログラム可能なデジタル遅延。 000b = 0ns 遅延 001b = 1ns 遅延 010b = 2ns 遅延 011b = 3ns 遅延 100b = 4ns 遅延 101b = 5ns 遅延

### 8.1.12 ANA\_CFG1 レジスタ (アドレス = 0x10) [リセット = 0x0000]

概略表に戻ります。

図 8-12. ANA\_CFG1 レジスタ

15	14	13	12	11	10	9	8
予約済み							
R/W-000000000000000b							
7	6	5	4	3	2	1	0
予約済み						REFSEL_CTRL_DIS	EXT_REF_EN

図 8-12. ANA\_CFG1 レジスタ (続き)

R/W-00000000000000b R/W-0b R/W-0b

表 8-14. ANA\_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:2	予約済み	R/W	00000000000000 0b	予約済み。デフォルトのリセット値から変更しないでください。
1	REFSEL_CTRL_DIS	R/W	0b	RESEL ビン制御のディスエーブル。 0b = イネーブル 1b = ディセーブル
0	EXT_REF_EN	R/W	0b	ADC リファレンスの選択。 0b = 内部リファレンス 1b = 外部リファレンス

### 8.1.13 ANA\_CFG2 レジスタ (アドレス = 0x11) [リセット = 0x0000]

概略表に戻ります。

図 8-13. ANA\_CFG2 レジスタ

15	14	13	12	11	10	9	8
CH_XTALK_LOW_SPEED		予約済み					
R/W-0b		R/W-00000000b					
7	6	5	4	3	2	1	0
予約済み	ADC_CH_SEL[2:0]			ADC_NUM_SEL[1:0]		予約済み	
R/W-00000000b	R/W-000b			R/W-00b		R/W-00b	

表 8-15. ANA\_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	CH_XTALK_LOW_SPEED	R/W	0b	ADC サンプルレートが 100kSPS/ch 未満のとき、このビットを 1'b にセットします
14:7	予約済み	R/W	00000000b	予約済み。デフォルトのリセット値から変更しないでください。
6:4	ADC_CH_SEL[2:0]	R/W	000b	ADC_NUM_SEL に対応する ADC チャンネルを選択します。これらの設定は、ADC_NUM_SEL が 00'b でない場合に動作します。
3:2	ADC_NUM_SEL[1:0]	R/W	00b	変換を実行する ADC の数を選択します。ADC_NUM_SEL が 00'b の場合、ADC_CH_SEL は気にする必要がありません。 00b = 16 チャンネル (デフォルト) 01b = 8 チャンネル 10b = 4 チャンネル 11b = 2 チャンネル
1:0	予約済み	R/W	00b	予約済み。デフォルトのリセット値から変更しないでください。

### 8.1.14 ADC\_CAL レジスタ (アドレス = 0x12) [リセット = 0x0000]

概略表に戻ります。

図 8-14. ADC\_CAL レジスタ

15	14	13	12	11	10	9	8
予約済み		SE_DIFF_MODE_AI N1_8	SE_DIFF_MODE_AI N9_16	予約済み			ADC_CAL_TRIG
R/W-00b		R/W-0b	R/W-0b	R/W-000b			R/W-0b
7	6	5	4	3	2	1	0
予約済み						ADC_CAL_MODE[1:0]	
R/W-0000000b						R/W-00b	

表 8-16. ADC\_CAL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:14	予約済み	R/W	00b	予約済み。デフォルトのリセット値から変更しないでください。

表 8-16. ADC\_CAL レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
13	SE_DIFF_MODE_AIN1_8	R/W	0b	アナログ入力信号レベル。ユーザーは、ADC_CAL モジュールを開始する前に、このビットを更新します。 0b = AIN1 から AIN8 への差動入力信号 1b = AIN1 から AIN8 へのシングル エンド入力信号
12	SE_DIFF_MODE_AIN9_16	R/W	0b	アナログ入力信号レベル。ユーザーは、ADC_CAL モジュールを開始する前に、このビットを更新します。 0b = AIN9 から AIN16 への差動入力信号 1b = AIN9 から AIN16 へのシングル エンド入力信号
11:9	予約済み	R/W	000b	予約済み。デフォルトのリセット値から変更しないでください。
8	ADC_CAL_TRIG	R/W	0b	ADC CAL モジュールトリガ信号。 1'b を書き込むと、ADC_CAL モジュールをトリガします。
7:2	予約済み	R/W	000000b	予約済み。デフォルトのリセット値から変更しないでください。
1:0	ADC_CAL_MODE[1:0]	R/W	00b	ADC_CAL のモード選択。 00b = 校正を無効化 01b = オフセット誤差の校正 10b = ゲイン誤差の校正 11b = オフセットおよびゲイン誤差の校正

### 8.1.15 DIG\_FILTER レジスタ (アドレス = 0x14) [リセット = 0x0000]

概略表に戻ります。

図 8-15. DIG\_FILTER レジスタ

15	14	13	12	11	10	9	8
PHASE_DELAY_EN		FIR_FILTER_SEL[2:0]			MVG_AVG_LEN[3:0]		
R/W-0b		R/W-000b			R/W-0000b		
7	6	5	4	3	2	1	0
BLK_AVG_OS[3:0]			予約済み		INT_TRIG_MODE	DIG_FILTER_SYSREF	
R/W-0000b			R/W-00b		R/W-0b	R/W-0b	

表 8-17. DIG\_FILTER レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	PHASE_DELAY_EN	R/W	0b	位相遅延イネーブル。アナログ入力チャネル間の位相を調整するために使用されます。 0b = ディセーブル 1b = イネーブル
14:12	FIR_FILTER_SEL[2:0]	R/W	000b	FIR フィルタの選択。 000b = ディセーブル 001b = FIR1 010b = FIR2 011b = FIR3 100b = FIR4 101b = 予約済み 110b = FIR6 111b = FIR7
11:8	MVG_AVG_LEN[3:0]	R/W	0000b	移動平均フィルタ長の選択。 0000b = 平均化なし 0001b - 2 サイクルの平均 0010b - 4 サイクルの平均 0011b - 6 サイクルの平均 0100b - 8 サイクルの平均 0101b - 10 サイクルの平均 0110b - 12 サイクルの平均 0111b - 16 サイクルの平均 1000b - 20 サイクルの平均 1001b - 32 サイクルの平均 1010b - 64 サイクルの平均 1011b - 128 サイクルの平均

表 8-17. DIG\_FILTER レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
7:4	BLK_AVG_OSR[3:0]	R/W	0000b	ブロック平均フィルタのオーバーサンプリング比 (OSR) 構成。 0000b = 平均化なし 0001b - 2 サイクルの平均 0010b - 4 サイクルの平均 0011b - 6 サイクルの平均 0100b - 8 サイクルの平均 0101b - 10 サイクルの平均 0110b - 12 サイクルの平均 0111b - 16 サイクルの平均 1000b - 20 サイクルの平均 1001b - 32 サイクルの平均 1010b - 64 サイクルの平均 1011b - 128 サイクルの平均
3:2	予約済み	R/W	00b	予約済み。デフォルトのリセット値から変更しないでください。
1	INT_TRIG_MODE	R/W	0b	オーバーサンプリング中に、サンプル / ホールド回路を自動的にトリガします。 0b = ディセーブル 1b = イネーブル
0	DIG_FILT_SYSREF	R/W	0b	デジタル フィルタ アキュムレートをリセットするには、1b を書き込みます。

### 8.1.16 GEN\_CFG5 レジスタ (アドレス = 0x15) [リセット = 0x0000]

概略表に戻ります。

図 8-16. GEN\_CFG5 レジスタ

15	14	13	12	11	10	9	8
予約済み							
R/W-0000000000000b							
7	6	5	4	3	2	1	0
予約済み				T_MODE_OVR_EN	T_MODE	AVG_MODE_OVR_EN	AVG_MODE
R/W-0000000000000b				R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 8-18. GEN\_CFG5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:4	予約済み	R/W	0000000000000b	予約済み。デフォルトのリセット値から変更しないでください。
3	T_MODE_OVR_EN	R/W	0b	このビットは、T_MODE (切り捨てモード機能) をイネーブルにします。T_MODE フィールドを構成する前に、このビットを 1b に設定します。
2	T_MODE	R/W	0b	このビットを使用すると、このデバイスのテスト パターンを使用する場合に、ADC 出力を 16b に切り詰められます。
1	AVG_MODE_OVR_EN	R/W	0b	このビットは、AVG_MODE を有効化します。AVG_MODE を 1b に設定する前に、このビットを 1b に設定します。
0	AVG_MODE	R/W	0b	オーバーサンプリングの場合、ノイズ性能を最大化するため、この 1b を設定します。

### 8.1.17 DEVICE\_STATUS レジスタ (アドレス = 0x1E) [リセット = 0x0000]

概略表に戻ります。

図 8-17. DEVICE\_STATUS レジスタ

15	14	13	12	11	10	9	8
予約済み							
R-0000000000000b							
7	6	5	4	3	2	1	0
予約済み			CALIB_BUSY_FLAG	予約済み			
R-0000000000000b			R-0b	R-0000b			

表 8-19. DEVICE\_STATUS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:5	予約済み	R	000000000000b	予約済み。デフォルトのリセット値から変更しないでください。

表 8-19. DEVICE\_STATUS レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
4	CALIB_BUSY_FLAG	R	0b	ADC_CAL が動作していることを示します。 0b = ADC_CAL モジュールがアイドル状態 1b = ADC_CAL モジュールが動作中。
3:0	予約済み	R	0000b	予約済み。デフォルトのリセット値から変更しないでください。

8.1.18 DEVICE\_ID レジスタ (アドレス = 0x21) [リセット = 0x0004]

概略表に戻ります。

図 8-18. DEVICE\_ID レジスタ

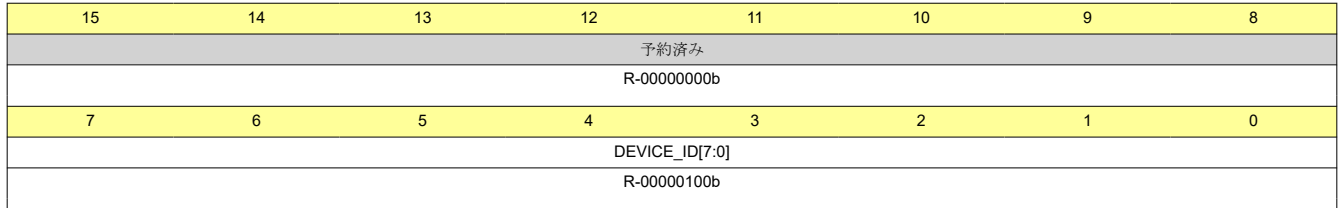


表 8-20. DEVICE\_ID レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	予約済み	R	00000000b	予約済み。デフォルトのリセット値から変更しないでください。
7:0	DEVICE_ID[7:0]	R	00000100b	デバイス ID。

## 8.2 AIN1 ~ AIN8 チャンネル レジスタ

表 8-21 は、AIN1 - AIN8 のメモリ マップト レジスタを一覧表示します。表 8-21 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 8-21. AIN1 - AIN8 チャンネル

アドレス	略称	ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8
		ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
0x08	PGA_CONFIG_AIN1_2	CME_CORR_EN_AIN2	CM_RANGE_AIN2[2:0]		予約済み		INPUT_RANGE_AIN2[2:0]		
		CME_CORR_EN_AIN1	CM_RANGE_AIN1[2:0]		予約済み		INPUT_RANGE_AIN1[2:0]		
0x09	PGA_CONFIG_AIN3_4	CME_CORR_EN_AIN4	CM_RANGE_AIN4[2:0]		予約済み		INPUT_RANGE_AIN4[2:0]		
		CME_CORR_EN_AIN3	CM_RANGE_AIN3[2:0]		予約済み		INPUT_RANGE_AIN3[2:0]		
0x0A	PGA_CONFIG_AIN5_6	CME_CORR_EN_AIN6	CM_RANGE_AIN6[2:0]		予約済み		INPUT_RANGE_AIN6[2:0]		
		CME_CORR_EN_AIN5	CM_RANGE_AIN5[2:0]		予約済み		INPUT_RANGE_AIN5[2:0]		
0x0B	PGA_CONFIG_AIN7_8	CME_CORR_EN_AIN8	CM_RANGE_AIN8[2:0]		予約済み		INPUT_RANGE_AIN8[2:0]		
		CME_CORR_EN_AIN7	CM_RANGE_AIN7[2:0]		予約済み		INPUT_RANGE_AIN7[2:0]		
0x0C	PGA_BW_SEL_AIN1_8	PGA_BW_SEL_AIN8[1:0]		PGA_BW_SEL_AIN7[1:0]		PGA_BW_SEL_AIN6[1:0]		PGA_BW_SEL_AIN5[1:0]	
		PGA_BW_SEL_AIN4[1:0]		PGA_BW_SEL_AIN3[1:0]		PGA_BW_SEL_AIN2[1:0]		PGA_BW_SEL_AIN1[1:0]	
0x0D	PHASE_DELAY_AIN1_2	PHASE_DELAY_AIN2[7:0]							
		PHASE_DELAY_AIN1[7:0]							
0x0E	PHASE_DELAY_AIN3_4	PHASE_DELAY_AIN4[7:0]							
		PHASE_DELAY_AIN3[7:0]							
0x0F	PHASE_DELAY_AIN5_6	PHASE_DELAY_AIN6[7:0]							
		PHASE_DELAY_AIN5[7:0]							
0x10	PHASE_DELAY_AIN7_8	PHASE_DELAY_AIN8[7:0]							
		PHASE_DELAY_AIN7[7:0]							
0x11	OFS_AIN1	予約済み						OFS_AIN1[9:0]	
		OFS_AIN1[9:0]							
0x12	OFS_AIN2	予約済み						OFS_AIN2[9:0]	
		OFS_AIN2[9:0]							
0x13	OFS_AIN3	予約済み						OFS_AIN3[9:0]	
		OFS_AIN3[9:0]							
0x14	OFS_AIN4	予約済み						OFS_AIN4[9:0]	
		OFS_AIN4[9:0]							
0x15	OFS_AIN5	予約済み						OFS_AIN5[9:0]	
		OFS_AIN5[9:0]							
0x16	OFS_AIN6	予約済み						OFS_AIN6[9:0]	
		OFS_AIN6[9:0]							
0x17	OFS_AIN7	予約済み						OFS_AIN7[9:0]	
		OFS_AIN7[9:0]							
0x18	OFS_AIN8	予約済み						OFS_AIN8[9:0]	
		OFS_AIN8[9:0]							
0x19	GAN_AIN1	予約済み		GAN_AIN1[13:0]					
		GAN_AIN1[13:0]							
0x1A	GAN_AIN2	予約済み		GAN_AIN2[13:0]					
		GAN_AIN2[13:0]							
0x1B	GAN_AIN3	予約済み		GAN_AIN3[13:0]					
		GAN_AIN3[13:0]							
0x1C	GAN_AIN4	予約済み		GAN_AIN4[13:0]					
		GAN_AIN4[13:0]							

表 8-21. AIN1 - AIN8 チャンネル (続き)

アドレス	略称	ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8
		ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
0x1D	GAN_AIN5	予約済み		GAN_AIN5[13:0]					
		GAN_AIN5[13:0]							
0x1E	GAN_AIN6	予約済み		GAN_AIN6[13:0]					
		GAN_AIN6[13:0]							
0x1F	GAN_AIN7	予約済み		GAN_AIN7[13:0]					
		GAN_AIN7[13:0]							
0x20	GAN_AIN8	予約済み		GAN_AIN8[13:0]					
		GAN_AIN8[13:0]							
0x21	DWC_CFG	DWC_STAT_RST	予約済み			DWC_GLITCH_FILTER[3:0]			
		DWC_EN_AIN8	DWC_EN_AIN7	DWC_EN_AIN6	DWC_EN_AIN5	DWC_EN_AIN4	DWC_EN_AIN3	DWC_EN_AIN2	DWC_EN_AIN1
0x22	DWC_TH_AIN1	HIGH_TH_AIN1[7:0]							
		LOW_TH_AIN1[7:0]							
0x23	DWC_TH_AIN2	HIGH_TH_AIN2[7:0]							
		LOW_TH_AIN2[7:0]							
0x24	DWC_TH_AIN3	HIGH_TH_AIN3[7:0]							
		LOW_TH_AIN3[7:0]							
0x25	DWC_TH_AIN4	HIGH_TH_AIN4[7:0]							
		LOW_TH_AIN4[7:0]							
0x26	DWC_TH_AIN5	HIGH_TH_AIN5[7:0]							
		LOW_TH_AIN5[7:0]							
0x27	DWC_TH_AIN6	HIGH_TH_AIN6[7:0]							
		LOW_TH_AIN6[7:0]							
0x28	DWC_TH_AIN7	HIGH_TH_AIN7[7:0]							
		LOW_TH_AIN7[7:0]							
0x29	DWC_TH_AIN8	HIGH_TH_AIN8[7:0]							
		LOW_TH_AIN8[7:0]							
0x2A	DWC_HYS_AIN1_2	HYS_AIN2[7:0]							
		HYS_AIN1[7:0]							
0x2B	DWC_HYS_AIN3_4	HYS_AIN4[7:0]							
		HYS_AIN3[7:0]							
0x2C	DWC_HYS_AIN5_6	HYS_AIN6[7:0]							
		HYS_AIN5[7:0]							
0x2D	DWC_HYS_AIN7_8	HYS_AIN8[7:0]							
		HYS_AIN7[7:0]							
0x2E	TP_CFG	予約済み							
		予約済み	TP_MODE[2:0]			予約済み	TP_DIS_IDX	TP_UPD_MODE	TP_EN
0x2F	TP_AIN1	TP_AIN1[15:0]							
		TP_AIN1[15:0]							
0x30	TP_AIN2	TP_AIN2[15:0]							
		TP_AIN2[15:0]							
0x31	TP_AIN3	TP_AIN3[15:0]							
		TP_AIN3[15:0]							
0x32	TP_AIN4	TP_AIN4[15:0]							
		TP_AIN4[15:0]							
0x33	TP_AIN5	TP_AIN5[15:0]							
		TP_AIN5[15:0]							
0x34	TP_AIN6	TP_AIN6[15:0]							
		TP_AIN6[15:0]							
0x35	TP_AIN7	TP_AIN7[15:0]							
		TP_AIN7[15:0]							

表 8-21. AIN1 - AIN8 チャンネル (続き)

アドレス	略称	ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8	
		ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
0x36	TP_AIN8	TP_AIN8[15:0]								
0x37	GEN_CFG5	予約済み								
0x3B	CH_XTALK_AIN1_8	予約済み				CH_XTALK_AIN1_8	予約済み			
0x3E	DWC_FLAG_AIN1_8	HIGH_FLAG_AIN8	HIGH_FLAG_AIN7	HIGH_FLAG_AIN6	HIGH_FLAG_AIN5	HIGH_FLAG_AIN4	HIGH_FLAG_AIN3	HIGH_FLAG_AIN2	HIGH_FLAG_AIN1	
		LOW_FLAG_AIN8	LOW_FLAG_AIN7	LOW_FLAG_AIN6	LOW_FLAG_AIN5	LOW_FLAG_AIN4	LOW_FLAG_AIN3	LOW_FLAG_AIN2	LOW_FLAG_AIN1	

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-22 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-22. AIN1~AIN8 チャンネル アクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

### 8.2.1 PGA\_CONFIG\_AIN1\_2 レジスタ (アドレス = 0x08) [リセット = 0x0000]

概略表に戻ります。

図 8-19. PGA\_CONFIG\_AIN1\_2 レジスタ

15	14	13	12	11	10	9	8
CME_CORR_EN_AIN2	CM_RANGE_AIN2[2:0]		予約済み		INPUT_RANGE_AIN2[2:0]		
R/W-0b	R/W-000b		R/W-0b		R/W-000b		
7	6	5	4	3	2	1	0
CME_CORR_EN_AIN1	CM_RANGE_AIN1[2:0]		予約済み		INPUT_RANGE_AIN1[2:0]		
R/W-0b	R/W-000b		R/W-0b		R/W-000b		

表 8-23. PGA\_CONFIG\_AIN1\_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	CME_CORR_EN_AIN2	R/W	0b	同相モード誤り訂正をイネーブル。 0b=ディセーブル 1b=イネーブル
14:12	CM_RANGE_AIN2[2:0]	R/W	000b	入力信号タイプを選択します。 000b = 差動 101b = シングル エンド 110b = シングル エンド オープン ワイヤ安全
11	予約済み	R/W	0b	予約済み。デフォルトのリセット値から変更しないでください。

表 8-23. PGA\_CONFIG\_AIN1\_2 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
10:8	INPUT_RANGE_AIN2[2:0]	R/W	000b	AIN2 アナログ入力範囲の選択。 000b = ±5V 001b = ±25V 010b = ±2.5V 011b = ±6.25V 100b = ±10V 101b = ±12.5V 110b = ±50V 111b = 予約済み
7	CME_CORR_EN_AIN1	R/W	0b	同相モード誤り訂正をイネーブル。 0b=ディセーブル 1b = イネーブル
6:4	CM_RANGE_AIN1[2:0]	R/W	000b	入力信号タイプを選択します。 000b = 差動 101b = シングル エンド 110b= シングル エンド オープン ワイヤ安全
3	予約済み	R/W	0b	予約済み。デフォルトのリセット値から変更しないでください。
2:0	INPUT_RANGE_AIN1[2:0]	R/W	000b	AIN1 アナログ入力範囲の選択。 000b = ±5V 001b = ±25V 010b = ±2.5V 011b = ±6.25V 100b = ±10V 101b = ±12.5V 110b = ±50V 111b = 予約済み

### 8.2.2 PGA\_CONFIG\_AIN3\_4 レジスタ (アドレス = 0x09) [リセット = 0x0000]

概略表に戻ります。

図 8-20. PGA\_CONFIG\_AIN3\_4 レジスタ

15	14	13	12	11	10	9	8
CME_CORR_EN_AIN4	CM_RANGE_AIN4[2:0]			予約済み	INPUT_RANGE_AIN4[2:0]		
R/W-0b	R/W-000b			R/W-0b	R/W-000b		
7	6	5	4	3	2	1	0
CME_CORR_EN_AIN3	CM_RANGE_AIN3[2:0]			予約済み	INPUT_RANGE_AIN3[2:0]		
R/W-0b	R/W-000b			R/W-0b	R/W-000b		

表 8-24. PGA\_CONFIG\_AIN3\_4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	CME_CORR_EN_AIN4	R/W	0b	同相モード誤り訂正をイネーブル。 0b=ディセーブル 1b = イネーブル
14:12	CM_RANGE_AIN4[2:0]	R/W	000b	入力信号タイプを選択します。 000b = 差動 101b = シングル エンド 110b= シングル エンド オープン ワイヤ安全
11	予約済み	R/W	0b	予約済み。デフォルトのリセット値から変更しないでください。
10:8	INPUT_RANGE_AIN4[2:0]	R/W	000b	AIN4 アナログ入力範囲の選択。 000b = ±5V 001b = ±25V 010b = ±2.5V 011b = ±6.25V 100b = ±10V 101b = ±12.5V 110b = ±50V 111b = 予約済み
7	CME_CORR_EN_AIN3	R/W	0b	同相モード誤り訂正をイネーブル。 0b=ディセーブル 1b = イネーブル
6:4	CM_RANGE_AIN3[2:0]	R/W	000b	入力信号タイプを選択します。 000b = 差動 101b = シングル エンド 110b= シングル エンド オープン ワイヤ安全
3	予約済み	R/W	0b	予約済み。デフォルトのリセット値から変更しないでください。

表 8-24. PGA\_CONFIG\_AIN3\_4 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2:0	INPUT_RANGE_AIN3[2:0]	R/W	000b	AIN3 アナログ入力範囲の選択。 000b = ±5V 001b = ±25V 010b = ±2.5V 011b = ±6.25V 100b = ±10V 101b = ±12.5V 110b = ±50V 111b = 予約済み

### 8.2.3 PGA\_CONFIG\_AIN5\_6 レジスタ (アドレス = 0x0A) [リセット = 0x0000]

概略表に戻ります。

図 8-21. PGA\_CONFIG\_AIN5\_6 レジスタ

15	14	13	12	11	10	9	8
CME_CORR_EN_AIN6	CM_RANGE_AIN6[2:0]			予約済み	INPUT_RANGE_AIN6[2:0]		
R/W-0b	R/W-000b			R/W-0b	R/W-000b		
7	6	5	4	3	2	1	0
CME_CORR_EN_AIN5	CM_RANGE_AIN5[2:0]			予約済み	INPUT_RANGE_AIN5[2:0]		
R/W-0b	R/W-000b			R/W-0b	R/W-000b		

表 8-25. PGA\_CONFIG\_AIN5\_6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	CME_CORR_EN_AIN6	R/W	0b	同相モード誤り訂正をイネーブル。 0b=ディセーブル 1b = イネーブル
14:12	CM_RANGE_AIN6[2:0]	R/W	000b	入力信号タイプを選択します。 000b = 差動 101b = シングル エンド 110b = シングル エンド オープン ワイヤ安全
11	予約済み	R/W	0b	予約済み。デフォルトのリセット値から変更しないでください。
10:8	INPUT_RANGE_AIN6[2:0]	R/W	000b	AIN6 アナログ入力範囲の選択。 000b = ±5V 001b = ±25V 010b = ±2.5V 011b = ±6.25V 100b = ±10V 101b = ±12.5V 110b = ±50V 111b = 予約済み
7	CME_CORR_EN_AIN5	R/W	0b	同相モード誤り訂正をイネーブル。 0b=ディセーブル 1b = イネーブル
6:4	CM_RANGE_AIN5[2:0]	R/W	000b	入力信号タイプを選択します。 000b = 差動 101b = シングル エンド 110b = シングル エンド オープン ワイヤ安全
3	予約済み	R/W	0b	予約済み。デフォルトのリセット値から変更しないでください。
2:0	INPUT_RANGE_AIN5[2:0]	R/W	000b	AIN5 アナログ入力範囲の選択。 000b = ±5V 001b = ±25V 010b = ±2.5V 011b = ±6.25V 100b = ±10V 101b = ±12.5V 110b = ±50V 111b = 予約済み

### 8.2.4 PGA\_CONFIG\_AIN7\_8 レジスタ (アドレス = 0x0B) [リセット = 0x0000]

概略表に戻ります。

図 8-22. PGA\_CONFIG\_AIN7\_8 レジスタ

15		14		13		12		11		10		9		8	
CME_CORR_EN_AIN8		CM_RANGE_AIN8[2:0]				予約済み		INPUT_RANGE_AIN8[2:0]							
R/W-0b		R/W-000b				R/W-0b		R/W-000b							
7		6		5		4		3		2		1		0	
CME_CORR_EN_AIN7		CM_RANGE_AIN7[2:0]				予約済み		INPUT_RANGE_AIN7[2:0]							
R/W-0b		R/W-000b				R/W-0b		R/W-000b							

表 8-26. PGA\_CONFIG\_AIN7\_8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	CME_CORR_EN_AIN8	R/W	0b	同相モード誤り訂正をイネーブル。 0b = ディセーブル 1b = イネーブル
14:12	CM_RANGE_AIN8[2:0]	R/W	000b	入力信号タイプを選択します。 000b = 差動 101b = シングル エンド 110b = シングル エンド オープン ワイヤ安全
11	予約済み	R/W	0b	予約済み。デフォルトのリセット値から変更しないでください。
10:8	INPUT_RANGE_AIN8[2:0]	R/W	000b	AIN8 アナログ入力範囲の選択。 000b = ±5V 001b = ±25V 010b = ±2.5V 011b = ±6.25V 100b = ±10V 101b = ±12.5V 110b = ±50V 111b = 予約済み
7	CME_CORR_EN_AIN7	R/W	0b	同相モード誤り訂正をイネーブル。 0b = ディセーブル 1b = イネーブル
6:4	CM_RANGE_AIN7[2:0]	R/W	000b	入力信号タイプを選択します。 000b = 差動 101b = シングル エンド 110b = シングル エンド オープン ワイヤ安全
3	予約済み	R/W	0b	予約済み。デフォルトのリセット値から変更しないでください。
2:0	INPUT_RANGE_AIN7[2:0]	R/W	000b	AIN7 アナログ入力範囲の選択。 000b = ±5V 001b = ±25V 010b = ±2.5V 011b = ±6.25V 100b = ±10V 101b = ±12.5V 110b = ±50V 111b = 予約済み

ADVANCE INFORMATION

### 8.2.5 PGA\_BW\_SEL\_AIN1\_8 レジスタ (アドレス = 0x0C) [リセット = 0x0000]

概略表に戻ります。

図 8-23. PGA\_BW\_SEL\_AIN1\_8 レジスタ

15		14		13		12		11		10		9		8	
PGA_BW_SEL_AIN8[1:0]				PGA_BW_SEL_AIN7[1:0]				PGA_BW_SEL_AIN6[1:0]				PGA_BW_SEL_AIN5[1:0]			
R/W-00b				R/W-00b				R/W-00b				R/W-00b			
7		6		5		4		3		2		1		0	
PGA_BW_SEL_AIN4[1:0]				PGA_BW_SEL_AIN3[1:0]				PGA_BW_SEL_AIN2[1:0]				PGA_BW_SEL_AIN1[1:0]			
R/W-00b				R/W-00b				R/W-00b				R/W-00b			

表 8-27. PGA\_BW\_SEL\_AIN1\_8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:14	PGA_BW_SEL_AIN8[1:0]	R/W	00b	AIN8 アナログ ローパス フィルタ構成制御。 00b = 低帯域幅 01b = 広帯域幅 10b = 予約済み 11b = 予約済み

表 8-27. PGA\_BW\_SEL\_AIN1\_8 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
13:12	PGA_BW_SEL_AIN7[1:0]	R/W	00b	AIN7 アナログ ローパス フィルタ構成制御。 00b = 低帯域幅 01b = 広帯域幅 10b = 予約済み 11b = 予約済み
11:10	PGA_BW_SEL_AIN6[1:0]	R/W	00b	AIN6 アナログ ローパス フィルタ構成制御。 00b = 低帯域幅 01b = 広帯域幅 10b = 予約済み 11b = 予約済み
9:8	PGA_BW_SEL_AIN5[1:0]	R/W	00b	AIN5 アナログ ローパス フィルタ構成制御。 00b = 低帯域幅 01b = 広帯域幅 10b = 予約済み 11b = 予約済み
7:6	PGA_BW_SEL_AIN4[1:0]	R/W	00b	AIN4 アナログ ローパス フィルタ構成制御。 00b = 低帯域幅 01b = 広帯域幅 10b = 予約済み 11b = 予約済み
5:4	PGA_BW_SEL_AIN3[1:0]	R/W	00b	AIN3 アナログ ローパス フィルタ構成制御。 00b = 低帯域幅 01b = 広帯域幅 10b = 予約済み 11b = 予約済み
3:2	PGA_BW_SEL_AIN2[1:0]	R/W	00b	AIN2 アナログ ローパス フィルタ構成制御。 00b = 低帯域幅 01b = 広帯域幅 10b = 予約済み 11b = 予約済み
1:0	PGA_BW_SEL_AIN1[1:0]	R/W	00b	AIN1 アナログ ローパス フィルタ構成制御。 00b = 低帯域幅 01b = 広帯域幅 10b = 予約済み 11b = 予約済み

### 8.2.6 PHASE\_DELAY\_AIN1\_2 レジスタ (アドレス = 0x0D) [リセット = 0x0000]

概略表に戻ります。

図 8-24. PHASE\_DELAY\_AIN1\_2 レジスタ

15	14	13	12	11	10	9	8
PHASE_DELAY_AIN2[7:0]							
R/W-00000000b							
7	6	5	4	3	2	1	0
PHASE_DELAY_AIN1[7:0]							
R/W-00000000b							

表 8-28. PHASE\_DELAY\_AIN1\_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	PHASE_DELAY_AIN2[7:0]	R/W	00000000b	位相遅延 = $n \times \text{ADC CONVST クロック}$ $n$ は 0 ~ 255 です。
7:0	PHASE_DELAY_AIN1[7:0]	R/W	00000000b	位相遅延 = $n \times \text{ADC CONVST クロック}$ $n$ は 0 ~ 255 です。

### 8.2.7 PHASE\_DELAY\_AIN3\_4 レジスタ (アドレス = 0x0E) [リセット = 0x0000]

概略表に戻ります。

図 8-25. PHASE\_DELAY\_AIN3\_4 レジスタ

15	14	13	12	11	10	9	8
PHASE_DELAY_AIN4[7:0]							
R/W-00000000b							

図 8-25. PHASE\_DELAY\_AIN3\_4 レジスタ (続き)

7	6	5	4	3	2	1	0
PHASE_DELAY_AIN3[7:0]							
R/W-00000000b							

表 8-29. PHASE\_DELAY\_AIN3\_4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	PHASE_DELAY_AIN4[7:0]	R/W	00000000b	位相遅延 = $n \times \text{CONVST\_CLK}$ $n$ は 0 ~ 255 です。
7:0	PHASE_DELAY_AIN3[7:0]	R/W	00000000b	位相遅延 = $n \times \text{CONVST\_CLK}$ $n$ は 0 ~ 255 です。

### 8.2.8 PHASE\_DELAY\_AIN5\_6 レジスタ (アドレス = 0x0F) [リセット = 0x0000]

概略表に戻ります。

図 8-26. PHASE\_DELAY\_AIN5\_6 レジスタ

15	14	13	12	11	10	9	8
PHASE_DELAY_AIN6[7:0]							
R/W-00000000b							
7	6	5	4	3	2	1	0
PHASE_DELAY_AIN5[7:0]							
R/W-00000000b							

表 8-30. PHASE\_DELAY\_AIN5\_6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	PHASE_DELAY_AIN6[7:0]	R/W	00000000b	位相遅延 = $n \times \text{CONVST\_CLK}$ $n$ は 0 ~ 255 です。
7:0	PHASE_DELAY_AIN5[7:0]	R/W	00000000b	位相遅延 = $n \times \text{CONVST\_CLK}$ $n$ は 0 ~ 255 です。

### 8.2.9 PHASE\_DELAY\_AIN7\_8 レジスタ (アドレス = 0x10) [リセット = 0x0000]

概略表に戻ります。

図 8-27. PHASE\_DELAY\_AIN7\_8 レジスタ

15	14	13	12	11	10	9	8
PHASE_DELAY_AIN8[7:0]							
R/W-00000000b							
7	6	5	4	3	2	1	0
PHASE_DELAY_AIN7[7:0]							
R/W-00000000b							

表 8-31. PHASE\_DELAY\_AIN7\_8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	PHASE_DELAY_AIN8[7:0]	R/W	00000000b	位相遅延 = $n \times \text{CONVST\_CLK}$ $n$ は 0 ~ 255 です。
7:0	PHASE_DELAY_AIN7[7:0]	R/W	00000000b	位相遅延 = $n \times \text{CONVST\_CLK}$ $n$ は 0 ~ 255 です。

### 8.2.10 OFS\_AIN1 レジスタ (アドレス = 0x11) [リセット = 0x0000]

概略表に戻ります。

図 8-28. OFS\_AIN1 レジスタ

15	14	13	12	11	10	9	8
予約済み						OFS_AIN1[9:0]	
R/W-0000000b						R/W-0000000000b	
7	6	5	4	3	2	1	0

図 8-28. OFS\_AIN1 レジスタ (続き)

OFS_AIN1[9:0]
R/W-0000000000b

表 8-32. OFS\_AIN1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:10	予約済み	R/W	000000b	予約済み。デフォルトのリセット値から変更しないでください。
9:0	OFS_AIN1[9:0]	R/W	0000000000b	AIN1 のオフセット補正レジスタ。オフセット値は、2 の補数表記です。オフセット演算は、ゲイン演算よりも先に行われます。

### 8.2.11 OFS\_AIN2 レジスタ (アドレス = 0x12) [リセット = 0x0000]

概略表に戻ります。

図 8-29. OFS\_AIN2 レジスタ

15	14	13	12	11	10	9	8
予約済み						OFS_AIN2[9:0]	
R/W-000000b						R/W-0000000000b	
7	6	5	4	3	2	1	0
OFS_AIN2[9:0]							
R/W-0000000000b							

表 8-33. OFS\_AIN2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:10	予約済み	R/W	000000b	予約済み。デフォルトのリセット値から変更しないでください。
9:0	OFS_AIN2[9:0]	R/W	0000000000b	AIN2 のオフセット補正レジスタ。オフセット値は、2 の補数表記です。オフセット演算は、ゲイン演算よりも先に行われます。

### 8.2.12 OFS\_AIN3 レジスタ (アドレス = 0x13) [リセット = 0x0000]

概略表に戻ります。

図 8-30. OFS\_AIN3 レジスタ

15	14	13	12	11	10	9	8
予約済み						OFS_AIN3[9:0]	
R/W-000000b						R/W-0000000000b	
7	6	5	4	3	2	1	0
OFS_AIN3[9:0]							
R/W-0000000000b							

表 8-34. OFS\_AIN3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:10	予約済み	R/W	000000b	予約済み。デフォルトのリセット値から変更しないでください。
9:0	OFS_AIN3[9:0]	R/W	0000000000b	AIN3 のオフセット補正レジスタ。オフセット値は、2 の補数表記です。オフセット演算は、ゲイン演算よりも先に行われます。

### 8.2.13 OFS\_AIN4 レジスタ (アドレス = 0x14) [リセット = 0x0000]

概略表に戻ります。

図 8-31. OFS\_AIN4 レジスタ

15	14	13	12	11	10	9	8
予約済み						OFS_AIN4[9:0]	
R/W-000000b						R/W-0000000000b	

図 8-31. OFS\_AIN4 レジスタ (続き)

7	6	5	4	3	2	1	0
OFS_AIN4[9:0]							
R/W-0000000000b							

表 8-35. OFS\_AIN4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:10	予約済み	R/W	000000b	予約済み。デフォルトのリセット値から変更しないでください。
9:0	OFS_AIN4[9:0]	R/W	0000000000b	AIN4 のオフセット補正レジスタ。 オフセット値は、2 の補数表記です。オフセット演算は、ゲイン演算よりも先に行われます。

### 8.2.14 OFS\_AIN5 レジスタ (アドレス = 0x15) [リセット = 0x0000]

概略表に戻ります。

図 8-32. OFS\_AIN5 レジスタ

15	14	13	12	11	10	9	8
予約済み						OFS_AIN5[9:0]	
R/W-0000000b						R/W-0000000000b	
7	6	5	4	3	2	1	0
OFS_AIN5[9:0]							
R/W-0000000000b							

表 8-36. OFS\_AIN5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:10	予約済み	R/W	000000b	予約済み。デフォルトのリセット値から変更しないでください。
9:0	OFS_AIN5[9:0]	R/W	0000000000b	AIN5 のオフセット補正レジスタ。 オフセット値は、2 の補数表記です。オフセット演算は、ゲイン演算よりも先に行われます。

### 8.2.15 OFS\_AIN6 レジスタ (アドレス = 0x16) [リセット = 0x0000]

概略表に戻ります。

図 8-33. OFS\_AIN6 レジスタ

15	14	13	12	11	10	9	8
予約済み						OFS_AIN6[9:0]	
R/W-0000000b						R/W-0000000000b	
7	6	5	4	3	2	1	0
OFS_AIN6[9:0]							
R/W-0000000000b							

表 8-37. OFS\_AIN6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:10	予約済み	R/W	000000b	予約済み。デフォルトのリセット値から変更しないでください。
9:0	OFS_AIN6[9:0]	R/W	0000000000b	AIN6 のオフセット補正レジスタ。 オフセット値は、2 の補数表記です。オフセット演算は、ゲイン演算よりも先に行われます。

### 8.2.16 OFS\_AIN7 レジスタ (アドレス = 0x17) [リセット = 0x0000]

概略表に戻ります。

図 8-34. OFS\_AIN7 レジスタ

15	14	13	12	11	10	9	8
予約済み						OFS_AIN7[9:0]	

図 8-34. OFS\_AIN7 レジスタ (続き)

R/W-000000b				R/W-0000000000b			
7	6	5	4	3	2	1	0
OFS_AIN7[9:0]							
R/W-0000000000b							

表 8-38. OFS\_AIN7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:10	予約済み	R/W	000000b	予約済み。デフォルトのリセット値から変更しないでください。
9:0	OFS_AIN7[9:0]	R/W	0000000000b	AIN7 のオフセット補正レジスタ。 オフセット値は 2 の補数形式で表され、変換結果から減算されます。オフセット演算は、ゲイン演算よりも先に行われます。LSB 4 ビットは、12 ビット版 ADS93xx デバイスファミリ向けに予約されています。

### 8.2.17 OFS\_AIN8 レジスタ (アドレス = 0x18) [リセット = 0x0000]

概略表に戻ります。

図 8-35. OFS\_AIN8 レジスタ

15	14	13	12	11	10	9	8
予約済み						OFS_AIN8[9:0]	
R/W-000000b						R/W-0000000000b	
7	6	5	4	3	2	1	0
OFS_AIN8[9:0]							
R/W-0000000000b							

表 8-39. OFS\_AIN8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:10	予約済み	R/W	000000b	予約済み。デフォルトのリセット値から変更しないでください。
9:0	OFS_AIN8[9:0]	R/W	0000000000b	AIN8 のオフセット補正レジスタ。 オフセット値は、2 の補数表記です。オフセット演算は、ゲイン演算よりも先に行われます。

### 8.2.18 GAN\_AIN1 レジスタ (アドレス = 0x19) [リセット = 0x0000]

概略表に戻ります。

図 8-36. GAN\_AIN1 レジスタ

15	14	13	12	11	10	9	8
予約済み			GAN_AIN1[13:0]				
R/W-00b			R/W-000000000000000b				
7	6	5	4	3	2	1	0
GAN_AIN1[13:0]							
R/W-000000000000000b							

表 8-40. GAN\_AIN1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:14	予約済み	R/W	00b	予約済み。デフォルトのリセット値から変更しないでください。
13:0	GAN_AIN1[13:0]	R/W	0000000000000000b	AIN1 のゲイン補正レジスタ。 ゲイン補正値は 2 の補数表現で、オフセット動作の後に行われます。ゲイン動作中、変換データは (1 + GAN_AINn[13:0] / 10000h) を掛けられます。

### 8.2.19 GAN\_AIN2 レジスタ (アドレス = 0x1A) [リセット = 0x0000]

概略表に戻ります。

図 8-37. GAN\_AIN2 レジスタ

15	14	13	12	11	10	9	8
予約済み		GAN_AIN2[13:0]					
R/W-00b		R/W-00000000000000b					
7	6	5	4	3	2	1	0
GAN_AIN2[13:0]							
R/W-00000000000000b							

表 8-41. GAN\_AIN2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:14	予約済み	R/W	00b	予約済み。デフォルトのリセット値から変更しないでください。
13:0	GAN_AIN2[13:0]	R/W	00000000000000b	AIN2 のゲイン補正レジスタ。 ゲイン補正値は 2 の補数表現で、オフセット動作の後に行われます。ゲイン動作中、変換データには $(1 + \text{GAN\_AINn}[13:0] / 10000h)$ を掛けられます。

### 8.2.20 GAN\_AIN3 レジスタ (アドレス = 0x1B) [リセット = 0x0000]

概略表に戻ります。

図 8-38. GAN\_AIN3 レジスタ

15	14	13	12	11	10	9	8
予約済み		GAN_AIN3[13:0]					
R/W-00b		R/W-00000000000000b					
7	6	5	4	3	2	1	0
GAN_AIN3[13:0]							
R/W-00000000000000b							

表 8-42. GAN\_AIN3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:14	予約済み	R/W	00b	予約済み。デフォルトのリセット値から変更しないでください。
13:0	GAN_AIN3[13:0]	R/W	00000000000000b	AIN3 のゲイン補正レジスタ。 ゲイン補正値は 2 の補数表現で、オフセット動作の後に行われます。ゲイン動作中、変換データには $(1 + \text{GAN\_AINn}[13:0] / 10000h)$ を掛けられます。

### 8.2.21 GAN\_AIN4 レジスタ (アドレス = 0x1C) [リセット = 0x0000]

概略表に戻ります。

図 8-39. GAN\_AIN4 レジスタ

15	14	13	12	11	10	9	8
予約済み		GAN_AIN4[13:0]					
R/W-00b		R/W-00000000000000b					
7	6	5	4	3	2	1	0
GAN_AIN4[13:0]							
R/W-00000000000000b							

表 8-43. GAN\_AIN4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:14	予約済み	R/W	00b	予約済み。デフォルトのリセット値から変更しないでください。
13:0	GAN_AIN4[13:0]	R/W	00000000000000b	AIN4 のゲイン補正レジスタ。 ゲイン補正値は 2 の補数表現で、オフセット動作の後に行われます。ゲイン動作中、変換データは $(1 + \text{GAN\_AINn}[13:0] / 10000h)$ を掛けられます。

### 8.2.22 GAN\_AIN5 レジスタ (アドレス = 0x1D) [リセット = 0x0000]

概略表に戻ります。

図 8-40. GAN\_AIN5 レジスタ

15	14	13	12	11	10	9	8
予約済み		GAN_AIN5[13:0]					
R/W-00b		R/W-00000000000000b					
7	6	5	4	3	2	1	0
GAN_AIN5[13:0]							
R/W-00000000000000b							

表 8-44. GAN\_AIN5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:14	予約済み	R/W	00b	予約済み。デフォルトのリセット値から変更しないでください。
13:0	GAN_AIN5[13:0]	R/W	000000000000000b	AIN5 のゲイン補正レジスタ。ゲイン補正値は 2 の補数表現で、オフセット動作の後に行われます。ゲイン動作中、変換データには $(1 + \text{GAN\_AINn}[13:0] / 10000h)$ を掛けられます。

### 8.2.23 GAN\_AIN6 レジスタ (アドレス = 0x1E) [リセット = 0x0000]

概略表に戻ります。

図 8-41. GAN\_AIN6 レジスタ

15	14	13	12	11	10	9	8
予約済み		GAN_AIN6[13:0]					
R/W-00b		R/W-00000000000000b					
7	6	5	4	3	2	1	0
GAN_AIN6[13:0]							
R/W-00000000000000b							

表 8-45. GAN\_AIN6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:14	予約済み	R/W	00b	予約済み。デフォルトのリセット値から変更しないでください。
13:0	GAN_AIN6[13:0]	R/W	00000000000000b	AIN6 のゲイン補正レジスタ。ゲイン補正値は 2 の補数表現で、オフセット動作の後に行われます。ゲイン動作中、変換データには $(1 + \text{GAN\_AINn}[13:0] / 10000h)$ を掛けられます。

### 8.2.24 GAN\_AIN7 レジスタ (アドレス = 0x1F) [リセット = 0x0000]

概略表に戻ります。

図 8-42. GAN\_AIN7 レジスタ

15	14	13	12	11	10	9	8
予約済み		GAN_AIN7[13:0]					
R/W-00b		R/W-00000000000000b					
7	6	5	4	3	2	1	0
GAN_AIN7[13:0]							
R/W-00000000000000b							

表 8-46. GAN\_AIN7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:14	予約済み	R/W	00b	予約済み。デフォルトのリセット値から変更しないでください。

表 8-46. GAN\_AIN7 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
13:0	GAN_AIN7[13:0]	R/W	00000000000000 0b	AIN7 のゲイン補正レジスタ。 ゲイン補正値は 2 の補数表現で、オフセット動作の後に行われます。ゲイン動作中、変換データには (1 + GAN_AINn[13:0] / 10000h) を掛けられます。

### 8.2.25 GAN\_AIN8 レジスタ (アドレス = 0x20) [リセット = 0x0000]

概略表に戻ります。

図 8-43. GAN\_AIN8 レジスタ

15	14	13	12	11	10	9	8
予約済み			GAN_AIN8[13:0]				
R/W-00b			R/W-00000000000000b				
7	6	5	4	3	2	1	0
GAN_AIN8[13:0]							
R/W-00000000000000b							

表 8-47. GAN\_AIN8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:14	予約済み	R/W	00b	予約済み。デフォルトのリセット値から変更しないでください。
13:0	GAN_AIN8[13:0]	R/W	00000000000000 0b	AIN8 のゲイン補正レジスタ。 ゲイン補正値は 2 の補数表現で、オフセット動作の後に行われます。ゲイン動作中、変換データには (1 + GAN_AINn[13:0] / 10000h) を掛けられます。

### 8.2.26 DWC\_CFG レジスタ (アドレス = 0x21) [リセット = 0x0000]

概略表に戻ります。

図 8-44. DWC\_CFG レジスタ

15	14	13	12	11	10	9	8
DWC_STAT_RST	予約済み			DWC_GLITCH_FILTER[3:0]			
R/W-0b	R/W-000b			R/W-0000b			
7	6	5	4	3	2	1	0
DWC_EN_AIN8	DWC_EN_AIN7	DWC_EN_AIN6	DWC_EN_AIN5	DWC_EN_AIN4	DWC_EN_AIN3	DWC_EN_AIN2	DWC_EN_AIN1
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 8-48. DWC\_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	DWC_STAT_RST	R/W	0b	デジタル ウィンドウ コンバータリセット制御。1'b を書き込むと、DWC のステータスフラグがリセットされます。
14:12	予約済み	R/W	000b	予約済み。デフォルトのリセット値から変更しないでください。
11:8	DWC_GLITCH_FILTER[3:0]	R/W	0000b	デジタル ウィンドウ コンバータのグリッチ除去フィルタ制御。 コンバータのフラグは、ADC データが DWC_GLITCH_FILTER[3:0] で指定された連続サイクル数だけスレッショルドを超えた場合にのみセットされます。
7	DWC_EN_AIN8	R/W	0b	デジタル ウィンドウ コンバータがイネーブル。 0b = ディセーブル 1b = イネーブル
6	DWC_EN_AIN7	R/W	0b	デジタル ウィンドウ コンバータがイネーブル。 0b = ディセーブル 1b = イネーブル
5	DWC_EN_AIN6	R/W	0b	デジタル ウィンドウ コンバータがイネーブル。 0b = ディセーブル 1b = イネーブル
4	DWC_EN_AIN5	R/W	0b	デジタル ウィンドウ コンバータがイネーブル。 0b = ディセーブル 1b = イネーブル

ADVANCE INFORMATION

表 8-48. DWC\_CFG レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3	DWC_EN_AIN4	R/W	0b	デジタル ウィンドウ コンパレータがイネーブル。 0b=ディセーブル 1b = イネーブル
2	DWC_EN_AIN3	R/W	0b	デジタル ウィンドウ コンパレータがイネーブル。 0b=ディセーブル 1b = イネーブル
1	DWC_EN_AIN2	R/W	0b	デジタル ウィンドウ コンパレータがイネーブル。 0b=ディセーブル 1b = イネーブル
0	DWC_EN_AIN1	R/W	0b	デジタル ウィンドウ コンパレータがイネーブル。 0b=ディセーブル 1b = イネーブル

### 8.2.27 DWC\_TH\_AIN1 レジスタ (アドレス = 0x22) [リセット = 0xFF00]

概略表に戻ります。

図 8-45. DWC\_TH\_AIN1 レジスタ

15	14	13	12	11	10	9	8
HIGH_TH_AIN1[7:0]							
R/W-11111111b							
7	6	5	4	3	2	1	0
LOW_TH_AIN1[7:0]							
R/W-00000000b							

表 8-49. DWC\_TH\_AIN1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	HIGH_TH_AIN1[7:0]	R/W	11111111b	アナログ入力用の、MSB にそろえられた high スレッショルド。これらのビットは、ADC 変換結果の上位 8 ビットと比較されます。
7:0	LOW_TH_AIN1[7:0]	R/W	00000000b	アナログ入力用の、MSB にそろえられた low スレッショルド。これらのビットは、ADC 変換結果の上位 8 ビットと比較されます。

### 8.2.28 DWC\_TH\_AIN2 レジスタ (アドレス = 0x23) [リセット = 0xFF00]

概略表に戻ります。

図 8-46. DWC\_TH\_AIN2 レジスタ

15	14	13	12	11	10	9	8
HIGH_TH_AIN2[7:0]							
R/W-11111111b							
7	6	5	4	3	2	1	0
LOW_TH_AIN2[7:0]							
R/W-00000000b							

表 8-50. DWC\_TH\_AIN2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	HIGH_TH_AIN2[7:0]	R/W	11111111b	アナログ入力用の、MSB にそろえられた high スレッショルド。これらのビットは、ADC 変換結果の上位 8 ビットと比較されます。
7:0	LOW_TH_AIN2[7:0]	R/W	00000000b	アナログ入力用の、MSB にそろえられた low スレッショルド。これらのビットは、ADC 変換結果の上位 8 ビットと比較されます。

### 8.2.29 DWC\_TH\_AIN3 レジスタ (アドレス = 0x24) [リセット = 0xFF00]

概略表に戻ります。

図 8-47. DWC\_TH\_AIN3 レジスタ

15	14	13	12	11	10	9	8
HIGH_TH_AIN3[7:0]							
R/W-11111111b							
7	6	5	4	3	2	1	0
LOW_TH_AIN3[7:0]							
R/W-00000000b							

表 8-51. DWC\_TH\_AIN3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	HIGH_TH_AIN3[7:0]	R/W	11111111b	アナログ入力用の、MSB にそろえられた high スレッショルド。これらのビットは、ADC 変換結果の上位 8 ビットと比較されます。
7:0	LOW_TH_AIN3[7:0]	R/W	00000000b	アナログ入力用の、MSB にそろえられた low スレッショルド。これらのビットは、ADC 変換結果の上位 8 ビットと比較されます。

### 8.2.30 DWC\_TH\_AIN4 レジスタ (アドレス = 0x25) [リセット = 0xFF00]

概略表に戻ります。

図 8-48. DWC\_TH\_AIN4 レジスタ

15	14	13	12	11	10	9	8
HIGH_TH_AIN4[7:0]							
R/W-11111111b							
7	6	5	4	3	2	1	0
LOW_TH_AIN4[7:0]							
R/W-00000000b							

表 8-52. DWC\_TH\_AIN4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	HIGH_TH_AIN4[7:0]	R/W	11111111b	アナログ入力用の、MSB にそろえられた high スレッショルド。これらのビットは、ADC 変換結果の上位 8 ビットと比較されます。
7:0	LOW_TH_AIN4[7:0]	R/W	00000000b	アナログ入力用の、MSB にそろえられた low スレッショルド。これらのビットは、ADC 変換結果の上位 8 ビットと比較されます。

### 8.2.31 DWC\_TH\_AIN5 レジスタ (アドレス = 0x26) [リセット = 0xFF00]

概略表に戻ります。

図 8-49. DWC\_TH\_AIN5 レジスタ

15	14	13	12	11	10	9	8
HIGH_TH_AIN5[7:0]							
R/W-11111111b							
7	6	5	4	3	2	1	0
LOW_TH_AIN5[7:0]							
R/W-00000000b							

表 8-53. DWC\_TH\_AIN5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	HIGH_TH_AIN5[7:0]	R/W	11111111b	アナログ入力用の、MSB にそろえられた high スレッショルド。これらのビットは、ADC 変換結果の上位 8 ビットと比較されます。
7:0	LOW_TH_AIN5[7:0]	R/W	00000000b	アナログ入力用の、MSB にそろえられた low スレッショルド。これらのビットは、ADC 変換結果の上位 8 ビットと比較されます。

### 8.2.32 DWC\_TH\_AIN6 レジスタ (アドレス = 0x27) [リセット = 0xFF00]

概略表に戻ります。

図 8-50. DWC\_TH\_AIN6 レジスタ

15	14	13	12	11	10	9	8
HIGH_TH_AIN6[7:0]							
R/W-11111111b							
7	6	5	4	3	2	1	0
LOW_TH_AIN6[7:0]							
R/W-00000000b							

表 8-54. DWC\_TH\_AIN6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	HIGH_TH_AIN6[7:0]	R/W	11111111b	アナログ入力用の、MSB にそろえられた high スレッショルド。これらのビットは、ADC 変換結果の上位 8 ビットと比較されます。
7:0	LOW_TH_AIN6[7:0]	R/W	00000000b	アナログ入力用の、MSB にそろえられた low スレッショルド。これらのビットは、ADC 変換結果の上位 8 ビットと比較されます。

### 8.2.33 DWC\_TH\_AIN7 レジスタ (アドレス = 0x28) [リセット = 0xFF00]

概略表に戻ります。

図 8-51. DWC\_TH\_AIN7 レジスタ

15	14	13	12	11	10	9	8
HIGH_TH_AIN7[7:0]							
R/W-11111111b							
7	6	5	4	3	2	1	0
LOW_TH_AIN7[7:0]							
R/W-00000000b							

表 8-55. DWC\_TH\_AIN7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	HIGH_TH_AIN7[7:0]	R/W	11111111b	アナログ入力用の、MSB にそろえられた high スレッショルド。これらのビットは、ADC 変換結果の上位 8 ビットと比較されます。
7:0	LOW_TH_AIN7[7:0]	R/W	00000000b	アナログ入力用の、MSB にそろえられた low スレッショルド。これらのビットは、ADC 変換結果の上位 8 ビットと比較されます。

### 8.2.34 DWC\_TH\_AIN8 レジスタ (アドレス = 0x29) [リセット = 0xFF00]

概略表に戻ります。

図 8-52. DWC\_TH\_AIN8 レジスタ

15	14	13	12	11	10	9	8
HIGH_TH_AIN8[7:0]							
R/W-11111111b							
7	6	5	4	3	2	1	0
LOW_TH_AIN8[7:0]							
R/W-00000000b							

表 8-56. DWC\_TH\_AIN8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	HIGH_TH_AIN8[7:0]	R/W	11111111b	アナログ入力用の、MSB にそろえられた high スレッショルド。これらのビットは、ADC 変換結果の上位 8 ビットと比較されます。

表 8-56. DWC\_TH\_AIN8 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
7:0	LOW_TH_AIN8[7:0]	R/W	00000000b	アナログ入力用の、MSB にそろえられた low スレッシュホールド。これらのビットは、ADC 変換結果の上位 8 ビットと比較されます。

### 8.2.35 DWC\_HYS\_AIN1\_2 レジスタ (アドレス = 0x2A) [リセット = 0x0000]

概略表に戻ります。

図 8-53. DWC\_HYS\_AIN1\_2 レジスタ

15	14	13	12	11	10	9	8
HYS_AIN2[7:0]							
R/W-00000000b							
7	6	5	4	3	2	1	0
HYS_AIN1[7:0]							
R/W-00000000b							

表 8-57. DWC\_HYS\_AIN1\_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	HYS_AIN2[7:0]	R/W	00000000b	High および Low スレッシュホールド用の 8 ビットヒステリシス。
7:0	HYS_AIN1[7:0]	R/W	00000000b	high および low スレッシュホールド用の 8 ビットヒステリシス

### 8.2.36 DWC\_HYS\_AIN3\_4 レジスタ (アドレス = 0x2B) [リセット = 0xFF00]

概略表に戻ります。

図 8-54. DWC\_HYS\_AIN3\_4 レジスタ

15	14	13	12	11	10	9	8
HYS_AIN4[7:0]							
R/W-11111111b							
7	6	5	4	3	2	1	0
HYS_AIN3[7:0]							
R/W-00000000b							

表 8-58. DWC\_HYS\_AIN3\_4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	HYS_AIN4[7:0]	R/W	11111111b	high および low スレッシュホールド用の 8 ビットヒステリシス
7:0	HYS_AIN3[7:0]	R/W	00000000b	high および low スレッシュホールド用の 8 ビットヒステリシス

### 8.2.37 DWC\_HYS\_AIN5\_6 レジスタ (アドレス = 0x2C) [リセット = 0xFF00]

概略表に戻ります。

図 8-55. DWC\_HYS\_AIN5\_6 レジスタ

15	14	13	12	11	10	9	8
HYS_AIN6[7:0]							
R/W-11111111b							
7	6	5	4	3	2	1	0
HYS_AIN5[7:0]							
R/W-00000000b							

表 8-59. DWC\_HYS\_AIN5\_6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	HYS_AIN6[7:0]	R/W	11111111b	high および low スレッシュホールド用の 8 ビット ヒステリシス
7:0	HYS_AIN5[7:0]	R/W	00000000b	high および low スレッシュホールド用の 8 ビット ヒステリシス

### 8.2.38 DWC\_HYS\_AIN7\_8 レジスタ (アドレス = 0x2D) [リセット = 0xFF00]

概略表に戻ります。

図 8-56. DWC\_HYS\_AIN7\_8 レジスタ

15	14	13	12	11	10	9	8
HYS_AIN8[7:0]							
R/W-11111111b							
7	6	5	4	3	2	1	0
HYS_AIN7[7:0]							
R/W-00000000b							

表 8-60. DWC\_HYS\_AIN7\_8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	HYS_AIN8[7:0]	R/W	11111111b	high および low スレッシュホールド用の 8 ビット ヒステリシス
7:0	HYS_AIN7[7:0]	R/W	00000000b	high および low スレッシュホールド用の 8 ビット ヒステリシス

### 8.2.39 TP\_CFG レジスタ (アドレス = 0x2E) [リセット = 0x0000]

概略表に戻ります。

図 8-57. TP\_CFG レジスタ

15	14	13	12	11	10	9	8
予約済み							
R/W-00000000b							
7	6	5	4	3	2	1	0
予約済み	TP_MODE[2:0]			予約済み	TP_DIS_IDX	TP_UPD_MODE	TP_EN
R/W-00000000b	R/W-000b			R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 8-61. TP\_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:7	予約済み	R/W	00000000b	予約済み。デフォルトのリセット値から変更しないでください。
6:4	TP_MODE[2:0]	R/W	000b	テスト パターン モード選択。 000b = 一定パターン 001b = 予約済み 010b = ランプ パターン 011b = 予約済み 100b = 予約済み 101b = 予約済み
3	予約済み	R/W	0b	予約済み。デフォルトのリセット値から変更しないでください。
2	TP_DIS_IDX	R/W	0b	テスト パターンの 1'b チャンネル インデックス挿入がディスエーブルになる場合。
1	TP_UPD_MODE	R/W	0b	テスト パターン インクリメント モード。 0b = インクリメントはチャンネル フレーム境界で発生します。 1b = インクリメントは CONVST ごとに発生します。
0	TP_EN	R/W	0b	AIN1 から AIN8 へのテスト パターンをイネーブル。 0b = ADC 変換結果がデータインターフェイスで起動されます 1b = デジタルテストパターンがデータインターフェイス上で起動されます

### 8.2.40 TP\_AIN1 レジスタ (アドレス = 0x2F) [リセット = 0x0000]

概略表に戻ります。

図 8-58. TP\_AIN1 レジスタ

15	14	13	12	11	10	9	8
TP_AIN1[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
TP_AIN1[15:0]							
R/W-0000000000000000b							

表 8-62. TP\_AIN1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:0	TP_AIN1[15:0]	R/W	0000000000000000000b	AIN1 の 16 ビットパターンを固定。ランプ パターン モードでは、TP_AIN1 は AIN1 から AIN8 までのステップ サイズを制御します。

### 8.2.41 TP\_AIN2 レジスタ (アドレス = 0x30) [リセット = 0x0000]

概略表に戻ります。

図 8-59. TP\_AIN2 レジスタ

15	14	13	12	11	10	9	8
TP_AIN2[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
TP_AIN2[15:0]							
R/W-0000000000000000b							

表 8-63. TP\_AIN2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:0	TP_AIN2[15:0]	R/W	0000000000000000000b	AIN2 の 16 ビットパターンを固定。

### 8.2.42 TP\_AIN3 レジスタ (アドレス = 0x31) [リセット = 0x0000]

概略表に戻ります。

図 8-60. TP\_AIN3 レジスタ

15	14	13	12	11	10	9	8
TP_AIN3[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
TP_AIN3[15:0]							
R/W-0000000000000000b							

表 8-64. TP\_AIN3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:0	TP_AIN3[15:0]	R/W	0000000000000000000b	AIN3 の 16 ビットパターンを固定。

### 8.2.43 TP\_AIN4 レジスタ (アドレス = 0x32) [リセット = 0x0000]

概略表に戻ります。

図 8-61. TP\_AIN4 レジスタ

15	14	13	12	11	10	9	8
TP_AIN4[15:0]							

図 8-61. TP\_AIN4 レジスタ (続き)

R/W-0000000000000000b							
7	6	5	4	3	2	1	0
TP_AIN4[15:0]							
R/W-0000000000000000b							

表 8-65. TP\_AIN4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:0	TP_AIN4[15:0]	R/W	0000000000000000000b	AIN4 の 16 ビット パターンを固定。

#### 8.2.44 TP\_AIN5 レジスタ (アドレス = 0x33) [リセット = 0x0000]

概略表に戻ります。

図 8-62. TP\_AIN5 レジスタ

15	14	13	12	11	10	9	8
TP_AIN5[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
TP_AIN5[15:0]							
R/W-0000000000000000b							

表 8-66. TP\_AIN5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:0	TP_AIN5[15:0]	R/W	0000000000000000000b	AIN5 の 16 ビット パターンを固定。

#### 8.2.45 TP\_AIN6 レジスタ (アドレス = 0x34) [リセット = 0x0000]

概略表に戻ります。

図 8-63. TP\_AIN6 レジスタ

15	14	13	12	11	10	9	8
TP_AIN6[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
TP_AIN6[15:0]							
R/W-0000000000000000b							

表 8-67. TP\_AIN6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:0	TP_AIN6[15:0]	R/W	0000000000000000000b	AIN6 の 16 ビット パターンを固定。

#### 8.2.46 TP\_AIN7 レジスタ (アドレス = 0x35) [リセット = 0x0000]

概略表に戻ります。

図 8-64. TP\_AIN7 レジスタ

15	14	13	12	11	10	9	8
TP_AIN7[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0

図 8-64. TP\_AIN7 レジスタ (続き)

TP_AIN7[15:0]
R/W-0000000000000000b

表 8-68. TP\_AIN7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:0	TP_AIN7[15:0]	R/W	0000000000000000 000b	AIN7 の 16 ビット パターンを固定。

### 8.2.47 TP\_AIN8 レジスタ (アドレス = 0x36) [リセット = 0x0000]

概略表に戻ります。

図 8-65. TP\_AIN8 レジスタ

15	14	13	12	11	10	9	8
TP_AIN8[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
TP_AIN8[15:0]							
R/W-0000000000000000b							

表 8-69. TP\_AIN8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:0	TP_AIN8[15:0]	R/W	0000000000000000 000b	AIN8 の 16 ビット パターンを固定。

### 8.2.48 GEN\_CFG5 レジスタ (アドレス = 0x37) [リセット = 0x0000]

概略表に戻ります。

図 8-66. GEN\_CFG5 レジスタ

15	14	13	12	11	10	9	8
予約済み							
R/W-000000000000b							
7	6	5	4	3	2	1	0
予約済み		予約済み		予約済み		OFS_CORR_DIS	GAN_CORR_DIS
R/W-000000000000b		R/W-0b		R/W-0b		R/W-0b	R/W-0b

表 8-70. GEN\_CFG5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:5	予約済み	R/W	000000000000b	予約済み。デフォルトのリセット値から変更しないでください。
4	予約済み	R/W	0b	予約済み。デフォルトのリセット値から変更しないでください。
3:2	予約済み	R/W	00b	予約済み。デフォルトのリセット値から変更しないでください。
1	OFS_CORR_DIS	R/W	0b	AIN1 から AIN8 へのシステム オフセット補正をディセーブル。 0b = イネーブル 1b = ディセーブル
0	GAN_CORR_DIS	R/W	0b	AIN1 から AIN8 へのシステム ゲイン補正をディセーブル。 0b = イネーブル 1b = ディセーブル

### 8.2.49 CH\_XTALK\_AIN1\_8 レジスタ (アドレス = 0x3B) [リセット = 0x0000]

概略表に戻ります。

図 8-67. CH\_XTALK\_AIN1\_8 レジスタ

15	14	13	12	11	10	9	8	
予約済み				CH_XTALK_AIN1_8	予約済み			
R/W-0000b				R/W-0b	R/W-0000000000b			
7	6	5	4	3	2	1	0	
予約済み							予約済み	
R/W-0000000000b							R-0b	

表 8-71. CH\_XTALK\_AIN1\_8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:12	予約済み	R/W	0000b	予約済み。デフォルトのリセット値から変更しないでください。
11	CH_XTALK_AIN1_8	R/W	0b	CH_XTALK_LOW_SPEED が 1b のとき、このビットを 1b に設定します。 0b=ディセーブル 1b = イネーブル
10:1	予約済み	R/W	0000000000b	予約済み。デフォルトのリセット値から変更しないでください。
0	予約済み	R	0b	

### 8.2.50 DWC\_FLAG\_AIN1\_8 レジスタ (アドレス = 0x3E) [リセット = 0x0000]

概略表に戻ります。

図 8-68. DWC\_FLAG\_AIN1\_8 レジスタ

15	14	13	12	11	10	9	8
HIGH_FLAG_AIN8	HIGH_FLAG_AIN7	HIGH_FLAG_AIN6	HIGH_FLAG_AIN5	HIGH_FLAG_AIN4	HIGH_FLAG_AIN3	HIGH_FLAG_AIN2	HIGH_FLAG_AIN1
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b
7	6	5	4	3	2	1	0
LOW_FLAG_AIN8	LOW_FLAG_AIN7	LOW_FLAG_AIN6	LOW_FLAG_AIN5	LOW_FLAG_AIN4	LOW_FLAG_AIN3	LOW_FLAG_AIN2	LOW_FLAG_AIN1
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 8-72. DWC\_FLAG\_AIN1\_8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	HIGH_FLAG_AIN8	R	0b	AIN8 のデジタル ウィンドウ コンパレータ high フラグ。
14	HIGH_FLAG_AIN7	R	0b	AIN7 のデジタル ウィンドウ コンパレータ high フラグ。
13	HIGH_FLAG_AIN6	R	0b	AIN6 のデジタル ウィンドウ コンパレータ high フラグ。
12	HIGH_FLAG_AIN5	R	0b	AIN5 のデジタル ウィンドウ コンパレータ high フラグ。
11	HIGH_FLAG_AIN4	R	0b	AIN4 のデジタル ウィンドウ コンパレータ high フラグ。
10	HIGH_FLAG_AIN3	R	0b	AIN3 のデジタル ウィンドウ コンパレータ high フラグ。
9	HIGH_FLAG_AIN2	R	0b	AIN2 のデジタル ウィンドウ コンパレータ high フラグ。
8	HIGH_FLAG_AIN1	R	0b	AIN1 のデジタル ウィンドウ コンパレータ high フラグ。
7	LOW_FLAG_AIN8	R	0b	AIN8 のデジタルウィンドウコンパレータ low フラグ。
6	LOW_FLAG_AIN7	R	0b	AIN7 のデジタルウィンドウコンパレータ low フラグ。
5	LOW_FLAG_AIN6	R	0b	AIN6 のデジタルウィンドウコンパレータ low フラグ。
4	LOW_FLAG_AIN5	R	0b	AIN5 のデジタルウィンドウコンパレータ low フラグ。
3	LOW_FLAG_AIN4	R	0b	AIN4 のデジタルウィンドウコンパレータ low フラグ。
2	LOW_FLAG_AIN3	R	0b	AIN3 のデジタルウィンドウコンパレータ low フラグ。
1	LOW_FLAG_AIN2	R	0b	AIN2 のデジタルウィンドウコンパレータ low フラグ。
0	LOW_FLAG_AIN1	R	0b	AIN1 のデジタルウィンドウコンパレータ low フラグ。

### 8.3 AIN9 ~ AIN16 チャンネル レジスタ

表 8-73 は、AIN9 - AIN16 のメモリ マップト レジスタを一覧表示します。表 8-73 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 8-73. AIN9 - AIN16 チャンネル

アドレス	略称	ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8	
		ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
0x08	PGA_CONFIG_AIN15_16	CME_CORR_EN_AIN15	CM_RANGE_AIN15[2:0]		予約済み	INPUT_RANGE_AIN15[2:0]				
		CME_CORR_EN_AIN16	CM_RANGE_AIN16[2:0]		予約済み	INPUT_RANGE_AIN16[2:0]				
0x09	PGA_CONFIG_AIN13_14	CME_CORR_EN_AIN13	CM_RANGE_AIN13[2:0]		予約済み	INPUT_RANGE_AIN13[2:0]				
		CME_CORR_EN_AIN14	CM_RANGE_AIN14[2:0]		予約済み	INPUT_RANGE_AIN14[2:0]				
0x0A	PGA_CONFIG_AIN11_12	CME_CORR_EN_AIN11	CM_RANGE_AIN11[2:0]		予約済み	INPUT_RANGE_AIN11[2:0]				
		CME_CORR_EN_AIN12	CM_RANGE_AIN12[2:0]		予約済み	INPUT_RANGE_AIN12[2:0]				
0x0B	PGA_CONFIG_AIN9_10	CME_CORR_EN_AIN9	CM_RANGE_AIN9[2:0]		予約済み	INPUT_RANGE_AIN9[2:0]				
		CME_CORR_EN_AIN10	CM_RANGE_AIN10[2:0]		予約済み	INPUT_RANGE_AIN10[2:0]				
0x0C	PGA_BW_SEL_AIN9_16	PGA_BW_SEL_AIN9[1:0]		PGA_BW_SEL_AIN10[1:0]		PGA_BW_SEL_AIN11[1:0]		PGA_BW_SEL_AIN12[1:0]		
		PGA_BW_SEL_AIN13[1:0]		PGA_BW_SEL_AIN14[1:0]		PGA_BW_SEL_AIN15[1:0]		PGA_BW_SEL_AIN16[1:0]		
0x0D	PHASE_DELAY_AIN15_16	PHASE_DELAY_AIN15[7:0]								
		PHASE_DELAY_AIN16[7:0]								
0x0E	PHASE_DELAY_AIN13_14	PHASE_DELAY_AIN13[7:0]								
		PHASE_DELAY_AIN14[7:0]								
0x0F	PHASE_DELAY_AIN11_12	PHASE_DELAY_AIN11[7:0]								
		PHASE_DELAY_AIN12[7:0]								
0x10	PHASE_DELAY_AIN9_10	PHASE_DELAY_AIN9[7:0]								
		PHASE_DELAY_AIN10[7:0]								
0x11	OFS_AIN16	予約済み						OFS_AIN16[9:0]		
		OFS_AIN16[9:0]								
0x12	OFS_AIN15	予約済み						OFS_AIN15[9:0]		
		OFS_AIN15[9:0]								
0x13	OFS_AIN14	予約済み						OFS_AIN14[9:0]		
		OFS_AIN14[9:0]								
0x14	OFS_AIN13	予約済み						OFS_AIN13[9:0]		
		OFS_AIN13[9:0]								
0x15	OFS_AIN12	予約済み						OFS_AIN12[9:0]		
		OFS_AIN12[9:0]								
0x16	OFS_AIN11	予約済み						OFS_AIN11[9:0]		
		OFS_AIN11[9:0]								
0x17	OFS_AIN10	予約済み						OFS_AIN10[9:0]		
		OFS_AIN10[9:0]								
0x18	OFS_AIN9	予約済み						OFS_AIN9[9:0]		
		OFS_AIN9[9:0]								
0x19	GAN_AIN16	予約済み			GAN_AIN16[13:0]					
		GAN_AIN16[13:0]								
0x1A	GAN_AIN15	予約済み			GAN_AIN15[13:0]					
		GAN_AIN15[13:0]								
0x1B	GAN_AIN14	予約済み			GAN_AIN14[13:0]					
		GAN_AIN14[13:0]								
0x1C	GAN_AIN13	予約済み			GAN_AIN13[13:0]					
		GAN_AIN13[13:0]								

表 8-73. AIN9 - AIN16 チャンネル (続き)

アドレス	略称	ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8	
		ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
0x1D	GAN_AIN12	予約済み		GAN_AIN12[13:0]						
		GAN_AIN12[13:0]								
0x1E	GAN_AIN11	予約済み		GAN_AIN11[13:0]						
		GAN_AIN11[13:0]								
0x1F	GAN_AIN10	予約済み		GAN_AIN10[13:0]						
		GAN_AIN10[13:0]								
0x20	GAN_AIN9	予約済み		GAN_AIN9[13:0]						
		GAN_AIN9[13:0]								
0x21	DWC_CFG	DWC_STAT_RST	予約済み			DWC_GLITCH_FILTER[3:0]				
		DWC_EN_AIN9	DWC_EN_AIN10	DWC_EN_AIN11	DWC_EN_AIN12	DWC_EN_AIN13	DWC_EN_AIN14	DWC_EN_AIN15	DWC_EN_AIN16	
0x22	DWC_TH_AIN16	HIGH_TH_AIN16[7:0]								
		LOW_TH_AIN16[7:0]								
0x23	DWC_TH_AIN15	HIGH_TH_AIN15[7:0]								
		LOW_TH_AIN15[7:0]								
0x24	DWC_TH_AIN14	HIGH_TH_AIN14[7:0]								
		LOW_TH_AIN14[7:0]								
0x25	DWC_TH_AIN13	HIGH_TH_AIN13[7:0]								
		LOW_TH_AIN13[7:0]								
0x26	DWC_TH_AIN12	HIGH_TH_AIN12[7:0]								
		LOW_TH_AIN12[7:0]								
0x27	DWC_TH_AIN11	HIGH_TH_AIN11[7:0]								
		LOW_TH_AIN11[7:0]								
0x28	DWC_TH_AIN10	HIGH_TH_AIN10[7:0]								
		LOW_TH_AIN10[7:0]								
0x29	DWC_TH_AIN9	HIGH_TH_AIN9[7:0]								
		LOW_TH_AIN9[7:0]								
0x2A	DWC_HYS_AIN15_16	HYS_AIN15[7:0]								
		HYS_AIN16[7:0]								
0x2B	DWC_HYS_AIN13_14	HYS_AIN13[7:0]								
		HYS_AIN14[7:0]								
0x2C	DWC_HYS_AIN11_12	HYS_AIN11[7:0]								
		HYS_AIN12[7:0]								
0x2D	DWC_HYS_AIN9_10	HYS_AIN9[7:0]								
		HYS_AIN10[7:0]								
0x2E	TP_CFG	予約済み								
		予約済み	TP_MODE[2:0]			予約済み	TP_DIS_IDX	TP_UPD_MODE	TP_EN	
0x2F	TP_AIN16	TP_AIN16[15:0]								
		TP_AIN16[15:0]								
0x30	TP_AIN15	TP_AIN15[15:0]								
		TP_AIN15[15:0]								
0x31	TP_AIN14	TP_AIN14[15:0]								
		TP_AIN14[15:0]								
0x32	TP_AIN13	TP_AIN13[15:0]								
		TP_AIN13[15:0]								
0x33	TP_AIN12	TP_AIN12[15:0]								
		TP_AIN12[15:0]								
0x34	TP_AIN11	TP_AIN11[15:0]								
		TP_AIN11[15:0]								
0x35	TP_AIN10	TP_AIN10[15:0]								
		TP_AIN10[15:0]								

表 8-73. AIN9 - AIN16 チャンネル (続き)

アドレス	略称	ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8	
		ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
0x36	TP_AIN9	TP_AIN9[15:0]								
0x37	GEN_CFG5	予約済み							OFS_CORR_DIS	GAN_CORR_DIS
0x3B	CH_XTALK_AIN9_16	予約済み				CH_XTALK_AIN9_16	予約済み			
0x3E	DWC_FLAG_AIN9_16	HIGH_FLAG_AIN9	HIGH_FLAG_AIN10	HIGH_FLAG_AIN11	HIGH_FLAG_AIN12	HIGH_FLAG_AIN13	HIGH_FLAG_AIN14	HIGH_FLAG_AIN15	HIGH_FLAG_AIN16	
		LOW_FLAG_AIN9	LOW_FLAG_AIN10	LOW_FLAG_AIN11	LOW_FLAG_AIN12	LOW_FLAG_AIN13	LOW_FLAG_AIN14	LOW_FLAG_AIN15	LOW_FLAG_AIN16	

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-74 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-74. AIN9~AIN16 チャンネル アクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

### 8.3.1 PGA\_CONFIG\_AIN15\_16 レジスタ (アドレス = 0x08) [リセット = 0x0000]

概略表に戻ります。

図 8-69. PGA\_CONFIG\_AIN15\_16 レジスタ

15	14	13	12	11	10	9	8
CME_CORR_EN_AIN15	CM_RANGE_AIN15[2:0]		予約済み	INPUT_RANGE_AIN15[2:0]			
R/W-0b	R/W-000b		R/W-0b	R/W-000b			
7	6	5	4	3	2	1	0
CME_CORR_EN_AIN16	CM_RANGE_AIN16[2:0]		予約済み	INPUT_RANGE_AIN16[2:0]			
R/W-0b	R/W-000b		R/W-0b	R/W-000b			

表 8-75. PGA\_CONFIG\_AIN15\_16 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	CME_CORR_EN_AIN15	R/W	0b	同相モード誤り訂正をイネーブル。 0b=ディセーブル 1b = イネーブル
14:12	CM_RANGE_AIN15[2:0]	R/W	000b	入力信号タイプを選択します。 000b = 差動 101b = シングル エンド 110b = シングル エンド オープン ワイヤ安全
11	予約済み	R/W	0b	予約済み。デフォルトのリセット値から変更しないでください。

表 8-75. PGA\_CONFIG\_AIN15\_16 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
10:8	INPUT_RANGE_AIN15[2:0]	R/W	000b	AIN15 アナログ入力範囲の選択。 000b = ±5V 001b = ±25V 010b = ±2.5V 011b = ±6.25V 100b = ±10V 101b = ±12.5V 110b = ±50V 111b = 予約済み
7	CME_CORR_EN_AIN16	R/W	0b	同相モード誤り訂正をイネーブル。 0b=ディセーブル 1b = イネーブル
6:4	CM_RANGE_AIN16[2:0]	R/W	000b	入力信号タイプを選択します。 000b = 差動 101b = シングル エンド 110b= シングル エンド オープン ワイヤ安全
3	予約済み	R/W	0b	予約済み。デフォルトのリセット値から変更しないでください。
2:0	INPUT_RANGE_AIN16[2:0]	R/W	000b	AIN16 アナログ入力範囲の選択。 000b = ±5V 001b = ±25V 010b = ±2.5V 011b = ±6.25V 100b = ±10V 101b = ±12.5V 110b = ±50V 111b = 予約済み

### 8.3.2 PGA\_CONFIG\_AIN13\_14 レジスタ (アドレス = 0x09) [リセット = 0x0000]

概略表に戻ります。

図 8-70. PGA\_CONFIG\_AIN13\_14 レジスタ

15	14	13	12	11	10	9	8
CME_CORR_EN_AIN13	CM_RANGE_AIN13[2:0]		予約済み		INPUT_RANGE_AIN13[2:0]		
R/W-0b	R/W-000b		R/W-0b		R/W-000b		
7	6	5	4	3	2	1	0
CME_CORR_EN_AIN14	CM_RANGE_AIN14[2:0]		予約済み		INPUT_RANGE_AIN14[2:0]		
R/W-0b	R/W-000b		R/W-0b		R/W-000b		

表 8-76. PGA\_CONFIG\_AIN13\_14 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	CME_CORR_EN_AIN13	R/W	0b	同相モード誤り訂正をイネーブル。 0b=ディセーブル 1b = イネーブル
14:12	CM_RANGE_AIN13[2:0]	R/W	000b	入力信号タイプを選択します。 000b = 差動 101b = シングル エンド 110b= シングル エンド オープン ワイヤ安全
11	予約済み	R/W	0b	予約済み。デフォルトのリセット値から変更しないでください。
10:8	INPUT_RANGE_AIN13[2:0]	R/W	000b	AIN13 アナログ入力範囲の選択。 000b = ±5V 001b = ±25V 010b = ±2.5V 011b = ±6.25V 100b = ±10V 101b = ±12.5V 110b = ±50V 111b = 予約済み
7	CME_CORR_EN_AIN14	R/W	0b	同相モード誤り訂正をイネーブル。 0b=ディセーブル 1b = イネーブル
6:4	CM_RANGE_AIN14[2:0]	R/W	000b	入力信号タイプを選択します。 000b = 差動 101b = シングル エンド 110b= シングル エンド オープン ワイヤ安全
3	予約済み	R/W	0b	予約済み。デフォルトのリセット値から変更しないでください。

表 8-76. PGA\_CONFIG\_AIN13\_14 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2:0	INPUT_RANGE_AIN14[2:0]	R/W	000b	AIN14 アナログ入力範囲の選択。 000b = ±5V 001b = ±25V 010b = ±2.5V 011b = ±6.25V 100b = ±10V 101b = ±12.5V 110b = ±50V 111b = 予約済み

### 8.3.3 PGA\_CONFIG\_AIN11\_12 レジスタ (アドレス = 0x0A) [リセット = 0x0000]

概略表に戻ります。

図 8-71. PGA\_CONFIG\_AIN11\_12 レジスタ

15	14	13	12	11	10	9	8
CME_CORR_EN_AIN11	CM_RANGE_AIN11[2:0]		予約済み		INPUT_RANGE_AIN11[2:0]		
R/W-0b	R/W-000b		R/W-0b		R/W-000b		
7	6	5	4	3	2	1	0
CME_CORR_EN_AIN12	CM_RANGE_AIN12[2:0]		予約済み		INPUT_RANGE_AIN12[2:0]		
R/W-0b	R/W-000b		R/W-0b		R/W-000b		

表 8-77. PGA\_CONFIG\_AIN11\_12 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	CME_CORR_EN_AIN11	R/W	0b	同相モード誤り訂正をイネーブル。 0b=ディセーブル 1b = イネーブル
14:12	CM_RANGE_AIN11[2:0]	R/W	000b	入力信号タイプを選択します。 000b = 差動 101b = シングル エンド 110b = シングル エンド オープン ワイヤ安全
11	予約済み	R/W	0b	予約済み。デフォルトのリセット値から変更しないでください。
10:8	INPUT_RANGE_AIN11[2:0]	R/W	000b	AIN11 アナログ入力範囲の選択。 000b = ±5V 001b = ±25V 010b = ±2.5V 011b = ±6.25V 100b = ±10V 101b = ±12.5V 110b = ±50V 111b = 予約済み
7	CME_CORR_EN_AIN12	R/W	0b	同相モード誤り訂正をイネーブル。 0b=ディセーブル 1b = イネーブル
6:4	CM_RANGE_AIN12[2:0]	R/W	000b	入力信号タイプを選択します。 000b = 完全差動 101b = シングル エンド 110b = シングル エンド オープン ワイヤ安全
3	予約済み	R/W	0b	予約済み。デフォルトのリセット値から変更しないでください。
2:0	INPUT_RANGE_AIN12[2:0]	R/W	000b	AIN12 アナログ入力範囲の選択。 000b = ±5V 001b = ±25V 010b = ±2.5V 011b = ±6.25V 100b = ±10V 101b = ±12.5V 110b = ±50V 111b = 予約済み

### 8.3.4 PGA\_CONFIG\_AIN9\_10 レジスタ (アドレス = 0x0B) [リセット = 0x0000]

概略表に戻ります。

図 8-72. PGA\_CONFIG\_AIN9\_10 レジスタ

15	14	13	12	11	10	9	8
CME_CORR_EN_AIN9	CM_RANGE_AIN9[2:0]		予約済み		INPUT_RANGE_AIN9[2:0]		
R/W-0b	R/W-000b		R/W-0b		R/W-000b		
7	6	5	4	3	2	1	0
CME_CORR_EN_AIN10	CM_RANGE_AIN10[2:0]		予約済み		INPUT_RANGE_AIN10[2:0]		
R/W-0b	R/W-000b		R/W-0b		R/W-000b		

表 8-78. PGA\_CONFIG\_AIN9\_10 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	CME_CORR_EN_AIN9	R/W	0b	同相モード誤り訂正をイネーブル。 0b=ディセーブル 1b = イネーブル
14:12	CM_RANGE_AIN9[2:0]	R/W	000b	入力信号タイプを選択します。 000b = 差動 101b = シングル エンド 110b = シングル エンド オープン ワイヤ安全
11	予約済み	R/W	0b	予約済み。デフォルトのリセット値から変更しないでください。
10:8	INPUT_RANGE_AIN9[2:0]	R/W	000b	AIN9 アナログ入力範囲の選択。 000b = ±5V 001b = ±25V 010b = ±2.5V 011b = ±6.25V 100b = ±10V 101b = ±12.5V 110b = ±50V 111b = 予約済み
7	CME_CORR_EN_AIN10	R/W	0b	同相モード誤り訂正をイネーブル。 0b=ディセーブル 1b = イネーブル
6:4	CM_RANGE_AIN10[2:0]	R/W	000b	入力信号タイプを選択します。 000b = 差動 101b = シングル エンド 110b = シングル エンド オープン ワイヤ安全
3	予約済み	R/W	0b	予約済み。デフォルトのリセット値から変更しないでください。
2:0	INPUT_RANGE_AIN10[2:0]	R/W	000b	AIN10 アナログ入力範囲の選択。 000b = ±5V 001b = ±25V 010b = ±2.5V 011b = ±6.25V 100b = ±10V 101b = ±12.5V 110b = ±50V 111b = 予約済み

### 8.3.5 PGA\_BW\_SEL\_AIN9\_16 レジスタ (アドレス = 0x0C) [リセット = 0x0000]

概略表に戻ります。

図 8-73. PGA\_BW\_SEL\_AIN9\_16 レジスタ

15	14	13	12	11	10	9	8
PGA_BW_SEL_AIN9[1:0]		PGA_BW_SEL_AIN10[1:0]		PGA_BW_SEL_AIN11[1:0]		PGA_BW_SEL_AIN12[1:0]	
R/W-00b		R/W-00b		R/W-00b		R/W-00b	
7	6	5	4	3	2	1	0
PGA_BW_SEL_AIN13[1:0]		PGA_BW_SEL_AIN14[1:0]		PGA_BW_SEL_AIN15[1:0]		PGA_BW_SEL_AIN16[1:0]	
R/W-00b		R/W-00b		R/W-00b		R/W-00b	

表 8-79. PGA\_BW\_SEL\_AIN9\_16 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:14	PGA_BW_SEL_AIN9[1:0]	R/W	00b	AIN9 アナログ ローパス フィルタ構成制御。 00b = 低帯域幅 01b = 広帯域幅 10b = 予約済み 11b = 予約済み

表 8-79. PGA\_BW\_SEL\_AIN9\_16 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
13:12	PGA_BW_SEL_AIN10[1:0]	R/W	00b	AIN10 アナログ ローパス フィルタ構成制御。 00b = 低帯域幅 01b = 広帯域幅 10b = 予約済み 11b = 予約済み
11:10	PGA_BW_SEL_AIN11[1:0]	R/W	00b	AIN11 アナログ ローパス フィルタ構成制御。 00b = 低帯域幅 01b = 広帯域幅 10b = 予約済み 11b = 予約済み
9:8	PGA_BW_SEL_AIN12[1:0]	R/W	00b	AIN12 アナログ ローパス フィルタ構成制御。 00b = 低帯域幅 01b = 広帯域幅 10b = 予約済み 11b = 予約済み
7:6	PGA_BW_SEL_AIN13[1:0]	R/W	00b	AIN13 アナログ ローパス フィルタ構成制御。 00b = 低帯域幅 01b = 広帯域幅 10b = 予約済み 11b = 予約済み
5:4	PGA_BW_SEL_AIN14[1:0]	R/W	00b	AIN14 アナログ ローパス フィルタ構成制御。 00b = 低帯域幅 01b = 広帯域幅 10b = 予約済み 11b = 予約済み
3:2	PGA_BW_SEL_AIN15[1:0]	R/W	00b	AIN15 アナログ ローパス フィルタ構成制御。 00b = 低帯域幅 01b = 広帯域幅 10b = 予約済み 11b = 予約済み
1:0	PGA_BW_SEL_AIN16[1:0]	R/W	00b	AIN16 アナログ ローパス フィルタ構成制御。 00b = 低帯域幅 01b = 広帯域幅 10b = 予約済み 11b = 予約済み

ADVANCE INFORMATION

### 8.3.6 PHASE\_DELAY\_AIN15\_16 レジスタ (アドレス = 0x0D) [リセット = 0x0000]

概略表に戻ります。

図 8-74. PHASE\_DELAY\_AIN15\_16 レジスタ

15	14	13	12	11	10	9	8
PHASE_DELAY_AIN15[7:0]							
R/W-00000000b							
7	6	5	4	3	2	1	0
PHASE_DELAY_AIN16[7:0]							
R/W-00000000b							

表 8-80. PHASE\_DELAY\_AIN15\_16 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	PHASE_DELAY_AIN15[7:0]	R/W	00000000b	位相遅延 = $n \times \text{ADC CONVST}$ クロック $n$ は 0 ~ 255 です。
7:0	PHASE_DELAY_AIN16[7:0]	R/W	00000000b	位相遅延 = $n \times \text{ADC CONVST}$ クロック $n$ は 0 ~ 255 です。

### 8.3.7 PHASE\_DELAY\_AIN13\_14 レジスタ (アドレス = 0x0E) [リセット = 0x0000]

概略表に戻ります。

図 8-75. PHASE\_DELAY\_AIN13\_14 レジスタ

15	14	13	12	11	10	9	8
PHASE_DELAY_AIN13[7:0]							
R/W-00000000b							

図 8-75. PHASE\_DELAY\_AIN13\_14 レジスタ (続き)

7	6	5	4	3	2	1	0
PHASE_DELAY_AIN14[7:0]							
R/W-00000000b							

表 8-81. PHASE\_DELAY\_AIN13\_14 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	PHASE_DELAY_AIN13[7:0]	R/W	00000000b	位相遅延 = $n \times \text{CONVST\_CLK}$ $n$ は 0 ~ 255 です。
7:0	PHASE_DELAY_AIN14[7:0]	R/W	00000000b	位相遅延 = $n \times \text{CONVST\_CLK}$ $n$ は 0 ~ 255 です。

### 8.3.8 PHASE\_DELAY\_AIN11\_12 レジスタ (アドレス = 0x0F) [リセット = 0x0000]

概略表に戻ります。

図 8-76. PHASE\_DELAY\_AIN11\_12 レジスタ

15	14	13	12	11	10	9	8
PHASE_DELAY_AIN11[7:0]							
R/W-00000000b							
7	6	5	4	3	2	1	0
PHASE_DELAY_AIN12[7:0]							
R/W-00000000b							

表 8-82. PHASE\_DELAY\_AIN11\_12 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	PHASE_DELAY_AIN11[7:0]	R/W	00000000b	位相遅延 = $n \times \text{CONVST\_CLK}$ $n$ は 0 ~ 255 です。
7:0	PHASE_DELAY_AIN12[7:0]	R/W	00000000b	位相遅延 = $n \times \text{CONVST\_CLK}$ $n$ は 0 ~ 255 です。

### 8.3.9 PHASE\_DELAY\_AIN9\_10 レジスタ (アドレス = 0x10) [リセット = 0x0000]

概略表に戻ります。

図 8-77. PHASE\_DELAY\_AIN9\_10 レジスタ

15	14	13	12	11	10	9	8
PHASE_DELAY_AIN9[7:0]							
R/W-00000000b							
7	6	5	4	3	2	1	0
PHASE_DELAY_AIN10[7:0]							
R/W-00000000b							

表 8-83. PHASE\_DELAY\_AIN9\_10 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	PHASE_DELAY_AIN9[7:0]	R/W	00000000b	位相遅延 = $n \times \text{CONVST\_CLK}$ $n$ は 0 ~ 255 です。
7:0	PHASE_DELAY_AIN10[7:0]	R/W	00000000b	位相遅延 = $n \times \text{CONVST\_CLK}$ $n$ は 0 ~ 255 です。

### 8.3.10 OFS\_AIN16 レジスタ (アドレス = 0x11) [リセット = 0x0000]

概略表に戻ります。

図 8-78. OFS\_AIN16 レジスタ

15	14	13	12	11	10	9	8
予約済み						OFS_AIN16[9:0]	
R/W-0000000b						R/W-0000000000b	
7	6	5	4	3	2	1	0

図 8-78. OFS\_AIN16 レジスタ (続き)

OFS_AIN16[9:0]
R/W-0000000000b

表 8-84. OFS\_AIN16 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:10	予約済み	R/W	000000b	予約済み。デフォルトのリセット値から変更しないでください。
9:0	OFS_AIN16[9:0]	R/W	0000000000b	AIN16 のオフセット補正レジスタ。オフセット値は、2 の補数表記です。オフセット演算は、ゲイン演算よりも先に行われます。

### 8.3.11 OFS\_AIN15 レジスタ (アドレス = 0x12) [リセット = 0x0000]

概略表に戻ります。

図 8-79. OFS\_AIN15 レジスタ

15	14	13	12	11	10	9	8
予約済み						OFS_AIN15[9:0]	
R/W-000000b						R/W-0000000000b	
7	6	5	4	3	2	1	0
OFS_AIN15[9:0]							
R/W-0000000000b							

表 8-85. OFS\_AIN15 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:10	予約済み	R/W	000000b	予約済み。デフォルトのリセット値から変更しないでください。
9:0	OFS_AIN15[9:0]	R/W	0000000000b	AIN15 のオフセット補正レジスタ。オフセット値は、2 の補数表記です。オフセット演算は、ゲイン演算よりも先に行われます。

### 8.3.12 OFS\_AIN14 レジスタ (アドレス = 0x13) [リセット = 0x0000]

概略表に戻ります。

図 8-80. OFS\_AIN14 レジスタ

15	14	13	12	11	10	9	8
予約済み						OFS_AIN14[9:0]	
R/W-000000b						R/W-0000000000b	
7	6	5	4	3	2	1	0
OFS_AIN14[9:0]							
R/W-0000000000b							

表 8-86. OFS\_AIN14 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:10	予約済み	R/W	000000b	予約済み。デフォルトのリセット値から変更しないでください。
9:0	OFS_AIN14[9:0]	R/W	0000000000b	AIN14 のオフセット補正レジスタ。オフセット値は、2 の補数表記です。オフセット演算は、ゲイン演算よりも先に行われます。

### 8.3.13 OFS\_AIN13 レジスタ (アドレス = 0x14) [リセット = 0x0000]

概略表に戻ります。

図 8-81. OFS\_AIN13 レジスタ

15	14	13	12	11	10	9	8
予約済み						OFS_AIN13[9:0]	
R/W-000000b						R/W-0000000000b	

図 8-81. OFS\_AIN13 レジスタ (続き)

7	6	5	4	3	2	1	0
OFS_AIN13[9:0]							
R/W-0000000000b							

表 8-87. OFS\_AIN13 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:10	予約済み	R/W	000000b	予約済み。デフォルトのリセット値から変更しないでください。
9:0	OFS_AIN13[9:0]	R/W	0000000000b	AIN13 のオフセット補正レジスタ。 オフセット値は、2 の補数表記です。オフセット演算は、ゲイン演算より先に行われます。

### 8.3.14 OFS\_AIN12 レジスタ (アドレス = 0x15) [リセット = 0x0000]

概略表に戻ります。

図 8-82. OFS\_AIN12 レジスタ

15	14	13	12	11	10	9	8
予約済み						OFS_AIN12[9:0]	
R/W-0000000b						R/W-0000000000b	
7	6	5	4	3	2	1	0
OFS_AIN12[9:0]							
R/W-0000000000b							

表 8-88. OFS\_AIN12 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:10	予約済み	R/W	000000b	予約済み。デフォルトのリセット値から変更しないでください。
9:0	OFS_AIN12[9:0]	R/W	0000000000b	AIN12 のオフセット補正レジスタ。 オフセット値は、2 の補数表記です。オフセット演算は、ゲイン演算より先に行われます。

### 8.3.15 OFS\_AIN11 レジスタ (アドレス = 0x16) [リセット = 0x0000]

概略表に戻ります。

図 8-83. OFS\_AIN11 レジスタ

15	14	13	12	11	10	9	8
予約済み						OFS_AIN11[9:0]	
R/W-0000000b						R/W-0000000000b	
7	6	5	4	3	2	1	0
OFS_AIN11[9:0]							
R/W-0000000000b							

表 8-89. OFS\_AIN11 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:10	予約済み	R/W	000000b	予約済み。デフォルトのリセット値から変更しないでください。
9:0	OFS_AIN11[9:0]	R/W	0000000000b	AIN11 のオフセット補正レジスタ。 オフセット値は、2 の補数表記です。オフセット演算は、ゲイン演算より先に行われます。

### 8.3.16 OFS\_AIN10 レジスタ (アドレス = 0x17) [リセット = 0x0000]

概略表に戻ります。

図 8-84. OFS\_AIN10 レジスタ

15	14	13	12	11	10	9	8
予約済み						OFS_AIN10[9:0]	

図 8-84. OFS\_AIN10 レジスタ (続き)

R/W-000000b				R/W-0000000000b			
7	6	5	4	3	2	1	0
OFS_AIN10[9:0]							
R/W-0000000000b							

表 8-90. OFS\_AIN10 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:10	予約済み	R/W	000000b	予約済み。デフォルトのリセット値から変更しないでください。
9:0	OFS_AIN10[9:0]	R/W	0000000000b	AIN10 のオフセット補正レジスタ。オフセット値は、2 の補数表記です。オフセット演算は、ゲイン演算よりも先に行われます。

### 8.3.17 OFS\_AIN9 レジスタ (アドレス = 0x18) [リセット = 0x0000]

概略表に戻ります。

図 8-85. OFS\_AIN9 レジスタ

予約済み				OFS_AIN9[9:0]			
R/W-000000b				R/W-0000000000b			
7	6	5	4	3	2	1	0
OFS_AIN9[9:0]							
R/W-0000000000b							

表 8-91. OFS\_AIN9 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:10	予約済み	R/W	000000b	予約済み。デフォルトのリセット値から変更しないでください。
9:0	OFS_AIN9[9:0]	R/W	0000000000b	AIN9 のオフセット補正レジスタ。オフセット値は、2 の補数表記です。オフセット演算は、ゲイン演算よりも先に行われます。

### 8.3.18 GAN\_AIN16 レジスタ (アドレス = 0x19) [リセット = 0x0000]

概略表に戻ります。

図 8-86. GAN\_AIN16 レジスタ

予約済み				GAN_AIN16[13:0]			
R/W-00b				R/W-0000000000000000b			
7	6	5	4	3	2	1	0
GAN_AIN16[13:0]							
R/W-0000000000000000b							

表 8-92. GAN\_AIN16 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:14	予約済み	R/W	00b	予約済み。デフォルトのリセット値から変更しないでください。
13:0	GAN_AIN16[13:0]	R/W	0000000000000000b	AIN16 のゲイン補正レジスタ。ゲイン補正値は 2 の補数表現で、オフセット動作の後に行われます。ゲイン動作中、変換データには $(1 + \text{GAN\_AINn}[13:0] / 10000h)$ を掛けられます。

### 8.3.19 GAN\_AIN15 レジスタ (アドレス = 0x1A) [リセット = 0x0000]

概略表に戻ります。

図 8-87. GAN\_AIN15 レジスタ

15	14	13	12	11	10	9	8
予約済み		GAN_AIN15[13:0]					
R/W-00b		R/W-00000000000000b					
7	6	5	4	3	2	1	0
GAN_AIN15[13:0]							
R/W-00000000000000b							

表 8-93. GAN\_AIN15 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:14	予約済み	R/W	00b	予約済み。デフォルトのリセット値から変更しないでください。
13:0	GAN_AIN15[13:0]	R/W	00000000000000b	AIN15 のゲイン補正レジスタ。 ゲイン補正値は 2 の補数表現で、オフセット動作の後に行われます。ゲイン動作中、変換データには $(1 + \text{GAN\_AINn}[13:0] / 10000h)$ を掛けられます。

### 8.3.20 GAN\_AIN14 レジスタ (アドレス = 0x1B) [リセット = 0x0000]

概略表に戻ります。

図 8-88. GAN\_AIN14 レジスタ

15	14	13	12	11	10	9	8
予約済み		GAN_AIN14[13:0]					
R/W-00b		R/W-00000000000000b					
7	6	5	4	3	2	1	0
GAN_AIN14[13:0]							
R/W-00000000000000b							

表 8-94. GAN\_AIN14 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:14	予約済み	R/W	00b	予約済み。デフォルトのリセット値から変更しないでください。
13:0	GAN_AIN14[13:0]	R/W	00000000000000b	AIN14 のゲイン補正レジスタ。 ゲイン補正値は 2 の補数表現で、オフセット動作の後に行われます。ゲイン動作中、変換データには $(1 + \text{GAN\_AINn}[13:0] / 10000h)$ を掛けられます。

### 8.3.21 GAN\_AIN13 レジスタ (アドレス = 0x1C) [リセット = 0x0000]

概略表に戻ります。

図 8-89. GAN\_AIN13 レジスタ

15	14	13	12	11	10	9	8
予約済み		GAN_AIN13[13:0]					
R/W-00b		R/W-00000000000000b					
7	6	5	4	3	2	1	0
GAN_AIN13[13:0]							
R/W-00000000000000b							

表 8-95. GAN\_AIN13 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:14	予約済み	R/W	00b	予約済み。デフォルトのリセット値から変更しないでください。
13:0	GAN_AIN13[13:0]	R/W	00000000000000b	AIN13 のゲイン補正レジスタ。 ゲイン補正値は 2 の補数表現で、オフセット動作の後に行われます。ゲイン動作中、変換データには $(1 + \text{GAN\_AINn}[13:0] / 10000h)$ を掛けられます。

### 8.3.22 GAN\_AIN12 レジスタ (アドレス = 0x1D) [リセット = 0x0000]

概略表に戻ります。

図 8-90. GAN\_AIN12 レジスタ

15	14	13	12	11	10	9	8
予約済み		GAN_AIN12[13:0]					
R/W-00b		R/W-00000000000000b					
7	6	5	4	3	2	1	0
GAN_AIN12[13:0]							
R/W-00000000000000b							

表 8-96. GAN\_AIN12 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:14	予約済み	R/W	00b	予約済み。デフォルトのリセット値から変更しないでください。
13:0	GAN_AIN12[13:0]	R/W	000000000000000b	AIN12 のゲイン補正レジスタ。 ゲイン補正値は 2 の補数表現で、オフセット動作の後に行われます。ゲイン動作中、変換データには $(1 + \text{GAN\_AINn}[13:0] / 10000h)$ を掛けられます。

### 8.3.23 GAN\_AIN11 レジスタ (アドレス = 0x1E) [リセット = 0x0000]

概略表に戻ります。

図 8-91. GAN\_AIN11 レジスタ

15	14	13	12	11	10	9	8
予約済み		GAN_AIN11[13:0]					
R/W-00b		R/W-00000000000000b					
7	6	5	4	3	2	1	0
GAN_AIN11[13:0]							
R/W-00000000000000b							

表 8-97. GAN\_AIN11 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:14	予約済み	R/W	00b	予約済み。デフォルトのリセット値から変更しないでください。
13:0	GAN_AIN11[13:0]	R/W	00000000000000b	AIN11 のゲイン補正レジスタ。 ゲイン補正値は 2 の補数表現で、オフセット動作の後に行われます。ゲイン動作中、変換データには $(1 + \text{GAN\_AINn}[13:0] / 10000h)$ を掛けられます。

### 8.3.24 GAN\_AIN10 レジスタ (アドレス = 0x1F) [リセット = 0x0000]

概略表に戻ります。

図 8-92. GAN\_AIN10 レジスタ

15	14	13	12	11	10	9	8
予約済み		GAN_AIN10[13:0]					
R/W-00b		R/W-00000000000000b					
7	6	5	4	3	2	1	0
GAN_AIN10[13:0]							
R/W-00000000000000b							

表 8-98. GAN\_AIN10 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:14	予約済み	R/W	00b	予約済み。デフォルトのリセット値から変更しないでください。

表 8-98. GAN\_AIN10 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
13:0	GAN_AIN10[13:0]	R/W	00000000000000 0b	AIN10 のゲイン補正レジスタ。 ゲイン補正値は 2 の補数表現で、オフセット動作の後に行われます。ゲイン動作中、変換データには (1 + GAN_AINn[13:0] / 10000h) を掛けられます。

8.3.25 GAN\_AIN9 レジスタ (アドレス = 0x20) [リセット = 0x0000]

概略表に戻ります。

図 8-93. GAN\_AIN9 レジスタ

15	14	13	12	11	10	9	8
予約済み			GAN_AIN9[13:0]				
R/W-00b			R/W-00000000000000b				
7	6	5	4	3	2	1	0
GAN_AIN9[13:0]							
R/W-00000000000000b							

表 8-99. GAN\_AIN9 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:14	予約済み	R/W	00b	予約済み。デフォルトのリセット値から変更しないでください。
13:0	GAN_AIN9[13:0]	R/W	00000000000000 0b	AIN9 のゲイン補正レジスタ。 ゲイン補正値は 2 の補数表現で、オフセット動作の後に行われます。ゲイン動作中、変換データには (1 + GAN_AINn[13:0] / 10000h) を掛けられます。

8.3.26 DWC\_CFG レジスタ (アドレス = 0x21) [リセット = 0x0000]

概略表に戻ります。

図 8-94. DWC\_CFG レジスタ

15	14	13	12	11	10	9	8
DWC_STAT_RST	予約済み			DWC_GLITCH_FILTER[3:0]			
R/W-0b	R/W-000b			R/W-0000b			
7	6	5	4	3	2	1	0
DWC_EN_AIN9	DWC_EN_AIN10	DWC_EN_AIN11	DWC_EN_AIN12	DWC_EN_AIN13	DWC_EN_AIN14	DWC_EN_AIN15	DWC_EN_AIN16
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 8-100. DWC\_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	DWC_STAT_RST	R/W	0b	デジタル ウィンドウ コンバータリセット制御。1'b を書き込むと、DWC のステータスフラグがリセットされます。
14:12	予約済み	R/W	000b	予約済み。デフォルトのリセット値から変更しないでください。
11:8	DWC_GLITCH_FILTER[3:0]	R/W	0000b	デジタル ウィンドウ コンバータのグリッチ除去フィルタ制御。 ンバータのフラグは、ADC データが DWC_GLITCH_FILTER[3:0] で指定された連続サイクル数だけスレッショルドを超えた場合にのみセットされます。
7	DWC_EN_AIN9	R/W	0b	デジタル ウィンドウ コンバータがイネーブル。 0b = ディセーブル 1b = イネーブル
6	DWC_EN_AIN10	R/W	0b	デジタル ウィンドウ コンバータがイネーブル。 0b = ディセーブル 1b = イネーブル
5	DWC_EN_AIN11	R/W	0b	デジタル ウィンドウ コンバータがイネーブル。 0b = ディセーブル 1b = イネーブル
4	DWC_EN_AIN12	R/W	0b	デジタル ウィンドウ コンバータがイネーブル。 0b = ディセーブル 1b = イネーブル

表 8-100. DWC\_CFG レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3	DWC_EN_AIN13	R/W	0b	デジタル ウィンドウ コンパレータがイネーブル。 0b=ディセーブル 1b = イネーブル
2	DWC_EN_AIN14	R/W	0b	デジタル ウィンドウ コンパレータがイネーブル。 0b=ディセーブル 1b = イネーブル
1	DWC_EN_AIN15	R/W	0b	デジタル ウィンドウ コンパレータがイネーブル。 0b=ディセーブル 1b = イネーブル
0	DWC_EN_AIN16	R/W	0b	デジタル ウィンドウ コンパレータがイネーブル。 0b=ディセーブル 1b = イネーブル

### 8.3.27 DWC\_TH\_AIN16 レジスタ (アドレス = 0x22) [リセット = 0xFF00]

概略表に戻ります。

図 8-95. DWC\_TH\_AIN16 レジスタ

15	14	13	12	11	10	9	8
HIGH_TH_AIN16[7:0]							
R/W-11111111b							
7	6	5	4	3	2	1	0
LOW_TH_AIN16[7:0]							
R/W-00000000b							

表 8-101. DWC\_TH\_AIN16 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	HIGH_TH_AIN16[7:0]	R/W	11111111b	アナログ入力用の、MSB にそろえられた high スレッショルド。これらのビットは、ADC 変換結果の上位 8 ビットと比較されます。
7:0	LOW_TH_AIN16[7:0]	R/W	00000000b	アナログ入力用の、MSB にそろえられた low スレッショルド。これらのビットは、ADC 変換結果の上位 8 ビットと比較されます。

### 8.3.28 DWC\_TH\_AIN15 レジスタ (アドレス = 0x23) [リセット = 0xFF00]

概略表に戻ります。

図 8-96. DWC\_TH\_AIN15 レジスタ

15	14	13	12	11	10	9	8
HIGH_TH_AIN15[7:0]							
R/W-11111111b							
7	6	5	4	3	2	1	0
LOW_TH_AIN15[7:0]							
R/W-00000000b							

表 8-102. DWC\_TH\_AIN15 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	HIGH_TH_AIN15[7:0]	R/W	11111111b	アナログ入力用の、MSB にそろえられた high スレッショルド。これらのビットは、ADC 変換結果の上位 8 ビットと比較されます。
7:0	LOW_TH_AIN15[7:0]	R/W	00000000b	アナログ入力用の、MSB にそろえられた low スレッショルド。これらのビットは、ADC 変換結果の上位 8 ビットと比較されます。

### 8.3.29 DWC\_TH\_AIN14 レジスタ (アドレス = 0x24) [リセット = 0xFF00]

概略表に戻ります。

図 8-97. DWC\_TH\_AIN14 レジスタ

15	14	13	12	11	10	9	8
HIGH_TH_AIN14[7:0]							
R/W-11111111b							
7	6	5	4	3	2	1	0
LOW_TH_AIN14[7:0]							
R/W-00000000b							

表 8-103. DWC\_TH\_AIN14 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	HIGH_TH_AIN14[7:0]	R/W	11111111b	アナログ入力用の、MSB にそろえられた high スレッショルド。これらのビットは、ADC 変換結果の上位 8 ビットと比較されます。
7:0	LOW_TH_AIN14[7:0]	R/W	00000000b	アナログ入力用の、MSB にそろえられた low スレッショルド。これらのビットは、ADC 変換結果の上位 8 ビットと比較されます。

### 8.3.30 DWC\_TH\_AIN13 レジスタ (アドレス = 0x25) [リセット = 0xFF00]

概略表に戻ります。

図 8-98. DWC\_TH\_AIN13 レジスタ

15	14	13	12	11	10	9	8
HIGH_TH_AIN13[7:0]							
R/W-11111111b							
7	6	5	4	3	2	1	0
LOW_TH_AIN13[7:0]							
R/W-00000000b							

表 8-104. DWC\_TH\_AIN13 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	HIGH_TH_AIN13[7:0]	R/W	11111111b	アナログ入力用の、MSB にそろえられた high スレッショルド。これらのビットは、ADC 変換結果の上位 8 ビットと比較されます。
7:0	LOW_TH_AIN13[7:0]	R/W	00000000b	アナログ入力用の、MSB にそろえられた low スレッショルド。これらのビットは、ADC 変換結果の上位 8 ビットと比較されます。

### 8.3.31 DWC\_TH\_AIN12 レジスタ (アドレス = 0x26) [リセット = 0xFF00]

概略表に戻ります。

図 8-99. DWC\_TH\_AIN12 レジスタ

15	14	13	12	11	10	9	8
HIGH_TH_AIN12[7:0]							
R/W-11111111b							
7	6	5	4	3	2	1	0
LOW_TH_AIN12[7:0]							
R/W-00000000b							

表 8-105. DWC\_TH\_AIN12 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	HIGH_TH_AIN12[7:0]	R/W	11111111b	アナログ入力用の、MSB にそろえられた high スレッショルド。これらのビットは、ADC 変換結果の上位 8 ビットと比較されます。
7:0	LOW_TH_AIN12[7:0]	R/W	00000000b	アナログ入力用の、MSB にそろえられた low スレッショルド。これらのビットは、ADC 変換結果の上位 8 ビットと比較されます。

### 8.3.32 DWC\_TH\_AIN11 レジスタ (アドレス = 0x27) [リセット = 0xFF00]

概略表に戻ります。

図 8-100. DWC\_TH\_AIN11 レジスタ

15	14	13	12	11	10	9	8
HIGH_TH_AIN11[7:0]							
R/W-11111111b							
7	6	5	4	3	2	1	0
LOW_TH_AIN11[7:0]							
R/W-00000000b							

表 8-106. DWC\_TH\_AIN11 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	HIGH_TH_AIN11[7:0]	R/W	11111111b	アナログ入力用の、MSB にそろえられた high スレッショルド。これらのビットは、ADC 変換結果の上位 8 ビットと比較されます。
7:0	LOW_TH_AIN11[7:0]	R/W	00000000b	アナログ入力用の、MSB にそろえられた low スレッショルド。これらのビットは、ADC 変換結果の上位 8 ビットと比較されます。

### 8.3.33 DWC\_TH\_AIN10 レジスタ (アドレス = 0x28) [リセット = 0xFF00]

概略表に戻ります。

図 8-101. DWC\_TH\_AIN10 レジスタ

15	14	13	12	11	10	9	8
HIGH_TH_AIN10[7:0]							
R/W-11111111b							
7	6	5	4	3	2	1	0
LOW_TH_AIN10[7:0]							
R/W-00000000b							

表 8-107. DWC\_TH\_AIN10 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	HIGH_TH_AIN10[7:0]	R/W	11111111b	アナログ入力用の、MSB にそろえられた high スレッショルド。これらのビットは、ADC 変換結果の上位 8 ビットと比較されます。
7:0	LOW_TH_AIN10[7:0]	R/W	00000000b	アナログ入力用の、MSB にそろえられた low スレッショルド。これらのビットは、ADC 変換結果の上位 8 ビットと比較されます。

### 8.3.34 DWC\_TH\_AIN9 レジスタ (アドレス = 0x29) [リセット = 0xFF00]

概略表に戻ります。

図 8-102. DWC\_TH\_AIN9 レジスタ

15	14	13	12	11	10	9	8
HIGH_TH_AIN9[7:0]							
R/W-11111111b							
7	6	5	4	3	2	1	0
LOW_TH_AIN9[7:0]							
R/W-00000000b							

表 8-108. DWC\_TH\_AIN9 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	HIGH_TH_AIN9[7:0]	R/W	11111111b	アナログ入力用の、MSB にそろえられた high スレッショルド。これらのビットは、ADC 変換結果の上位 8 ビットと比較されます。

表 8-108. DWC\_TH\_AIN9 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
7:0	LOW_TH_AIN9[7:0]	R/W	00000000b	アナログ入力用の、MSB にそろえられた low スレッシュホールド。これらのビットは、ADC 変換結果の上位 8 ビットと比較されます。

### 8.3.35 DWC\_HYS\_AIN15\_16 レジスタ (アドレス = 0x2A) [リセット = 0x0000]

概略表に戻ります。

図 8-103. DWC\_HYS\_AIN15\_16 レジスタ

15	14	13	12	11	10	9	8
HYS_AIN15[7:0]							
R/W-00000000b							
7	6	5	4	3	2	1	0
HYS_AIN16[7:0]							
R/W-00000000b							

表 8-109. DWC\_HYS\_AIN15\_16 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	HYS_AIN15[7:0]	R/W	00000000b	High および Low スレッシュホールド用の 8 ビットヒステリシス。
7:0	HYS_AIN16[7:0]	R/W	00000000b	High および Low スレッシュホールド用の 8 ビットヒステリシス。

### 8.3.36 DWC\_HYS\_AIN13\_14 レジスタ (アドレス = 0x2B) [リセット = 0xFF00]

概略表に戻ります。

図 8-104. DWC\_HYS\_AIN13\_14 レジスタ

15	14	13	12	11	10	9	8
HYS_AIN13[7:0]							
R/W-11111111b							
7	6	5	4	3	2	1	0
HYS_AIN14[7:0]							
R/W-00000000b							

表 8-110. DWC\_HYS\_AIN13\_14 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	HYS_AIN13[7:0]	R/W	11111111b	High および Low スレッシュホールド用の 8 ビットヒステリシス。
7:0	HYS_AIN14[7:0]	R/W	00000000b	High および Low スレッシュホールド用の 8 ビットヒステリシス。

### 8.3.37 DWC\_HYS\_AIN11\_12 レジスタ (アドレス = 0x2C) [リセット = 0xFF00]

概略表に戻ります。

図 8-105. DWC\_HYS\_AIN11\_12 レジスタ

15	14	13	12	11	10	9	8
HYS_AIN11[7:0]							
R/W-11111111b							
7	6	5	4	3	2	1	0
HYS_AIN12[7:0]							
R/W-00000000b							

表 8-111. DWC\_HYS\_AIN11\_12 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	HYS_AIN11[7:0]	R/W	11111111b	High および Low スレッショルド用の 8 ビットヒステリシス。
7:0	HYS_AIN12[7:0]	R/W	00000000b	High および Low スレッショルド用の 8 ビットヒステリシス。

### 8.3.38 DWC\_HYS\_AIN9\_10 レジスタ (アドレス = 0x2D) [リセット = 0xFF00]

概略表に戻ります。

図 8-106. DWC\_HYS\_AIN9\_10 レジスタ

15	14	13	12	11	10	9	8
HYS_AIN9[7:0]							
R/W-11111111b							
7	6	5	4	3	2	1	0
HYS_AIN10[7:0]							
R/W-00000000b							

表 8-112. DWC\_HYS\_AIN9\_10 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	HYS_AIN9[7:0]	R/W	11111111b	High および Low スレッショルド用の 8 ビットヒステリシス。
7:0	HYS_AIN10[7:0]	R/W	00000000b	High および Low スレッショルド用の 8 ビットヒステリシス。

### 8.3.39 TP\_CFG レジスタ (アドレス = 0x2E) [リセット = 0x0000]

概略表に戻ります。

図 8-107. TP\_CFG レジスタ

15	14	13	12	11	10	9	8
予約済み							
R/W-00000000b							
7	6	5	4	3	2	1	0
予約済み	TP_MODE[2:0]			予約済み	TP_DIS_IDX	TP_UPD_MODE	TP_EN
R/W-00000000b	R/W-000b			R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 8-113. TP\_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:7	予約済み	R/W	00000000b	予約済み。デフォルトのリセット値から変更しないでください。
6:4	TP_MODE[2:0]	R/W	000b	テストパターン モード選択。 000b = 一定パターン 001b = 予約済み 010b = ランプパターン 011b = 予約済み 100b = 予約済み 101b = 予約済み
3	予約済み	R/W	0b	予約済み。デフォルトのリセット値から変更しないでください。
2	TP_DIS_IDX	R/W	0b	テストパターンの 1'b チャンネル インデックス挿入がディスエーブルになる場合。
1	TP_UPD_MODE	R/W	0b	テストパターン インクリメント モード。 0b = インクリメントはチャンネル フレーム境界で発生します。 1b = インクリメントは CONVST ごとに発生します。
0	TP_EN	R/W	0b	AIN9 から AIN16 へのテストパターンをイネーブル。 0b = ADC 変換結果がデータインターフェイスで起動されます 1b = デジタルテストパターンがデータインターフェイス上で起動されます

### 8.3.40 TP\_AIN16 レジスタ (アドレス = 0x2F) [リセット = 0x0000]

概略表に戻ります。

図 8-108. TP\_AIN16 レジスタ

15	14	13	12	11	10	9	8
TP_AIN16[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
TP_AIN16[15:0]							
R/W-0000000000000000b							

表 8-114. TP\_AIN16 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:0	TP_AIN16[15:0]	R/W	0000000000000000000b	AIN16 の 16 ビット パターンを固定。ランプ パターン モードでは、TP_AIN16 は AIN9 から AIN16 までのステップ サイズを制御します。

### 8.3.41 TP\_AIN15 レジスタ (アドレス = 0x30) [リセット = 0x0000]

概略表に戻ります。

図 8-109. TP\_AIN15 レジスタ

15	14	13	12	11	10	9	8
TP_AIN15[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
TP_AIN15[15:0]							
R/W-0000000000000000b							

表 8-115. TP\_AIN15 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:0	TP_AIN15[15:0]	R/W	0000000000000000000b	AIN15 の 16 ビット パターンを固定。

### 8.3.42 TP\_AIN14 レジスタ (アドレス = 0x31) [リセット = 0x0000]

概略表に戻ります。

図 8-110. TP\_AIN14 レジスタ

15	14	13	12	11	10	9	8
TP_AIN14[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
TP_AIN14[15:0]							
R/W-0000000000000000b							

表 8-116. TP\_AIN14 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:0	TP_AIN14[15:0]	R/W	0000000000000000000b	AIN14 の 16 ビット パターンを固定。

### 8.3.43 TP\_AIN13 レジスタ (アドレス = 0x32) [リセット = 0x0000]

概略表に戻ります。

図 8-111. TP\_AIN13 レジスタ

15	14	13	12	11	10	9	8
TP_AIN13[15:0]							

図 8-111. TP\_AIN13 レジスタ (続き)

R/W-0000000000000000b							
7	6	5	4	3	2	1	0
TP_AIN13[15:0]							
R/W-0000000000000000b							

表 8-117. TP\_AIN13 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:0	TP_AIN13[15:0]	R/W	0000000000000000000b	AIN13 の 16 ビット パターンを固定。

### 8.3.44 TP\_AIN12 レジスタ (アドレス = 0x33) [リセット = 0x0000]

概略表に戻ります。

図 8-112. TP\_AIN12 レジスタ

15	14	13	12	11	10	9	8
TP_AIN12[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
TP_AIN12[15:0]							
R/W-0000000000000000b							

表 8-118. TP\_AIN12 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:0	TP_AIN12[15:0]	R/W	0000000000000000000b	AIN12 の 16 ビット パターンを固定。

### 8.3.45 TP\_AIN11 レジスタ (アドレス = 0x34) [リセット = 0x0000]

概略表に戻ります。

図 8-113. TP\_AIN11 レジスタ

15	14	13	12	11	10	9	8
TP_AIN11[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
TP_AIN11[15:0]							
R/W-0000000000000000b							

表 8-119. TP\_AIN11 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:0	TP_AIN11[15:0]	R/W	0000000000000000000b	AIN11 の 16 ビット パターンを固定。

### 8.3.46 TP\_AIN10 レジスタ (アドレス = 0x35) [リセット = 0x0000]

概略表に戻ります。

図 8-114. TP\_AIN10 レジスタ

15	14	13	12	11	10	9	8
TP_AIN10[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0

図 8-114. TP\_AIN10 レジスタ (続き)

TP_AIN10[15:0]
R/W-0000000000000000b

表 8-120. TP\_AIN10 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:0	TP_AIN10[15:0]	R/W	0000000000000000 000b	AIN10 の 16 ビット パターンを固定。

### 8.3.47 TP\_AIN9 レジスタ (アドレス = 0x36) [リセット = 0x0000]

概略表に戻ります。

図 8-115. TP\_AIN9 レジスタ

15	14	13	12	11	10	9	8
TP_AIN9[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
TP_AIN9[15:0]							
R/W-0000000000000000b							

表 8-121. TP\_AIN9 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:0	TP_AIN9[15:0]	R/W	0000000000000000 000b	AIN9 の 16 ビット パターンを固定。

### 8.3.48 GEN\_CFG5 レジスタ (アドレス = 0x37) [リセット = 0x0000]

概略表に戻ります。

図 8-116. GEN\_CFG5 レジスタ

15	14	13	12	11	10	9	8
予約済み							
R/W-000000000000b							
7	6	5	4	3	2	1	0
予約済み		予約済み		予約済み		OFS_CORR_DIS	GAN_CORR_DIS
R/W-000000000000b		R/W-0b		R/W-00b		R/W-0b	R/W-0b

表 8-122. GEN\_CFG5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:5	予約済み	R/W	000000000000b	予約済み。デフォルトのリセット値から変更しないでください。
4	予約済み	R/W	0b	予約済み。デフォルトのリセット値から変更しないでください。
3:2	予約済み	R/W	00b	予約済み。デフォルトのリセット値から変更しないでください。
1	OFS_CORR_DIS	R/W	0b	AIN9 から AIN16 へのシステム オフセット補正をディセーブル。 0b = イネーブル 1b = ディセーブル
0	GAN_CORR_DIS	R/W	0b	AIN9 から AIN16 へのシステム ゲイン補正をディセーブル。 0b = イネーブル 1b = ディセーブル

### 8.3.49 CH\_XTALK\_AIN9\_16 レジスタ (アドレス = 0x3B) [リセット = 0x0000]

概略表に戻ります。

図 8-117. CH\_XTALK\_AIN9\_16 レジスタ

15	14	13	12	11	10	9	8	
予約済み				CH_XTALK_AIN9_16	予約済み			
R/W-0000b				R/W-0b	R/W-0000000000b			
7	6	5	4	3	2	1	0	
予約済み							予約済み	
R/W-0000000000b							R-0b	

表 8-123. CH\_XTALK\_AIN9\_16 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:12	予約済み	R/W	0000b	予約済み。デフォルトのリセット値から変更しないでください。
11	CH_XTALK_AIN9_16	R/W	0b	CH_xTalk_LOW_SPEED が 1b のとき、このビットを 1b に設定します。 0b=ディセーブル 1b = イネーブル
10:1	予約済み	R/W	0000000000b	予約済み。デフォルトのリセット値から変更しないでください。
0	予約済み	R	0b	

### 8.3.50 DWC\_FLAG\_AIN9\_16 レジスタ (アドレス = 0x3E) [リセット = 0x0000]

概略表に戻ります。

図 8-118. DWC\_FLAG\_AIN9\_16 レジスタ

15	14	13	12	11	10	9	8
HIGH_FLAG_AIN9	HIGH_FLAG_AIN10	HIGH_FLAG_AIN11	HIGH_FLAG_AIN12	HIGH_FLAG_AIN13	HIGH_FLAG_AIN14	HIGH_FLAG_AIN15	HIGH_FLAG_AIN16
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b
7	6	5	4	3	2	1	0
LOW_FLAG_AIN9	LOW_FLAG_AIN10	LOW_FLAG_AIN11	LOW_FLAG_AIN12	LOW_FLAG_AIN13	LOW_FLAG_AIN14	LOW_FLAG_AIN15	LOW_FLAG_AIN16
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 8-124. DWC\_FLAG\_AIN9\_16 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	HIGH_FLAG_AIN9	R	0b	AIN9 のデジタル ウィンドウ コンパレータ high フラグ。
14	HIGH_FLAG_AIN10	R	0b	AIN10 のデジタル ウィンドウ コンパレータ high フラグ。
13	HIGH_FLAG_AIN11	R	0b	AIN11 のデジタル ウィンドウ コンパレータ high フラグ。
12	HIGH_FLAG_AIN12	R	0b	AIN12 のデジタル ウィンドウ コンパレータ high フラグ。
11	HIGH_FLAG_AIN13	R	0b	AIN13 のデジタル ウィンドウ コンパレータ high フラグ。
10	HIGH_FLAG_AIN14	R	0b	AIN14 のデジタル ウィンドウ コンパレータ high フラグ。
9	HIGH_FLAG_AIN15	R	0b	AIN15 のデジタル ウィンドウ コンパレータ high フラグ。
8	HIGH_FLAG_AIN16	R	0b	AIN16 のデジタル ウィンドウ コンパレータ high フラグ。
7	LOW_FLAG_AIN9	R	0b	AIN9 のデジタルウィンドウコンパレータ low フラグ。
6	LOW_FLAG_AIN10	R	0b	AIN10 のデジタルウィンドウコンパレータ low フラグ。
5	LOW_FLAG_AIN11	R	0b	AIN11 のデジタルウィンドウコンパレータ low フラグ。
4	LOW_FLAG_AIN12	R	0b	AIN12 のデジタルウィンドウコンパレータ low フラグ。
3	LOW_FLAG_AIN13	R	0b	AIN13 のデジタルウィンドウコンパレータ low フラグ。
2	LOW_FLAG_AIN14	R	0b	AIN14 のデジタルウィンドウコンパレータ low フラグ。
1	LOW_FLAG_AIN15	R	0b	AIN15 のデジタルウィンドウコンパレータ low フラグ。
0	LOW_FLAG_AIN16	R	0b	AIN16 のデジタルウィンドウコンパレータ low フラグ。

## 9 アプリケーションと実装

### 注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 9.1 代表的なアプリケーション

#### 9.1.1 16S バッテリー セル電圧モニターリング

ADS93x4C は、16 チャンネルの同時サンプリング ADC で、直列スタックされたリチウムイオン バッテリー パックのセル電圧を正確に監視するための、優れた同相除去比 (105dB) を実現します。これらのアプリケーションでは、充電および放電サイクル中の過充電、過放電、セルの不均衡状態を検出するために、各セルの電圧を高精度で監視する必要があります。このデバイスには、すべての入力チャンネルを同時にキャプチャする 16 の独立したサンプルアンドホールド回路が内蔵されており、バッテリー パックの状態を高精度でスナップショットできます。

ADS93x4C 差動入力プログラマブル ゲイン アンプ (PGA) は、AINnP ピンと AINnM ピンの両方に 1MΩ の入力インピーダンスを実現し、各セルに直接接続できます。標準的なアプローチでは、スタック内の各セル位置に対して増加する高い同相電圧を管理すると同時に、各セルの間で高精度の差動電圧測定が必要です。ADC 入力は最大  $\pm 40V$  の同相電圧に対応しているため、外部アンプやアッテネータ段を設ける必要がありません。図 9-1 にアプリケーション回路図を示します。このデバイスは、標準 SPI (CS、SCLK、SDI、SDOUT) を介してマイコンと接続されます。ADS93x4C は、8 ビットパラレル インターフェイスも搭載しており、高スループット アプリケーション (チャンネルあたり 200KSPS 超) で使用できます。

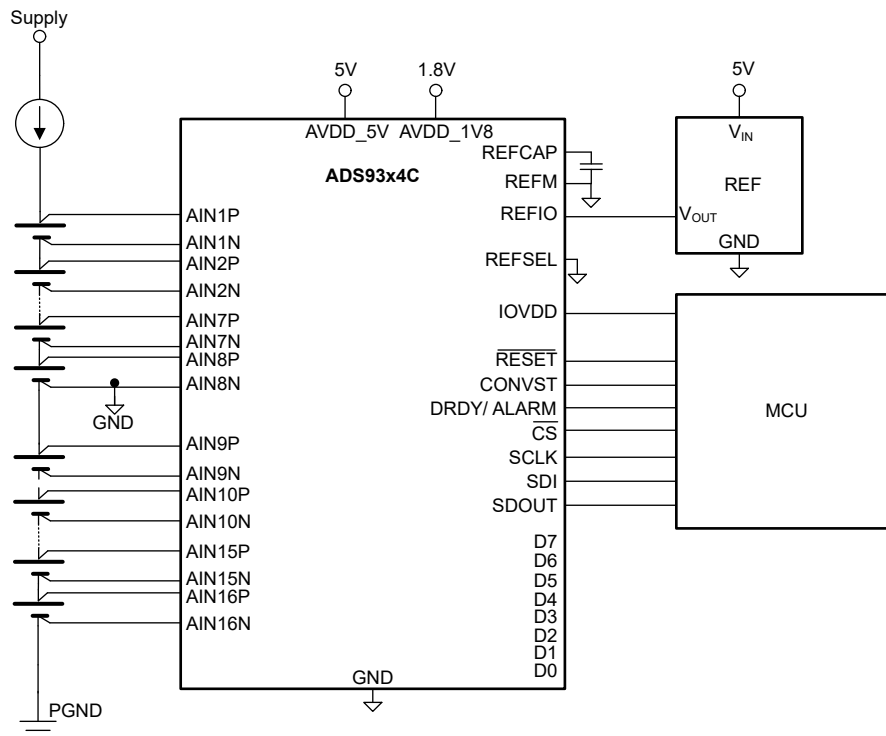


図 9-1. ADS9324C を使用した、16S バッテリー セル電圧監視

入力同相電圧が変更されたときの ADC 出力誤差を、図 9-2 に示します。この ADC の優れた同相ノイズ除去により、 $\pm 40V$  の入力同相スイングについて誤差 0.25mV 未満を実現しているため、バッテリーの充電と放電サイクル中にセル電圧の測定精度を維持できます。

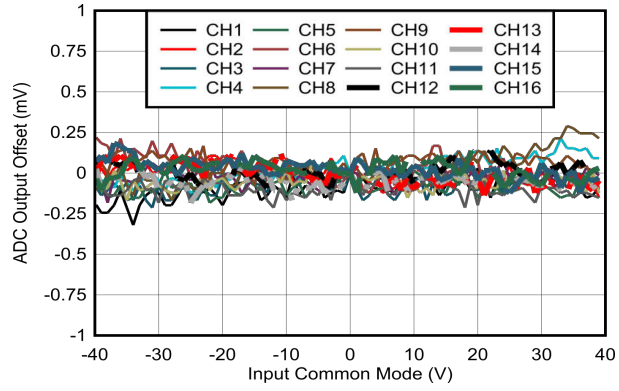


図 9-2. ADC 出力と入力同相との関係

## 9.2 電源に関する推奨事項

ADS93x4C には、次の三つの電源が必要です。AVDD\_5V、AVDD\_1V8 および IOVDD。特定の電源オン シーケンス要件はありません。IOVDD は、デジタル IOVDD に電力を供給します。IOVDD を 1.8V 系で使用する場合、AVDD\_1V8 は 100Ω のフェライトビーズを介して IOVDD と短絡接続できます。図 9-3 に、それぞれの電源のデカップリングコンデンサの接続を示します。各電源ピンに個別の 0.1μF デカップリング コンデンサがあることを確認します。

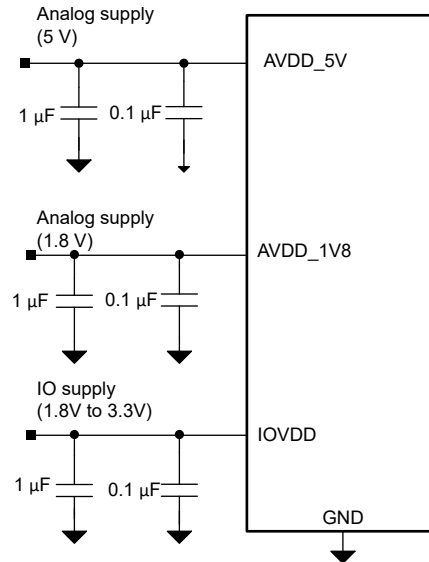


図 9-3. 電源のデカップリング

## 9.3 レイアウト

### 9.3.1 レイアウトのガイドライン

図 9-4 に、ADS9324C の基板レイアウト例を示します。デジタル ラインはアナログ信号パスで交差することを避け、アナログ入力信号と基準信号はノイズ源から遠ざけます。

最高の性能を得るため、REFIO ピンに 4.7μF のセラミック バイパス コンデンサを接続して内部リファレンスのノイズをフィルタし、さらに REFCAPA と REFM の各ピン間、および REFCAPB と REFM の各ピン間に 1μF のセラミック コンデンサを直接接続します。1μF のリファレンス デカップリング コンデンサを、デバイスの REFCAP ピンおよび REFM ピンの近くに配置します。REFIO ピンとバイパス コンデンサの間にビアを配置しないでください。GND ピンと REFM ピンを短い低インピーダンスのパスを使用してグラウンド プレーンに接続します。

AVDD\_5V、AVDD\_1V8、および IOVDD 電源ピンの近くに 0.1μF のセラミック バイパス コンデンサを配置して使用してください。電源ピンとバイパス コンデンサの間にビアを配置しないでください。

### 9.3.1.1 レイアウト例

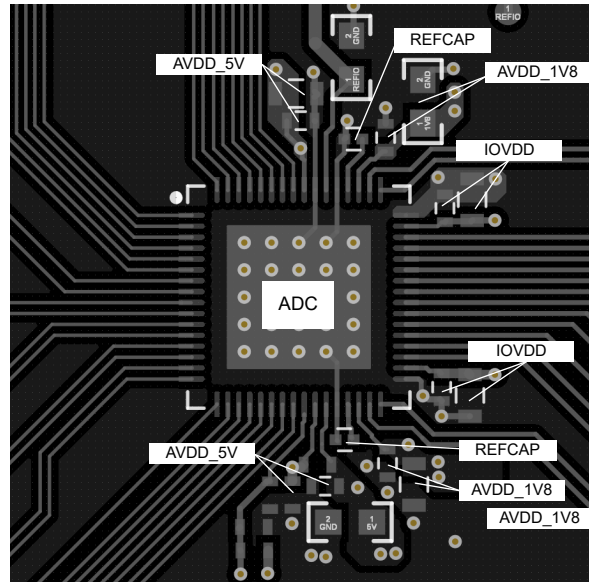


図 9-4. レイアウト例

## 10 デバイスおよびドキュメントのサポート

### 10.1 ドキュメントのサポート

#### 10.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、[『REF50xx 低ノイズ、超低ドリフト、高精度基準電圧』データシート](#)
- テキサス・インスツルメンツ、[AN-2029 取り扱いおよびプロセスの推奨事項アプリケーション ノート](#)

### 10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 10.3 サポート・リソース

[テキサス・インスツルメンツ E2E™ サポート・フォーラム](#) は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

### 10.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.  
すべての商標は、それぞれの所有者に帰属します。

### 10.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 10.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

## 11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
June 2026	*	初版リリース

## 12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

## 付録：パッケージ・オプション

### パッケージ情報

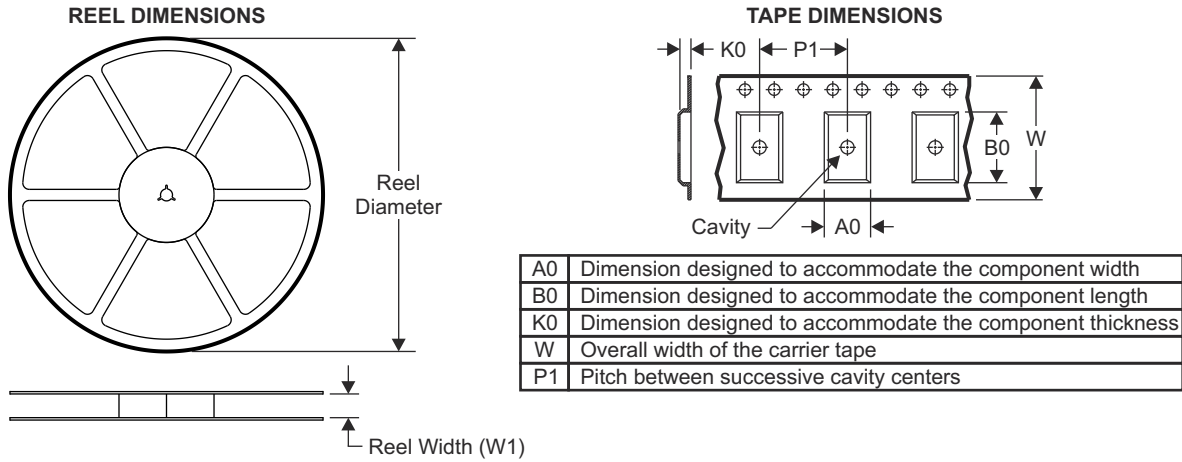
注文可能な型番	ステータス (1)	資料の タイプ (2)	パッケージ   ピン数	パッケージ数量   キ ャリア	RoHS (3)	リード端子の仕上げ/ ボールの原材料 (4)	MSL 定格/ピークリフロ ー (5)	動作温度 (°C)	部品マーキング (6)
PADS9324CRSKR	アクティブ	量産開始前	VQFN (RSK)   64	3500   大口径のテー プリール	あり	NiPdAu	レベル-3-260C-168 HR	-40~125	PADS93XXV

- (1) **ステータス**: ステータスの詳細については、TI の [製品ライフ サイクル](#) をご覧ください。
- (2) **資料のタイプ**: 指定された量産開始前部品はプロトタイプ/検証用デバイスであり、実生産向けに承認またはリリースされたものではありません。テストおよび最終プロセス (品質保証、信頼性性能テスト、プロセス認証が含まれますが、これに限定されるものではありません) がまだ完了していない可能性があるほか、さらなる変更が加えられたり、中止される可能性もあります。注文可能になっている場合、その購入はチェックアウト時に新たな免責条項の対象となるものとします。また、これは早期内部評価のみを目的としたものです。これらの商品は、いかなる保証もなしで販売されています。
- (3) **RoHS 値**: はい、いいえ、RoHS 免除。詳細情報および値の定義については、[TI RoHS に関する声明](#) を参照してください。
- (4) **リード端子の仕上げ/ボールの原材料**: 部品には複数の材料仕上げオプションがある場合があります。複数の仕上げオプションは、縦罫線で区切られています。リード端子の仕上げ / ボールの原材料の値が最大列幅に収まらない場合は、2 行にまたがります。
- (5) **MSL 定格/ピークリフロー**: 湿度感度レベルの定格、および半田付けのピーク (リフロー) 温度です。部品が複数の耐湿性定格を持つ場合、JEDEC 規格で最低レベルのみを示しています。プリント基板に部品を取り付けるために使用する実際のリフロー温度については、出荷ラベルをご確認ください。
- (6) **部品マーキング**: ロゴ、ロットトレースコード情報、または環境カテゴリに関する追加マークが部品に記載されることがあります。複数の部品マーキングが括弧の中に記載されています。括弧内で「~」で区切られた 1 つの部品マーキングのみが部品に表示されます。行がインデントされている場合は、前行の続きということです。2 行合わせたものが、そのデバイスの部品マーキング全体となります。

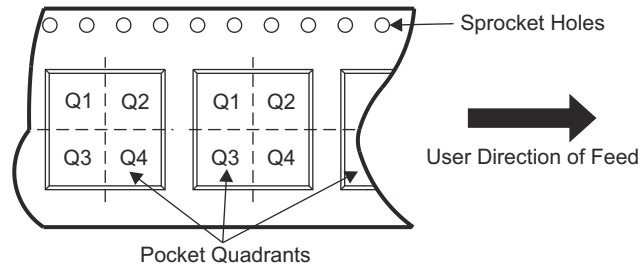
**重要なお知らせと免責事項**: このページに掲載されている情報は、発行日現在のテキサス・インスツルメンツの知識および見解を示すものです。テキサス・インスツルメンツの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。テキサス・インスツルメンツでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。テキサス・インスツルメンツおよび テキサス・インスツルメンツのサプライヤは、特定の情報を機密情報として扱っているため、CAS 番号やその他の制限された情報が公開されない場合があります。

いかなる場合においても、そのような情報から生じた TI の責任は、このドキュメント発行時点での TI 製品の価格に基づく TI からお客様への合計購入価格 (年次ベース) を超えることはありません。

## 12.1 テープおよびリール情報

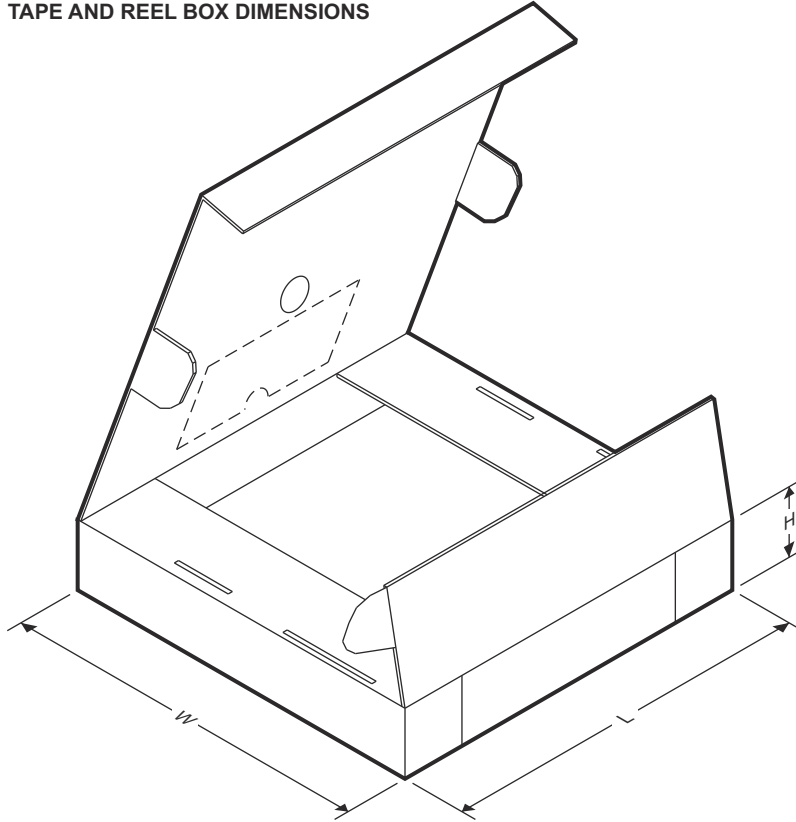


### QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



デバイス	パッケージ タイプ	パッケージ 図	ピン	SPQ	リール 直径 (mm)	リール 幅 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	ピン1の 象限
PADS9324CRSKR	VQFN	RSK	64	3500	330.0	16.4	8.3	8.3	1.1	12.0	16.0	Q2

TAPE AND REEL BOX DIMENSIONS



デバイス	パッケージタイプ	パッケージ図	ピン	SPQ	長さ (mm)	幅 (mm)	高さ (mm)
PADS9324CRSKR	VQFN	RSK	64	3500	360.0	360.0	36.0

ADVANCE INFORMATION

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月