

完全統合型、8チャンネル超音波アナログ・フロントエンド、 パッシブCWミキサ搭載、0.75nV/rtHz、 14/12ビット、65MSPS、153mW/CH

特長

- 必要な回路を完全に統合した8チャンネルのアナログ・フロントエンド
 - LNA、VCAT、PGA、LPF、ADC、およびCWミキサ
- ゲインをプログラミング可能な低ノイズ・アンプ (LNA)
 - ゲイン：24/18/12 dB
 - リニア入力範囲：0.25/0.5/1 V_{PP}
 - 入力基準ノイズ：0.63/0.7/0.9 nV/rtHz
 - プログラム可能なアクティブ終端
- 40dB低ノイズ電圧制御アッテネータ (VCAT)
- 24/30dBプログラマブル・ゲイン・アンプ (PGA)
- 3次リニア・フェーズ・ローパス・フィルタ (LPF)
 - 10、15、20、30 MHz
- 14ビットA/Dコンバータ (ADC)
 - SNR：77dBFS (65MSPS時)
 - LVDS出力
- ノイズ/電力最適化 (フル・チェーン)
 - 153mW/CH (0.75nV/rtHz、65MSPS時)
 - 98mW/CH (1.1nV/rtHz、40MSPS時)
 - 80mW/CH (CWモード時)
- 優れたデバイス間ゲイン・マッチング
 - ±0.5dB (typ)、±0.9dB (max)
- 低い高調波歪
- 高速で安定した過負荷回復
- 連続波ドップラー (CWD) 用パッシブ・ミキサ
 - 低い近接位相ノイズ：-156dBc/Hz (2.5MHzの搬送波から1kHzでの値)
 - 位相分解能：1/16λ
 - 16X、8X、4X、1XのCWクロックをサポート

— 3次および5次高調波を12dB抑制

— 柔軟な入力クロック

- 小さなパッケージ：15mm × 9mm、135-BGA

アプリケーション

- 医療用超音波イメージング
- 非破壊評価用機器

概要

AFE5808は、高性能と小サイズが要求される超音波システム向けに設計された高集積アナログ・フロントエンド (AFE) ソリューションです。AFE5808は、完全な時間ゲイン制御 (TGC) イメージング・パスと、連続波ドップラー (CWD) パスを統合しています。また、電力/ノイズ特性の適切な組み合わせを選択することで、システム性能を最適化できます。これにより、AFE5808は、ハイエンド・システムに対してだけでなく、ポータブル・システムに対しても優れた超音波アナログ・フロントエンド・ソリューションとなります。

AFE5808には、8チャンネルの電圧制御アンプ (VCA)、14/12ビットA/Dコンバータ (ADC)、およびCWミキサが内蔵されています。VCAには、低ノイズ・アンプ (LNA)、電圧制御アッテネータ (VCAT)、プログラマブル・ゲイン・アンプ (PGA)、およびローパス・フィルタ (LPF) が含まれています。LNAはゲインがプログラミング可能であり、250mV_{PP}~1V_{PP}の入力信号をサポートします。また、LNAはプログラミング可能なアクティブ終端もサポートしています。超低ノイズのVCATは、40dBの減衰制御範囲を持ち、低ゲインでのSNRを全体的に向上させることで、高調波イメージングおよびニア・フィールド・イメージングに有用です。PGAは、24dBおよび30dBのゲイン・オプションを備えています。ADCの前に、LPFを10MHz、15MHz、20MHz、または30MHzとして構成することで、異なる周波数の超音波アプリケーションをサポートできます。AFE5808が備える14

ビット/65MSPSの高性能ADCは、77dBFSのSNRを達成します。これにより、低いチェーン・ゲインで優れたSNRが確保されます。ADCのLVDS出力は、小型化されたシステムに求められる柔軟なシステム統合を可能にします。また、AFE5808は、低電力パッシブ・ミキサと低ノイズの加算アンプを内蔵しており、オンチップのCWDビームフォーマを実現できます。各アナログ入力信号に、16の選択可能な位相遅延を適用できます。さらに、独自の3次および5次高調波抑制フィルタの実装により、CW感度を強化しています。

AFE5808は15mm × 9mmの135ピンBGAパッケージで供給され、0°C ~ 85°Cで仕様が規定されています。また、AFE5807とピン・コンパチブルです。



静電気放電対策

これらのデバイスは、限定的なESD静電破壊保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを導電性のフォームに入れる必要があります。

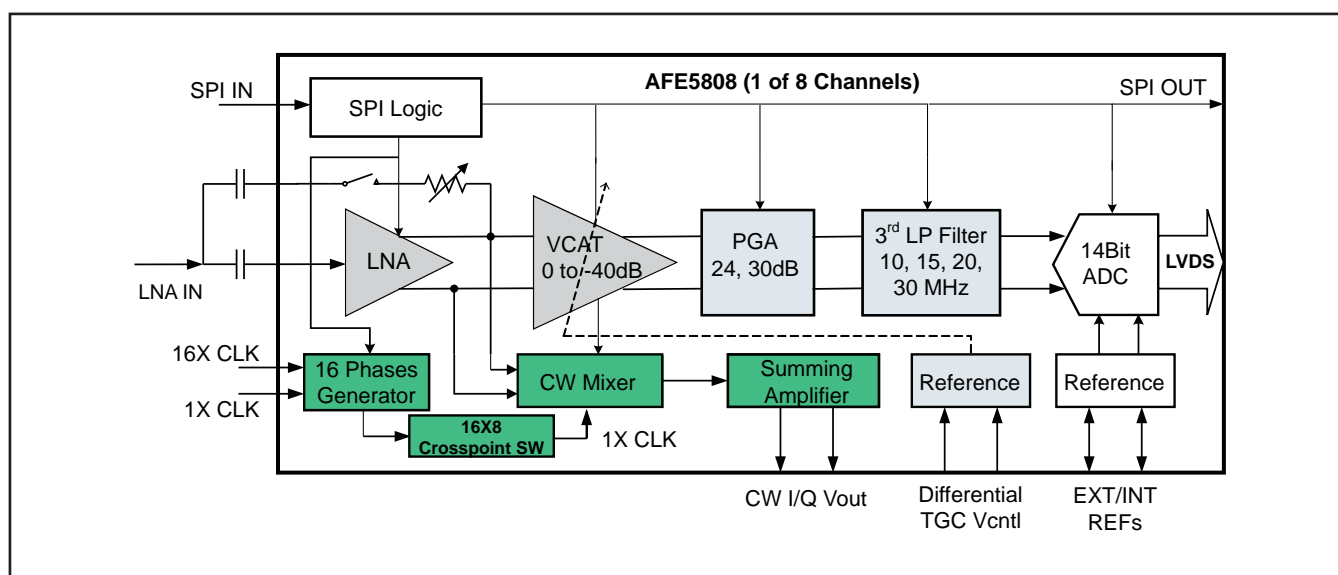


図 1. ブロック図

製品情報 (1)

製品名	パッケージの種類	動作	型番	出荷形態、数量
AFE5808	ZCF	0°C ~ 85°C	AFE5808ZCF	トレイ、160

(1) 最新のパッケージおよびご注文情報については、このデータシートの巻末にある「付録：パッケージ・オプション」を参照するか、TIのWebサイト(www.ti.comまたはwww.tij.co.jp)をご覧ください。

絶対最大定格

動作温度範囲内(特に記述のない限り)⁽¹⁾

		VALUE		単位
		MAX	MIN	
電源電圧範囲	AVDD	-0.3	3.9	V
	AVDD_ADC	-0.3	2.2	V
	AVDD_5V	-0.3	6	V
	DVDD	-0.3	2.2	V
AVSS-LVSS間の電圧		-0.3	0.3	V
アナログ入力およびデジタル入力の電圧		-0.3	min [3.6,AVDD+0.3]	V
ピーク半田温度 ⁽²⁾			260	°C
最大接合部温度(T _J)、任意の条件			105	°C
保存温度範囲		-55	150	°C
動作温度範囲		0	85	°C
ESD定格	HBM		2000	V
	CDM		500	V

(1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示してあり、このデータシートの「推奨動作条件」に示された値を越える状態での本製品の機能動作は含まれていません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

(2) デバイスはJSTD-020Dに準拠しています。

熱特性について

熱特性 ⁽¹⁾		AFE5808	単位
		BGA	
		135 135ピン	
θ_{JA}	接合部-周囲間熱抵抗	34.1	°C/W
θ_{JcTop}	接合部-ケース(上面)間熱抵抗	5	
θ_{JB}	接合部-基板間熱抵抗	11.5	
ψ_{JT}	接合部-上面間特性パラメータ	0.2	
ψ_{JB}	接合部-基板間特性パラメータ	10.8	
θ_{JcBot}	接合部-ケース(底面)間熱抵抗	n/a	

(1) 従来の熱特性パラメータと新しい熱特性パラメータの詳細については、アプリケーション・レポート「IC Package Thermal Metrics」(SPRA953)を参照してください。

推奨動作条件

パラメータ	MIN	MAX	単位
AVDD	3.15	3.6	V
AVDD_ADC	1.7	1.9	V
DVDD	1.7	1.9	V
AVDD_5V	4.75	5.5	V
周囲温度、T _A	0	85	°C

ピン配置情報

上面図 ZCF (BGA-135)

	1	2	3	4	5	6	7	8	9
A	AVDD	INP8	INP7	INP6	INP5	INP4	INP3	INP2	INP1
B	CM_BYP	ACT8	ACT7	ACT6	ACT5	ACT4	ACT3	ACT2	ACT1
C	AVSS	INM8	INM7	INM6	INM5	INM4	INM3	INM2	INM1
D	AVSS	AVSS	AVSS	AVSS	AVSS	AVSS	AVSS	AVDD	AVDD
E	CW_IP_AMPINP	CW_IP_AMPINM	AVSS	AVSS	AVSS	AVSS	AVSS	AVDD	AVDD
F	CW_IP_OUTM	CW_IP_OUTP	AVSS	AVSS	AVSS	AVSS	AVSS	CLKP_16X	CLKM_16X
G	AVSS	AVSS	AVSS	AVSS	AVSS	AVSS	AVSS	CLKP_1X	CLKM_1X
H	CW_QP_OUTM	CW_QP_OUTP	AVSS	AVSS	AVSS	AVSS	AVSS	PDN_GLOBAL	RESET
J	CW_QP_AMPINP	CW_QP_AMPINM	AVSS	AVSS	AVSS	AVDD_ADC	AVDD_ADC	PDN_VCA	SCLK
K	AVDD	AVDD_5V	VCNTLP	VCNTLM	VHIGH	AVSS	DNC	AVDD_ADC	SDATA
L	CLKP_ADC	CLKM_ADC	AVDD_ADC	REFM	DNC	DNC	DNC	PDN_ADC	SEN
M	AVDD_ADC	AVDD_ADC	VREF_IN	REFP	DNC	DNC	DNC	DNC	SDOUT
N	D8P	D8M	DVDD	DNC	DVSS	DNC	DVDD	D1M	D1P
P	D7M	D6M	D5M	FCLKM	DVSS	DCLKM	D4M	D3M	D2M
R	D7P	D6P	D5P	FCLKP	DVSS	DCLKP	D4P	D3P	D2P

ピン機能

ピン		説明
番号	名前	
B9~ B2	ACT1...ACT8	CH1~8のアクティブ終端入力ピン。1μFのコンデンサを推奨します。「アプリケーション情報」を参照してください。
A1, D8, D9, E8, E9, K1	AVDD	LNA、VCAT、PGA、LPF、およびCWDブロックの3.3Vアナログ電源。
K2	AVDD_5V	LNA、VCAT、PGA、LPF、およびCWDブロックの5.0Vアナログ電源。
J6, J7, K8, L3, M1, M2	AVDD_ADC	ADCの1.8Vアナログ電源。
C1, D1~D7, E3~E7, F3~F7, G1~G7, H3~H7, J3~J5, K6	AVSS	アナログ・グラウンド。
L2	CLKM_ADC	差動ADCクロックの負入力。シングルエンド・クロック・モードでは、直接または0.1μFのコンデンサを介してGNDに接続できます。
L1	CLKP_ADC	差動ADCクロックの正入力。シングルエンド・クロック・モードでは、直接または0.1μFのコンデンサを介してクロック信号に接続できます。
F9	CLKM_16X	CW 16Xクロックの負入力。CMOSクロック・モードがイネーブルのときは、GNDに接続します。4Xおよび8X CWクロック・モードの場合、このピンは4Xまたは8X CLKM入力となります。1X CWクロック・モードの場合、このピンはCWミキサの直角位相1X CLKMとなります。CWモードを使用しない場合は、フローティングにできます。
F8	CLKP_16X	CW 16Xクロックの正入力。4Xおよび8Xクロック・モードの場合、このピンは4Xまたは8X CLKP入力となります。1X CWクロック・モードの場合、このピンはCWミキサの直角位相1X CLKPとなります。CWモードを使用しない場合は、フローティングにできます。
G9	CLKM_1X	CW 1Xクロックの負入力。CMOSクロック・モードがイネーブルのときは、GNDに接続します(詳細は図88を参照)。1Xクロック・モードの場合、このピンはCWミキサの同相1X CLKMとなります。CWモードを使用しない場合は、フローティングにできます。
G8	CLKP_1X	CW 1Xクロックの正入力。1Xクロック・モードの場合、このピンはCWミキサの同相1X CLKPとなります。CWモードを使用しない場合は、フローティングにできます。
B1	CM_BYP	バイアス電圧、グラウンドにバイパス。1μF以上を推奨します。超低周波ノイズを抑制するには、10μFを使用できます。
E2	CW_IP_AMPINM	同相加算アンプの負差動入力。CW_IP_AMPINMとCW_IP_OUTPの間に外部LPFコンデンサを接続する必要があります。PGAテスト・モードがイネーブルの場合、このピンはCH7 PGA負出力となります。未使用時は、フローティングにできます。

ピン機能

ピン		説明
番号	名前	
E1	CW_IP_AMPINP	同相加算アンプの正差動入力。CW_IP_AMPINPとCW_IP_OUTMの間に外部LPFコンデンサを接続する必要があります。PGAテスト・モードがイネーブルの場合、このピンはCH7 PGA正出力となります。未使用時は、フローティングにできます。
F1	CW_IP_OUTM	同相加算アンプの負差動出力。CW_IP_AMPINPとCW_IP_OUTPMの間に外部LPFコンデンサを接続する必要があります。未使用時は、フローティングにできます。
F2	CW_IP_OUTP	同相加算アンプの正差動出力。CW_IP_AMPINMとCW_IP_OUTPの間に外部LPFコンデンサを接続する必要があります。未使用時は、フローティングにできます。
J2	CW_QP_AMPINM	直角位相加算アンプの負差動入力。CW_QP_AMPINMとCW_QP_OUTPの間に外部LPFコンデンサを接続する必要があります。PGAテスト・モードがイネーブルの場合、このピンはCH8 PGA負出力となります。未使用時は、フローティングにできます。
J1	CW_QP_AMPINP	直角位相加算アンプの正差動入力。CW_QP_AMPINPとCW_QP_OUTMの間に外部LPFコンデンサを接続する必要があります。PGAテスト・モードがイネーブルの場合、このピンはCH8 PGA正出力となります。未使用時は、フローティングにできます。
H1	CW_QP_OUTM	直角位相加算アンプの負差動出力。CW_QP_AMPINPとCW_QP_OUTMの間に外部LPFコンデンサを接続する必要があります。未使用時は、フローティングにできます。
H2	CW_QP_OUTP	直角位相加算アンプの正差動出力。CW_QP_AMPINMとCW_QP_OUTPの間に外部LPFコンデンサを接続する必要があります。未使用時は、フローティングにできます。
N8, P9~P7, P3~P1, N2	D1M~D8M	ADC CH1~8のLVDS負出力
N9, R9~R7, R3~R1, N1	D1P~D8P	ADC CH1~8のLVDS正出力
P6	DCLKM	LVDSビット・クロック(7x)負出力
R6	DCLKP	LVDSビット・クロック(7x)正出力
K7, L5~L7, M5~M8, N4, N6	DNC	接続しません。フローティングのままにする必要があります。
N3, N7	DVDD	ADCデジタルおよびI/O電源、1.8V
N5, P5, R5	DVSS	ADCデジタル・グラウンド
P4	FCLKM	LVDSフレーム・クロック(1X)負出力
R4	FCLKP	LVDSフレーム・クロック(1X)正出力
C9~C2	INM1...INM8	CH1~8の相補アナログ入力。0.015 μ F以上のコンデンサでグラウンドにバイパスします。LNAのHPF応答はコンデンサに依存します。
A9~A2	INP1...INP8	CH1~8のアナログ入力。0.1 μ F以上のコンデンサで入力にAC結合します。
L8	PDN_ADC	ADCの部分(高速)パワーダウン制御ピン。100k Ω の内部プルダウン抵抗を搭載。アクティブ・ハイ。
J8	PDN_VCA	VCAの部分(高速)パワーダウン制御ピン。20k Ω の内部プルダウン抵抗を搭載。アクティブ・ハイ。
H8	PDN_GLOBAL	チップ全体のグローバル(完全)パワーダウン制御ピン。20k Ω の内部プルダウン抵抗を搭載。アクティブ・ハイ。
L4	REFM	内部リファレンス・モードの0.5Vリファレンス出力。内部リファレンス・モードの場合は、フローティングのままにする必要があります。リファレンス出力のモニタ用に、PCB上にテスト・ポイントを追加することを推奨します。
M4	REFP	内部リファレンス・モードの1.5Vリファレンス出力。内部リファレンス・モードの場合は、フローティングのままにする必要があります。リファレンス出力のモニタ用に、PCB上にテスト・ポイントを追加することを推奨します。
H9	RESET	ハードウェア・リセット・ピン。20k Ω の内部プルダウン抵抗を搭載。アクティブ・ハイ。
J9	SCLK	シリアル・インターフェイス・クロック入力。20k Ω の内部プルダウン抵抗を搭載。
K9	SDATA	シリアル・インターフェイス・データ入力。20k Ω の内部プルダウン抵抗を搭載。
M9	SDOUT	シリアル・インターフェイスのデータ読み出し。 読み出しがディスエーブルのときは、ハイ・インピーダンスです。
L9	SEN	シリアル・インターフェイス・イネーブル。20k Ω の内部プルアップ抵抗を搭載。アクティブ・ロー。
K4	VCNTLM	負の差動減衰制御ピン。
K3	VCNTLP	正の差動減衰制御ピン。
K5	VHIGH	バイアス電圧。1 μ F以上でグラウンドにバイパス。
M3	VREF_IN	外部リファレンス・モードのADC 1.4Vリファレンス入力。0.1 μ Fでグラウンドにバイパスします。
K7, L5~L7, M5~M8, N4, N6	DNC	接続しません。フローティングのままにする必要があります。

電気的特性

特に記述のない限り、AVDD_5V = 5V、AVDD = 3.3V、AVDD_ADC = 1.8V、DVDD = 1.8V、INPを0.1μFでAC結合、INMを15nFでグランドにバイパス、アクティブ終端なし、V_{CNTL} = 0V、f_{IN} = 5MHz、LNA = 18dB、PGA = 24dB、14ビット、サンプル・レート = 65MSPS、LPFフィルタ = 15MHz、低ノイズ・モード、V_{OUT} = -1dBFS、内部500Ω CW帰還抵抗、CMOS CWクロック、ADCを内部リファレンス・モードに設定、シングルエンドVCNTLMモード、VCNTLM = GND、周囲温度T_A = 25°C。最小値および最大値は、AVDD_5V = 5V、AVDD = 3.3V、AVDD_ADC = 1.8V、DVDD = 1.8Vで温度範囲全体にわたって規定されています。

パラメータ		測定条件	MIN	TYP	MAX	単位
TGCフル信号チャンネル (LNA+VCAT+LPF+ADC)						
en (RTI)	LNAゲインに対する入力電圧ノイズ (低ノイズ・モード)	Rs = 0Ω, f = 2MHz, LNA = 24/18/12dB, PGA = 24dB	0.76/0.83/1.16			nV/rtHz
		Rs = 0Ω, f = 2MHz, LNA = 24/18/12dB, PGA = 30dB	0.75/0.86/1.12			
	LNAゲインに対する入力電圧ノイズ (低電力モード)	Rs = 0Ω, f = 2MHz, LNA = 24/18/12dB, PGA = 24dB	1.1/1.2/1.45			nV/rtHz
Rs = 0Ω, f = 2MHz, LNA = 24/18/12dB, PGA = 30dB		1.1/1.2/1.45				
LNAゲインに対する入力電圧ノイズ (中電力モード)	Rs = 0Ω, f = 2MHz, LNA = 24/18/12dB, PGA = 24dB	1/1.05/1.25			nV/rtHz	
	Rs = 0Ω, f = 2MHz, LNA = 24/18/12dB, PGA = 30dB	0.95/1.0/1.2				
入力基準電流ノイズ			2.7			pA/rtHz
NF	ノイズ指数	Rs = 200Ω, 200Ω アクティブ終端、PGA = 24dB, LNA = 12/18/24dB	3.85/2.4/1.8			dB
		Rs = 100Ω, 100Ω アクティブ終端、PGA = 24dB, LNA = 12/18/24dB	5.3/3.1/2.3			
V _{MAX}	最大直線入力電圧	LNAゲイン = 24/18/12dB	250/500/1000			mVpp
V _{CLAMP}	クランプ電圧	Reg52[10:9] = 0, LNA = 24/18/12dB	350/600/1150			
PGAゲイン	低ノイズ・モード		24/30			dB
		中/低電力モード	24/28.5			
合計ゲイン	LNA = 24dB, PGA = 30dB, 低ノイズ・モード		54			dB
		LNA = 24dB, PGA = 30dB, 中電力モード	52.5			
		LNA = 24dB, PGA = 30dB, 低電力モード	52.5			
チャンネル間ノイズ相関係数 (信号なし) ⁽¹⁾		8チャンネルの合計	0			
チャンネル間ノイズ相関係数 (信号あり) ⁽¹⁾		全帯域 (VCNTL = 0/0.8)	0.15/0.17			
		搬送波から1MHzの帯域 (VCNTL = 0/0.8)	0.18/0.75			
信号対雑音比 (SNR)	VCNTL = 0.6V (合計チャンネル・ゲイン22dB)		68	70		dBFS
		VCNTL = 0, LNA = 18dB, PGA = 24dB	59.3	63		
		VCNTL = 0, LNA = 24dB, PGA = 24dB		58		
ナロー・バンドSNR	搬送波周辺の2MHz帯域でのSNR (VCNTL = 0.6V時) (合計ゲイン22dB)		75	77		dBFS
入力同相モード電圧		INPおよびINMピン	2.4			V
入力抵抗			8			kΩ
		プリセット・アクティブ終端をイネーブル	50/100/200/400			Ω
入力容量			20			pF
入力制御電圧		VCNTLP-VCNTLM	0		1.5	V
同相モード電圧		VCNTLP および VCNTLM	0.75			V
ゲイン範囲			-40			dB
ゲイン・スロープ		V _{CNTL} = 0.1V ~ 1.1V	35			dB/V
入力抵抗		VCNTLP - VCNTLM間	200			kΩ
入力容量		VCNTLP - VCNTLM間	1			pF
TGC応答時間		VCNTL = 0V ~ 1.5V ステップ関数	1.5			μs
3次ローパス・フィルタ			10, 15, 20, 30			MHz
LNAゲインの変化に対するセトリング・タイム			14			μs
アクティブ終端設定の変化に対するセトリング・タイム			1			μs

(1) ノイズ相関係数は、N_c/(N_u+N_c)として定義されます。ここで、N_cは単一チャンネルの相関ノイズ電力、N_uは単一チャンネルの非相関ノイズ電力です。測定値は、次の式に従います。ここでは、単一チャンネル信号のSNRと8チャンネル合計信号のSNRが測定されます。

$$\frac{N_c}{N_u + N_c} = \frac{10 - \frac{8CH_SNR}{10}}{10 - \frac{1CH_SNR}{10}} \times \frac{1}{56} - \frac{1}{7}$$

電気的特性

特に記述のない限り、AVDD_5V = 5V、AVDD = 3.3V、AVDD_ADC = 1.8V、DVDD = 1.8V、INPを0.1 μ FでAC結合、INMを15nFでグラウンドにバイパス、アクティブ終端なし、V_{CNTL} = 0V、f_{IN} = 5MHz、LNA = 18dB、PGA = 24dB、14ビット、サンプル・レート = 65MSPS、LPFフィルタ = 15MHz、低ノイズ・モード、V_{OUT} = -1dBFS、内部500 Ω CW帰還抵抗、CMOS CWクロック、ADCを内部リファレンス・モードに設定、シングルエンドVCNTLモード、VCNTLM = GND、周囲温度T_A = 25 $^{\circ}$ C。最小値および最大値は、AVDD_5V = 5V、AVDD = 3.3V、AVDD_ADC = 1.8V、DVDD = 1.8Vで温度範囲全体にわたって規定されています。

パラメータ	測定条件	MIN	TYP	MAX	単位
AC精度					
LPF帯域幅公差			$\pm 5\%$		
チャンネル間群遅延変動	2MHz ~ 15MHz		2		ns
チャンネル間位相変動	15MHz 信号		11		Degree
ゲイン・マッチング	0V < VCNTL < 0.1V (デバイス間)		± 0.5		dB
	0.1V < VCNTL < 1.1V (デバイス間)	-0.9	± 0.5	0.9	
	0.1V < VCNTL < 1.1V (デバイス間)、温度 = 0 $^{\circ}$ Cおよび85 $^{\circ}$ C	-1.1	± 0.5	1.1	
	1.1V < VCNTL < 1.5V (デバイス間)		± 0.5		
ゲイン・マッチング	チャンネル間		± 0.25		dB
出力オフセット	VCNTL = 0, PGA = 30dB, LNA = 24dB	-75		75	LSB
AC性能					
HD2 2次高調波歪	Fin = 2MHz; V _{OUT} = -1dBFS		-60		dBc
	Fin = 5MHz; V _{OUT} = -1dBFS		-60		
	Fin = 5MHz; V _{IN} = 500mVpp, V _{OUT} = -1dBFS, LNA = 18dB, VCNTL = 0.88V		-55		
	Fin = 5MHz; V _{IN} = 250mVpp, V _{OUT} = -1dBFS, LNA = 24dB, VCNTL = 0.88V		-55		
HD3 3次高調波歪	Fin = 2MHz; V _{OUT} = -1dBFS		-55		dBc
	Fin = 5MHz; V _{OUT} = -1dBFS		-55		
	Fin = 5MHz; V _{IN} = 500mVpp, V _{OUT} = -1dBFS, LNA = 18dB, VCNTL = 0.88V		-55		
	Fin = 5MHz; V _{IN} = 250mVpp, V _{OUT} = -1dBFS, LNA = 24dB, VCNTL = 0.88V		-55		
THD 全高調波歪	Fin = 2MHz; V _{OUT} = -1dBFS		-55		dBc
	Fin = 5MHz; V _{OUT} = -1dBFS		-55		
IMD3 相互変調歪	f1 = 5MHz (-1dBFS)、f2 = 5.01MHz (-27dBFS)		-60		dBc
XTALK クロストーク	Fin = 5MHz; V _{OUT} = -1dBFS		-65		dB
位相ノイズ	5MHzから1kHz (VCNTL = 0V)		-132		dBc/Hz
LNA					
入力基準電圧ノイズ	Rs = 0 Ω , f = 2MHz, Rin = High Z, ゲイン = 24/18/12dB		0.63/0.70/0.9		nV/rHz
ハイパス・フィルタ	-3dBカットオフ周波数		50/100/150/200		kHz
LNAリニア出力			4		Vpp
VCAT+PGA					
VCAT入力ノイズ	0dB/-40dB減衰		2/10.5		nV/rHz
PGA入力ノイズ	24dB/30dB		1.75		nV/rHz
-3dB HPFカットオフ周波数			80		kHz

電気的特性

特に記述のない限り、AVDD_5V = 5V、AVDD = 3.3V、AVDD_ADC = 1.8V、DVDD = 1.8V、INPを0.1μFでAC結合、INMを15nFでグランドにバイパス、アクティブ終端なし、V_{CNTL} = 0V、f_{IN} = 5MHz、LNA = 18dB、PGA = 24dB、14ビット、サンプル・レート = 65MSPS、LPFフィルタ = 15MHz、低ノイズ・モード、V_{OUT} = -1dBFS、内部500Ω CW帰還抵抗、CMOS CWクロック、ADCを内部リファレンス・モードに設定、シングルエンドVCNTLMモード、VCNTLM = GND、周囲温度T_A = 25°C。最小値および最大値は、AVDD_5V = 5V、AVDD = 3.3V、AVDD_ADC = 1.8V、DVDD = 1.8Vで温度範囲全体にわたって規定されています。

パラメータ	測定条件	MIN	TYP	MAX	単位
CWドップラー					
en (RTI) 入力電圧ノイズ(CW)	1チャンネル・ミキサ、LNA = 24dB、帰還抵抗500Ω		0.8		nV/rtHz
	8チャンネル・ミキサ、LNA = 24dB、帰還抵抗62.5Ω		0.33		
en (RTO) 出力電圧ノイズ(CW)	1チャンネル・ミキサ、LNA = 24dB、帰還抵抗500Ω		12		nV/rtHz
	8チャンネル・ミキサ、LNA = 24dB、帰還抵抗62.5Ω		5		
en (RTI) 入力電圧ノイズ(CW)	1チャンネル・ミキサ、LNA = 18dB、帰還抵抗500Ω		1.1		nV/rtHz
	8チャンネル・ミキサ、LNA = 18dB、帰還抵抗62.5Ω		0.5		
en (RTO) 出力電圧ノイズ(CW)	1チャンネル・ミキサ、LNA = 18dB、帰還抵抗500Ω		8.1		nV/rtHz
	8チャンネル・ミキサ、LNA = 18dB、帰還抵抗62.5Ω		4.0		
NF ノイズ指数	Rs = 100Ω、RIN = High Z、fin = 2MHz (LNA、I/Qミキサ、および加算アンプ/フィルタ)		1.8		dB
f _{CW} CW動作範囲 ⁽²⁾	CW信号搬送波周波数			8	MHz
CWクロック周波数	1X CLK (16Xモード)			8	MHz
	16X CLK (16Xモード)			128	
	4X CLK (4Xモード)			32	
AC結合LVDSクロック振幅	CLKM_16X-CLKP_16X; CLKM_1X-CLKP_1X		0.7		Vpp
AC結合LVPECLクロック振幅			1.6		
CLKデューティ・サイクル	1Xおよび16X CLK	35%		65%	
同相モード電圧	内部で提供		2.5		V
V _{CMOS} CMOS入力クロック振幅		4		5	V
CWミキサ変換損失			4		dB
CWミキサ位相ノイズ	2MHz搬送波から1kHz		156		dBc/Hz
DR 入力ダイナミック・レンジ	FIN = 2MHz, LNA = 24/18/12dB		160/164/165		dBFS/Hz
IMD3 相互変調歪	f1 = 5 MHz, f2 = 5.01 MHz, 両トーンとも-8.5dBmの振幅、8チャンネルを同相で加算、CW帰還抵抗 = 87Ω		-50		dBc
	f1 = 5 MHz, f2 = 5.01 MHz, 両トーンとも-8.5dBmの振幅、単一チャンネルの場合、CW帰還抵抗 = 500Ω		-60		dBc
I/Qチャンネル・ゲイン・マッチング	16X モード		±0.04		dB
I/Qチャンネル位相マッチング	16X モード		±0.1		度
I/Qチャンネル・ゲイン・マッチング	4X モード		±0.04		dB
I/Qチャンネル位相マッチング	4X モード		±0.1		度
イメージ除去比	fin = 2.01MHz, 入力振幅300mV、CWクロック周波数 = 2.00MHz		-50		dBc
CW加算アンプ					
V _{CMO} 同相モード電圧	加算アンプの入力/出力		1.5		V
加算アンプ出力			4		Vpp
入力基準電圧ノイズ	100Hz		2		nV/rtHz
	1kHz		1.2		nV/rtHz
	2kHz-100MHz		1		nV/rtHz
入力基準電流ノイズ			2.5		pA/rtHz
ユニティ・ゲイン帯域幅			200		MHz
最大出力電流	直線動作範囲		20		mApp
ADC仕様					
サンプル・レート		10		65	MSPS
SNR 信号対雑音比	ADC 14bのアイドル・チャンネルSNR		77		dBFS
内部リファレンス・モード	REFP		1.5		V
	REFM		0.5		V
外部リファレンス・モード	VREF_IN 電圧		1.4		V
	VREF_IN 電流		50		μA
ADC入力フルスケール範囲			2		Vpp
LVDSレート	14ビットで65MSPS		910		Mbps

- (2) In the 16X operation mode, the CW operation range is limited to 8MHz due to the 16X CLK. The maximum clock frequency for the 16X CLK is 128MHz. In the 8X, 4X, and 1X modes, higher CW signal frequencies up to 15 MHz can be supported with small degradation in performance, see application information: [CW clock selection](#).

電気的特性

特に記述のない限り、AVDD_5V = 5V、AVDD = 3.3V、AVDD_ADC = 1.8V、DVDD = 1.8V、INPを0.1μFでAC結合、INMを15nFでグラウンドにバイパス、アクティブ終端なし、V_{CNTL} = 0V、f_{IN} = 5MHz、LNA = 18dB、PGA = 24dB、14ビット、サンプル・レート = 65MSPS、LPFフィルタ = 15MHz、低ノイズ・モード、V_{OUT} = -1dBFS、内部500Ω CW帰還抵抗、CMOS CWクロック、ADCを内部リファレンス・モードに設定、シングルエンドVCNTLモード、VCNTLM = GND、周囲温度T_A = 25°C。最小値および最大値は、AVDD_5V = 5V、AVDD = 3.3V、AVDD_ADC = 1.8V、DVDD = 1.8Vで温度範囲全体にわたって規定されています。

パラメータ	測定条件	MIN	TYP	MAX	単位
消費電力					
AVDD電圧		3.15	3.3	3.6	V
AVDD_ADC電圧		1.7	1.8	1.9	V
AVDD_5V電圧		4.75	5	5.5	V
DVDD電圧		1.7	1.8	1.9	V
チャンネル毎の合計消費電力	TGC低ノイズ・モード、65MSPS		153	175	mW/CH
	TGC低ノイズ・モード、40MSPS		142		
	TGC中電力モード、40MSPS		110		
	TGC低電力モード、40MSPS		98		
AVDD(3.3V)電流	TGC低ノイズ・モード、信号なし		203	235	mA
	TGC中電力モード、信号なし		126		
	TGC低電力モード、信号なし		99		
	CWモード、信号なし		147	170	
	TGC低ノイズ・モード、500mVpp入力、1%デューティ・サイクル		210		
	TGC中電力モード、500mVpp入力、1%デューティ・サイクル		133		
	TGC低電力モード、500mVpp入力、1%デューティ・サイクル		105		
	CWモード、500mVpp入力		375		
AVDD_5V電流	TGCモード、信号なし		16.5	22	mA
	CWモード、信号なし、16Xクロック = 32MHz		32		
	TGCモード、500mVpp入力、1%デューティ・サイクル		16.5		
	CWモード、500mVpp入力		42.5		
VCA消費電力	TGC低ノイズ・モード、信号なし		93.5	107	mW/CH
	TGC中電力モード、信号なし		62		
	TGC低電力モード、信号なし		50		
	TGC低ノイズ・モード、500mVpp入力、1%デューティ・サイクル		97		
	TGC中電力モード、500mVpp入力、1%デューティ・サイクル		65		
	TGC低電力モード、500mVpp入力、1%デューティ・サイクル		54		
CW消費電力	信号なし、ADCシャットダウン、CWモード、16Xクロック = 32MHz		80		mW/CH
	500mVpp入力、ADCシャットダウン、16Xクロック = 32MHz		173		
AVDD_ADC(1.8V)電流	65MSPS		187	205	mA
DVDD(1.8V)電流	65MSPS		77	110	mA
ADC消費電力/チャンネル	65MSPS		59	69	mW/CH
	50MSPS		51		
	40MSPS		46		
	20MSPS		35		
パワーダウン・モードの消費電力	PDN_VCA = High, PDN_ADC = High		25		mW/CH
	完全パワーダウン、PDN_Globa l = High		0.6		
パワーダウン応答時間	パワーダウンに入るまでの所要時間		1		μs
パワーアップ応答時間	VCAパワーダウン		2μs + PDN時間の1%		μs
	ADCパワーダウン		1		
	完全パワーダウン		2.5		ms
電源変動比、AVDDおよびAVDD_5V	f _{in} = 5MHz, 1KHzで電源に50mVppのノイズ ⁽³⁾		-65		dBc
	f _{in} = 5MHz, 50KHzで電源に50mVppのノイズ ⁽³⁾		-65		dBc
電源除去比	f = 10kHz, VCNTL = 0V (高ゲイン)、AVDD		-40		dBc
	f = 10kHz, VCNTL = 0V (高ゲイン)、AVDD_5V		-55		dBc
	f = 10kHz, VCNTL = 1V (低ゲイン)、AVDD		-50		dBc

(3) PSRR仕様は、入力信号振幅を基準としています。

デジタル特性

特に記述のない限り、標準値は+25°Cでの値、AVDD = 3.3V、AVDD_5 = 5VおよびAVDD_ADC = 1.8V、DVDD = 1.8Vです。最小値および最大値は温度範囲全体($T_{MIN} = 0^{\circ}C \sim T_{MAX} = +85^{\circ}C$)での値です。

パラメータ	条件	MIN	TYP	MAX	単位 ⁽¹⁾
デジタル入出力					
V _{IH}	論理High入力電圧	2		3.3	V
V _{IL}	論理Low入力電圧	0		0.3	V
	論理High入力電流		200		μA
	論理Low入力電流		200		μA
	入力容量		5		pF
V _{OH}	論理High出力電圧	SDOUTピン	DVDD		V
V _{OL}	論理Low出力電圧	SDOUTピン	0		V
LVDS出力					
	出力差動電圧	100Ωの外部差動終端	400		mV
	出力オフセット電圧	同相モード電圧	1100		mV
	FCLKPおよびFCLKM	1Xクロック・レート	10	65	MHz
	DCLKPおよびDCLKM	7Xクロック・レート	70	455	MHz
		6Xクロック・レート	60	390	MHz
t _{su}	データ・セットアップ時間 ⁽²⁾		350		ps
t _h	データ・ホールド時間 ⁽²⁾		350		ps
ADC入カクロック					
	CLOCK周波数		10	65	MSPS
	クロック・デューティ・サイクル		45%	50%	55%
クロック入力振幅、 差動(V _{CLKP_ADC} - V _{CLKM_ADC})	正弦波、AC結合		0.5		V _{pp}
	LVPECL、AC結合		1.6		V _{pp}
	LVDS、AC結合		0.7		V _{pp}
同相モード電圧 voltage	内部でバイアス		1		V
クロック入力振幅V _{CLKP_ADC} (シングルエンド)	CMOS CLOCK		1.8		V _{pp}

(1) DC仕様は、LVDS出力のスイッチングなし、および100Ωの外部終端により有効な論理レベル0または1に固定、の条件で規定されています。

(2) セットアップ時間およびホールド時間の仕様は、出力データおよびクロックに対するジッタの影響を考慮しています。これらの仕様では、データおよびクロックのパスがレシーバ内で完全にマッチングされていると仮定しています。レシーバ内でこれらのパスにミスマッチがあると、タイミング余裕が減少します。

標準的特性

特に記述のない限り、AVDD_5V = 5V、AVDD = 3.3V、AVDD_ADC = 1.8V、DVDD = 1.8V、INPに0.1 μ FでAC結合、INMに15nF、アクティブ終端なし、VCNTL= 0V、FIN = 5MHz、LNA = 18dB、PGA = 24dB、14ビット、サンプル・レート = 65MSPS、LPFフィルタ = 15MHz、低ノイズ・モード、VOUT = -1dBFS、500 Ω CW帰還抵抗、CMOS 16Xクロック、ADCを内部リファレンス・モードに設定、シングルエンドVCNTLモード、VCNTLM = GND、周囲温度 $T_A = +25^{\circ}\text{C}$ 。

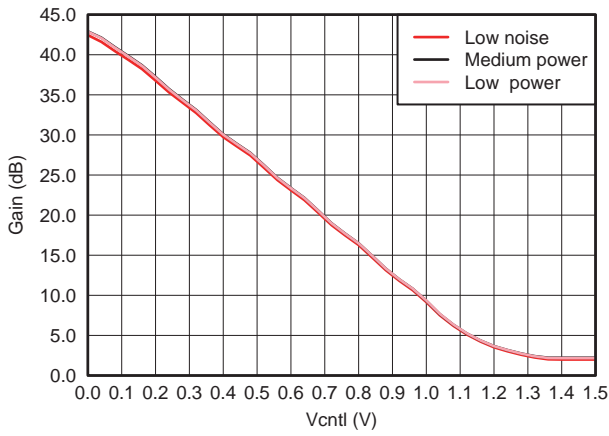


図 2. ゲイン 対 VCNTL、LNA = 18dB
およびPGA = 24dB

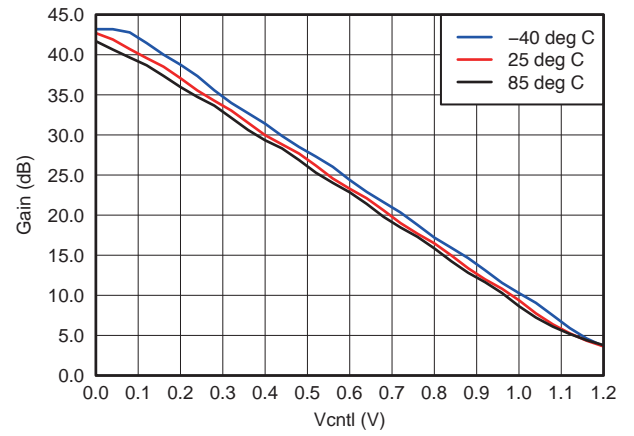


図 3. ゲイン変動 対 温度、LNA = 18dB
およびPGA = 24dB

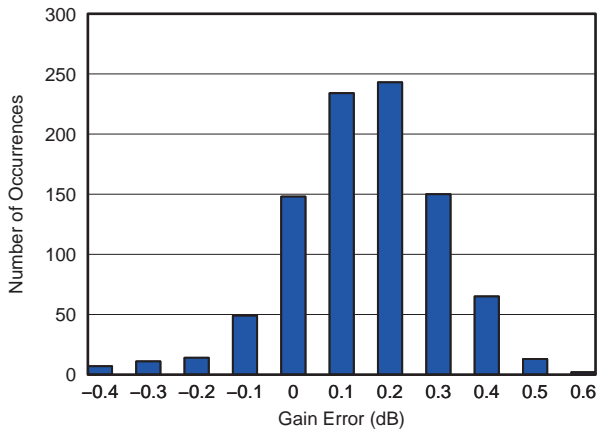


図 4. ゲイン・マッチング・ヒストグラム、
VCNTL = 0.3V (936チャンネル)

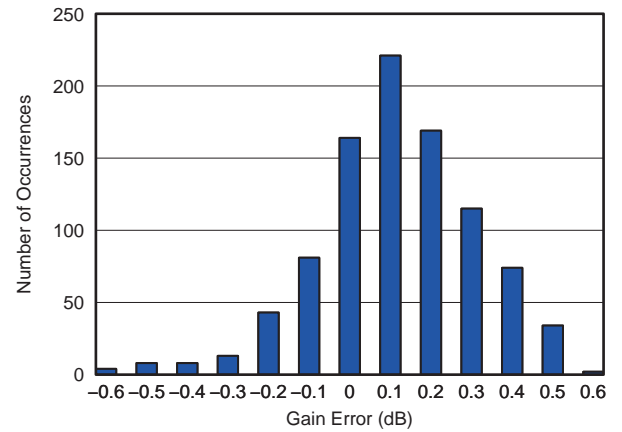


図 5. ゲイン・マッチング・ヒストグラム、
VCNTL = 0.6V (936チャンネル)

標準的特性

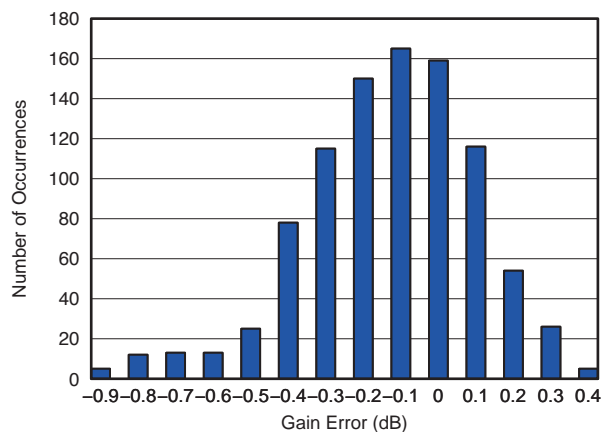


図 6. ゲイン・マッチング・ヒストグラム、VCNTL = 0.9V (936チャンネル)

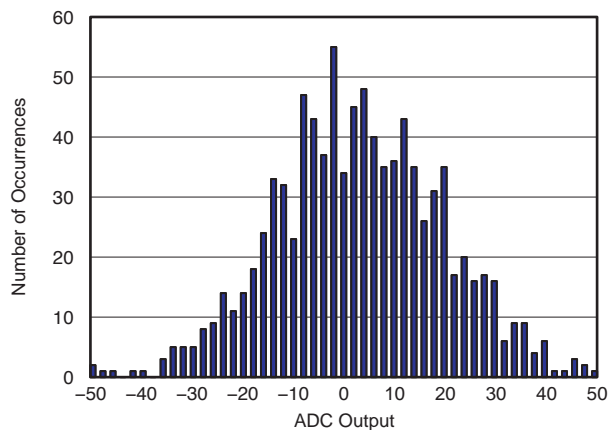


図 7. 出力オフセット・ヒストグラム、VCNTL = 0V (936チャンネル)

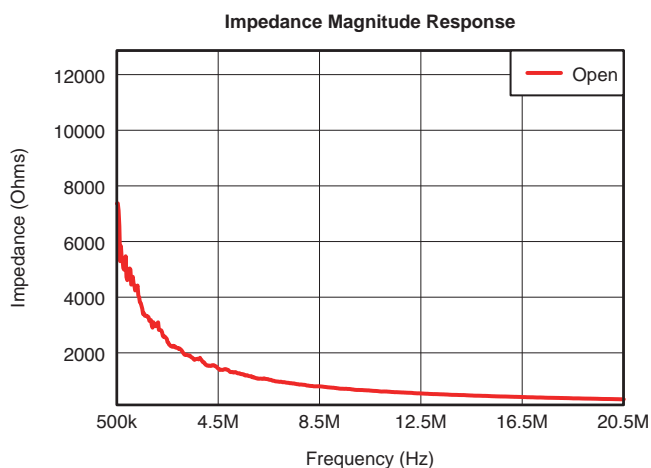


図 8. 入力インピーダンス、アクティブ終端なし(大きさ)

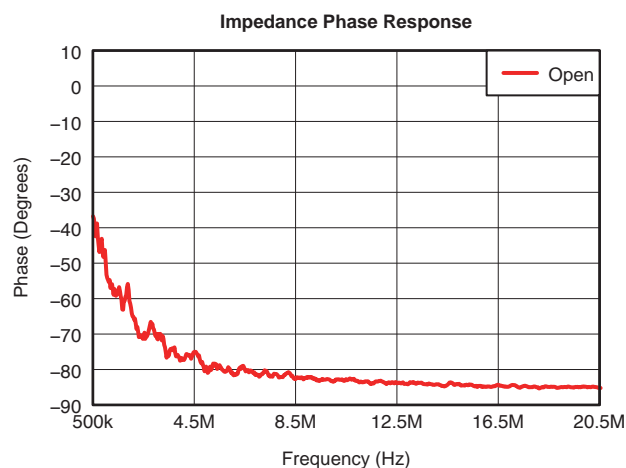


図 9. 入力インピーダンス、アクティブ終端なし(位相)

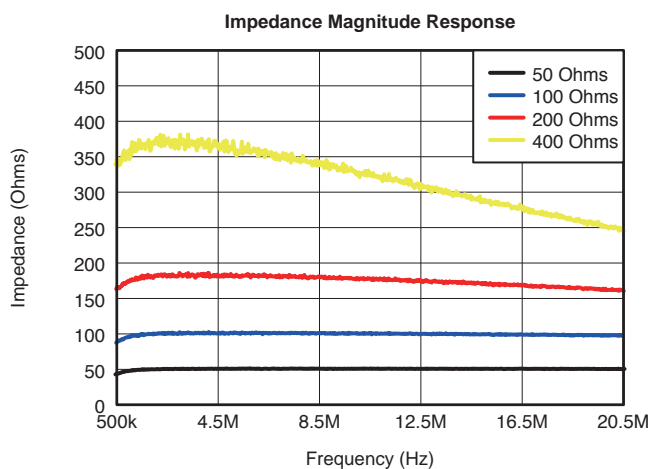


図 10. 入力インピーダンス、アクティブ終端あり(大きさ)

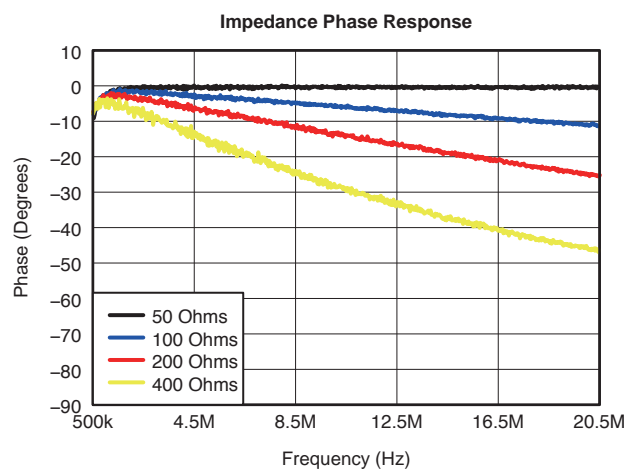


図 11. 入力インピーダンス、アクティブ終端あり(位相)

標準的特性

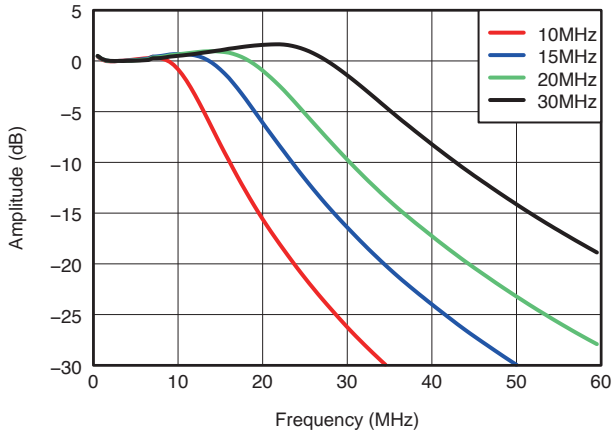


図 12. ローパス・フィルタ応答

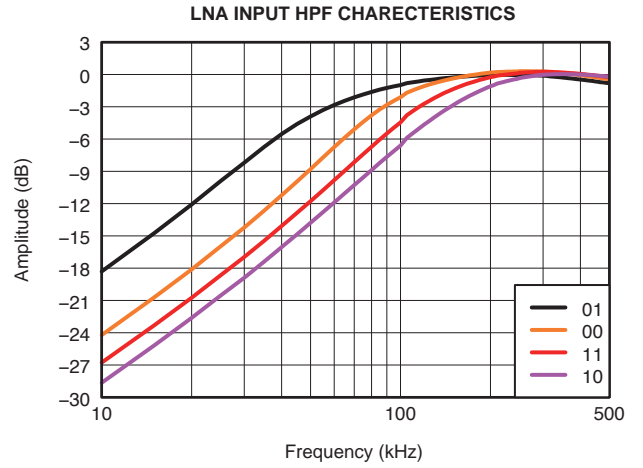


図 13. LNAハイパス・フィルタ応答 対 Reg59[3:2]

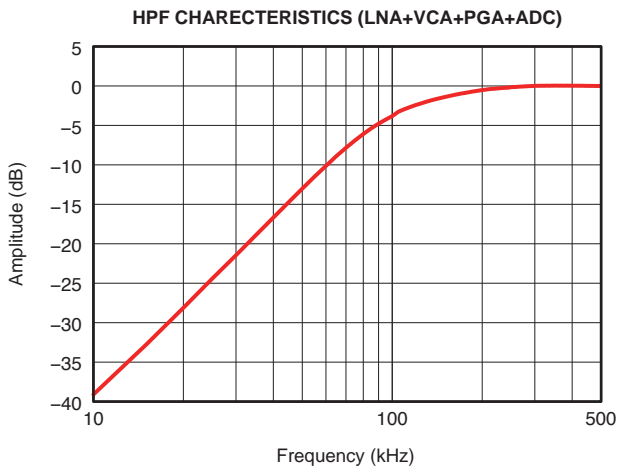


図 14. 全チャンネルのハイパス・フィルタ応答、デフォルト・レジスタ設定

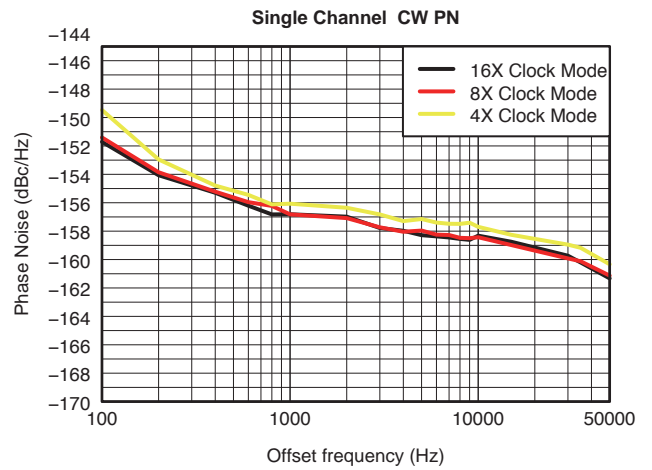


図 15. CW位相ノイズ、 $F_{in} = 2\text{MHz}$

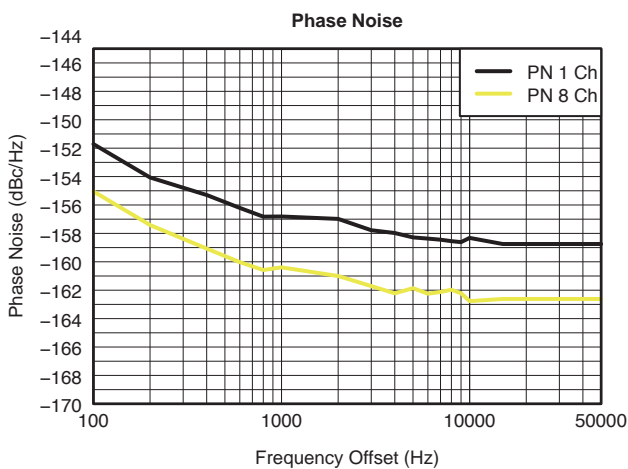


図 16. CW位相ノイズ、 $F_{in} = 2\text{MHz}$ 、1チャンネル対8チャンネル

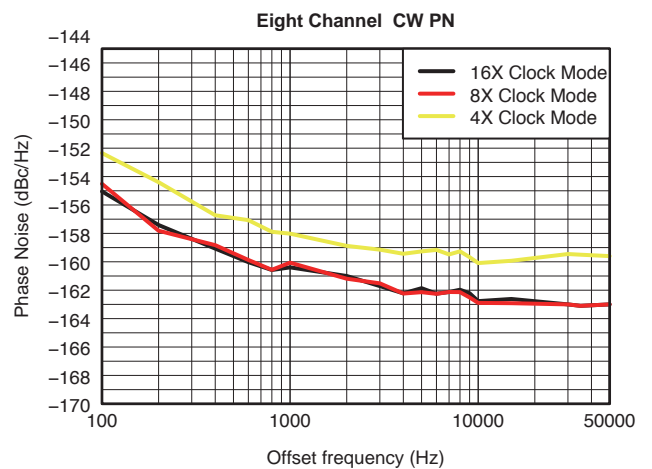


図 17. CW位相ノイズ 対 クロック・モード、 $F_{in} = 2\text{MHz}$

標準的特性

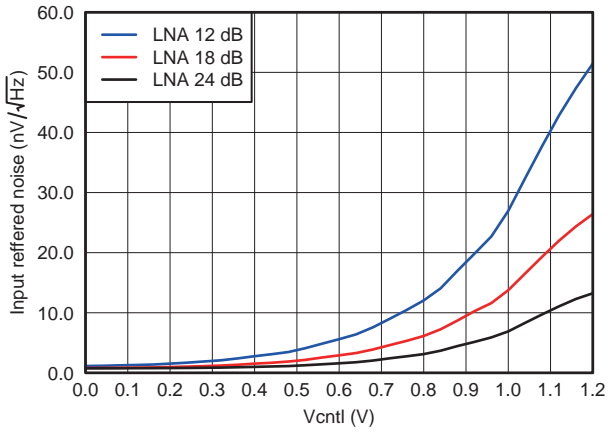


図 18. IRN、PGA = 24dBおよび低ノイズ・モード

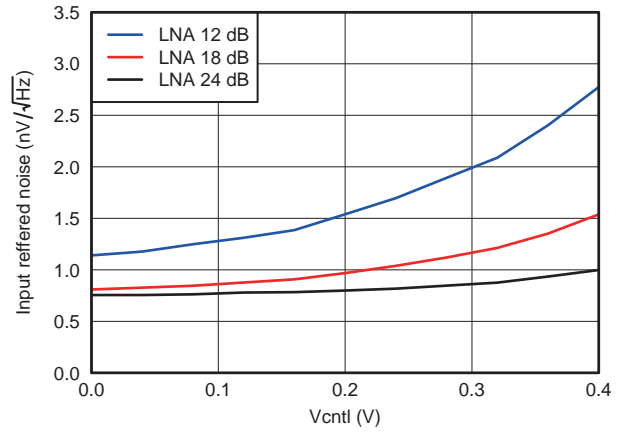


図 19. IRN、PGA = 24dBおよび低ノイズ・モード

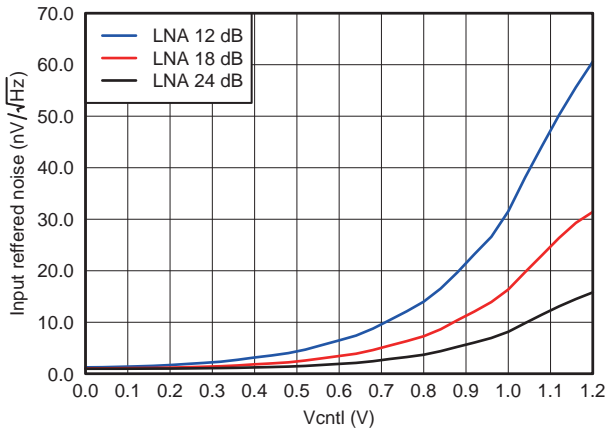


図 20. IRN、PGA = 24dBおよび中電力モード

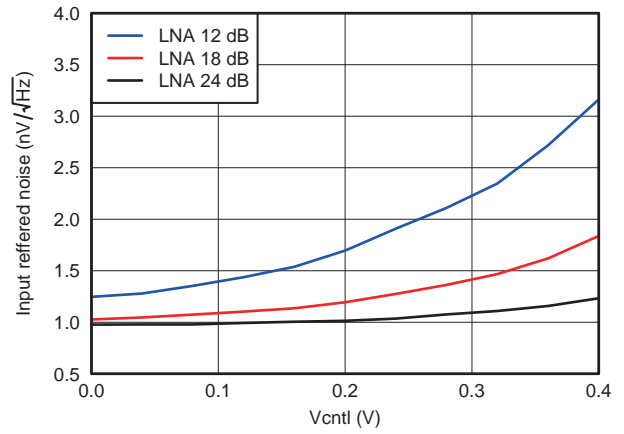


図 21. IRN、PGA = 24dBおよび中電力モード

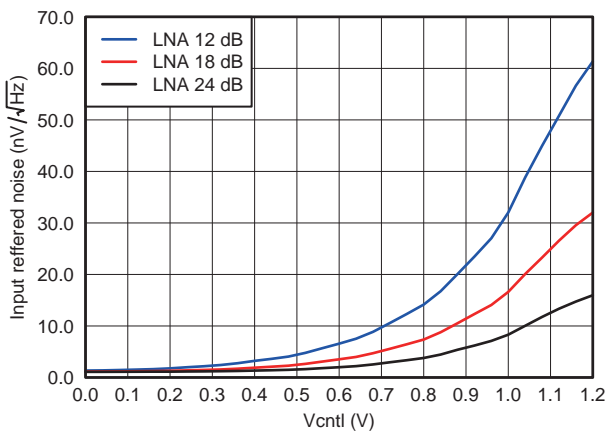


図 22. IRN、PGA = 24dBおよび低電力モード

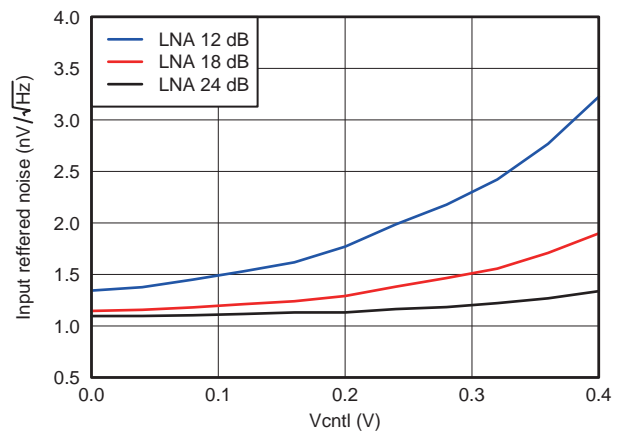


図 23. IRN、PGA = 24dBおよび低電力モード

標準的特性

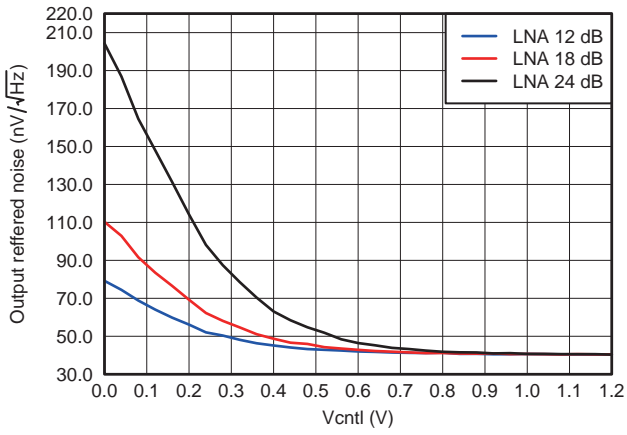


図 24. ORN、PGA = 24dBおよび低ノイズ・モード

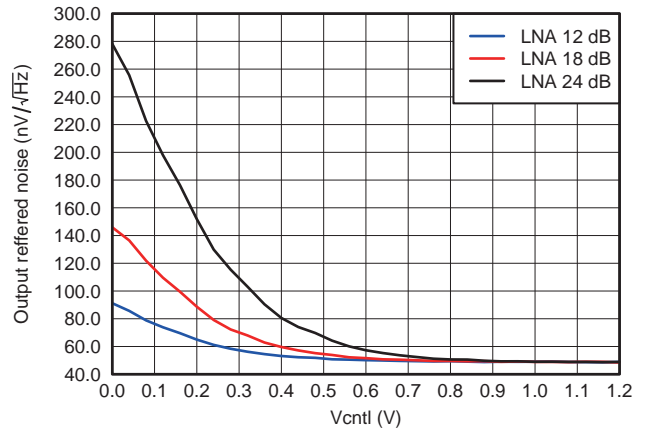


図 25. ORN、PGA = 24dBおよび中電力モード

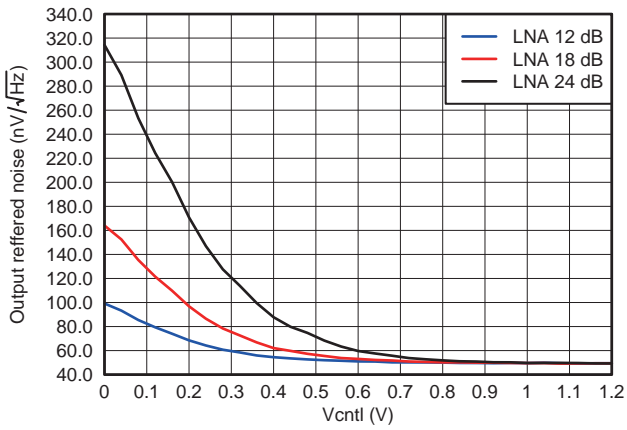


図 26. ORN、PGA = 24dBおよび低電力モード

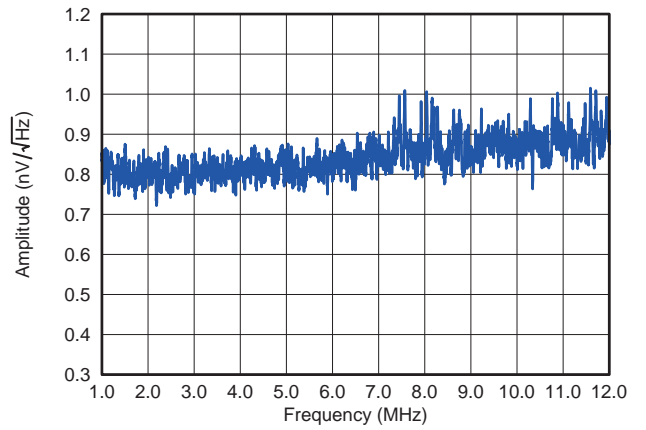


図 27. IRN、PGA = 24dBおよび低ノイズ・モード

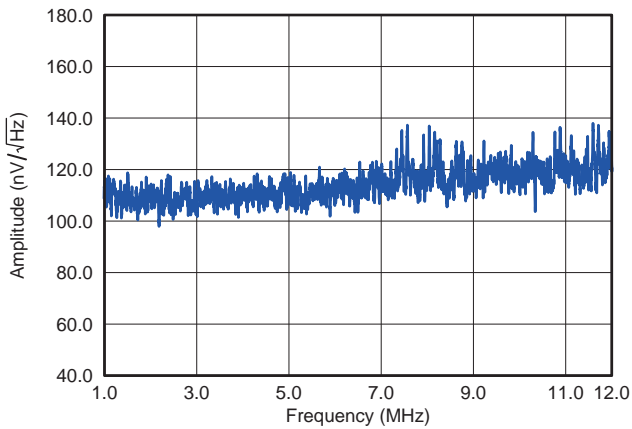


図 28. ORN、PGA = 24dBおよび低ノイズ・モード

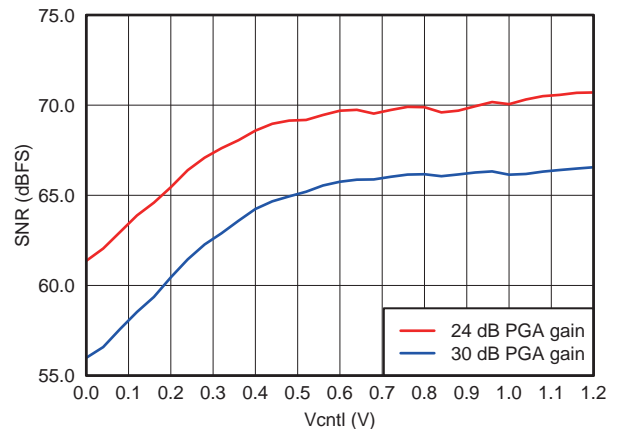


図 29. SNR、LNA = 18dBおよび低ノイズ・モード

標準的特性

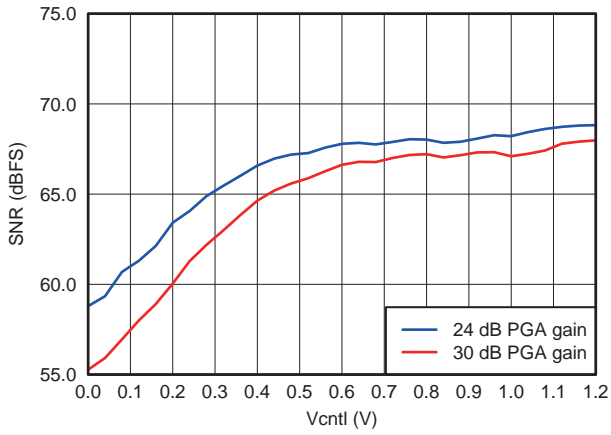


図 30. SNR、LNA = 18dBおよび低電力モード

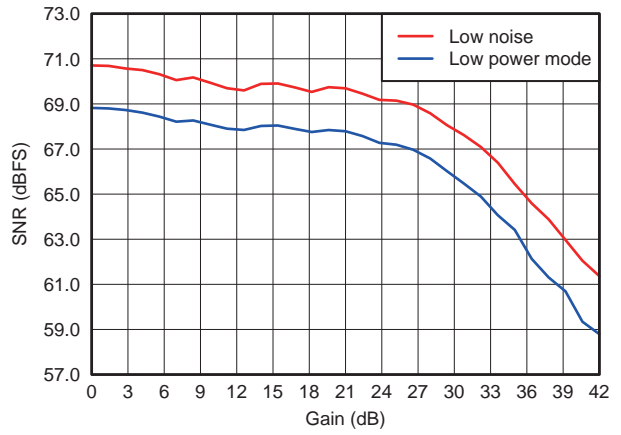


図 31. SNR 対 各電力モード

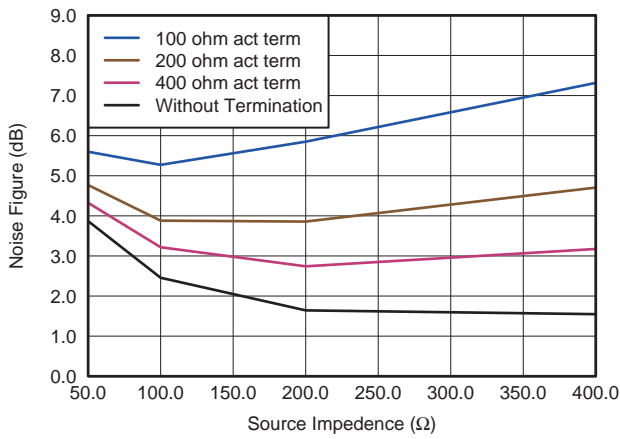


図 32. ノイズ指数、LNA = 12dBおよび低ノイズ・モード

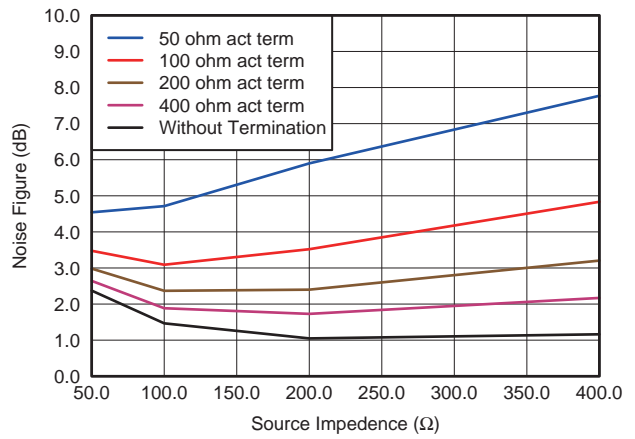


図 33. ノイズ指数、LNA = 18dBおよび低ノイズ・モード

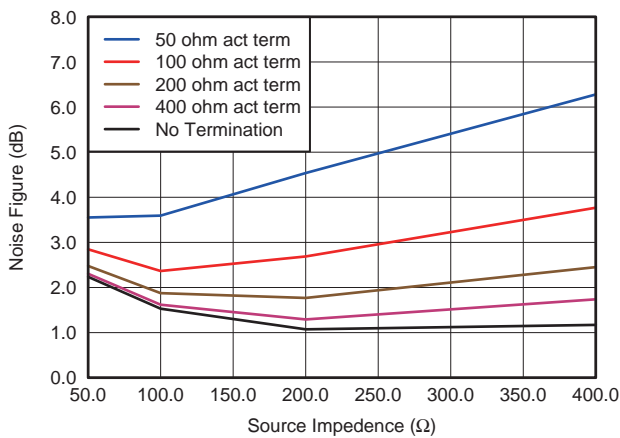


図 34. ノイズ指数、LNA = 24dBおよび低ノイズ・モード

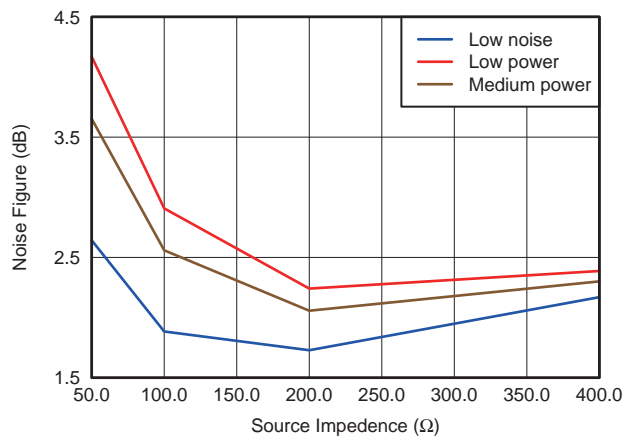


図 35. ノイズ指数 対 電力モード、400Ω終端

標準的特性

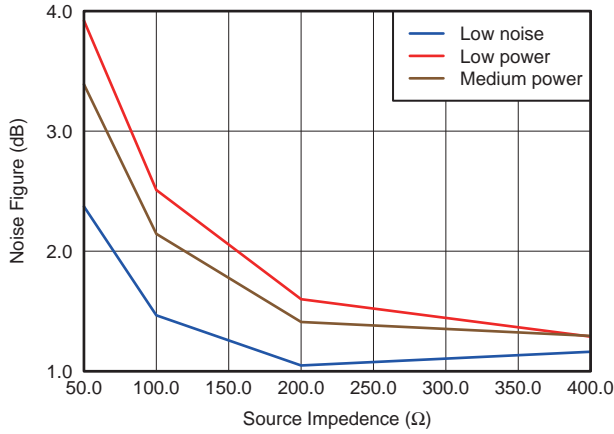


図 36. ノイズ指数 対 電力モード、終端なし

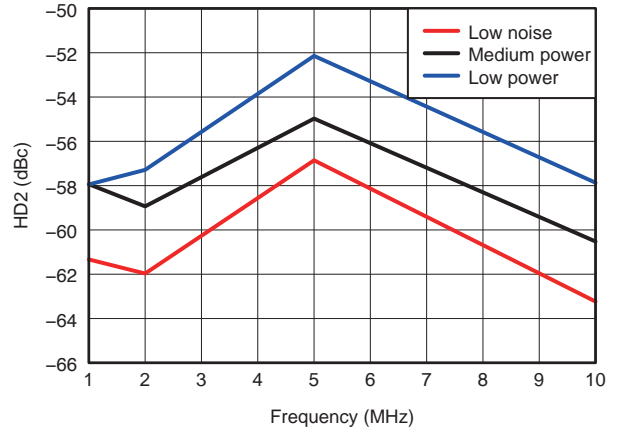


図 37. HD2 対 周波数、VIN = 500mV_{PP}および V_{OUT} = -1dBFS

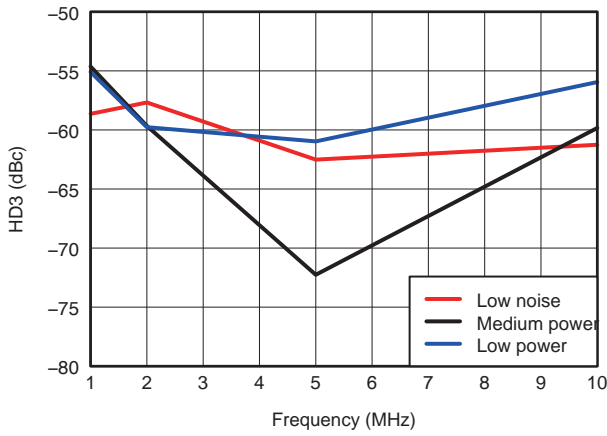


図 38. HD3 対 周波数、VIN = 500mV_{PP}および V_{OUT} = -1dBFS

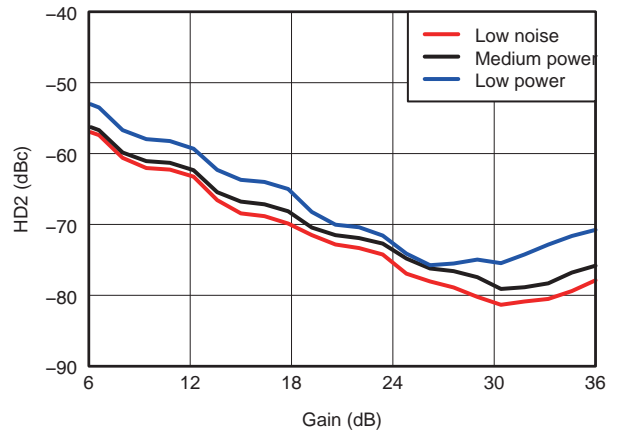


図 39. HD2 対 ゲイン、LNA = 12dB、PGA = 24dBおよびV_{OUT} = -1dBFS

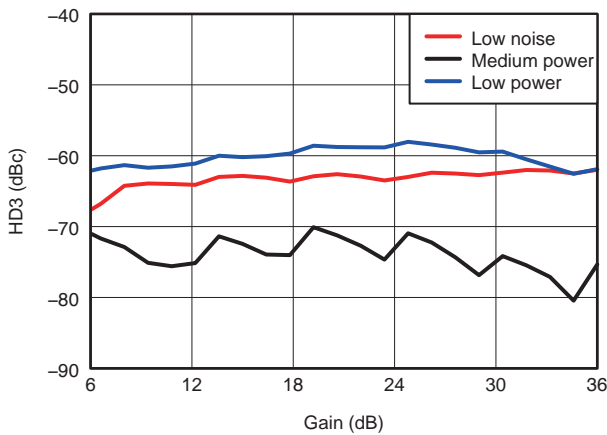


図 40. HD3 対 ゲイン、LNA = 12dB、PGA = 24dBおよびV_{OUT} = -1dBFS

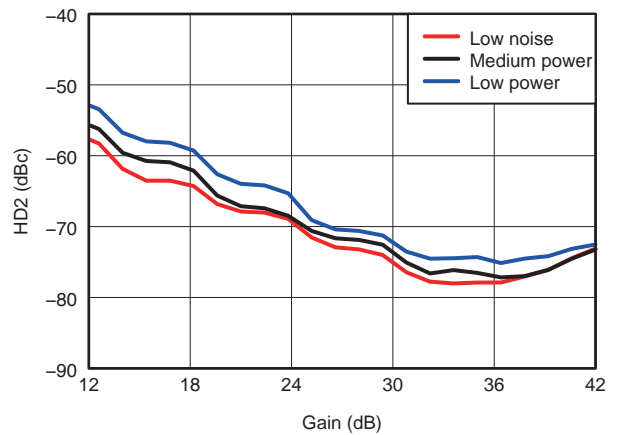


図 42. HD2 対 ゲイン、LNA = 18dB、PGA = 24dBおよびV_{OUT} = -1dBFS

標準的特性

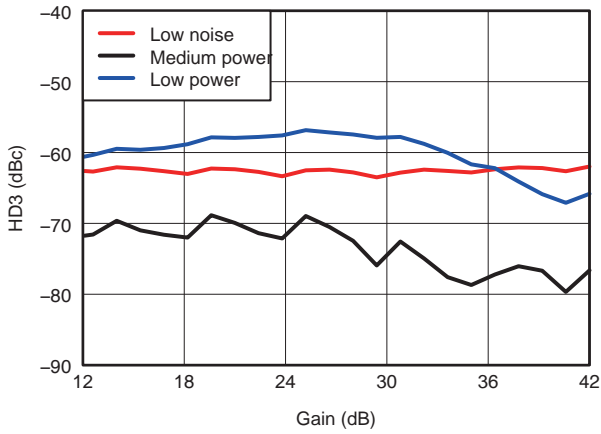


図 42. HD3 対 ゲイン、LNA = 18dB、PGA = 24dBおよび $V_{OUT} = -1$ dBFS

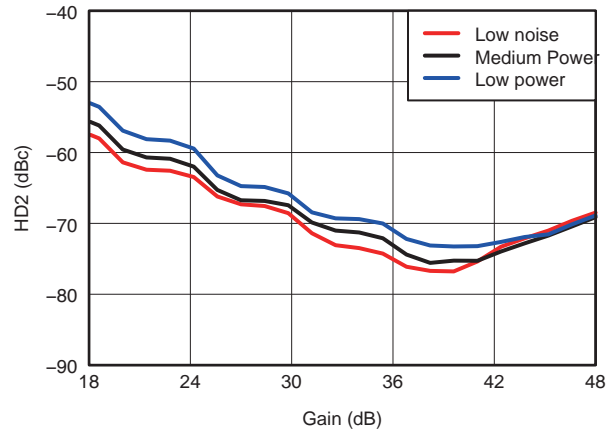


図 43. HD2 対 ゲイン、LNA = 24dB、PGA = 24dBおよび $V_{OUT} = -1$ dBFS

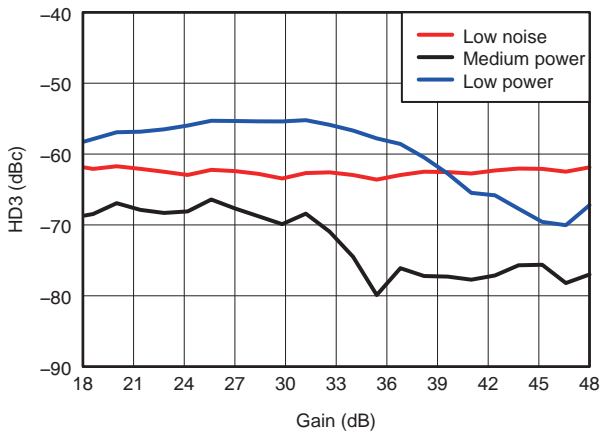


図 44. HD3 対 ゲイン、LNA = 24dB、PGA = 24dBおよび $V_{OUT} = -1$ dBFS

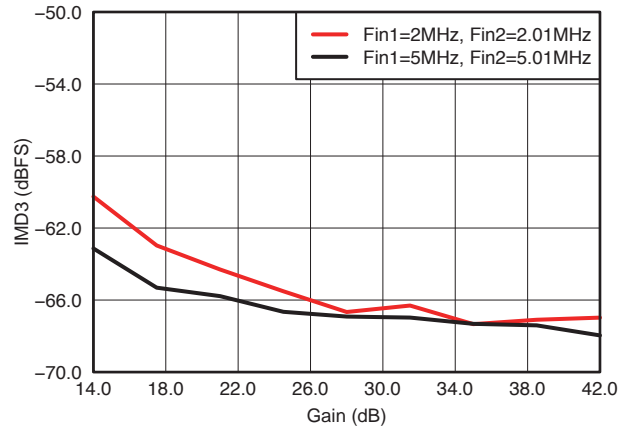


図 45. IMD3、 $F_{out1} = -7$ dBFSおよび $F_{out2} = -21$ dBFS

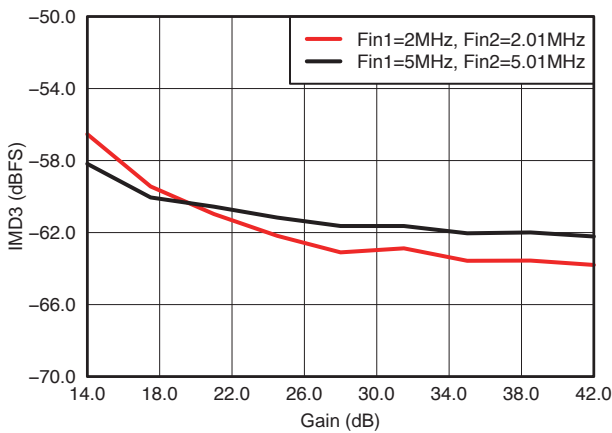


図 46. IMD3、 $F_{out1} = -7$ dBFSおよび $F_{out2} = -7$ dBFS

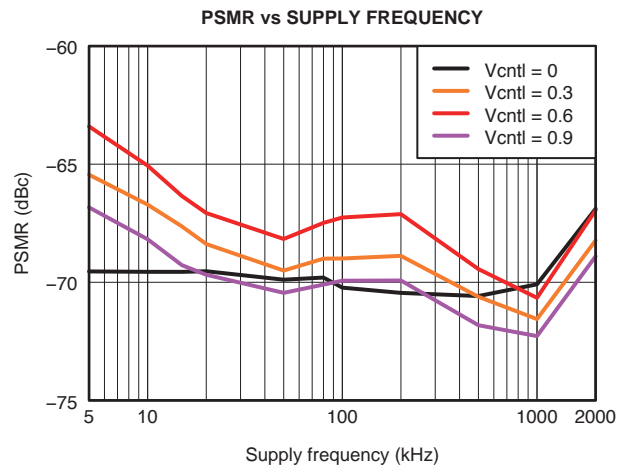


図 47. AVDD電源変調比、100mV_{PP}電源ノイズ、各周波数

標準的特性

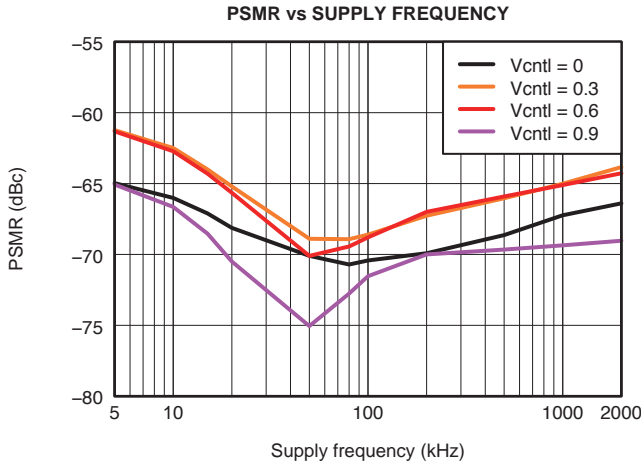


図 48. AVDD_5V電源変調比、100mV_{PP}電源ノイズ、各周波数

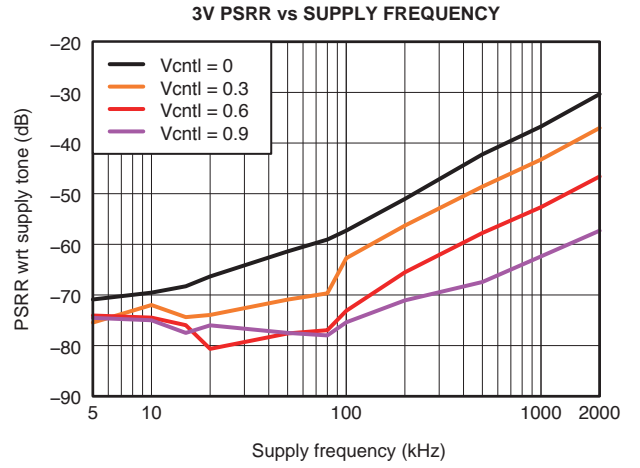


図 49. AVDD電源除去比、100mV_{PP}電源ノイズ、各周波数

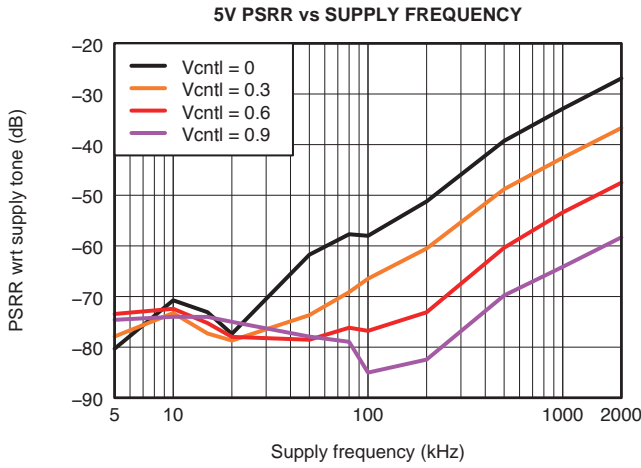


図 50. AVDD_5V電源除去比、100mV_{PP}電源ノイズ、各周波数

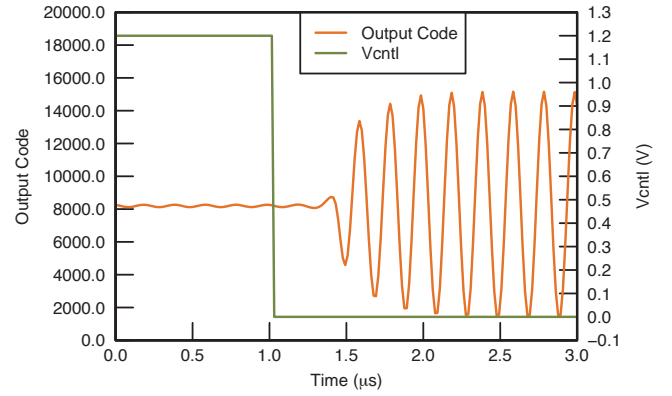


図 51. V_{CNTL}応答時間、LNA = 18dBおよびPGA = 24dB

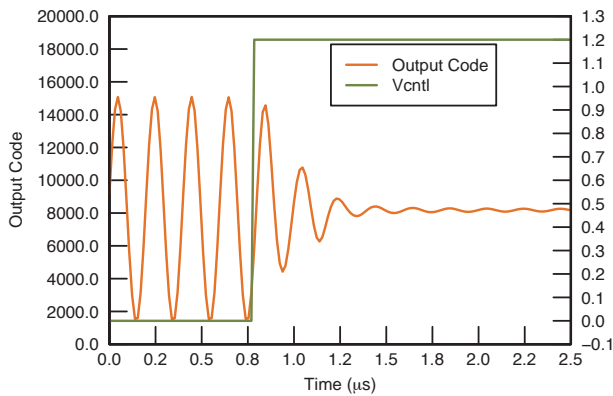


図 52. V_{CNTL}応答時間、LNA = 18dBおよびPGA = 24dB

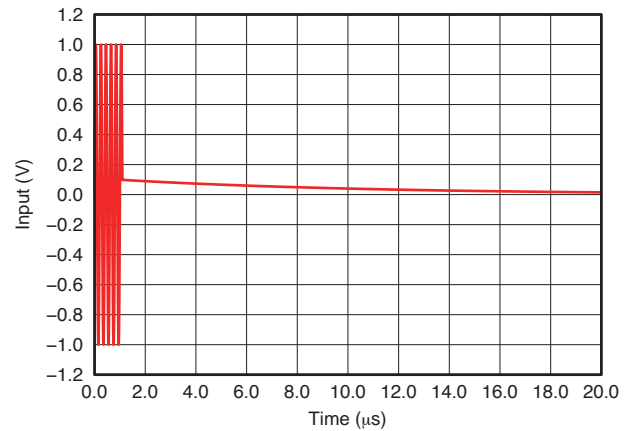


図 53. パルス反転非対称正入力

標準的特性

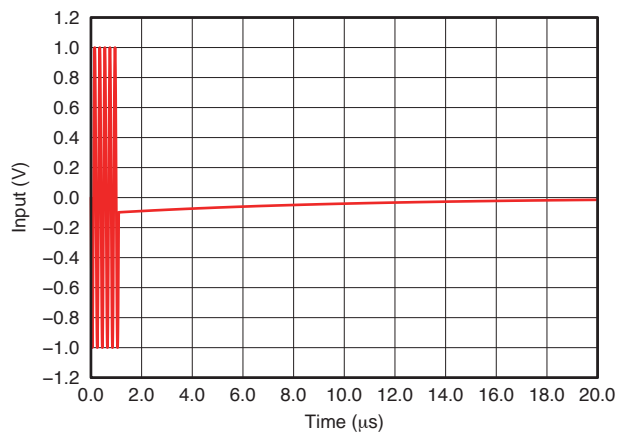


図 54. パルス反転非対称負入力

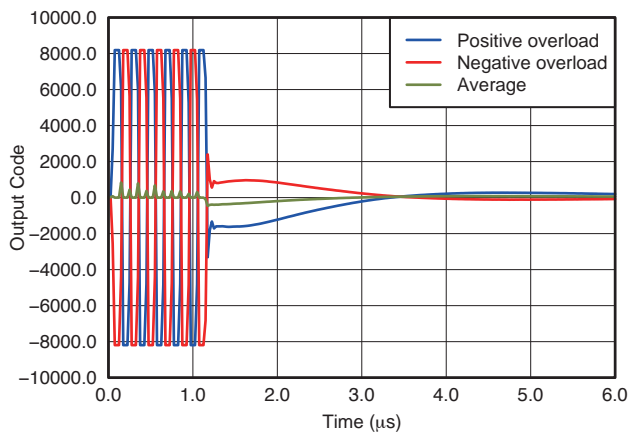


図 55. パルス反転、 $V_{IN} = 2V_{PP}$ 、 $PRF = 1kHz$ 、
ゲイン = 21dB

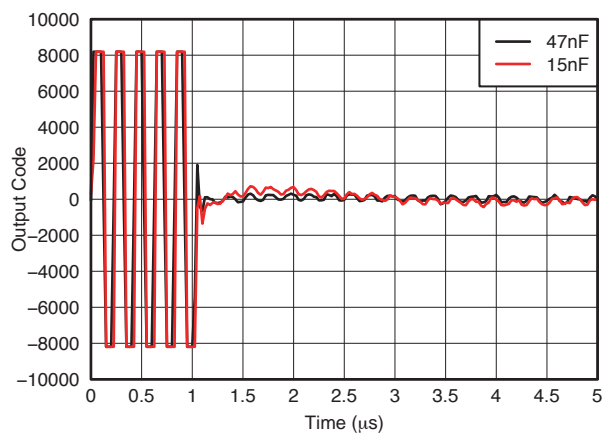


図 56. 過負荷回復応答 対 INMコンデンサ、
 $V_{IN} = 50mV_{PP}/100\mu V_{PP}$ 、最大ゲイン

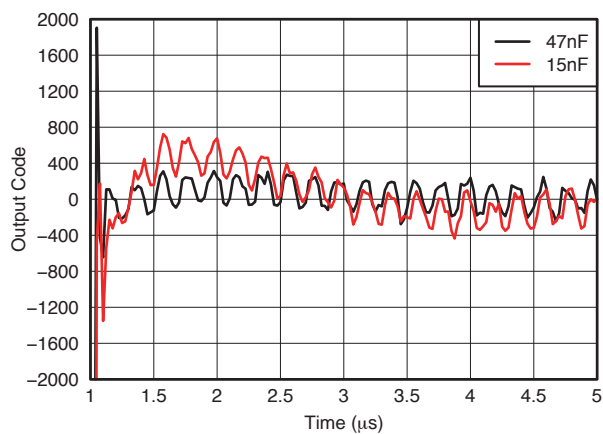


図 57. 過負荷回復応答 対 INMコンデンサ(拡大図)、
 $V_{IN} = 50mV_{PP}/100\mu V_{PP}$ 、最大ゲイン

タイミング特性⁽¹⁾

特に記述のない限り、標準値は25°Cでの値、AVDD_5V = 5V、AVDD = 3.3V、AVDD_ADC = 1.8V、DVDD = 1.8V、差動クロック、C_{LOAD} = 5pF、R_{LOAD} = 100Ω、14ビット、サンプル・レート = 65MSPSです。最小値および最大値は温度範囲全体(T_{MIN} = 0°C ~ T_{MAX} = 85°C)での値、およびAVDD_5V = 5V、AVDD = 3.3V、AVDD_ADC = 1.8V、DVDD = 1.8Vです。

パラメータ		測定条件	MIN	TYP	MAX	単位
ta	アパーチャ遅延	入力サンプリング・クロックの立ち上がりエッジから、実際にサンプリングが行われるまでの遅延時間	0.7	3		ns
	アパーチャ遅延 マッチング	同じデバイス内のチャンネル間		±150		ps
t _j	アパーチャ・ジッタ			450		Fs rms
	ADCレイテンシ	デフォルト、リセット後、または / 0 x 2 [12] = 1、LOW_LATENCY = 1		11/8		入力 クロック・ サイクル
t _{delay}	データおよび フレーム・クロック遅延	入力クロックの立ち上がりエッジ(ゼロ・クロス)からフレーム・クロックの立ち上がりエッジ(ゼロ・クロス) - 入力クロック周期(T)の1/2	3	5.4	7	ns
Δt _{delay}	遅延変動	固定電源、Tの差が20°C、デバイス間	-1		1	ns
t _{RISE}	データ立ち上がり時間、 データ立ち下がり時間	立ち上がり時間は-100mVから100mVまでを測定、立ち下がり時間は100mVから-100mVまでを測定、10MHz < f _{CLKIN} < 65MHz		0.14		ns
t _{FALL}				0.15		
t _{FCLKRISE}	フレーム・クロック立ち 上がり時間、フレーム・ クロック立ち下がり時間	立ち上がり時間は-100mVから100mVまでを測定、立ち下がり時間は100mVから-100mVまでを測定、10MHz < f _{CLKIN} < 65MHz		0.14		ns
t _{FCLKFALL}				0.15		
	フレーム・クロックの デューティ・サイクル	立ち上がりエッジのゼロ・クロスから立ち下がりエッジのゼロ・クロスまで	48%	50%	52%	
t _{DCLKRISE}	ビット・クロック立ち 上がり時間、ビット・ クロック立ち下がり時間	立ち上がり時間は-100mVから100mVまでを測定、立ち下がり時間は100mVから-100mVまでを測定、10MHz < f _{CLKIN} < 65MHz		0.13		ns
t _{DCLKFALL}				0.12		
	ビット・クロックの デューティ・サイクル	立ち上がりエッジのゼロ・クロスから立ち下がりエッジのゼロ・クロスまで、10MHz < f _{CLKIN} < 65MHz	46%		54%	

(1) タイミング・パラメータは、設計および特性によって規定される値であり、実製品のテストは行っていません。

出力インターフェイス・タイミング⁽¹⁾⁽²⁾⁽³⁾

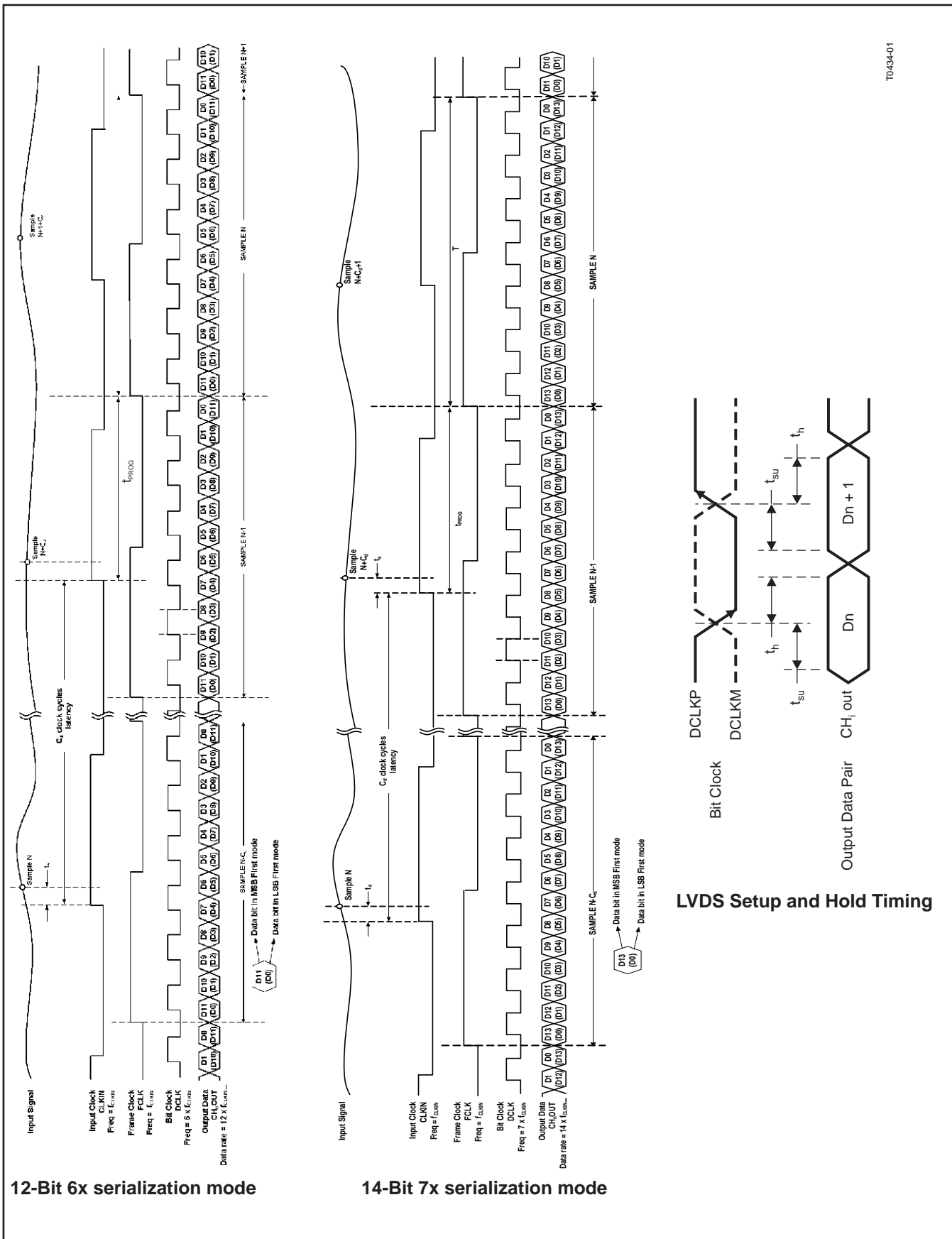
f _{CLKIN} 、 入力クロック 周波数	セットアップ時間(t _{su})、ns(出力データ およびフレーム・クロック)			ホールド時間(t _h)、ns(出力データ およびフレーム・クロック)			t _{PROG} = (3/7) x T + t _{delay} , ns		
	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX
MHz									
65	0.24	0.37		0.24	0.38		11	12	12.5
50	0.41	0.54		0.46	0.57		13	13.9	14.4
40	0.55	0.70		0.61	0.73		15	16	16.7
30	0.87	1.10		0.94	1.1		18.5	19.5	20.1
20	1.30	1.56		1.46	1.6		25.7	26.7	27.3

(1) FCLKタイミングは、出力データ・ラインの場合と同じです。DCLKとの関係は、データ・ピンの場合と同じです。

セットアップおよびホールドは、データとフレーム・クロックに対して同じです。

(2) データ有効は、論理High = +100mV、論理Low = -100mVです。

(3) タイミング・パラメータは、設計および特性によって規定される値であり、実製品のテストは行っていません。



TD434-01

58. LVDS タイミング

LVDS出力インターフェイスの説明

AFE5808は、複数の出力形式をサポートするLVDS出力インターフェイスを備えています。ADCの分解能は、図58のLVDSタイミング図に示されるように、12ビットまたは14ビットに設定できます。AFE5808内のADCは、14ビットで動作しています。12ビット出力を選択すると、下位2ビットが除外されます。16ビット出力を選択すると、下位に0が2つ追加されます。適切なADC分解能を選択することで、システムのコスト・パフォーマンスを最適化できます。デバイスが16ビット・モードで動作する場合は、より高いレートのLVDSデータを処理するために、よりハイエンドのFPGAが必要となります。対応するレジスタ設定を表1に示します。

シリアル・レジスタの動作 シリアル・レジスタ書き込みの説明

各モードのプログラミングは、SEN (シリアル・インターフェイス・イネーブル)、SCLK (シリアル・インターフェイス・クロック)、SDATA (シリアル・インターフェイス・データ)、RESETの各ピンから構成されるシリアル・インターフェイスを使用して行えます。これらのピンはすべて、GNDとの間に100kΩのプルダウン抵抗を備えています。SENがLowのとき

に、デバイスへのビットのシリアル・シフトがイネーブルになります。シリアル・データSDATAは、SENがアクティブ (Low) のときのSCLKの各立ち上がりエッジでラッチされます。ラッチされたシリアル・データは、SENがLowのときのSCLKの24回目の立ち上がりエッジで、レジスタにロードされます。ワード長が24ビットの倍数より大きい場合、超過するビットは無視されます。1回のアクティブなSENパルス内で、24ビット・ワードの整数倍のデータをロードできます (SENの立ち下がりエッジ後に24クロックのグループをカウントする内部カウンタがあります)。このインターフェイスは、20MHz～低速 (数Hz) までにわたるSCLK周波数で動作し、デューティ・サイクルが50%以外のSCLKでも動作できます。データは2つの主要な部分に分けられます。レジスタ・アドレス (8ビット) と、アドレス指定されたレジスタにロードするデータそれ自体 (16ビット) です。未使用ビットを含むレジスタに書き込むときには、それらのビットを0に設定する必要があります。これを図59に示します。

LVDSレート	12ビット (6X DCLK)	14ビット (7X DCLK)	16ビット (8X DCLK)
Reg 3 [14:13]	11	00	01
Reg 4 [2:0]	010	000	000
説明	下位2ビットを除外	N/A	下位に0を2つ追加

表 1. 対応レジスタ設定

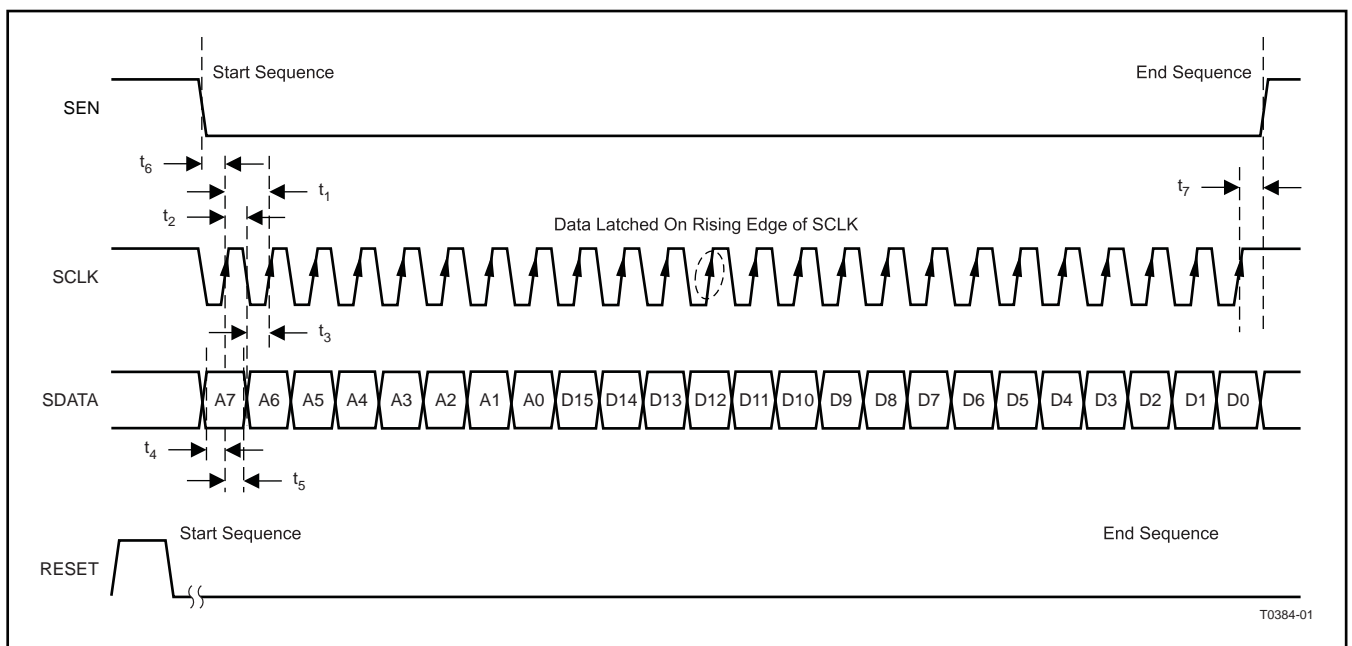


図 59. SPI タイミング

SPIタイミング特性

最小値は温度範囲全体($T_{MIN} = 0^{\circ}C \sim T_{MAX} = 85^{\circ}C$)での値、および $AVDD_{5V} = 5V$ 、 $AVDD = 3.3V$ 、 $AVDD_{ADC} = 1.8V$ 、 $DVDD = 1.8V$ です。

パラメータ	説明	MIN	TYP	MAX	単位
t_1	SCLK周期	50			ns
t_2	SCLK High時間	20			ns
t_3	SCLK Low時間	20			ns
t_4	データ・セットアップ時間	5			ns
t_5	データ・ホールド時間	5			ns
t_6	\overline{SEN} 立ち下がりからSCLK立ち上がりまで	8			ns
t_7	最後のSCLK立ち上がりエッジから \overline{SEN} 立ち上がりエッジまでの時間	8			ns
t_8	SDOUT遅延	12	20	28	ns

レジスタ読み出し

デバイスには、内部レジスタの内容を読み出すためのオプションが用意されています。これは、外部のコントローラとAFEとの間のシリアル・インターフェイス通信を検査する診断テストに利用できます。まず、レジスタ読み出しイネーブル・ビット(Reg0[1])を1に設定する必要があります。次に、内容を読み出すレジスタのアドレス(A7-A0)を指定して、シリアル・インターフェイス・サイクルを開始します。データ・ビットは“don't care”です。デバイスは、選択されたレジスタの内容(D15-D0)をSDOUTピンに出力します。SDOUTには、SCLKの立ち下がりエッジから標準20nsの遅延時間 t_8 があります。SCLKが低速の場合は、SCLKの立ち上がりエッジでSDOUTをラッチできます。SCLKが高速(例えば、SCLK周期が60ns未

満)の場合は、次のSCLKの立ち下がりエッジでSDOUTをラッチする方が適切です。次のタイミング図に、この動作を示します(タイミング仕様は、表に示したものと同一情報に従っています)。読み出しモードでも、ユーザーはSDATA/SCLK/ \overline{SEN} を通してレジスタ読み出しイネーブル・ビットにアクセスできます。シリアル・レジスタの書き込みをイネーブルにするには、レジスタ読み出しイネーブル・ビットを再び0に設定します。

AFE5808のSDOUTバッファは、3ステートであり、0[1](レジスタ読み出しイネーブル)をセットしたときのみイネーブルとなります。複数のAFE5808のSDOUTピンを、プルアップ抵抗なしで互いに接続できます。必要に応じて、レベル・シフタSN74AUP1T04を使用して1.8Vロジックを2.5V/3.3Vロジックに変換できます。

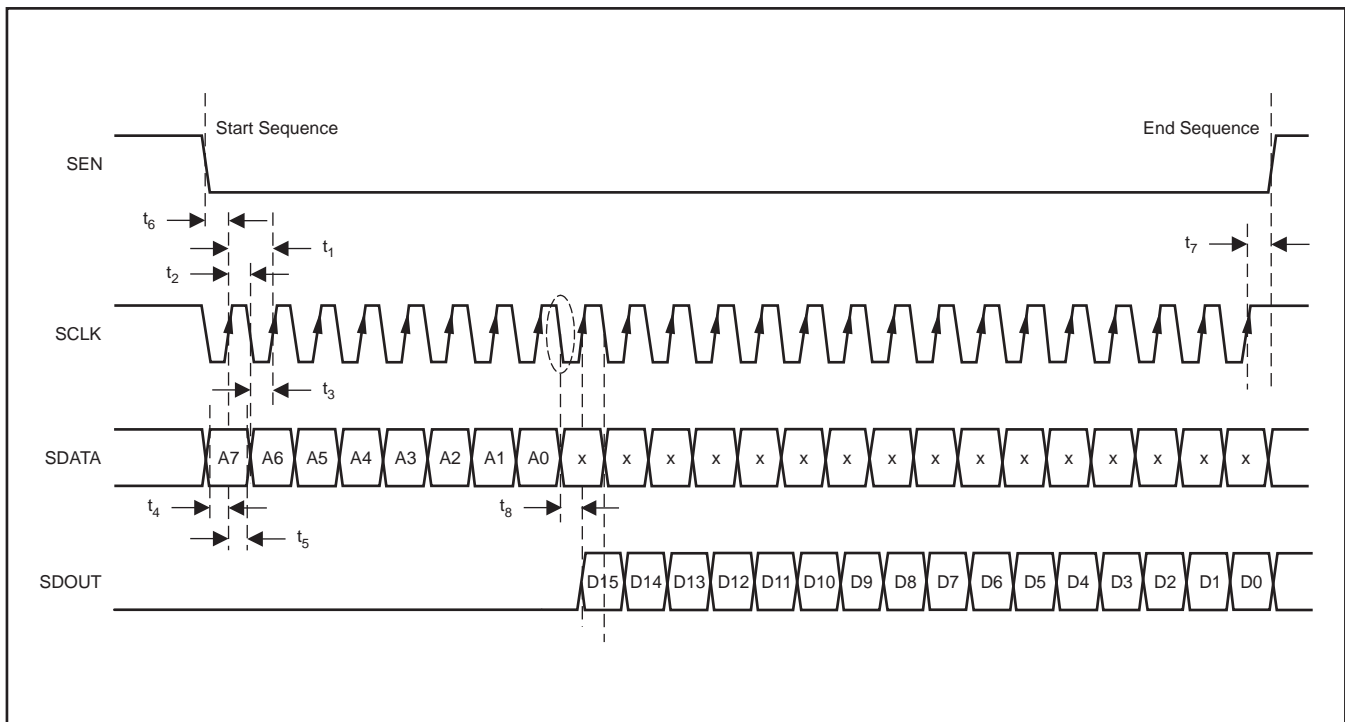


図 60. シリアル・インターフェイス・レジスタの読み出し

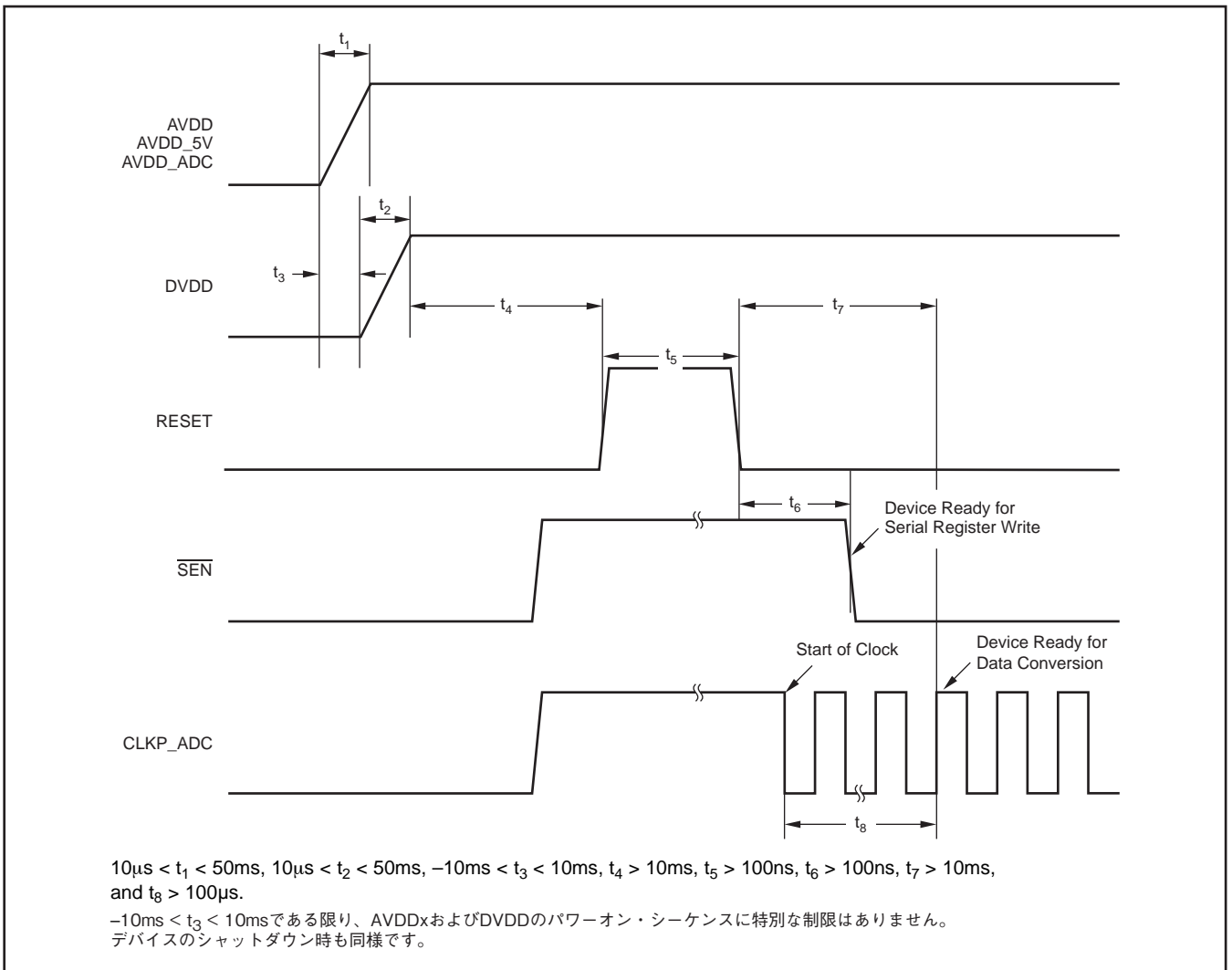


図 61. 推奨されるパワーアップ・シーケンスとリセット・タイミング

レジスタ・マップ

AFE5808の初期化には、リセット・プロセスが必要です。初期化は、次の2つのうちいずれかの方法で実行できます。

1. RESETピンに正パルスを印加することによるハードウェア・リセット
2. シリアル・インターフェイスでSOFTWARE RESETビットをHighにするソフトウェア・リセット。このビットをセットすると、内部レジスタがそれぞれのデフォルト値(すべてゼロ)に初期化され、その後SOFTWARE RESETビットはLowに戻ります。この場合、RESETピンはLow(非アクティブ)のまま保持できます。

リセット後は、ADCおよびVCAのすべてのレジスタが0(デフォルト設定)に設定されます。レジスタのプログラミング時には、予約済み/未記載のレジスタ・ビットはすべて0に設定する必要があります。

ADCレジスタ・マップ

アドレス (10進)	アドレス (16進)	デフォルト値	機能	説明
0[0]	0x0[0]	0	SOFTWARE_RESET	0: 通常動作 1: デバイスをリセットし、ビットは自動的に0にクリア
0[1]	0x0[1]	0	REGISTER_READOUT_ENABLE	0: 読み出しをディスエーブル 1: SDOUTピンでレジスタの読み出しをイネーブル
1[0]	0x1[0]	0	ADC_COMPLETE_PDN	0: 通常動作 1: 完全パワーダウン
1[1]	0x1[1]	0	LVDS_OUTPUT_DISABLE	0: 出力をイネーブル 1: 出力をディスエーブル
1[9 : 2]	0x1[9 : 2]	0	ADC_PDN_CH<7 : 0 >	0: 通常動作 1: パワーダウン。個々のADCチャンネルをパワーダウン。 1[9]→CH8...1[2]→CH1
1[10]	0x1[10]	0	PARTIAL_PDN	0: 通常動作 1: ADCの部分パワーダウン
1[11]	0x1[11]	0	LOW_FREQUENCY_NOISE_SUPPRESSION	0: 抑制なし 1: 抑制をイネーブル
1[13]	0x1[13]	0	EXT_REF	0: 内部リファレンス 1: 外部リファレンス。VREF_INを使用。外部リファレンス・モードでは、3[15]と1[13]の両方を1に設定する必要があります。
1[14]	0x1[14]	0	LVDS_OUTPUT_RATE_2X	0: 1xレート 1: 2xレート。2チャンネルのデータを1つのLVDSペアに結合します。ADCクロック・レートが低い場合に、この機能を使用できます。
1[15]	0x1[15]	0	SINGLE-ENDED_CLK_MODE	0: 差動クロック入力 1: シングルエンド・クロック入力
2[2 : 0]	0x2[2 : 0]	0	RESERVED	0に設定
2[10 : 3]	0x2[10 : 3]	0	POWER-DOWN_LVDS	0: 通常動作 1: 個別LVDS出力のパワーダウン。2[10]→CH8、...2[3]→CH1
2[11]	0x2[11]	0	AVERAGING_ENABLE	0: 平均化なし 1: 2つのチャンネルを平均化してSNRを向上
2[12]	0x2[12]	0	LOW_LATENCY	0: デジタル機能をサポートする既定のレイテンシ、11サイクル 1: デジタル機能をバイパスする低いレイテンシ、8サイクル
2[15 : 13]	0x2[15 : 3]	0	TEST_PATTERN_MODES	000: 通常動作 001: 同期 010: デスキュー 011: カスタム 100: オール1 101: トグル 110: オール0 111: ランプ
3[7 : 0]	0x3[7 : 0]	0	INVERT_CHANNELS	0: 反転なし 1: チャンネルのデジタル出力を反転。3[7]→CH8、...3[0]→CH1
3[8]	0x3[8]	0	CHANNEL_OFFSET_SUBTRACTION_ENABLE	0: オフセット減算なし 1: オフセット値の減算をイネーブル
3[9 : 11]	0x3[9 : 11]	0	RESERVED	0に設定

表 2. ADCレジスタ・マップ

アドレス (10進)	アドレス (16進)	デフォ ルト値	機 能	説 明
3[12]	0x3[12]	0	DIGITAL_GAIN_ENABLE	0：デジタル・ゲインなし 1：デジタル・ゲインをイネーブル
3[14:13]	0x3[14:13]	0	SERIALIZED_DATA_RATE	シリアル化係数 00：14x 01：16x 10：予約済み 11：12x 4[1]=1のとき、16xのシリアル化レートでは、下位2ビットに2個の0が付加されます(表1を参照)。
3[15]	0x3[15]	0	ENABLE_EXTERNAL_REFERENCE_MODE	0：内部リファレンス・モード 1：外部リファレンス・モードに設定 注：デバイスを外部リファレンス・モードに設定する場合は、3[15]と1[13]の両方を1に設定する必要があります。
4[1]	0x4[1]	0	ADC_RESOLUTION_SELECT	0：14ビット 1：12ビット
4[3]	0x4[3]	0	ADC_OUTPUT_FORMAT	0：2の補数 1：オフセット・バイナリ
4[4]	0x4[4]	0	LSB_MSB_FIRST	0：LSBファースト 1：MSBファースト
5[13:0]	0x5[13:0]	0	CUSTOM_PATTERN	LVDS出力のカスタム・パターン・データ(2[15:13] = 011)
13[9:0]	0xD[9:0]	0	OFFSET_CH1	チャンネル1のコードから減算する値
13[15:11]	0xD[15:11]	0	DIGITAL_GAIN_CH1	0dB～6dB(0.2dBステップ)
15[9:0]	0xF[9:0]	0	OFFSET_CH2	チャンネル2のコードから減算する値
15[15:11]	0xF[15:11]	0	DIGITAL_GAIN_CH2	0dB～6dB(0.2dBステップ)
17[9:0]	0x11[9:0]	0	OFFSET_CH3	チャンネル3のコードから減算する値
17[15:11]	0x11[15:11]	0	DIGITAL_GAIN_CH3	0dB～6dB(0.2dBステップ)
19[9:0]	0x13[9:0]	0	OFFSET_CH4	チャンネル4のコードから減算する値
19[15:11]	0x13[15:11]	0	DIGITAL_GAIN_CH4	0dB～6dB(0.2dBステップ)
21[0]	0x15[0]	0	DIGITAL_HPF_FILTER_ENABLE_CH1-4	0：デジタルHPFフィルタをディスエーブル 1：1～4チャンネルに対してイネーブル
21[4:1]	0x15[4:1]	0	DIGITAL_HPF_FILTER_K_CH1-4	ハイパス・フィルタのKを設定(Kは2～4、0010B～0100B)。この4レジスタのグループは、出力データに適用されるデジタル・ハイパス伝達関数の特性を次の式に従って制御します。 $y(n) = 2^k / (2^k + 1) [x(n) - x(n-1) + y(n-1)]$ (表3を参照)
25[9:0]	0x19[9:0]	0	OFFSET_CH8	チャンネル8のコードから減算する値
25[15:11]	0x19[15:11]	0	DIGITAL_GAIN_CH8	0dB～6dB(0.2dBステップ)
27[9:0]	0x1B[9:0]	0	OFFSET_CH7	チャンネル7のコードから減算する値
27[15:11]	0x1B[15:11]	0	DIGITAL_GAIN_CH7	0dB～6dB(0.2dBステップ)
29[9:0]	0x1D[9:0]	0	OFFSET_CH6	チャンネル6のコードから減算する値
29[15:11]	0x1D[15:11]	0	DIGITAL_GAIN_CH6	0dB～6dB(0.2dBステップ)
31[9:0]	0x1F[9:0]	0	OFFSET_CH5	チャンネル5のコードから減算する値
31[15:11]	0x1F[15:11]	0	DIGITAL_GAIN_CH5	0dB～6dB(0.2dBステップ)
33[0]	0x21[0]	0	DIGITAL_HPF_FILTER_ENABLE_CH5-8	0：デジタルHPFフィルタをディスエーブル 1：5～8チャンネルに対してイネーブル
33[4:1]	0x21[4:1]	0	DIGITAL_HPF_FILTER_K_CH5-8	ハイパス・フィルタのKを設定(Kは2～4、0010B～0100B)。この4レジスタのグループは、出力データに適用されるデジタル・ハイパス伝達関数の特性を次の式に従って制御します。 $y(n) = 2^k / (2^k + 1) [x(n) - x(n-1) + y(n-1)]$ (表3を参照)

表 2. ADCレジスタ・マップ

AFE5808のADCレジスタ/デジタル処理の説明

AFE5808内のADCには、さまざまなデジタル処理機能が搭載され、超音波システムの性能向上に役立ちます。デジタル処理ブロックは、図62のように構成されています。

AVERAGING_ENABLE : アドレス : 2[11]

1に設定すると、2つの連続したチャンネル(チャンネル1と2、チャンネル3と4、チャンネル5と6、チャンネル7と8)に対応した2つのサンプルが平均化されます。両方のチャンネルの入力が同じである場合は、実効的にSNRが向上します。平均化は次のように行われます。

- チャンネル1 + チャンネル2をチャンネル3に出力
- チャンネル3 + チャンネル4をチャンネル4に出力
- チャンネル5 + チャンネル6をチャンネル5に出力
- チャンネル7 + チャンネル8をチャンネル6に出力

ADC_OUTPUT_FORMAT : アドレス : 4[3]

デフォルトでは、ADC出力は2の補数モードになります。ADC_OUTPUT_FORMATビットを1にプログラミングすると、MSBが反転し、出力はストレート・オフセット・バイナリ・モードになります。

DIGITAL_GAIN_ENABLE : アドレス : 3[12]

このビットを1に設定すると、各チャンネル*i*について、対応するゲインがDIGITAL_GAIN_CHi<15:11>で与えられます。実際のゲインは、0dB + 0.2dB × DIGITAL_GAIN_CHi<15:11>となります。例えば、DIGITAL_GAIN_CH5<15:11> = 3の場合は、チャンネル5のゲインが0.6dB増加します。DIGITAL_GAIN_CHi<15:11> = 31の場合は、DIGITAL_GAIN_CHi<15:11> = 30と同じ結果となり、チャンネル*i*のゲインが6dBに設定されます。

DIGITAL_HPF_ENABLE

- CH1-4 : アドレス21[0]
- CH5-8 : アドレス33[0]

DIGITAL_HPF_FILTER_K_CHX

- CH1-4 : アドレス21[4:1]
- CH5-8 : アドレス3[4:1]

このレジスタのグループは、出力データに適用されるデジタル・ハイパス伝達関数の特性を式(1)に従って制御します。

$$y(n) = \frac{2^k}{2^k + 1} [x(n) - x(n-1) + y(n-1)] \quad (1)$$

これらのデジタルHPFレジスタ(最初の4チャンネルに対して1つ、次の4チャンネルに対して1つ)は、Kの設定を保持します。デジタル・ハイパス・フィルタを使用して、超音波エコー信号によく見られる低周波ノイズを抑制できます。このデジタル・フィルタは、T/Rスイッチの低周波応答によって、ニア・フィールドの回復時間を大きく向上させます。表3に、カットオフ周波数とKの関係を示します。

k	40 MSPS	50 MSPS	65 MSPS
2	2780 kHz	3480 kHz	4520 kHz
3	1490 kHz	1860 kHz	2420 kHz
4	770 kHz	960 kHz	1250 kHz

表3. KおよびFsに対応したデジタルHPFの-1dBコーナー周波数

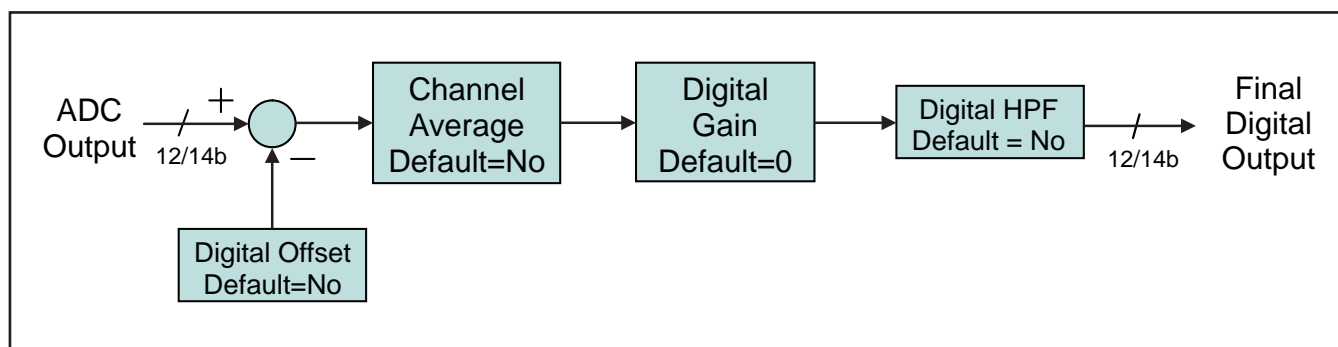


図 62. ADCデジタル・ブロック図

LOW_FREQUENCY_NOISE_SUPPRESSION : アドレス : 1[11]

低周波ノイズ抑制モードは、0MHz~1MHz(DC付近)の周波数帯で良好なノイズ特性が求められるようなアプリケーションで特に有用です。このモードを設定すると、AFE5808の低周波ノイズが約 $F_s/2$ までシフトされ、DC付近のノイズ・フロアがずっと低い値へと移動します。この機能は、レジスタ・ビット1[11]を使用してイネーブルまたはディスエーブルにできます。この機能をイネーブルにすると、デバイスの消費電力が約1mW/CHだけわずかに増加します。

LVDS_OUTPUT_RATE_2X : アドレス : 1[14]

出力データは常にDDR形式を使用し、LVDSビット・クロック(DCLK)の立ち上がりおよび立ち下がりエッジで、有効な異なるビットが出力されます。出力レートはデフォルトで1X(LVDS_OUTPUT_RATE_2X = 0)に設定され、各ADCに1つのLVDSストリームが関連付けられます。サンプリング・レートが十分に低い場合は、2つのADCが1つのLVDSストリームを共有します。それにより、インターフェイスへの消費電力が低減されます。未使用の出力では、ゼロが出力されます。これらの出力からの電力消費を避けるため、未使用出力への終端接続は不要です。使用する出力ペアの振り分けは、次のように行われます。

- チャンネル1とチャンネル2をチャンネル3に出力します。チャンネル1が最初に出力されます。
- チャンネル3とチャンネル4をチャンネル4に出力します。チャンネル3が最初に出力されます。
- チャンネル5とチャンネル6をチャンネル5に出力します。チャンネル5が最初に出力されます。
- チャンネル7とチャンネル8をチャンネル6に出力します。チャンネル7が最初に出力されます。

CHANNEL_OFFSET_SUBTRACTION_ENABLE : アドレス : 3[8]

このビットを1に設定すると、対応するOFFSET_CHx<9:0>(チャンネルiのオフセット)の値がADC出力から減算されます。数値は2の補数形式で指定されます。例えば、OFFSET_CHx<9:0> = 11 1000 0000の場合は、-128を減算することを意味します。OFFSET_CHx<9:0> = 00 0111 1111の場合は、127が減算されます。実際には、加算と減算の両方を実行できます。オフセットはデジタル・ゲイン(DIGITAL_GAIN_ENABLEを参照)よりも前に適用されることに注意してください。内部ではデータ・パス全体が2の補数であり、デジタル・ゲインは最後のステップです。DFS = 1(ストレート・バイナリ・オフセット形式)の場合のみ、2の補数のワードが最後にオフセット・バイナリに変換されます。

SERIALIZED_DATA_RATE : アドレス : 3[14:13]

詳細については、表1を参照してください。

TEST_PATTERN_MODES : アドレス : 2[15:13]

AFE5808は、LVDS出力上で各種のテスト・パターンを出力できます。これらのテスト・パターンは、通常のADCデータ出力の代わりに出力されます。また、6つのプリセット・パターンを出力させることもできます。

1. ランプ : レジスタ2[15:13]を111に設定すると、すべてのチャンネルで、繰り返しフルスケール・ランプ・パターンが出力されます。このパターンは、ゼロ・コードからフルスケール・コードまで、クロック・サイクル毎に1LSB単位で上昇します。フルスケール・コードに達すると、ゼロ・コードに戻って再び上昇を開始します。
2. オール0 : レジスタ2[15:13]を110に設定することで、オール0を出力するようデバイスをプログラミングできます。
3. オール1 : レジスタ2[15:13]を100に設定することで、オール1を出力するようデバイスをプログラミングできます。
4. デスキュー・パターン : 2[15:13] = 010に設定します。このモードでは、14ビットADC出力がワード"01010101010101"で置き換えられます。
5. 同期パターン : 2[15:13] = 001のとき、通常のADC出力が固定ワード"11111110000000"で置き換えられます。
6. トグル : 2[15:13] = 101のとき、通常のADC出力が1と0を交互に繰り返します。ADCワードの開始状態は1または0のいずれかです。
7. カスタム・パターン : 2[15:13] = 011に設定します。レジスタ・ビット<CUSTOM_PATTERN>(レジスタ5[13:0])にユーザーが必要な値を書き込むことができます。それによってデバイスは、SCLKの24回目の立ち上がりエッジからADCクロックの3~4サイクル後に、その値を出力します。したがって、1つの値を書き込むのに要する時間は、24 SCLKクロック・サイクル + 4 ADCクロック・サイクルです。カスタム・パターン値を変更するには、新しい値でレジスタ5[13:0]の書き込みを繰り返します。SPIの速度制限により、カスタム・パターンの更新レートは低くなる可能性があります。例えば、128ポイントのカスタム・パターンには約 $128 \times (24 \text{ SCLKクロック・サイクル} + 4 \text{ ADCクロック・サイクル})$ の時間がかかります。

注 : 上記のうち、一度にいずれか1つのパターンのみをアクティブにできます。

VCAレジスタ・マップ

アドレス (10進)	アドレス (16進)	デフォ ルト値	機 能	説 明
51[0]	0x33[0]	0	RESERVED	0
51[3:1]	0x33[3:1]	0	LPF_PROGRAMMABILITY	000: 15MHz, 010: 20MHz, 011: 30MHz, 100: 10MHz
51[4]	0x33[4]	0	PGA_INTEGRATOR_DISABLE (PGA_HPF_DISABLE)	0: イネーブル 1: PGAのオフセット積分器をディスエーブル。 「アプリケーション情報」でPGA積分器機能の説明を参照してください。
51[6:5]	0x33[6:5]	0	PGA_CLAMP_LEVEL	00: -2dBFS; 10: 0dBFS; 01: -4dBFS(51[7] = 0のとき) 注: クランプ回路によって、PGA出力は線形範囲に保持されます。 例えば、00に設定した場合、-2dBFSのADC入力でのPGA出力HD3が3dBだけ低下します。通常動作時は、クランプ機能を00に設定できます。
51[7]	0x33[7]	0	PGA_CLAMP_DISABLE	0: PGAクランプ回路をイネーブル 1: PGA出力でPGAクランプ回路をディスエーブル。クランプ出力レベルは51[6:5]によって決定されます。
51[13]	0x33[13]	0	PGA_GAIN_CONTROL	0: 24dB; 1: 30dB
52[4:0]	0x34[4:0]	0	ACTIVE_TERMINATION_ INDIVIDUAL_RESISTOR_CNTRL	表6を参照。これらのビットにアクセスするには、レジスタ52[5]を1に設定する必要があります。
52[5]	0x34[5]	0	ACTIVE_TERMINATION_ INDIVIDUAL_RESISTOR_ENABLE	0: ディスエーブル 1: 内部アクティブ終端の個別抵抗制御をイネーブル
52[7:6]	0x34[7:6]	0	PRESET_ACTIVE_ TERMINATIONS	00: 50Ω, 01: 100Ω, 10: 200Ω, 11: 400Ω (注: デバイスは抵抗マッピング(52[4:0])を自動的に調整します。 12dBのLNA設定では、50Ωのアクティブ終端がサポートされません。 LNAゲインが12dBのときは、00はハイ・インピーダンス・モードを表します)。
52[8]	0x34[8]	0	ACTIVE_TERMINATION_ENABLE	0: ディスエーブル 1: アクティブ終端をイネーブル
52[10:9]	0x34[10:9]	0	LNA_INPUT_CLAMP_SETTING	00: 自動設定(ほとんどの場合に推奨。クランプ・レベルをLNAゲインに応じて自動的に設定できます。 LNA = 24dBのときは350mVpp、LNA = 18dBのときは600mVpp、 LNA = 12dBのときは1.15Vppです) 01: 1.5Vpp, 10: 1.15Vpp, 11: 0.6Vpp
52[11]	0x34[11]	0	RESERVED	0に設定
52[12]	0x34[12]	0	LNA_INTEGRATOR_DISABLE (LNA_HPF_DISABLE)	0: イネーブル 1: LNAのオフセット積分器をディスエーブル。この機能については後述の説明を参照してください。
52[14:13]	0x34[14:13]	0	LNA_GAIN	00: 18dB; 01: 24dB; 10: 12dB; 11: 予約済み
52[15]	0x34[15]	0	LNA_INDIVIDUAL_CH_CNTRL	0: ディスエーブル 1: LNAの個別チャネル制御をイネーブル。詳細については、レジスタ57を参照してください。

表 4. VCAレジスタ・マップ

アドレス (10進)	アドレス (16進)	デフォ ルト値	機 能	説 明
53[7:0]	0x35[7:0]	0	PDN_CH<7:0>	0：通常動作 1：対応するチャネルをパワーダウン。 ビット7→CH8、ビット6→CH7、... ビット0→CH1。 PDN_CHは、TGCモードまたはCWモードに応じて、アクティブな ブロックをシャットダウンします。
53[8]	0x35[8]	0	RESERVED	0に設定
53[9]	0x35[9]	0	RESERVED	0に設定
53[10]	0x35[10]	0	LOW_POWER	0：低ノイズ・モード 1：低電力モードに設定(53[11] = 0)。PGAが30dBの場合は、合計 のチェーン・ゲインがわずかに変化する場合があります。 標準的特性を参照してください。
53[11]	0x35[11]	0	MED_POWER	0：低ノイズ・モード 1：中電力モードに設定(53[10] = 0)。PGAが30dBの場合は、合計 のチェーン・ゲインがわずかに変化する場合があります。 標準的特性を参照してください。
53[12]	0x35[12]	0	PDN_VCAT_PGA	0：通常動作 1：VCAT(電圧制御アッテネータ)およびPGAをパワーダウン
53[13]	0x35[13]	0	PDN_LNA	0：通常動作 1：LNAのみをパワーダウン
53[14]	0x35[14]	0	VCA_PARTIAL_PDN	0：通常動作 1：LNA、VCAT、PGAを部分的にパワーダウン (高速ウェイクアップ)
53[15]	0x35[15]	0	VCA_COMPLETE_PDN	0：通常動作 1：LNA、VCAT、PGAを完全にパワーダウン(低速ウェイクアップ)。 このビットは、53[14]を上書きします。
54[4:0]	0x36[4:0]	0	CW_SUM_AMP_GAIN_CNTL	後掲の表6に従ってCWアンプの帰還抵抗を選択します。
54[5]	0x36[5]	0	CW_16X_CLK_SEL	0：差動クロックを使用 1：CMOSクロックを使用
54[6]	0x36[6]	0	CW_1X_CLK_SEL	0：CMOSクロックを使用 1：差動クロックを使用
54[7]	0x36[7]	0	RESERVED	0に設定
54[8]	0x36[8]	0	CW_TGC_SEL	0：TGCモード 1：CWモード 注：CWモードでは、VCATとPGAが引き続き動作しています。これ らは、53[12]を使用して個別にパワーダウンする必要があります。
54[9]	0x36[9]	0	CW_SUM_AMP_ENABLE	0：CW加算アンプをイネーブル 1：CW加算アンプをディスエーブル Note: 54[9] is only effective in CW mode.
54[11:10]	0x36[11:1 0]	0	CW_CLK_MODE_SEL	00：16Xモード 01：8Xモード 10：4Xモード 11：1Xモード
55[3:0]	0x37[3:0]	0	CH1_CW_MIXER_PHASE	0000→1111、16の異なる位相遅延、表9を参照
55[7:4]	0x37[7:4]	0	CH2_CW_MIXER_PHASE	
55[11:8]	0x37[11:8]	0	CH3_CW_MIXER_PHASE	
55[15:12]	0x37[15:1 2]	0	CH4_CW_MIXER_PHASE	
56[3:0]	0x38[3:0]	0	CH5_CW_MIXER_PHASE	
56[7:4]	0x38[7:4]	0	CH6_CW_MIXER_PHASE	
56[11:8]	0x38[11:8]	0	CH7_CW_MIXER_PHASE	
56[15:12]	0x38[15:1 2]	0	CH8_CW_MIXER_PHASE	

表 4. VCAレジスタ・マップ

アドレス (10進)	アドレス (16進)	デフォルト値	機能	説明
57[1:0]	0x39[1:0]	0	CH1_LNA_GAIN_CNTL	00: 18dB; 01: 24dB; 10: 12dB; 11: 予約済み REG52[15]を1に設定する必要があります。
57[3:2]	0x39[3:2]	0	CH2_LNA_GAIN_CNTL	
57[5:4]	0x39[5:4]	0	CH3_LNA_GAIN_CNTL	
57[7:6]	0x39[7:6]	0	CH4_LNA_GAIN_CNTL	
57[9:8]	0x39[9:8]	0	CH5_LNA_GAIN_CNTL	
57[11:10]	0x39[11:10]	0	CH6_LNA_GAIN_CNTL	
57[13:12]	0x39[13:12]	0	CH7_LNA_GAIN_CNTL	
57[15:14]	0x39[15:14]	0	CH8_LNA_GAIN_CNTL	
59[3:2]	0x3B[3:2]	0	HPF_LNA	00: 100KHz; 01: 50KHz; 10: 200KHz; 11: 150KHz (INMxに0.015μF)
59[6:4]	0x3B[6:4]	0	DIG_TGC_ATT_GAIN	000: 0dBの減衰 001: 6dBの減衰 N: 約N×6dBの減衰 (59[7] = 1のとき)
59[7]	0x3B[7]	0	DIG_TGC_ATT	0: デジタルTGCアッテネータをディスエーブル 1: デジタルTGCアッテネータをイネーブル
59[8]	0x3B[8]	0	CW_SUM_AMP_PDN	0: パワーダウン 1: 通常動作 Note: 59[8] is only effective in TGC test mode.
59[9]	0x3B[9]	0	PGA_TEST_MODE	0: 通常のCW動作 1: PGA出力をCW出力に使用

表 4. VCAレジスタ・マップ

AFE5808のVCAレジスタの説明

LNA入力インピーダンスの設定 (アクティブ終端のプログラミング)

レジスタ52[4:0]を使用して、異なるLNA入力インピーダンスを設定できます。LNA出力とACT_xピンの間の帰還抵抗をイネーブルおよびディスエーブルにすることで、LNAの入力インピーダンスを調整可能です。表5に、LNAゲインと52[4:0]の設定値との関係を示します。入力インピーダンスの設定は、TGCとCWのどちらのパスに対しても同じです。

また、52[7:6]に示されるように、AFE5808には4つのプリセットされたアクティブ終端インピーダンスがあります。内部デコーダを使用して、異なるLNAゲインに対応する適切な抵抗を選択できます。

52[4:0]/0x34[4:0]	機能
00000	帰還抵抗はすべてディスエーブル
00001	450Ωの帰還抵抗をイネーブル
00010	900Ωの帰還抵抗をイネーブル
00100	1800Ωの帰還抵抗をイネーブル
01000	3600Ωの帰還抵抗をイネーブル
10000	4500Ωの帰還抵抗をイネーブル

表 5. レジスタ52[4:0]の説明

52[4:0]/0x34[4:0]	00000	00001	00010	00011	00100	00101	00110	00111
LNA:12dB	High Z	150 Ω	300 Ω	100 Ω	600 Ω	120 Ω	200 Ω	86 Ω
LNA:18dB	High Z	90 Ω	180 Ω	60 Ω	360 Ω	72 Ω	120 Ω	51 Ω
LNA:24dB	High Z	50 Ω	100 Ω	33 Ω	200 Ω	40 Ω	66.67 Ω	29 Ω
52[4:0]/0x34[4:0]	01000	01001	01010	01011	01100	01101	01110	01111
LNA:12dB	1200 Ω	133 Ω	240 Ω	92 Ω	400 Ω	109 Ω	171 Ω	80 Ω
LNA:18dB	720 Ω	80 Ω	144 Ω	55 Ω	240 Ω	65 Ω	103 Ω	48 Ω
LNA:24dB	400 Ω	44 Ω	80 Ω	31 Ω	133 Ω	36 Ω	57 Ω	27 Ω
52[4:0]/0x34[4:0]	10000	10001	10010	10011	10100	10101	10110	10111
LNA:12dB	1500 Ω	136 Ω	250 Ω	94 Ω	429 Ω	111 Ω	176 Ω	81 Ω
LNA:18dB	900 Ω	82 Ω	150 Ω	56 Ω	257 Ω	67 Ω	106 Ω	49 Ω
LNA:24dB	500 Ω	45 Ω	83 Ω	31 Ω	143 Ω	37 Ω	59 Ω	27 Ω
52[4:0]/0x34[4:0]	11000	11001	11010	11011	11100	11101	11110	11111
LNA:12dB	667 Ω	122 Ω	207 Ω	87 Ω	316 Ω	102 Ω	154 Ω	76 Ω
LNA:18dB	400 Ω	73 Ω	124 Ω	52 Ω	189 Ω	61 Ω	92 Ω	46 Ω
LNA:24dB	222 Ω	41 Ω	69 Ω	29 Ω	105 Ω	34 Ω	51 Ω	25 Ω

表 6. レジスタ52[4:0]とLNA入力インピーダンスの関係

CW加算アンプのプログラマブル・ゲイン

レジスタ54[4:0]を使用し、CW加算アンプに対して異なるゲインを設定できます。加算アンプの入力と出力の間の帰還抵抗をイネーブルおよびディスエーブルにすることで、CWパスのダイナミック・レンジが最大になるようにゲインを調整可能です。表7に、加算アンプのゲインと54[4:0]の設定値との関係を示します。

54[4:0]/0x36[4:0]	機能
00000	帰還抵抗なし
00001	250Ωの帰還抵抗をイネーブル
00010	250Ωの帰還抵抗をイネーブル
00100	500Ωの帰還抵抗をイネーブル
01000	1000Ωの帰還抵抗をイネーブル
10000	2000Ωの帰還抵抗をイネーブル

表 7. レジスタ54[4:0]の説明

CWミキサのプログラマブル位相遅延

各チャネルの位相遅延を調整することで、正確なCWビーム形成を実現できます。AFE5808では、各LNA出力に16の異なる位相遅延を適用できます。これは、一般的な超音波ビームフォーマの標準要件(1/16λのビームフォーマ分解能)を満足します。表7に、位相遅延とレジスタ55および56の設定値との関係を示します。

54[4:0]/0x36[4:0]	00000	00001	00010	00011	00100	00101	00110	00111
CW I/V Gain	N/A	0.50	0.50	0.25	1.00	0.33	0.33	0.20
54[4:0]/0x36[4:0]	01000	01001	01010	01011	01100	01101	01110	01111
CW I/V Gain	2.00	0.40	0.40	0.22	0.67	0.29	0.29	0.18
54[4:0]/0x36[4:0]	10000	10001	10010	10011	10100	10101	10110	10111
CW I/V Gain	4.00	0.44	0.44	0.24	0.80	0.31	0.31	0.19
54[4:0]/0x36[4:0]	11000	11001	11010	11011	11100	11101	11110	11111
CW I/V Gain	1.33	0.36	0.36	0.21	0.57	0.27	0.27	0.17

表 8. レジスタ54[4:0]と加算アンプ・ゲインの関係

CHX_CW_MIXER_PHASE	0000	0001	0010	0011	0100	0101	0110	0111
PHASE SHIFT	0	22.5°	45°	67.5°	90°	112.5°	135°	157.5°
CHX_CW_MIXER_PHASE	1000	1001	1010	1011	1100	1101	1110	1111
PHASE SHIFT	180°	202.5°	225°	247.5°	270°	292.5°	315°	337.5°

表 9. CWミキサの位相遅延とレジスタ設定

CH1-55[3:0], CH2-55[7:4], CH3-55[11:8], CH4-55[15:12], CH5-56[3:0], CH6-56[7:4], CH7-56[11:8], CH8-56[15:12],

動作原理

AFE5808の概要

AFE5808は、高性能と小サイズが要求される超音波システム向けに設計された高集積アナログ・フロントエンド (AFE) ソリューションです。AFE5808は、完全な時間ゲイン制御 (TGC) イメージング・パスと、連続波ドップラー (CWD) パスを統合しています。また、電力/ノイズ特性の適切な組み合わせを選択することで、システム性能を最適化できます。AFE5808は8チャンネルから構成され、各チャンネルが低ノイズ・アンプ (LNA)、電圧制御アッテネータ (VCAT)、プログラマブル・ゲイン・アンプ (PGA)、ローパス・フィルタ (LPF)、14ビットA/Dコンバータ (ADC)、およびCWタイマを搭載しています。

また、AFE5808は、アクティブ終端、個別のチャンネル制御、高速パワーアップ/パワーダウン応答、プログラミング可能なクランプ電圧制御、高速で安定した過負荷回復など、超音波アプリケーションに最適な各種の機能を備えています。それにより、AFE5808は、超小型のハンドヘルド・システムからハイエンドの超音波システムに至るまで、あらゆるシステムに対して優れたイメージ品質を実現します。図63に、単純化した機能ブロック図を示します。

低ノイズ・アンプ (LNA)

多くの高ゲイン・システムでは、システム全体の性能向上のために低ノイズ・アンプが不可欠です。AFE5808のLNAは、新しい独自のアーキテクチャを採用することにより、抜群の低ノイズ性能を実現するとともに、同様なノイズ性能を持つCMOSベースのアーキテクチャと比較して、非常に低い静止電流で動作します。LNAは、シングルエンド入力から差

動出力電圧への変換を行います。24/18/12dBのゲインをプログラミング可能であり、入力基準ノイズはそれぞれわずかに0.63/0.70/0.9nV/ $\sqrt{\text{Hz}}$ です。プログラマブルなゲイン設定により、最大1Vppまでの直線入力範囲を柔軟に設定でき、新しいトランスデューサ技術で要求される高い信号処理能力を実現します。より大きな信号も入力可能ですが、LNAの直線動作領域を超えるため信号が歪む可能性があります。低ノイズと高入力範囲の組み合わせにより、各種の超音波イメージング・モードでの高い要求をサポートする幅広い入力ダイナミック・レンジが得られます。

LNA入力は内部で約+2.4 Vにバイアスされています。信号源は、適切な値のコンデンサ (0.1 μF 以上) によってLNA入力にAC結合する必要があります。低いDCオフセット・ドリフトを実現するため、AFE5808には各アンプ段に対してDCオフセット補正回路が内蔵されています。過負荷回復を向上させるため、積分器回路を使用して、LNAのDC成分を抽出した後、LNAの相補入りに帰還させてDCオフセット補正を行います。このDCオフセット補正回路は、高域通過応答特性を持つため、ハイパス・フィルタとして扱うことができます。実効コーナー周波数は、INMに接続されるコンデンサ C_{BYPASS} によって決定されます。このコンデンサが大きいくほど、コーナー周波数が低くなります。最大のHPフィルタ・カットオフ周波数で安定動作させるために、15nF以上のコンデンサを選択します。このコーナー周波数は、 C_{BYPASS} の値とほぼ直線的な関係を持ちます。例えば、15nFではコーナー周波数が約100kHzとなり、47nFでは実効コーナー周波数が33kHzとなります。DCオフセット補正回路は、レジスタ52[12]でディスエーブル/イネーブルを切り替え可能です。

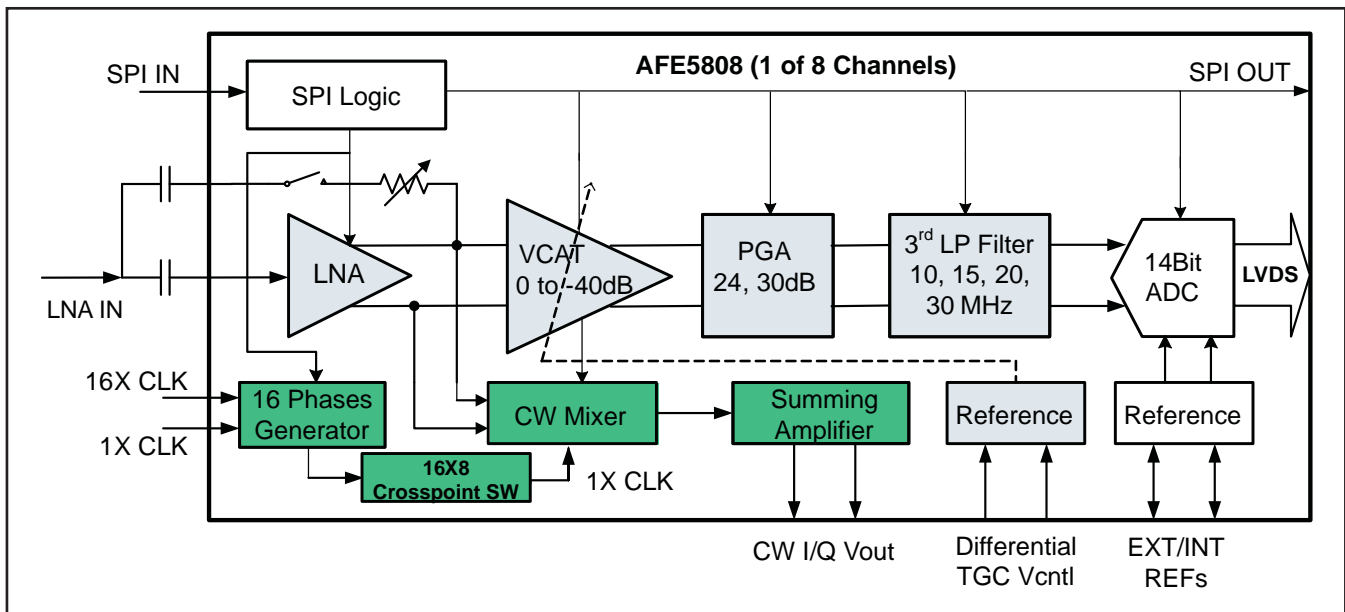


図 63. 機能ブロック図

AFE5808は、パッシブまたはアクティブに終端できます。 mismatchによる反射を減らし、ノイズ指数をあまり劣化させずに軸方向の分解能を向上させるために、超音波アプリケーションではアクティブ終端が推奨されます。アクティブ終端値は50、100、200、400Ωにプリセットできます。レジスタ52[4:0]を使用すれば、他の値もプログラミングできます。図64に示すように、ACTxと信号源の間には帰還コンデンサが必要です。アクティブ終端パスでは、AFE5808に過負荷信号が印加された場合に低インピーダンスのパスを提供するために、クランプ回路も使用されます。このクランプ回路は、LNA入力での大きな入力信号を制限し、AFE5808の過負荷回復性能を向上させます。クランプレベルは、レジスタ52[10:9] = 0のとき、LNAゲイン設定に応じて350mV_{PP}、600mV_{PP}、または1.15V_{PP}に自動的に設定されます。レジスタ52[10:9]を設定することで、1.15V_{PP}、0.6V_{PP}、1.5V_{PP}など、他のクランプ電圧も実現可能です。また、このクランプ回路は、優れたパルス反転性能が得られ、非対称入力からの影響を軽減するよう設計されています。

電圧制御アッテネータ

電圧制御アッテネータは、図65に示すように、dBリニアな減衰特性を持つよう設計されています。つまり、制御電圧(VCNTL)のそれぞれ等しい増分毎にdB単位の平均ゲイン低下(図2を参照)が一定となります。差動制御構造を使用して、同相モード・ノイズを低減しています。アッテネータの構造の概略図を図65および図66に示します。

このアッテネータは基本的に可変分圧回路であり、直列入力抵抗(R_S)と、並列に配置された7個のシャントFETから構成さ

れ、シーケンシャルにアクティブ化されるクリップ・アンプ(A1~A7)によって制御されます。VCNTLは、VCNTLPとVCNTLMの間の実効電圧差です。各クリップ・アンプは、ソフトな転送特性と適切に制御された出力制限電圧を持つ特別な電圧コンパレータと考えることができます。リファレンス電圧V1~V7は、0V~1.5Vの制御電圧範囲にわたって等間隔に配置されています。制御電圧が各クリップ・アンプの入力範囲内を上昇すると、アンプ出力は、FETがほぼオフのときの電圧から、FETが完全にオンのときのV_{HIGH}まで上昇します。各FETがオン状態に近づき、制御電圧が引き続き上昇すると、次のクリップ・アンプ/FETのペアが、区分的直線減衰特性の次の区間を引き継ぎます。このように、低い制御電圧ではほとんどのFETがオフであり、最小の信号減衰が得られます。同様に、高い制御電圧ではFETがオンになり、最大の信号減衰が得られます。したがって、各FETは、R_Sと並列FET回路によって形成される分圧回路のシャント抵抗を減少させるように動作します。

また、AFE5808の位相ノイズ特性を向上させるため、デジタル制御のTGCモードが実装されています。アッテネータは、アナログ制御電圧VCNTLの代わりに、デジタルで制御できます。このモードは、レジスタ・ビット59[7]を使用して設定できます。可変分圧回路は、固定直列抵抗と、シャント抵抗としてのFETによって実装されています。各FETは、スイッチSW1~7を接続することでオンにできます。各スイッチをオンにすることで、約6dBの減衰が得られます。これは、レジスタ・ビット59[6:4]によって制御できます。このデジタル制御機能によって、VCNTL回路からノイズが除去され、TGCパスのSNRおよび位相ノイズ特性が向上します。

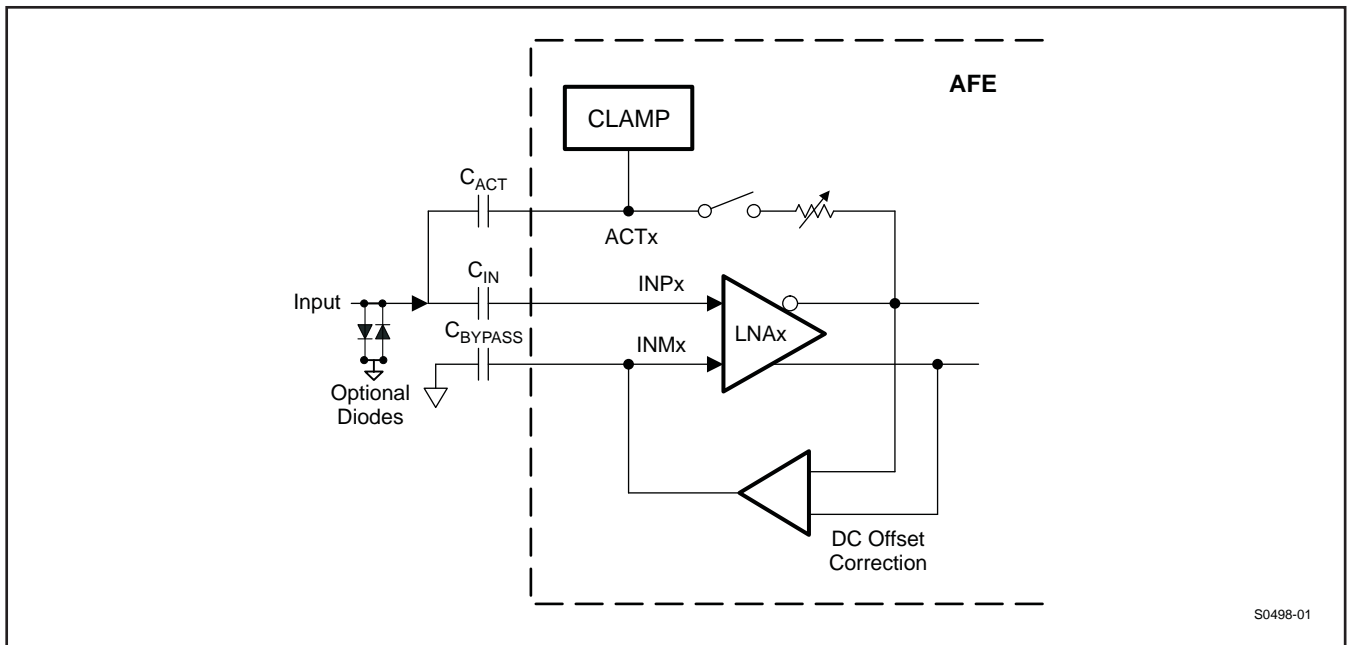


図 64. DCオフセット補正回路を備えたAFE5808のLNA

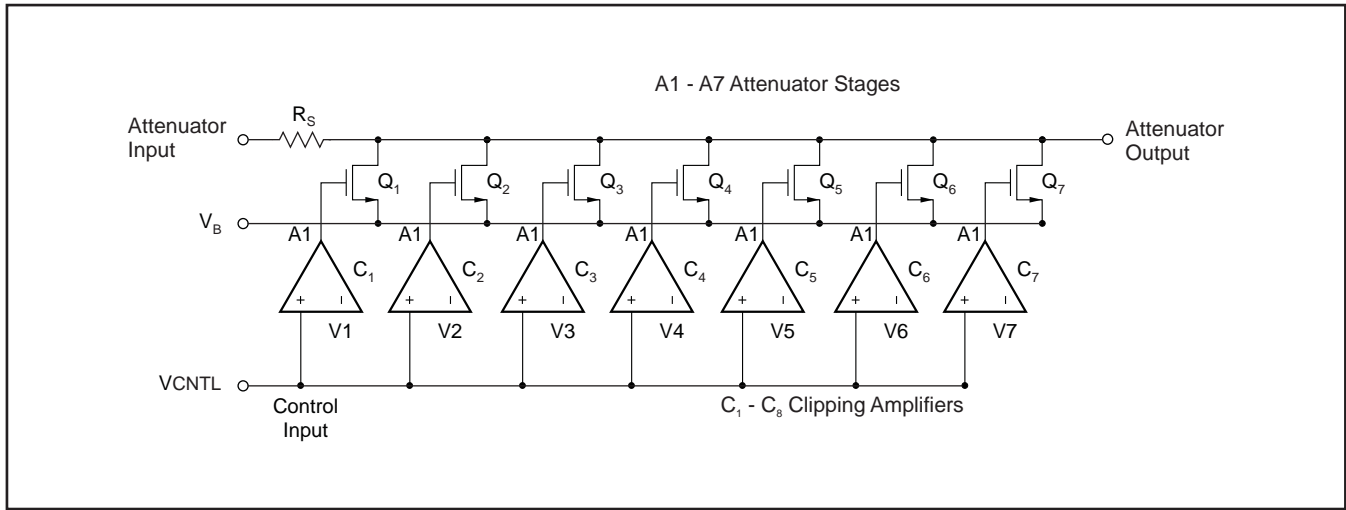


図 65. 電圧制御アッテネータの概略図(アナログ構造)

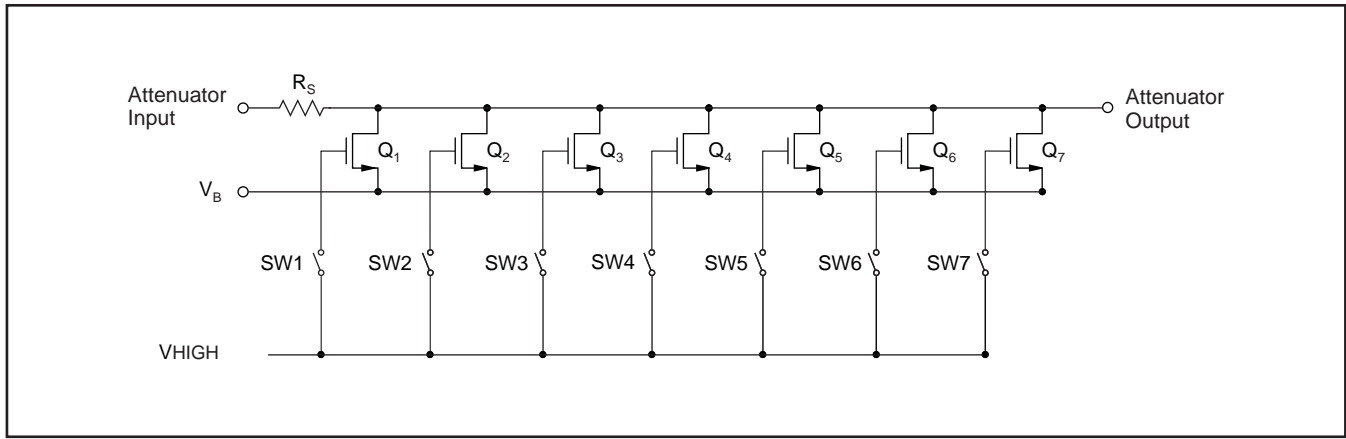


図 66. 電圧制御アッテネータの概略図(デジタル構造)

電圧制御アッテネータのノイズは、減衰係数に対して単調な関係に従います。減衰が大きいと入力基準ノイズが増加し、減衰が小さいと減少します。アッテネータのノイズはPGAによって増幅され、ADC入力ノイズ・フロアとなります。アッテネータの高減衰動作範囲内(つまり、VCNTLが高い場合)では、アッテネータの入力ノイズがLNAの出力ノイズを超える場合があります。その場合、アッテネータは、後続のPGA段およびADCに対して支配的なノイズ源となります。したがって、アッテネータのノイズは、LNA出力ノイズと比較して最小限に抑える必要があります。AFE5808のアッテネータは、高減衰時(低チャネル・ゲイン)でも非常に低ノイズとなり、ニア・フィールドで優れたSNRを実現するよう設計されています。さまざまな減衰値に対する入力基準ノイズを次の表に示します。

減衰 (dB)	アッテネータの入力基準ノイズ (nV/rtHz)
-40	10.5
-36	10
-30	9
-24	8.5
-18	6
-12	4
-6	3
0	2

表 10. 電圧制御アッテネータのノイズ 対 減衰

プログラマブル・ゲイン・アンプ(PGA)

電圧制御アッテネータに続いて、プログラマブル・ゲイン・アンプを24dBまたは30dBに設定できます。入力基準ノイズは1.75nV/rtHzで一定です。PGA構造は、プログラミング可能なゲインを持つ差動電圧/電流コンバータ、クランプ回路、プログラミング可能なローパス・フィルタを持つインピーダンス変換アンプ、およびDCオフセット補正回路から構成されます。下に概略ブロック図を示します

PGAでは常に低い入力ノイズが推奨され、そのノイズ寄与によってアッテネータ後にADC SNRが大きく劣化しすぎないようにする必要があります。減衰が最小(小入力信号で使用)の場合は、LNAのノイズが支配的となり、減衰が最大(大入力信号で使用)の場合は、PGAとADCのノイズが支配的となります。したがって、増幅後の信号がADCのノイズ・フロアを上回る可能性があれば、PGAのゲインを24dBに設定するとSNRが向上します。

PGAのクランプ回路をイネーブル(レジスタ51)にすると、AFEの過負荷回復性能を向上できます。過負荷の直後に出力の標準偏差を測定した場合、0.5VのVCNTLに対して、通常の場合は約3.2LSBとなります(過負荷から約1クロック・サイクル後に出力が安定します)。クランプをディスエーブルにすると、値は4LSBに近づき、出力が安定するまでの時間が長くなります。ただし、クランプをイネーブルにすると、PGAの出力レベルが-2dBFSを超える場合に、HD3に劣化が見られます。例えば、出力レベルが-2dBFSでは、HD3が約3dB劣化します。

AFE5808は、インピーダンス変換アンプ内にプログラマブル・ローパス・フィルタ(LPF)という形でアンチエイリアシング・フィルタを備えています。このLPFは、差動のアクティブ3次フィルタとして設計され、標準の減衰傾度は18dB/オクターブです。-1dBコーナー周波数は、シリアル・インターフェイスを使用して10MHz、15MHz、20MHz、30MHzにプログラミングできます。フィルタ帯域幅は全チャンネルに対して同時に設定されます。

PGAには、選択可能なDCオフセット補正回路も実装されています。この補正回路は、LNAで使用されているものと似ています。PGA出力のDC成分を抽出して、PGAの相補入力に帰還させることで、DCオフセット補正を行います。また、このDCオフセット補正回路は、カットオフ周波数が80kHzの高域通過応答を持ちます。

A/Dコンバータ

AFE5808のA/Dコンバータ(ADC)は、マルチビットとシングルビットの内部ステージを組み合わせたパイプライン型コンバータ・アーキテクチャを採用しています。各ステージがデジタル誤差補正ロジックにデータを供給することで、優れた差動直線性と14ビット・レベルのノー・ミッシング・コード性能を実現します。各チャンネルから得られた14ビットはシリアル化され、1対のピンからLVDS形式で送信されます。AFE5808の8チャンネルはすべて、共通の入力クロック(CLKP/M)で動作します。8チャンネルそれぞれのサンプリング・クロックは、慎重にマッチングされたクロック・バッファ・ツリーを使用して入力クロックから生成されます。シリアライザに必要な14xクロックは、CLKP/Mピンから内部で生成されます。データのキャプチャを容易にするため、データとともに7xおよび1xのクロックもLVDS形式で出力されます。AFE5808は、デバイス間のゲイン・マッチングが向上するよう調整された、内部生成リファレンス電圧によって動作します。REFPおよびREFMの公称値は、それぞれ1.5Vおよび0.5Vです。また、デバイスは外部リファレンス・モードもサポートし、シリアル・インターフェイスを使用してイネーブルにできます。

シリアル化されたLVDS送信の使用には、複数の利点があります。例えば、出力ピンの本数が減り(基板上の配線スペース削減)、消費電力が低減され、AFE5808内部のアナログ回路に対するデジタル・ノイズ結合の影響が小さくなります。

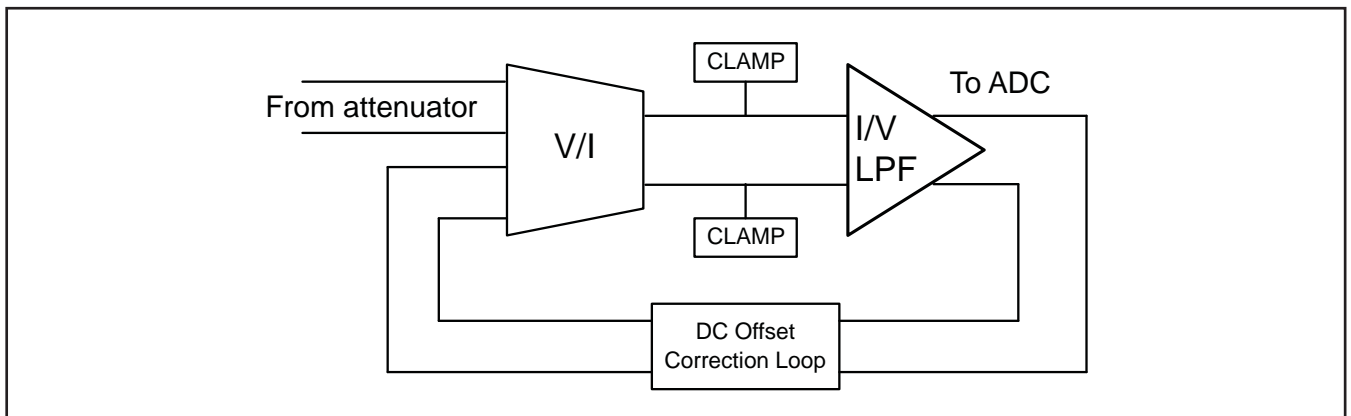


図 67. PGAの概略ブロック図

連続波(CW)ビームフォーマ

連続波ドップラーは、ミッドエンドからハイエンドまでの超音波システムの主要な機能の1つです。TGCモードと比較すると、CWパスでは、厳密な位相ノイズ特性とともに、高いダイナミック・レンジを処理する必要があります。この厳密な要件により、CWビーム形成は多くの場合、アナログ・ドメインで実装されます。超音波システムには、パッシブ遅延ライン、アクティブ・ミキサ、パッシブ・ミキサなど、複数のビーム形成手法が実装されています。それらすべての中で、パッシブ・ミキサによるアプローチは、最適化された電力およびノイズ特性を実現します。この手法により、広いダイナミック・レンジ、低

い位相ノイズ、ゲインおよび位相の正確なマッチングといったCW処理の要件を満足できます。

CWパスの概略ブロック図と、同相または直角位相(I/Q)のチャンネル・ブロック図を以下に示します。各CWには、LNA、電圧/電流コンバータ、スイッチ・ベースのミキサ、ローパス・フィルタ付きの共有加算アンプ、およびクロック回路が含まれています。すべてのブロックには、適切にマッチングされた同相および直角位相チャンネルが含まれ、優れたイメージ周波数除去とビーム形成精度を実現します。その結果、I/Qチャンネルからのイメージ除去比は、超音波システムで必要な-46dBcよりも高い値となります。

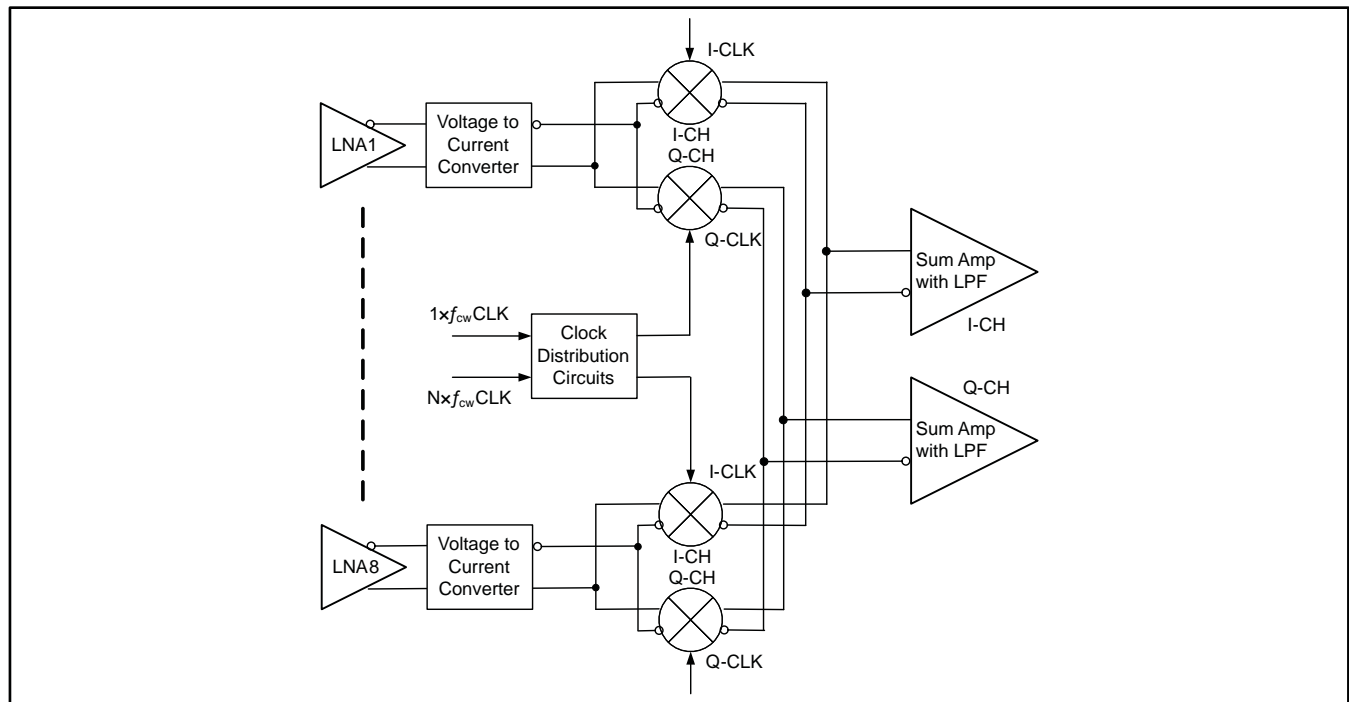


図 68. CWパスの概略ブロック図

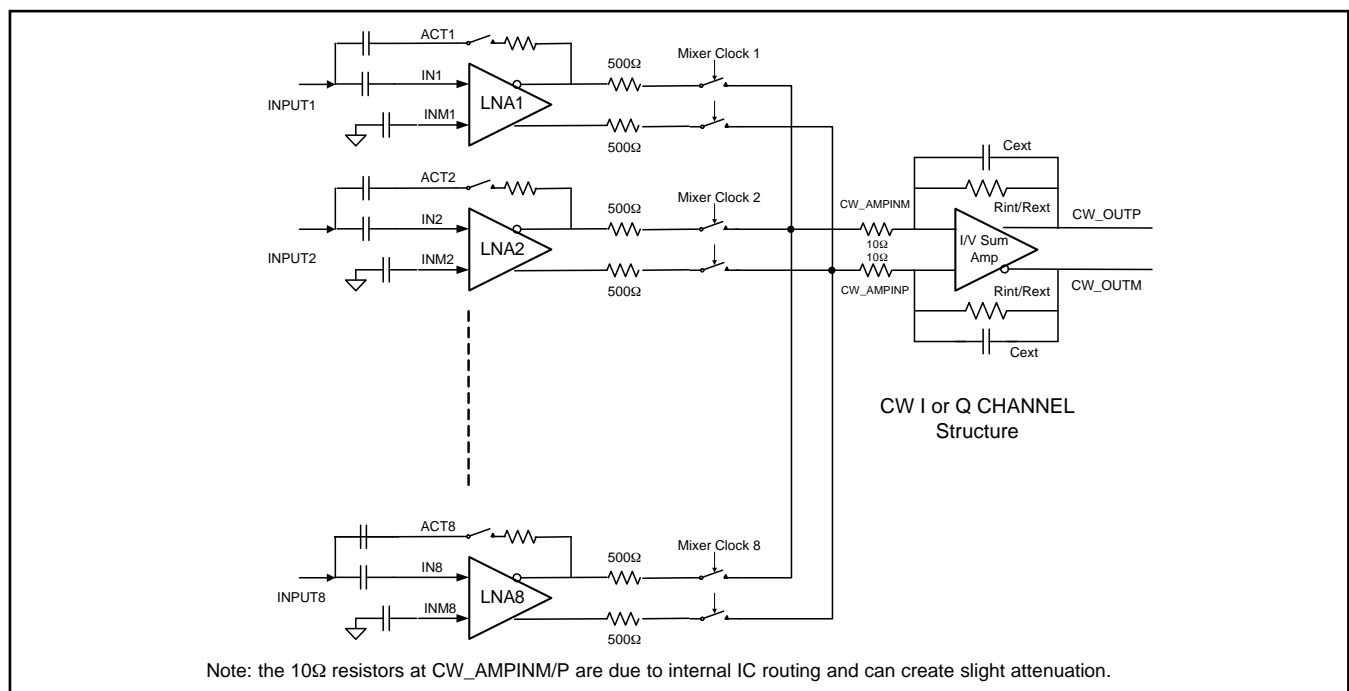


図 69. 完全な同相または直角位相チャンネル

AFE5808のCWミキサは、スイッチ・ベースのパッシブ・ミキサです。パッシブ・ミキサは、アクティブ・ミキサよりも付加されるノイズが小さくなります。低電力で優れた性能を達成します。次の図および式は、ミキサの動作原理を示しています。ここで、 $V_i(t)$ 、 $V_o(t)$ 、および $LO(t)$ は、それぞれミキサの入力、出力、およびローカル発振回路(LO)信号です。 $LO(t)$ は、方形波に基づき、下の式に示すように奇数次の高調波成分を含んでいます。

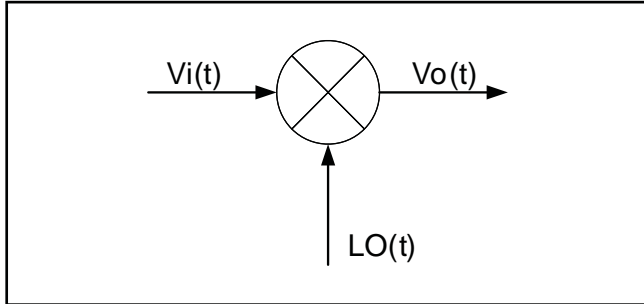


図 70. ミキサ動作のブロック図

$$\begin{aligned}
 V_i(t) &= \sin(\omega_0 t + \omega_d t + \phi) + f(\omega_0 t) \\
 LO(t) &= \frac{4}{\pi} \left[\sin(\omega_0 t) + \frac{1}{3} \sin(3\omega_0 t) + \frac{1}{5} \sin(5\omega_0 t) \dots \right] \\
 V_o(t) &= \frac{2}{\pi} \left[\cos(\omega_d t + \phi) - \cos(2\omega_0 t - \omega_d t + \phi) \dots \right] \quad (2)
 \end{aligned}$$

上の式から、LOからの3次および5次高調波は、 $V_i(t)$ の3次および5次高調波信号、または $V_i(t)$ の3次および5次高調波周辺のノイズに干渉する可能性があります。したがって、ミキサの性能は劣化します。方形波復調によるこの副効果をなくすために、AFE5808には独自の高調波抑制回路が実装されています。LOからの3次および5次高調波成分を、12dB以上抑制できます。そのため、3次および5次高調波帯周辺のLNA出力ノイズは、ベース・バンドにダウンコンバートされません。その結果、より優れたノイズ指数が実現されます。ミキサの変換損失は、約-4dBであり、これは $20 \log_{10} 2/\pi$ から導かれます。

ミキシングされた8チャンネルの電流出力が、内部で加算されます。内部の低ノイズ・オペアンプを使用して、加算された電流を電圧出力に変換します。内部加算アンプは、低消費電力、低ノイズ、および使いやすさを実現するよう設計されています。複数のAFE5808からのCW出力をシステム基板上でさらに結合して、8チャンネルを超えるCWビームフォーマを実装できます。詳細については、「アプリケーション情報」を参照してください。

AFE5808のCWパスでは、複数のクロック・オプションがサポートされています。 $N \times f_{cw}$ と $1 \times f_{cw}$ の2つのCWクロック入力が必要です。ここで、 f_{cw} はCWの送信周波数であり、 N は16、8、4、または1です。ユーザーは、AFE5808に対して最も便利なシステム・クロック・ソリューションを柔軟に選択できます。 $16 \times f_{cw}$ および $8 \times f_{cw}$ モードでは、3次と5次の高調波抑制機能をサポートできます。それにより、 $16 \times f_{cw}$ および $8 \times f_{cw}$ モードでは、 $4 \times f_{cw}$ および $1 \times f_{cw}$ モードよりも優れた性能が達成されます。

16 × f_{cw} モード

$16 \times f_{cw}$ モードは、他のモードと比べて位相精度が最も優れています。これは、CW動作のデフォルト・モードです。このモードでは、 $16 \times f_{cw}$ クロックと $1 \times f_{cw}$ クロックが必要となります。 $16 \times f_{cw}$ は、16の正確な位相を持つLO信号を生成します。 $1 \times f_{cw}$ を使用して、複数のAFE5808を同期させることができます。つまり、複数のAFEのLO信号が同じ開始位相を持ちます。位相ノイズ仕様は、16Xクロックに対してのみ重要です。1Xクロックは同期用にのみ使用されるため、位相ノイズ低減の必要性はありません。「アプリケーション情報」の位相ノイズ要件を参照してください。

次の図71に、全体的なクロック分配図を示します。各ミキサのクロックは、 16×8 のクロスポイント・スイッチを通して分配されます。クロスポイント・スイッチの各入力は、1Xクロックの16の異なる位相です。 $1 \times f_{cw}$ クロックと $16 \times f_{cw}$ クロックの立ち上がりエッジを揃えることを推奨します。

クロスポイント・スイッチは、適切な位相遅延によって各ミキサにクロックを分配します。例えば、 $V_i(t)$ が $1/16$ Tの遅延を持つ受信信号である場合、 $1/16$ Tの遅延を補償するために、遅延された $LO(t)$ をミキサに印加する必要があります。したがって、このチャンネルに対しては 22.5° ($2\pi/16$) だけ遅延されたクロックが選択されます。次に計算式を示します。

$$\begin{aligned}
 V_i(t) &= \sin \left[\omega_0 \left(t + \frac{1}{16 f_0} \right) + \omega_d t \right] = \sin [\omega_0 t + 22.5^\circ + \omega_d t] \\
 LO(t) &= \frac{4}{\pi} \sin \left[\omega_0 \left(t + \frac{1}{16 f_0} \right) \right] = \frac{4}{\pi} \sin [\omega_0 t + 22.5^\circ] \\
 V_o(t) &= \frac{2}{\pi} \cos(\omega_d t) + f(\omega_n t) \quad (3)
 \end{aligned}$$

$V_o(t)$ は、各チャンネルの復調されたドップラー信号を表します。 N チャンネルからのドップラー信号を合計すると、信号対雑音比が向上します。

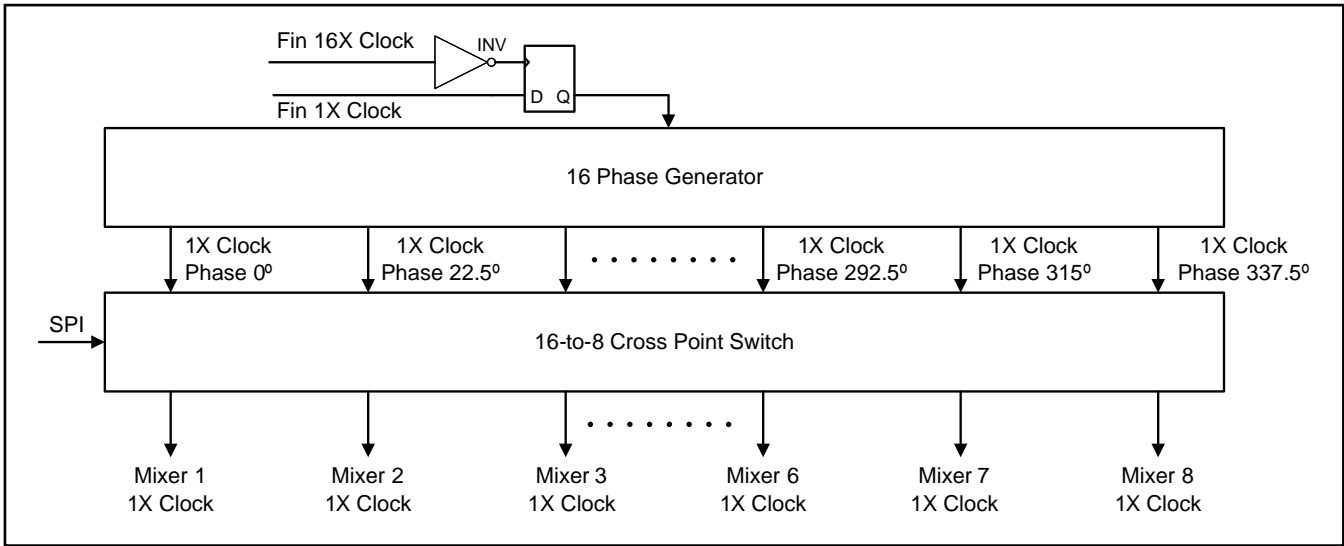


図 71.

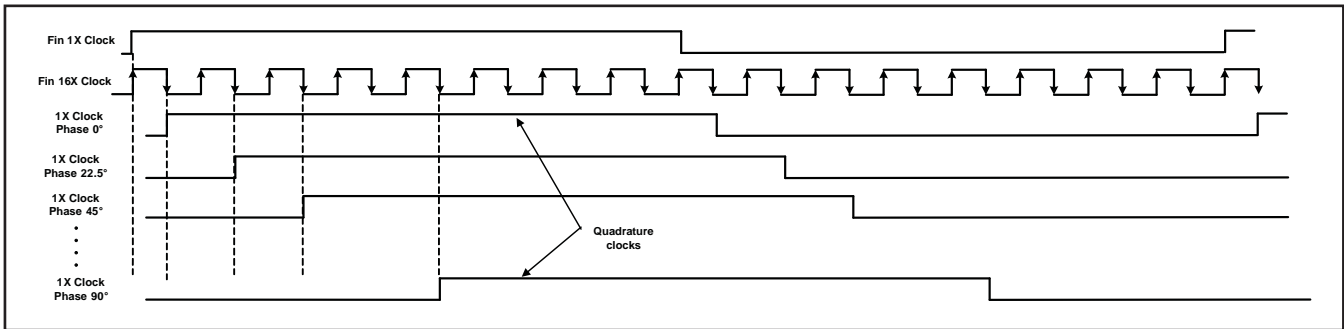


図 72. 1xおよび16x CWクロック・タイミング

8 × f_{cw}および4 × f_{cw}モード

8 × f_{cw}および4 × f_{cw}モードは、システムで高周波数クロック・ソリューション (16 × f_{cw}クロック) を使用できない場合の代替モードです。この2つのモードのブロック図を次に示します。

良好な位相精度とマッチングが維持されます。直角位相クロック発生回路を使用して、厳密に90°の位相差を持つ同相および直角位相クロックを作成します。8 × f_{cw}モードと4 × f_{cw}モードの唯一の違いは、3次および5次高調波抑制フィルタが使用できるかどうかです。8 × f_{cw}モードでは、抑制フィルタをサポートできます。どちらのモードでも、同相パスと直角位相パスに適切な重みを付けることで、1/16 Tの位相遅延分解能が実現されます。例えば、目標遅延が1/16 T (22.5°)である場合、重み付け係数は以下の式に従う必要があります。ここで、I_{in}およびQ_{in}はそれぞれsin(ω₀t)およびcos(ω₀t)と仮定しています。

したがって、I/Qミキサの後で、受信信号の位相遅延は補償されます。信号対雑音比を改善するため、すべてのチャンネルからのミキサの出力が揃えられ、直線的に加算されます。4 × f_{cw}または8 × f_{cw}クロックと1 × f_{cw}クロックは、それぞれ立ち上がりエッジで揃えることを推奨します。

$$I_{\text{delayed}}(t) = I_{\text{in}} \cos\left(\frac{2\pi}{16}\right) + Q_{\text{in}} \sin\left(\frac{2\pi}{16}\right) = I_{\text{in}} \left(t + \frac{1}{16f_0}\right)$$

$$Q_{\text{delayed}}(t) = Q_{\text{in}} \cos\left(\frac{2\pi}{16}\right) - I_{\text{in}} \sin\left(\frac{2\pi}{16}\right) = Q_{\text{in}} \left(t + \frac{1}{16f_0}\right)$$

(4)

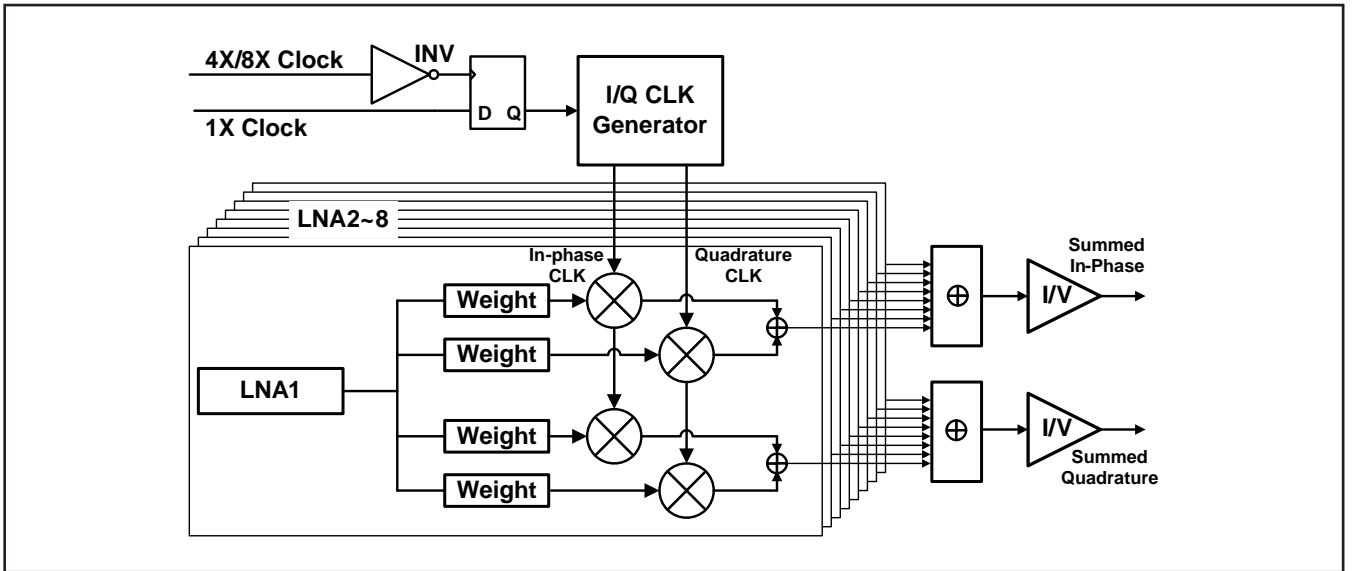


図 73. $8 \times f_{cw}$ および $4 \times f_{cw}$ のブロック図

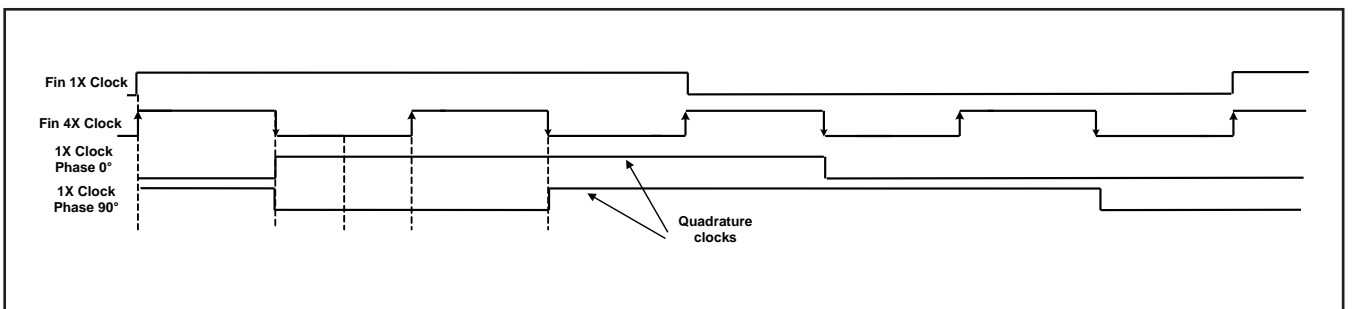


図 74. $8 \times f_{cw}$ および $4 \times f_{cw}$ のタイミング図

$1 \times f_{cw}$ モード

$1 \times f_{cw}$ モードでは、低い位相ノイズ仕様を持つ同相および直角位相クロックが必要となります。 $8 \times f_{cw}$ および $4 \times f_{cw}$ モードで説明したように、同相パスと直角位相パスに重みを付けることで、 $1/16 T$ の位相遅延分解能が実現されます。

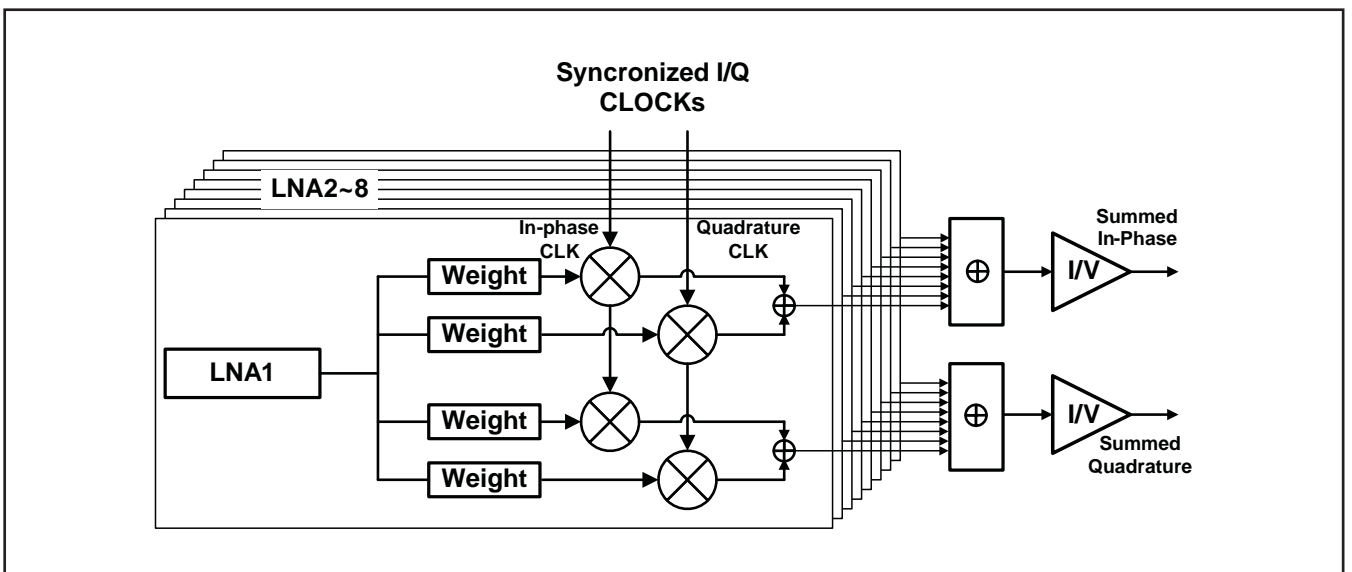


図 75. $1 \times f_{cw}$ モードのブロック図

等価回路

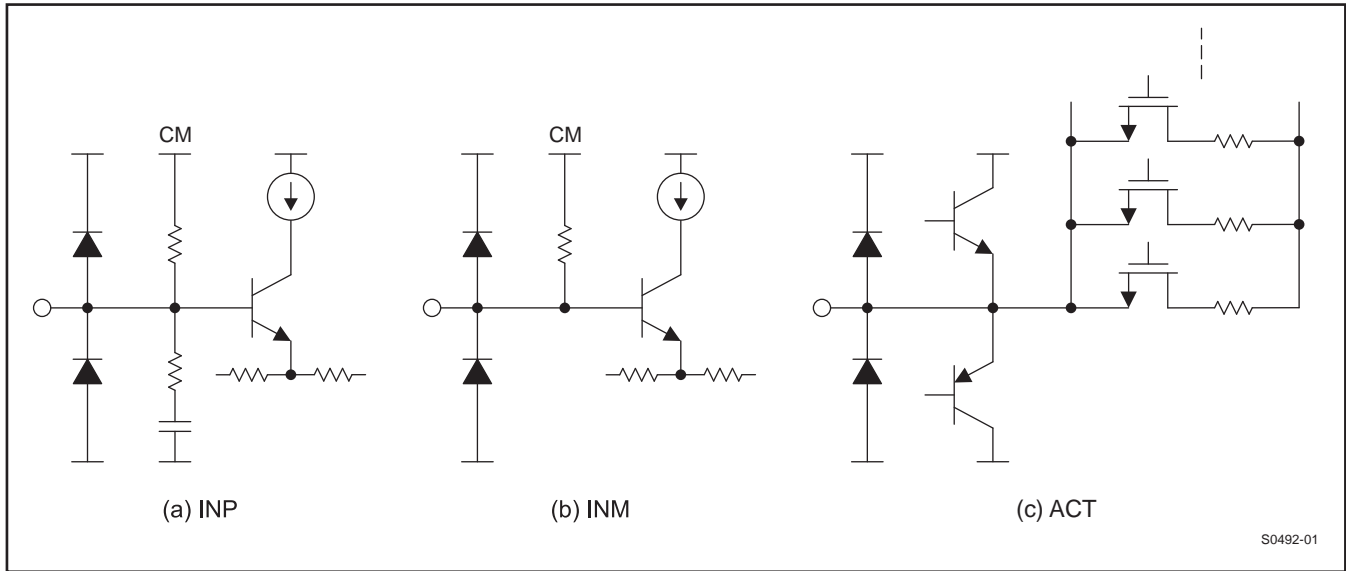


図 76. LNA入力の等価回路

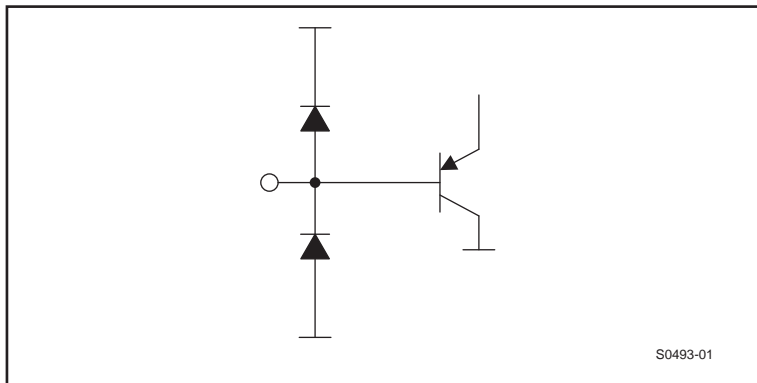


図 77. $V_{CNTLP/M}$ の等価回路

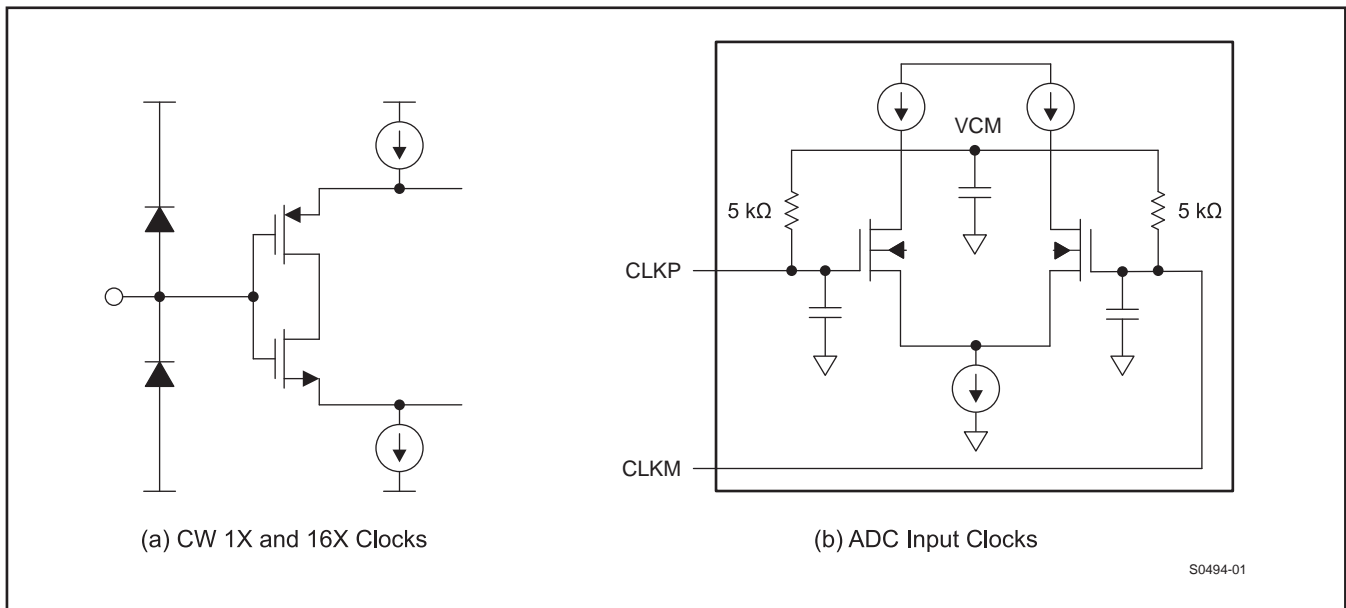


図 78. クロック入力の等価回路

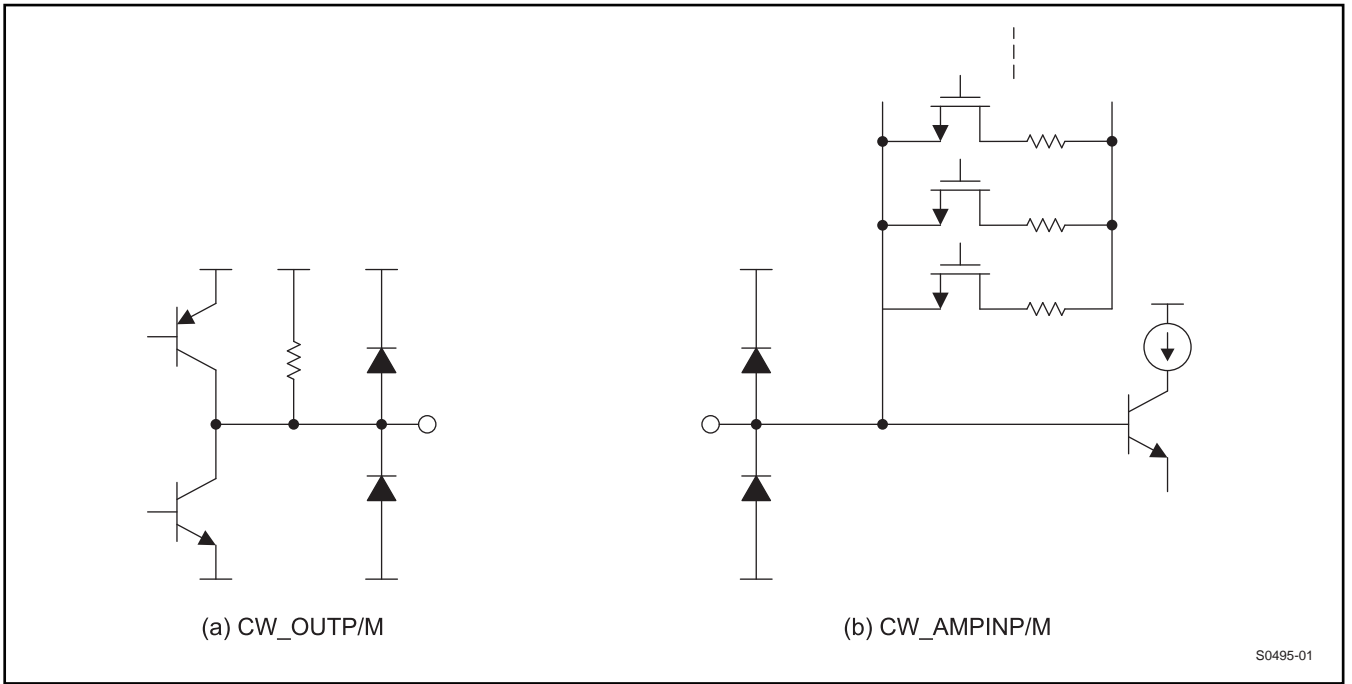


図 79. CW加算アンプの入力と出力の等価回路

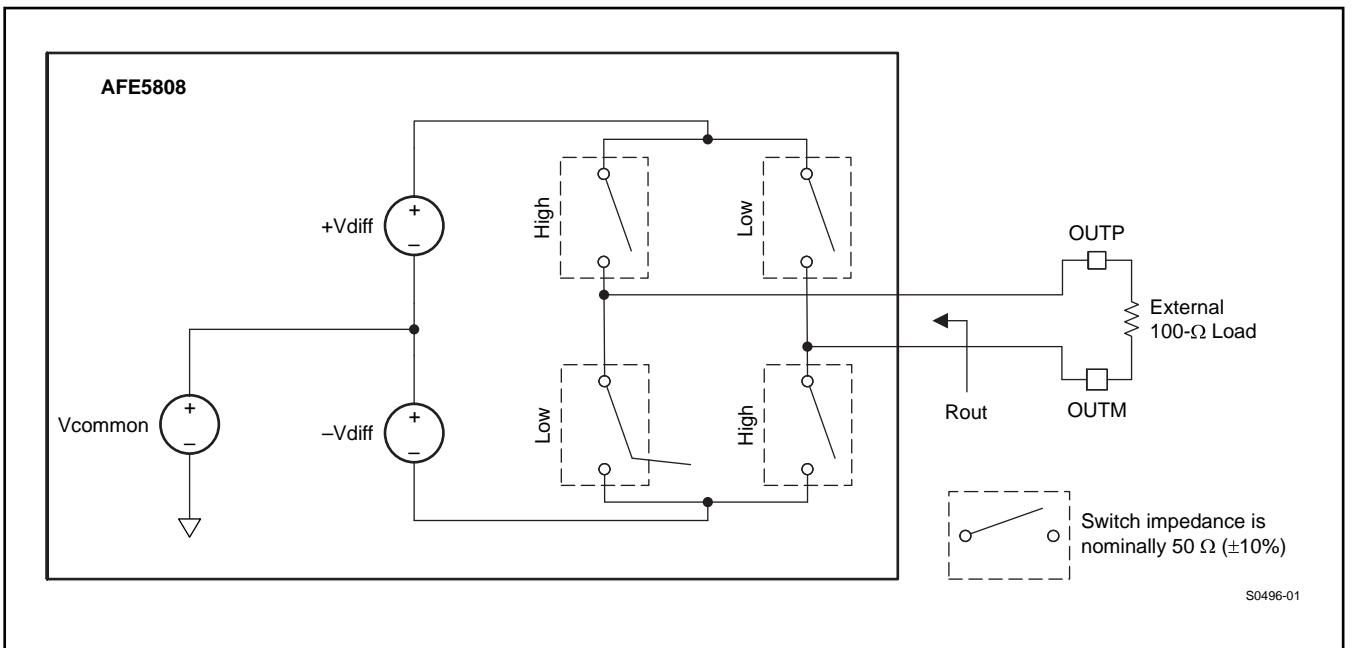


図 80. LVDS出力の等価回路

アプリケーション情報

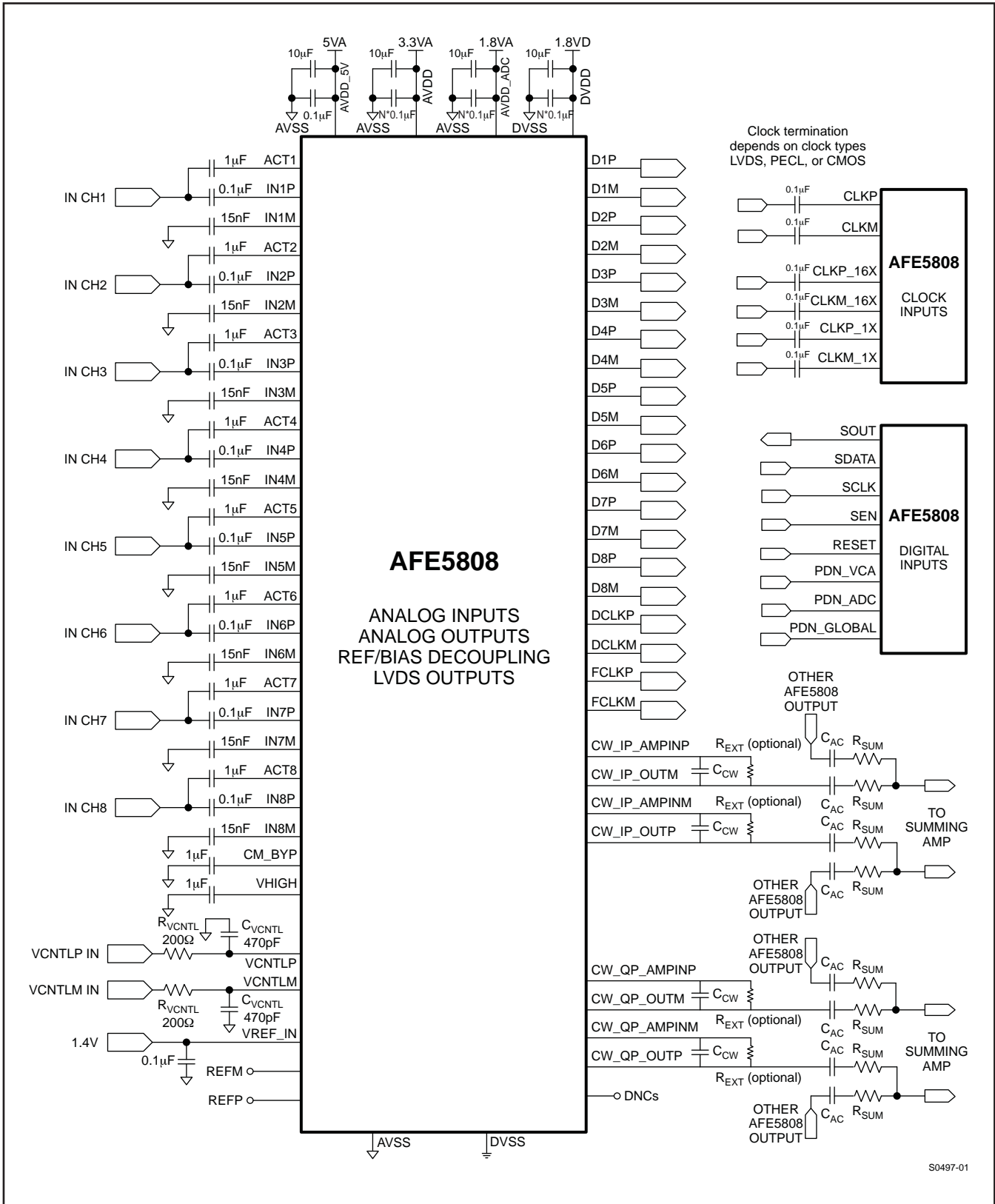


図 81. アプリケーション回路

図81に示したのは標準アプリケーション回路図です。各ブロックの構成について、以下で説明します。

LNAの構成

LNA入力の結合とデカップリング

LNAの閉ループ・アーキテクチャは、最大の安定性が得られるように内部で補償され、外部補償部品は必要ありません。LNA入力は2.4Vでバイアスされ、AC結合を必要とします。標準的な入力構成を図82に示します。C_{IN}は、入力AC結合コンデンサです。C_{ACT}は、アクティブ終端帰還パスの一部です。アクティブ終端を使用しない場合でも、クランプ機能用にCACTが必要となります。C_{ACT}の推奨値は1μF以上、C_{IN}の推奨値は0.1μF以上です。

このアーキテクチャでは、周波数依存の分圧につながる信号源への負荷が最小になります。閉ループ設計では、オフセットおよびオフセット・ドリフトが非常に小さくなります。C_{BYPASS} (0.015μF以上) を使用して、ハイパスフィルタのカットオフ周波数を設定し、相補入力をデカップリングします。このカットオフ周波数は、C_{BYPASS}値に逆比例します。HPFカットオフ周波数は、表11に示されるように、レジスタ59[3:2]を使用して調整できます。遅いリングングが伴う信号など、T/Rスイッチ出力での低周波信号をフィルタで除去できます。また、HPFは、DC-DCコンバータ、パルス繰り返し周波数(PRF)トリガ、およびフレーム・クロックからのシステム・ノイズを最小限に抑えます。ほとんどの超音波システムの信号処理ユニットには、デジタル・ハイパス・フィルタまたはバンドパス・フィルタ(BPF)がFPGAまたはASICで搭載されています。これらのブロックで、さらにノイズが抑制されます。また、AFE5808のADCにはデジタルHPFも搭載されています。アプリケーションで低周波信号検出が必要である場合は、LNA HPFをディスエーブルにできます。

Reg59[3:2] (0x3B[3:2])	周波数
00	100 kHz
01	50 kHz
10	200 kHz
11	150 kHz

表 11. LNAのHPF設定 (C_{BYPASS} = 15nF)

内部リファレンス電圧を生成するCM_BYPおよびVHIGHピンは、1μF以上のコンデンサを使用してデカップリングする必要があります。システム内に低周波ノイズが存在する場合は、より大きなバイパス・コンデンサ (2.2μF以上) が有用である場合があります。

LNAのノイズ寄与

ノイズ仕様はLNAに対して重要であり、それによってシステム全体のダイナミック・レンジが決定されます。AFE5808のLNAは、低消費電力、0.63nV/√Hzという極めて低いノイズ電圧、および2.7pA/√Hzの低ノイズ電流を実現しています。

標準的な超音波トランスデューサのインピーダンスR_sには、数十Ωから数百Ωまでの幅があります。ほとんどの場合は、電圧ノイズが支配的なノイズ成分ですが、ソース・インピーダンス (R_s) を流れるLNA電流ノイズによって、追加の電圧ノイズが生成されます。

$$LNA_Noise_{total} = \sqrt{V_{LNAnoise}^2 + R_s^2 \times I_{LNAnoise}^2} \quad (5)$$

AFE5808は、図32、図33、図34に示すように、幅広いソース抵抗範囲にわたって低いノイズ指数(NF)を実現します。

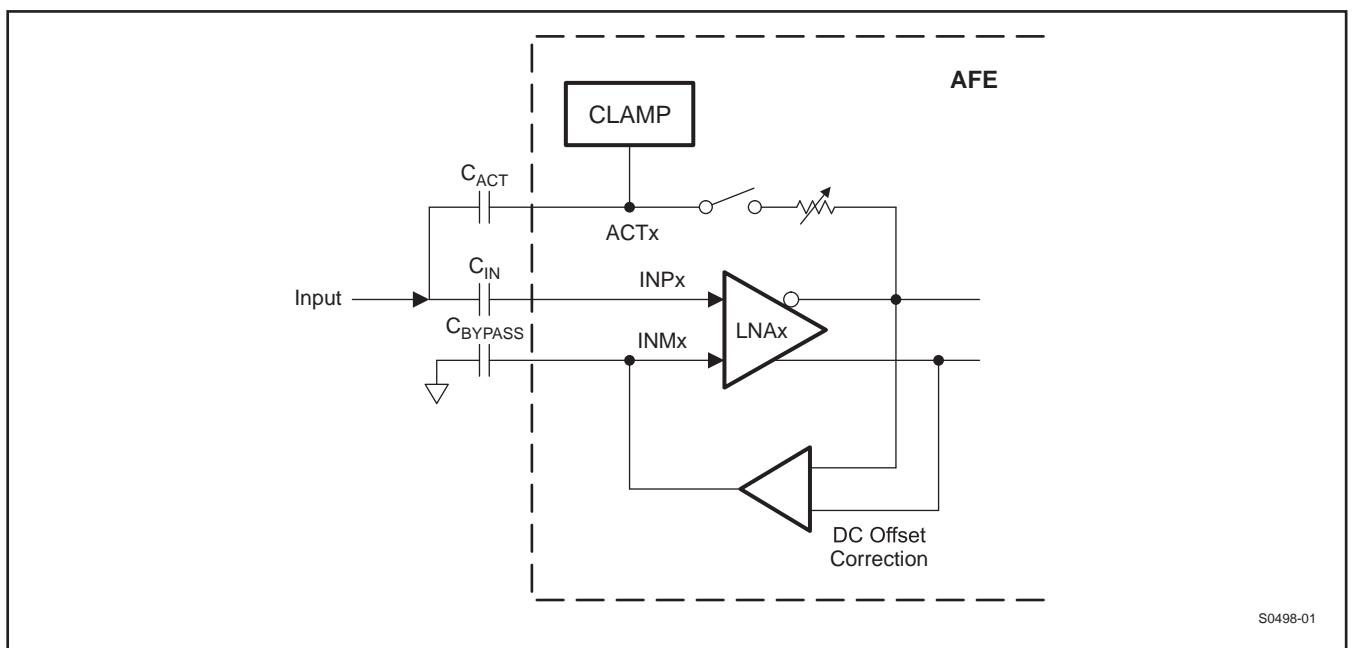


図 82. LNA入力構成

アクティブ終端

超音波アプリケーションでは、トランスデューサとシステムとの間の長いケーブルによって、信号の反射が生じます。この反射により、PWモードでエコー信号に余分なリングングが付加されます。軸方向の分解能はエコー信号長に依存するため、そのようなリングングは軸方向の分解能を劣化させる可能性があります。そのため、高い軸方向の分解能が求められる場合は、パッシブ終端またはアクティブ終端の使用が推奨されます。図83に、3種類の終端構成を示します。

無終端構成では、AFE5808の入力インピーダンスは1MHzで約6k Ω (8K//20pF)です。パッシブ終端では外部終端抵抗 R_t が必要であり、これは熱ノイズの増加につながります。

LNAは、図84に示すように、値をプログラミング可能なアクティブ終端をサポートします。

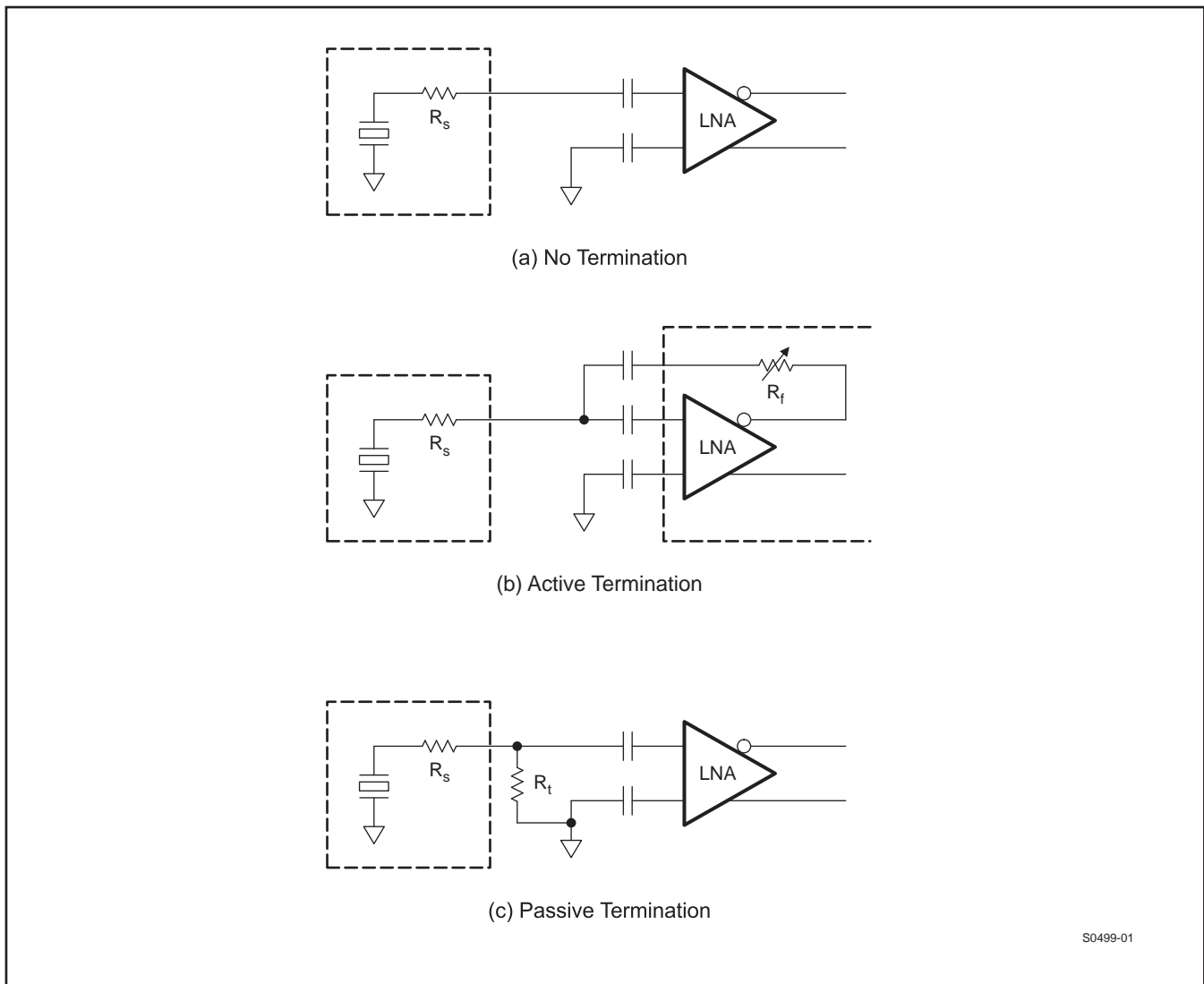


図 83. 終端構成

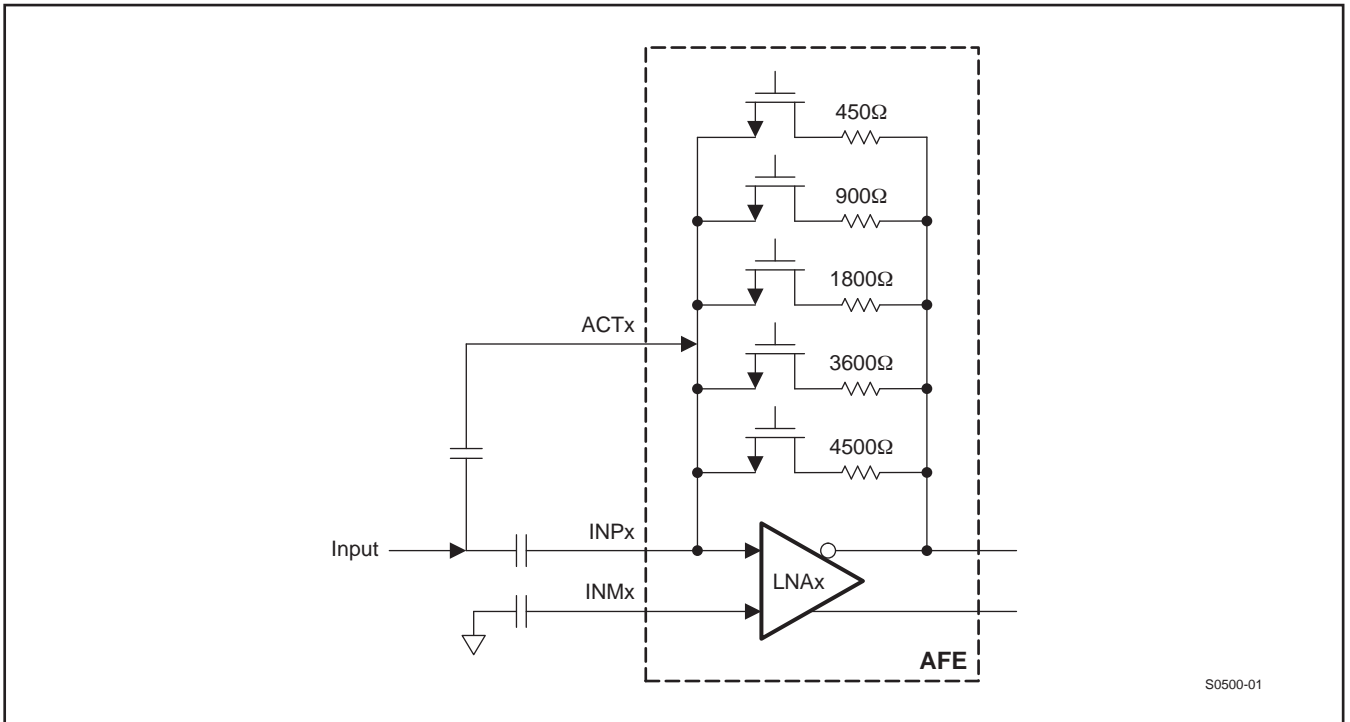


図 84. アクティブ終端の実装

AFE5808には、50Ω、100Ω、200Ω、400Ωの4つのプリセットが用意され、抵抗を使用して設定可能です。上図に示した終端スイッチを設定することにより、他の終端値も実現できます。レジスタ[52]を使用して、これらのスイッチをイネーブルにします。アクティブ終端構成でのLNAの入力インピーダンスは、次の式で近似されます。

$$Z_{IN} = \frac{R_f}{1 + \frac{A_{V_{LNA}}}{2}} \quad (6)$$

表5に、異なるLNAゲインでのLNAの R_{IN} の値を示しています。システム設計者は、各プローブに対して微調整を行うことができます。

等価入力インピーダンスは式(7)で与えられます。ここで、 R_{IN} (8k)および C_{IN} (20pF)は、LNAの入力抵抗および容量です。

$$Z_{IN} = \frac{R_f}{1 + \frac{A_{V_{LNA}}}{2}} // C_{IN} // R_{IN} \quad (7)$$

したがって、 Z_{IN} は周波数に依存し、図10に示されるように、周波数が高くなると低下します。医療用超音波アプリケーションで最も一般的に使用される周波数範囲は2MHz~10MHzであるため、このロールオフ効果は、システムの性能に大きく影響することはありません。アクティブ終端は、CWモードとTGCモードの両方に適用できます。各超音波システムには、インピーダンスの異なる複数のトランスデューサが搭載されるため、インピーダンス構成の柔軟性は大きな利点となります。

図32、図33、図34に、異なる終端構成でのNFを示しています。これにより、無終端構成のときにノイズ指数が最も優れていることがわかります。アクティブ終端は、パッシブ終端よりも低ノイズです。そのため、終端トポロジは、超音波の使用状況に基づいて注意深く選択する必要があります。

LNAゲインのスイッチ応答

LNAゲインは、SPIを通してプログラミングできます。ゲインのスイッチング時間は、SPIの速度、およびLNAゲイン応答時間に依存します。スイッチング中にはグリッチが生じる可能性があり、これはイメージ内にアーティファクトとして現れる場合があります。グリッチの抑制にはデジタル信号処理を使用できますが、単一のイメージング・ラインでのLNAゲイン・スイッチングは望ましくない場合もあります。

電圧制御アッテネータ

AFE5808内のアッテネータは、1組の差動制御入力であるVCNTLM/Pピンによって制御されます。差動制御電圧は、0V～1.5Vです。この制御電圧により、そのdBリニアな特性に基づいてアッテネータの減衰が変化します。最大減衰(最小チャンネル・ゲイン)は $V_{CNTLP} - V_{CNTLM} = 1.5V$ で得られ、最小減衰(最大チャンネル・ゲイン)は $V_{CNTLP} - V_{CNTLM} = 0$ で得られます。標準ゲイン範囲は40dBであり、これはPGA設定に関係なく一定です。

シングルエンドのVCNTL信号しか使用できない場合は、この $1.5V_{PP}$ 信号をVCNTLPピンに印加して、VCNTLMピンをグランドに接続できます。図85に示すように、TGCゲイン曲線は $V_{CNTLP} - V_{CNTLM}$ に逆比例します。

「動作原理」で説明したように、アッテネータのアーキテクチャは、等間隔で配置された7つのアッテネータ・セグメントを使用し、dBリニアなゲイン制御スロープを近似しています。この近似によって単調なスロープが得られ、ゲイン・リップルは標準で $\pm 0.5dB$ 未満です。

制御電圧入力($V_{CNTLM/P}$ ピン)は、高インピーダンス入力となります。複数のAFE5808の $V_{CNTLM/P}$ ピンを並列に接続でき、それによる負荷への大きな影響はありません。電圧レベル($V_{CNTLP} - V_{CNTLM}$)が1.5Vを超えるか、または0Vを下回った場合、アッテネータは引き続き、最大減衰レベルまたは最小減衰レベルで動作します。電圧は $-0.3V \sim 2V$ の範囲に制限することを推奨します。

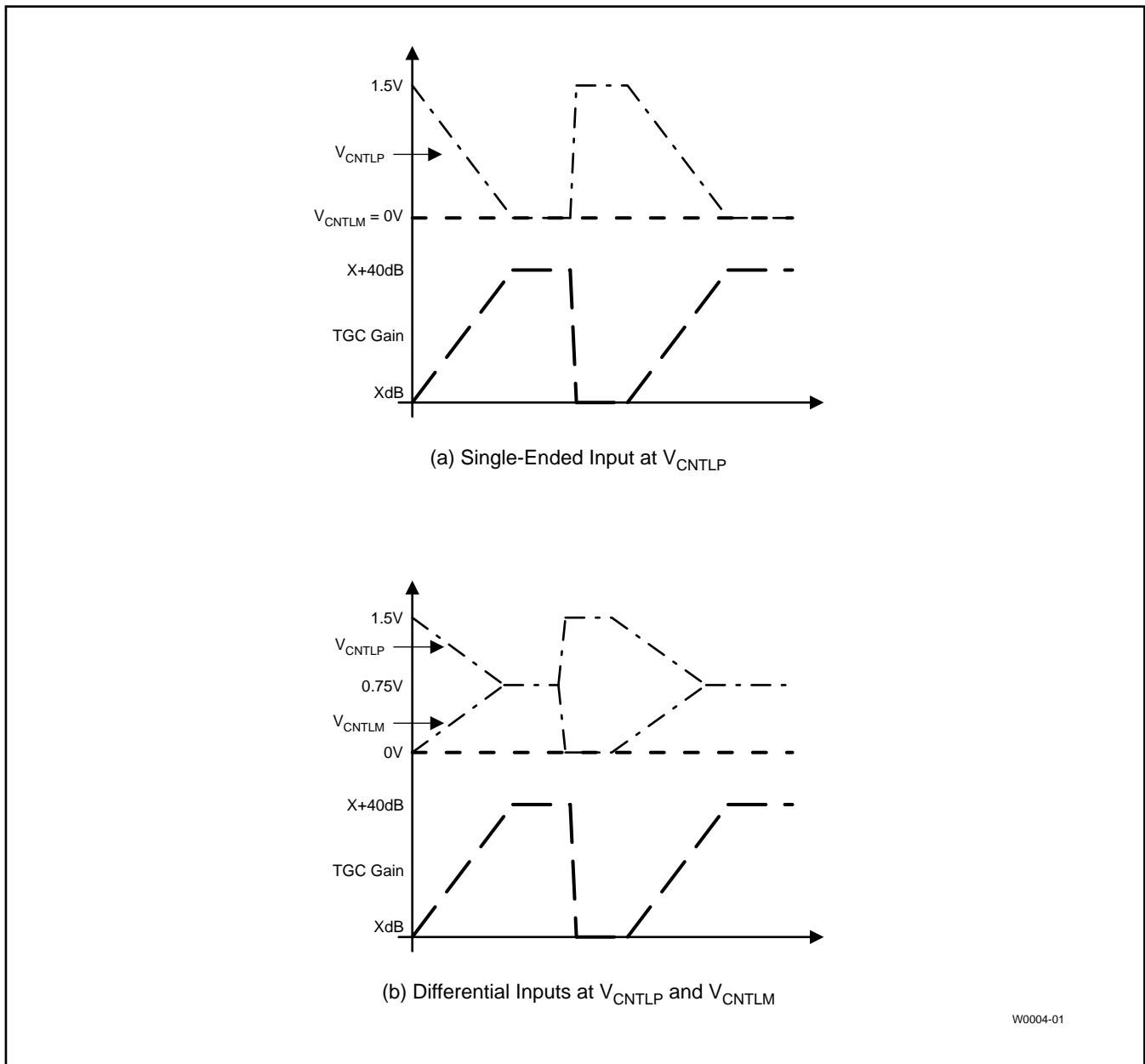


図 85. V_{CNTLP} と V_{CNTLM} の構成

AFE5808がCWモードで動作する場合、アッテネータ段はLNA出力に接続されたままです。したがって、PDN_VCAレジスタ・ビットを使ってVCAをパワーダウンすることを推奨します。この場合、 $V_{CNTLP} - V_{CNTLM}$ の電圧は関係ありません。

AFE5808のゲイン制御入力は、-3dB帯域幅が約800kHzです。この広い帯域幅は、多くのアプリケーションで有用(高速 V_{CNTLP} 応答など)ですが、高周波ノイズによってゲイン制御入力に変調され、最終的にドップラー特性に影響する可能性があります。実際には、この変調は V_{CNTLM}/P ピンの外部フィルタリング(RV $_{CNTLP}$ およびCV $_{CNTLP}$)を追加することで簡単に回避できます(図80を参照)。ただし、外部フィルタのカットオフ周波数を低くしすぎると、ゲイン応答時間が低下するので注意が必要です。外部フィルタリングを使用しない場合、ゲイン制御の応答時間は、図51および図52に示すように、 $1V_{PP}$ (-6dBFS)出力の最終信号レベルの10%以内に安定するまで、標準で1 μ s未満です。

V_{CNTLM}/P 信号は、8ビット~12ビットの10MSPS D/Aコンバータ(DAC)、および差動オペアンプによって生成されます。TGC制御波形の生成には、TLV5626やDAC7821/11(10MSPS/12ビット)などのTI製DACを使用可能です。出力同相モード電圧制御を備えた差動アンプ(THS4130、OPA1632など)を使って、DACを V_{CNTLM}/P ピンに接続できます。また、バッファ・アンプをアクティブ・フィルタとして構成することで、低周波ノイズを抑制できます。詳細については、ドキュメントSLOS318FおよびSBAA150を参照してください。 V_{CNTLP} 対ゲインの曲線は図2に示されています。次の表にも絶対ゲイン対 V_{CNTLP} の関係を示しています。これは、DACのプログラミングに役立ちます。

PWドップラーおよびカラー・ドップラー・モードでは、最適な近接位相ノイズおよびSNR特性を得るために、 V_{CNTLP} ノイズを最小限に抑える必要があります。AFE5808では、このニーズに対応するため、デジタル V_{CNTLP} 機能を実装しています。デジタル V_{CNTLP} モードでは、外部 V_{CNTLP} が必要ありません。

CW動作 CW加算アンプ

CWシステムの設計を単純化するために、AFE5808には加算アンプが実装され、8チャンネルのミキサ電流出力を加算し、1つの差動電圧出力へと変換します。この加算アンプにより、CW動作に必要なダイナミック・レンジ全体を保持しながら、低ノイズと低消費電力を実現します。

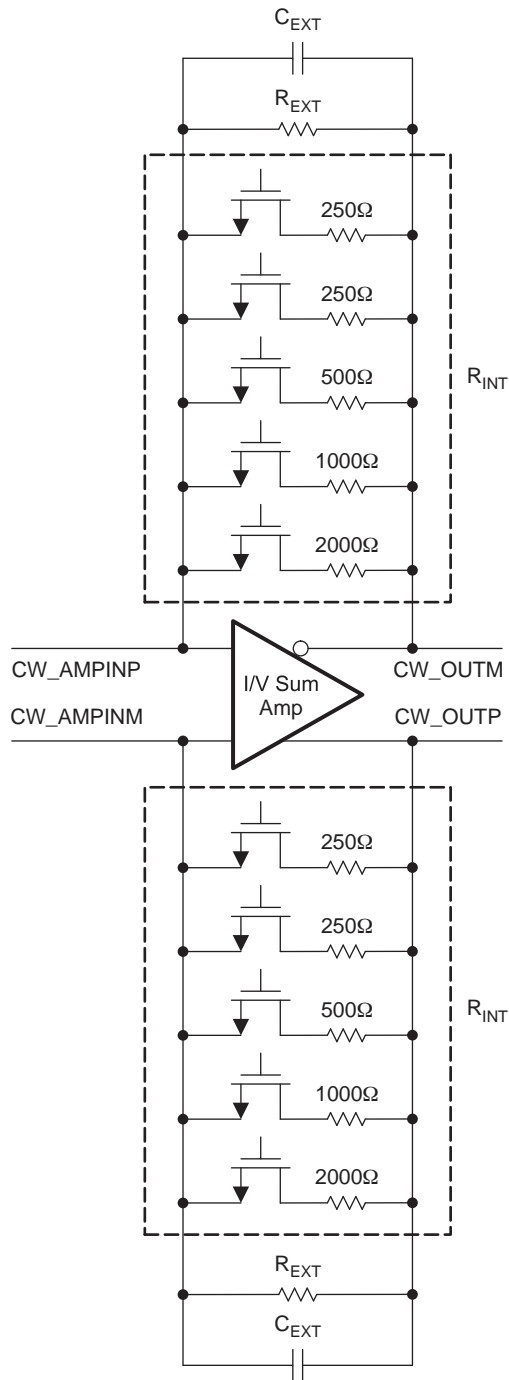
この加算アンプには、5つの内部ゲイン調整抵抗が含まれ、32の異なるゲイン設定を使用できます(レジスタ54[4:0]、図84および表7)。システム設計者は、信号強度およびトランスデューサの感度に応じて、CWパスのゲインを簡単に調整できます。他のゲイン値に対しては、外部抵抗オプションがサポートされています。加算アンプのゲインは、LNAの後の500 Ω の抵抗と、内部または外部抵抗回路 $R_{EXT/INT}$ との比によって決定されます。そのため、これらの抵抗間のマッチングは、抵抗の絶対値よりも重要となります。チップ上では1%以内のマッチングが実現されています。プロセスの変動により、絶対抵抗の公差はこれより大きくなる可能性があります。外部抵抗を使用する場合は、I/Qチャンネル間または複数のAFE間のゲイン誤差が増加する可能性があります。より優れたゲイン・マッチング(チャンネル間および複数のAFE間)を実現するために、内部抵抗を使用してゲインを設定することを推奨します。外部コンデンサ C_{EXT} により、この加算アンプは1次LPF応答を持ち、ミキサから $2f_0 \pm fd$ などの高周波成分を除去します。カットオフ周波数は次の式で求められます。

$$f_{HP} = \frac{1}{2\pi R_{INT/EXT} C_{EXT}} \quad (8)$$

レジスタ54[4:0]で異なるゲインを設定した場合は、LPF応答も変化することに注意してください。

$V_{CNTLP} - V_{CNTLM}$ (V)	Gain (dB) LNA = 12 dB PGA = 24 dB	Gain (dB) LNA = 18 dB PGA = 24 dB	Gain (dB) LNA = 24 dB PGA = 24 dB	Gain (dB) LNA = 12 dB PGA = 30 dB	Gain (dB) LNA = 18 dB PGA = 30 dB	Gain (dB) LNA = 24 dB PGA = 30 dB
0	36.45	42.45	48.45	42.25	48.25	54.25
0.1	33.91	39.91	45.91	39.71	45.71	51.71
0.2	30.78	36.78	42.78	36.58	42.58	48.58
0.3	27.39	33.39	39.39	33.19	39.19	45.19
0.4	23.74	29.74	35.74	29.54	35.54	41.54
0.5	20.69	26.69	32.69	26.49	32.49	38.49
0.6	17.11	23.11	29.11	22.91	28.91	34.91
0.7	13.54	19.54	25.54	19.34	25.34	31.34
0.8	10.27	16.27	22.27	16.07	22.07	28.07
0.9	6.48	12.48	18.48	12.28	18.28	24.28
1.0	3.16	9.16	15.16	8.96	14.96	20.96
1.1	-0.35	5.65	11.65	5.45	11.45	17.45
1.2	-2.48	3.52	9.52	3.32	9.32	15.32
1.3	-3.58	2.42	8.42	2.22	8.22	14.22
1.4	-4.01	1.99	7.99	1.79	7.79	13.79
1.5	-4	2	8	1.8	7.8	13.8

表 12. 異なるLNAおよびPGAゲイン設定での $V_{CNTLP} - V_{CNTLM}$ 対 ゲイン(低ノイズ・モード)



S0501-01

図 86. CW加算アンプのブロック図

通常は、複数のAFE5808を並列に使用して、CWビームフォーマのチャンネル数を増やします。これらのAFE5808のCW出力が加算され、外部でさらにフィルタリングされて、目的のゲインおよびフィルタ応答を実現します。AC結合コンデンサCACは、CW搬送波信号のDC成分をブロックするために必要です。低速の血流から得られる目的の低周波ドップラー信号に応

じて、CACの範囲は $1\mu\text{F}$ ~数十 μF に及びます。16/18ビットの差動オーディオADCの前に、低ノイズの外部差動アンプを使用して、複数のAFE5808のI/Q出力を加算できます。これには、TIの超低ノイズ差動高精度アンプOPA1632およびTHS4130が適しています。

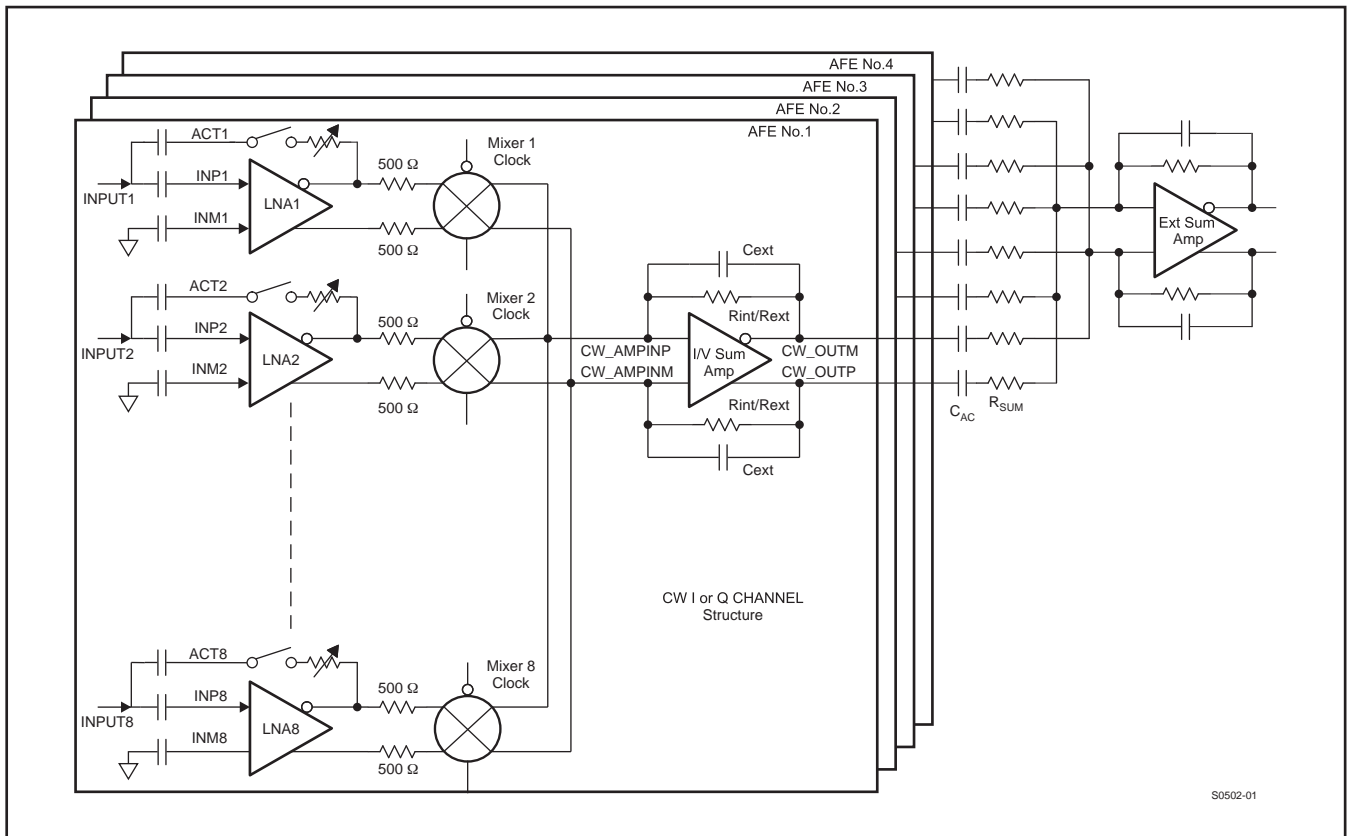


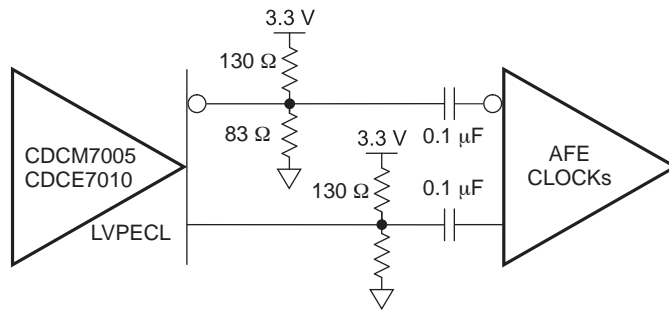
図 87. 複数のAFE5808を使用したCW回路

CW I/Qチャンネルは内部で適切にマッチングされ、ドップラー・スペクトル内のイメージ周波数成分を抑制しています。外部回路でも適切なマッチングを実現するには、公差の小さい部品および高精度のオペアンプを使用する必要があります。

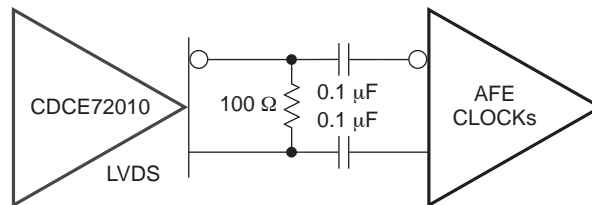
CWクロックの選択

AFE5808には、差動のLVDS、LVPECL、および他の差動クロック入力の外、シングルエンドのCMOSクロックも入力できます。内部で生成された2.5VのVCMが、CWクロック入力

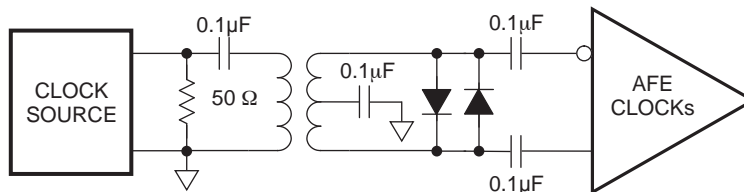
CLKP_16X/CLKM_16XおよびCLKP_1X/CLKM_1Xに印加されます。この2.5VのVCMは、標準のLVDSまたはLVPECLクロックで使用されるものとは異なるため、クロック・ドライバとAFE5808のCWクロック入力の間にはAC結合が必要です。CMOSクロックを使用しない場合、CLKM_1XおよびCLKM_16Xはグランドに接続する必要があります。一般的なクロック構成を図88に示します。良好な信号整合性を実現するために、適切な終端の使用を推奨します。



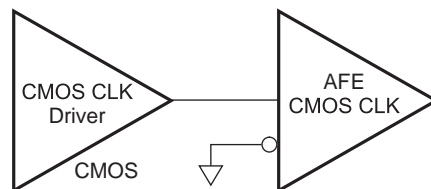
(a) LVPECL Configuration



(b) LVDS Configuration



(c) Transformer Based Configuration



(d) CMOS Configuration

S0503-01

図 88. クロック構成

クロック・ノイズとCWパス・ノイズの組み合わせにより、CWの性能が劣化する場合があります。内部のクロック回路は、CW動作に必要な優れた位相ノイズ性能を達成できるよう設計されています。AFE5808のCWパスの位相ノイズは、1kHzオフセットで155dBc/Hz以下です。結果として、ミキサ・クロック入力の位相ノイズも155dBc/Hz以下となる必要があります。

16/8/4 × f_{CW} 動作モードでは、良好なCW位相ノイズ性能を維持するために、16/8/4 × f_{CW} クロック (CLKP_16X/CLKM_16Xピン)に対して、位相ノイズの低いクロックが必要となります。1 × f_{CW} クロック (CLKP_1X/CLKM_1Xピン)は、複数のAFE5808チップ間の同期にのみ使用され、復調には使用されません。そのため、1 × f_{CW} クロックの位相ノイズは問題となりません。ただし、1 × f_{CW} 動作モードでは、CLKP_16X/CLKM_16XピンとCLKP_1X/CLKM_1Xピンの両方に対して、位相ノイズの低いクロックが必要です。これは、ミキサの復調には両方のピンが使用されるためです。一般に、クロックのスルー・レートが高いほど位相ノイズは低くなるため、CW動作では、振幅が大きくスルー・レートが高速なクロックが推奨されます。CMOSクロック・モードでは、5VのCMOSクロックで最高のスルー・レートを達成できます。

分周器の位相ノイズがターゲット位相ノイズより低ければ、分周器によってクロックの位相ノイズを改善できます。分周されたクロックの位相ノイズは、およそ20 logN dBの改善が見込まれます (Nは分周比16、8、または4)。ミキサのLOクロック1 × f_{CW} のターゲット位相ノイズが搬送波から1kHzで160dBc/Hzである場合は、16 × f_{CW} クロックの位相ノイズが160 - 20log16 = 136 dBc/Hz以下となる必要があります。TIのジッター・クリーナCDCM7005/CDCE72010は、この要件を満足しており、AFE5808に対して選択できます。4X/1Xモードでは、Nが小さ

いため、同じ性能を実現するのに、より高品質の入力クロックが求められます。したがって、システム・クロック設計の位相ノイズ要件が緩和される16Xモードが、推奨モードとなります。また、内部のクロック分周器および分配回路によって、位相遅延精度が保証されます。

システム内のチャンネル数が増加すると、クロック分配はより複雑になります。クロック・バッファの負荷容量がN倍に増加するため、1つのクロック・ドライバ出力を使って複数のAFEを駆動することは推奨されません。結果として、クロック信号の立ち上がりおよび立ち上がり時間が劣化します。複数のAFE5808に対する標準的なクロック構成を図89に示します。最良の信号整合性および最速のスルー・レート (より優れた位相ノイズ性能)を実現するために、各クロック・バッファ出力が1つのAFE5808を駆動します。クロック位相ノイズが問題とならない場合、例えば、16/8/4 × f_{CW} 動作モードでの1 × f_{CW} クロックの場合などは、1つのクロック・ドライバ出力で複数のAFE5808を駆動できます。ただし、そのようなクロック分配回路設計には、特別な配慮が必要となります。標準的な超音波システムでは、すべてのクロックが同じクロック・ソース (例えば、16 × f_{CW} 、1 × f_{CW} クロック、オーディオADCクロック、RF ADCクロック、パルス繰り返し周波数信号、フレーム・クロックなど)から生成されることが望まれます。これにより、クロックの非同期化による干渉を最小限に抑えることができます。

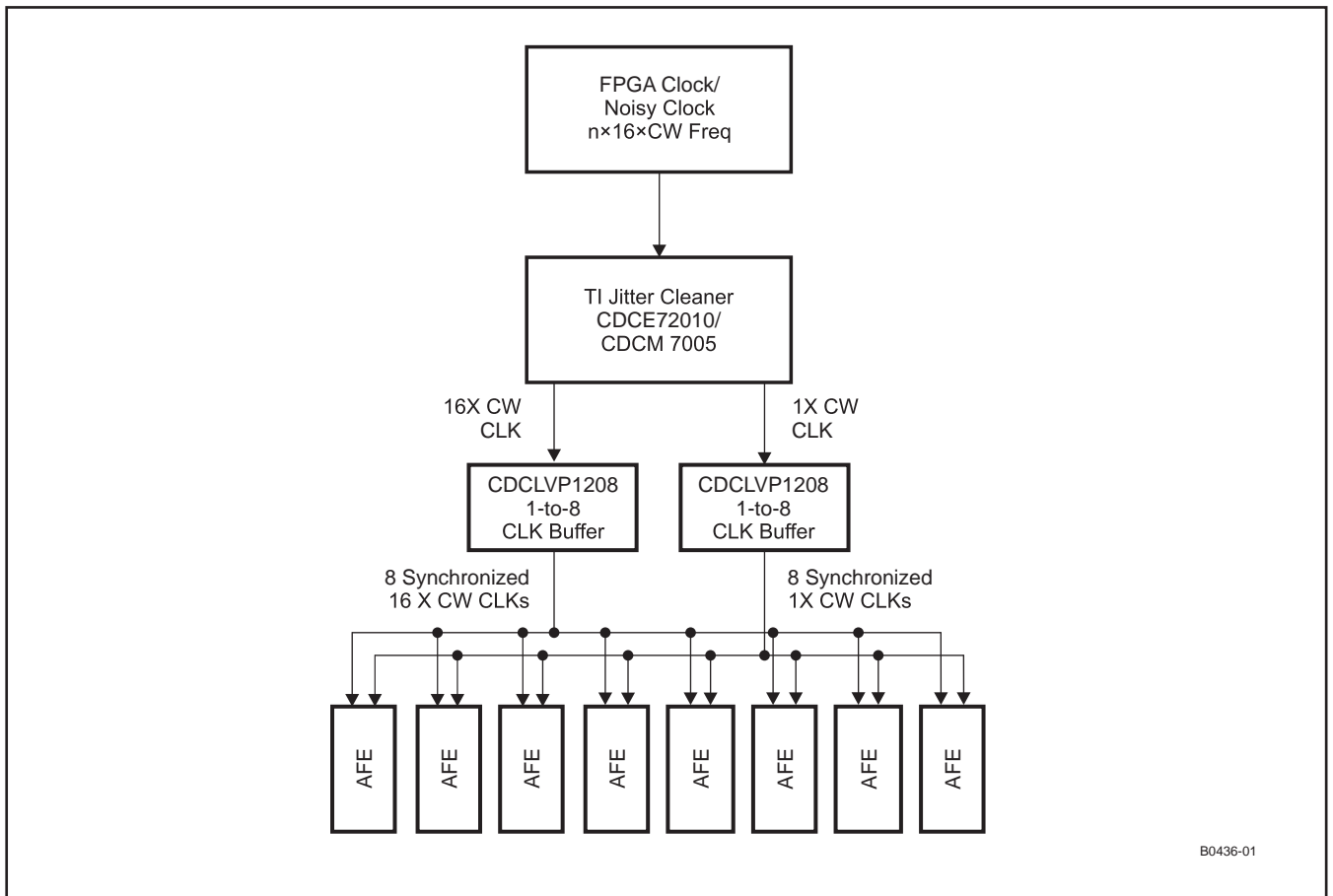


図 89. CWクロック分配

CWサポート回路

CW回路設計の一般的な手法として、適切にマッチングされたレイアウトと高精度の部品を使用して、同相および直角位相チャンネルを厳密に対称化する必要があります。

システムでは、追加のハイパス・ウォール・フィルタ (20Hz~500Hz) と、複数の極を持つローパス・オーディオ・フィルタ (10kHz~100kHz) が通常必要となります。CWドップラー信号の範囲は20Hz~20kHzであるため、この範囲下でのノイズが重要です。結果として、CW後処理用にこれらのアクティブ・フィルタを構築するには、低ノイズのオーディオ・オペアンプ (OPA1632, OPA2211など) が適しています。www.ti.comでは、他のフィルタ設計手法も提供されています。TIのアクティブ・フィルタ設計ツールもその1つです (<http://focus.ti.com/docs/toolsw/folders/print/filter-designer.html>)。

フィルタリングされたオーディオCW I/Q信号は、オーディオADCによってサンプリングされ、DSPまたはPCによって処理されます。CW信号周波数は20Hz~20kHzですが、以降のデシメーションおよびSNR向上のために、より高いサンプリング・レートのADCが推奨されます。CW信号はダイナミック・レンジが大きいので、ADS8413 (2MSPS/16ビット/92dBFS SNR) やADS8472 (1MSPS/16ビット/95dBFS SNR) などの高分解能ADC (16ビット以上) が必要です。同相チャンネルおよび直角位相チャンネルのADCは厳密にマッチングされる必要があり、最高のI/Qマッチングを実現するために、振幅マッチングだけでなく位相マッチングも必要となります。さらに、同相と直角位相のADCチャンネルは、同時にサンプリングされる必要があります。

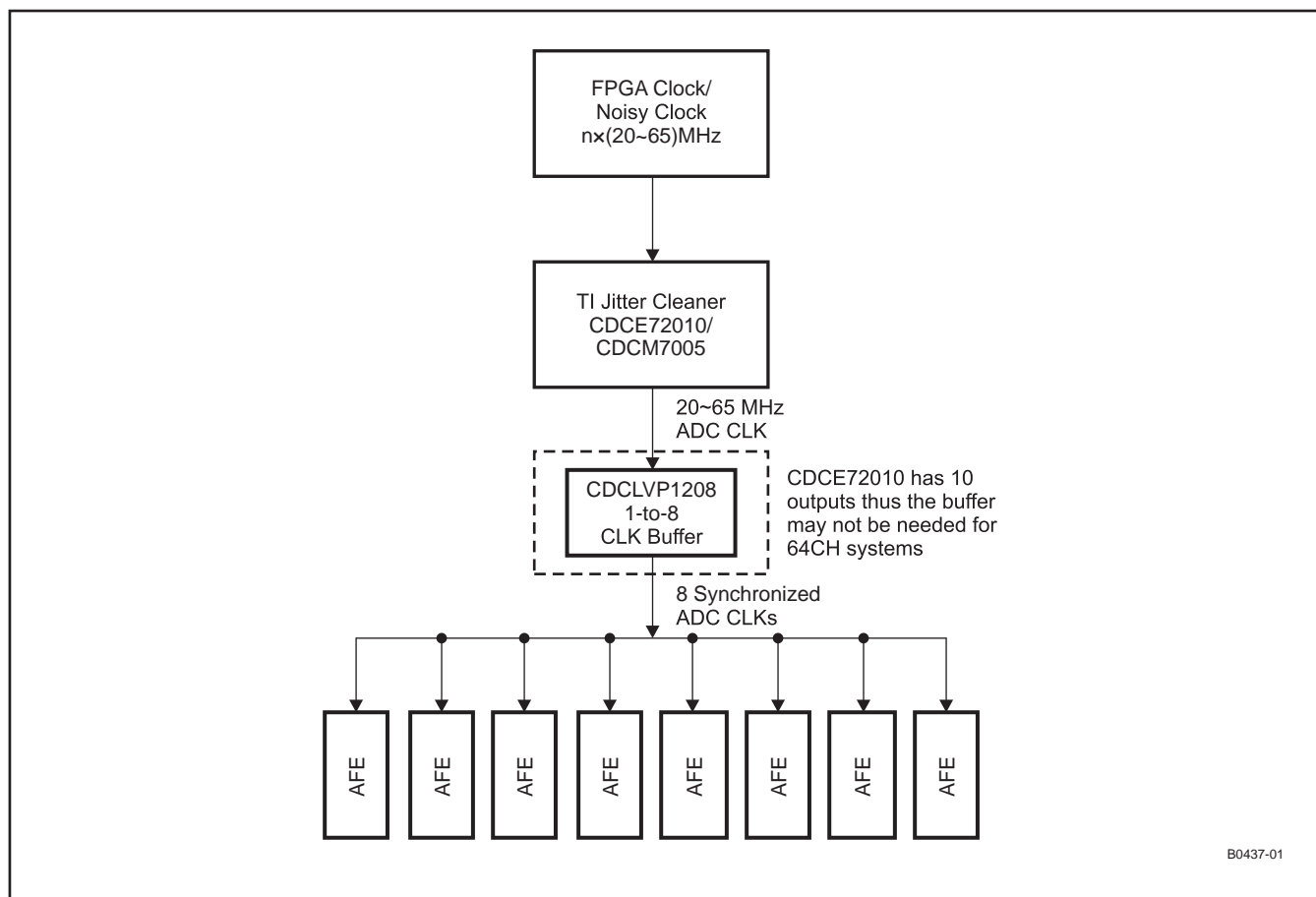
ADC動作

ADCクロック構成

アパーチャ遅延およびジッタがすべてのチャンネルで同じになるように、AFE5808ではクロック・ツリー・ネットワークを使用して各チャンネルへのサンプリング・クロックを生成しています。ソース・ポイントから8個の内部ADCそれぞれのサンプリング回路まで、すべてのチャンネルのクロックがマッチングされます。この遅延時間の変動については、「出力インターフェイス・タイミング」のアパーチャ遅延パラメータの項に記載されています。変動は、同じ表のアパーチャ・ジッタの数値で与えられます。

AFE5808のADCクロック入力、図88に示されるCWクロックと同様に、差動クロック (正弦波、LVPECLまたはLVDS) またはシングルエンド・クロック (LVCMOS) によって駆動できます。シングルエンドの場合には、低ジッタの方形波信号 (LVCMOSレベル、振幅1.8V) の使用が推奨されます。理論の詳細については、TIのドキュメントSLYT075を参照してください。

ジッタ・クリーナCDCM7005またはCDCE72010は、AFE5808のADCクロックの生成に適しており、14ビットのADCで77dBFSのSNR性能を確保できます。クロック分配ネットワークは図90に示されています。



B0437-01

図 90. ADCのクロック分配ネットワーク

ADCリファレンス回路

ADCの電圧リファレンスは、内部で生成するか、または外部から提供できます。内部リファレンス・モードを選択した場合、REFP/Mは出力ピンになり、フローティングにする必要があります。3[15] = 1および1[13] = 1のとき、デバイスは外部リファレンス・モードで動作するよう設定されます。この場合は、VREF_INピンを1.4Vリファレンス電圧で駆動し、REFP/Mはオープンにする必要があります。VREF_INの入力インピーダンスは高いため、1.4Vの電圧リファレンスに特別な駆動能力は必要とされません。

超音波システムのデジタル・ビーム形成アルゴリズムでは、すべてのレシーバ・チャンネル間のゲイン・マッチングが重要となります。標準的なシステムでは、基板上に12個の8進AFEがあります。そのような場合、ゲインのマッチングを確保することが重要であり、基本的にはすべてのAFEから見たリファレンス電圧が同じである必要があります。チップ上の8チャンネル間でのリファレンスのマッチングは、1つの内部リファレンス電圧バッファを使用して行われます。各チップ上のリファレンス電圧を製造時に調整することにより、異なるチップ間でリファレンス電圧が適切にマッチングされるようになります。外部リファレンス・モードを使用する場合は、プリント基板上にソリッドナリファレンス・プレーンを設けることで、デバイス間の電圧変動を最小限に抑えることができます。電圧リファレンス設計の詳細については、ドキュメントSLYT339に記載されています。AFE5808での支配的なゲイン変動は、VCAのゲイン変動によるものです。ADCリファレンス回路からのゲイン変動の寄与は、VCAのゲイン変動と比較するとわずかです。そのため、ほとんどのシステムでは、ADCの内部リファレンス・モードを使用することで、複数のAFE5808A間で良好なゲイン・マッチングを十分に維持できます。また、外部部品を使用しない内部リファレンス回路により、熱ノイズおよび位相ノイズについても十分な性能が得られます。

電力管理

電力/性能の最適化

AFE5808には、消費電力を調整して、さまざまなノイズ特性を満足させるオプションが用意されています。この機能は、より低電力が求められるバッテリー駆動のポータブル・システムに対して有用です。電気的特性表に示される特性情報、および標準的特性のプロットを参照してください。

電力管理の優先度

電力管理は、バッテリーの寿命を延ばし、長い稼働時間を確保するために、重要な役割を持ちます。AFE5808は、バッテリー寿命を最大化できる、高速で柔軟性の高いパワーダウン/アップ制御を備えています。AFE5808は、外部ピンまたは内部レジスタを通してパワーダウン/アップできます。次の表は、電力管理の適用によって影響を受ける回路ブロック、およびそれぞれの優先度を示しています。優先度の高い制御は、優先度の低い制御よりも優先されます。デバイス内では、すべてのパワーダウン制御が論理ORされて、各ブロックに対する最終的なパワーダウンが生成されます。したがって、優先度の高い制御によって、優先度の低い制御をカバーできます。

部分パワーアップ/ダウン・モード

部分パワーアップ/ダウン・モードは、高速パワーアップ/ダウン・モードとも呼ばれます。このモードでは、信号パス内のほとんどのアンプがパワーダウンされる一方、内部リファレンスおよびLVDSクロック回路は引き続きアクティブです。つまり、LVDS回路はフレームおよびビット・クロックを引き続き生成しています。

部分パワーダウン機能により、AFE5808は低電力状態からすばやくウェイクアップできます。この構成では、外部コンデンサがゆっくりと放電されるため、それらのコンデンサの電荷が回復される限り、必要なウェイクアップ時間は最小で済みます。VCAのウェイクアップ応答時間は、標準で約2 μ s、またはパワーダウン時間の1%のうち、いずれか長い方です。最長のウェイクアップ時間は、INPおよびINMに接続されたコンデンサに依存します。これは、ウェイクアップ時間は、コンデンサを目的の動作電圧まで再充電するのに必要な時間であるためです。INPに0.1 μ F、INMに15nFを使用した場合、ウェイクアップ時間は2.5msとなります。コンデンサが大きいほど、この時間は長くなります。ADCのウェイクアップ時間は、約1 μ sです。したがって、AFE5808のウェイクアップ時間は、VCAのウェイクアップ時間により大きく依存します。また、ここでは、通常動作モードの再開までに、ADCクロックが最低50 μ s以上動作していることを仮定しています。パワーダウンにかかる時間は、ごくわずか(1.0 μ s未満)です。

	名前	ブロック	優先度
ピン	PDN_GLOBAL	すべて	高
ピン	PDN_VCA	LNA + VCAT+ PGA	中
レジスタ	VCA_PARTIAL_PDN	LNA + VCAT+ PGA	低
レジスタ	VCA_COMPLETE_PDN	LNA + VCAT+ PGA	中
ピン	PDN_ADC	ADC	中
レジスタ	ADC_PARTIAL_PDN	ADC	低
レジスタ	ADC_COMPLETE_PDN	ADC	中
レジスタ	PDN_VCAT_PGA	VCAT + PGA	最低
レジスタ	PDN_LNA	LNA	最低

表 13. 電力管理の優先度

この高速ウェイクアップ応答は、省電力が不可欠なポータブル超音波アプリケーションで求められるものです。超音波システムのパルス繰り返し周波数は50kHz~500Hzであり、イメージング深度(受信パスのアクティブ周期)は10 μ s~数百 μ sです。システムのPRFが低い場合は、省電力が非常に重要となります。状況によっては、VCAだけをパワーダウンして、ADCを引き続き通常どおり動作させることで、FPGAへの影響を最小限にできます。

部分パワーダウン・モードでは、AFE5808の消費電力が標準で26mW/chまで低下し、通常動作モードと比較して80%の節電となります。このモードは、ピン(PDN_VCAおよびPDN_ADC)またはレジスタ・ビット(VCA_PARTIAL_PDNおよびADC_PARTIAL_PDN)のいずれかを使用して設定できます。

完全パワーダウン・モード

0.7mW/CHという最小消費電力を実現するには、AFE5808を完全パワーダウン・モードに設定します。このモードは、レジスタADC_COMPLETE_PDN、VCA_COMPLETE_PDN、またはPDN_GLOBALピンによって制御します。完全パワーダウン・モードでは、AFE5808内のすべての回路(リファレンス回路も含む)がパワーダウンされ、AFE5808に接続されたコンデンサが放電されます。ウェイクアップ時間は、これらのコンデンサの再充電に必要な時間に依存します。ウェイクアップ時間は、AFE5808がシャットダウン・モードに入っていた時間にも依存します。INPに0.1 μ F、INMに15nFを使用した場合、ウェイクアップ時間は約2.5msとなります。

CWモードでの省電力

通常、CWモードでは、システム内の半数のチャンネルだけがアクティブです。そのため、ADC_PDN_CH <7:0>およびVCA_PDN_CH <7:0>による個別チャンネル制御を通じて未使用チャンネルをパワーダウンすることで、消費電力を大きく低減できます。CWモードの既定のレジスタ設定では、電圧制御アッテネータ、PGA、ADCは引き続きアクティブです。デバッグ・フェーズ中は、PWパスとCWパスの両方が同時に動作していま

す。実際の動作では、これらのブロックを手動でパワーダウンする必要があります。

テスト・モード

AFE5808には、システム開発の迅速化に役立つ複数のテスト・モードが用意されています。ADCのテスト・モードについては、レジスタ説明の節で説明しています。

VCAのテスト・モードでは、CH7およびCH8のPGA出力をCWピンに提供できます。これらのPGA出力を監視することで、VCA動作の機能を検証できます。PGA出力は、5k Ω の抵抗を通して、加算アンプの仮想グラウンド・ピン(CW_IP_AMPINM/P、CW_QP_AMPINM/P)に接続されます。LPFのコンデンサCEXTを除去したときに、加算アンプの出力でこれらのPGA出力を監視できます。加算アンプ出力での信号は、5k Ω の抵抗によって減衰されていることに注意してください。減衰係数は、 $R_{INT/EXT}/5k\Omega$ です。

CEXTを除去せずにPGA出力をチェックしたい場合は、代替方法として、CW加算アンプのパワーダウン時に、PGA出力をCW_IP_AMPINM/PおよびCW_QP_AMPINM/Pで直接測定できます。

このテスト・モードには、いくつかのレジスタが関連しています。具体的には、PGAテスト・モード・イネーブル：Reg59[9]、バッファ・アンプ・パワーダウン：Reg59[8]、およびバッファ・アンプ・ゲイン制御：Reg54[4:0]です。これらのレジスタの設定内容は、バッファ・アンプ構成によって異なります。

構成1

- この構成では、テスト出力をCW_AMPINP/Mで監視できます。
- Reg59[9] = 1：テスト・モードをイネーブル
- Reg59[8] = 0：バッファ・アンプをパワーダウン

構成2

この構成では、テスト出力をCW_OUTP/Mで監視できます。

- Reg59[9] = 1：テスト・モードをイネーブル
- Reg59[8] = 1：バッファ・アンプをパワーオン
- Reg54[4:0] = 10H：内部の帰還用2k抵抗をイネーブル。異なる値も使用できます。

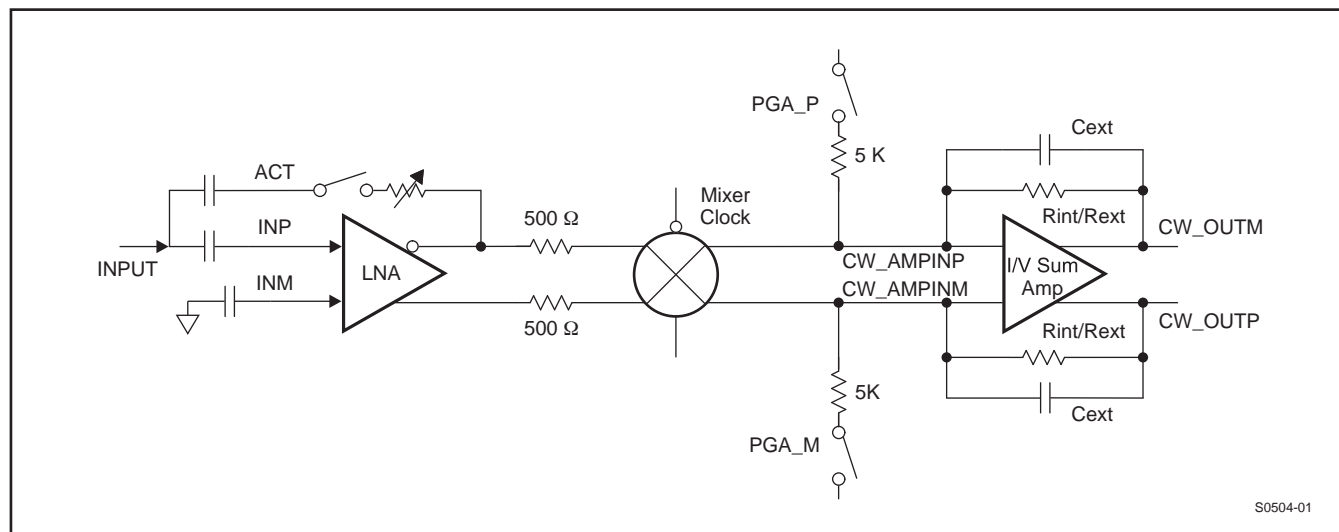


図 91. AFE5808のPGAテスト・モード

電源、グランド、およびバイパス

ミックスド・シグナルのシステム設計では、電源およびグランドの設計が重要となります。AFE5808では、2つのグランド、AVSS (アナログ・グランド) およびDVSS (デジタル・グランド) が区別されています。ほとんどの場合は、AFE5808に対して1つのグランド・プレーンを使用するようにプリント基板(PCB)をレイアウトすれば十分です。アナログ回路とデジタル回路の間の相互作用を最小限に抑えるために、このグランド・プレーンはシステム内の各セクション間で適切に分割されるよう注意が必要です。または、DVDDおよびDVSSピンで構成されるデジタル(DVDD)電源セットを、別個の電源およびグランド・プレーン上に配置することもできます。この構成の場合、AVSSおよびDVSSグランドをスター・レイアウト内の電源コネクタで互いに接続する必要があります。さらに、光アイソレータまたはデジタル・アイソレータ (ISO7240など) を使用すると、アナログ部分をデジタル部分から完全に分離できます。結果として、アナログ部分をデジタル・ノイズの影響から保護できます。表14に、各電源に関連する回路ブロックを示します。

AFE5808のすべてのバイパスおよび電源は、それぞれ対応するグランド・プレーンを基準とする必要があります。すべての電源ピンは、0.1 μ Fのセラミック・チップ・コンデンサ(サイズ0603以下)を使用してバイパスします。リードおよびパターンのインダクタンスを最小限にするため、これらのコンデンサは電源ピンに可能な限り近づけて配置する必要があります。部品の両面実装が可能な場合、これらのコンデンサはパッケージの直下に配置するのが最適です。さらに、メインの電源ピン上に大きなバイポーラ・デカップリング・コンデンサ(2.2 μ F~10 μ F、低周波で有効)を使用することもできます。これらの部品は、PCB上でAFE5808の近傍(0.5インチまたは12.7mm以内)に配置できます。

AFE5808には、CM_BY、VHIGH、VREF_INなど、バイパスが必要なリファレンス電源がいくつかあります。これらのピンは1 μ F以上でバイパスする必要があります。コンデンサの値が大きいくほど、低周波ノイズの抑制が向上します。最良の結果を得るには、低インダクタンスのセラミック・チップ・コンデンサ(サイズ0402、1 μ F以上)を選択し、デバイスのピンにできる限り近づけて配置します。

高速のミックスド・シグナル・デバイスは、各種のノイズ・カップリングに対して敏感です。ノイズの主要な発生源の1つは、シリアルライザおよび出力バッファ/ドライバからのスイッチング・ノイズです。AFE5808では、デバイス内でのアナログ電源とデジタル電源間の相互作用が最小限に抑えられるよう配慮がなされています。デジタル部およびアナログ部からカップリングされ伝達されるノイズの程度は、各電源およびグランド接続の実効インダクタンスに依存しています。電源およびグランド・ピンの実効インダクタンスが小さいほど、ノイズの抑制性能が向上します。その理由により、電源およびグランドの各セットの接続には、それぞれ複数のピンが使用されています。適切なプレーンおよびレイヤ厚を使用し、PCBレイアウト設計の全体を通して低いインダクタンス特性を保持することが重要です。

基板レイアウト

適切なグランドおよびバイパス、短いリード長、およびグランド・プレーンと電源プレーンの使用は、高周波設計において特に重要です。AFE5808のような高性能デバイスで最適な性能を実現するには、PCBレイアウトに十分な注意を払い、部品の配置を最適化することが必要です。通常は、多層PCBを使用すると最良の結果が得られ、部品配置も行いやすくなります。適切なLVDSタイミングを維持するために、すべてのLVDSパターンは、制御されたインピーダンス設計に従ってください。また、すべてのLVDSパターンの長さが等しく、対称となるようにします。パターン長の変動は150mil(0.150インチまたは3.81mm)未満に収めることを推奨します。

また、CWクロック・パスに対しては、適切な遅延マッチングを考慮する必要があります。これは特に、チャンネル数の多いシステムで重要です。例えば、クロック遅延が16xクロック周期の1/2である場合は、22.5°の位相誤差が生じる可能性があります。そのため、チャンネル間のタイミング遅延の差がビームフォーマの精度に影響を与えます。

BGA PCBレイアウトに関するその他の詳細は、Texas Instrumentsのアプリケーション・レポート『MicroStar BGA Packaging Reference Guide』(SSYZ015B)に記載されています。このレポートは、www.ti.comからダウンロードできます。

電源	グランド	回路ブロック
AVDD (3.3VA)	AVSS	LNA、アッテネータ、PGA(+クランプおよびBPF)、リファレンス回路、CW加算アンプ、CWミキサ、VCA SPI
AVDD_5V (5VA)	AVSS	LNA、CWクロック回路、リファレンス回路
AVDD_ADC (1.8VA)	AVSS	ADCアナログ回路、リファレンス回路
DVDD (1.8VD)	DVSS	LVDS、ADC SPI

表 14. 電源と回路ブロック

パッケージ情報

製品情報

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾	Samples (Requires Login)
AFE5808ZCF	ACTIVE	NFBGA	ZCF	135	160	Green (RoHS & no Sb/Br)	SNAGCU	Level-3-260C-168 HR	

(1) マーケティング・ステータスは次のように定義されています。

ACTIVE: 製品デバイスが新規設計用に推奨されています。

LIFEBUY: TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND: 新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW: デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBSOLETE: TIによりデバイスの生産が中止されました。

(2) エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) および Green (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

TBD: Pb-Free/Green変換プランが策定されていません。

Pb-Free (RoHS): TIにおける“Lead-Free”または“Pb-Free” (鉛フリー) は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリープロセスでの使用に適しています。

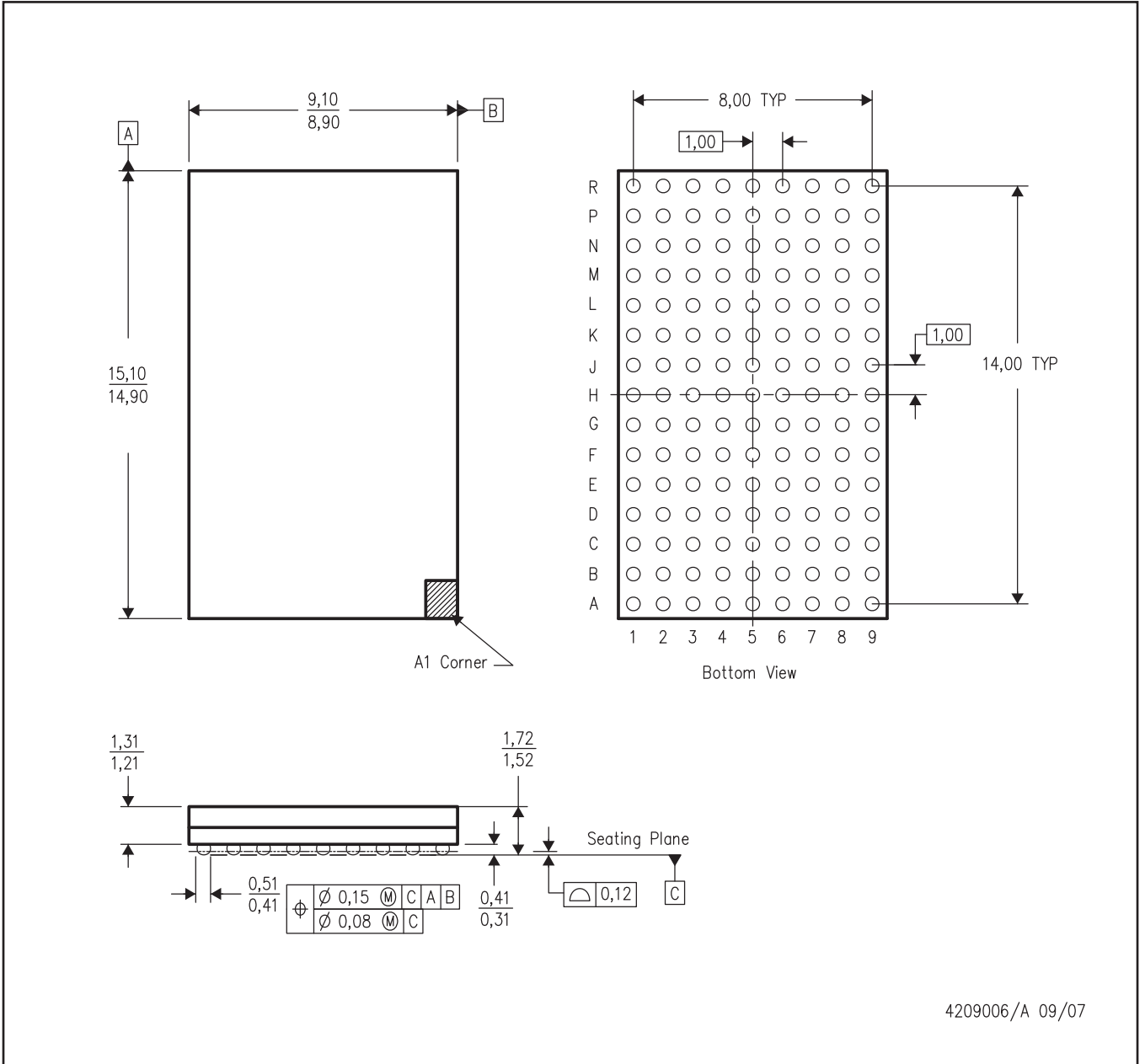
Pb-Free (RoHS Exempt): この部品は、1) ダイとパッケージの間に鉛ベースの半田バンプ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS) と考えられます。

Green (RoHS & no Sb/Br): TIにおける“Green”は、“Pb-Free” (RoHS互換) に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない (均質な材質中のBrまたはSb重量が0.1%を超えない) ことを意味しています。

(3) MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

重要な情報および免責事項: このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行いません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく適切な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

TIは、いかなる場合においても、かかる情報により発生した損害について、TIがお客様に1年間に販売した本書記載の問題となった TIパーツの購入価格の合計金額を超える責任を負いかねます。



4209006/A 09/07

- 注: A. 直線寸法はすべてミリメートル単位です。
 B. 本図は予告なしに変更することがあります。
 C. これは鉛フリー半田ボールの設計です。

TRAY



Chamfer on Tray corner indicates Pin 1 orientation of packed units.

*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
AFE5808ZCF	ZCF	NFBGA	135	160	10 x 16	150	315	135.9	7620	19.2	13.5	10.35
AFE5808ZCF.A	ZCF	NFBGA	135	160	10 x 16	150	315	135.9	7620	19.2	13.5	10.35

重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月