

AFE7700 クワッド・チャネル汎用 RF トランシーバ

1 特長

- ダイレクト・アップコンバージョン・アーキテクチャに基づくクワッド・トランスマッタ
 - チェーンごとに最大 600MHz の RF 送信帯域幅
- ゼロ IF ダウンコンバージョン・アーキテクチャに基づくクワッド・レシーバ
 - チェーンごとに最大 200MHz の RF 受信帯域幅
- RF サンプリング ADC に基づくフィードバック・チェーン
 - 最大 600MHz の RF 受信帯域幅
- RF 周波数範囲 : 600MHz~6GHz
- TX および RX LO 用の 4 つの広帯域フラクションアル N PLL、VCO
- データ・コンバータ・クロック生成専用の整数 N PLL、VCO
- JESD204B および JESD204C SerDes インタフェイスに対応
 - 8 つの SerDes トランシーバ (最高 29.5Gbps)
 - 8b/10b および 64b/66b エンコード
 - 16 ビット、12 ビット、24 ビット、32 ビットのフォーマット
 - サブクラス 1 のマルチデバイス同期
- パッケージ : 17mm × 17mm FCBGA、0.8mm ピッチ

2 アプリケーション

- フェーズド・アレイ・レーダー
- 防衛無線
- ワイヤレス通信テスト
- ベクトル信号トランシーバ (VST)
- 電子戦

3 概要

AFE7700 は高性能のマルチチャネル・トランシーバであり、4 つのダイレクト・アップコンバージョン・トランスマッタ・チェーン、4 つのダイレクト・ダウンコンバージョン・レシーバ・チェーン、2 つの広帯域 RF サンプリング・デジタル・シグナル・プロセッシング (DSP) ブロックを統合しています。トランスマッタおよびレシーバ・チェーンのダイナミック・レンジが大きいため、高性能のワイヤレス・トランシーバ・システムを実現します。

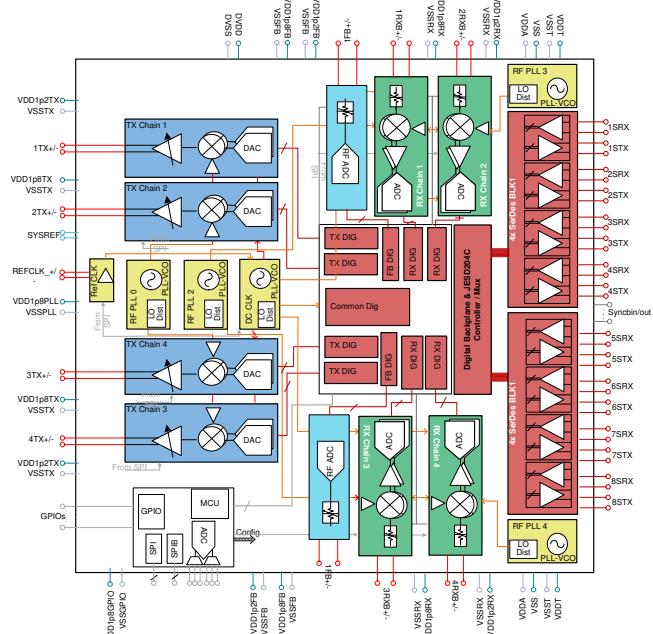
AFE7700 は消費電力が低く、多くのチャネルを統合できるため、消費電力とサイズの制約が厳しいマルチアンテナおよびフェーズド・アレイ・システムにも対応できます。広帯域でダイナミック・レンジが大きいフィードバック・パスは、トランスマッタ・チェーンにおけるパワー・アンプのデジタル・プリディストーション (DPD) と IQ 補正に役立ちます。SerDes が高速なため、データの入出力に必要なレーン数を減らすことができます。

製品情報⁽¹⁾

型番	パッケージ	本体サイズ(公称)
AFE7700	FCBGA (400)	17.00mm×17.00mm

(1) 利用可能なすべてのパッケージについては、このデータシートの末尾にある注文情報を参照してください。

AFE7700 のブロック図



英語版のTI製品についての情報を翻訳したこの資料は、製品の概要を確認する目的で便宜的に提供しているものです。該当する正式な英語版の最新情報は、www.ti.comで閲覧でき、その内容が常に優先されます。TIでは翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、必ず最新版の英語版をご参照くださいますようお願いいたします。

4 概要(続き)

AFE7700 の各レシーバ・チェーンには、広帯域パッシブ IQ 復調器を接続した 28dB レンジのデジタル・ステップ・アンプ (DSA) と、プログラム可能なアンチ・エイリアス・ローパス・フィルタ付きベースバンド・アンプが含まれ、連続時間型シグマ・デルタ ADC を駆動します。RX チェーンは最大 200MHz の瞬時帯域幅 (IBW) を受信できます。レシーバの各チャネルには 2 つのアナログ・ピーク電力検出器と、各種のデジタル電力検出器が搭載されており、レシーバ・チャネルを外部または内部から自律的に AGC 制御するのに役立ちます。また、デバイスの信頼性を確保するための RF 過負荷検出器も搭載されています。内蔵の QMC (直交ミスマッチ補償) アルゴリズムは、特定の信号の注入もオフラインでの較正も行わずに、RX チェーンの I と Q の不均衡によるミスマッチ(不整合)を連続的に監視および補正できます。

トランシミッタの各チェーンには、2 つの 14 ビット、3Gsp/s IQ DAC に続き、プログラマブル再構成および DAC イメージ除去フィルタと、39dB レンジのゲイン制御付き広帯域 RF アンプを駆動する IQ 変調器が含まれます。TX チェーンには QMC および LO リーク・キャンセル・アルゴリズムが統合されているため、FB パスを利用して TX チェーンの IQ ミスマッチと LO リークを常時追跡および修正できます。

各 FB パスは RF サンプリング・アキテクチャに基づいており、14 ビット、3Gsp/s の RF ADC を駆動する入力 RF DSA を内蔵しています。このダイレクト・サンプリング・アキテクチャにより、本質的に広帯域なレシーバ・チェーンを実現し、TX チェーンの性能低下を簡単に較正できます。各 FB パスは、観測する 2 つの RF 入力バンドを高速に切り替えることができる 2 つの独立した NCO を内蔵しています。

シンセサイザ・セクションは、4 つの異なる RF LO を生成できる 4 つのフラクショナル N RF PLL を内蔵しているため、本デバイスは最大 2 つの異なるバンド(各バンドを 2 つのトランシミッタ、2 つのレシーバ、1 つのフィードバック・パスとして構成)をサポートできます。

5 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

2019年10月発行のものから更新	Page
• デバイス・ステータスを事前情報から量産データに変更	1

6 デバイスおよびドキュメントのサポート

6.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、ti.comのデバイス製品フォルダを開いてください。右上の「アラートを受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

6.2 サポート・リソース

[TI E2E™ support forums](#) are an engineer's go-to source for fast, verified answers and design help — straight from the experts. Search existing answers or ask your own question to get the quick design help you need.

Linked content is provided "AS IS" by the respective contributors. They do not constitute TI specifications and do not necessarily reflect TI's views; see TI's [Terms of Use](#).

6.3 商標

E2E is a trademark of Texas Instruments.

All other trademarks are the property of their respective owners.

6.4 静電気放電に関する注意事項

 すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。
静電気放電はわずか性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

6.5 Glossary

[SLYZ022 — TI Glossary](#).

This glossary lists and explains terms, acronyms, and definitions.

7 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、そのデバイスについて利用可能な最新のデータです。このデータは予告なく変更されることがあります。ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
AFE7700IABJ	Active	Production	FCBGA (ABJ) 400	90 JEDEC TRAY (5+1)	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 85	AFE7700
AFE7700IABJ.B	Active	Production	FCBGA (ABJ) 400	90 JEDEC TRAY (5+1)	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 85	AFE7700
AFE7700IALK	Active	Production	FCBGA (ALK) 400	90 JEDEC TRAY (10+1)	No	SNPB	Level-3-220C-168 HR	-40 to 85	AFE7700 SNPB
AFE7700IALK.B	Active	Production	FCBGA (ALK) 400	90 JEDEC TRAY (10+1)	No	SNPB	Level-3-220C-168 HR	-40 to 85	AFE7700 SNPB

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

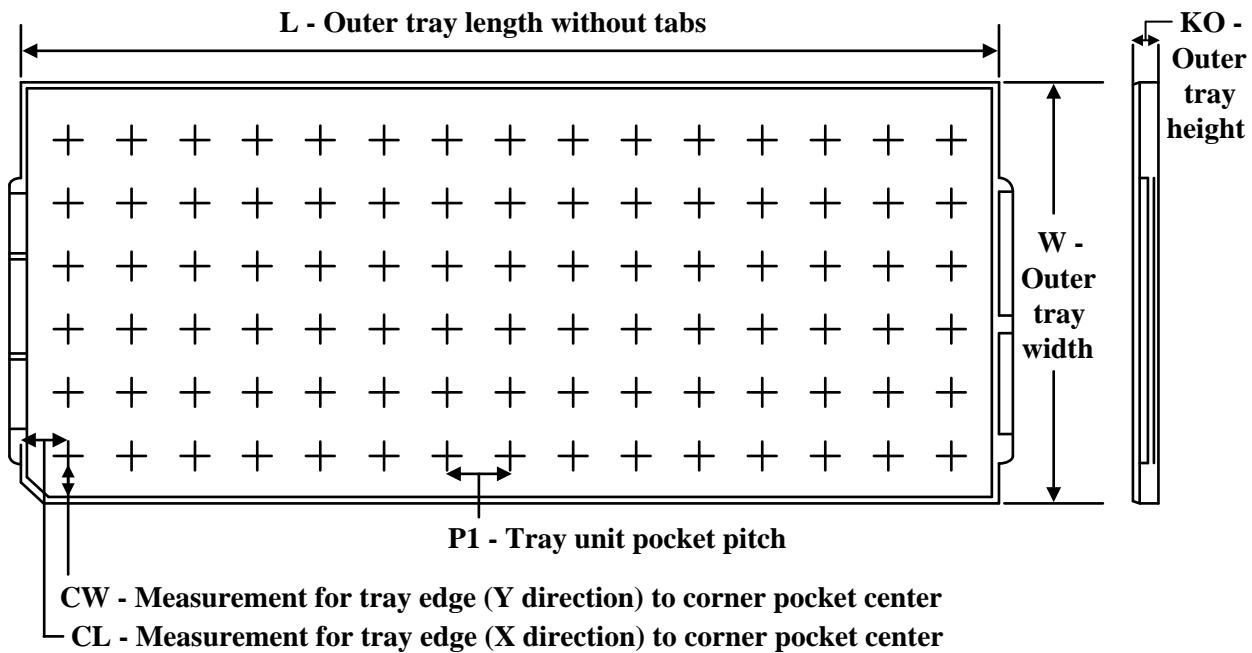
⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a " ~ " will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TRAY


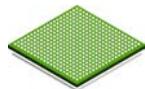
Chamfer on Tray corner indicates Pin 1 orientation of packed units.

*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	KO (µm)	P1 (mm)	CL (mm)	CW (mm)
AFE7700IABJ	ABJ	FCBGA	400	90	6 x 15	150	315	135.9	7620	19.5	21	19.2
AFE7700IABJ.B	ABJ	FCBGA	400	90	6 x 15	150	315	135.9	7620	19.5	21	19.2
AFE7700IALK	ALK	FCBGA	400	90	6 x 15	150	315	135.9	7620	19.5	21	19.2
AFE7700IALK.B	ALK	FCBGA	400	90	6 x 15	150	315	135.9	7620	19.5	21	19.2

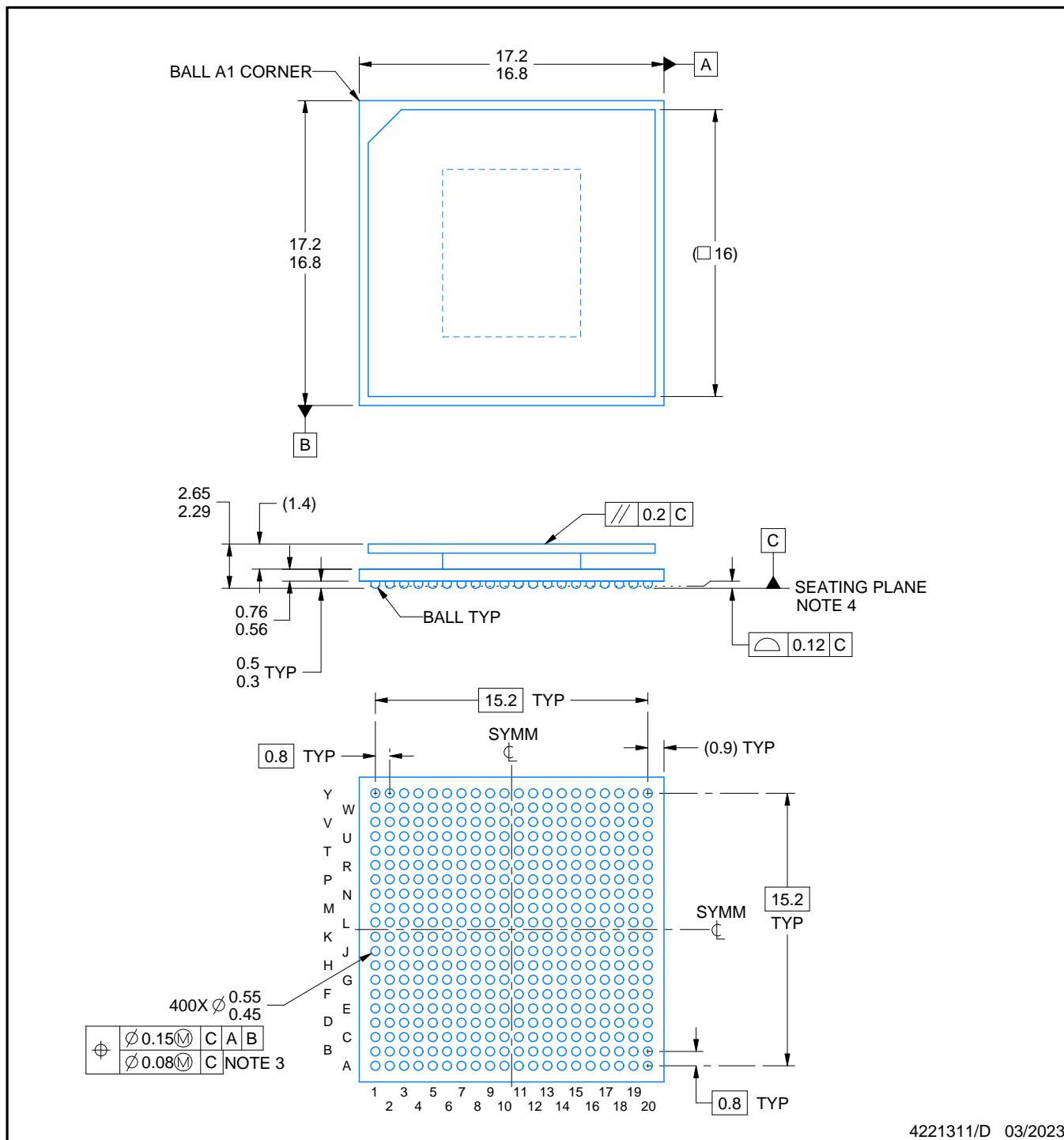
PACKAGE OUTLINE

ABJ0400A



FCCBGA - 2.65 mm max height

BALL GRID ARRAY



4221311/D 03/2023

NOTES:

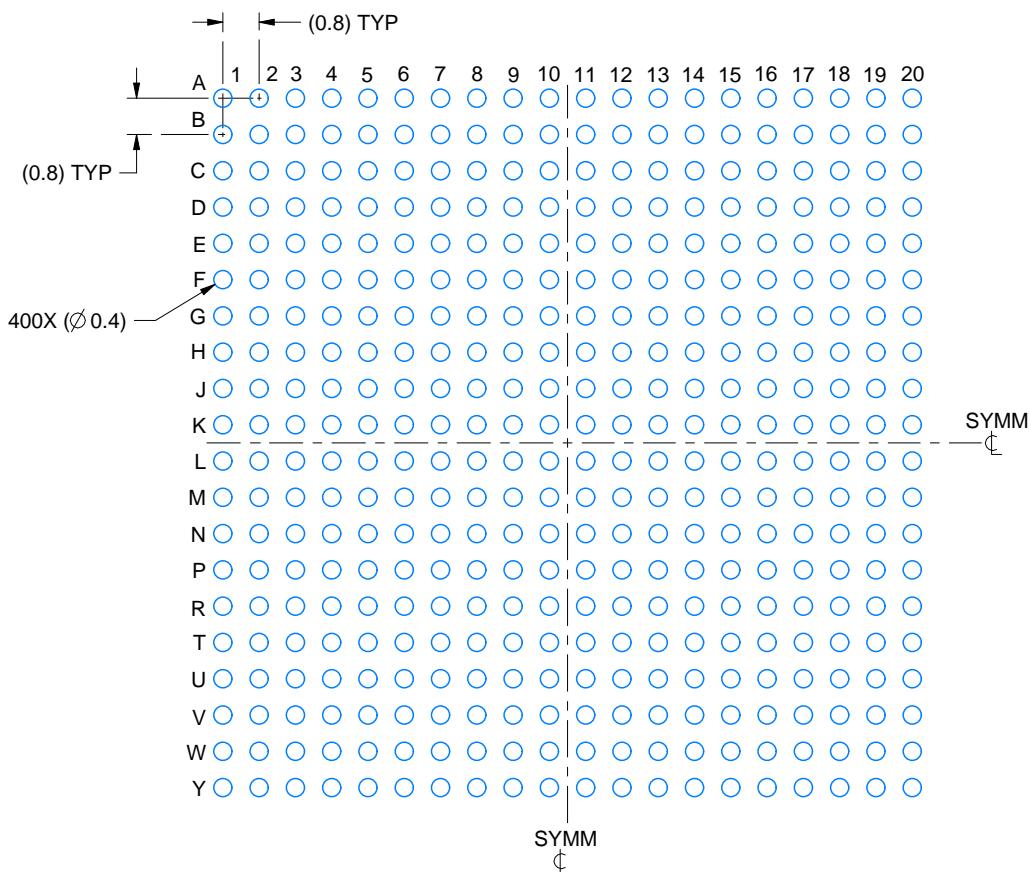
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Dimension is measured at the maximum solder ball diameter, parallel to primary datum C.
4. Primary datum C and seating plane are defined by the spherical crowns of the solder balls.
5. The lids are electrically floating (e.g. not tied to GND).

EXAMPLE BOARD LAYOUT

ABJ0400A

FCBGA - 2.65 mm max height

BALL GRID ARRAY



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:6X



4221311/D 03/2023

NOTES: (continued)

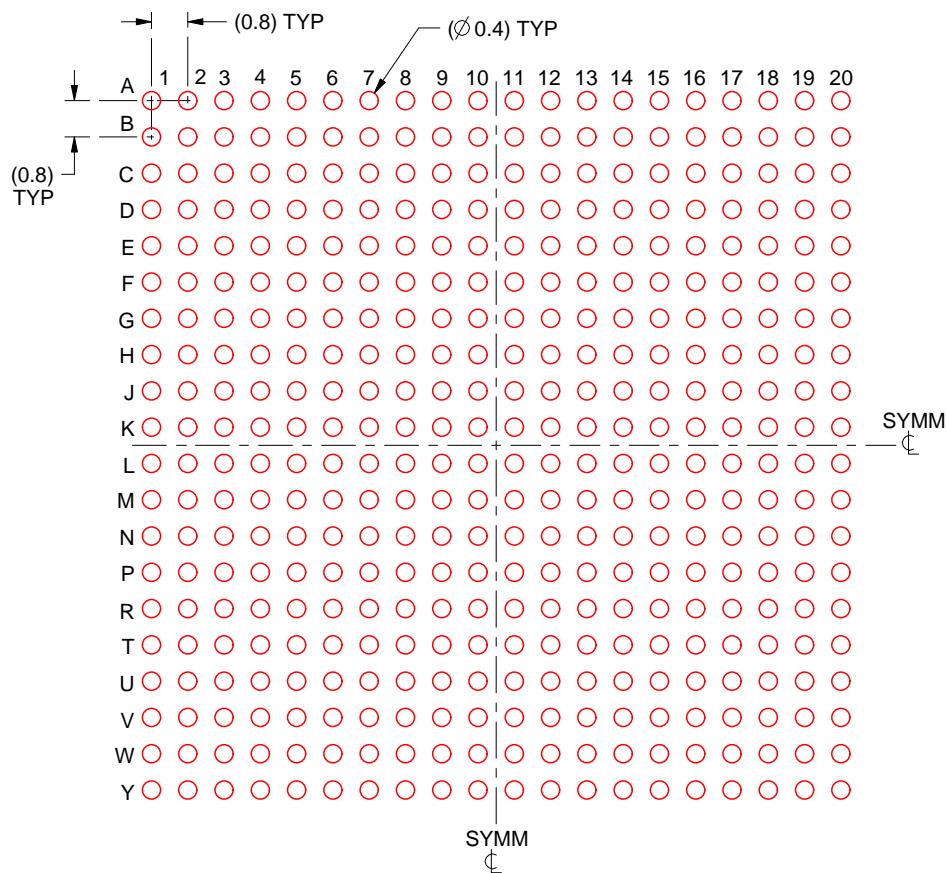
- Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.
For more information, see Texas Instruments literature number SPRU811 (www.ti.com/lit/spru811).

EXAMPLE STENCIL DESIGN

ABJ0400A

FCBGA - 2.65 mm max height

BALL GRID ARRAY



SOLDER PASTE EXAMPLE
BASED ON 0.15 mm THICK STENCIL
SCALE:6X

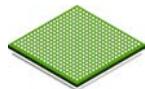
4221311/D 03/2023

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

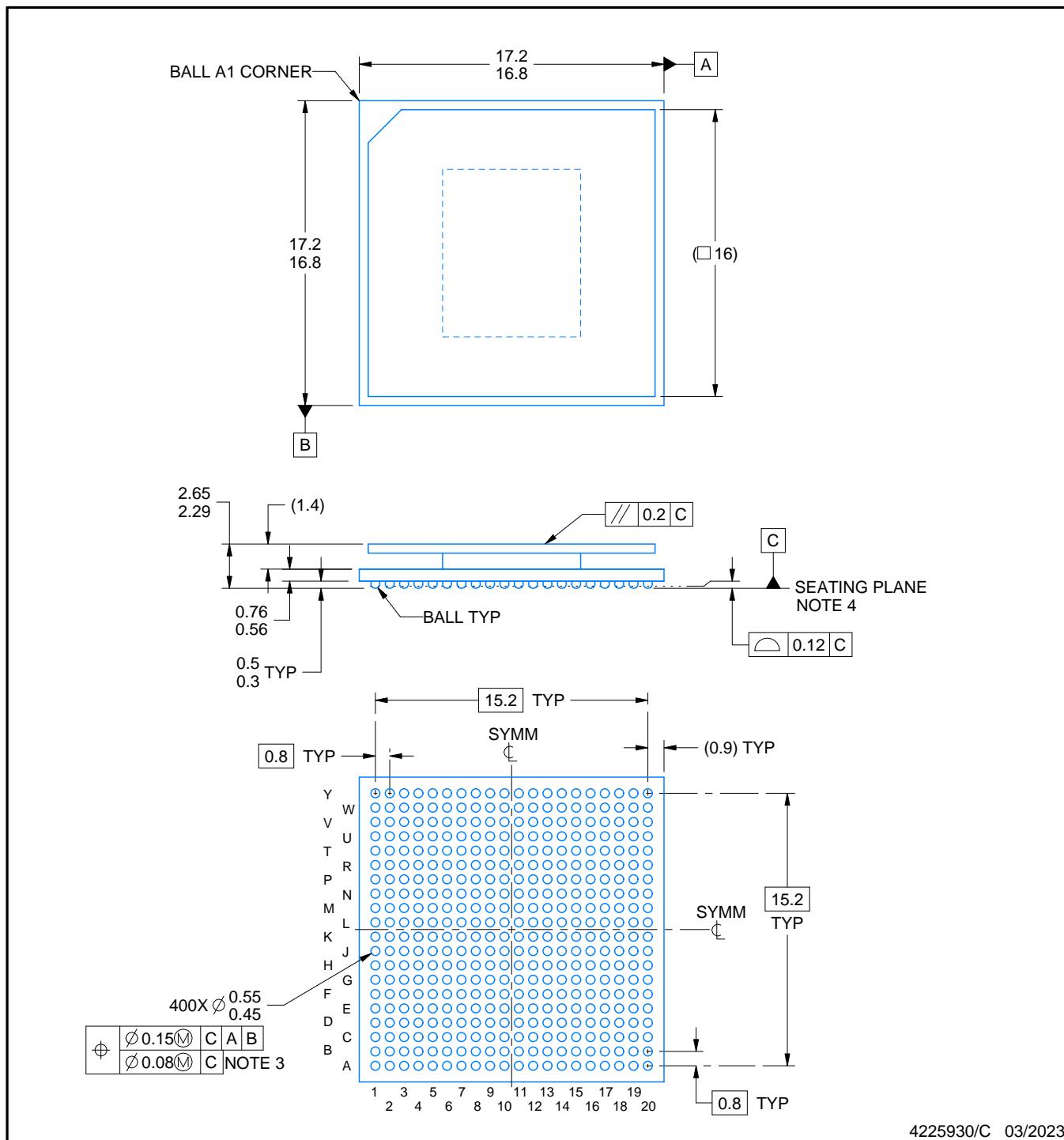
PACKAGE OUTLINE

ALK0400A



FCCBGA - 2.65 mm max height

BALL GRID ARRAY



4225930/C 03/2023

NOTES:

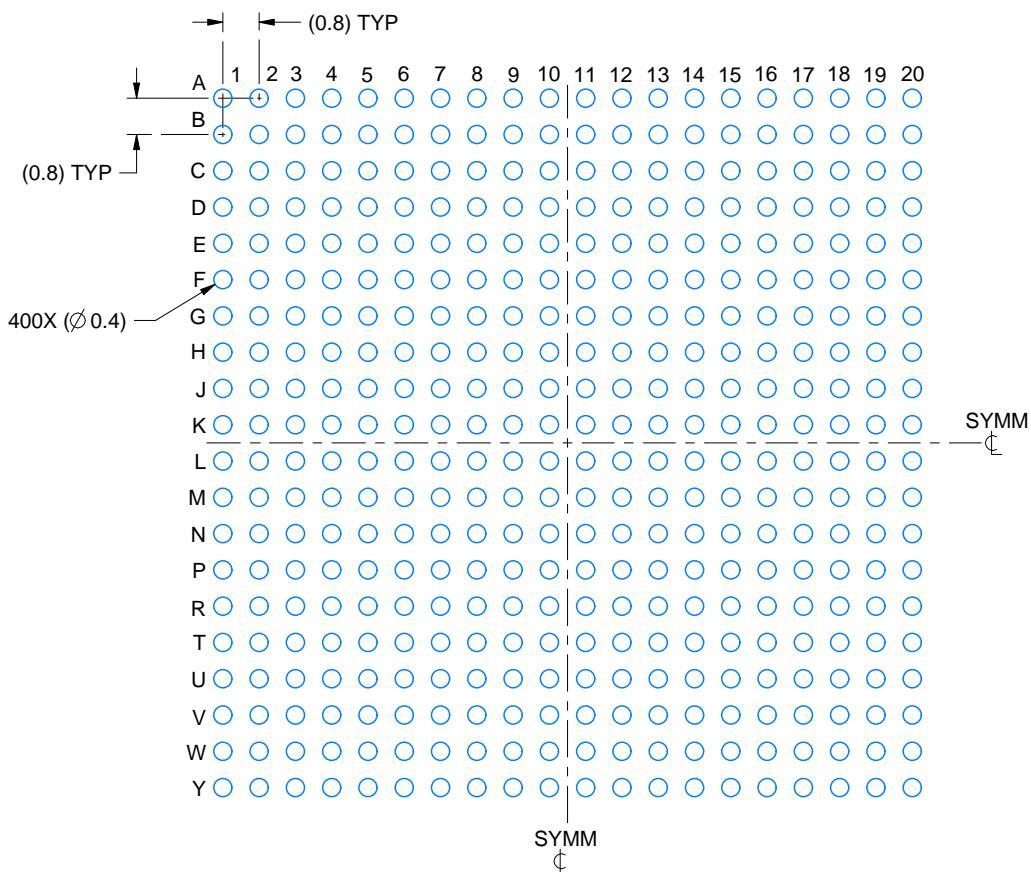
- All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- Dimension is measured at the maximum solder ball diameter, parallel to primary datum C.
- Primary datum C and seating plane are defined by the spherical crowns of the solder balls.
- Pb-Free die bump and SnPb solder ball.
- The lids are electrically floating (e.g. not tied to GND).

EXAMPLE BOARD LAYOUT

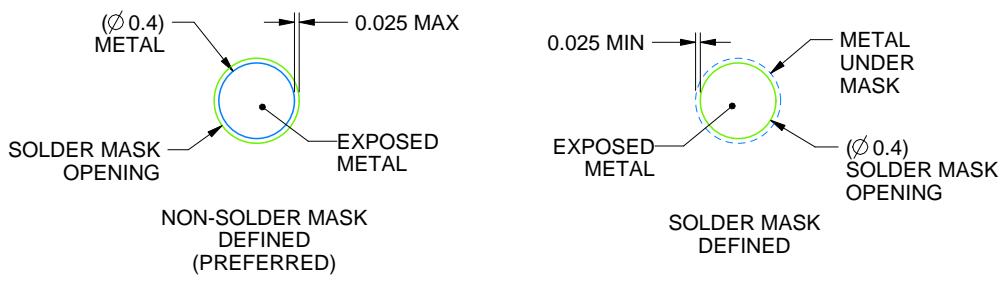
ALK0400A

FCBGA - 2.65 mm max height

BALL GRID ARRAY



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:6X



SOLDER MASK DETAILS
NOT TO SCALE

4225930/C 03/2023

NOTES: (continued)

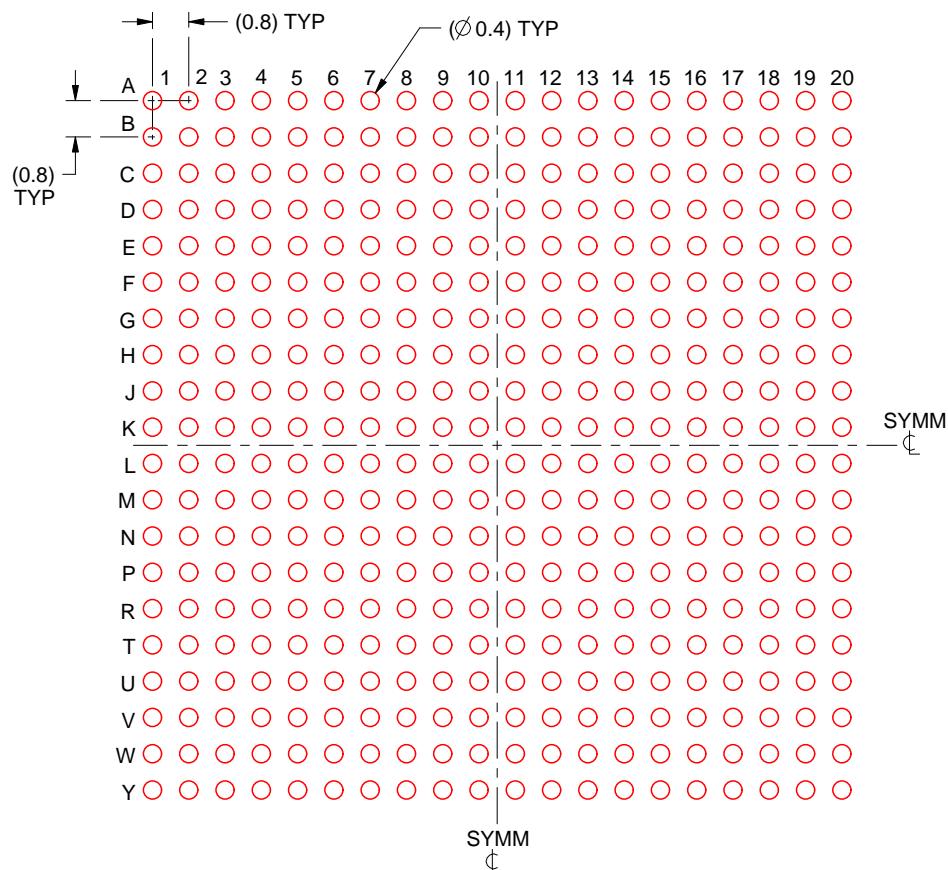
- Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.
For more information, see Texas Instruments literature number SPRU811 (www.ti.com/lit/spru811).

EXAMPLE STENCIL DESIGN

ALK0400A

FCBGA - 2.65 mm max height

BALL GRID ARRAY



SOLDER PASTE EXAMPLE
BASED ON 0.15 mm THICK STENCIL
SCALE:6X

4225930/C 03/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Webツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適した TI 製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月