

AM69x プロセッサ、シリコン リビジョン 1.0

1 特長

プロセッサ コア:

- 最大 8 つ、最高 2GHz の 64 ビット Arm® Cortex®-A72 マイクロプロセッサ サブシステム
 - クワッド コア Cortex®-A72 クラスごとに 2MB の共有 L2 キャッシュ、
 - Cortex®-A72 コアごとに 32KB L1 D キャッシュと 48KB L1 I キャッシュ
- 最大 4 つのディープラーニング用アクセラレータ、:
 - それぞれ最大 8 TOPS (1 秒あたり 8 兆回の演算) を実現
 - 合計で 32TOPS (1 秒あたり 32 兆回の演算)
- デュアル コア Arm® Cortex®-R5F MCU、最大 1.0GHz、FFI を採用した汎用コンピューティング パーティション
 - 16KB L1 D キャッシュ、16KB L1 I キャッシュ、および 64KB L2 TCM
- デュアル コア Arm® Cortex®-R5F MCU、最大 1.0GHz、デバイス管理をサポート
 - 32K L1 D キャッシュ、32K I キャッシュ、64K L2 TCM、すべてのメモリに SECDED ECC 付き
- 画像信号プロセッサ (ISP) 搭載最大 2 つのビジョン処理アクセラレータ (VPAC) と複数のビジョン支援アクセラレータ
 - 480MPixel/s ISP
 - 最大 16 ビットの入力 RAW 形式をサポート
 - ワイド ダイナミックレンジ (WDR)、レンズ歪み補正 (LDC)、ビジョン イメージング サブシステム (VISS)、マルチスカラー (MSC) のサポート
 - 出力カラー フォーマット: 8 ビット、12 ビット、YUV 4:2:2、YUV 4:2:0、RGB、HSV/HSL
- マルチメディア:
 - ディスプレイ サブシステムのサポート:
 - 最大 4 台のディスプレイ
 - 最大 2 つの DSI 4L TX (最大 2.5K)
 - 1 つの eDP 4L
 - 1 つの DPI 24 ビット RGB パラレル インターフェイス
 - 凍結フレーム検出や MISR データ チェックなどの安全機能
 - 3D グラフィックス処理ユニット
 - 最大 800MHz の IMG BXS-4-64
 - 50GFLOPS、4GTexels/s
 - API OpenGL ES 3.1、Vulkan 1.2 に対応

- 3 つの CSI2.0 4L カメラ シリアル インターフェイス RX (CSI-RX) と、DPHY 付きの 2 つの CSI2.0 4L TX (CSI-TX)
 - MIPI CSI 1.3 準拠 + MIPI-DPHY 1.2
 - CSI-RX は各レーンで最大 2.5Gbps の 1、2、3、4 データレーン モードをサポート
 - CSI-TX は各レーンで最大 2.5Gbps の 1、2、4 データレーン モードをサポート
- 2 つのビデオ エンコーダ / デコーダ モジュール
 - HEVC (H.265) メイン プロファイルをレベル 5.1 上位層でサポート
 - H.264 ベースライン / メイン / ハイ プロファイルをレベル 5.2 でサポート
 - モジュールごとに最大 4K UHD 解像度 (3840 × 2160) をサポート
 - 各モジュールは 4K60 H.264/H.265 エンコーダ / デコーダをサポート (最大 480MP/s)

メモリ サブシステム:

- 最大 8MB のオンチップ L3 RAM、ECC およびコヒーレンシ機能付き
 - ECC エラー保護
 - 共有コヒーレント キャッシュ
 - 内部 DMA エンジンをサポート
- 最大 4 つの外部メモリ インターフェイス (EMIF) モジュール、ECC 付き
 - LPDDR4 メモリ タイプをサポート
 - 最大 4266MT/s の速度をサポート
 - 最高 68GB/s、最大 4 本の 32 ビットバス、インライン ECC 付き
- 汎用メモリ コントローラ (GPMC)
- メインドメインの 512KB のオンチップ SRAM、ECC 保護付き
- 部品番号の末尾が Q1 のバリエーションについては AEC-Q100 認定済み

デバイスのセキュリティ:

- セキュアなランタイム サポートによるセキュア ブート
- お客様がプログラム可能なルート キー (RSA-4K または ECC-512 まで)
- 組み込みハードウェア セキュリティ モジュール
- 暗号化ハードウェア アクセラレータ – ECC 付き PKA、AES、SHA、RNG、DES、3DES

高速シリアル インターフェイス:

- 最大 8 つの外部ポートをサポートする内蔵イーサネット スイッチ
 - 2 つのポートで 5Gb、10Gb USXGMII、または 5Gb XFI をサポート



- すべてのポートが 1Gb、2.5Gb SGMII をサポート
- すべてのポートが QSGMII をサポート可能。最大 2 つの QSGMII をイネーブルにでき、8 つの内部レーンをすべて使用。1 つの QSGMII インターフェイスは 4 つの内部レーンを使用。
- 最大 4 つの 2-L/2x4L PCI-Express® (PCIe) Gen3 コントローラ
 - Gen1 (2.5GT/s)、Gen2 (5.0GT/s)、Gen3 (8.0GT/s) で動作 (オート ネゴシエーション付き)
- 1 つの USB 3.0 デュアルロール デバイス (DRD) サブシステム
 - Enhanced SuperSpeed Gen1 ポート
 - Type-C スイッチングをサポート
 - USB ホスト、USB ペリフェラル、USB DRD として個別に構成可能

イーサネット

- 2 つの RGMII/RMII インターフェイス

車載インターフェイス:

- CAN-FD をフルサポートする 20 個のモジュラー コントローラ エリア ネットワーク (MCAN) モジュール

オーディオ インターフェイス:

- 5 個のマルチチャネル オーディオ シリアル ポート (MCASP) モジュール

2 アプリケーション

- 産業用:
- マシン ビジョン カメラとコンピュータ
- スマート ショッピング カート
- リテール オートメーション
- スマート農業
- ビデオ監視
- 交通監視
- 自律型モバイル ロボット (AMR)
- ドローン
- 産業用輸送
- 産業用ヒューマン マシン インターフェイス (HMI)
- 産業用 PC
- シングル ボード コンピュータ
- 患者モニタリングと医療機器

フラッシュ メモリ インターフェイス:

- 組み込み MultiMediaCard インターフェイス (eMMC™ 5.1)
- 1 つの Secure Digital® 3.0/Secure Digital Input Output 3.0 インターフェイス (SD3.0/SDIO3.0)
- 2 つのレーンを持つユニバーサル フラッシュ ストレージ (UFS 2.1) インターフェイス
- 2 つの独立したフラッシュ インターフェイスを以下のように構成
 - 1 つの OSPI または HyperBus™ または QSPI フラッシュ インターフェイス、および
 - 1 つの QSPI フラッシュ インターフェイス

システム オン チップ (SoC) アーキテクチャ:

- 16nm FinFET テクノロジー
- 31mm × 31mm、0.8mm ピッチ、1414 ピンの FCBGA (ALY)、IPC クラス 3 PCB 配線に対応

TPS6594-Q1 コンパニオン パワー マネージメント IC (PMIC):

- ASIL-D/SIL-3 までの機能安全サポートを
- 柔軟なマッピングにより各種の使用事例をサポート

3 説明

AM69、AM69A 拡張可能プロセッサ ファミリーは、画期的な Jacinto™ 7 アーキテクチャを基礎とし、スマートビジョンカメラアプリケーションを対象としており、ビジョンプロセッサ市場においてテキサス・インスツルメンツがリーダーとして10年以上蓄積した膨大な市場知識の上に構築されています。AM69x ファミリーは、ファクトリオートメーション、ビルオートメーション、その他の市場におけるコスト重視の高性能コンピューティングアプリケーションを幅広く想定して構築されています。

AM69、AM69A は、高度なシステム統合によって、従来型とディープラーニングの両方のアルゴリズムを業界最高の電力/性能比で高速に計算するテクノロジーを備え、先進ビジョンカメラアプリケーションの拡張性とコスト低減を実現できます。主要なコアは、最新の汎用コンピューティング向け Arm および GPU プロセッサ、スカラおよびベクタコアを搭載した次世代 DSP、専用のディープラーニングおよび従来のアルゴリズムアクセラレータ、統合型次世代イメージングサブシステム (ISP)、ビデオコーデック、ならびに分離された MCU アイランドを備えています。これらはすべて、産業グレードの安全およびセキュリティハードウェアアクセラレータにより保護されています。

汎用コンピューティングコアと統合の概要: 2つのクワッドコア クラスタ構成 (合計 8 コア) の Arm® Cortex®-A72 を搭載し、ソフトウェアハイパーバイザの必要性を最小限に抑えながら、マルチ OS アプリケーションを容易に実現できます。最大 2 つのデュアルコア (合計 4 コア) Arm® Cortex®-R5F サブシステムが、低レベルのタイムクリティカルなタスクを処理し、Arm® Cortex®-A72 コアに負荷がかからないようにしてアプリケーションの実行に備えます。既存の世界最先端の ISP に基づいて構築されたテキサス・インスツルメンツの第 7 世代 ISP は、より広範なセンサスイートを処理する柔軟性、より深いビット深度のサポート、分析アプリケーションを対象とした機能を備えています。内蔵セキュリティ機能が最新の攻撃からデータを保護する一方で、内蔵の診断および安全性機能は SIL-2 レベルまでの動作をサポートしています。CSI2.0 ポートにより、複数のセンサ入力が可能です。

主要な高性能コアの概要: C7000™ DSP 次世代コア (「C7x」) は、テキサス・インスツルメンツの業界最先端の DSP と EVE コアを 1 つの高性能コアに統合し、浮動小数点ベクトル計算機能を追加することで、ソフトウェアのプログラミングを簡単にしながら従来のコードとの後方互換性を確保しています。4 つの「MMAv2」ディープラーニングアクセラレータは、最も厳しい接合部温度である 105°C ~ 125°C で動作する場合でも、業界最小の電力エンベロップ内で最大 32TOPS (1 秒あたり 32 兆回の演算) (1 コアあたり 8TOPS) の性能を達成できます。専用ビジョンハードウェアアクセラレータは、システム性能に影響を及ぼさずにビジョン前処理を実行します。C7x/MMA コアは、AM69、AM69A クラスのプロセッサのディープラーニング機能でのみ利用できます。

パッケージ情報

| 部品番号 | パッケージ (1) | パッケージサイズ(2) |
|---------|-------------------|---------------|
| AM69A98 | ALY (FCBGA, 1414) | 31 mm × 31 mm |
| AM69A78 | ALY (FCBGA, 1414) | 31 mm × 31 mm |
| AM6958 | ALY (FCBGA, 1414) | 31 mm × 31 mm |
| XJ784S4 | ALY (FCBGA, 1414) | 31 mm × 31 mm |

- (1) 詳細については、「[メカニカル、パッケージ、および注文情報](#)」セクションを参照してください。
 (2) パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

3.1 機能ブロック図

図 3-1 は、デバイスの機能ブロック図です。

注

テキサス・インスツルメンツのソフトウェア開発キット (SDK) が現在サポートしているデバイス機能の詳細については、[AM64x ソフトウェアビルドシート \(PROCESSOR-SDK-AM69\)](#) および [AM69A ソフトウェアビルドシート \(PROCESSOR-SDK-AM69A\)](#) を参照してください。

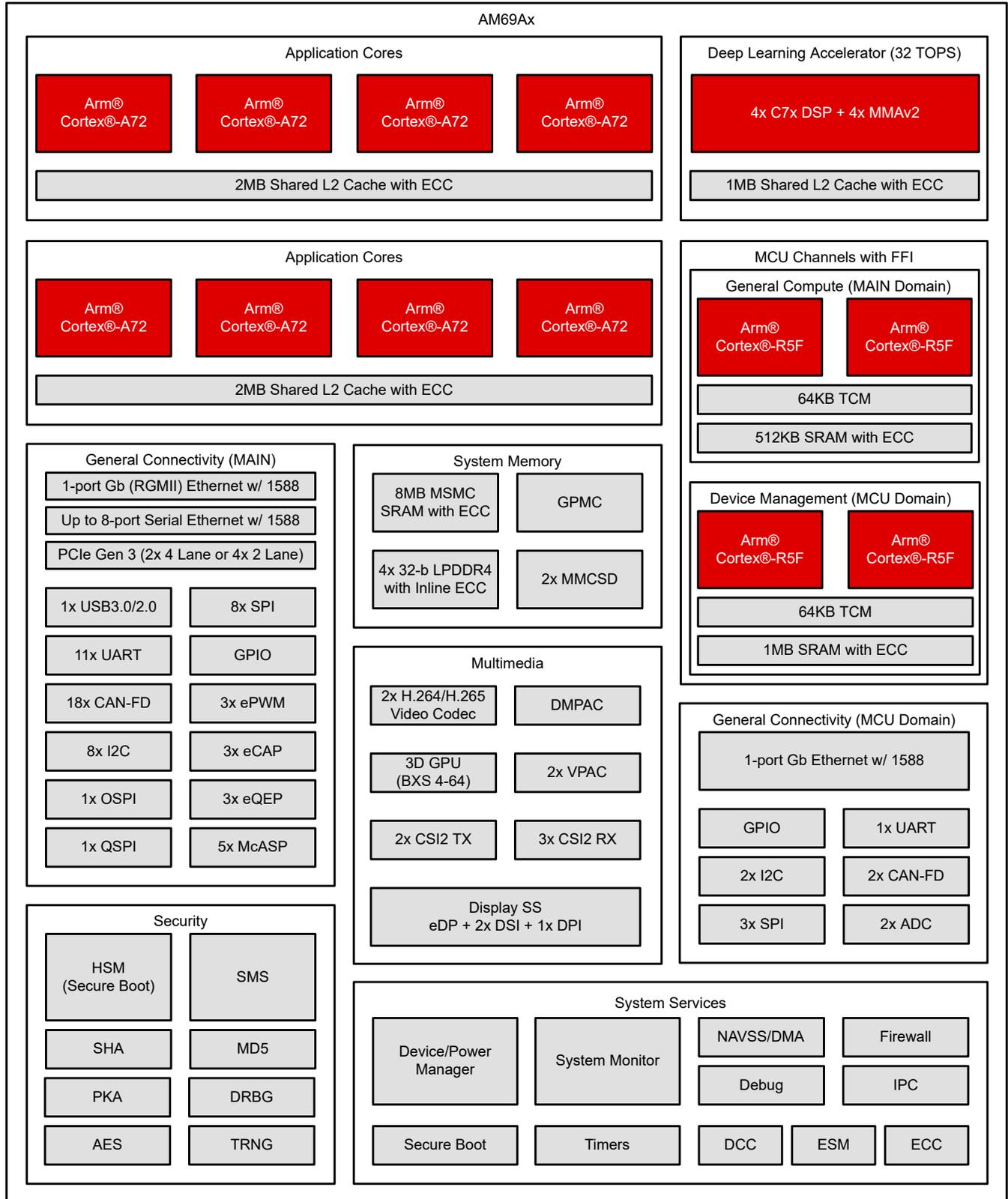


図 3-1. 機能ブロック図

目次

| | |
|---|--|
| <p>1 特長..... 1</p> <p>2 アプリケーション..... 2</p> <p>3 説明..... 3</p> <p> 3.1 機能ブロック図..... 3</p> <p>4 デバイスの比較..... 6</p> <p>5 端子構成および機能..... 10</p> <p> 5.1 ピン配置図..... 10</p> <p> 5.2 ピン属性..... 11</p> <p> 5.3 信号の説明..... 90</p> <p> 5.4 ピン接続要件..... 137</p> <p>6 仕様..... 142</p> <p> 6.1 絶対最大定格..... 142</p> <p> 6.2 ESD 定格..... 144</p> <p> 6.3 パワー オン時間 (POH) の制限..... 144</p> <p> 6.4 推奨動作条件..... 144</p> <p> 6.5 動作性能の特長..... 146</p> <p> 6.6 電気的特性..... 147</p> <p> 6.7 ワンタイム プログラマブル (OTP) eFuse の VPP 仕様..... 153</p> <p> 6.8 熱抵抗特性..... 155</p> <p> 6.9 温度センサの特性..... 156</p> <p> 6.10 タイミングおよびスイッチング特性..... 157</p> <p>7 詳細説明..... 285</p> <p> 7.1 概要..... 285</p> <p> 7.2 機能ブロック図..... 285</p> <p> 7.3 プロセッサ サブシステム..... 287</p> <p> 7.4 アクセラレータとコプロセッサ..... 288</p> <p> 7.5 その他のサブシステム..... 289</p> | <p>8 アプリケーション、実装、およびレイアウト..... 299</p> <p>9 デバイスの接続およびレイアウトの基礎..... 300</p> <p> 9.1 電源のデカップリングおよび バルク コンデンサ..... 300</p> <p> 9.2 外部発振器..... 300</p> <p> 9.3 JTAG および EMU..... 300</p> <p> 9.4 リセット..... 300</p> <p> 9.5 未使用のピン..... 300</p> <p> 9.6 Jacinto™ 7 デバイスのハードウェア設計ガイド..... 300</p> <p>10 パリフェラルおよびインターフェイス固有の設計情報..... 301</p> <p> 10.1 LPDDR4 基板の設計およびレイアウトのガイドライン..... 301</p> <p> 10.2 OSPI および QSPI 基板の設計およびレイアウト ガイドライン..... 301</p> <p> 10.3 USB VBUS 設計ガイドライン..... 304</p> <p> 10.4 VMON/POK を使用したシステム電源監視の設計 ガイドライン..... 305</p> <p> 10.5 高速差動信号のルーティング ガイド..... 306</p> <p> 10.6 熱ソリューション ガイダンス..... 306</p> <p>11 デバイスおよびドキュメントのサポート..... 307</p> <p> 11.1 デバイスの命名規則..... 307</p> <p> 11.2 ツールとソフトウェア..... 310</p> <p> 11.3 ドキュメントのサポート..... 310</p> <p> 11.4 サポート・リソース..... 310</p> <p> 11.5 商標..... 310</p> <p> 11.6 静電気放電に関する注意事項..... 310</p> <p> 11.7 用語集..... 311</p> <p>12 改訂履歴..... 312</p> <p>13 メカニカル、パッケージ、および注文情報..... 313</p> <p> 13.1 パッケージ情報..... 313</p> |
|---|--|

4 デバイスの比較

表 4-1 に、SoC の機能を示します。

注

テキサス・インスツルメンツのソフトウェア開発キット (SDK) が現在サポートしているデバイス機能の詳細については、AM64x ソフトウェア ビルド シート (PROCESSOR-SDK-AM69) および AM69A ソフトウェア ビルド シート (PROCESSOR-SDK-AM69A) を参照してください。

表 4-1. デバイスの比較

| 特長 ⁽¹⁰⁾ | 参照名 | AM69A98 | AM69A78 | AM6958 |
|--|--------------------------------------|----------------------------------|----------------------------------|---------|
| 特長 | | | | |
| WKUP_CTRL_MMR_CFG0_JTAG_USER_ID[31:16] DEVICE_ID レジスタ ビット フィールド値 ⁽⁹⁾ ⁽¹⁰⁾ | | 0x2BE0 | 0x2BE2 | 0x2BE3 |
| プロセッサおよびアクセラレータ | | | | |
| 速度グレード | | T | | |
| Arm Cortex-A72 マイクロプロセッサ サブシステム | Arm A72 | オクタル コア | オクタル コア | オクタル コア |
| ARM Cortex-R5F | Arm R5F デバイス管理 | デュアル コア ⁽¹²⁾ | | |
| | Arm R5F 汎用コンピューティング | デュアル コア ⁽¹²⁾ | | |
| セキュリティ管理サブシステム | SMS | あり | | |
| セキュリティ アクセラレータ | SA | あり | | |
| ディープ ラーニング アクセラレータ (32 TOPS) | C7x DSP + MMA | クラウド コア ⁽¹³⁾ | クラウド コア ⁽¹³⁾ | なし |
| グラフィックス アクセラレータ IMG BXS-4-64 | GPU | あり | なし | あり |
| 深度およびモーション処理アクセラレータ | DMPAC | あり | | |
| ビジョン処理アクセラレータ | VPAC | 2 | 2 | なし |
| ビデオ エンコーダ / デコーダ | VENC/DEC | 2 × エンコード / デコード | 2 × エンコード / デコード | |
| 安全およびセキュリティ | | | | |
| 安全を対象 | 安全 | なし ⁽¹⁾ | | |
| デバイスのセキュリティ | セキュリティ | オプション ⁽²⁾ | | |
| AEC-Q100 認定済み | Q1 | オプション ⁽³⁾ | | |
| プログラムおよびデータ ストレージ | | | | |
| MAIN ドメインのオンチップ共有メモリ (RAM) | OCSRAM | 512KB SRAM | | |
| MCU ドメインのオンチップ共有メモリ (RAM) | MCU_MS RAM | 1MB SRAM | | |
| マルチコア共有メモリコントローラ | MSMC | 8MB (ECC 付きのオンチップ SRAM) | 8MB (ECC 付きのオンチップ SRAM) | |
| LPDDR4 DDR サブシステム | DDRSS0 ⁽⁵⁾ | 最大 8GB (32 ビット データ)、インライン ECC 付き | | |
| | DDRSS1 ⁽⁵⁾ | 最大 8GB (32 ビット データ)、インライン ECC 付き | | |
| | DDRSS2 ⁽⁴⁾ ⁽⁵⁾ | 最大 8GB (32 ビット データ)、インライン ECC 付き | 最大 8GB (32 ビット データ)、インライン ECC 付き | |
| | DDRSS3 ⁽⁴⁾ ⁽⁵⁾ | 最大 8GB (32 ビット データ)、インライン ECC 付き | 最大 8GB (32 ビット データ)、インライン ECC 付き | |
| | SECEDED | あり | | |

表 4-1. デバイスの比較 (続き)

| 特長 ⁽¹⁰⁾ | 参照名 | AM69A98 | AM69A78 | AM6958 |
|--------------------|------|---------------|---------|--------|
| 汎用メモリ コントローラ | GPMC | 最大 1GB、ECC 付き | | |

表 4-1. デバイスの比較 (続き)

| 特長 ⁽¹⁰⁾ | 参照名 | AM69A98 | AM69A78 | AM6958 |
|--|-----------------------|---------------------------------|---------------------------------|--------|
| ペリフェラル | | | | |
| ディスプレイ サブシステム | DSS | | あり | |
| | DSI 4L TX | | 2 | |
| | eDP 4L | | 1 | |
| | DPI | | 1 | |
| モジュール式コントローラ エリア ネットワーク インターフェイス、CAN-FD フル サポート | MCAN | | 20 | |
| 汎用 I/O | GPIO | | 155 | |
| 集積回路間インターフェイス | I2C | | 10 | |
| 改良版集積回路間インターフェイス | I3C | | 1 | |
| A/D コンバータ | ADC | | 2 | |
| キャプチャ サブシステム、カメラ シリアル インターフェイス (CSI2) 付き | CSI2.0 4L RX | | 3 | |
| | CSI2.0 4L TX | | 2 | |
| マルチチャンネル シリアル ペリフェラル インターフェイス | MCSPi | | 11 | |
| マルチチャンネル オーディオ シリアル ポート | MCASP0 | | 16 個のシリアライザ | |
| | MCASP1 | | 5 個のシリアライザ | |
| | MCASP2 | | 5 個のシリアライザ | |
| | MCASP3 | | 3 個のシリアライザ | |
| | MCASP4 | | 5 個のシリアライザ | |
| マルチメディア カード / セキュア デジタル インターフェイス | MMCSd0 | | eMMC (8 ビット) | |
| | MMCSd1 | | SD/SDIO (4 ビット) | |
| ユニバーサル フラッシュ ストレージ | UFS 2L | | なし | |
| フラッシュ サブシステム (FSS) | OSPI0 | | 8 ビット ⁽⁸⁾ | |
| | OSPI1 ⁽¹¹⁾ | | 4 ビット | |
| | HyperBus | | あり ⁽⁸⁾ | |
| PHY 内蔵 PCI Express ポート × 4 | PCIE | | 2x4L または 4x2L ⁽⁶⁾ | |
| イーサネット インターフェイス | MCU CPSW2G | | RMII または RGMII | |
| | MAIN CPSW2G | | RMII または RGMII | |
| | CPSW9G | 8 ポート SERDES ^{(6) (7)} | 8 ポート SERDES ^{(6) (7)} | |
| 汎用タイマー | TIMER | | 30 | |
| 改良型高分解能パルス幅変調器モジュール | eHRPWM | | 6 | |
| 拡張キャプチャ モジュール | eCAP | | 3 | |
| 拡張直交エンコーダ パルス モジュール | eQEP | | 3 | |
| 汎用非同期レシーバ / トランスミッタ | UART | | 12 | |
| ユニバーサル シリアル バス (USB3.1) SuperSpeed デュアル ロール デバイス (DRD) ポート、SS PHY 付き | USB0 | | あり ⁽⁶⁾ | |

- (1) このデバイス ファミリーは、機能安全をサポートしていません。この機能に関心をお持ちの場合、TDA4VH デバイス ファミリーをご覧ください。
- (2) セキュア ブートや顧客がプログラム可能なキーなどのデバイス セキュリティ機能は、項目名の説明の表のデバイス タイプ (Y) 識別子で示されているように、型番バリエーションを選択する場合にのみ適用されます。
- (3) AEC-Q100 認定は、項目名の説明の表の車載識別記号 (Q1) 識別子で示されているように、型番バリエーションを選択する場合にのみ適用されます。
- (4) DDRSS2 および DDRSS3 は、この SoC の 27mm パッケージ バリエーションでは利用できません。27mm パッケージを使用するシステムとのソフトウェア互換性が必要な場合は、DDR2/DDR3 を使用しないでください。

- (5) DDRSS0, DDRSS1, DDRSS2, DDRSS3 は常に増分の順序で使用する必要があります。たとえば、単一の LPDDR 部品を使用する場合は、DDR0_* インターフェイスに接続する必要があります。2 つの LPDDR 部品を使用する場合は、DDR0_* および DDR1_* インターフェイスなどに接続する必要があります。
- (6) DP, SGMII, USB3.0, PCIE は、合計 16 の SerDes レーン (31mm パッケージ) または 8 の SerDes レーン (27mm パッケージ バリエーション) を共有しています。**SERDES0** および **SERDES2** は、この SoC の 27mm パッケージ バリエーションでは利用できません。
- (7) AM69, AM69A (31mm) CPSW は、以下のインスタンスと信号、および動作モードを使用して、最大 8 つのポートをサポートします。
- ポート 1 信号: SGMII1、モード: 5Gb, 10Gb USXGMII/XFI, 2.5Gb SGMII/XAUI, 1Gb SGMII, 5Gb QSGMII のいずれか
 - ポート 2 信号: SGMII2、モード: 5Gb, 10Gb USXGMII/XFI, 2.5Gb SGMII/XAUI, 1Gb SGMII, 5Gb QSGMII のいずれか
 - PORTn (n=3~8) 信号: SGMII n、モード: 2.5Gb SGMII/XAUI, 1Gb SGMII, 5Gb QSGMII のいずれか
- QSGMII が SGMII ポート 1~4 のいずれかで使用されている場合、4 つの内部 CPSW ポートはすべて選択された QSGMII SERDES ポートにマップされるため、イーサネット機能に SGMII1/2/3/4 を使用することはできません。
- QSGMII が SGMII ポート 5~8 のいずれかで使用されている場合、4 つの内部 CPSW ポートはすべて選択された QSGMII SERDES ポートにマップされるため、イーサネット機能に SGMII5/6/7/8 を使用することはできません。
- (8) 2 つの同時フラッシュ インターフェイスは OSPI0 と OSPI1、または HyperBus と OSPI1 として構成。
- (9) WKUP_CTRL_MMR_CFG0_JTAG_USER_ID レジスタおよび DEVICE_ID ビットフィールドの詳細については、デバイスのテクニカルリファレンス マニュアルを参照してください。
- (10) J784S4 はスーパーセット デバイスの基本型番です。ソフトウェアは、目的の量産デバイスに合わせて、使用する機能に制約を加える必要があります。(WKUP_CTRL_MMR_CFG0_JTAG_USER_ID[31:16] "DEVICE_ID" レジスタのビットフィールド値: 0x2B21。)
- (11) OSPI1 モジュールは 4 本のピンのみを配置しており、文脈によっては QSPI と呼ばれます。
- (12) MCU_R5FSS0 は、デバイス管理機能を提供するデュアル コア R5F を搭載しており、テキサス・インスツルメンツが提供するコードを実行するために予約されています。
R5FSS1 は、マルチメディア制御機能を提供するデュアル コア R5F で、テキサス・インスツルメンツが提供するコードを実行するために予約されています。
- (13) ディープ ラーニング アクセラレータ C7x + MMA は、テキサス・インスツルメンツが提供するコードを実行するために予約されており、カスタムコードでは利用できません。

5 端子構成および機能

5.1 ピン配置図

注

「ボール」、「ピン」、「端子」という用語は、ドキュメント全体で同じ意味で使用されています。物理的なパッケージに言及する場合にのみ「ボール」が使用されています。

図 5-1 に、1414 ボール フリップ チップ ボール グリッド アレイ (FCBGA) パッケージのボールの位置と、信号名およびボール グリッド番号との対応を示します。この図は、表 5-1～表 5-121 (「ピン属性」表、「信号説明」表、「ピン接続要件」表) とともに使用します。

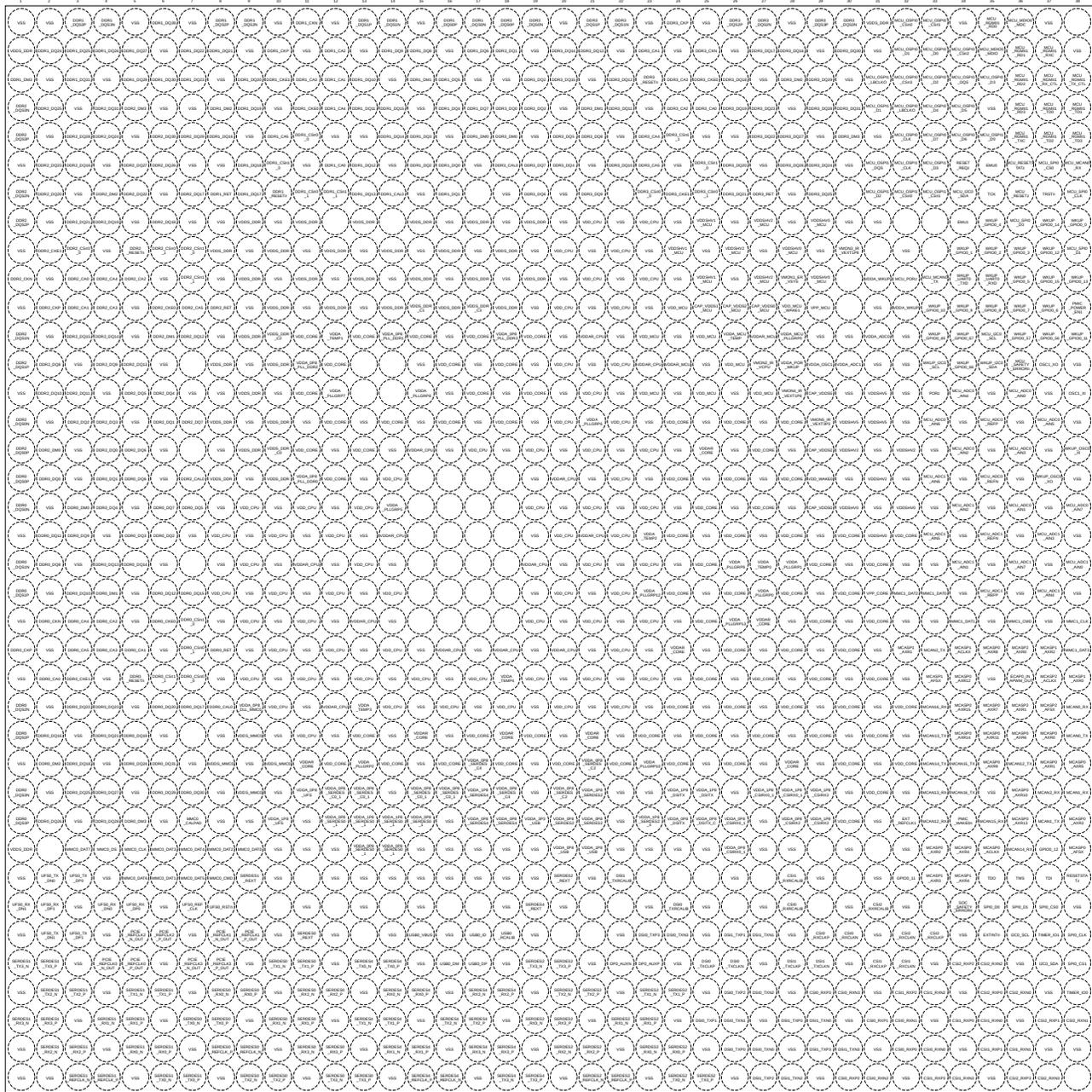


図 5-1. ALY FCBGA-N1414 のピン配置図 (上面図)

5.2 ピン属性

1. **ボール番号:**ボールグリッドアレイパッケージの各端子に割り当てられたボール番号。
2. **ボール名:**ボールグリッドアレイパッケージの各端子に割り当てられたボール名 (通常はプライマリ MUXMODE 0 信号機能からつけた名前)。
3. **信号名:**ボールに関連するすべての専用およびピン多重化信号機能の信号名。

注

「ピン属性」表は、ピンに実装される SoC ピン多重化信号機能を定義しており、デバイスサブシステムに実装される信号機能の 2 次多重化は定義していません。信号機能の 2 次多重化については、この表では説明しません。2 次多重化信号機能の詳細については、デバイス TRM の該当するペリフェラルの章を参照してください。

4. **MUX モード:**各ピンの多重化信号機能に関連付けられた MUXMODE 値:
 - MUXMODE 0 は、プライマリピンの多重化信号機能です。ただし、プライマリピンの多重化信号機能は、必ずしもデフォルトのピン多重化信号機能とは限りません。
 - ピン多重化信号機能には、MUXMODE の値 1~15 を使用できます。ただし、すべての MUXMODE 値が実装されているわけではありません。有効な MUXMODE 値は、「ピン属性」表でピン多重化された信号機能として定義された値のみです。MUXMODE の有効な値のみを使用できます。
 - ブートストラップは SOC 構成ピンを定義します。ここで、各ピンに適用されるロジック状態は、PORz_OUT の立ち上がりエッジでラッチされます。これらの入力信号機能はそれぞれのピンに固定で、MUXMODE を使用してプログラムすることはできません。
 - 空欄または「-」は、該当しないことを意味します。

注

- 「リセット後の MUX モード」列の値は、MCU_PORz がアサート解除されたときに選択されるデフォルトのピン多重化信号機能を定義します。
- 同じピン多重化信号機能に 2 つのピンを構成すると、予期しない結果が生じる可能性があるため、この構成はサポートされていません。これは、正しいソフトウェア構成によって防止できます。
- パッドを未定義の多重化モードに構成すると、未定義の動作が生じるため、このような構成は避ける必要があります。

5. **信号タイプ:**信号の種類と方向:

- I = 入力
- O = 出力
- OD = 出力、オープンドレイン出力機能付き
- IO = 入力、出力、または同時に入力と出力
- IOD = 入力、出力、または同時に入力と出力、オープンドレイン出力機能付き
- IOZ = 入力、出力、または同時に入力と出力、3 ステート出力機能付き
- OZ = 3 ステート出力機能付き出力
- A = アナログ
- CAP = LDO コンデンサ
- PWR = 電源
- GND = グランド

6. **I/O 電圧値:**この列は、IO 電圧値 (対応する電源) を示します。

空欄は該当しないことを意味します。

7. **リセット時のボール状態 (RX/TX/PULL):**MCU_PORz がアサートされているときの端子の状態。ここで、RX は入力バッファの状態、TX は出力バッファの状態、PULL は内部プル抵抗の状態を定義します。
 - RX (入力バッファ)

- オフ:入力バッファは無効です。
 - オン:入力バッファは有効です。
 - TX (出力バッファ)
 - オフ:出力バッファは無効です。
 - Low:出力バッファは有効であり、 V_{OL} を駆動します。
 - High:出力バッファは有効であり、 V_{OH} を駆動します。
 - PULL (内部プル抵抗)
 - オフ:内部プル抵抗はオフになっています。
 - アップ:内部プルアップ抵抗がオンになっています。
 - ダウン:内部プルダウン抵抗がオンになっています。
 - NA:内部プル抵抗なし。
 - 空欄、または「-」は該当しないことを意味します。
8. リセット後のボール状態 (RX/TX/PULL):MCU_PORz がアサート解除された後の端子の状態。ここで、RX は入力バッファの状態、TX は出力バッファの状態、PULL は内部プル抵抗の状態を定義します。
- RX (入力バッファ)
 - オフ:入力バッファは無効です。
 - オン:入力バッファは有効です。
 - TX (出力バッファ)
 - オフ:出力バッファは無効です。
 - SS:MUXMODE で選択されたサブシステムによって、出力バッファの状態が決まります。
 - PULL (内部プル抵抗)
 - オフ:内部プル抵抗はオフになっています。
 - アップ:内部プルアップ抵抗がオンになっています。
 - ダウン:内部プルダウン抵抗がオンになっています。
 - NA:内部プル抵抗なし。
 - 空欄、NA、「-」は該当しないことを意味します。
9. リセット後の MUX モード:この列の値は、MCU_PORz がアサート解除された後のデフォルトのピン多重化信号機能を定義します。
- 空欄、NA、「-」は該当しないことを意味します。
10. プル タイプ:内部プルアップまたはプルダウン抵抗が存在することを示します。プルアップおよびプルダウン抵抗は、ソフトウェアによって有効化または無効化できます。
- PU:内部プルアップのみ
 - PD:内部プルダウンのみ
 - PU/PD:内部プルアップおよびプルダウン
 - 空欄、NA、「-」は、内部プルが存在しないことを意味します。

注

同じピン多重化信号機能に 2 つのピンを構成すると、予期しない結果が生じる可能性があるため、この構成はサポートされていません。この問題は、正しいソフトウェア構成を使用すると簡単に防止できます。

ピン多重化で定義されない多重化モードにパッドが設定されたとき、そのパッドの挙動は未定義になります。これは避ける必要があります。

11. 電源:関連付けられている I/O の電源 (該当する場合)。
- 空欄、NA、「-」は該当しないことを意味します。
12. Hys:この I/O に関連付けられている入力バッファにヒステリシスがあるかどうかを示します。
- Yes:ヒステリシスのサポート

- No: ヒステリシスのサポートなし
- 空欄、NA、「-」は該当しないことを意味します。

詳細については、「[電気的特性](#)」のヒステリシスの値を参照してください。

13. **電圧バッファのタイプ:**この列は、端末に関連付けられたバッファタイプを定義します。この情報を使用して、該当する「電気的特性」表を決定できます。

- 空欄、NA、「-」は該当しないことを意味します。

電気的特性については、「[電気的特性](#)」セクションの適切なバッファタイプの表を参照してください。

14. **IO RET:Yes** は、WKUP と IO 保持がサポートされていることを意味します。

15. **パッド構成レジスタ名:**デバイスのパッド / ピン構成レジスタの名前です。

16. **パッド構成レジスタのアドレス:**これは、デバイスのパッド / ピン構成レジスタのメモリ アドレスです。

表 5-1. ピン属性 (ALY パッケージ)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|-----------|--|---------------|------------|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|--|-------------|-----------------|-------------|
| V29 | CAP_VDDS0 | CAP_VDDS0 | | CAP | | | | | | | | | |
| L27 | CAP_VDDS0_MCU | CAP_VDDS0_MCU | | CAP | | | | | | | | | |
| L25 | CAP_VDDS1_MCU | CAP_VDDS1_MCU | | CAP | | | | | | | | | |
| T29 | CAP_VDDS2 | CAP_VDDS2 | | CAP | | | | | | | | | |
| L26 | CAP_VDDS2_MCU | CAP_VDDS2_MCU | | CAP | | | | | | | | | |
| P29 | CAP_VDDS5 | CAP_VDDS5 | | CAP | | | | | | | | | |
| AN30 | CSI0_RXCLKN | CSI0_RXCLKN | | I | 1.8V | | | | | VDDA_0P8_C SIRX0_1 / VDDA_1P8_C SIRX0_1 | | D-PHY | |
| AN29 | CSI0_RXCLKP | CSI0_RXCLKP | | I | 1.8V | | | | | VDDA_0P8_C SIRX0_1 / VDDA_1P8_C SIRX0_1 | | D-PHY | |
| AM28 | CSI0_RXRCALIB | CSI0_RXRCALIB | | A | 1.8V | | | | | VDDA_0P8_C SIRX0_1 / VDDA_1P8_C SIRX0_1 | | D-PHY | |
| AP32 | CSI1_RXCLKN | CSI1_RXCLKN | | I | 1.8V | | | | | VDDA_0P8_C SIRX0_1 / VDDA_1P8_C SIRX0_1 | | D-PHY | |
| AP31 | CSI1_RXCLKP | CSI1_RXCLKP | | I | 1.8V | | | | | VDDA_0P8_C SIRX0_1 / VDDA_1P8_C SIRX0_1 | | D-PHY | |
| AL28 | CSI1_RXRCALIB | CSI1_RXRCALIB | | A | 1.8V | | | | | VDDA_0P8_C SIRX0_1 / VDDA_1P8_C SIRX0_1 | | D-PHY | |
| AN32 | CSI2_RXCLKN | CSI2_RXCLKN | | I | 1.8V | | | | | VDDA_0P8_C SIRX2 / VDDA_1P8_C SIRX2 | | D-PHY | |
| AN33 | CSI2_RXCLKP | CSI2_RXCLKP | | I | 1.8V | | | | | VDDA_0P8_C SIRX2 / VDDA_1P8_C SIRX2 | | D-PHY | |
| AM31 | CSI2_RXRCALIB | CSI2_RXRCALIB | | A | 1.8V | | | | | VDDA_0P8_C SIRX2 / VDDA_1P8_C SIRX2 | | D-PHY | |
| AU33 | CSI0_RXN0 | CSI0_RXN0 | | I | 1.8V | | | | | VDDA_0P8_C SIRX0_1 / VDDA_1P8_C SIRX0_1 | | D-PHY | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|-----------|--|-----------|------------|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|--|-------------|-----------------|-------------|
| AT32 | CSI0_RXN1 | CSI0_RXN1 | | I | 1.8V | | | | | VDDA_0P8_C SIRX0_1 / VDDA_1P8_C SIRX0_1 | | D-PHY | |
| AV31 | CSI0_RXN2 | CSI0_RXN2 | | I | 1.8V | | | | | VDDA_0P8_C SIRX0_1 / VDDA_1P8_C SIRX0_1 | | D-PHY | |
| AR30 | CSI0_RXN3 | CSI0_RXN3 | | I | 1.8V | | | | | VDDA_0P8_C SIRX0_1 / VDDA_1P8_C SIRX0_1 | | D-PHY | |
| AU32 | CSI0_RXP0 | CSI0_RXP0 | | I | 1.8V | | | | | VDDA_0P8_C SIRX0_1 / VDDA_1P8_C SIRX0_1 | | D-PHY | |
| AT31 | CSI0_RXP1 | CSI0_RXP1 | | I | 1.8V | | | | | VDDA_0P8_C SIRX0_1 / VDDA_1P8_C SIRX0_1 | | D-PHY | |
| AV30 | CSI0_RXP2 | CSI0_RXP2 | | I | 1.8V | | | | | VDDA_0P8_C SIRX0_1 / VDDA_1P8_C SIRX0_1 | | D-PHY | |
| AR29 | CSI0_RXP3 | CSI0_RXP3 | | I | 1.8V | | | | | VDDA_0P8_C SIRX0_1 / VDDA_1P8_C SIRX0_1 | | D-PHY | |
| AT35 | CSI1_RXN0 | CSI1_RXN0 | | I | 1.8V | | | | | VDDA_0P8_C SIRX0_1 / VDDA_1P8_C SIRX0_1 | | D-PHY | |
| AU36 | CSI1_RXN1 | CSI1_RXN1 | | I | 1.8V | | | | | VDDA_0P8_C SIRX0_1 / VDDA_1P8_C SIRX0_1 | | D-PHY | |
| AR33 | CSI1_RXN2 | CSI1_RXN2 | | I | 1.8V | | | | | VDDA_0P8_C SIRX0_1 / VDDA_1P8_C SIRX0_1 | | D-PHY | |
| AV34 | CSI1_RXN3 | CSI1_RXN3 | | I | 1.8V | | | | | VDDA_0P8_C SIRX0_1 / VDDA_1P8_C SIRX0_1 | | D-PHY | |
| AT34 | CSI1_RXP0 | CSI1_RXP0 | | I | 1.8V | | | | | VDDA_0P8_C SIRX0_1 / VDDA_1P8_C SIRX0_1 | | D-PHY | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|-----------|--|-----------|------------|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|--|-------------|-----------------|-------------|
| AU35 | CSI1_RXP1 | CSI1_RXP1 | | I | 1.8V | | | | | VDDA_0P8_C SIRX0_1 / VDDA_1P8_C SIRX0_1 | | D-PHY | |
| AR32 | CSI1_RXP2 | CSI1_RXP2 | | I | 1.8V | | | | | VDDA_0P8_C SIRX0_1 / VDDA_1P8_C SIRX0_1 | | D-PHY | |
| AV33 | CSI1_RXP3 | CSI1_RXP3 | | I | 1.8V | | | | | VDDA_0P8_C SIRX0_1 / VDDA_1P8_C SIRX0_1 | | D-PHY | |
| AR36 | CSI2_RXN0 | CSI2_RXN0 | | I | 1.8V | | | | | VDDA_0P8_C SIRX2 / VDDA_1P8_C SIRX2 | | D-PHY | |
| AT38 | CSI2_RXN1 | CSI2_RXN1 | | I | 1.8V | | | | | VDDA_0P8_C SIRX2 / VDDA_1P8_C SIRX2 | | D-PHY | |
| AP35 | CSI2_RXN2 | CSI2_RXN2 | | I | 1.8V | | | | | VDDA_0P8_C SIRX2 / VDDA_1P8_C SIRX2 | | D-PHY | |
| AV37 | CSI2_RXN3 | CSI2_RXN3 | | I | 1.8V | | | | | VDDA_0P8_C SIRX2 / VDDA_1P8_C SIRX2 | | D-PHY | |
| AR35 | CSI2_RXP0 | CSI2_RXP0 | | I | 1.8V | | | | | VDDA_0P8_C SIRX2 / VDDA_1P8_C SIRX2 | | D-PHY | |
| AT37 | CSI2_RXP1 | CSI2_RXP1 | | I | 1.8V | | | | | VDDA_0P8_C SIRX2 / VDDA_1P8_C SIRX2 | | D-PHY | |
| AP34 | CSI2_RXP2 | CSI2_RXP2 | | I | 1.8V | | | | | VDDA_0P8_C SIRX2 / VDDA_1P8_C SIRX2 | | D-PHY | |
| AV36 | CSI2_RXP3 | CSI2_RXP3 | | I | 1.8V | | | | | VDDA_0P8_C SIRX2 / VDDA_1P8_C SIRX2 | | D-PHY | |
| AB2 | DDR0_CKN | DDR0_CKN | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_ C0 | | DDR | |
| AC1 | DDR0_CKP | DDR0_CKP | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_ C0 | | DDR | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|-----------|--|-------------|------------|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|------------------------|-------------|-----------------|-------------|
| AD5 | DDR0_RESETh | DDR0_RESETh | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C0 | | DDR | |
| AC8 | DDR0_RET | DDR0_RET | | I | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C0 | | DDR | |
| A11 | DDR1_CKN | DDR1_CKN | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C1 | | DDR | |
| B10 | DDR1_CKP | DDR1_CKP | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C1 | | DDR | |
| G10 | DDR1_RESETh | DDR1_RESETh | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C1 | | DDR | |
| G8 | DDR1_RET | DDR1_RET | | I | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C1 | | DDR | |
| K1 | DDR2_CKN | DDR2_CKN | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C2 | | DDR | |
| L2 | DDR2_CKP | DDR2_CKP | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C2 | | DDR | |
| J5 | DDR2_RESETh | DDR2_RESETh | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C2 | | DDR | |
| L8 | DDR2_RET | DDR2_RET | | I | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C2 | | DDR | |
| B25 | DDR3_CKN | DDR3_CKN | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C3 | | DDR | |
| A24 | DDR3_CKP | DDR3_CKP | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C3 | | DDR | |
| C23 | DDR3_RESETh | DDR3_RESETh | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C3 | | DDR | |
| G27 | DDR3_RET | DDR3_RET | | I | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C3 | | DDR | |
| AD2 | DDR0_CA0 | DDR0_CA0 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C0 | | DDR | |
| AC5 | DDR0_CA1 | DDR0_CA1 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C0 | | DDR | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|-----------|--|-------------|------------|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|------------------------|-------------|-----------------|-------------|
| AB4 | DDR0_CA2 | DDR0_CA2 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C0 | | DDR | |
| AC4 | DDR0_CA3 | DDR0_CA3 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C0 | | DDR | |
| AB3 | DDR0_CA4 | DDR0_CA4 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C0 | | DDR | |
| AC3 | DDR0_CA5 | DDR0_CA5 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C0 | | DDR | |
| AE8 | DDR0_CAL0 | DDR0_CAL0 | | A | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C0 | | DDR | |
| AB6 | DDR0_CKE0 | DDR0_CKE0 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C0 | | DDR | |
| AD3 | DDR0_CKE1 | DDR0_CKE1 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C0 | | DDR | |
| AD7 | DDR0_CSn0_0 | DDR0_CSn0_0 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C0 | | DDR | |
| AC7 | DDR0_CSn0_1 | DDR0_CSn0_1 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C0 | | DDR | |
| AB7 | DDR0_CSn1_0 | DDR0_CSn1_0 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C0 | | DDR | |
| AD6 | DDR0_CSn1_1 | DDR0_CSn1_1 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C0 | | DDR | |
| V3 | DDR0_DM0 | DDR0_DM0 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C0 | | DDR | |
| AA4 | DDR0_DM1 | DDR0_DM1 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C0 | | DDR | |
| AG2 | DDR0_DM2 | DDR0_DM2 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C0 | | DDR | |
| AJ5 | DDR0_DM3 | DDR0_DM3 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C0 | | DDR | |
| U2 | DDR0_DQ0 | DDR0_DQ0 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C0 | | DDR | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|-----------|--|-----------|------------|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|------------------------|-------------|-----------------|-------------|
| U4 | DDR0_DQ1 | DDR0_DQ1 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C0 | | DDR | |
| W6 | DDR0_DQ2 | DDR0_DQ2 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C0 | | DDR | |
| W5 | DDR0_DQ3 | DDR0_DQ3 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C0 | | DDR | |
| V4 | DDR0_DQ4 | DDR0_DQ4 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C0 | | DDR | |
| V7 | DDR0_DQ5 | DDR0_DQ5 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C0 | | DDR | |
| U5 | DDR0_DQ6 | DDR0_DQ6 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C0 | | DDR | |
| V6 | DDR0_DQ7 | DDR0_DQ7 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C0 | | DDR | |
| Y2 | DDR0_DQ8 | DDR0_DQ8 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C0 | | DDR | |
| W3 | DDR0_DQ9 | DDR0_DQ9 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C0 | | DDR | |
| AA3 | DDR0_DQ10 | DDR0_DQ10 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C0 | | DDR | |
| W2 | DDR0_DQ11 | DDR0_DQ11 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C0 | | DDR | |
| AA6 | DDR0_DQ12 | DDR0_DQ12 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C0 | | DDR | |
| Y4 | DDR0_DQ13 | DDR0_DQ13 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C0 | | DDR | |
| Y5 | DDR0_DQ14 | DDR0_DQ14 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C0 | | DDR | |
| AA7 | DDR0_DQ15 | DDR0_DQ15 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C0 | | DDR | |
| AF2 | DDR0_DQ16 | DDR0_DQ16 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C0 | | DDR | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|-----------|--|------------|------------|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|------------------------|-------------|-----------------|-------------|
| AE7 | DDR0_DQ17 | DDR0_DQ17 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C0 | | DDR | |
| AG3 | DDR0_DQ18 | DDR0_DQ18 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C0 | | DDR | |
| AF5 | DDR0_DQ19 | DDR0_DQ19 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C0 | | DDR | |
| AE6 | DDR0_DQ20 | DDR0_DQ20 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C0 | | DDR | |
| AF4 | DDR0_DQ21 | DDR0_DQ21 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C0 | | DDR | |
| AE3 | DDR0_DQ22 | DDR0_DQ22 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C0 | | DDR | |
| AE4 | DDR0_DQ23 | DDR0_DQ23 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C0 | | DDR | |
| AG5 | DDR0_DQ24 | DDR0_DQ24 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C0 | | DDR | |
| AH3 | DDR0_DQ25 | DDR0_DQ25 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C0 | | DDR | |
| AJ2 | DDR0_DQ26 | DDR0_DQ26 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C0 | | DDR | |
| AH4 | DDR0_DQ27 | DDR0_DQ27 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C0 | | DDR | |
| AJ4 | DDR0_DQ28 | DDR0_DQ28 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C0 | | DDR | |
| AH6 | DDR0_DQ29 | DDR0_DQ29 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C0 | | DDR | |
| AH7 | DDR0_DQ30 | DDR0_DQ30 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C0 | | DDR | |
| AG6 | DDR0_DQ31 | DDR0_DQ31 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C0 | | DDR | |
| V1 | DDR0_DQS0N | DDR0_DQS0N | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C0 | | DDR | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|-----------|--|------------|------------|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|------------------------|-------------|-----------------|-------------|
| U1 | DDR0_QQS0P | DDR0_QQS0P | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C0 | | DDR | |
| Y1 | DDR0_QQS1N | DDR0_QQS1N | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C0 | | DDR | |
| AA1 | DDR0_QQS1P | DDR0_QQS1P | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C0 | | DDR | |
| AE1 | DDR0_QQS2N | DDR0_QQS2N | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C0 | | DDR | |
| AF1 | DDR0_QQS2P | DDR0_QQS2P | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C0 | | DDR | |
| AH1 | DDR0_QQS3N | DDR0_QQS3N | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C0 | | DDR | |
| AJ1 | DDR0_QQS3P | DDR0_QQS3P | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C0 | | DDR | |
| F12 | DDR1_CA0 | DDR1_CA0 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C1 | | DDR | |
| C12 | DDR1_CA1 | DDR1_CA1 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C1 | | DDR | |
| B12 | DDR1_CA2 | DDR1_CA2 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C1 | | DDR | |
| C11 | DDR1_CA3 | DDR1_CA3 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C1 | | DDR | |
| D12 | DDR1_CA4 | DDR1_CA4 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C1 | | DDR | |
| E10 | DDR1_CA5 | DDR1_CA5 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C1 | | DDR | |
| G14 | DDR1_CAL0 | DDR1_CAL0 | | A | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C1 | | DDR | |
| D11 | DDR1_CKE0 | DDR1_CKE0 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C1 | | DDR | |
| C10 | DDR1_CKE1 | DDR1_CKE1 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C1 | | DDR | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|-----------|--|-------------|------------|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|------------------------|-------------|-----------------|-------------|
| E11 | DDR1_CSn0_0 | DDR1_CSn0_0 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C1 | | DDR | |
| G11 | DDR1_CSn0_1 | DDR1_CSn0_1 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C1 | | DDR | |
| F10 | DDR1_CSn1_0 | DDR1_CSn1_0 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C1 | | DDR | |
| G12 | DDR1_CSn1_1 | DDR1_CSn1_1 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C1 | | DDR | |
| E17 | DDR1_DM0 | DDR1_DM0 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C1 | | DDR | |
| C15 | DDR1_DM1 | DDR1_DM1 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C1 | | DDR | |
| D8 | DDR1_DM2 | DDR1_DM2 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C1 | | DDR | |
| C1 | DDR1_DM3 | DDR1_DM3 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C1 | | DDR | |
| F16 | DDR1_DQ0 | DDR1_DQ0 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C1 | | DDR | |
| G16 | DDR1_DQ1 | DDR1_DQ1 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C1 | | DDR | |
| F15 | DDR1_DQ2 | DDR1_DQ2 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C1 | | DDR | |
| E15 | DDR1_DQ3 | DDR1_DQ3 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C1 | | DDR | |
| D16 | DDR1_DQ4 | DDR1_DQ4 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C1 | | DDR | |
| C16 | DDR1_DQ5 | DDR1_DQ5 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C1 | | DDR | |
| B17 | DDR1_DQ6 | DDR1_DQ6 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C1 | | DDR | |
| D17 | DDR1_DQ7 | DDR1_DQ7 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C1 | | DDR | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール 番号 [1] | ボール 名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号 名 [3] | 多重化 モード [4] | 信号 タイプ [5] | I/O 動作 電圧 [6] | リセット 時のボール の状態 (RX/TX/PULL) [7] | リセット 後のボール の状態 (RX/TX/PULL) [8] | リセット後 の 多重化 モード [9] | プル タイプ [10] | 電源 [11] | ヒステリ シス [12] | 電圧 バッファの タイプ [13] | IO RET [14] |
|---------------|--|-------------|-------------------|---------------|---------------------|---|---|---------------------------------|-------------------|-------------------------------|--------------------|-------------------------|----------------|
| B15 | DDR1_DQ8 | DDR1_DQ8 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_ C1 | | DDR | |
| B14 | DDR1_DQ9 | DDR1_DQ9 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_ C1 | | DDR | |
| C13 | DDR1_DQ10 | DDR1_DQ10 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_ C1 | | DDR | |
| D13 | DDR1_DQ11 | DDR1_DQ11 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_ C1 | | DDR | |
| F13 | DDR1_DQ12 | DDR1_DQ12 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_ C1 | | DDR | |
| G13 | DDR1_DQ13 | DDR1_DQ13 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_ C1 | | DDR | |
| E14 | DDR1_DQ14 | DDR1_DQ14 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_ C1 | | DDR | |
| D14 | DDR1_DQ15 | DDR1_DQ15 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_ C1 | | DDR | |
| E8 | DDR1_DQ16 | DDR1_DQ16 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_ C1 | | DDR | |
| G9 | DDR1_DQ17 | DDR1_DQ17 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_ C1 | | DDR | |
| F9 | DDR1_DQ18 | DDR1_DQ18 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_ C1 | | DDR | |
| D9 | DDR1_DQ19 | DDR1_DQ19 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_ C1 | | DDR | |
| C9 | DDR1_DQ20 | DDR1_DQ20 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_ C1 | | DDR | |
| B8 | DDR1_DQ21 | DDR1_DQ21 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_ C1 | | DDR | |
| B7 | DDR1_DQ22 | DDR1_DQ22 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_ C1 | | DDR | |
| C7 | DDR1_DQ23 | DDR1_DQ23 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_ C1 | | DDR | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|-----------|--|-----------|------------|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|------------------------|-------------|-----------------|-------------|
| B2 | DDR1_DQ24 | DDR1_DQ24 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C1 | | DDR | |
| B3 | DDR1_DQ25 | DDR1_DQ25 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C1 | | DDR | |
| B4 | DDR1_DQ26 | DDR1_DQ26 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C1 | | DDR | |
| B5 | DDR1_DQ27 | DDR1_DQ27 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C1 | | DDR | |
| A6 | DDR1_DQ28 | DDR1_DQ28 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C1 | | DDR | |
| C5 | DDR1_DQ29 | DDR1_DQ29 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C1 | | DDR | |
| C6 | DDR1_DQ30 | DDR1_DQ30 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C1 | | DDR | |
| C3 | DDR1_DQ31 | DDR1_DQ31 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C1 | | DDR | |
| A17 | DDR1_QS0N | DDR1_QS0N | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C1 | | DDR | |
| A16 | DDR1_QS0P | DDR1_QS0P | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C1 | | DDR | |
| A14 | DDR1_QS1N | DDR1_QS1N | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C1 | | DDR | |
| A13 | DDR1_QS1P | DDR1_QS1P | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C1 | | DDR | |
| A9 | DDR1_QS2N | DDR1_QS2N | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C1 | | DDR | |
| A8 | DDR1_QS2P | DDR1_QS2P | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C1 | | DDR | |
| A4 | DDR1_QS3N | DDR1_QS3N | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C1 | | DDR | |
| A3 | DDR1_QS3P | DDR1_QS3P | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C1 | | DDR | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|-----------|--|-------------|------------|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|------------------------|-------------|-----------------|-------------|
| K3 | DDR2_CA0 | DDR2_CA0 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C2 | | DDR | |
| L3 | DDR2_CA1 | DDR2_CA1 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C2 | | DDR | |
| K5 | DDR2_CA2 | DDR2_CA2 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C2 | | DDR | |
| L4 | DDR2_CA3 | DDR2_CA3 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C2 | | DDR | |
| K4 | DDR2_CA4 | DDR2_CA4 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C2 | | DDR | |
| L7 | DDR2_CA5 | DDR2_CA5 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C2 | | DDR | |
| U7 | DDR2_CAL0 | DDR2_CAL0 | | A | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C2 | | DDR | |
| L6 | DDR2_CKE0 | DDR2_CKE0 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C2 | | DDR | |
| J2 | DDR2_CKE1 | DDR2_CKE1 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C2 | | DDR | |
| J3 | DDR2_CSn0_0 | DDR2_CSn0_0 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C2 | | DDR | |
| J6 | DDR2_CSn0_1 | DDR2_CSn0_1 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C2 | | DDR | |
| J7 | DDR2_CSn1_0 | DDR2_CSn1_0 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C2 | | DDR | |
| K7 | DDR2_CSn1_1 | DDR2_CSn1_1 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C2 | | DDR | |
| T2 | DDR2_DM0 | DDR2_DM0 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C2 | | DDR | |
| M6 | DDR2_DM1 | DDR2_DM1 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C2 | | DDR | |
| G4 | DDR2_DM2 | DDR2_DM2 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C2 | | DDR | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|-----------|--|-----------|------------|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|------------------------|-------------|-----------------|-------------|
| D5 | DDR2_DM3 | DDR2_DM3 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C2 | | DDR | |
| T4 | DDR2_DQ0 | DDR2_DQ0 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C2 | | DDR | |
| R6 | DDR2_DQ1 | DDR2_DQ1 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C2 | | DDR | |
| R3 | DDR2_DQ2 | DDR2_DQ2 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C2 | | DDR | |
| R4 | DDR2_DQ3 | DDR2_DQ3 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C2 | | DDR | |
| P6 | DDR2_DQ4 | DDR2_DQ4 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C2 | | DDR | |
| P5 | DDR2_DQ5 | DDR2_DQ5 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C2 | | DDR | |
| T5 | DDR2_DQ6 | DDR2_DQ6 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C2 | | DDR | |
| R7 | DDR2_DQ7 | DDR2_DQ7 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C2 | | DDR | |
| N2 | DDR2_DQ8 | DDR2_DQ8 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C2 | | DDR | |
| N4 | DDR2_DQ9 | DDR2_DQ9 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C2 | | DDR | |
| P2 | DDR2_DQ10 | DDR2_DQ10 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C2 | | DDR | |
| P3 | DDR2_DQ11 | DDR2_DQ11 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C2 | | DDR | |
| M7 | DDR2_DQ12 | DDR2_DQ12 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C2 | | DDR | |
| N5 | DDR2_DQ13 | DDR2_DQ13 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C2 | | DDR | |
| M4 | DDR2_DQ14 | DDR2_DQ14 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C2 | | DDR | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|-----------|--|-----------|------------|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|------------------------|-------------|-----------------|-------------|
| M3 | DDR2_DQ15 | DDR2_DQ15 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C2 | | DDR | |
| F3 | DDR2_DQ16 | DDR2_DQ16 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C2 | | DDR | |
| G7 | DDR2_DQ17 | DDR2_DQ17 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C2 | | DDR | |
| H6 | DDR2_DQ18 | DDR2_DQ18 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C2 | | DDR | |
| H4 | DDR2_DQ19 | DDR2_DQ19 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C2 | | DDR | |
| G2 | DDR2_DQ20 | DDR2_DQ20 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C2 | | DDR | |
| H3 | DDR2_DQ21 | DDR2_DQ21 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C2 | | DDR | |
| G5 | DDR2_DQ22 | DDR2_DQ22 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C2 | | DDR | |
| F2 | DDR2_DQ23 | DDR2_DQ23 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C2 | | DDR | |
| E4 | DDR2_DQ24 | DDR2_DQ24 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C2 | | DDR | |
| D2 | DDR2_DQ25 | DDR2_DQ25 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C2 | | DDR | |
| F6 | DDR2_DQ26 | DDR2_DQ26 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C2 | | DDR | |
| F5 | DDR2_DQ27 | DDR2_DQ27 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C2 | | DDR | |
| E3 | DDR2_DQ28 | DDR2_DQ28 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C2 | | DDR | |
| E7 | DDR2_DQ29 | DDR2_DQ29 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C2 | | DDR | |
| E6 | DDR2_DQ30 | DDR2_DQ30 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C2 | | DDR | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|-----------|--|------------|------------|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|------------------------|-------------|-----------------|-------------|
| D4 | DDR2_DQ31 | DDR2_DQ31 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C2 | | DDR | |
| R1 | DDR2_DQS0N | DDR2_DQS0N | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C2 | | DDR | |
| T1 | DDR2_DQS0P | DDR2_DQS0P | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C2 | | DDR | |
| M1 | DDR2_DQS1N | DDR2_DQS1N | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C2 | | DDR | |
| N1 | DDR2_DQS1P | DDR2_DQS1P | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C2 | | DDR | |
| G1 | DDR2_DQS2N | DDR2_DQS2N | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C2 | | DDR | |
| H1 | DDR2_DQS2P | DDR2_DQS2P | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C2 | | DDR | |
| D1 | DDR2_DQS3N | DDR2_DQS3N | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C2 | | DDR | |
| E1 | DDR2_DQS3P | DDR2_DQS3P | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C2 | | DDR | |
| D25 | DDR3_CA0 | DDR3_CA0 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C3 | | DDR | |
| B23 | DDR3_CA1 | DDR3_CA1 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C3 | | DDR | |
| D24 | DDR3_CA2 | DDR3_CA2 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C3 | | DDR | |
| C24 | DDR3_CA3 | DDR3_CA3 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C3 | | DDR | |
| E23 | DDR3_CA4 | DDR3_CA4 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C3 | | DDR | |
| F23 | DDR3_CA5 | DDR3_CA5 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C3 | | DDR | |
| F18 | DDR3_CAL0 | DDR3_CAL0 | | A | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C3 | | DDR | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール 番号 [1] | ボール 名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号 名 [3] | 多重化 モード [4] | 信号 タイプ [5] | I/O 動作 電圧 [6] | リセット 時のボール の状態 (RX/TX/PULL) [7] | リセット 後のボール の状態 (RX/TX/PULL) [8] | リセット後 の 多重化 モード [9] | プル タイプ [10] | 電源 [11] | ヒステリ シス [12] | 電圧 バッファの タイプ [13] | IO RET [14] |
|---------------|--|-------------|-------------------|---------------|---------------------|---|---|---------------------------------|-------------------|-------------------------------|--------------------|-------------------------|----------------|
| C25 | DDR3_CKE0 | DDR3_CKE0 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_ C3 | | DDR | |
| G24 | DDR3_CKE1 | DDR3_CKE1 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_ C3 | | DDR | |
| G23 | DDR3_CSn0_0 | DDR3_CSn0_0 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_ C3 | | DDR | |
| G25 | DDR3_CSn0_1 | DDR3_CSn0_1 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_ C3 | | DDR | |
| F25 | DDR3_CSn1_0 | DDR3_CSn1_0 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_ C3 | | DDR | |
| E24 | DDR3_CSn1_1 | DDR3_CSn1_1 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_ C3 | | DDR | |
| E18 | DDR3_DM0 | DDR3_DM0 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_ C3 | | DDR | |
| D21 | DDR3_DM1 | DDR3_DM1 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_ C3 | | DDR | |
| C28 | DDR3_DM2 | DDR3_DM2 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_ C3 | | DDR | |
| E30 | DDR3_DM3 | DDR3_DM3 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_ C3 | | DDR | |
| D18 | DDR3_DQ0 | DDR3_DQ0 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_ C3 | | DDR | |
| B18 | DDR3_DQ1 | DDR3_DQ1 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_ C3 | | DDR | |
| C19 | DDR3_DQ2 | DDR3_DQ2 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_ C3 | | DDR | |
| D19 | DDR3_DQ3 | DDR3_DQ3 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_ C3 | | DDR | |
| F20 | DDR3_DQ4 | DDR3_DQ4 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_ C3 | | DDR | |
| E20 | DDR3_DQ5 | DDR3_DQ5 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_ C3 | | DDR | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|-----------|--|-----------|------------|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|------------------------|-------------|-----------------|-------------|
| G19 | DDR3_DQ6 | DDR3_DQ6 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C3 | | DDR | |
| F19 | DDR3_DQ7 | DDR3_DQ7 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C3 | | DDR | |
| E21 | DDR3_DQ8 | DDR3_DQ8 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C3 | | DDR | |
| G21 | DDR3_DQ9 | DDR3_DQ9 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C3 | | DDR | |
| F22 | DDR3_DQ10 | DDR3_DQ10 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C3 | | DDR | |
| D22 | DDR3_DQ11 | DDR3_DQ11 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C3 | | DDR | |
| C22 | DDR3_DQ12 | DDR3_DQ12 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C3 | | DDR | |
| B21 | DDR3_DQ13 | DDR3_DQ13 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C3 | | DDR | |
| B20 | DDR3_DQ14 | DDR3_DQ14 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C3 | | DDR | |
| C20 | DDR3_DQ15 | DDR3_DQ15 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C3 | | DDR | |
| B28 | DDR3_DQ16 | DDR3_DQ16 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C3 | | DDR | |
| B27 | DDR3_DQ17 | DDR3_DQ17 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C3 | | DDR | |
| C26 | DDR3_DQ18 | DDR3_DQ18 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C3 | | DDR | |
| D26 | DDR3_DQ19 | DDR3_DQ19 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C3 | | DDR | |
| F26 | DDR3_DQ20 | DDR3_DQ20 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C3 | | DDR | |
| G26 | DDR3_DQ21 | DDR3_DQ21 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C3 | | DDR | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|-----------|--|------------|------------|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|------------------------|-------------|-----------------|-------------|
| E27 | DDR3_DQ22 | DDR3_DQ22 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C3 | | DDR | |
| D27 | DDR3_DQ23 | DDR3_DQ23 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C3 | | DDR | |
| F29 | DDR3_DQ24 | DDR3_DQ24 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C3 | | DDR | |
| G29 | DDR3_DQ25 | DDR3_DQ25 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C3 | | DDR | |
| F28 | DDR3_DQ26 | DDR3_DQ26 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C3 | | DDR | |
| E28 | DDR3_DQ27 | DDR3_DQ27 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C3 | | DDR | |
| D29 | DDR3_DQ28 | DDR3_DQ28 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C3 | | DDR | |
| C29 | DDR3_DQ29 | DDR3_DQ29 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C3 | | DDR | |
| B30 | DDR3_DQ30 | DDR3_DQ30 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C3 | | DDR | |
| D30 | DDR3_DQ31 | DDR3_DQ31 | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C3 | | DDR | |
| A19 | DDR3_DQS0N | DDR3_DQS0N | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C3 | | DDR | |
| A18 | DDR3_DQS0P | DDR3_DQS0P | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C3 | | DDR | |
| A22 | DDR3_DQS1N | DDR3_DQS1N | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C3 | | DDR | |
| A21 | DDR3_DQS1P | DDR3_DQS1P | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C3 | | DDR | |
| A27 | DDR3_DQS2N | DDR3_DQS2N | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C3 | | DDR | |
| A26 | DDR3_DQS2P | DDR3_DQS2P | | IO | 1.1V | | | | | VDDS_DDR / VDDS_DDR_C3 | | DDR | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|-----------|--|---------------|------------|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|---|-------------|-----------------|-------------|
| A30 | DDR3_DQS3N | DDR3_DQS3N | | IO | 1.1V | | | | | VDD5_DDR / VDD5_DDR_C3 | | DDR | |
| A29 | DDR3_DQS3P | DDR3_DQS3P | | IO | 1.1V | | | | | VDD5_DDR / VDD5_DDR_C3 | | DDR | |
| AP22 | DP0_AUXN | DP0_AUXN | | IO | 1.8V | | | | | VDDA_1P8_S ERDES2_4 | | AUX-PHY | |
| AP23 | DP0_AUXP | DP0_AUXP | | IO | 1.8V | | | | | VDDA_1P8_S ERDES2_4 | | AUX-PHY | |
| AP26 | DSI0_TXCLKN | CSI0_TXCLKN | | O | 1.8V | | | | | VDDA_0P8_D SITX / VDDA_0P8_D SITX_C / VDDA_1P8_D SITX | | D-PHY | |
| | | DSI0_TXCLKN | | O | | | | | | | | | |
| AP25 | DSI0_TXCLKP | DSI0_TXCLKP | | O | 1.8V | | | | | VDDA_0P8_D SITX / VDDA_0P8_D SITX_C / VDDA_1P8_D SITX | | D-PHY | |
| | | CSI0_TXCLKP | | O | | | | | | | | | |
| AM24 | DSI0_TXRCALIB | DSI0_TXRCALIB | | A | 1.8V | | | | | VDDA_0P8_D SITX / VDDA_0P8_D SITX_C / VDDA_1P8_D SITX | | D-PHY | |
| AP29 | DSI1_TXCLKN | DSI1_TXCLKN | | O | 1.8V | | | | | VDDA_0P8_D SITX / VDDA_0P8_D SITX_C / VDDA_1P8_D SITX | | D-PHY | |
| | | CSI1_TXCLKN | | O | | | | | | | | | |
| AP28 | DSI1_TXCLKP | CSI1_TXCLKP | | O | 1.8V | | | | | VDDA_0P8_D SITX / VDDA_0P8_D SITX_C / VDDA_1P8_D SITX | | D-PHY | |
| | | DSI1_TXCLKP | | O | | | | | | | | | |
| AL22 | DSI1_TXRCALIB | DSI1_TXRCALIB | | A | 1.8V | | | | | VDDA_0P8_D SITX / VDDA_0P8_D SITX_C / VDDA_1P8_D SITX | | D-PHY | |
| AU27 | DSI0_TXN0 | CSI0_TXN0 | | O | 1.8V | | | | | VDDA_0P8_D SITX / VDDA_0P8_D SITX_C / VDDA_1P8_D SITX | | D-PHY | |
| | | DSI0_TXN0 | | IO | | | | | | | | | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|-----------|--|-----------|------------|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|--|-------------|-----------------|-------------|
| AT26 | DSI0_TXN1 | DSI0_TXN1 | | O | 1.8V | | | | | VDDA_0P8_D SITX / VDDA_0P8_D SITX_C / VDDA_1P8_D SITX | | D-PHY | |
| | | CSI0_TXN1 | | O | | | | | | | | | |
| AR27 | DSI0_TXN2 | DSI0_TXN2 | | O | 1.8V | | | | | VDDA_0P8_D SITX / VDDA_0P8_D SITX_C / VDDA_1P8_D SITX | | D-PHY | |
| | | CSI0_TXN2 | | O | | | | | | | | | |
| AN24 | DSI0_TXN3 | DSI0_TXN3 | | O | 1.8V | | | | | VDDA_0P8_D SITX / VDDA_0P8_D SITX_C / VDDA_1P8_D SITX | | D-PHY | |
| | | CSI0_TXN3 | | O | | | | | | | | | |
| AU26 | DSI0_TXP0 | DSI0_TXP0 | | IO | 1.8V | | | | | VDDA_0P8_D SITX / VDDA_0P8_D SITX_C / VDDA_1P8_D SITX | | D-PHY | |
| | | CSI0_TXP0 | | O | | | | | | | | | |
| AT25 | DSI0_TXP1 | DSI0_TXP1 | | O | 1.8V | | | | | VDDA_0P8_D SITX / VDDA_0P8_D SITX_C / VDDA_1P8_D SITX | | D-PHY | |
| | | CSI0_TXP1 | | O | | | | | | | | | |
| AR26 | DSI0_TXP2 | CSI0_TXP2 | | O | 1.8V | | | | | VDDA_0P8_D SITX / VDDA_0P8_D SITX_C / VDDA_1P8_D SITX | | D-PHY | |
| | | DSI0_TXP2 | | O | | | | | | | | | |
| AN23 | DSI0_TXP3 | CSI0_TXP3 | | O | 1.8V | | | | | VDDA_0P8_D SITX / VDDA_0P8_D SITX_C / VDDA_1P8_D SITX | | D-PHY | |
| | | DSI0_TXP3 | | O | | | | | | | | | |
| AT29 | DSI1_TXN0 | CSI1_TXN0 | | O | 1.8V | | | | | VDDA_0P8_D SITX / VDDA_0P8_D SITX_C / VDDA_1P8_D SITX | | D-PHY | |
| | | DSI1_TXN0 | | IO | | | | | | | | | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|-----------|--|-----------|------------|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|--|-------------|-----------------|-------------|
| AN27 | DSI1_TXN1 | CSI1_TXN1 | | O | 1.8V | | | | | VDDA_0P8_D SITX / VDDA_0P8_D SITX_C / VDDA_1P8_D SITX | | D-PHY | |
| | | DSI1_TXN1 | | O | | | | | | | | | |
| AV28 | DSI1_TXN2 | DSI1_TXN2 | | O | 1.8V | | | | | VDDA_0P8_D SITX / VDDA_0P8_D SITX_C / VDDA_1P8_D SITX | | D-PHY | |
| | | CSI1_TXN2 | | O | | | | | | | | | |
| AU30 | DSI1_TXN3 | DSI1_TXN3 | | O | 1.8V | | | | | VDDA_0P8_D SITX / VDDA_0P8_D SITX_C / VDDA_1P8_D SITX | | D-PHY | |
| | | CSI1_TXN3 | | O | | | | | | | | | |
| AT28 | DSI1_TXP0 | CSI1_TXP0 | | O | 1.8V | | | | | VDDA_0P8_D SITX / VDDA_0P8_D SITX_C / VDDA_1P8_D SITX | | D-PHY | |
| | | DSI1_TXP0 | | IO | | | | | | | | | |
| AN26 | DSI1_TXP1 | DSI1_TXP1 | | O | 1.8V | | | | | VDDA_0P8_D SITX / VDDA_0P8_D SITX_C / VDDA_1P8_D SITX | | D-PHY | |
| | | CSI1_TXP1 | | O | | | | | | | | | |
| AV27 | DSI1_TXP2 | DSI1_TXP2 | | O | 1.8V | | | | | VDDA_0P8_D SITX / VDDA_0P8_D SITX_C / VDDA_1P8_D SITX | | D-PHY | |
| | | CSI1_TXP2 | | O | | | | | | | | | |
| AU29 | DSI1_TXP3 | CSI1_TXP3 | | O | 1.8V | | | | | VDDA_0P8_D SITX / VDDA_0P8_D SITX_C / VDDA_1P8_D SITX | | D-PHY | |
| | | DSI1_TXP3 | | O | | | | | | | | | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|-----------|--|-------------------|------------|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|-------------|-------------|-----------------|-------------|
| AD36 | ECAP0_IN_APWM_OUT PADCFG: PADCONFIG_49 0x0011C0C4 | ECAP0_IN_APWM_OUT | 0 | IO | 1.8V/3.3V | オフ/オフ/オフ | オフ/オフ/オフ | 7 | PU/PD | VDDSHV2 | あり | LVC MOS | あり |
| | | MCASP4_AXR2 | 1 | IO | | | | | | | | | |
| | | CPTS0_RFT_CLK | 2 | I | | | | | | | | | |
| | | MCAN12_TX | 4 | O | | | | | | | | | |
| | | VOU0_DATA23 | 5 | O | | | | | | | | | |
| | | GPMC0_AD5 | 6 | IO | | | | | | | | | |
| | | GPIO0_49 | 7 | IO | | | | | | | | | |
| | | SPI6_D0 | 8 | IO | | | | | | | | | |
| | | SYNC0_OUT | 9 | O | | | | | | | | | |
| | | TRC_DATA1 | 10 | O | | | | | | | | | |
| | | UART2_CTSn | 11 | I | | | | | | | | | |
| | | CPTS0_HW1TSPUSH | 12 | I | | | | | | | | | |
| | | I2C1_SCL | 13 | IOD | | | | | | | | | |
| | | UART3_RXD | 14 | I | | | | | | | | | |
| F35 | EMU0 PADCFG: WKUP_PADCONFIG_75 0x4301C12C | EMU0 | 0 | IO | 1.8V/3.3V | オン/オフ/アップ | オン/オフ/アップ | 0 | PU/PD | VDDSHV0_MCU | あり | LVC MOS | なし |
| H34 | EMU1 PADCFG: WKUP_PADCONFIG_76 0x4301C130 | EMU1 | 0 | IO | 1.8V/3.3V | オン/オフ/アップ | オン/オフ/アップ | 0 | PU/PD | VDDSHV0_MCU | あり | LVC MOS | なし |
| | | MCU_OBSCLK0 | 15 | O | | | | | | | | | |
| AN35 | EXTINTn PADCFG: PADCONFIG_0 0x0011C000 | EXTINTn | 0 | I | 1.8V/3.3V | オフ/オフ/オフ | オフ/SS/オフ | 7 | | VDDSHV0 | あり | I2C オープンドレイン | なし |
| | | GPIO0_0 | 7 | IO | | | | | | | | | |
| AJ32 | EXT_REFCLK1 PADCFG: PADCONFIG_50 0x0011C0C8 | EXT_REFCLK1 | 0 | I | 1.8V/3.3V | オフ/オフ/オフ | オフ/オフ/オフ | 7 | PU/PD | VDDSHV2 | あり | LVC MOS | あり |
| | | MCASP4_ACLKX | 1 | IO | | | | | | | | | |
| | | VOU0_DATA16 | 2 | O | | | | | | | | | |
| | | MCAN1_RX | 4 | I | | | | | | | | | |
| | | GPMC0_AD6 | 6 | IO | | | | | | | | | |
| | | GPIO0_50 | 7 | IO | | | | | | | | | |
| | | SYNC1_OUT | 9 | O | | | | | | | | | |
| | | TRC_CLK | 10 | O | | | | | | | | | |
| | | UART2_RTSn | 11 | O | | | | | | | | | |
| | | CPTS0_HW2TSPUSH | 12 | I | | | | | | | | | |
| | | I2C1_SDA | 13 | IOD | | | | | | | | | |
| | | UART3_TXD | 14 | O | | | | | | | | | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|-----------|---|--------------|------------|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|---------|-------------|-----------------|-------------|
| AL32 | GPIO0_11 PADCFG: PADCONFIG_11 0x0011C02C | MCAN17_TX | 0 | O | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV2 | あり | LVC MOS | あり |
| | | VOUT0_DATA18 | 2 | O | | | | | | | | | |
| | | GPMC0_A14 | 6 | OZ | | | | | | | | | |
| | | GPIO0_11 | 7 | IO | | | | | | | | | |
| | | SPI7_CS3 | 8 | IO | | | | | | | | | |
| | | TRC_DATA25 | 10 | O | | | | | | | | | |
| | | GPMC0_CSn2 | 12 | O | | | | | | | | | |
| | | UART7_RXD | 13 | I | | | | | | | | | |
| | | USB0_DRVVBUS | 14 | O | | | | | | | | | |
| AK37 | GPIO0_12 PADCFG: PADCONFIG_12 0x0011C030 | MCAN12_RX | 0 | I | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV2 | あり | LVC MOS | あり |
| | | VOUT0_DATA17 | 2 | O | | | | | | | | | |
| | | VOUT0_DATA22 | 5 | O | | | | | | | | | |
| | | GPMC0_AD4 | 6 | IO | | | | | | | | | |
| | | GPIO0_12 | 7 | IO | | | | | | | | | |
| | | SPI6_CLK | 8 | IO | | | | | | | | | |
| | | EQEP1_I | 9 | IO | | | | | | | | | |
| | | TRC_DATA2 | 10 | O | | | | | | | | | |
| | | UART9_CTSn | 11 | I | | | | | | | | | |
| UART6_RXD | 12 | I | | | | | | | | | | | |
| AN36 | I2C0_SCL PADCFG: PADCONFIG_56 0x0011C0E0 | I2C0_SCL | 0 | IOD | 1.8V/3.3V | オフ / オフ / オフ | オン / SS / オフ | 7 | | VDDSHV0 | あり | I2C オープンドレイン | なし |
| | | GPIO0_56 | 7 | IO | | | | | | | | | |
| AP37 | I2C0_SDA PADCFG: PADCONFIG_57 0x0011C0E4 | I2C0_SDA | 0 | IOD | 1.8V/3.3V | オフ / オフ / オフ | オン / SS / オフ | 7 | | VDDSHV0 | あり | I2C オープンドレイン | なし |
| | | GPIO0_57 | 7 | IO | | | | | | | | | |
| AE38 | MCAN0_RX PADCFG: PADCONFIG_26 0x0011C068 | MCAN0_RX | 0 | I | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV2 | あり | LVC MOS | あり |
| | | MCASP4_AXR1 | 1 | IO | | | | | | | | | |
| | | VOUT0_DATA3 | 2 | O | | | | | | | | | |
| | | GPMC0_AD15 | 6 | IO | | | | | | | | | |
| | | GPIO0_26 | 7 | IO | | | | | | | | | |
| | | SPI5_CS0 | 8 | IO | | | | | | | | | |
| | | EHRPWM0_A | 9 | IO | | | | | | | | | |
| | | TRC_DATA16 | 10 | O | | | | | | | | | |
| | | UART2_TXD | 11 | O | | | | | | | | | |
| | | UART6_RTSn | 12 | O | | | | | | | | | |
| | | SPI7_D0 | 13 | IO | | | | | | | | | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|-----------------|---|----------------|---|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|---------|-------------|-----------------|-------------|
| AF38 | MCAN0_TX PADCFG: PADCONFIG_25 0x0011C064 | MCAN0_TX | 0 | O | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV2 | あり | LVCMOS | あり |
| | | MCASP2_AXR2 | 1 | IO | | | | | | | | | |
| | | VOUT0_DATA4 | 2 | O | | | | | | | | | |
| | | GPMC0_AD14 | 6 | IO | | | | | | | | | |
| | | GPIO0_25 | 7 | IO | | | | | | | | | |
| | | SPI5_CS1 | 8 | IO | | | | | | | | | |
| | | EHRPWM0_B | 9 | IO | | | | | | | | | |
| | | TRC_DATA11 | 10 | O | | | | | | | | | |
| | | UART2_RXD | 11 | I | | | | | | | | | |
| | | UART6_CTSn | 12 | I | | | | | | | | | |
| | | I2C3_SCL | 13 | IOD | | | | | | | | | |
| AH38 | MCAN1_RX PADCFG: PADCONFIG_28 0x0011C070 | MCAN1_RX | 0 | I | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV2 | あり | LVCMOS | あり |
| | | MCASP4_AXR3 | 1 | IO | | | | | | | | | |
| | | VOUT0_DATA1 | 2 | O | | | | | | | | | |
| | | VOUT0_DATA19 | 5 | O | | | | | | | | | |
| | | GPMC0_BE0n_CLE | 6 | O | | | | | | | | | |
| | | GPIO0_28 | 7 | IO | | | | | | | | | |
| | | SPI5_D0 | 8 | IO | | | | | | | | | |
| | | EHRPWM0_SYNCI | 9 | I | | | | | | | | | |
| | | TRC_DATA5 | 10 | O | | | | | | | | | |
| | | UART3_RTSn | 11 | O | | | | | | | | | |
| | | AJ37 | MCAN1_TX PADCFG: PADCONFIG_27 0x0011C06C | MCAN1_TX | | | | | | | | | |
| MCASP4_AFSX | 1 | | | IO | | | | | | | | | |
| VOUT0_EXTPCLKIN | 2 | | | I | | | | | | | | | |
| DSS_FSYNCO | 4 | | | O | | | | | | | | | |
| GPMC0_AD7 | 6 | | | IO | | | | | | | | | |
| GPIO0_27 | 7 | | | IO | | | | | | | | | |
| EHRPWM0_TZn_IN5 | 9 | | | I | | | | | | | | | |
| TRC_CTL | 10 | | | O | | | | | | | | | |
| UART6_TXD | 11 | | | O | | | | | | | | | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|------------|---|-------------------|---|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|---------|-------------|-----------------|-------------|
| AH37 | MCAN2_RX PADCFG: PADCONFIG_30 0x0011C078 | MCAN2_RX | 0 | I | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV2 | あり | LVC MOS | あり |
| | | AUDIO_EXT_REFCLK1 | 1 | IO | | | | | | | | | |
| | | VOUT0_PCLK | 2 | O | | | | | | | | | |
| | | GPMC0_CSn1 | 6 | O | | | | | | | | | |
| | | GPIO0_30 | 7 | IO | | | | | | | | | |
| | | SPI6_CS1 | 8 | IO | | | | | | | | | |
| | | EHRPWM4_B | 9 | IO | | | | | | | | | |
| | | TRC_DATA17 | 10 | O | | | | | | | | | |
| | | UART3_TXD | 11 | O | | | | | | | | | |
| | | GPMC0_DIR | 12 | O | | | | | | | | | |
| | | I2C5_SDA | 13 | IOD | | | | | | | | | |
| AC33 | MCAN2_TX PADCFG: PADCONFIG_29 0x0011C074 | MCAN2_TX | 0 | O | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV2 | あり | LVC MOS | あり |
| | | MCASP2_AXR3 | 1 | IO | | | | | | | | | |
| | | VOUT0_DATA0 | 2 | O | | | | | | | | | |
| | | VOUT0_DATA18 | 5 | O | | | | | | | | | |
| | | GPMC0_WAIT0 | 6 | I | | | | | | | | | |
| | | GPIO0_29 | 7 | IO | | | | | | | | | |
| | | SPI6_D1 | 8 | IO | | | | | | | | | |
| | | EHRPWM1_B | 9 | IO | | | | | | | | | |
| | | TRC_DATA3 | 10 | O | | | | | | | | | |
| | | UART3_RXD | 11 | I | | | | | | | | | |
| | | GPMC0_DIR | 12 | O | | | | | | | | | |
| | | I2C5_SCL | 13 | IOD | | | | | | | | | |
| | | AJ33 | MCAN12_RX PADCFG: PADCONFIG_2 0x0011C008 | MCAN12_RX | | | | | | | | | |
| UART0_DCDn | 1 | | | I | | | | | | | | | |
| DSS_FSYNC1 | 3 | | | O | | | | | | | | | |
| GPMC0_A23 | 6 | | | OZ | | | | | | | | | |
| GPIO0_2 | 7 | | | IO | | | | | | | | | |
| TRC_CTL | 10 | | | O | | | | | | | | | |
| UART5_RXD | 11 | | | I | | | | | | | | | |
| GPMC0_CSn3 | 12 | | | O | | | | | | | | | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|-------------|---|--------------|------------|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|---------|-------------|-----------------|-------------|
| AG36 | MCAN12_TX PADCFG: PADCONFIG_1 0x0011C004 | MCAN12_TX | 0 | O | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV2 | あり | LVCMOS | あり |
| | | DSS_FSYNC0 | 3 | O | | | | | | | | | |
| | | GPMC0_A24 | 6 | OZ | | | | | | | | | |
| | | GPIO0_1 | 7 | IO | | | | | | | | | |
| | | TRC_CLK | 10 | O | | | | | | | | | |
| | | UART5_TXD | 11 | O | | | | | | | | | |
| | | GPMC0_CLK | 12 | IO | | | | | | | | | |
| AH33 | MCAN13_RX PADCFG: PADCONFIG_4 0x0011C010 | MCAN13_RX | 0 | I | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV2 | あり | LVCMOS | あり |
| | | UART0_DTRn | 1 | O | | | | | | | | | |
| | | DSS_FSYNC3 | 3 | O | | | | | | | | | |
| | | GPMC0_A21 | 6 | OZ | | | | | | | | | |
| | | GPIO0_4 | 7 | IO | | | | | | | | | |
| | | I2C4_SDA | 8 | IOD | | | | | | | | | |
| | | TRC_DATA1 | 10 | O | | | | | | | | | |
| UART6_TXD | 11 | O | | | | | | | | | | | |
| AF33 | MCAN13_TX PADCFG: PADCONFIG_3 0x0011C00C | MCAN13_TX | 0 | O | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV2 | あり | LVCMOS | あり |
| | | UART0_DSRn | 1 | I | | | | | | | | | |
| | | DSS_FSYNC2 | 3 | O | | | | | | | | | |
| | | GPMC0_A22 | 6 | OZ | | | | | | | | | |
| | | GPIO0_3 | 7 | IO | | | | | | | | | |
| | | TRC_DATA0 | 10 | O | | | | | | | | | |
| | | UART4_TXD | 11 | O | | | | | | | | | |
| GPMC0_WAIT2 | 12 | I | | | | | | | | | | | |
| AK36 | MCAN14_RX PADCFG: PADCONFIG_6 0x0011C018 | MCAN14_RX | 0 | I | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV2 | あり | LVCMOS | あり |
| | | VOUT0_DATA23 | 2 | O | | | | | | | | | |
| | | GPMC0_A19 | 6 | OZ | | | | | | | | | |
| | | GPIO0_6 | 7 | IO | | | | | | | | | |
| | | I2C5_SDA | 8 | IOD | | | | | | | | | |
| | | TRC_DATA3 | 10 | O | | | | | | | | | |
| | | UART9_TXD | 11 | O | | | | | | | | | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|-------------|--|--------------|------------|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|---------|-------------|-----------------|-------------|
| AG33 | MCAN14_TX PADCFG: PADCONFIG_5 0x0011C014 | MCAN14_TX | 0 | O | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV2 | あり | LVC MOS | あり |
| | | UART0_RIn | 1 | I | | | | | | | | | |
| | | GPMC0_A20 | 6 | OZ | | | | | | | | | |
| | | GPIO0_5 | 7 | IO | | | | | | | | | |
| | | I2C4_SCL | 8 | IOD | | | | | | | | | |
| | | TRC_DATA2 | 10 | O | | | | | | | | | |
| | | UART6_RXD | 11 | I | | | | | | | | | |
| DP0_HPDP | 13 | I | | | | | | | | | | | |
| AJ35 | MCAN15_RX PADCFG: PADCONFIG_8 0x0011C020 | MCAN15_RX | 0 | I | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV2 | あり | LVC MOS | あり |
| | | VOUT0_DATA21 | 2 | O | | | | | | | | | |
| | | GPMC0_A17 | 6 | OZ | | | | | | | | | |
| | | GPIO0_8 | 7 | IO | | | | | | | | | |
| | | SPI0_CS2 | 8 | IO | | | | | | | | | |
| | | TRC_DATA22 | 10 | O | | | | | | | | | |
| I2C1_SCL | 12 | IOD | | | | | | | | | | | |
| AG34 | MCAN15_TX PADCFG: PADCONFIG_7 0x0011C01C | MCAN15_TX | 0 | O | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV2 | あり | LVC MOS | あり |
| | | VOUT0_DATA22 | 2 | O | | | | | | | | | |
| | | GPMC0_A18 | 6 | OZ | | | | | | | | | |
| | | GPIO0_7 | 7 | IO | | | | | | | | | |
| | | I2C5_SCL | 8 | IOD | | | | | | | | | |
| | | TRC_DATA21 | 10 | O | | | | | | | | | |
| UART9_RXD | 11 | I | | | | | | | | | | | |
| AE33 | MCAN16_RX PADCFG: PADCONFIG_10 0x0011C028 | MCAN16_RX | 0 | I | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV2 | あり | LVC MOS | あり |
| | | VOUT0_DATA19 | 2 | O | | | | | | | | | |
| | | GPMC0_A15 | 6 | OZ | | | | | | | | | |
| | | GPIO0_10 | 7 | IO | | | | | | | | | |
| | | SPI0_CS3 | 8 | IO | | | | | | | | | |
| | | TRC_DATA24 | 10 | O | | | | | | | | | |
| GPMC0_WAIT1 | 12 | I | | | | | | | | | | | |
| AH34 | MCAN16_TX PADCFG: PADCONFIG_9 0x0011C024 | MCAN16_TX | 0 | O | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV2 | あり | LVC MOS | あり |
| | | VOUT0_DATA20 | 2 | O | | | | | | | | | |
| | | GPMC0_A16 | 6 | OZ | | | | | | | | | |
| | | GPIO0_9 | 7 | IO | | | | | | | | | |
| | | SPI1_CS3 | 8 | IO | | | | | | | | | |
| | | TRC_DATA23 | 10 | O | | | | | | | | | |
| I2C1_SDA | 12 | IOD | | | | | | | | | | | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|-----------|---|----------------|------------|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|---------|-------------|-----------------|-------------|
| AK35 | MCASP0_ACLKX PADCFG: PADCONFIG_14 0x0011C038 | MCAN5_TX | 0 | O | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV2 | あり | LVCMOS | あり |
| | | MCASP0_ACLKX | 1 | IO | | | | | | | | | |
| | | VOUT0_DATA15 | 2 | O | | | | | | | | | |
| | | GPMC0_AD0 | 6 | IO | | | | | | | | | |
| | | GPIO0_14 | 7 | IO | | | | | | | | | |
| | | EHRPWM_TZn_IN2 | 9 | I | | | | | | | | | |
| | | UART8_RXD | 11 | I | | | | | | | | | |
| AK38 | MCASP0_AFSX PADCFG: PADCONFIG_15 0x0011C03C | MCAN5_RX | 0 | I | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV2 | あり | LVCMOS | あり |
| | | MCASP0_AFSX | 1 | IO | | | | | | | | | |
| | | VOUT0_DATA14 | 2 | O | | | | | | | | | |
| | | GPMC0_AD1 | 6 | IO | | | | | | | | | |
| | | GPIO0_15 | 7 | IO | | | | | | | | | |
| | | EHRPWM2_B | 9 | IO | | | | | | | | | |
| | | UART8_TXD | 11 | O | | | | | | | | | |
| AC34 | MCASP1_ACLKX PADCFG: PADCONFIG_46 0x0011C0B8 | MCAN10_RX | 0 | I | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV2 | あり | LVCMOS | あり |
| | | MCASP1_ACLKX | 1 | IO | | | | | | | | | |
| | | DP0_HPD | 3 | I | | | | | | | | | |
| | | PCIE0_CLKREQn | 4 | IO | | | | | | | | | |
| | | GPMC0_A11 | 5 | OZ | | | | | | | | | |
| | | RGMII1_RD0 | 6 | I | | | | | | | | | |
| | | GPIO0_46 | 7 | IO | | | | | | | | | |
| | | EQEP0_S | 9 | IO | | | | | | | | | |
| | | UART4_RTSn | 11 | O | | | | | | | | | |
| | | SPI3_CS3 | 12 | IO | | | | | | | | | |
| | | UART9_RTSn | 13 | O | | | | | | | | | |
| AD33 | MCASP1_AFSX PADCFG: PADCONFIG_47 0x0011C0BC | MCAN11_TX | 0 | O | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV2 | あり | LVCMOS | あり |
| | | MCASP1_AFSX | 1 | IO | | | | | | | | | |
| | | GPMC0_A12 | 5 | OZ | | | | | | | | | |
| | | MDIO0_MDIO | 6 | IO | | | | | | | | | |
| | | GPIO0_47 | 7 | IO | | | | | | | | | |
| | | SPI3_CS0 | 8 | IO | | | | | | | | | |
| | | EQEP0_I | 9 | IO | | | | | | | | | |
| | | UART0_RXD | 11 | I | | | | | | | | | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|-------------|---|--------------|--|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|---------|-------------|-----------------|-------------|
| AD37 | MCASP2_ACLKX PADCFG: PADCONFIG_21 0x0011C054 | MCAN8_RX | 0 | I | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV2 | あり | LVCMOS | あり |
| | | MCASP2_ACLKX | 1 | IO | | | | | | | | | |
| | | VOUT0_DATA8 | 2 | O | | | | | | | | | |
| | | VOUT0_DATA20 | 5 | O | | | | | | | | | |
| | | GPMC0_AD10 | 6 | IO | | | | | | | | | |
| | | GPIO0_21 | 7 | IO | | | | | | | | | |
| | | SPI5_CS2 | 8 | IO | | | | | | | | | |
| | | EQEP2_S | 9 | IO | | | | | | | | | |
| | | TRC_DATA4 | 10 | O | | | | | | | | | |
| | | UART1_RXD | 11 | I | | | | | | | | | |
| | | SPI7_CS1 | 13 | IO | | | | | | | | | |
| | | SYNC3_OUT | 14 | O | | | | | | | | | |
| | | AE37 | MCASP2_AFSX PADCFG: PADCONFIG_22 0x0011C058 | MCAN9_TX | | | | | | | | | |
| MCASP2_AFSX | 1 | | | IO | | | | | | | | | |
| VOUT0_DATA7 | 2 | | | O | | | | | | | | | |
| MDIO1_MDC | 4 | | | O | | | | | | | | | |
| GPMC0_AD11 | 6 | | | IO | | | | | | | | | |
| GPIO0_22 | 7 | | | IO | | | | | | | | | |
| SPI5_CS3 | 8 | | | IO | | | | | | | | | |
| EHRPWM_SOCA | 9 | | | O | | | | | | | | | |
| TRC_DATA9 | 10 | | | O | | | | | | | | | |
| UART1_TXD | 11 | | | O | | | | | | | | | |
| SPI7_CS2 | 13 | | | IO | | | | | | | | | |
| AF37 | MCASP0_AXR0 PADCFG: PADCONFIG_16 0x0011C040 | MCAN6_TX | 0 | O | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV2 | あり | LVCMOS | あり |
| | | MCASP0_AXR0 | 1 | IO | | | | | | | | | |
| | | VOUT0_DATA13 | 2 | O | | | | | | | | | |
| | | GPMC0_AD2 | 6 | IO | | | | | | | | | |
| | | GPIO0_16 | 7 | IO | | | | | | | | | |
| | | SPI2_CS2 | 8 | IO | | | | | | | | | |
| | | EHRPWM2_A | 9 | IO | | | | | | | | | |
| | | TRC_DATA14 | 10 | O | | | | | | | | | |
| | | UART4_RXD | 11 | I | | | | | | | | | |
| | | SPI7_CLK | 13 | IO | | | | | | | | | |
| | | UART8_CTSn | 14 | I | | | | | | | | | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|-----------|--|----------------|------------|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|---------|-------------|-----------------|-------------|
| AG37 | MCASP0_AXR1 PADCFG: PADCONFIG_17 0x0011C044 | MCAN6_RX | 0 | I | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV2 | あり | LVCMOS | あり |
| | | MCASP0_AXR1 | 1 | IO | | | | | | | | | |
| | | VOUT0_DATA12 | 2 | O | | | | | | | | | |
| | | OBCLK1 | 4 | O | | | | | | | | | |
| | | GPMC0_AD3 | 6 | IO | | | | | | | | | |
| | | GPIO0_17 | 7 | IO | | | | | | | | | |
| | | SPI2_CS3 | 8 | IO | | | | | | | | | |
| | | EHRPWM0_SYNC0 | 9 | O | | | | | | | | | |
| | | TRC_DATA12 | 10 | O | | | | | | | | | |
| | | UART4_TXD | 11 | O | | | | | | | | | |
| | | SPI7_CS0 | 13 | IO | | | | | | | | | |
| | | UART8_RTSn | 14 | O | | | | | | | | | |
| AK33 | MCASP0_AXR2 PADCFG: PADCONFIG_18 0x0011C048 | MCAN7_TX | 0 | O | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV2 | あり | LVCMOS | あり |
| | | MCASP0_AXR2 | 1 | IO | | | | | | | | | |
| | | VOUT0_DATA11 | 2 | O | | | | | | | | | |
| | | GPMC0_ADVn_ALE | 6 | O | | | | | | | | | |
| | | GPIO0_18 | 7 | IO | | | | | | | | | |
| | | EQEP2_A | 9 | I | | | | | | | | | |
| | | TRC_DATA10 | 10 | O | | | | | | | | | |
| | | UART4_CTSn | 11 | I | | | | | | | | | |
| | | GPMC0_WPn | 12 | O | | | | | | | | | |
| | | UART9_CTSn | 13 | I | | | | | | | | | |
| AJ38 | MCASP0_AXR3 PADCFG: PADCONFIG_31 0x0011C07C | MCAN3_TX | 0 | O | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV2 | あり | LVCMOS | あり |
| | | MCASP0_AXR3 | 1 | IO | | | | | | | | | |
| | | VOUT0_DATA2 | 2 | O | | | | | | | | | |
| | | GPMC0_BE1n | 6 | O | | | | | | | | | |
| | | GPIO0_31 | 7 | IO | | | | | | | | | |
| | | SPI5_CLK | 8 | IO | | | | | | | | | |
| | | EHRPWM_TZn_IN0 | 9 | I | | | | | | | | | |
| | | TRC_DATA7 | 10 | O | | | | | | | | | |
| | | UART3_CTSn | 11 | I | | | | | | | | | |
| | | SPI3_CS1 | 12 | IO | | | | | | | | | |
| SPI7_D1 | 13 | IO | | | | | | | | | | | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|----------------|--|-----------------|------------|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|---------|-------------|-----------------|-------------|
| AK34 | MCASP0_AXR4 PADCFG: PADCONFIG_32 0x0011C080 | MCAN3_RX | 0 | I | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV2 | あり | LVCMOS | あり |
| | | MCASP0_AXR4 | 1 | IO | | | | | | | | | |
| | | VOUT0_HSYNC | 2 | O | | | | | | | | | |
| | | VOUT0_VP0_HSYNC | 4 | O | | | | | | | | | |
| | | VOUT0_VP2_HSYNC | 5 | O | | | | | | | | | |
| | | GPMC0_OEn_REn | 6 | O | | | | | | | | | |
| | | GPIO0_32 | 7 | IO | | | | | | | | | |
| | | SPI6_CS2 | 8 | IO | | | | | | | | | |
| | | EHRPWM5_B | 9 | IO | | | | | | | | | |
| | | TRC_DATA18 | 10 | O | | | | | | | | | |
| | | I2C4_SDA | 13 | IOD | | | | | | | | | |
| AG38 | MCASP0_AXR5 PADCFG: PADCONFIG_33 0x0011C084 | MCAN4_TX | 0 | O | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV2 | あり | LVCMOS | あり |
| | | MCASP0_AXR5 | 1 | IO | | | | | | | | | |
| | | VOUT0_DE | 2 | O | | | | | | | | | |
| | | MCASP1_ACLKR | 3 | IO | | | | | | | | | |
| | | VOUT0_VP0_DE | 4 | O | | | | | | | | | |
| | | VOUT0_VP2_DE | 5 | O | | | | | | | | | |
| | | GPMC0_CSn0 | 6 | O | | | | | | | | | |
| | | GPIO0_33 | 7 | IO | | | | | | | | | |
| | | SPI6_CS3 | 8 | IO | | | | | | | | | |
| | | EHRPWM5_A | 9 | IO | | | | | | | | | |
| | | TRC_DATA19 | 10 | O | | | | | | | | | |
| I2C4_SCL | 13 | IOD | | | | | | | | | | | |
| AF36 | MCASP0_AXR6 PADCFG: PADCONFIG_34 0x0011C088 | MCAN4_RX | 0 | I | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV2 | あり | LVCMOS | あり |
| | | MCASP0_AXR6 | 1 | IO | | | | | | | | | |
| | | VOUT0_VSYNC | 2 | O | | | | | | | | | |
| | | MCASP1_AFSR | 3 | IO | | | | | | | | | |
| | | VOUT0_VP0_VSYNC | 4 | O | | | | | | | | | |
| | | VOUT0_VP2_VSYNC | 5 | O | | | | | | | | | |
| | | GPMC0_CLKOUT | 6 | O | | | | | | | | | |
| | | GPIO0_34 | 7 | IO | | | | | | | | | |
| | | SPI3_CS2 | 8 | IO | | | | | | | | | |
| | | EHRPWM_TZn_IN4 | 9 | I | | | | | | | | | |
| | | TRC_DATA20 | 10 | O | | | | | | | | | |
| SPI5_D1 | 11 | IO | | | | | | | | | | | |
| GPMC0_FCLK_MUX | 12 | O | | | | | | | | | | | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|--------------|--|----------------|------------|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|---------|-------------|-----------------|-------------|
| AE35 | MCASP0_AXR7 PADCFG: PADCONFIG_35 0x0011C08C | MCAN5_TX | 0 | O | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV2 | あり | LVCMOS | あり |
| | | MCASP0_AXR7 | 1 | IO | | | | | | | | | |
| | | MCASP4_ACLKR | 3 | IO | | | | | | | | | |
| | | GPMC0_A0 | 5 | OZ | | | | | | | | | |
| | | RGMII1_TD0 | 6 | O | | | | | | | | | |
| | | GPIO0_35 | 7 | IO | | | | | | | | | |
| | | GPMC0_A14 | 8 | OZ | | | | | | | | | |
| | | EHRPWM3_A | 9 | IO | | | | | | | | | |
| | | UART4_RXD | 11 | I | | | | | | | | | |
| | | GPMC0_CSn2 | 12 | O | | | | | | | | | |
| USB0_DRVVBUS | 14 | O | | | | | | | | | | | |
| AC35 | MCASP0_AXR8 PADCFG: PADCONFIG_36 0x0011C090 | MCAN5_RX | 0 | I | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV2 | あり | LVCMOS | あり |
| | | MCASP0_AXR8 | 1 | IO | | | | | | | | | |
| | | MCASP4_AFSR | 3 | IO | | | | | | | | | |
| | | GPMC0_A1 | 5 | OZ | | | | | | | | | |
| | | RGMII1_TD1 | 6 | O | | | | | | | | | |
| | | GPIO0_36 | 7 | IO | | | | | | | | | |
| | | RMII1_RXD0 | 8 | I | | | | | | | | | |
| | | EHRPWM_TZn_IN3 | 9 | I | | | | | | | | | |
| UART4_TXD | 11 | O | | | | | | | | | | | |
| AG35 | MCASP0_AXR9 PADCFG: PADCONFIG_37 0x0011C094 | MCAN6_TX | 0 | O | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV2 | あり | LVCMOS | あり |
| | | MCASP0_AXR9 | 1 | IO | | | | | | | | | |
| | | MCASP4_AXR4 | 2 | IO | | | | | | | | | |
| | | GPMC0_A2 | 5 | OZ | | | | | | | | | |
| | | RGMII1_TD2 | 6 | O | | | | | | | | | |
| | | GPIO0_37 | 7 | IO | | | | | | | | | |
| | | RMII1_RXD1 | 8 | I | | | | | | | | | |
| | | EHRPWM3_SYNCO | 9 | O | | | | | | | | | |
| UART4_CTSn | 11 | I | | | | | | | | | | | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|-----------|---|---------------|------------|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|---------|-------------|-----------------|-------------|
| AH36 | MCASP0_AXR10 PADCFG: PADCONFIG_38 0x0011C098 | MCAN6_RX | 0 | I | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV2 | あり | LVCMOS | あり |
| | | MCASP0_AXR10 | 1 | IO | | | | | | | | | |
| | | GPMC0_A3 | 5 | OZ | | | | | | | | | |
| | | RGMI1_TD3 | 6 | O | | | | | | | | | |
| | | GPIO0_38 | 7 | IO | | | | | | | | | |
| | | RMII1_CRS_DV | 8 | I | | | | | | | | | |
| | | EHRPWM3_SYNCI | 9 | I | | | | | | | | | |
| | | UART4_RTSn | 11 | O | | | | | | | | | |
| AF35 | MCASP0_AXR11 PADCFG: PADCONFIG_39 0x0011C09C | MCAN7_TX | 0 | O | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV2 | あり | LVCMOS | あり |
| | | MCASP0_AXR11 | 1 | IO | | | | | | | | | |
| | | DSS_FSYNC2 | 4 | O | | | | | | | | | |
| | | GPMC0_A4 | 5 | OZ | | | | | | | | | |
| | | RGMI1_TX_CTL | 6 | O | | | | | | | | | |
| | | GPIO0_39 | 7 | IO | | | | | | | | | |
| | | RMII1_RX_ER | 8 | I | | | | | | | | | |
| | | EHRPWM3_B | 9 | IO | | | | | | | | | |
| | | SPI2_CS1 | 10 | IO | | | | | | | | | |
| | | UART5_RXD | 11 | I | | | | | | | | | |
| AD34 | MCASP0_AXR12 PADCFG: PADCONFIG_40 0x0011C0A0 | MCAN7_RX | 0 | I | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV2 | あり | LVCMOS | あり |
| | | MCASP0_AXR12 | 1 | IO | | | | | | | | | |
| | | MCASP2_ACLKR | 3 | IO | | | | | | | | | |
| | | DSS_FSYNC3 | 4 | O | | | | | | | | | |
| | | GPMC0_A5 | 5 | OZ | | | | | | | | | |
| | | RGMI1_RD1 | 6 | I | | | | | | | | | |
| | | GPIO0_40 | 7 | IO | | | | | | | | | |
| | | RMII1_TXD0 | 8 | O | | | | | | | | | |
| | | EHRPWM_SOCB | 9 | O | | | | | | | | | |
| | | SPI2_CLK | 10 | IO | | | | | | | | | |
| | | UART5_TXD | 11 | O | | | | | | | | | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|-----------|---|---------------|------------|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|---------|-------------|-----------------|-------------|
| AJ36 | MCASP0_AXR13 PADCFG: PADCONFIG_41 0x0011C0A4 | MCAN8_TX | 0 | O | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV2 | あり | LVC MOS | あり |
| | | MCASP0_AXR13 | 1 | IO | | | | | | | | | |
| | | MCASP2_AFSR | 3 | IO | | | | | | | | | |
| | | GPMC0_A6 | 5 | OZ | | | | | | | | | |
| | | RGMII1_RD2 | 6 | I | | | | | | | | | |
| | | GPIO0_41 | 7 | IO | | | | | | | | | |
| | | RMII_REF_CLK | 8 | I | | | | | | | | | |
| | | EHRPWM4_A | 9 | IO | | | | | | | | | |
| | | SPI2_CS0 | 10 | IO | | | | | | | | | |
| | | UART5_CTSn | 11 | I | | | | | | | | | |
| | | UART7_RXD | 13 | I | | | | | | | | | |
| AF34 | MCASP0_AXR14 PADCFG: PADCONFIG_42 0x0011C0A8 | MCAN8_RX | 0 | I | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV2 | あり | LVC MOS | あり |
| | | MCASP0_AXR14 | 1 | IO | | | | | | | | | |
| | | MCASP2_AXR4 | 2 | IO | | | | | | | | | |
| | | MCASP0_ACLKR | 3 | IO | | | | | | | | | |
| | | GPMC0_A7 | 5 | OZ | | | | | | | | | |
| | | RGMII1_RD3 | 6 | I | | | | | | | | | |
| | | GPIO0_42 | 7 | IO | | | | | | | | | |
| | | CLKOUT | 8 | IO | | | | | | | | | |
| | | EQEP0_A | 9 | I | | | | | | | | | |
| | | SPI2_D0 | 10 | IO | | | | | | | | | |
| | | UART5_RTSn | 11 | O | | | | | | | | | |
| UART7_TXD | 13 | O | | | | | | | | | | | |
| AE34 | MCASP0_AXR15 PADCFG: PADCONFIG_43 0x0011C0AC | MCAN9_TX | 0 | O | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV2 | あり | LVC MOS | あり |
| | | MCASP0_AXR15 | 1 | IO | | | | | | | | | |
| | | MCASP0_AFSR | 3 | IO | | | | | | | | | |
| | | GPMC0_A8 | 5 | OZ | | | | | | | | | |
| | | RGMII1_RX_CTL | 6 | I | | | | | | | | | |
| | | GPIO0_43 | 7 | IO | | | | | | | | | |
| | | RMII1_TX_EN | 8 | O | | | | | | | | | |
| | | EQEP0_B | 9 | I | | | | | | | | | |
| | | SPI2_D1 | 10 | IO | | | | | | | | | |
| | | UART8_RXD | 11 | I | | | | | | | | | |
| | | I2C1_SCL | 13 | IOD | | | | | | | | | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] | | | | | | | | | | | |
|--------------|--|----------------|--|-------------|--------------|-------------------------------|-------------------------------|------------------|------------|---------|-------------|-----------------|-------------|---|----|-----------|--------------|--------------|---|-------|---------|----|--------|----|
| AD38 | MCASP1_AXR0 PADCFG: PADCONFIG_48 0x0011C0C0 | MCAN11_RX | 0 | I | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV2 | あり | LVCMOS | あり | | | | | | | | | | | |
| | | MCASP1_AXR0 | 1 | IO | | | | | | | | | | | | | | | | | | | | |
| | | GPMC0_A13 | 5 | OZ | | | | | | | | | | | | | | | | | | | | |
| | | MDIO0_MDC | 6 | O | | | | | | | | | | | | | | | | | | | | |
| | | GPIO0_48 | 7 | IO | | | | | | | | | | | | | | | | | | | | |
| | | SPI3_CLK | 8 | IO | | | | | | | | | | | | | | | | | | | | |
| | | EQEP1_S | 9 | IO | | | | | | | | | | | | | | | | | | | | |
| | | UART0_TXD | 11 | O | | | | | | | | | | | | | | | | | | | | |
| | | GPMC0_WAIT3 | 12 | I | | | | | | | | | | | | | | | | | | | | |
| | | SYNC2_OUT | 14 | O | | | | | | | | | | | | | | | | | | | | |
| AC32 | MCASP1_AXR1 PADCFG: PADCONFIG_19 0x0011C04C | MCAN7_RX | 0 | I | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV2 | あり | LVCMOS | あり | | | | | | | | | | | |
| | | MCASP1_AXR1 | 1 | IO | | | | | | | | | | | | | | | | | | | | |
| | | VOUT0_DATA10 | 2 | O | | | | | | | | | | | | | | | | | | | | |
| | | GPMC0_AD8 | 6 | IO | | | | | | | | | | | | | | | | | | | | |
| | | GPIO0_19 | 7 | IO | | | | | | | | | | | | | | | | | | | | |
| | | SPI3_D0 | 8 | IO | | | | | | | | | | | | | | | | | | | | |
| | | EHRPWM_TZn_IN1 | 9 | I | | | | | | | | | | | | | | | | | | | | |
| | | TRC_DATA8 | 10 | O | | | | | | | | | | | | | | | | | | | | |
| | | UART0_CTSn | 11 | I | | | | | | | | | | | | | | | | | | | | |
| | | UART9_RXD | 12 | I | | | | | | | | | | | | | | | | | | | | |
| | | I2C2_SCL | 13 | IOD | | | | | | | | | | | | | | | | | | | | |
| | | AC37 | MCASP1_AXR2 PADCFG: PADCONFIG_20 0x0011C050 | MCAN8_TX | | | | | | | | | | 0 | O | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV2 | あり | LVCMOS | あり |
| | | | | MCASP1_AXR2 | | | | | | | | | | 1 | IO | | | | | | | | | |
| VOUT0_DATA9 | 2 | | | O | | | | | | | | | | | | | | | | | | | | |
| VOUT0_DATA21 | 5 | | | O | | | | | | | | | | | | | | | | | | | | |
| GPMC0_AD9 | 6 | | | IO | | | | | | | | | | | | | | | | | | | | |
| GPIO0_20 | 7 | | | IO | | | | | | | | | | | | | | | | | | | | |
| SPI3_D1 | 8 | | | IO | | | | | | | | | | | | | | | | | | | | |
| EQEP2_B | 9 | | | I | | | | | | | | | | | | | | | | | | | | |
| TRC_DATA6 | 10 | | | O | | | | | | | | | | | | | | | | | | | | |
| UART0_RTSn | 11 | | | O | | | | | | | | | | | | | | | | | | | | |
| UART9_TXD | 12 | | | O | | | | | | | | | | | | | | | | | | | | |
| I2C2_SDA | 13 | | | IOD | | | | | | | | | | | | | | | | | | | | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|-----------|--|---------------|------------|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|---------|-------------|-----------------|-------------|
| AL33 | MCASP1_AXR3 PADCFG: PADCONFIG_44 0x0011C0B0 | MCAN9_RX | 0 | I | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV2 | あり | LVCMOS | あり |
| | | MCASP1_AXR3 | 1 | IO | | | | | | | | | |
| | | PCIE2_CLKREQn | 4 | IO | | | | | | | | | |
| | | GPMC0_A9 | 5 | OZ | | | | | | | | | |
| | | RGMII1_RXC | 6 | I | | | | | | | | | |
| | | GPIO0_44 | 7 | IO | | | | | | | | | |
| | | RMII1_TXD1 | 8 | O | | | | | | | | | |
| | | EQEP1_A | 9 | I | | | | | | | | | |
| | | UART8_TXD | 11 | O | | | | | | | | | |
| | | I2C1_SDA | 13 | IOD | | | | | | | | | |
| AL34 | MCASP1_AXR4 PADCFG: PADCONFIG_45 0x0011C0B4 | MCAN10_TX | 0 | O | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV2 | あり | LVCMOS | あり |
| | | MCASP1_AXR4 | 1 | IO | | | | | | | | | |
| | | PCIE3_CLKREQn | 4 | IO | | | | | | | | | |
| | | GPMC0_A10 | 5 | OZ | | | | | | | | | |
| | | RGMII1_TXC | 6 | O | | | | | | | | | |
| | | GPIO0_45 | 7 | IO | | | | | | | | | |
| | | EQEP1_B | 9 | I | | | | | | | | | |
| | | UART4_RXD | 11 | I | | | | | | | | | |
| AC36 | MCASP2_AXR0 PADCFG: PADCONFIG_23 0x0011C05C | MCAN9_RX | 0 | I | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV2 | あり | LVCMOS | あり |
| | | MCASP2_AXR0 | 1 | IO | | | | | | | | | |
| | | VOUT0_DATA6 | 2 | O | | | | | | | | | |
| | | MDIO1_MDIO | 4 | IO | | | | | | | | | |
| | | GPMC0_AD12 | 6 | IO | | | | | | | | | |
| | | GPIO0_23 | 7 | IO | | | | | | | | | |
| | | EQEP2_I | 9 | IO | | | | | | | | | |
| | | TRC_DATA15 | 10 | O | | | | | | | | | |
| | | UART1_CTSn | 11 | I | | | | | | | | | |
| | | UART6_RXD | 12 | I | | | | | | | | | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|-----------|---|---------------|------------|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|-----------|-------------|-----------------|-------------|
| AE36 | MCASP2_AXR1 PADCFG: PADCONFIG_24 0x0011C060 | MCAN17_RX | 0 | I | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV2 | あり | LVCMOS | あり |
| | | MCASP2_AXR1 | 1 | IO | | | | | | | | | |
| | | VOU0_DATA5 | 2 | O | | | | | | | | | |
| | | GPMC0_AD13 | 6 | IO | | | | | | | | | |
| | | GPIO0_24 | 7 | IO | | | | | | | | | |
| | | EHRPWM1_A | 9 | IO | | | | | | | | | |
| | | TRC_DATA13 | 10 | O | | | | | | | | | |
| | | UART1_RTSn | 11 | O | | | | | | | | | |
| | | UART6_TXD | 12 | O | | | | | | | | | |
| | | I2C3_SDA | 13 | IOD | | | | | | | | | |
| U35 | MCU_ADC0_REFN | MCU_ADC0_REFN | | A | 1.8V | | | | VDDA_ADC0 | | | ADC12B | なし |
| R35 | MCU_ADC0_REFP | MCU_ADC0_REFP | | A | 1.8V | | | | VDDA_ADC0 | | | ADC12B | なし |
| W35 | MCU_ADC1_REFN | MCU_ADC1_REFN | | A | 1.8V | | | | VDDA_ADC1 | | | ADC12B | なし |
| AA35 | MCU_ADC1_REFP | MCU_ADC1_REFP | | A | 1.8V | | | | VDDA_ADC1 | | | ADC12B | なし |
| P36 | MCU_ADC0_AIN0 PADCFG: WKUP_PADCONFIG_77 0x4301C134 | MCU_ADC0_AIN0 | 0 | A | 1.8V | | | 0 | | VDDA_ADC0 | | ADC12B | なし |
| | | WKUP_GPIO0_71 | 7 (1) | I | | | | | | | | | |
| V36 | MCU_ADC0_AIN1 PADCFG: WKUP_PADCONFIG_78 0x4301C138 | MCU_ADC0_AIN1 | 0 | A | 1.8V | | | 0 | | VDDA_ADC0 | | ADC12B | なし |
| | | WKUP_GPIO0_72 | 7 (1) | I | | | | | | | | | |
| T34 | MCU_ADC0_AIN2 PADCFG: WKUP_PADCONFIG_79 0x4301C13C | MCU_ADC0_AIN2 | 0 | A | 1.8V | | | 0 | | VDDA_ADC0 | | ADC12B | なし |
| | | WKUP_GPIO0_73 | 7 (1) | I | | | | | | | | | |
| T36 | MCU_ADC0_AIN3 PADCFG: WKUP_PADCONFIG_80 0x4301C140 | MCU_ADC0_AIN3 | 0 | A | 1.8V | | | 0 | | VDDA_ADC0 | | ADC12B | なし |
| | | WKUP_GPIO0_74 | 7 (1) | I | | | | | | | | | |
| P34 | MCU_ADC0_AIN4 PADCFG: WKUP_PADCONFIG_81 0x4301C144 | MCU_ADC0_AIN4 | 0 | A | 1.8V | | | 0 | | VDDA_ADC0 | | ADC12B | なし |
| | | WKUP_GPIO0_75 | 7 (1) | I | | | | | | | | | |
| R37 | MCU_ADC0_AIN5 PADCFG: WKUP_PADCONFIG_82 0x4301C148 | MCU_ADC0_AIN5 | 0 | A | 1.8V | | | 0 | | VDDA_ADC0 | | ADC12B | なし |
| | | WKUP_GPIO0_76 | 7 (1) | I | | | | | | | | | |
| R33 | MCU_ADC0_AIN6 PADCFG: WKUP_PADCONFIG_83 0x4301C14C | MCU_ADC0_AIN6 | 0 | A | 1.8V | | | 0 | | VDDA_ADC0 | | ADC12B | なし |
| | | WKUP_GPIO0_77 | 7 (1) | I | | | | | | | | | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|-----------|---|---------------|------------|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|-------------|-------------|-----------------|-------------|
| V38 | MCU_ADC0_AIN7 PADCFG: WKUP_PADCONFIG_84 0x4301C150 | MCU_ADC0_AIN7 | 0 | A | 1.8V | | | 0 | | VDDA_ADC0 | | ADC12B | なし |
| | | WKUP_GPIO0_78 | 7 (1) | I | | | | | | | | | |
| Y38 | MCU_ADC1_AIN0 PADCFG: WKUP_PADCONFIG_85 0x4301C154 | MCU_ADC1_AIN0 | 0 | A | 1.8V | | | 0 | | VDDA_ADC1 | | ADC12B | なし |
| | | WKUP_GPIO0_79 | 7 (1) | I | | | | | | | | | |
| Y34 | MCU_ADC1_AIN1 PADCFG: WKUP_PADCONFIG_86 0x4301C158 | MCU_ADC1_AIN1 | 0 | A | 1.8V | | | 0 | | VDDA_ADC1 | | ADC12B | なし |
| | | WKUP_GPIO0_80 | 7 (1) | I | | | | | | | | | |
| V34 | MCU_ADC1_AIN2 PADCFG: WKUP_PADCONFIG_87 0x4301C15C | MCU_ADC1_AIN2 | 0 | A | 1.8V | | | 0 | | VDDA_ADC1 | | ADC12B | なし |
| | | WKUP_GPIO0_81 | 7 (1) | I | | | | | | | | | |
| W37 | MCU_ADC1_AIN3 PADCFG: WKUP_PADCONFIG_88 0x4301C160 | MCU_ADC1_AIN3 | 0 | A | 1.8V | | | 0 | | VDDA_ADC1 | | ADC12B | なし |
| | | WKUP_GPIO0_82 | 7 (1) | I | | | | | | | | | |
| AA37 | MCU_ADC1_AIN4 PADCFG: WKUP_PADCONFIG_89 0x4301C164 | MCU_ADC1_AIN4 | 0 | A | 1.8V | | | 0 | | VDDA_ADC1 | | ADC12B | なし |
| | | WKUP_GPIO0_83 | 7 (1) | I | | | | | | | | | |
| W33 | MCU_ADC1_AIN5 PADCFG: WKUP_PADCONFIG_90 0x4301C168 | MCU_ADC1_AIN5 | 0 | A | 1.8V | | | 0 | | VDDA_ADC1 | | ADC12B | なし |
| | | WKUP_GPIO0_84 | 7 (1) | I | | | | | | | | | |
| U33 | MCU_ADC1_AIN6 PADCFG: WKUP_PADCONFIG_91 0x4301C16C | MCU_ADC1_AIN6 | 0 | A | 1.8V | | | 0 | | VDDA_ADC1 | | ADC12B | なし |
| | | WKUP_GPIO0_85 | 7 (1) | I | | | | | | | | | |
| Y36 | MCU_ADC1_AIN7 PADCFG: WKUP_PADCONFIG_92 0x4301C170 | MCU_ADC1_AIN7 | 0 | A | 1.8V | | | 0 | | VDDA_ADC1 | | ADC12B | なし |
| | | WKUP_GPIO0_86 | 7 (1) | I | | | | | | | | | |
| M35 | MCU_I2C0_SCL PADCFG: WKUP_PADCONFIG_66 0x4301C108 | MCU_I2C0_SCL | 0 | IOD | 1.8V/3.3V | オフ / オフ / オフ | オン / SS / オフ | 0 | | VDDSHV0_MCU | あり | I2C オーブンドレイン | あり |
| | | WKUP_GPIO0_65 | 7 | IO | | | | | | | | | |
| G34 | MCU_I2C0_SDA PADCFG: WKUP_PADCONFIG_67 0x4301C10C | MCU_I2C0_SDA | 0 | IOD | 1.8V/3.3V | オフ / オフ / オフ | オン / SS / オフ | 0 | | VDDSHV0_MCU | あり | I2C オーブンドレイン | あり |
| | | WKUP_GPIO0_87 | 7 | IO | | | | | | | | | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|-----------|--|-----------------------------------|------------|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|-------------|-------------|-----------------|-------------|
| F38 | MCU_MCAN0_RX PADCFG: WKUP_PADCONFIG_47 0x4301C0BC | MCU_MCAN0_RX | 0 | I | 1.8V/3.3V | オフ/オフ/オフ | オフ/オフ/オフ | 7 | PU/PD | VDDSHV0_MCU | あり | LVCMOS | あり |
| | | WKUP_GPIO0_61 | 7 | IO | | | | | | | | | |
| K33 | MCU_MCAN0_TX PADCFG: WKUP_PADCONFIG_46 0x4301C0B8 | MCU_MCAN0_TX | 0 | O | 1.8V/3.3V | オフ/オフ/オフ | オフ/オフ/オフ | 7 | PU/PD | VDDSHV0_MCU | あり | LVCMOS | あり |
| | | WKUP_GPIO0_60 | 7 | IO | | | | | | | | | |
| A36 | MCU_MDIO0_MDC PADCFG: WKUP_PADCONFIG_39 0x4301C09C | MCU_MDIO0_MDC | 0 | O | 1.8V/3.3V | オフ/オフ/オフ | オフ/オフ/オフ | 7 | PU/PD | VDDSHV2_MCU | あり | LVCMOS | なし |
| | | WKUP_GPIO0_53 | 7 | IO | | | | | | | | | |
| B35 | MCU_MDIO0_MDIO PADCFG: WKUP_PADCONFIG_38 0x4301C098 | MCU_MDIO0_MDIO | 0 | IO | 1.8V/3.3V | オフ/オフ/オフ | オフ/オフ/オフ | 7 | PU/PD | VDDSHV2_MCU | あり | LVCMOS | なし |
| | | WKUP_GPIO0_52 | 7 | IO | | | | | | | | | |
| E32 | MCU_OSPI0_CLK PADCFG: WKUP_PADCONFIG_0 0x4301C000 | MCU_OSPI0_CLK | 0 | O | 1.8V/3.3V | オフ/オフ/オフ | オフ/オフ/オフ | 7 | PU/PD | VDDSHV1_MCU | あり | LVCMOS | なし |
| | | MCU_HYPERBUS0_CK | 1 | O | | | | | | | | | |
| | | WKUP_GPIO0_16 | 7 | IO | | | | | | | | | |
| C34 | MCU_OSPI0_DQS PADCFG: WKUP_PADCONFIG_2 0x4301C008 | MCU_OSPI0_DQS | 0 | I | 1.8V/3.3V | オフ/オフ/オフ | オフ/オフ/オフ | 7 | PU/PD | VDDSHV1_MCU | あり | LVCMOS | なし |
| | | MCU_HYPERBUS0_RWDS | 1 | IO | | | | | | | | | |
| | | WKUP_GPIO0_18 | 7 | IO | | | | | | | | | |
| D32 | MCU_OSPI0_LBCLKO PADCFG: WKUP_PADCONFIG_1 0x4301C004 | MCU_OSPI0_LBCLKO | 0 | IO | 1.8V/3.3V | オフ/オフ/オフ | オン/オフ/オフ | 7 | PU/PD | VDDSHV1_MCU | あり | LVCMOS | なし |
| | | MCU_HYPERBUS0_CK _n | 1 | O | | | | | | | | | |
| | | WKUP_GPIO0_17 | 7 | IO | | | | | | | | | |
| F32 | MCU_OSPI1_CLK PADCFG: WKUP_PADCONFIG_16 0x4301C040 | MCU_OSPI1_CLK | 0 | O | 1.8V/3.3V | オフ/オフ/オフ | オフ/オフ/オフ | 7 | PU/PD | VDDSHV1_MCU | あり | LVCMOS | なし |
| | | WKUP_GPIO0_31 | 7 | IO | | | | | | | | | |
| F31 | MCU_OSPI1_DQS PADCFG: WKUP_PADCONFIG_18 0x4301C048 | MCU_OSPI1_DQS | 0 | I | 1.8V/3.3V | オフ/オフ/オフ | オフ/オフ/オフ | 7 | PU/PD | VDDSHV1_MCU | あり | LVCMOS | なし |
| | | MCU_OSPI0_CS _n 3 | 1 | O | | | | | | | | | |
| | | MCU_HYPERBUS0_INT _n | 2 | I | | | | | | | | | |
| | | MCU_OSPI0_ECC_FAIL | 6 | I | | | | | | | | | |
| | | WKUP_GPIO0_33 | 7 | IO | | | | | | | | | |
| C31 | MCU_OSPI1_LBCLKO PADCFG: WKUP_PADCONFIG_17 0x4301C044 | MCU_OSPI1_LBCLKO | 0 | IO | 1.8V/3.3V | オフ/オフ/オフ | オン/オフ/オフ | 7 | PU/PD | VDDSHV1_MCU | あり | LVCMOS | なし |
| | | MCU_OSPI0_CS _n 2 | 1 | O | | | | | | | | | |
| | | MCU_HYPERBUS0_RESETO _n | 2 | I | | | | | | | | | |
| | | MCU_OSPI0_RESET_OUT0 | 6 | O | | | | | | | | | |
| | | WKUP_GPIO0_32 | 7 | IO | | | | | | | | | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|-----------|--|-----------------------|------------|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|-------------|-------------|-----------------|-------------|
| A32 | MCU_OSPI0_CSn0 PADCFG: WKUP_PADCONFIG_11 0x4301C02C | MCU_OSPI0_CSn0 | 0 | O | 1.8V/3.3V | オフ/オフ/オフ | オフ/オフ/オフ | 7 | PU/PD | VDDSHV1_MCU | あり | LVCMOS | なし |
| | | MCU_HYPERBUS0_CSn0 | 1 | O | | | | | | | | | |
| | | WKUP_GPIO0_27 | 7 | IO | | | | | | | | | |
| A33 | MCU_OSPI0_CSn1 PADCFG: WKUP_PADCONFIG_12 0x4301C030 | MCU_OSPI0_CSn1 | 0 | O | 1.8V/3.3V | オフ/オフ/オフ | オフ/オフ/オフ | 7 | PU/PD | VDDSHV1_MCU | あり | LVCMOS | なし |
| | | MCU_HYPERBUS0_RESETEn | 1 | O | | | | | | | | | |
| | | WKUP_GPIO0_28 | 7 | IO | | | | | | | | | |
| B34 | MCU_OSPI0_CSn2 PADCFG: WKUP_PADCONFIG_14 0x4301C038 | MCU_OSPI0_CSn2 | 0 | O | 1.8V/3.3V | オフ/オフ/オフ | オフ/オフ/オフ | 7 | PU/PD | VDDSHV1_MCU | あり | LVCMOS | なし |
| | | MCU_OSPI0_CSn2 | 1 | O | | | | | | | | | |
| | | MCU_HYPERBUS0_RESETEn | 2 | I | | | | | | | | | |
| | | MCU_HYPERBUS0_WPn | 3 | O | | | | | | | | | |
| | | MCU_HYPERBUS0_CSn1 | 4 | O | | | | | | | | | |
| | | MCU_OSPI0_RESET_OUT0 | 6 | O | | | | | | | | | |
| | | WKUP_GPIO0_29 | 7 | IO | | | | | | | | | |
| C32 | MCU_OSPI0_CSn3 PADCFG: WKUP_PADCONFIG_15 0x4301C03C | MCU_OSPI0_CSn3 | 0 | O | 1.8V/3.3V | オフ/オフ/オフ | オフ/オフ/オフ | 7 | PU/PD | VDDSHV1_MCU | あり | LVCMOS | なし |
| | | MCU_OSPI0_CSn3 | 1 | O | | | | | | | | | |
| | | MCU_HYPERBUS0_INTn | 2 | I | | | | | | | | | |
| | | MCU_HYPERBUS0_WPn | 3 | O | | | | | | | | | |
| | | MCU_OSPI0_RESET_OUT1 | 5 | O | | | | | | | | | |
| | | MCU_OSPI0_ECC_FAIL | 6 | I | | | | | | | | | |
| B33 | MCU_OSPI0_D0 PADCFG: WKUP_PADCONFIG_3 0x4301C00C | MCU_OSPI0_D0 | 0 | IO | 1.8V/3.3V | オン/オフ/オフ | オン/オフ/オフ | 7 | PU/PD | VDDSHV1_MCU | あり | LVCMOS | なし |
| | | MCU_HYPERBUS0_DQ0 | 1 | IO | | | | | | | | | |
| | | WKUP_GPIO0_19 | 7 | IO | | | | | | | | | |
| | | BOOTMODE00 | | ブートストラップ | | | | | | | | | |
| B32 | MCU_OSPI0_D1 PADCFG: WKUP_PADCONFIG_4 0x4301C010 | MCU_OSPI0_D1 | 0 | IO | 1.8V/3.3V | オン/オフ/オフ | オン/オフ/オフ | 7 | PU/PD | VDDSHV1_MCU | あり | LVCMOS | なし |
| | | MCU_HYPERBUS0_DQ1 | 1 | IO | | | | | | | | | |
| | | WKUP_GPIO0_20 | 7 | IO | | | | | | | | | |
| | | BOOTMODE01 | | ブートストラップ | | | | | | | | | |
| C33 | MCU_OSPI0_D2 PADCFG: WKUP_PADCONFIG_5 0x4301C014 | MCU_OSPI0_D2 | 0 | IO | 1.8V/3.3V | オフ/オフ/オフ | オフ/オフ/オフ | 7 | PU/PD | VDDSHV1_MCU | あり | LVCMOS | なし |
| | | MCU_HYPERBUS0_DQ2 | 1 | IO | | | | | | | | | |
| | | WKUP_GPIO0_21 | 7 | IO | | | | | | | | | |
| C35 | MCU_OSPI0_D3 PADCFG: WKUP_PADCONFIG_6 0x4301C018 | MCU_OSPI0_D3 | 0 | IO | 1.8V/3.3V | オフ/オフ/オフ | オフ/オフ/オフ | 7 | PU/PD | VDDSHV1_MCU | あり | LVCMOS | なし |
| | | MCU_HYPERBUS0_DQ3 | 1 | IO | | | | | | | | | |
| | | WKUP_GPIO0_22 | 7 | IO | | | | | | | | | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|---------------|--|----------------------|------------|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|-------------|-------------|-----------------|-------------|
| D33 | MCU_OSPI0_D4 PADCFG: WKUP_PADCONFIG_7 0x4301C01C | MCU_OSPI0_D4 | 0 | IO | 1.8V/3.3V | オン/オフ/オフ | オン/オフ/オフ | 7 | PU/PD | VDDSHV1_MCU | あり | LVC MOS | なし |
| | | MCU_HYPERBUS0_DQ4 | 1 | IO | | | | | | | | | |
| | | WKUP_GPIO0_23 | 7 | IO | | | | | | | | | |
| | | BOOTMODE02 | ブートストラップ | I | | | | | | | | | |
| D34 | MCU_OSPI0_D5 PADCFG: WKUP_PADCONFIG_8 0x4301C020 | MCU_OSPI0_D5 | 0 | IO | 1.8V/3.3V | オン/オフ/オフ | オン/オフ/オフ | 7 | PU/PD | VDDSHV1_MCU | あり | LVC MOS | なし |
| | | MCU_HYPERBUS0_DQ5 | 1 | IO | | | | | | | | | |
| | | WKUP_GPIO0_24 | 7 | IO | | | | | | | | | |
| | | BOOTMODE03 | ブートストラップ | I | | | | | | | | | |
| E34 | MCU_OSPI0_D6 PADCFG: WKUP_PADCONFIG_9 0x4301C024 | MCU_OSPI0_D6 | 0 | IO | 1.8V/3.3V | オフ/オフ/オフ | オフ/オフ/オフ | 7 | PU/PD | VDDSHV1_MCU | あり | LVC MOS | なし |
| | | MCU_HYPERBUS0_DQ6 | 1 | IO | | | | | | | | | |
| | | WKUP_GPIO0_25 | 7 | IO | | | | | | | | | |
| E33 | MCU_OSPI0_D7 PADCFG: WKUP_PADCONFIG_10 0x4301C028 | MCU_OSPI0_D7 | 0 | IO | 1.8V/3.3V | オフ/オフ/オフ | オフ/オフ/オフ | 7 | PU/PD | VDDSHV1_MCU | あり | LVC MOS | なし |
| | | MCU_HYPERBUS0_DQ7 | 1 | IO | | | | | | | | | |
| | | WKUP_GPIO0_26 | 7 | IO | | | | | | | | | |
| G32 | MCU_OSPI1_CSn0 PADCFG: WKUP_PADCONFIG_23 0x4301C05C | MCU_OSPI1_CSn0 | 0 | O | 1.8V/3.3V | オフ/オフ/オフ | オフ/オフ/オフ | 7 | PU/PD | VDDSHV1_MCU | あり | LVC MOS | なし |
| | | WKUP_GPIO0_38 | 7 | IO | | | | | | | | | |
| G33 | MCU_OSPI1_CSn1 PADCFG: WKUP_PADCONFIG_24 0x4301C060 | MCU_OSPI1_CSn1 | 0 | O | 1.8V/3.3V | オフ/オフ/オフ | オフ/オフ/オフ | 7 | PU/PD | VDDSHV1_MCU | あり | LVC MOS | なし |
| | | MCU_HYPERBUS0_WPn | 1 | O | | | | | | | | | |
| | | MCU_TIMER_I00 | 2 | IO | | | | | | | | | |
| | | MCU_HYPERBUS0_CSn1 | 3 | O | | | | | | | | | |
| | | MCU_UART0_RTSn | 4 | O | | | | | | | | | |
| | | MCU_SPI0_CS2 | 5 | IO | | | | | | | | | |
| | | MCU_OSPI0_RESET_OUT1 | 6 | O | | | | | | | | | |
| WKUP_GPIO0_39 | 7 | IO | | | | | | | | | | | |
| E35 | MCU_OSPI1_D0 PADCFG: WKUP_PADCONFIG_19 0x4301C04C | MCU_OSPI1_D0 | 0 | IO | 1.8V/3.3V | オフ/オフ/オフ | オフ/オフ/オフ | 7 | PU/PD | VDDSHV1_MCU | あり | LVC MOS | なし |
| | | WKUP_GPIO0_34 | 7 | IO | | | | | | | | | |
| D31 | MCU_OSPI1_D1 PADCFG: WKUP_PADCONFIG_20 0x4301C050 | MCU_OSPI1_D1 | 0 | IO | 1.8V/3.3V | オフ/オフ/オフ | オフ/オフ/オフ | 7 | PU/PD | VDDSHV1_MCU | あり | LVC MOS | なし |
| | | MCU_UART0_RXD | 4 | I | | | | | | | | | |
| | | MCU_SPI1_CS1 | 5 | IO | | | | | | | | | |
| | | WKUP_GPIO0_35 | 7 | IO | | | | | | | | | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|-----------|---|-------------------|------------|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|-------------|-------------|-----------------|-------------|
| G31 | MCU_OSP11_D2 PADCFG: WKUP_PADCONFIG_21 0x4301C054 | MCU_OSP11_D2 | 0 | IO | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV1_MCU | あり | LVCMOS | なし |
| | | MCU_UART0_TXD | 4 | O | | | | | | | | | |
| | | MCU_SPI1_CS2 | 5 | IO | | | | | | | | | |
| | | WKUP_GPIO0_36 | 7 | IO | | | | | | | | | |
| F33 | MCU_OSP11_D3 PADCFG: WKUP_PADCONFIG_22 0x4301C058 | MCU_OSP11_D3 | 0 | IO | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV1_MCU | あり | LVCMOS | なし |
| | | MCU_UART0_CTSn | 4 | I | | | | | | | | | |
| | | MCU_SPI0_CS1 | 5 | IO | | | | | | | | | |
| | | WKUP_GPIO0_37 | 7 | IO | | | | | | | | | |
| K32 | MCU_PORz | MCU_PORz | | I | 1.8V | | | | | VDDA_WKUP | あり | FS_RESET | なし |
| F36 | MCU_RESETSTATz PADCFG: WKUP_PADCONFIG_71 0x4301C11C | MCU_RESETSTATz | 0 | O | 1.8V/3.3V | オフ / Low / オフ | オフ / SS / オフ | 0 | PU/PD | VDDSHV0_MCU | あり | LVCMOS | なし |
| | | WKUP_GPIO0_68 | 7 | IO | | | | | | | | | |
| G36 | MCU_RESETz PADCFG: WKUP_PADCONFIG_70 0x4301C118 | MCU_RESETz | 0 | I | 1.8V/3.3V | オン / NA / アップ | オン / オフ / アップ | 0 | PU/PD | VDDSHV0_MCU | あり | LVCMOS | なし |
| B37 | MCU_RGMII1_RXC PADCFG: WKUP_PADCONFIG_33 0x4301C084 | MCU_RGMII1_RXC | 0 | I | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV2_MCU | あり | LVCMOS | なし |
| | | MCU_RMII1_REF_CLK | 1 | I | | | | | | | | | |
| | | WKUP_GPIO0_47 | 7 | IO | | | | | | | | | |
| C37 | MCU_RGMII1_RX_CTL PADCFG: WKUP_PADCONFIG_27 0x4301C06C | MCU_RGMII1_RX_CTL | 0 | I | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV2_MCU | あり | LVCMOS | なし |
| | | MCU_RMII1_RX_ER | 1 | I | | | | | | | | | |
| | | WKUP_GPIO0_41 | 7 | IO | | | | | | | | | |
| E36 | MCU_RGMII1_TXC PADCFG: WKUP_PADCONFIG_32 0x4301C080 | MCU_RGMII1_TXC | 0 | O | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV2_MCU | あり | LVCMOS | なし |
| | | MCU_RMII1_TX_EN | 1 | O | | | | | | | | | |
| | | WKUP_GPIO0_46 | 7 | IO | | | | | | | | | |
| C38 | MCU_RGMII1_TX_CTL PADCFG: WKUP_PADCONFIG_26 0x4301C068 | MCU_RGMII1_TX_CTL | 0 | O | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV2_MCU | あり | LVCMOS | なし |
| | | MCU_RMII1_CRD_DV | 1 | I | | | | | | | | | |
| | | WKUP_GPIO0_40 | 7 | IO | | | | | | | | | |
| A35 | MCU_RGMII1_RD0 PADCFG: WKUP_PADCONFIG_37 0x4301C094 | MCU_RGMII1_RD0 | 0 | I | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV2_MCU | あり | LVCMOS | なし |
| | | MCU_RMII1_RXD0 | 1 | I | | | | | | | | | |
| | | WKUP_GPIO0_51 | 7 | IO | | | | | | | | | |
| B36 | MCU_RGMII1_RD1 PADCFG: WKUP_PADCONFIG_36 0x4301C090 | MCU_RGMII1_RD1 | 0 | I | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV2_MCU | あり | LVCMOS | なし |
| | | MCU_RMII1_RXD1 | 1 | I | | | | | | | | | |
| | | WKUP_GPIO0_50 | 7 | IO | | | | | | | | | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|-----------|---|----------------------|------------|-----------|-------------|-------------------------------|-------------------------------|------------------|------------|-------------|-------------|-----------------|-------------|
| C36 | MCU_RGMII1_RD2 PADCFG: WKUP_PADCONFIG_35 0x4301C08C | MCU_RGMII1_RD2 | 0 | I | 1.8V/3.3V | オフ/オフ/オフ | オフ/オフ/オフ | 7 | PU/PD | VDDSHV2_MCU | あり | LVCMOS | なし |
| | | MCU_TIMER_IO5 | 1 | IO | | | | | | | | | |
| | | WKUP_GPIO0_62 | 7 | IO | | | | | | | | | |
| D36 | MCU_RGMII1_RD3 PADCFG: WKUP_PADCONFIG_34 0x4301C088 | MCU_RGMII1_RD3 | 0 | I | 1.8V/3.3V | オフ/オフ/オフ | オフ/オフ/オフ | 7 | PU/PD | VDDSHV2_MCU | あり | LVCMOS | なし |
| | | MCU_TIMER_IO4 | 1 | IO | | | | | | | | | |
| | | WKUP_GPIO0_48 | 7 | IO | | | | | | | | | |
| D37 | MCU_RGMII1_TD0 PADCFG: WKUP_PADCONFIG_31 0x4301C07C | MCU_RGMII1_TD0 | 0 | O | 1.8V/3.3V | オフ/オフ/オフ | オフ/オフ/オフ | 7 | PU/PD | VDDSHV2_MCU | あり | LVCMOS | なし |
| | | MCU_RMII1_TXD0 | 1 | O | | | | | | | | | |
| | | WKUP_GPIO0_45 | 7 | IO | | | | | | | | | |
| D38 | MCU_RGMII1_TD1 PADCFG: WKUP_PADCONFIG_30 0x4301C078 | MCU_RGMII1_TD1 | 0 | O | 1.8V/3.3V | オフ/オフ/オフ | オフ/オフ/オフ | 7 | PU/PD | VDDSHV2_MCU | あり | LVCMOS | なし |
| | | MCU_RMII1_TXD1 | 1 | O | | | | | | | | | |
| | | WKUP_GPIO0_44 | 7 | IO | | | | | | | | | |
| E37 | MCU_RGMII1_TD2 PADCFG: WKUP_PADCONFIG_29 0x4301C074 | MCU_RGMII1_TD2 | 0 | O | 1.8V/3.3V | オフ/オフ/オフ | オフ/オフ/オフ | 7 | PU/PD | VDDSHV2_MCU | あり | LVCMOS | なし |
| | | MCU_TIMER_IO3 | 1 | IO | | | | | | | | | |
| | | MCU_ADC_EXT_TRIGGER1 | 3 | I | | | | | | | | | |
| | | WKUP_GPIO0_43 | 7 | IO | | | | | | | | | |
| E38 | MCU_RGMII1_TD3 PADCFG: WKUP_PADCONFIG_28 0x4301C070 | MCU_RGMII1_TD3 | 0 | O | 1.8V/3.3V | オフ/オフ/オフ | オフ/オフ/オフ | 7 | PU/PD | VDDSHV2_MCU | あり | LVCMOS | なし |
| | | MCU_TIMER_IO2 | 1 | IO | | | | | | | | | |
| | | MCU_ADC_EXT_TRIGGER0 | 3 | I | | | | | | | | | |
| | | WKUP_GPIO0_42 | 7 | IO | | | | | | | | | |
| N36 | MCU_SAFETY_ERRORn PADCFG: WKUP_PADCONFIG_69 0x4301C114 | MCU_SAFETY_ERRORn | 0 | IO | 1.8V | オフ/オフ/ダウン | オン/SS/ダウン | 0 | PU/PD | VDDA_WKUP | あり | LVCMOS | なし |
| G38 | MCU_SPI0_CLK PADCFG: WKUP_PADCONFIG_40 0x4301C0A0 | MCU_SPI0_CLK | 0 | IO | 1.8V/3.3V | オン/オフ/オフ | オン/オフ/オフ | 7 | PU/PD | VDDSHV0_MCU | あり | LVCMOS | あり |
| | | WKUP_GPIO0_54 | 7 | IO | | | | | | | | | |
| | | MCU_BOOTMODE00 | ブートストラップ | I | | | | | | | | | |
| F37 | MCU_SPI0_CS0 PADCFG: WKUP_PADCONFIG_43 0x4301C0AC | MCU_SPI0_CS0 | 0 | IO | 1.8V/3.3V | オフ/オフ/オフ | オフ/オフ/オフ | 7 | PU/PD | VDDSHV0_MCU | あり | LVCMOS | あり |
| | | MCU_TIMER_IO1 | 4 | IO | | | | | | | | | |
| | | WKUP_GPIO0_70 | 7 | IO | | | | | | | | | |
| H36 | MCU_SPI0_D0 PADCFG: WKUP_PADCONFIG_41 0x4301C0A4 | MCU_SPI0_D0 | 0 | IO | 1.8V/3.3V | オン/オフ/オフ | オン/オフ/オフ | 7 | PU/PD | VDDSHV0_MCU | あり | LVCMOS | あり |
| | | WKUP_GPIO0_55 | 7 | IO | | | | | | | | | |
| | | MCU_BOOTMODE01 | ブートストラップ | I | | | | | | | | | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|-----------|---|----------------|------------|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|-------------|-------------|-----------------|-------------|
| J38 | MCU_SPI0_D1 PADCFG: WKUP_PADCONFIG_42 0x4301C0A8 | MCU_SPI0_D1 | 0 | IO | 1.8V/3.3V | オン/オフ/オフ | オン/オフ/オフ | 7 | PU/PD | VDDSHV0_MCU | あり | LVC MOS | あり |
| | | MCU_TIMER_IO0 | 4 | IO | | | | | | | | | |
| | | WKUP_GPIO0_69 | 7 | IO | | | | | | | | | |
| | | MCU_BOOTMODE02 | ブートストラップ | I | | | | | | | | | |
| AJ7 | MMC0_CALPAD | MMC0_CALPAD | | A | 1.8V | | | | PU/PD | VDDS_MMC0 | | eMMC PHY | なし |
| AK5 | MMC0_CLK | MMC0_CLK | | O | 1.8V | オン/Low/オフ | オン/SS/オフ | | PU/PD | VDDS_MMC0 | | eMMC PHY | なし |
| AL8 | MMC0_CMD | MMC0_CMD | | IO | 1.8V | オン/オフ/アップ | オン/SS/アップ | | PU/PD | VDDS_MMC0 | | eMMC PHY | なし |
| AK4 | MMC0_DS | MMC0_DS | | IO | 1.8V | オン/オフ/ダウン | オン/オフ/ダウン | | PU/PD | VDDS_MMC0 | | eMMC PHY | なし |
| AB38 | MMC1_CLK PADCFG: PADCONFIG_65 0x0011C104 | MMC1_CLK | 0 | IO | 1.8V/3.3V | オフ/オフ/オフ | オフ/オフ/オフ | 7 | PU/PD | VDDSHV5 | あり | SDIO | なし |
| | | UART8_RXD | 1 | I | | | | | | | | | |
| | | TIMER_IO6 | 3 | IO | | | | | | | | | |
| | | EHRPWM2_B | 4 | IO | | | | | | | | | |
| | | UART4_CTSn | 5 | I | | | | | | | | | |
| | | EHRPWM5_A | 6 | IO | | | | | | | | | |
| | | GPIO0_64 | 7 | IO | | | | | | | | | |
| | | SPI1_CLK | 8 | IO | | | | | | | | | |
| | | UART0_RTSn | 9 | O | | | | | | | | | |
| | | I2C6_SDA | 10 | IOD | | | | | | | | | |
| | | MCAN15_TX | 11 | O | | | | | | | | | |
| | | PCIE2_CLKREQn | 12 | IO | | | | | | | | | |
| AB36 | MMC1_CMD PADCFG: PADCONFIG_66 0x0011C108 | MMC1_CMD | 0 | IO | 1.8V/3.3V | オフ/オフ/オフ | オフ/オフ/オフ | 7 | PU/PD | VDDSHV5 | あり | SDIO | なし |
| | | UART8_TXD | 1 | O | | | | | | | | | |
| | | TIMER_IO7 | 3 | IO | | | | | | | | | |
| | | EHRPWM2_A | 4 | IO | | | | | | | | | |
| | | UART4_RTSn | 5 | O | | | | | | | | | |
| | | GPIO0_65 | 7 | IO | | | | | | | | | |
| | | SPI1_D1 | 8 | IO | | | | | | | | | |
| | | I2C6_SCL | 10 | IOD | | | | | | | | | |
| | | MCAN15_RX | 11 | I | | | | | | | | | |
| | | PCIE3_CLKREQn | 12 | IO | | | | | | | | | |
| AK9 | MMC0_DAT0 | MMC0_DAT0 | | IO | 1.8V | オン/オフ/アップ | オン/SS/アップ | | PU/PD | VDDS_MMC0 | | eMMC PHY | なし |
| AL6 | MMC0_DAT1 | MMC0_DAT1 | | IO | 1.8V | オン/オフ/アップ | オン/SS/アップ | | PU/PD | VDDS_MMC0 | | eMMC PHY | なし |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|-----------|--|-------------------|------------|-----------|-------------|-------------------------------|-------------------------------|------------------|------------|-----------|-------------|-----------------|-------------|
| AK8 | MMC0_DAT2 | MMC0_DAT2 | | IO | 1.8V | オン/オフ/アップ | オン/SS/アップ | | PU/PD | VDDS_MMC0 | | eMMCPHY | なし |
| AK6 | MMC0_DAT3 | MMC0_DAT3 | | IO | 1.8V | オン/オフ/アップ | オン/SS/アップ | | PU/PD | VDDS_MMC0 | | eMMCPHY | なし |
| AK7 | MMC0_DAT4 | MMC0_DAT4 | | IO | 1.8V | オン/オフ/アップ | オン/SS/アップ | | PU/PD | VDDS_MMC0 | | eMMCPHY | なし |
| AL7 | MMC0_DAT5 | MMC0_DAT5 | | IO | 1.8V | オン/オフ/アップ | オン/SS/アップ | | PU/PD | VDDS_MMC0 | | eMMCPHY | なし |
| AL5 | MMC0_DAT6 | MMC0_DAT6 | | IO | 1.8V | オン/オフ/アップ | オン/SS/アップ | | PU/PD | VDDS_MMC0 | | eMMCPHY | なし |
| AK3 | MMC0_DAT7 | MMC0_DAT7 | | IO | 1.8V | オン/オフ/アップ | オン/SS/アップ | | PU/PD | VDDS_MMC0 | | eMMCPHY | なし |
| AA33 | MMC1_DAT0 PADCFG: PADCONFIG_63 0x0011C0FC | MMC1_DAT0 | 0 | IO | 1.8V/3.3V | オフ/オフ/オフ | オフ/オフ/オフ | 7 | PU/PD | VDDSHV5 | あり | SDIO | なし |
| | | UART7_RTSn | 1 | O | | | | | | | | | |
| | | ECAP1_IN_APWM_OUT | 2 | IO | | | | | | | | | |
| | | TIMER_IO5 | 3 | IO | | | | | | | | | |
| | | EHRPWM1_A | 4 | IO | | | | | | | | | |
| | | UART4_TXD | 5 | O | | | | | | | | | |
| | | GPIO0_63 | 7 | IO | | | | | | | | | |
| | | SPI1_D0 | 8 | IO | | | | | | | | | |
| | | UART5_RTSn | 9 | O | | | | | | | | | |
| | | I2C4_SCL | 10 | IOD | | | | | | | | | |
| | | UART2_TXD | 11 | O | | | | | | | | | |
| AB34 | MMC1_DAT1 PADCFG: PADCONFIG_62 0x0011C0F8 | MMC1_DAT1 | 0 | IO | 1.8V/3.3V | オフ/オフ/オフ | オフ/オフ/オフ | 7 | PU/PD | VDDSHV5 | あり | SDIO | なし |
| | | UART7_CTSn | 1 | I | | | | | | | | | |
| | | ECAP0_IN_APWM_OUT | 2 | IO | | | | | | | | | |
| | | TIMER_IO4 | 3 | IO | | | | | | | | | |
| | | EHRPWM1_B | 4 | IO | | | | | | | | | |
| | | UART4_RXD | 5 | I | | | | | | | | | |
| | | EHRPWM4_A | 6 | IO | | | | | | | | | |
| | | GPIO0_62 | 7 | IO | | | | | | | | | |
| | | SPI1_CS2 | 8 | IO | | | | | | | | | |
| | | UART5_CTSn | 9 | I | | | | | | | | | |
| | | I2C4_SDA | 10 | IOD | | | | | | | | | |
| UART2_RXD | 11 | I | | | | | | | | | | | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|-----------|--|--------------------|------------|-----------|--------------|-------------------------------|-------------------------------|------------------|---|---------|-------------|-----------------|-------------|
| AA32 | MMC1_DAT2 PADCFG: PADCONFIG_61 0x0011C0F4 | MMC1_DAT2 | 0 | IO | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV5 | あり | SDIO | なし |
| | | UART7_TXD | 1 | O | | | | | | | | | |
| | | TIMER_IO3 | 3 | IO | | | | | | | | | |
| | | EHRPWM0_A | 4 | IO | | | | | | | | | |
| | | GPIO0_61 | 7 | IO | | | | | | | | | |
| | | SPI1_CS1 | 8 | IO | | | | | | | | | |
| | | CPTS0_TS_SYNC | 9 | O | | | | | | | | | |
| | | I2C3_SDA | 10 | IOD | | | | | | | | | |
| | | UART5_TXD | 11 | O | | | | | | | | | |
| AC38 | MMC1_DAT3 PADCFG: PADCONFIG_60 0x0011C0F0 | MMC1_DAT3 | 0 | IO | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV5 | あり | SDIO | なし |
| | | UART7_RXD | 1 | I | | | | | | | | | |
| | | PCIE1_CLKREQn | 2 | IO | | | | | | | | | |
| | | TIMER_IO2 | 3 | IO | | | | | | | | | |
| | | EHRPWM0_B | 4 | IO | | | | | | | | | |
| | | EHRPWM3_A | 6 | IO | | | | | | | | | |
| | | GPIO0_60 | 7 | IO | | | | | | | | | |
| | | SPI1_CS0 | 8 | IO | | | | | | | | | |
| | | UART0_CTSn | 9 | I | | | | | | | | | |
| | | I2C3_SCL | 10 | IOD | | | | | | | | | |
| | | UART5_RXD | 11 | I | | | | | | | | | |
| P38 | OSC1_XI | OSC1_XI | | I | 1.8V | | | | VDDA_OSC1 | あり | HFXOSC | | |
| N37 | OSC1_XO | OSC1_XO | | O | 1.8V | | | | VDDA_OSC1 | あり | HFXOSC | | |
| AP4 | PCIE_REFCLK0_N_OUT | PCIE_REFCLK0_N_OUT | | O | 1.8V | | | | VDDA_0P8_S ERDES0_1 / VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1 | | 4L_PHY | | |
| AP5 | PCIE_REFCLK0_P_OUT | PCIE_REFCLK0_P_OUT | | O | 1.8V | | | | VDDA_0P8_S ERDES0_1 / VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1 | | 4L_PHY | | |
| AN8 | PCIE_REFCLK1_N_OUT | PCIE_REFCLK1_N_OUT | | O | 1.8V | | | | VDDA_0P8_S ERDES0_1 / VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1 | | 4L_PHY | | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|-----------|--|--------------------|------------|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|---|-------------|-----------------|-------------|
| AN9 | PCIE_REFCLK1_P_OUT | PCIE_REFCLK1_P_OUT | | O | 1.8V | | | | | VDDA_0P8_S ERDES0_1 / VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1 | | 4L_PHY | |
| AN5 | PCIE_REFCLK2_N_OUT | PCIE_REFCLK2_N_OUT | | O | 1.8V | | | | | VDDA_0P8_S ERDES0_1 / VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1 | | 4L_PHY | |
| AN6 | PCIE_REFCLK2_P_OUT | PCIE_REFCLK2_P_OUT | | O | 1.8V | | | | | VDDA_0P8_S ERDES0_1 / VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1 | | 4L_PHY | |
| AP7 | PCIE_REFCLK3_N_OUT | PCIE_REFCLK3_N_OUT | | O | 1.8V | | | | | VDDA_0P8_S ERDES0_1 / VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1 | | 4L_PHY | |
| AP8 | PCIE_REFCLK3_P_OUT | PCIE_REFCLK3_P_OUT | | O | 1.8V | | | | | VDDA_0P8_S ERDES0_1 / VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1 | | 4L_PHY | |
| L38 | PMIC_POWER_EN1 PADCFG: WKUP_PADCONFIG_68 0x4301C110 | PMIC_POWER_EN1 | 0 | O | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV0_M CU | あり | LVC MOS | あり |
| | | MCU_I3C0_SDPULLEN | 5 | OD | | | | | | | | | |
| | | WKUP_GPIIO0_88 | 7 | IO | | | | | | | | | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|-------------------|--|------------------|------------|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|---|-------------|-----------------|-------------|
| AJ34 | PMIC_WAKE0n PADCFG: PADCONFIG_13 0x0011C034 | PMIC_WAKE0n | 0 | O | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV2 | あり | LVCMOS | なし |
| | | MCASP4_AXR0 | 1 | IO | | | | | | | | | |
| | | DSS_FSYNC1 | 4 | O | | | | | | | | | |
| | | MCAN17_RX | 5 | I | | | | | | | | | |
| | | GPMC0_WEn | 6 | O | | | | | | | | | |
| | | GPIO0_13 | 7 | IO | | | | | | | | | |
| | | SPI6_CS0 | 8 | IO | | | | | | | | | |
| | | TRC_DATA0 | 10 | O | | | | | | | | | |
| | | UART9_RTSn | 11 | O | | | | | | | | | |
| | | UART7_TXD | 13 | O | | | | | | | | | |
| AUDIO_EXT_REFCLK0 | 14 | IO | | | | | | | | | | | |
| P33 | PORz PADCFG: WKUP_PADCONFIG_94 0x4301C178 | PORz | 0 | I | 1.8V | | | 0 | | VDDA_WKUP | あり | FS_RESET | なし |
| AL38 | RESETSTATz PADCFG: PADCONFIG_67 0x0011C10C | RESETSTATz | 0 | O | 1.8V/3.3V | オフ / Low / オフ | オフ / SS / オフ | 0 | PU/PD | VDDSHV0 | あり | LVCMOS | なし |
| F34 | RESET_REQz PADCFG: WKUP_PADCONFIG_93 0x4301C174 | RESET_REQz | 0 | I | 1.8V/3.3V | オン / オフ / アップ | オン / オフ / アップ | 0 | PU/PD | VDDSHV0_MCU | あり | LVCMOS | なし |
| AU9 | SERDES0_REFCLK_N | SERDES0_REFCLK_N | | IO | 1.8V | | | | | VDDA_0P8_S ERDES0_1 / VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1 | | 4L_PHY | |
| AU8 | SERDES0_REFCLK_P | SERDES0_REFCLK_P | | IO | 1.8V | | | | | VDDA_0P8_S ERDES0_1 / VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1 | | 4L_PHY | |
| AN11 | SERDES0_REXT | SERDES0_REXT | | I | 1.8V | | | | | VDDA_0P8_S ERDES0_1 / VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1 | | 4L_PHY | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール 番号 [1] | ボール 名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号 名 [3] | 多重化 モード [4] | 信号 タイプ [5] | I/O 動作 電圧 [6] | リセット 時のボール の状態 (RX/TX/PULL) [7] | リセット 後のボール の状態 (RX/TX/PULL) [8] | リセット後 の 多重化 モード [9] | プル タイプ [10] | 電源 [11] | ヒステリ シス [12] | 電圧 バッファの タイプ [13] | IO RET [14] |
|---------------|--|------------------|-------------------|---------------|---------------------|---|---|---------------------------------|-------------------|---|--------------------|-------------------------|----------------|
| AV3 | SERDES1_REFCLK_N | SERDES1_REFCLK_N | | IO | 1.8V | | | | | VDDA_0P8_S ERDES0_1 / VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1 | | 4L_PHY | |
| AV4 | SERDES1_REFCLK_P | SERDES1_REFCLK_P | | IO | 1.8V | | | | | VDDA_0P8_S ERDES0_1 / VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1 | | 4L_PHY | |
| AL9 | SERDES1_REXT | SERDES1_REXT | | I | 1.8V | | | | | VDDA_0P8_S ERDES0_1 / VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1 | | 4L_PHY | |
| AV21 | SERDES2_REFCLK_N | SERDES2_REFCLK_N | | IO | 1.8V | | | | | VDDA_0P8_S ERDES2 / VDDA_0P8_S ERDES_C2 / VDDA_1P8_S ERDES2 | | 4L_PHY | |
| AV22 | SERDES2_REFCLK_P | SERDES2_REFCLK_P | | IO | 1.8V | | | | | VDDA_0P8_S ERDES2 / VDDA_0P8_S ERDES_C2 / VDDA_1P8_S ERDES2 | | 4L_PHY | |
| AL20 | SERDES2_REXT | SERDES2_REXT | | IO | 1.8V | | | | | VDDA_0P8_S ERDES2 / VDDA_0P8_S ERDES_C2 / VDDA_1P8_S ERDES2 | | 4L_PHY | |
| AV16 | SERDES4_REFCLK_N | SERDES4_REFCLK_N | | IO | 1.8V | | | | | VDDA_0P8_S ERDES4 / VDDA_0P8_S ERDES_C4 / VDDA_1P8_S ERDES4 | | 4L_PHY | |
| AV15 | SERDES4_REFCLK_P | SERDES4_REFCLK_P | | IO | 1.8V | | | | | VDDA_0P8_S ERDES4 / VDDA_0P8_S ERDES_C4 / VDDA_1P8_S ERDES4 | | 4L_PHY | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|-----------|--|--------------|------------|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|---|-------------|-----------------|-------------|
| AM19 | SERDES4_REXT | SERDES4_REXT | | IO | 1.8V | | | | | VDDA_0P8_S ERDES4 / VDDA_0P8_S ERDES_C4 / VDDA_1P8_S ERDES4 | | 4L_PHY | |
| AR8 | SERDES0_RX0_N | PCIE1_RXN0 | | I | 1.8V | | | | | VDDA_0P8_S ERDES0_1 / VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1 | | 4L_PHY | |
| AR9 | SERDES0_RX0_P | PCIE1_RXP0 | | I | 1.8V | | | | | VDDA_0P8_S ERDES0_1 / VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1 | | 4L_PHY | |
| AT10 | SERDES0_RX1_N | PCIE1_RXN1 | | I | 1.8V | | | | | VDDA_0P8_S ERDES0_1 / VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1 | | 4L_PHY | |
| AT11 | SERDES0_RX1_P | PCIE1_RXP1 | | I | 1.8V | | | | | VDDA_0P8_S ERDES0_1 / VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1 | | 4L_PHY | |
| AR11 | SERDES0_RX2_N | PCIE1_RXN2 | | I | 1.8V | | | | | VDDA_0P8_S ERDES0_1 / VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1 | | 4L_PHY | |
| | | PCIE3_RXN0 | | I | | | | | | | | | |
| | | USB0_SSRX1N | | I | | | | | | | | | |
| AR12 | SERDES0_RX2_P | PCIE1_RXP2 | | I | 1.8V | | | | | VDDA_0P8_S ERDES0_1 / VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1 | | 4L_PHY | |
| | | USB0_SSRX1P | | I | | | | | | | | | |
| | | PCIE3_RXP0 | | I | | | | | | | | | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|-----------|--|-------------|------------|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|---|-------------|-----------------|-------------|
| AU11 | SERDES0_RX3_N | PCIE3_RXN1 | | I | 1.8V | | | | | VDDA_0P8_S ERDES0_1 / VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1 | | 4L_PHY | |
| | | USB0_SSRX2N | | I | | | | | | | | | |
| | | PCIE1_RXN3 | | I | | | | | | | | | |
| AU12 | SERDES0_RX3_P | USB0_SSRX2P | | I | 1.8V | | | | | VDDA_0P8_S ERDES0_1 / VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1 | | 4L_PHY | |
| | | PCIE1_RXP3 | | I | | | | | | | | | |
| | | PCIE3_RXP1 | | I | | | | | | | | | |
| AT7 | SERDES0_TX0_N | PCIE1_TXN0 | | O | 1.8V | | | | | VDDA_0P8_S ERDES0_1 / VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1 | | 4L_PHY | |
| AT8 | SERDES0_TX0_P | PCIE1_TXP0 | | O | 1.8V | | | | | VDDA_0P8_S ERDES0_1 / VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1 | | 4L_PHY | |
| AP10 | SERDES0_TX1_N | PCIE1_TXN1 | | O | 1.8V | | | | | VDDA_0P8_S ERDES0_1 / VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1 | | 4L_PHY | |
| AP11 | SERDES0_TX1_P | PCIE1_TXP1 | | O | 1.8V | | | | | VDDA_0P8_S ERDES0_1 / VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1 | | 4L_PHY | |
| AV9 | SERDES0_TX2_N | PCIE1_TXN2 | | O | 1.8V | | | | | VDDA_0P8_S ERDES0_1 / VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1 | | 4L_PHY | |
| | | PCIE3_TXN0 | | O | | | | | | | | | |
| | | USB0_SSTX1N | | O | | | | | | | | | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|-----------|--|-------------|------------|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|--|-------------|-----------------|-------------|
| AV10 | SERDES0_TX2_P | PCIE3_TXP0 | | O | 1.8V | | | | | VDDA_0P8_S ERDES0_1/ VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1 | | 4L_PHY | |
| | | USB0_SSTX1P | | O | | | | | | | | | |
| | | PCIE1_TXP2 | | O | | | | | | | | | |
| AV12 | SERDES0_TX3_N | PCIE1_TXN3 | | O | 1.8V | | | | | VDDA_0P8_S ERDES0_1/ VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1 | | 4L_PHY | |
| | | PCIE3_TXN1 | | O | | | | | | | | | |
| | | USB0_SSTX2N | | O | | | | | | | | | |
| AV13 | SERDES0_TX3_P | USB0_SSTX2P | | O | 1.8V | | | | | VDDA_0P8_S ERDES0_1/ VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1 | | 4L_PHY | |
| | | PCIE1_TXP3 | | O | | | | | | | | | |
| | | PCIE3_TXP1 | | O | | | | | | | | | |
| AU5 | SERDES1_RX0_N | SGMII3_RXN0 | | I | 1.8V | | | | | VDDA_0P8_S ERDES0_1/ VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1 | | 4L_PHY | |
| | | PCIE0_RXN0 | | I | | | | | | | | | |
| AU6 | SERDES1_RX0_P | PCIE0_RXP0 | | I | 1.8V | | | | | VDDA_0P8_S ERDES0_1/ VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1 | | 4L_PHY | |
| | | SGMII3_RXP0 | | I | | | | | | | | | |
| AT4 | SERDES1_RX1_N | PCIE0_RXN1 | | I | 1.8V | | | | | VDDA_0P8_S ERDES0_1/ VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1 | | 4L_PHY | |
| | | SGMII4_RXN0 | | I | | | | | | | | | |
| AT5 | SERDES1_RX1_P | SGMII4_RXP0 | | I | 1.8V | | | | | VDDA_0P8_S ERDES0_1/ VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1 | | 4L_PHY | |
| | | PCIE0_RXP1 | | I | | | | | | | | | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|-----------|--|-------------|------------|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|---|-------------|-----------------|-------------|
| AU2 | SERDES1_RX2_N | PCIE2_RXN0 | | I | 1.8V | | | | | VDDA_0P8_S ERDES0_1 / VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1 | | 4L_PHY | |
| | | PCIE0_RXN2 | | I | | | | | | | | | |
| | | SGMII1_RXN0 | | I | | | | | | | | | |
| AU3 | SERDES1_RX2_P | SGMII1_RXP0 | | I | 1.8V | | | | | VDDA_0P8_S ERDES0_1 / VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1 | | 4L_PHY | |
| | | PCIE2_RXP0 | | I | | | | | | | | | |
| | | PCIE0_RXP2 | | I | | | | | | | | | |
| AT1 | SERDES1_RX3_N | SGMII2_RXN0 | | I | 1.8V | | | | | VDDA_0P8_S ERDES0_1 / VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1 | | 4L_PHY | |
| | | PCIE0_RXN3 | | I | | | | | | | | | |
| | | PCIE2_RXN1 | | I | | | | | | | | | |
| AT2 | SERDES1_RX3_P | PCIE2_RXP1 | | I | 1.8V | | | | | VDDA_0P8_S ERDES0_1 / VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1 | | 4L_PHY | |
| | | SGMII2_RXP0 | | I | | | | | | | | | |
| | | PCIE0_RXP3 | | I | | | | | | | | | |
| AV6 | SERDES1_TX0_N | PCIE0_TXN0 | | O | 1.8V | | | | | VDDA_0P8_S ERDES0_1 / VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1 | | 4L_PHY | |
| | | SGMII3_TXN0 | | O | | | | | | | | | |
| AV7 | SERDES1_TX0_P | PCIE0_TXP0 | | O | 1.8V | | | | | VDDA_0P8_S ERDES0_1 / VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1 | | 4L_PHY | |
| | | SGMII3_TXP0 | | O | | | | | | | | | |
| AR5 | SERDES1_TX1_N | SGMII4_TXN0 | | O | 1.8V | | | | | VDDA_0P8_S ERDES0_1 / VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1 | | 4L_PHY | |
| | | PCIE0_TXN1 | | O | | | | | | | | | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|-----------|--|-------------|------------|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|---|-------------|-----------------|-------------|
| AR6 | SERDES1_TX1_P | PCIE0_TXP1 | | O | 1.8V | | | | | VDDA_0P8_S ERDES0_1 / VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1 | | 4L_PHY | |
| | | SGMII4_TXP0 | | O | | | | | | | | | |
| AR2 | SERDES1_TX2_N | PCIE0_TXN2 | | O | 1.8V | | | | | VDDA_0P8_S ERDES0_1 / VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1 | | 4L_PHY | |
| | | PCIE2_TXN0 | | O | | | | | | | | | |
| | | SGMII1_TXN0 | | O | | | | | | | | | |
| AR3 | SERDES1_TX2_P | SGMII1_TXP0 | | O | 1.8V | | | | | VDDA_0P8_S ERDES0_1 / VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1 | | 4L_PHY | |
| | | PCIE2_TXP0 | | O | | | | | | | | | |
| | | PCIE0_TXP2 | | O | | | | | | | | | |
| AP1 | SERDES1_TX3_N | PCIE2_TXN1 | | O | 1.8V | | | | | VDDA_0P8_S ERDES0_1 / VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1 | | 4L_PHY | |
| | | PCIE0_TXN3 | | O | | | | | | | | | |
| | | SGMII2_TXN0 | | O | | | | | | | | | |
| AP2 | SERDES1_TX3_P | PCIE2_TXP1 | | O | 1.8V | | | | | VDDA_0P8_S ERDES0_1 / VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1 | | 4L_PHY | |
| | | SGMII2_TXP0 | | O | | | | | | | | | |
| | | PCIE0_TXP3 | | O | | | | | | | | | |
| AU23 | SERDES2_RX0_N | SGMII5_RXN0 | | I | 1.8V | | | | | VDDA_0P8_S ERDES2 / VDDA_0P8_S ERDES_C2 / VDDA_1P8_S ERDES2 | | 4L_PHY | |
| AU24 | SERDES2_RX0_P | SGMII5_RXP0 | | I | 1.8V | | | | | VDDA_0P8_S ERDES2 / VDDA_0P8_S ERDES_C2 / VDDA_1P8_S ERDES2 | | 4L_PHY | |
| AT22 | SERDES2_RX1_N | SGMII6_RXN0 | | I | 1.8V | | | | | VDDA_0P8_S ERDES2 / VDDA_0P8_S ERDES_C2 / VDDA_1P8_S ERDES2 | | 4L_PHY | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|-----------|--|-------------|------------|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|--|-------------|-----------------|-------------|
| AT23 | SERDES2_RX1_P | SGMII6_RXP0 | | I | 1.8V | | | | | VDDA_0P8_S ERDES2 / VDDA_0P8_S ERDES_C2 / VDDA_1P8_S ERDES2 | | 4L_PHY | |
| AU20 | SERDES2_RX2_N | SGMII1_RXN0 | | I | 1.8V | | | | | VDDA_0P8_S ERDES2 / VDDA_0P8_S ERDES_C2 / VDDA_1P8_S ERDES2 | | 4L_PHY | |
| | | SGMII7_RXN0 | | I | | | | | | | | | |
| AU21 | SERDES2_RX2_P | SGMII7_RXP0 | | I | 1.8V | | | | | VDDA_0P8_S ERDES2 / VDDA_0P8_S ERDES_C2 / VDDA_1P8_S ERDES2 | | 4L_PHY | |
| | | SGMII1_RXP0 | | I | | | | | | | | | |
| AT19 | SERDES2_RX3_N | SGMII8_RXN0 | | I | 1.8V | | | | | VDDA_0P8_S ERDES2 / VDDA_0P8_S ERDES_C2 / VDDA_1P8_S ERDES2 | | 4L_PHY | |
| | | SGMII2_RXN0 | | I | | | | | | | | | |
| AT20 | SERDES2_RX3_P | SGMII8_RXP0 | | I | 1.8V | | | | | VDDA_0P8_S ERDES2 / VDDA_0P8_S ERDES_C2 / VDDA_1P8_S ERDES2 | | 4L_PHY | |
| | | SGMII2_RXP0 | | I | | | | | | | | | |
| AV24 | SERDES2_TX0_N | SGMII5_TXN0 | | O | 1.8V | | | | | VDDA_0P8_S ERDES2 / VDDA_0P8_S ERDES_C2 / VDDA_1P8_S ERDES2 | | 4L_PHY | |
| AV25 | SERDES2_TX0_P | SGMII5_TXP0 | | O | 1.8V | | | | | VDDA_0P8_S ERDES2 / VDDA_0P8_S ERDES_C2 / VDDA_1P8_S ERDES2 | | 4L_PHY | |
| AR23 | SERDES2_TX1_N | SGMII6_TXN0 | | O | 1.8V | | | | | VDDA_0P8_S ERDES2 / VDDA_0P8_S ERDES_C2 / VDDA_1P8_S ERDES2 | | 4L_PHY | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|-----------|--|-------------|------------|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|--|-------------|-----------------|-------------|
| AR24 | SERDES2_TX1_P | SGMII6_TXP0 | | O | 1.8V | | | | | VDDA_0P8_S ERDES2 / VDDA_0P8_S ERDES_C2 / VDDA_1P8_S ERDES2 | | 4L_PHY | |
| AR20 | SERDES2_TX2_N | SGMII7_TXN0 | | O | 1.8V | | | | | VDDA_0P8_S ERDES2 / VDDA_0P8_S ERDES_C2 / VDDA_1P8_S ERDES2 | | 4L_PHY | |
| | | SGMII1_TXN0 | | O | | | | | | | | | |
| AR21 | SERDES2_TX2_P | SGMII7_TXP0 | | O | 1.8V | | | | | VDDA_0P8_S ERDES2 / VDDA_0P8_S ERDES_C2 / VDDA_1P8_S ERDES2 | | 4L_PHY | |
| | | SGMII1_TXP0 | | O | | | | | | | | | |
| AP19 | SERDES2_TX3_N | SGMII8_TXN0 | | O | 1.8V | | | | | VDDA_0P8_S ERDES2 / VDDA_0P8_S ERDES_C2 / VDDA_1P8_S ERDES2 | | 4L_PHY | |
| | | SGMII2_TXN0 | | O | | | | | | | | | |
| AP20 | SERDES2_TX3_P | SGMII8_TXP0 | | O | 1.8V | | | | | VDDA_0P8_S ERDES2 / VDDA_0P8_S ERDES_C2 / VDDA_1P8_S ERDES2 | | 4L_PHY | |
| | | SGMII2_TXP0 | | O | | | | | | | | | |
| AR14 | SERDES4_RX0_N | SGMII5_RXN0 | | I | 1.8V | | | | | VDDA_0P8_S ERDES4 / VDDA_0P8_S ERDES_C4 / VDDA_1P8_S ERDES4 | | 4L_PHY | |
| AR15 | SERDES4_RX0_P | SGMII5_RXP0 | | I | 1.8V | | | | | VDDA_0P8_S ERDES4 / VDDA_0P8_S ERDES_C4 / VDDA_1P8_S ERDES4 | | 4L_PHY | |
| AU14 | SERDES4_RX1_N | SGMII6_RXN0 | | I | 1.8V | | | | | VDDA_0P8_S ERDES4 / VDDA_0P8_S ERDES_C4 / VDDA_1P8_S ERDES4 | | 4L_PHY | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|-----------|--|-------------|------------|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|--|-------------|-----------------|-------------|
| AU15 | SERDES4_RX1_P | SGMII6_RXP0 | | I | 1.8V | | | | | VDDA_0P8_S ERDES4 / VDDA_0P8_S ERDES_C4 / VDDA_1P8_S ERDES4 | | 4L_PHY | |
| AR17 | SERDES4_RX2_N | USB0_SSRX1N | | I | 1.8V | | | | | VDDA_0P8_S ERDES4 / VDDA_0P8_S ERDES_C4 / VDDA_1P8_S ERDES4 | | 4L_PHY | |
| | | SGMII7_RXN0 | | I | | | | | | | | | |
| AR18 | SERDES4_RX2_P | USB0_SSRX1P | | I | 1.8V | | | | | VDDA_0P8_S ERDES4 / VDDA_0P8_S ERDES_C4 / VDDA_1P8_S ERDES4 | | 4L_PHY | |
| | | SGMII7_RXP0 | | I | | | | | | | | | |
| AU17 | SERDES4_RX3_N | USB0_SSRX2N | | I | 1.8V | | | | | VDDA_0P8_S ERDES4 / VDDA_0P8_S ERDES_C4 / VDDA_1P8_S ERDES4 | | 4L_PHY | |
| | | SGMII8_RXN0 | | I | | | | | | | | | |
| AU18 | SERDES4_RX3_P | USB0_SSRX2P | | I | 1.8V | | | | | VDDA_0P8_S ERDES4 / VDDA_0P8_S ERDES_C4 / VDDA_1P8_S ERDES4 | | 4L_PHY | |
| | | SGMII8_RXP0 | | I | | | | | | | | | |
| AP13 | SERDES4_TX0_N | SGMII5_TXN0 | | O | 1.8V | | | | | VDDA_0P8_S ERDES4 / VDDA_0P8_S ERDES_C4 / VDDA_1P8_S ERDES4 | | 4L_PHY | |
| | | DP0_TXN0 | | O | | | | | | | | | |
| AP14 | SERDES4_TX0_P | DP0_TXP0 | | O | 1.8V | | | | | VDDA_0P8_S ERDES4 / VDDA_0P8_S ERDES_C4 / VDDA_1P8_S ERDES4 | | 4L_PHY | |
| | | SGMII5_TXP0 | | O | | | | | | | | | |
| AT13 | SERDES4_TX1_N | SGMII6_TXN0 | | O | 1.8V | | | | | VDDA_0P8_S ERDES4 / VDDA_0P8_S ERDES_C4 / VDDA_1P8_S ERDES4 | | 4L_PHY | |
| | | DP0_TXN1 | | O | | | | | | | | | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|-----------|--|-------------------|------------|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|--|-------------|-----------------|-------------|
| AT14 | SERDES4_TX1_P | DP0_TXP1 | | O | 1.8V | | | | | VDDA_0P8_S ERDES4 / VDDA_0P8_S ERDES_C4 / VDDA_1P8_S ERDES4 | | 4L_PHY | |
| | | SGMII6_TXP0 | | O | | | | | | | | | |
| AT16 | SERDES4_TX2_N | USB0_SSTX1N | | O | 1.8V | | | | | VDDA_0P8_S ERDES4 / VDDA_0P8_S ERDES_C4 / VDDA_1P8_S ERDES4 | | 4L_PHY | |
| | | DP0_TXN2 | | O | | | | | | | | | |
| | | SGMII7_TXN0 | | O | | | | | | | | | |
| AT17 | SERDES4_TX2_P | USB0_SSTX1P | | O | 1.8V | | | | | VDDA_0P8_S ERDES4 / VDDA_0P8_S ERDES_C4 / VDDA_1P8_S ERDES4 | | 4L_PHY | |
| | | SGMII7_TXP0 | | O | | | | | | | | | |
| | | DP0_TXP2 | | O | | | | | | | | | |
| AV18 | SERDES4_TX3_N | USB0_SSTX2N | | O | 1.8V | | | | | VDDA_0P8_S ERDES4 / VDDA_0P8_S ERDES_C4 / VDDA_1P8_S ERDES4 | | 4L_PHY | |
| | | SGMII8_TXN0 | | O | | | | | | | | | |
| | | DP0_TXN3 | | O | | | | | | | | | |
| AV19 | SERDES4_TX3_P | SGMII8_TXP0 | | O | 1.8V | | | | | VDDA_0P8_S ERDES4 / VDDA_0P8_S ERDES_C4 / VDDA_1P8_S ERDES4 | | 4L_PHY | |
| | | DP0_TXP3 | | O | | | | | | | | | |
| | | USB0_SSTX2P | | O | | | | | | | | | |
| AM34 | SOC_SAFETY_ERRORn PADCFG: PADCONFIG_68 0x0011C110 | SOC_SAFETY_ERRORn | 0 | IO | 1.8V/3.3V | オフ/オフ/ダウン | オン/SS/ダウン | 0 | PU/PD | VDDSHV0 | あり | LVC MOS | なし |
| AN38 | SPI0_CLK PADCFG: PADCONFIG_53 0x0011C0D4 | SPI0_CLK | 0 | IO | 1.8V/3.3V | オフ/オフ/オフ | オフ/オフ/オフ | 7 | PU/PD | VDDSHV0 | あり | LVC MOS | なし |
| | | UART1_CTSn | 1 | I | | | | | | | | | |
| | | I2C2_SCL | 2 | IOD | | | | | | | | | |
| | | MCASP3_AXR0 | 3 | IO | | | | | | | | | |
| | | EHRPWM2_A | 5 | IO | | | | | | | | | |
| | | GPIO0_53 | 7 | IO | | | | | | | | | |
| UART8_TXD | 11 | O | | | | | | | | | | | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|-----------|---|---------------|------------|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|-------------|-------------|-----------------|-------------|
| AM37 | SPI0_CS0 PADCFG: PADCONFIG_51 0x0011C0CC | SPI0_CS0 | 0 | IO | 1.8V/3.3V | オフ/オフ/オフ | オフ/オフ/オフ | 7 | PU/PD | VDDSHV0 | あり | LVC MOS | なし |
| | | MCASP3_ACLKX | 3 | IO | | | | | | | | | |
| | | MCASP3_ACLKR | 4 | IO | | | | | | | | | |
| | | EHRPWM0_A | 5 | IO | | | | | | | | | |
| | | GPIO0_51 | 7 | IO | | | | | | | | | |
| | | MCAN14_TX | 9 | O | | | | | | | | | |
| DP0_HP D | 12 | I | | | | | | | | | | | |
| AP38 | SPI0_CS1 PADCFG: PADCONFIG_52 0x0011C0D0 | SPI0_CS1 | 0 | IO | 1.8V/3.3V | オフ/オフ/オフ | オフ/オフ/オフ | 7 | PU/PD | VDDSHV0 | あり | LVC MOS | なし |
| | | CPTS0_TS_COMP | 1 | O | | | | | | | | | |
| | | UART0_RT Sn | 2 | O | | | | | | | | | |
| | | MCASP3_AFSX | 3 | IO | | | | | | | | | |
| | | MCASP3_AFSR | 4 | IO | | | | | | | | | |
| | | EHRPWM1_A | 5 | IO | | | | | | | | | |
| | | GPIO0_52 | 7 | IO | | | | | | | | | |
| | | MCAN14_RX | 9 | I | | | | | | | | | |
| UART8_RXD | 11 | I | | | | | | | | | | | |
| AM35 | SPI0_D0 PADCFG: PADCONFIG_54 0x0011C0D8 | SPI0_D0 | 0 | IO | 1.8V/3.3V | オフ/オフ/オフ | オフ/オフ/オフ | 7 | PU/PD | VDDSHV0 | あり | LVC MOS | なし |
| | | UART1_RT Sn | 1 | O | | | | | | | | | |
| | | I2C2_SDA | 2 | IOD | | | | | | | | | |
| | | MCASP3_AXR1 | 3 | IO | | | | | | | | | |
| | | EHRPWM3_A | 5 | IO | | | | | | | | | |
| | | GPIO0_54 | 7 | IO | | | | | | | | | |
| UART2_RXD | 11 | I | | | | | | | | | | | |
| AM36 | SPI0_D1 PADCFG: PADCONFIG_55 0x0011C0DC | SPI0_D1 | 0 | IO | 1.8V/3.3V | オフ/オフ/オフ | オフ/オフ/オフ | 7 | PU/PD | VDDSHV0 | あり | LVC MOS | なし |
| | | MCASP3_AXR2 | 3 | IO | | | | | | | | | |
| | | EHRPWM4_A | 5 | IO | | | | | | | | | |
| | | GPIO0_55 | 7 | IO | | | | | | | | | |
| | | UART2_TXD | 11 | O | | | | | | | | | |
| G35 | TCK PADCFG: WKUP_PADCONFIG_73 0x4301C124 | TCK | 0 | I | 1.8V/3.3V | オン/NA/アップ | オン/オフ/アップ | 0 | PU/PD | VDDSHV0_MCU | あり | LVC MOS | なし |
| AL37 | TDI PADCFG: PADCONFIG_69 0x0011C114 | TDI | 0 | I | 1.8V/3.3V | オン/オフ/アップ | オン/オフ/アップ | 0 | PU/PD | VDDSHV0 | あり | LVC MOS | なし |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|-----------|---|-------------------|------------|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|-----------------------------|-------------|-----------------|-------------|
| AL35 | TDO PADCFG: PADCONFIG_70 0x0011C118 | TDO | 0 | OZ | 1.8V/3.3V | オフ / オフ / アップ | オフ / SS / アップ | 0 | PU/PD | VDDSHV0 | あり | LVC MOS | なし |
| AR38 | TIMER_IO0 PADCFG: PADCONFIG_58 0x0011C0E8 | TIMER_IO0 | 0 | IO | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV0 | あり | LVC MOS | なし |
| | | ECAP1_IN_APWM_OUT | 1 | IO | | | | | | | | | |
| | | SYSCLKOUT0 | 2 | O | | | | | | | | | |
| | | UART3_RXD | 5 | I | | | | | | | | | |
| | | PCIE1_CLKREQn | 6 | IO | | | | | | | | | |
| | | GPIO0_58 | 7 | IO | | | | | | | | | |
| | | MMC1_SDCCD | 8 | I | | | | | | | | | |
| | | MCAN13_TX | 9 | O | | | | | | | | | |
| I2C6_SDA | 13 | IOD | | | | | | | | | | | |
| AN37 | TIMER_IO1 PADCFG: PADCONFIG_59 0x0011C0EC | TIMER_IO1 | 0 | IO | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV0 | あり | LVC MOS | なし |
| | | ECAP2_IN_APWM_OUT | 1 | IO | | | | | | | | | |
| | | OBSCCLK0 | 2 | O | | | | | | | | | |
| | | UART3_TXD | 5 | O | | | | | | | | | |
| | | USB0_DRVVBUS | 6 | O | | | | | | | | | |
| | | GPIO0_59 | 7 | IO | | | | | | | | | |
| | | MMC1_SDWP | 8 | I | | | | | | | | | |
| | | MCAN13_RX | 9 | I | | | | | | | | | |
| | | I2C6_SCL | 13 | IOD | | | | | | | | | |
| OBSCCLK0 | 15 | O | | | | | | | | | | | |
| AL36 | TMS PADCFG: PADCONFIG_71 0x0011C11C | TMS | 0 | I | 1.8V/3.3V | オン / オフ / アップ | オン / オフ / アップ | 0 | PU/PD | VDDSHV0 | あり | LVC MOS | なし |
| G37 | TRSTn PADCFG: WKUP_PADCONFIG_74 0x4301C128 | TRSTn | 0 | I | 1.8V/3.3V | オン / NA / ダウン | オン / オフ / ダウン | 0 | PU/PD | VDDSHV0_MCU | あり | LVC MOS | なし |
| AM7 | UFS0_REF_CLK | UFS0_REF_CLK | | I | 1.2V | | | | | VDDA_1p8_UFS / VDDA_0P8_UFS | | M-PHY | |
| AM8 | UFS0_RSTn | UFS0_RSTn | | I | 1.2V | | | | | VDDA_1p8_UFS / VDDA_0P8_UFS | | M-PHY | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|-----------|--|-------------|------------|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|--|-------------|-----------------|-------------|
| AM4 | UFS0_RX_DN0 | UFS0_RX_DN0 | | I | 1.8V | | | | | VDDA_1p8_U FS / VDDA_0P8_U FS | | M-PHY | |
| AM1 | UFS0_RX_DN1 | UFS0_RX_DN1 | | I | 1.8V | | | | | VDDA_1p8_U FS / VDDA_0P8_U FS | | M-PHY | |
| AM5 | UFS0_RX_DP0 | UFS0_RX_DP0 | | I | 1.8V | | | | | VDDA_1p8_U FS / VDDA_0P8_U FS | | M-PHY | |
| AM2 | UFS0_RX_DP1 | UFS0_RX_DP1 | | I | 1.8V | | | | | VDDA_1p8_U FS / VDDA_0P8_U FS | | M-PHY | |
| AL2 | UFS0_TX_DN0 | UFS0_TX_DN0 | | I | 1.8V | | | | | VDDA_1p8_U FS / VDDA_0P8_U FS | | M-PHY | |
| AN2 | UFS0_TX_DN1 | UFS0_TX_DN1 | | I | 1.8V | | | | | VDDA_1p8_U FS / VDDA_0P8_U FS | | M-PHY | |
| AL3 | UFS0_TX_DP0 | UFS0_TX_DP0 | | I | 1.8V | | | | | VDDA_1p8_U FS / VDDA_0P8_U FS | | M-PHY | |
| AN3 | UFS0_TX_DP1 | UFS0_TX_DP1 | | I | 1.8V | | | | | VDDA_1p8_U FS / VDDA_0P8_U FS | | M-PHY | |
| AP16 | USB0_DM | USB0_DM | | IO | 3.3V | | | | | VDDA_0P8_U SB / VDDA_1P8_U SB / VDDA_3P3_U SB | | USB2PHY | |
| AP17 | USB0_DP | USB0_DP | | IO | 3.3V | | | | | VDDA_0P8_U SB / VDDA_1P8_U SB / VDDA_3P3_U SB | | USB2PHY | |
| AN17 | USB0_ID | USB0_ID | | A | 3.3V | | | | | VDDA_0P8_U SB / VDDA_1P8_U SB / VDDA_3P3_U SB | | USB2PHY | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|--|--|--------------------|------------|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|--|-------------|-----------------|-------------|
| AN18 | USB0_RCALIB | USB0_RCALIB | | A | 3.3V | | | | | VDDA_0P8_U SB / VDDA_1P8_U SB / VDDA_3P3_U SB | | USB2PHY | |
| AN15 | USB0_VBUS | USB0_VBUS | | A | 5.0V | | | | | VDDA_0P8_U SB / VDDA_1P8_U SB / VDDA_3P3_U SB | | DDR | |
| AB27、 AC24、 AF15、 AF18、 AF21、 AG11、 AG28、T25 | VDDAR_CORE | VDDAR_CORE | | PWR | | | | | | | | | |
| AB13、 AC16、 AC18、 AC20、 AE12、M21、 N23、T15、 U20、W14、 W21、Y11、 Y19 | VDDAR_CPU | VDDAR_CPU | | PWR | | | | | | | | | |
| M27、N24 | VDDAR_MCU | VDDAR_MCU | | PWR | | | | | | | | | |
| AJ24 | VDDA_0P8_DSITX | VDDA_0P8_DSITX | | PWR | | | | | | | | | |
| AJ25 | VDDA_0P8_DSITX_C | VDDA_0P8_DSITX_C | | PWR | | | | | | | | | |
| AH11 | VDDA_0P8_UFS | VDDA_0P8_UFS | | PWR | | | | | | | | | |
| AK20 | VDDA_0P8_USB | VDDA_0P8_USB | | PWR | | | | | | | | | |
| AJ28 | VDDA_0P8_CSIRX2 | VDDA_0P8_CSIRX2 | | PWR | | | | | | | | | |
| AJ26、AK26 | VDDA_0P8_CSIRX0_1 | VDDA_0P8_CSIRX0_1 | | PWR | | | | | | | | | |
| AE9 | VDDA_0P8_DLL_MMC0 | VDDA_0P8_DLL_MMC0 | | PWR | | | | | | | | | |
| U11 | VDDA_0P8_PLL_DDR0 | VDDA_0P8_PLL_DDR0 | | PWR | | | | | | | | | |
| M14 | VDDA_0P8_PLL_DDR1 | VDDA_0P8_PLL_DDR1 | | PWR | | | | | | | | | |
| N11 | VDDA_0P8_PLL_DDR2 | VDDA_0P8_PLL_DDR2 | | PWR | | | | | | | | | |
| M18 | VDDA_0P8_PLL_DDR3 | VDDA_0P8_PLL_DDR3 | | PWR | | | | | | | | | |
| AJ20、AJ21 | VDDA_0P8_SERDES2 | VDDA_0P8_SERDES2 | | PWR | | | | | | | | | |
| AJ17、AJ18 | VDDA_0P8_SERDES4 | VDDA_0P8_SERDES4 | | PWR | | | | | | | | | |
| AJ12、 AJ15、 AK13、AK14 | VDDA_0P8_SERDES0_1 | VDDA_0P8_SERDES0_1 | | PWR | | | | | | | | | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|------------------------|--|----------------------|------------|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|---------|-------------|-----------------|-------------|
| AG21, AH20 | VDDA_0P8_SERDES_C2 | VDDA_0P8_SERDES_C2 | | PWR | | | | | | | | | |
| AG17, AH18 | VDDA_0P8_SERDES_C4 | VDDA_0P8_SERDES_C4 | | PWR | | | | | | | | | |
| AH12, AH13, AH15, AH16 | VDDA_0P8_SERDES_C0_1 | VDDA_0P8_SERDES_C0_1 | | PWR | | | | | | | | | |
| AH24, AH25 | VDDA_1P8_DSITX | VDDA_1P8_DSITX | | PWR | | | | | | | | | |
| AJ10 | VDDA_1P8_UFS | VDDA_1P8_UFS | | PWR | | | | | | | | | |
| AK21 | VDDA_1P8_USB | VDDA_1P8_USB | | PWR | | | | | | | | | |
| AH29, AJ29 | VDDA_1P8_CSIRX2 | VDDA_1P8_CSIRX2 | | PWR | | | | | | | | | |
| AH27, AH28 | VDDA_1P8_CSIRX0_1 | VDDA_1P8_CSIRX0_1 | | PWR | | | | | | | | | |
| AH21 | VDDA_1P8_SERDES2 | VDDA_1P8_SERDES2 | | PWR | | | | | | | | | |
| AH17 | VDDA_1P8_SERDES4 | VDDA_1P8_SERDES4 | | PWR | | | | | | | | | |
| AJ13, AJ14 | VDDA_1P8_SERDES0_1 | VDDA_1P8_SERDES0_1 | | PWR | | | | | | | | | |
| AJ23 | VDDA_1P8_SERDES2_4 | VDDA_1P8_SERDES2_4 | | PWR | | | | | | | | | |
| AJ19 | VDDA_3P3_USB | VDDA_3P3_USB | | PWR | | | | | | | | | |
| M31 | VDDA_ADC0 | VDDA_ADC0 | | PWR | | | | | | | | | |
| N30 | VDDA_ADC1 | VDDA_ADC1 | | PWR | | | | | | | | | |
| M28 | VDDA_MCU_PLLGRP0 | VDDA_MCU_PLLGRP0 | | PWR | | | | | | | | | |
| M26 | VDDA_MCU_TEMP | VDDA_MCU_TEMP | | PWR | | | | | | | | | |
| N29 | VDDA_OSC1 | VDDA_OSC1 | | PWR | | | | | | | | | |
| AA27 | VDDA_PLLGRP0 | VDDA_PLLGRP0 | | PWR | | | | | | | | | |
| Y28 | VDDA_PLLGRP1 | VDDA_PLLGRP1 | | PWR | | | | | | | | | |
| AG13 | VDDA_PLLGRP2 | VDDA_PLLGRP2 | | PWR | | | | | | | | | |
| V14 | VDDA_PLLGRP5 | VDDA_PLLGRP5 | | PWR | | | | | | | | | |
| R21 | VDDA_PLLGRP6 | VDDA_PLLGRP6 | | PWR | | | | | | | | | |
| P12 | VDDA_PLLGRP7 | VDDA_PLLGRP7 | | PWR | | | | | | | | | |
| P15 | VDDA_PLLGRP8 | VDDA_PLLGRP8 | | PWR | | | | | | | | | |
| Y26 | VDDA_PLLGRP9 | VDDA_PLLGRP9 | | PWR | | | | | | | | | |
| AG23 | VDDA_PLLGRP10 | VDDA_PLLGRP10 | | PWR | | | | | | | | | |
| AA23 | VDDA_PLLGRP12 | VDDA_PLLGRP12 | | PWR | | | | | | | | | |
| AB26 | VDDA_PLLGRP13 | VDDA_PLLGRP13 | | PWR | | | | | | | | | |
| N28 | VDDA_POR_WKUP | VDDA_POR_WKUP | | PWR | | | | | | | | | |
| Y27 | VDDA_TEMP0 | VDDA_TEMP0 | | PWR | | | | | | | | | |
| M12 | VDDA_TEMP1 | VDDA_TEMP1 | | PWR | | | | | | | | | |
| W23 | VDDA_TEMP2 | VDDA_TEMP2 | | PWR | | | | | | | | | |
| AE13 | VDDA_TEMP3 | VDDA_TEMP3 | | PWR | | | | | | | | | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|---|--|-------------|------------|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|---------|-------------|-----------------|-------------|
| AD18 | VDDA_TEMP4 | VDDA_TEMP4 | | PWR | | | | | | | | | |
| K31, L32 | VDDA_WKUP | VDDA_WKUP | | PWR | | | | | | | | | |
| V30, V32, W31 | VDDSHV0 | VDDSHV0 | | PWR | | | | | | | | | |
| H29, J28, K29 | VDDSHV0_MCU | VDDSHV0_MCU | | PWR | | | | | | | | | |
| H25, J24, K25 | VDDSHV1_MCU | VDDSHV1_MCU | | PWR | | | | | | | | | |
| T30, T32, U31 | VDDSHV2 | VDDSHV2 | | PWR | | | | | | | | | |
| H27, J26, K27 | VDDSHV2_MCU | VDDSHV2_MCU | | PWR | | | | | | | | | |
| P31, R30, R31 | VDDSHV5 | VDDSHV5 | | PWR | | | | | | | | | |
| A31, AK1, B1, H11, H13, H15, H17, H19, H9, J10, J12, J14, J16, J18, J8, K11, K13, K15, K17, K19, K9, L10, L12, L14, L16, L18, M9, N10, N8, P9, R10, R8, T9, U10, U8 | VDDS_DDR | VDDS_DDR | | PWR | | | | | | | | | |
| T10 | VDDS_DDR_C0 | VDDS_DDR_C0 | | PWR | | | | | | | | | |
| L15 | VDDS_DDR_C1 | VDDS_DDR_C1 | | PWR | | | | | | | | | |
| M10 | VDDS_DDR_C2 | VDDS_DDR_C2 | | PWR | | | | | | | | | |
| L17 | VDDS_DDR_C3 | VDDS_DDR_C3 | | PWR | | | | | | | | | |
| AF9, AG10, AG8, AH9 | VDDS_MMC0 | VDDS_MMC0 | | PWR | | | | | | | | | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|--|--|----------|------------|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|---------|-------------|-----------------|-------------|
| AA24、 AA26、 AA28、 AA30、 AB25、 AB29、 AB31、 AC26、 AC28、 AC30、 AD25、 AD27、 AD29、 AD31、 AE24、 AE26、 AE28、 AE30、 AE32、 AF13、 AF17、 AF19、 AF23、 AF25、 AF27、 AF29、 AF31、 AG12、 AG14、 AG16、 AG18、 AG20、 AG22、 AG24、 AG26、 AG30、 AG32、 AH31、 AJ30、 M11、 M13、 M15、 M17、 M19、 N12、 N16、 N18、 P11、 P17、 P19、 R12、 R14、 R16、 R18、 R24、 R26、 R28、 T11、 T13、 T27、 U12、 U24、 U26、 U28、 V25、 V27、 W24、 W26、 | VDD_CORE | VDD_CORE | | PWR | | | | | | | | | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|---|--|---------------|------------|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|---------|-------------|-----------------|-------------|
| W28, W30, W32, Y25, Y29, Y31 | | | | | | | | | | | | | |
| AA10, AA12, AA14, AA20, AA22, AA8, AB11, AB19, AB21, AB23, AB9, AC10, AC12, AC14, AC22, AD11, AD13, AD15, AD17, AD19, AD21, AD23, AD9, AE10, AE14, AE16, AE18, AE20, AE22, AF11, H21, H23, J20, J22, K21, K23, L20, L22, N20, N22, P21, R20, R22, T17, T19, T21, T23, U14, U22, V11, V13, V19, V21, V23, V9, W10, W12, W20, W22, W8, Y13, Y21, Y23, Y9 | VDD_CPU | VDD_CPU | | PWR | | | | | | | | | |
| L24, M23, M25, N26, P23, P25, P27 | VDD_MCU | VDD_MCU | | PWR | | | | | | | | | |
| L28 | VDD_MCU_WAKE1 | VDD_MCU_WAKE1 | | PWR | | | | | | | | | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|-----------|--|----------------------|------------|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|-------------|-------------|-----------------|-------------|
| U29 | | VDD_WAKE0 | | PWR | | | | | | | | | |
| K28 | | VMON1_ER_VSYS | | A | | | | | | | | | |
| N27 | | VMON2_IR_VCPU | | A | | | | | | | | | |
| J30 | | VMON3_IR_VEXT1P8 | | A | | | | | | | | | |
| P28 | | VMON4_IR_VEXT1P8 | | A | | | | | | | | | |
| R29 | | VMON5_IR_VEXT3P3 | | A | | | | | | | | | |
| AA31 | | VPP_CORE | | PWR | | | | | | | | | |
| L29 | | VPP_MCU | | PWR | | | | | | | | | |
| H38 | WKUP_GPIO0_0 PADCFG: WKUP_PADCONFIG_48 0x4301C0C0 | MCU_SPI1_CLK | 0 | IO | 1.8V/3.3V | オン / オフ / オフ | オン / オフ / オフ | 7 | PU/PD | VDDSHV0_MCU | あり | LVCMOS | あり |
| | | MCU_SPI1_CLK | 1 | IO | | | | | | | | | |
| | | WKUP_GPIO0_0 | 7 | IO | | | | | | | | | |
| | | MCU_BOOTMODE03 | ブートストラップ | I | | | | | | | | | |
| J34 | WKUP_GPIO0_1 PADCFG: WKUP_PADCONFIG_49 0x4301C0C4 | MCU_SPI1_D0 | 0 | IO | 1.8V/3.3V | オン / オフ / オフ | オン / オフ / オフ | 7 | PU/PD | VDDSHV0_MCU | あり | LVCMOS | あり |
| | | MCU_SPI1_D0 | 1 | IO | | | | | | | | | |
| | | WKUP_GPIO0_1 | 7 | IO | | | | | | | | | |
| | | MCU_BOOTMODE04 | ブートストラップ | I | | | | | | | | | |
| J35 | WKUP_GPIO0_2 PADCFG: WKUP_PADCONFIG_50 0x4301C0C8 | MCU_SPI1_D1 | 0 | IO | 1.8V/3.3V | オン / オフ / オフ | オン / オフ / オフ | 7 | PU/PD | VDDSHV0_MCU | あり | LVCMOS | あり |
| | | MCU_SPI1_D1 | 1 | IO | | | | | | | | | |
| | | WKUP_GPIO0_2 | 7 | IO | | | | | | | | | |
| | | MCU_BOOTMODE05 | ブートストラップ | I | | | | | | | | | |
| J36 | WKUP_GPIO0_3 PADCFG: WKUP_PADCONFIG_51 0x4301C0CC | MCU_SPI1_CS0 | 0 | IO | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV0_MCU | あり | LVCMOS | あり |
| | | MCU_SPI1_CS0 | 1 | IO | | | | | | | | | |
| | | WKUP_GPIO0_3 | 7 | IO | | | | | | | | | |
| H35 | WKUP_GPIO0_4 PADCFG: WKUP_PADCONFIG_52 0x4301C0D0 | MCU_MCAN1_TX | 0 | O | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV0_MCU | あり | LVCMOS | あり |
| | | MCU_MCAN1_TX | 1 | O | | | | | | | | | |
| | | MCU_SPI0_CS3 | 2 | IO | | | | | | | | | |
| | | MCU_ADC_EXT_TRIGGER0 | 3 | I | | | | | | | | | |
| | | WKUP_GPIO0_4 | 7 | IO | | | | | | | | | |
| K36 | WKUP_GPIO0_5 PADCFG: WKUP_PADCONFIG_53 0x4301C0D4 | MCU_MCAN1_RX | 0 | I | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV0_MCU | あり | LVCMOS | あり |
| | | MCU_MCAN1_RX | 1 | I | | | | | | | | | |
| | | MCU_SPI1_CS3 | 2 | IO | | | | | | | | | |
| | | MCU_ADC_EXT_TRIGGER1 | 3 | I | | | | | | | | | |
| | | WKUP_GPIO0_5 | 7 | IO | | | | | | | | | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|----------------------|---|---------------------|------------|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|-------------|-------------|-----------------|-------------|
| L37 | WKUP_GPIO0_6 PADCFG: WKUP_PADCONFIG_54 0x4301C0D8 | WKUP_UART0_CTSn | 0 | I | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV0_MCU | あり | LVCMOS | あり |
| | | WKUP_UART0_CTSn | 1 | I | | | | | | | | | |
| | | MCU_CPTS0_HW1TSPUSH | 2 | I | | | | | | | | | |
| | | MCU_I2C1_SCL | 3 | IOD | | | | | | | | | |
| L36 | WKUP_GPIO0_7 PADCFG: WKUP_PADCONFIG_55 0x4301C0DC | WKUP_UART0_RTSn | 0 | O | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV0_MCU | あり | LVCMOS | あり |
| | | WKUP_UART0_RTSn | 1 | O | | | | | | | | | |
| | | MCU_CPTS0_HW2TSPUSH | 2 | I | | | | | | | | | |
| | | MCU_I2C1_SDA | 3 | IOD | | | | | | | | | |
| L35 | WKUP_GPIO0_8 PADCFG: WKUP_PADCONFIG_56 0x4301C0E0 | MCU_I2C1_SCL | 0 | IOD | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV0_MCU | あり | LVCMOS | あり |
| | | MCU_I2C1_SCL | 1 | IOD | | | | | | | | | |
| | | MCU_CPTS0_TS_SYNC | 2 | O | | | | | | | | | |
| | | MCU_I3C0_SCL | 3 | IO | | | | | | | | | |
| L34 | WKUP_GPIO0_9 PADCFG: WKUP_PADCONFIG_57 0x4301C0E4 | MCU_TIMER_IO6 | 4 | IO | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV0_MCU | あり | LVCMOS | あり |
| | | MCU_I2C1_SDA | 0 | IOD | | | | | | | | | |
| | | MCU_I2C1_SDA | 1 | IOD | | | | | | | | | |
| | | MCU_CPTS0_TS_COMP | 2 | O | | | | | | | | | |
| L33 | WKUP_GPIO0_10 PADCFG: WKUP_PADCONFIG_58 0x4301C0E8 | MCU_I3C0_SDA | 3 | IO | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV0_MCU | あり | LVCMOS | あり |
| | | MCU_TIMER_IO7 | 4 | IO | | | | | | | | | |
| | | WKUP_GPIO0_9 | 7 | IO | | | | | | | | | |
| | | MCU_EXT_REFCLK0 | 0 | I | | | | | | | | | |
| | | MCU_EXT_REFCLK0 | 1 | I | | | | | | | | | |
| | | MCU_UART0_TXD | 2 | O | | | | | | | | | |
| MCU_ADC_EXT_TRIGGER0 | 3 | I | | | | | | | | | | | |
| MCU_CPTS0_RFT_CLK | 4 | I | | | | | | | | | | | |
| MCU_SYSCLKOUT0 | 5 | O | | | | | | | | | | | |
| WKUP_GPIO0_10 | 7 | IO | | | | | | | | | | | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|---------------|--|----------------------|------------|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|-------------|-------------|-----------------|-------------|
| M38 | WKUP_GPIO0_11 PADCFG: WKUP_PADCONFIG_59 0x4301C0EC | MCU_OBSCLK0 | 0 | O | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV0_MCU | あり | LVC MOS | あり |
| | | MCU_OBSCLK0 | 1 | O | | | | | | | | | |
| | | MCU_UART0_RXD | 2 | I | | | | | | | | | |
| | | MCU_ADC_EXT_TRIGGER1 | 3 | I | | | | | | | | | |
| | | MCU_TIMER_IO1 | 4 | IO | | | | | | | | | |
| | | MCU_I3C0_SDAPULLEN | 5 | OD | | | | | | | | | |
| | | MCU_CLKOUT0 | 6 | OZ | | | | | | | | | |
| WKUP_GPIO0_11 | 7 | IO | | | | | | | | | | | |
| J37 | WKUP_GPIO0_12 PADCFG: WKUP_PADCONFIG_60 0x4301C0F0 | MCU_UART0_TXD | 0 | O | 1.8V/3.3V | オン / オフ / オフ | オン / オフ / オフ | 7 | PU/PD | VDDSHV0_MCU | あり | LVC MOS | あり |
| | | MCU_SPI0_CS1 | 1 | IO | | | | | | | | | |
| | | WKUP_GPIO0_12 | 7 | IO | | | | | | | | | |
| | | MCU_BOOTMODE08 | | ブートストラップ | | | | | | | | | |
| K38 | WKUP_GPIO0_13 PADCFG: WKUP_PADCONFIG_61 0x4301C0F4 | MCU_UART0_RXD | 0 | I | 1.8V/3.3V | オン / オフ / オフ | オン / オフ / オフ | 7 | PU/PD | VDDSHV0_MCU | あり | LVC MOS | あり |
| | | MCU_SPI1_CS1 | 1 | IO | | | | | | | | | |
| | | WKUP_GPIO0_13 | 7 | IO | | | | | | | | | |
| | | MCU_BOOTMODE09 | | ブートストラップ | | | | | | | | | |
| H37 | WKUP_GPIO0_14 PADCFG: WKUP_PADCONFIG_62 0x4301C0F8 | MCU_UART0_CTSn | 0 | I | 1.8V/3.3V | オン / オフ / オフ | オン / オフ / オフ | 7 | PU/PD | VDDSHV0_MCU | あり | LVC MOS | あり |
| | | MCU_SPI0_CS2 | 1 | IO | | | | | | | | | |
| | | MCU_TIMER_IO8 | 4 | IO | | | | | | | | | |
| | | WKUP_GPIO0_14 | 7 | IO | | | | | | | | | |
| | | MCU_BOOTMODE06 | | ブートストラップ | | | | | | | | | |
| K37 | WKUP_GPIO0_15 PADCFG: WKUP_PADCONFIG_63 0x4301C0FC | MCU_UART0_RTSn | 0 | O | 1.8V/3.3V | オン / オフ / オフ | オン / オフ / オフ | 7 | PU/PD | VDDSHV0_MCU | あり | LVC MOS | あり |
| | | MCU_SPI1_CS2 | 1 | IO | | | | | | | | | |
| | | MCU_TIMER_IO9 | 4 | IO | | | | | | | | | |
| | | WKUP_GPIO0_15 | 7 | IO | | | | | | | | | |
| M33 | WKUP_GPIO0_49 PADCFG: WKUP_PADCONFIG_100 0x4301C190 | PMIC_WAKE1n | 0 | O | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV0_MCU | あり | LVC MOS | なし |
| | | MCU_EXT_REFCLK0 | 1 | I | | | | | | | | | |
| | | MCU_CPTS0_RFT_CLK | 2 | I | | | | | | | | | |
| | | WKUP_GPIO0_49 | 7 | IO | | | | | | | | | |
| M37 | WKUP_GPIO0_56 PADCFG: WKUP_PADCONFIG_72 0x4301C120 | MCU_TIMER_IO6 | 4 | IO | 1.8V/3.3V | オン / オフ / オフ | オン / オフ / オフ | 7 | PU/PD | VDDSHV0_MCU | あり | LVC MOS | なし |
| | | WKUP_GPIO0_56 | 7 | IO | | | | | | | | | |
| | | BOOTMODE04 | | ブートストラップ | | | | | | | | | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|-----------|--|----------------|------------|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|-------------|-------------|-----------------|-------------|
| M36 | WKUP_GPIO0_57 PADCFG: WKUP_PADCONFIG_95 0x4301C17C | MCU_TIMER_IO7 | 4 | IO | 1.8V/3.3V | オン / オフ / オフ | オン / オフ / オフ | 7 | PU/PD | VDDSHV0_MCU | あり | LVCMOS | なし |
| | | WKUP_GPIO0_57 | 7 | IO | | | | | | | | | |
| | | BOOTMODE05 | ブートストラップ | I | | | | | | | | | |
| N34 | WKUP_GPIO0_66 PADCFG: WKUP_PADCONFIG_96 0x4301C180 | WKUP_GPIO0_66 | 7 | IO | 1.8V/3.3V | オン / オフ / オフ | オン / オフ / オフ | 7 | PU/PD | VDDSHV0_MCU | あり | LVCMOS | あり |
| | | BOOTMODE06 | ブートストラップ | I | | | | | | | | | |
| | | | | | | | | | | | | | |
| M34 | WKUP_GPIO0_67 PADCFG: WKUP_PADCONFIG_97 0x4301C184 | WKUP_LF_CLKIN | 1 | I | 1.8V/3.3V | オン / オフ / オフ | オン / オフ / オフ | 7 | PU/PD | VDDSHV0_MCU | あり | LVCMOS | あり |
| | | WKUP_GPIO0_67 | 7 | IO | | | | | | | | | |
| | | BOOTMODE07 | ブートストラップ | I | | | | | | | | | |
| N33 | WKUP_I2C0_SCL PADCFG: WKUP_PADCONFIG_64 0x4301C100 | WKUP_I2C0_SCL | 0 | IOD | 1.8V/3.3V | オフ / オフ / オフ | オン / SS / オフ | 0 | | VDDSHV0_MCU | あり | I2C オープンドレイン | あり |
| | | WKUP_GPIO0_63 | 7 | IO | | | | | | | | | |
| N35 | WKUP_I2C0_SDA PADCFG: WKUP_PADCONFIG_65 0x4301C104 | WKUP_I2C0_SDA | 0 | IOD | 1.8V/3.3V | オフ / オフ / オフ | オン / SS / オフ | 0 | | VDDSHV0_MCU | あり | I2C オープンドレイン | あり |
| | | WKUP_GPIO0_64 | 7 | IO | | | | | | | | | |
| T38 | WKUP_OSC0_XI | WKUP_OSC0_XI | | I | 1.8V | | | | | VDDA_WKUP | あり | HFXOSC | なし |
| U37 | WKUP_OSC0_XO | WKUP_OSC0_XO | | O | 1.8V | | | | | VDDA_WKUP | あり | HFXOSC | なし |
| K35 | WKUP_UART0_RXD PADCFG: WKUP_PADCONFIG_44 0x4301C0B0 | WKUP_UART0_RXD | 0 | I | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV0_MCU | あり | LVCMOS | あり |
| | | WKUP_GPIO0_58 | 7 | IO | | | | | | | | | |
| K34 | WKUP_UART0_TXD PADCFG: WKUP_PADCONFIG_45 0x4301C0B4 | WKUP_UART0_TXD | 0 | O | 1.8V/3.3V | オフ / オフ / オフ | オフ / オフ / オフ | 7 | PU/PD | VDDSHV0_MCU | あり | LVCMOS | あり |
| | | WKUP_GPIO0_59 | 7 | IO | | | | | | | | | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|--|--|---------|------------|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|---------|-------------|-----------------|-------------|
| A1, A10, A12, A15, A2, A20, A23, A25, A28, A34, A37, A5, A7, AA11, AA13, AA19, AA2, AA21, AA25, AA29, AA34, AA36, AA38, AA5, AA9, AB1, AB10, AB12, AB14, AB20, AB22, AB24, AB28, AB30, AB32, AB33, AB35, AB37, AB5, AB8, AC11, AC13, AC15, AC17, AC19, AC2, AC21, AC23, AC25, AC27, AC29, AC31, AC6, AC9, AD1, AD10, AD12, AD14, AD16, AD20, AD22, AD24, AD26, AD28, AD30, AD32, AD35, AD4, AD8, AE11, AE15, AE17, AE19, AE2, AE21, AE23, AE25, AE27, AE29, AE31, AE5, AF10, AF12, AF14, AF16, AF20, AF22, AF24, AF26, AF28, AF3, AF30, AF32, AF6, AF8, AG1, AG15, | VSS | VSS | | GND | | | | | | | | | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール 番号 [1] | ボール 名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号 名 [3] | 多重化 モード [4] | 信号 タイプ [5] | I/O 動作 電圧 [6] | リセット 時のボール の状態 (RX/TX/PULL) [7] | リセット 後のボール の状態 (RX/TX/PULL) [8] | リセット後 の 多重化 モード [9] | プル タイプ [10] | 電源 [11] | ヒステリ シス [12] | 電圧 バッファの タイプ [13] | IO RET [14] |
|---|--|-------------|-------------------|---------------|---------------------|---|---|---------------------------------|-------------------|---------|--------------------|-------------------------|----------------|
| AG19, AG25, AG27, AG29, AG31, AG4, AG7, AG9, AH10, AH14, AH19, AH2, AH22, AH23, AH26, AH30, AH32, AH35, AH5, AH8, AJ11, AJ16, AJ22, AJ27, AJ3, AJ31, AJ6, AJ8, AJ9, AK10, AK11, AK12, AK15, AK16, AK17, AK18, AK19, AK22, AK23, AK24, AK25, AK27, AK28, AK30, AK32, AL1, AL10, AL12, AL13, AL14, AL15, AL16, AL17, AL18 | | | | | | | | | | | | | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|---|--|---------|------------|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|---------|-------------|-----------------|-------------|
| AL19, AL21, AL26, AL29, AL31, AL4, AM11, AM13, AM15, AM18, AM20, AM23, AM25, AM27, AM3, AM30, AM32, AM38, AM6, AN1, AN10, AN12, AN14, AN16, AN19, AN22, AN25, AN28, AN31, AN34, AN4, AN7, AP12, AP15, AP18, AP21, AP24, AP27, AP3, AP30, AP33, AP36, AP6, AP9, AR1, AR10, AR13, AR16, AR19, AR22, AR25, AR28, AR31, AR34, AR37, AR4, AR7, AT12, AT15, AT18, AT21, AT24, AT27, AT3, AT30, AT33, AT36, AT6, AT9, AU1, AU10, AU13, AU16, AU19, AU22, AU25, AU28, AU31, AU34, AU37, | VSS (続き) | VSS | | GND | | | | | | | | | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|---|--|---------|------------|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|---------|-------------|-----------------|-------------|
| AU38, AU4, AU7, AV1, AV11, AV14, AV17, AV2, AV20, AV23, AV26, AV29, AV32, AV35, AV5, AV8, B11, B13, B16, B19, B22, B24, B26, B29, B31, B38, B6, B9, C14, C17, C18, C2, C21, C27, C30, C4, C8, D10, D15, D20, D23, D28, D3, D35, D6, D7, E12, E13, E16, E19, E2, E22, E25, E26, E29, E31, E5, E9, F1, F11, F14, F17, F21, F24, F27, F30, F4, F7, F8, G15 | | | | | | | | | | | | | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール番号 [1] | ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号名 [3] | 多重化モード [4] | 信号タイプ [5] | I/O 動作電圧 [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | プルタイプ [10] | 電源 [11] | ヒステリシス [12] | 電圧バッファのタイプ [13] | IO RET [14] |
|---|--|---------|------------|-----------|--------------|-------------------------------|-------------------------------|------------------|------------|---------|-------------|-----------------|-------------|
| G18, G20, G28, G3, G6, H10, H16, H18, H2, H20, H22, H24, H26, H28, H30, H31, H5, H7, H8, J1, J11, J13, J15, J17, J19, J21, J23, J25, J27, J29, J32, J4, J9, K10, K12, K14, K16, K18, K2, K20, K22, K24, K26, K6, K8, L1, L11, L13, L19, L21, L23, L31, L5, L9, M16, M2, M20, M22, M24, M29, M30, M32, M5, M8, N15, N17, N19, N21, N25, N3, N31, N32, N38, N6, N9, P1, P10, P16, P18, P20, P22, P24, P26, P30, P32, P35, P37, P4, P7, P8, R11, R13, R15, R17, R19, R2, R23, R25, R27, R32, R34, R36, R38, R5, R9, T12, T14, T16, T18, T20, T22, T24, T26, T28, T3, T31, T33, T35, T37, T6, T8, U13, U19, U21, U23, | VSS (続き) | VSS | | GND | | | | | | | | | |

表 5-1. ピン属性 (ALY パッケージ) (続き)

| ボール 番号 [1] | ボール 名 [2] PADCFG レジスタ [15] PADCFG アドレス [16] | 信号 名 [3] | 多重化 モード [4] | 信号 タイプ [5] | I/O 動作 電圧 [6] | リセット 時のボール の状態 (RX/TX/PULL) [7] | リセット 後のボール の状態 (RX/TX/PULL) [8] | リセット後 の 多重化 モード [9] | プル タイプ [10] | 電源 [11] | ヒステリ シス [12] | 電圧 バッファの タイプ [13] | IO RET [14] |
|--|--|-------------|-------------------|---------------|---------------------|---|---|---------------------------------|-------------------|---------|--------------------|-------------------------|----------------|
| U25, U27, U3, U30, U32, U34, U36, U38, U6, U9, V10, V12, V2, V20, V22, V24, V26, V28, V31, V33, V35, V37, V5, V8, W1 | | | | | | | | | | | | | |
| W11, W13, W19, W25, W27, W29, W34, W36, W38, W4, W7, W9, Y10, Y12, Y14, Y20, Y22, Y24, Y3, Y30, Y32, Y33, Y35, Y37, Y6, Y8 | VSS (続き) | VSS | | GND | | | | | | | | | |

(1) MUXMODE フィールドは、このピンの多重化信号機能の選択には使用されません。詳細については、デバイスのテクニカル リファレンス マニュアルで「デバイス構成」の章にある「ADC 統合の詳細」セクションを参照してください。

5.3 信号の説明

1. 信号名:ピンを通過する信号の名前。

注

各「信号の説明」表に記載されている信号名と説明は、ピンに実装され、PADCONFIG レジスタで選択されるピン多重化信号機能を表しています。デバイス サブシステムで信号機能の 2 次多重化が可能な場合がありますが、それらについてはこの表には記載されていません。2 次多重化信号機能の詳細については、デバイスのテクニカルリファレンス マニュアルで該当するペリフェラルの章を参照してください。

2. ピンの種類:信号の方向と種類:

- I = 入力
- O = 出力
- OD = 出力、オープンドレイン出力機能付き
- IO = 入力、出力、または同時に入力と出力
- IOD = 入力、出力、または同時に入力と出力、オープンドレイン出力機能付き
- IOZ = 入力、出力、または同時に入力と出力、3 ステート出力機能付き
- OZ = 出力、3 ステート出力機能付き
- A = アナログ
- PWR = 電源
- GND = グランド
- CAP = LDO コンデンサ

3. 説明:信号の説明

4. ボール:信号に関連付けられているボール番号

IO セル構成の詳細については、デバイスのテクニカルリファレンス マニュアルで「デバイス構成」の章にある「パッド構成レジスタ」セクションを参照してください。

5.3.1 ADC

5.3.1.1 MCU ドメイン

表 5-2. MCU_ADC 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|----------------------|-----------|-----------|-------------|
| MCU_ADC_EXT_TRIGGER0 | I | ADC トリガ入力 | E38、H35、L33 |
| MCU_ADC_EXT_TRIGGER1 | I | ADC トリガ入力 | E37、K36、M38 |

表 5-3. MCU_ADC0 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|---------------|-----------|--------------|------------|
| MCU_ADC0_REFN | A | ADC 基準電圧 (負) | U35 |
| MCU_ADC0_REFP | A | ADC 基準電圧 (正) | R35 |
| MCU_ADC0_AIN0 | A | ADC 入力 0 | P36 |
| MCU_ADC0_AIN1 | A | ADC 入力 1 | V36 |
| MCU_ADC0_AIN2 | A | ADC 入力 2 | T34 |
| MCU_ADC0_AIN3 | A | ADC 入力 3 | T36 |
| MCU_ADC0_AIN4 | A | ADC 入力 4 | P34 |
| MCU_ADC0_AIN5 | A | ADC 入力 5 | R37 |
| MCU_ADC0_AIN6 | A | ADC 入力 6 | R33 |

表 5-3. MCU_ADC0 信号の説明 (続き)

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|---------------|-----------|----------|------------|
| MCU_ADC0_AIN7 | A | ADC 入力 7 | V38 |

表 5-4. MCU_ADC1 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|---------------|-----------|--------------|------------|
| MCU_ADC1_REFN | A | ADC 基準電圧 (負) | W35 |
| MCU_ADC1_REFP | A | ADC 基準電圧 (正) | AA35 |
| MCU_ADC1_AIN0 | A | ADC 入力 0 | Y38 |
| MCU_ADC1_AIN1 | A | ADC 入力 1 | Y34 |
| MCU_ADC1_AIN2 | A | ADC 入力 2 | V34 |
| MCU_ADC1_AIN3 | A | ADC 入力 3 | W37 |
| MCU_ADC1_AIN4 | A | ADC 入力 4 | AA37 |
| MCU_ADC1_AIN5 | A | ADC 入力 5 | W33 |
| MCU_ADC1_AIN6 | A | ADC 入力 6 | U33 |
| MCU_ADC1_AIN7 | A | ADC 入力 7 | Y36 |

5.3.2 DDRSS

5.3.2.1 メイン ドメイン

表 5-5. DDRSS0 信号の説明

| 信号名 [1] ⁽²⁾ | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|--------------------------|-----------|------------------|------------|
| DDR0_CKN | IO | DDRSS 差動クロック (負) | AB2 |
| DDR0_CKP | IO | DDRSS 差動クロック (正) | AC1 |
| DDR0_RESETn | IO | DDRSS のリセット | AD5 |
| DDR0_RET | I | DDR 保持イネーブル | AC8 |
| DDR0_CA0 | IO | DDRSS コマンド アドレス | AD2 |
| DDR0_CA1 | IO | DDRSS コマンド アドレス | AC5 |
| DDR0_CA2 | IO | DDRSS コマンド アドレス | AB4 |
| DDR0_CA3 | IO | DDRSS コマンド アドレス | AC4 |
| DDR0_CA4 | IO | DDRSS コマンド アドレス | AB3 |
| DDR0_CA5 | IO | DDRSS コマンド アドレス | AC3 |
| DDR0_CAL0 ⁽¹⁾ | A | IO パッド較正抵抗 | AE8 |
| DDR0_CKE0 | IO | DDRSS クロック イネーブル | AB6 |
| DDR0_CKE1 | IO | DDRSS クロック イネーブル | AD3 |
| DDR0_CSn0_0 | IO | DDRSS チップ セレクト | AD7 |
| DDR0_CSn0_1 | IO | DDRSS チップ セレクト | AC7 |
| DDR0_CSn1_0 | IO | DDRSS チップ セレクト | AB7 |
| DDR0_CSn1_1 | IO | DDRSS チップ セレクト | AD6 |
| DDR0_DM0 | IO | DDRSS データ マスク | V3 |
| DDR0_DM1 | IO | DDRSS データ マスク | AA4 |
| DDR0_DM2 | IO | DDRSS データ マスク | AG2 |
| DDR0_DM3 | IO | DDRSS データ マスク | AJ5 |
| DDR0_DQ0 | IO | DDRSS データ | U2 |
| DDR0_DQ1 | IO | DDRSS データ | U4 |

表 5-5. DDRSS0 信号の説明 (続き)

| 信号名 [1] ⁽²⁾ | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|------------------------|-----------|-------------------|------------|
| DDR0_DQ2 | IO | DDRSS データ | W6 |
| DDR0_DQ3 | IO | DDRSS データ | W5 |
| DDR0_DQ4 | IO | DDRSS データ | V4 |
| DDR0_DQ5 | IO | DDRSS データ | V7 |
| DDR0_DQ6 | IO | DDRSS データ | U5 |
| DDR0_DQ7 | IO | DDRSS データ | V6 |
| DDR0_DQ8 | IO | DDRSS データ | Y2 |
| DDR0_DQ9 | IO | DDRSS データ | W3 |
| DDR0_DQ10 | IO | DDRSS データ | AA3 |
| DDR0_DQ11 | IO | DDRSS データ | W2 |
| DDR0_DQ12 | IO | DDRSS データ | AA6 |
| DDR0_DQ13 | IO | DDRSS データ | Y4 |
| DDR0_DQ14 | IO | DDRSS データ | Y5 |
| DDR0_DQ15 | IO | DDRSS データ | AA7 |
| DDR0_DQ16 | IO | DDRSS データ | AF2 |
| DDR0_DQ17 | IO | DDRSS データ | AE7 |
| DDR0_DQ18 | IO | DDRSS データ | AG3 |
| DDR0_DQ19 | IO | DDRSS データ | AF5 |
| DDR0_DQ20 | IO | DDRSS データ | AE6 |
| DDR0_DQ21 | IO | DDRSS データ | AF4 |
| DDR0_DQ22 | IO | DDRSS データ | AE3 |
| DDR0_DQ23 | IO | DDRSS データ | AE4 |
| DDR0_DQ24 | IO | DDRSS データ | AG5 |
| DDR0_DQ25 | IO | DDRSS データ | AH3 |
| DDR0_DQ26 | IO | DDRSS データ | AJ2 |
| DDR0_DQ27 | IO | DDRSS データ | AH4 |
| DDR0_DQ28 | IO | DDRSS データ | AJ4 |
| DDR0_DQ29 | IO | DDRSS データ | AH6 |
| DDR0_DQ30 | IO | DDRSS データ | AH7 |
| DDR0_DQ31 | IO | DDRSS データ | AG6 |
| DDR0_QS0N | IO | DDRSS 相補データ ストローブ | V1 |
| DDR0_QS0P | IO | DDRSS データ ストローブ | U1 |
| DDR0_QS1N | IO | DDRSS 相補データ ストローブ | Y1 |
| DDR0_QS1P | IO | DDRSS データ ストローブ | AA1 |
| DDR0_QS2N | IO | DDRSS 相補データ ストローブ | AE1 |
| DDR0_QS2P | IO | DDRSS データ ストローブ | AF1 |
| DDR0_QS3N | IO | DDRSS 相補データ ストローブ | AH1 |
| DDR0_QS3P | IO | DDRSS データ ストローブ | AJ1 |

- (1) このピンと VSS との間に $240\Omega \pm 1\%$ の外付け抵抗を接続する必要があります。このピンに外部電圧を印加しないでください。
- (2) DDRSS0、DDRSS1、DDRSS2、DDRSS3 は常に昇順で使用する必要があります。たとえば、単一の LPDDR 部品を使用する場合は、DDR0_* インターフェイスに接続する必要があります。2 つの LPDDR 部品を使用する場合は、DDR0_* および DDR1_* インターフェイスなどに接続する必要があります。

表 5-6. DDRSS1 信号の説明

| 信号名 [1] ⁽²⁾ | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|--------------------------|-----------|------------------|------------|
| DDR1_CKN | IO | DDRSS 差動クロック (負) | A11 |
| DDR1_CKP | IO | DDRSS 差動クロック (正) | B10 |
| DDR1_RESETh | IO | DDRSS のリセット | G10 |
| DDR1_RET | I | DDR 保持イネーブル | G8 |
| DDR1_CA0 | IO | DDRSS コマンド アドレス | F12 |
| DDR1_CA1 | IO | DDRSS コマンド アドレス | C12 |
| DDR1_CA2 | IO | DDRSS コマンド アドレス | B12 |
| DDR1_CA3 | IO | DDRSS コマンド アドレス | C11 |
| DDR1_CA4 | IO | DDRSS コマンド アドレス | D12 |
| DDR1_CA5 | IO | DDRSS コマンド アドレス | E10 |
| DDR1_CAL0 ⁽¹⁾ | A | IO パッド較正抵抗 | G14 |
| DDR1_CKE0 | IO | DDRSS クロック イネーブル | D11 |
| DDR1_CKE1 | IO | DDRSS クロック イネーブル | C10 |
| DDR1_CSn0_0 | IO | DDRSS チップ セレクト | E11 |
| DDR1_CSn0_1 | IO | DDRSS チップ セレクト | G11 |
| DDR1_CSn1_0 | IO | DDRSS チップ セレクト | F10 |
| DDR1_CSn1_1 | IO | DDRSS チップ セレクト | G12 |
| DDR1_DM0 | IO | DDRSS データ マスク | E17 |
| DDR1_DM1 | IO | DDRSS データ マスク | C15 |
| DDR1_DM2 | IO | DDRSS データ マスク | D8 |
| DDR1_DM3 | IO | DDRSS データ マスク | C1 |
| DDR1_DQ0 | IO | DDRSS データ | F16 |
| DDR1_DQ1 | IO | DDRSS データ | G16 |
| DDR1_DQ2 | IO | DDRSS データ | F15 |
| DDR1_DQ3 | IO | DDRSS データ | E15 |
| DDR1_DQ4 | IO | DDRSS データ | D16 |
| DDR1_DQ5 | IO | DDRSS データ | C16 |
| DDR1_DQ6 | IO | DDRSS データ | B17 |
| DDR1_DQ7 | IO | DDRSS データ | D17 |
| DDR1_DQ8 | IO | DDRSS データ | B15 |
| DDR1_DQ9 | IO | DDRSS データ | B14 |
| DDR1_DQ10 | IO | DDRSS データ | C13 |
| DDR1_DQ11 | IO | DDRSS データ | D13 |
| DDR1_DQ12 | IO | DDRSS データ | F13 |
| DDR1_DQ13 | IO | DDRSS データ | G13 |
| DDR1_DQ14 | IO | DDRSS データ | E14 |
| DDR1_DQ15 | IO | DDRSS データ | D14 |
| DDR1_DQ16 | IO | DDRSS データ | E8 |
| DDR1_DQ17 | IO | DDRSS データ | G9 |
| DDR1_DQ18 | IO | DDRSS データ | F9 |
| DDR1_DQ19 | IO | DDRSS データ | D9 |
| DDR1_DQ20 | IO | DDRSS データ | C9 |

表 5-6. DDRSS1 信号の説明 (続き)

| 信号名 [1] (2) | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|-------------|-----------|-------------------|------------|
| DDR1_DQ21 | IO | DDRSS データ | B8 |
| DDR1_DQ22 | IO | DDRSS データ | B7 |
| DDR1_DQ23 | IO | DDRSS データ | C7 |
| DDR1_DQ24 | IO | DDRSS データ | B2 |
| DDR1_DQ25 | IO | DDRSS データ | B3 |
| DDR1_DQ26 | IO | DDRSS データ | B4 |
| DDR1_DQ27 | IO | DDRSS データ | B5 |
| DDR1_DQ28 | IO | DDRSS データ | A6 |
| DDR1_DQ29 | IO | DDRSS データ | C5 |
| DDR1_DQ30 | IO | DDRSS データ | C6 |
| DDR1_DQ31 | IO | DDRSS データ | C3 |
| DDR1_DQS0N | IO | DDRSS 相補データ ストロープ | A17 |
| DDR1_DQS0P | IO | DDRSS データ ストロープ | A16 |
| DDR1_DQS1N | IO | DDRSS 相補データ ストロープ | A14 |
| DDR1_DQS1P | IO | DDRSS データ ストロープ | A13 |
| DDR1_DQS2N | IO | DDRSS 相補データ ストロープ | A9 |
| DDR1_DQS2P | IO | DDRSS データ ストロープ | A8 |
| DDR1_DQS3N | IO | DDRSS 相補データ ストロープ | A4 |
| DDR1_DQS3P | IO | DDRSS データ ストロープ | A3 |

- (1) このピンと VSS との間に $240\Omega \pm 1\%$ の外付け抵抗を接続する必要があります。このピンに外部電圧を印加しないでください。
- (2) DDRSS0、DDRSS1、DDRSS2、DDRSS3 は常に昇順で使用する必要があります。たとえば、単一の LPDDR 部品を使用する場合は、DDR0_* インターフェイスに接続する必要があります。2 つの LPDDR 部品を使用する場合は、DDR0_* および DDR1_* インターフェイスなどに接続する必要があります。

表 5-7. DDRSS2 信号の説明

| 信号名 [1] (2) (3) | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|-----------------|-----------|------------------|------------|
| DDR2_CKN | IO | DDRSS 差動クロック (負) | K1 |
| DDR2_CKP | IO | DDRSS 差動クロック (正) | L2 |
| DDR2_RESETn | IO | DDRSS のリセット | J5 |
| DDR2_RET | I | DDR 保持イネーブル | L8 |
| DDR2_CA0 | IO | DDR コマンド アドレス | K3 |
| DDR2_CA1 | IO | DDR コマンド アドレス | L3 |
| DDR2_CA2 | IO | DDR コマンド アドレス | K5 |
| DDR2_CA3 | IO | DDR コマンド アドレス | L4 |
| DDR2_CA4 | IO | DDR コマンド アドレス | K4 |
| DDR2_CA5 | IO | DDR コマンド アドレス | L7 |
| DDR2_CAL0 (1) | A | DDRSS IO パッド較正抵抗 | U7 |
| DDR2_CKE0 | IO | DDR クロック イネーブル | L6 |
| DDR2_CKE1 | IO | DDR クロック イネーブル | J2 |
| DDR2_CSn0_0 | IO | DDRSS チップ セレクト | J3 |
| DDR2_CSn0_1 | IO | DDRSS チップ セレクト | J6 |
| DDR2_CSn1_0 | IO | DDRSS チップ セレクト | J7 |
| DDR2_CSn1_1 | IO | DDRSS チップ セレクト | K7 |

表 5-7. DDRSS2 信号の説明 (続き)

| 信号名 [1] ⁽²⁾ ⁽³⁾ | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|---------------------------------------|-----------|-------------------|------------|
| DDR2_DM0 | IO | DDRSS データ マスク | T2 |
| DDR2_DM1 | IO | DDRSS データ マスク | M6 |
| DDR2_DM2 | IO | DDRSS データ マスク | G4 |
| DDR2_DM3 | IO | DDRSS データ マスク | D5 |
| DDR2_DQ0 | IO | DDRSS データ | T4 |
| DDR2_DQ1 | IO | DDRSS データ | R6 |
| DDR2_DQ2 | IO | DDRSS データ | R3 |
| DDR2_DQ3 | IO | DDRSS データ | R4 |
| DDR2_DQ4 | IO | DDRSS データ | P6 |
| DDR2_DQ5 | IO | DDRSS データ | P5 |
| DDR2_DQ6 | IO | DDRSS データ | T5 |
| DDR2_DQ7 | IO | DDRSS データ | R7 |
| DDR2_DQ8 | IO | DDRSS データ | N2 |
| DDR2_DQ9 | IO | DDRSS データ | N4 |
| DDR2_DQ10 | IO | DDRSS データ | P2 |
| DDR2_DQ11 | IO | DDRSS データ | P3 |
| DDR2_DQ12 | IO | DDRSS データ | M7 |
| DDR2_DQ13 | IO | DDRSS データ | N5 |
| DDR2_DQ14 | IO | DDRSS データ | M4 |
| DDR2_DQ15 | IO | DDRSS データ | M3 |
| DDR2_DQ16 | IO | DDRSS データ | F3 |
| DDR2_DQ17 | IO | DDRSS データ | G7 |
| DDR2_DQ18 | IO | DDRSS データ | H6 |
| DDR2_DQ19 | IO | DDRSS データ | H4 |
| DDR2_DQ20 | IO | DDRSS データ | G2 |
| DDR2_DQ21 | IO | DDRSS データ | H3 |
| DDR2_DQ22 | IO | DDRSS データ | G5 |
| DDR2_DQ23 | IO | DDRSS データ | F2 |
| DDR2_DQ24 | IO | DDRSS データ | E4 |
| DDR2_DQ25 | IO | DDRSS データ | D2 |
| DDR2_DQ26 | IO | DDRSS データ | F6 |
| DDR2_DQ27 | IO | DDRSS データ | F5 |
| DDR2_DQ28 | IO | DDRSS データ | E3 |
| DDR2_DQ29 | IO | DDRSS データ | E7 |
| DDR2_DQ30 | IO | DDRSS データ | E6 |
| DDR2_DQ31 | IO | DDRSS データ | D4 |
| DDR2_DQS0N | IO | DDRSS 相補データ ストロープ | R1 |
| DDR2_DQS0P | IO | DDRSS データ ストロープ | T1 |
| DDR2_DQS1N | IO | DDRSS 相補データ ストロープ | M1 |
| DDR2_DQS1P | IO | DDRSS データ ストロープ | N1 |
| DDR2_DQS2N | IO | DDRSS 相補データ ストロープ | G1 |
| DDR2_DQS2P | IO | DDRSS データ ストロープ | H1 |

表 5-7. DDRSS2 信号の説明 (続き)

| 信号名 [1] ⁽²⁾ ⁽³⁾ | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|---------------------------------------|-----------|-------------------|------------|
| DDR2_DQS3N | IO | DDRSS 相補データ ストローブ | D1 |
| DDR2_DQS3P | IO | DDRSS データ ストローブ | E1 |

- (1) このピンと VSS との間に $240\Omega \pm 1\%$ の外付け抵抗を接続する必要があります。このピンに外部電圧を印加しないでください。
- (2) DDRSS0、DDRSS1、DDRSS2、DDRSS3 は常に昇順で使用する必要があります。たとえば、単一の LPDDR 部品を使用する場合は、DDR0_* インターフェイスに接続する必要があります。2 つの LPDDR 部品を使用する場合は、DDR0_* および DDR1_* インターフェイスなどに接続する必要があります。
- (3) DDRSS2、DDRSS3 および SERDES2 は、この SoC の 27mm パッケージバリエーションでは利用できません。27mm パッケージを使用するシステムとのソフトウェア互換性が必要な場合は、DDRSS2/DDRSS3/SERDES2 を使用しないでください。

表 5-8. DDRSS3 信号の説明

| 信号名 [1] ⁽²⁾ ⁽³⁾ | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|---------------------------------------|-----------|------------------|------------|
| DDR3_CKN | IO | DDRSS 差動クロック (負) | B25 |
| DDR3_CKP | IO | DDRSS 差動クロック (正) | A24 |
| DDR3_RESETh | IO | DDRSS のリセット | C23 |
| DDR3_RET | I | DDR 保持イネーブル | G27 |
| DDR3_CA0 | IO | DDRSS コマンド アドレス | D25 |
| DDR3_CA1 | IO | DDRSS コマンド アドレス | B23 |
| DDR3_CA2 | IO | DDRSS コマンド アドレス | D24 |
| DDR3_CA3 | IO | DDRSS コマンド アドレス | C24 |
| DDR3_CA4 | IO | DDRSS コマンド アドレス | E23 |
| DDR3_CA5 | IO | DDRSS コマンド アドレス | F23 |
| DDR3_CAL0 ⁽¹⁾ | A | DDRSS IO パッド較正抵抗 | F18 |
| DDR3_CKE0 | IO | DDRSS クロック イネーブル | C25 |
| DDR3_CKE1 | IO | DDRSS クロック イネーブル | G24 |
| DDR3_CSn0_0 | IO | DDRSS チップ セレクト | G23 |
| DDR3_CSn0_1 | IO | DDRSS チップ セレクト | G25 |
| DDR3_CSn1_0 | IO | DDRSS チップ セレクト | F25 |
| DDR3_CSn1_1 | IO | DDRSS チップ セレクト | E24 |
| DDR3_DM0 | IO | DDRSS データ マスク | E18 |
| DDR3_DM1 | IO | DDRSS データ マスク | D21 |
| DDR3_DM2 | IO | DDRSS データ マスク | C28 |
| DDR3_DM3 | IO | DDRSS データ マスク | E30 |
| DDR3_DQ0 | IO | DDRSS データ | D18 |
| DDR3_DQ1 | IO | DDRSS データ | B18 |
| DDR3_DQ2 | IO | DDRSS データ | C19 |
| DDR3_DQ3 | IO | DDRSS データ | D19 |
| DDR3_DQ4 | IO | DDRSS データ | F20 |
| DDR3_DQ5 | IO | DDRSS データ | E20 |
| DDR3_DQ6 | IO | DDRSS データ | G19 |
| DDR3_DQ7 | IO | DDRSS データ | F19 |
| DDR3_DQ8 | IO | DDRSS データ | E21 |
| DDR3_DQ9 | IO | DDRSS データ | G21 |
| DDR3_DQ10 | IO | DDRSS データ | F22 |
| DDR3_DQ11 | IO | DDRSS データ | D22 |

表 5-8. DDRSS3 信号の説明 (続き)

| 信号名 [1] (2) (3) | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|-----------------|-----------|-------------------|------------|
| DDR3_DQ12 | IO | DDRSS データ | C22 |
| DDR3_DQ13 | IO | DDRSS データ | B21 |
| DDR3_DQ14 | IO | DDRSS データ | B20 |
| DDR3_DQ15 | IO | DDRSS データ | C20 |
| DDR3_DQ16 | IO | DDRSS データ | B28 |
| DDR3_DQ17 | IO | DDRSS データ | B27 |
| DDR3_DQ18 | IO | DDRSS データ | C26 |
| DDR3_DQ19 | IO | DDRSS データ | D26 |
| DDR3_DQ20 | IO | DDRSS データ | F26 |
| DDR3_DQ21 | IO | DDRSS データ | G26 |
| DDR3_DQ22 | IO | DDRSS データ | E27 |
| DDR3_DQ23 | IO | DDRSS データ | D27 |
| DDR3_DQ24 | IO | DDRSS データ | F29 |
| DDR3_DQ25 | IO | DDRSS データ | G29 |
| DDR3_DQ26 | IO | DDRSS データ | F28 |
| DDR3_DQ27 | IO | DDRSS データ | E28 |
| DDR3_DQ28 | IO | DDRSS データ | D29 |
| DDR3_DQ29 | IO | DDRSS データ | C29 |
| DDR3_DQ30 | IO | DDRSS データ | B30 |
| DDR3_DQ31 | IO | DDRSS データ | D30 |
| DDR3_DQS0N | IO | DDRSS 相補データ ストロープ | A19 |
| DDR3_DQS0P | IO | DDRSS データ ストロープ | A18 |
| DDR3_DQS1N | IO | DDRSS 相補データ ストロープ | A22 |
| DDR3_DQS1P | IO | DDRSS データ ストロープ | A21 |
| DDR3_DQS2N | IO | DDRSS 相補データ ストロープ | A27 |
| DDR3_DQS2P | IO | DDRSS データ ストロープ | A26 |
| DDR3_DQS3N | IO | DDRSS 相補データ ストロープ | A30 |
| DDR3_DQS3P | IO | DDRSS データ ストロープ | A29 |

- (1) このピンと VSS との間に $240\Omega \pm 1\%$ の外付け抵抗を接続する必要があります。このピンに外部電圧を印加しないでください。
- (2) DDRSS0、DDRSS1、DDRSS2、DDRSS3 は常に昇順で使用する必要があります。たとえば、単一の LPDDR 部品を使用する場合は、DDR0_* インターフェイスに接続する必要があります。2 つの LPDDR 部品を使用する場合は、DDR0_* および DDR1_* インターフェイスなどに接続する必要があります。
- (3) DDRSS2、DDRSS3 および SERDES2 は、この SoC の 27mm パッケージバリエーションでは利用できません。27mm パッケージを使用するシステムとのソフトウェア互換性が必要な場合は、DDRSS2/DDRSS3/SERDES2 を使用しないでください。

5.3.3 GPIO

5.3.3.1 メインドメイン

表 5-9. GPIO0 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|---------|-----------|--------|------------|
| GPIO0_0 | IO | 汎用入出力 | AN35 |
| GPIO0_1 | IO | 汎用入出力 | AG36 |
| GPIO0_2 | IO | 汎用入出力 | AJ33 |
| GPIO0_3 | IO | 汎用入出力 | AF33 |
| GPIO0_4 | IO | 汎用入出力 | AH33 |

表 5-9. GPIO0 信号の説明 (続き)

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|----------|-----------|--------|------------|
| GPIO0_5 | IO | 汎用入出力 | AG33 |
| GPIO0_6 | IO | 汎用入出力 | AK36 |
| GPIO0_7 | IO | 汎用入出力 | AG34 |
| GPIO0_8 | IO | 汎用入出力 | AJ35 |
| GPIO0_9 | IO | 汎用入出力 | AH34 |
| GPIO0_10 | IO | 汎用入出力 | AE33 |
| GPIO0_11 | IO | 汎用入出力 | AL32 |
| GPIO0_12 | IO | 汎用入出力 | AK37 |
| GPIO0_13 | IO | 汎用入出力 | AJ34 |
| GPIO0_14 | IO | 汎用入出力 | AK35 |
| GPIO0_15 | IO | 汎用入出力 | AK38 |
| GPIO0_16 | IO | 汎用入出力 | AF37 |
| GPIO0_17 | IO | 汎用入出力 | AG37 |
| GPIO0_18 | IO | 汎用入出力 | AK33 |
| GPIO0_19 | IO | 汎用入出力 | AC32 |
| GPIO0_20 | IO | 汎用入出力 | AC37 |
| GPIO0_21 | IO | 汎用入出力 | AD37 |
| GPIO0_22 | IO | 汎用入出力 | AE37 |
| GPIO0_23 | IO | 汎用入出力 | AC36 |
| GPIO0_24 | IO | 汎用入出力 | AE36 |
| GPIO0_25 | IO | 汎用入出力 | AF38 |
| GPIO0_26 | IO | 汎用入出力 | AE38 |
| GPIO0_27 | IO | 汎用入出力 | AJ37 |
| GPIO0_28 | IO | 汎用入出力 | AH38 |
| GPIO0_29 | IO | 汎用入出力 | AC33 |
| GPIO0_30 | IO | 汎用入出力 | AH37 |
| GPIO0_31 | IO | 汎用入出力 | AJ38 |
| GPIO0_32 | IO | 汎用入出力 | AK34 |
| GPIO0_33 | IO | 汎用入出力 | AG38 |
| GPIO0_34 | IO | 汎用入出力 | AF36 |
| GPIO0_35 | IO | 汎用入出力 | AE35 |
| GPIO0_36 | IO | 汎用入出力 | AC35 |
| GPIO0_37 | IO | 汎用入出力 | AG35 |
| GPIO0_38 | IO | 汎用入出力 | AH36 |
| GPIO0_39 | IO | 汎用入出力 | AF35 |
| GPIO0_40 | IO | 汎用入出力 | AD34 |
| GPIO0_41 | IO | 汎用入出力 | AJ36 |
| GPIO0_42 | IO | 汎用入出力 | AF34 |
| GPIO0_43 | IO | 汎用入出力 | AE34 |
| GPIO0_44 | IO | 汎用入出力 | AL33 |
| GPIO0_45 | IO | 汎用入出力 | AL34 |
| GPIO0_46 | IO | 汎用入出力 | AC34 |
| GPIO0_47 | IO | 汎用入出力 | AD33 |
| GPIO0_48 | IO | 汎用入出力 | AD38 |
| GPIO0_49 | IO | 汎用入出力 | AD36 |

表 5-9. GPIO0 信号の説明 (続き)

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|----------|-----------|--------|------------|
| GPIO0_50 | IO | 汎用入出力 | AJ32 |
| GPIO0_51 | IO | 汎用入出力 | AM37 |
| GPIO0_52 | IO | 汎用入出力 | AP38 |
| GPIO0_53 | IO | 汎用入出力 | AN38 |
| GPIO0_54 | IO | 汎用入出力 | AM35 |
| GPIO0_55 | IO | 汎用入出力 | AM36 |
| GPIO0_56 | IO | 汎用入出力 | AN36 |
| GPIO0_57 | IO | 汎用入出力 | AP37 |
| GPIO0_58 | IO | 汎用入出力 | AR38 |
| GPIO0_59 | IO | 汎用入出力 | AN37 |
| GPIO0_60 | IO | 汎用入出力 | AC38 |
| GPIO0_61 | IO | 汎用入出力 | AA32 |
| GPIO0_62 | IO | 汎用入出力 | AB34 |
| GPIO0_63 | IO | 汎用入出力 | AA33 |
| GPIO0_64 | IO | 汎用入出力 | AB38 |
| GPIO0_65 | IO | 汎用入出力 | AB36 |

5.3.3.2 WKUP ドメイン

表 5-10. WKUP_GPIO0 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|---------------|-----------|--------|------------|
| WKUP_GPIO0_0 | IO | 汎用入出力 | H38 |
| WKUP_GPIO0_1 | IO | 汎用入出力 | J34 |
| WKUP_GPIO0_2 | IO | 汎用入出力 | J35 |
| WKUP_GPIO0_3 | IO | 汎用入出力 | J36 |
| WKUP_GPIO0_4 | IO | 汎用入出力 | H35 |
| WKUP_GPIO0_5 | IO | 汎用入出力 | K36 |
| WKUP_GPIO0_6 | IO | 汎用入出力 | L37 |
| WKUP_GPIO0_7 | IO | 汎用入出力 | L36 |
| WKUP_GPIO0_8 | IO | 汎用入出力 | L35 |
| WKUP_GPIO0_9 | IO | 汎用入出力 | L34 |
| WKUP_GPIO0_10 | IO | 汎用入出力 | L33 |
| WKUP_GPIO0_11 | IO | 汎用入出力 | M38 |
| WKUP_GPIO0_12 | IO | 汎用入出力 | J37 |
| WKUP_GPIO0_13 | IO | 汎用入出力 | K38 |
| WKUP_GPIO0_14 | IO | 汎用入出力 | H37 |
| WKUP_GPIO0_15 | IO | 汎用入出力 | K37 |
| WKUP_GPIO0_16 | IO | 汎用入出力 | E32 |
| WKUP_GPIO0_17 | IO | 汎用入出力 | D32 |
| WKUP_GPIO0_18 | IO | 汎用入出力 | C34 |
| WKUP_GPIO0_19 | IO | 汎用入出力 | B33 |
| WKUP_GPIO0_20 | IO | 汎用入出力 | B32 |
| WKUP_GPIO0_21 | IO | 汎用入出力 | C33 |
| WKUP_GPIO0_22 | IO | 汎用入出力 | C35 |
| WKUP_GPIO0_23 | IO | 汎用入出力 | D33 |

表 5-10. WKUP_GPIO0 信号の説明 (続き)

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|---------------|-----------|--------|------------|
| WKUP_GPIO0_24 | IO | 汎用入出力 | D34 |
| WKUP_GPIO0_25 | IO | 汎用入出力 | E34 |
| WKUP_GPIO0_26 | IO | 汎用入出力 | E33 |
| WKUP_GPIO0_27 | IO | 汎用入出力 | A32 |
| WKUP_GPIO0_28 | IO | 汎用入出力 | A33 |
| WKUP_GPIO0_29 | IO | 汎用入出力 | B34 |
| WKUP_GPIO0_30 | IO | 汎用入出力 | C32 |
| WKUP_GPIO0_31 | IO | 汎用入出力 | F32 |
| WKUP_GPIO0_32 | IO | 汎用入出力 | C31 |
| WKUP_GPIO0_33 | IO | 汎用入出力 | F31 |
| WKUP_GPIO0_34 | IO | 汎用入出力 | E35 |
| WKUP_GPIO0_35 | IO | 汎用入出力 | D31 |
| WKUP_GPIO0_36 | IO | 汎用入出力 | G31 |
| WKUP_GPIO0_37 | IO | 汎用入出力 | F33 |
| WKUP_GPIO0_38 | IO | 汎用入出力 | G32 |
| WKUP_GPIO0_39 | IO | 汎用入出力 | G33 |
| WKUP_GPIO0_40 | IO | 汎用入出力 | C38 |
| WKUP_GPIO0_41 | IO | 汎用入出力 | C37 |
| WKUP_GPIO0_42 | IO | 汎用入出力 | E38 |
| WKUP_GPIO0_43 | IO | 汎用入出力 | E37 |
| WKUP_GPIO0_44 | IO | 汎用入出力 | D38 |
| WKUP_GPIO0_45 | IO | 汎用入出力 | D37 |
| WKUP_GPIO0_46 | IO | 汎用入出力 | E36 |
| WKUP_GPIO0_47 | IO | 汎用入出力 | B37 |
| WKUP_GPIO0_48 | IO | 汎用入出力 | D36 |
| WKUP_GPIO0_49 | IO | 汎用入出力 | M33 |
| WKUP_GPIO0_50 | IO | 汎用入出力 | B36 |
| WKUP_GPIO0_51 | IO | 汎用入出力 | A35 |
| WKUP_GPIO0_52 | IO | 汎用入出力 | B35 |
| WKUP_GPIO0_53 | IO | 汎用入出力 | A36 |
| WKUP_GPIO0_54 | IO | 汎用入出力 | G38 |
| WKUP_GPIO0_55 | IO | 汎用入出力 | H36 |
| WKUP_GPIO0_56 | IO | 汎用入出力 | M37 |
| WKUP_GPIO0_57 | IO | 汎用入出力 | M36 |
| WKUP_GPIO0_58 | IO | 汎用入出力 | K35 |
| WKUP_GPIO0_59 | IO | 汎用入出力 | K34 |
| WKUP_GPIO0_60 | IO | 汎用入出力 | K33 |
| WKUP_GPIO0_61 | IO | 汎用入出力 | F38 |
| WKUP_GPIO0_62 | IO | 汎用入出力 | C36 |
| WKUP_GPIO0_63 | IO | 汎用入出力 | N33 |
| WKUP_GPIO0_64 | IO | 汎用入出力 | N35 |
| WKUP_GPIO0_65 | IO | 汎用入出力 | M35 |
| WKUP_GPIO0_66 | IO | 汎用入出力 | N34 |
| WKUP_GPIO0_67 | IO | 汎用入出力 | M34 |
| WKUP_GPIO0_68 | IO | 汎用入出力 | F36 |

表 5-10. WKUP_GPIO0 信号の説明 (続き)

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|---------------|-----------|--------|------------|
| WKUP_GPIO0_69 | IO | 汎用入出力 | J38 |
| WKUP_GPIO0_70 | IO | 汎用入出力 | F37 |
| WKUP_GPIO0_71 | I | 汎用入出力 | P36 |
| WKUP_GPIO0_72 | I | 汎用入出力 | V36 |
| WKUP_GPIO0_73 | I | 汎用入出力 | T34 |
| WKUP_GPIO0_74 | I | 汎用入出力 | T36 |
| WKUP_GPIO0_75 | I | 汎用入出力 | P34 |
| WKUP_GPIO0_76 | I | 汎用入出力 | R37 |
| WKUP_GPIO0_77 | I | 汎用入出力 | R33 |
| WKUP_GPIO0_78 | I | 汎用入出力 | V38 |
| WKUP_GPIO0_79 | I | 汎用入出力 | Y38 |
| WKUP_GPIO0_80 | I | 汎用入出力 | Y34 |
| WKUP_GPIO0_81 | I | 汎用入出力 | V34 |
| WKUP_GPIO0_82 | I | 汎用入出力 | W37 |
| WKUP_GPIO0_83 | I | 汎用入出力 | AA37 |
| WKUP_GPIO0_84 | I | 汎用入出力 | W33 |
| WKUP_GPIO0_85 | I | 汎用入出力 | U33 |
| WKUP_GPIO0_86 | I | 汎用入出力 | Y36 |
| WKUP_GPIO0_87 | IO | 汎用入出力 | G34 |
| WKUP_GPIO0_88 | IO | 汎用入出力 | L38 |

5.3.4 I2C

5.3.4.1 メインドメイン

表 5-11. I2C0 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|----------|-----------|----------|------------|
| I2C0_SCL | IOD | I2C クロック | AN36 |
| I2C0_SDA | IOD | I2C データ | AP37 |

表 5-12. I2C1 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|----------|-----------|----------|------------------|
| I2C1_SCL | IOD | I2C クロック | AD36, AE34, AJ35 |
| I2C1_SDA | IOD | I2C データ | AH34, AJ32, AL33 |

表 5-13. I2C2 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|----------|-----------|----------|------------|
| I2C2_SCL | IOD | I2C クロック | AC32, AN38 |
| I2C2_SDA | IOD | I2C データ | AC37, AM35 |

表 5-14. I2C3 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|----------|-----------|----------|------------|
| I2C3_SCL | IOD | I2C クロック | AC38, AF38 |
| I2C3_SDA | IOD | I2C データ | AA32, AE36 |

表 5-15. I2C4 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|----------|-----------|----------|----------------|
| I2C4_SCL | IOD | I2C クロック | AA33、AG33、AG38 |
| I2C4_SDA | IOD | I2C データ | AB34、AH33、AK34 |

表 5-16. I2C5 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|----------|-----------|----------|------------|
| I2C5_SCL | IOD | I2C クロック | AC33、AG34 |
| I2C5_SDA | IOD | I2C データ | AH37、AK36 |

表 5-17. I2C6 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|----------|-----------|----------|------------|
| I2C6_SCL | IOD | I2C クロック | AB36、AN37 |
| I2C6_SDA | IOD | I2C データ | AB38、AR38 |

5.3.4.2 MCU ドメイン

表 5-18. MCU_I2C0 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|--------------|-----------|----------|------------|
| MCU_I2C0_SCL | IOD | I2C クロック | M35 |
| MCU_I2C0_SDA | IOD | I2C データ | G34 |

表 5-19. MCU_I2C1 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|--------------|-----------|----------|------------|
| MCU_I2C1_SCL | IOD | I2C クロック | L35、L37 |
| MCU_I2C1_SDA | IOD | I2C データ | L34、L36 |

5.3.4.3 WKUP ドメイン

表 5-20. WKUP_I2C0 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|---------------|-----------|----------|------------|
| WKUP_I2C0_SCL | IOD | I2C クロック | N33 |
| WKUP_I2C0_SDA | IOD | I2C データ | N35 |

5.3.5 I3C

5.3.5.1 MCU ドメイン

表 5-21. MCU_I3C0 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|--------------------|-----------|-----------------|------------|
| MCU_I3C0_SCL | IO | I3C クロック | L35 |
| MCU_I3C0_SDA | IO | I3C データ | L34 |
| MCU_I3C0_SDAPULLEN | OD | I3C データプル イネーブル | L38、M38 |

5.3.6 MCAN

5.3.6.1 メイン ドメイン

表 5-22. MCAN0 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|----------|-----------|------------|------------|
| MCAN0_RX | I | MCAN 受信データ | AE38 |

表 5-22. MCAN0 信号の説明 (続き)

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|----------|-----------|------------|------------|
| MCAN0_TX | O | MCAN 送信データ | AF38 |

表 5-23. MCAN1 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|----------|-----------|------------|------------|
| MCAN1_RX | I | MCAN 受信データ | AH38、AJ32 |
| MCAN1_TX | O | MCAN 送信データ | AJ37 |

表 5-24. MCAN2 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|----------|-----------|------------|------------|
| MCAN2_RX | I | MCAN 受信データ | AH37 |
| MCAN2_TX | O | MCAN 送信データ | AC33 |

表 5-25. MCAN3 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|----------|-----------|------------|------------|
| MCAN3_RX | I | MCAN 受信データ | AK34 |
| MCAN3_TX | O | MCAN 送信データ | AJ38 |

表 5-26. MCAN4 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|----------|-----------|------------|------------|
| MCAN4_RX | I | MCAN 受信データ | AF36 |
| MCAN4_TX | O | MCAN 送信データ | AG38 |

表 5-27. MCAN5 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|----------|-----------|------------|------------|
| MCAN5_RX | I | MCAN 受信データ | AC35、AK38 |
| MCAN5_TX | O | MCAN 送信データ | AE35、AK35 |

表 5-28. MCAN6 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|----------|-----------|------------|------------|
| MCAN6_RX | I | MCAN 受信データ | AG37、AH36 |
| MCAN6_TX | O | MCAN 送信データ | AF37、AG35 |

表 5-29. MCAN7 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|----------|-----------|------------|------------|
| MCAN7_RX | I | MCAN 受信データ | AC32、AD34 |
| MCAN7_TX | O | MCAN 送信データ | AF35、AK33 |

表 5-30. MCAN8 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|----------|-----------|------------|------------|
| MCAN8_RX | I | MCAN 受信データ | AD37、AF34 |
| MCAN8_TX | O | MCAN 送信データ | AC37、AJ36 |

表 5-31. MCAN9 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|----------|-----------|------------|------------|
| MCAN9_RX | I | MCAN 受信データ | AC36, AL33 |
| MCAN9_TX | O | MCAN 送信データ | AE34, AE37 |

表 5-32. MCAN10 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|-----------|-----------|------------|------------|
| MCAN10_RX | I | MCAN 受信データ | AC34 |
| MCAN10_TX | O | MCAN 送信データ | AL34 |

表 5-33. MCAN11 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|-----------|-----------|------------|------------|
| MCAN11_RX | I | MCAN 受信データ | AD38 |
| MCAN11_TX | O | MCAN 送信データ | AD33 |

表 5-34. MCAN12 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|-----------|-----------|------------|------------|
| MCAN12_RX | I | MCAN 受信データ | AJ33, AK37 |
| MCAN12_TX | O | MCAN 送信データ | AD36, AG36 |

表 5-35. MCAN13 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|-----------|-----------|------------|------------|
| MCAN13_RX | I | MCAN 受信データ | AH33, AN37 |
| MCAN13_TX | O | MCAN 送信データ | AF33, AR38 |

表 5-36. MCAN14 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|-----------|-----------|------------|------------|
| MCAN14_RX | I | MCAN 受信データ | AK36, AP38 |
| MCAN14_TX | O | MCAN 送信データ | AG33, AM37 |

表 5-37. MCAN15 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|-----------|-----------|------------|------------|
| MCAN15_RX | I | MCAN 受信データ | AB36, AJ35 |
| MCAN15_TX | O | MCAN 送信データ | AB38, AG34 |

表 5-38. MCAN16 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|-----------|-----------|------------|------------|
| MCAN16_RX | I | MCAN 受信データ | AE33 |
| MCAN16_TX | O | MCAN 送信データ | AH34 |

表 5-39. MCAN17 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|-----------|-----------|------------|------------|
| MCAN17_RX | I | MCAN 受信データ | AE36, AJ34 |
| MCAN17_TX | O | MCAN 送信データ | AL32 |

5.3.6.2 MCU ドメイン

表 5-40. MCU_MCAN0 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|--------------|-----------|------------|------------|
| MCU_MCAN0_RX | I | MCAN 受信データ | F38 |
| MCU_MCAN0_TX | O | MCAN 送信データ | K33 |

表 5-41. MCU_MCAN1 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|--------------|-----------|------------|------------|
| MCU_MCAN1_RX | I | MCAN 受信データ | K36 |
| MCU_MCAN1_TX | O | MCAN 送信データ | H35 |

5.3.7 MCSPI

5.3.7.1 メイン ドメイン

表 5-42. MCSPI0 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|----------|-----------|----------------|------------|
| SPI0_CLK | IO | SPI クロック | AN38 |
| SPI0_CS0 | IO | SPI チップ セレクト 0 | AM37 |
| SPI0_CS1 | IO | SPI チップ セレクト 1 | AP38 |
| SPI0_CS2 | IO | SPI チップ セレクト 2 | AJ35 |
| SPI0_CS3 | IO | SPI チップ セレクト 3 | AE33 |
| SPI0_D0 | IO | SPI データ 0 | AM35 |
| SPI0_D1 | IO | SPI データ 1 | AM36 |

表 5-43. MCSPI1 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|----------|-----------|----------------|------------|
| SPI1_CLK | IO | SPI クロック | AB38 |
| SPI1_CS0 | IO | SPI チップ セレクト 0 | AC38 |
| SPI1_CS1 | IO | SPI チップ セレクト 1 | AA32 |
| SPI1_CS2 | IO | SPI チップ セレクト 2 | AB34 |
| SPI1_CS3 | IO | SPI チップ セレクト 3 | AH34 |
| SPI1_D0 | IO | SPI データ 0 | AA33 |
| SPI1_D1 | IO | SPI データ 1 | AB36 |

表 5-44. MCSPI2 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|----------|-----------|----------------|------------|
| SPI2_CLK | IO | SPI クロック | AD34 |
| SPI2_CS0 | IO | SPI チップ セレクト 0 | AJ36 |
| SPI2_CS1 | IO | SPI チップ セレクト 1 | AF35 |
| SPI2_CS2 | IO | SPI チップ セレクト 2 | AF37 |
| SPI2_CS3 | IO | SPI チップ セレクト 3 | AG37 |
| SPI2_D0 | IO | SPI データ 0 | AF34 |
| SPI2_D1 | IO | SPI データ 1 | AE34 |

表 5-45. MCSPI3 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|----------|-----------|----------------|------------|
| SPI3_CLK | IO | SPI クロック | AD38 |
| SPI3_CS0 | IO | SPI チップ セレクト 0 | AD33 |
| SPI3_CS1 | IO | SPI チップ セレクト 1 | AJ38 |
| SPI3_CS2 | IO | SPI チップ セレクト 2 | AF36 |
| SPI3_CS3 | IO | SPI チップ セレクト 3 | AC34 |
| SPI3_D0 | IO | SPI データ 0 | AC32 |
| SPI3_D1 | IO | SPI データ 1 | AC37 |

表 5-46. MCSPI5 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|----------|-----------|----------------|------------|
| SPI5_CLK | IO | SPI クロック | AJ38 |
| SPI5_CS0 | IO | SPI チップ セレクト 0 | AE38 |
| SPI5_CS1 | IO | SPI チップ セレクト 1 | AF38 |
| SPI5_CS2 | IO | SPI チップ セレクト 2 | AD37 |
| SPI5_CS3 | IO | SPI チップ セレクト 3 | AE37 |
| SPI5_D0 | IO | SPI データ 0 | AH38 |
| SPI5_D1 | IO | SPI データ 1 | AF36 |

表 5-47. MCSPI6 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|----------|-----------|----------------|------------|
| SPI6_CLK | IO | SPI クロック | AK37 |
| SPI6_CS0 | IO | SPI チップ セレクト 0 | AJ34 |
| SPI6_CS1 | IO | SPI チップ セレクト 1 | AH37 |
| SPI6_CS2 | IO | SPI チップ セレクト 2 | AK34 |
| SPI6_CS3 | IO | SPI チップ セレクト 3 | AG38 |
| SPI6_D0 | IO | SPI データ 0 | AD36 |
| SPI6_D1 | IO | SPI データ 1 | AC33 |

表 5-48. MCSPI7 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|----------|-----------|----------------|------------|
| SPI7_CLK | IO | SPI クロック | AF37 |
| SPI7_CS0 | IO | SPI チップ セレクト 0 | AG37 |
| SPI7_CS1 | IO | SPI チップ セレクト 1 | AD37 |
| SPI7_CS2 | IO | SPI チップ セレクト 2 | AE37 |
| SPI7_CS3 | IO | SPI チップ セレクト 3 | AL32 |
| SPI7_D0 | IO | SPI データ 0 | AE38 |
| SPI7_D1 | IO | SPI データ 1 | AJ38 |

5.3.7.2 MCU ドメイン

表 5-49. MCU_MCSPI0 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|--------------|-----------|----------|------------|
| MCU_SPIO_CLK | IO | SPI クロック | G38 |

表 5-49. MCU_MCSPi0 信号の説明 (続き)

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|--------------|-----------|----------------|------------|
| MCU_SPI0_CS0 | IO | SPI チップ セレクト 0 | F37 |
| MCU_SPI0_CS1 | IO | SPI チップ セレクト 1 | F33、J37 |
| MCU_SPI0_CS2 | IO | SPI チップ セレクト 2 | G33、H37 |
| MCU_SPI0_CS3 | IO | SPI チップ セレクト 3 | H35 |
| MCU_SPI0_D0 | IO | SPI データ 0 | H36 |
| MCU_SPI0_D1 | IO | SPI データ 1 | J38 |

表 5-50. MCU_MCSPi1 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|--------------|-----------|----------------|------------|
| MCU_SPI1_CLK | IO | SPI クロック | H38 |
| MCU_SPI1_CS0 | IO | SPI チップ セレクト 0 | J36 |
| MCU_SPI1_CS1 | IO | SPI チップ セレクト 1 | D31、K38 |
| MCU_SPI1_CS2 | IO | SPI チップ セレクト 2 | G31、K37 |
| MCU_SPI1_CS3 | IO | SPI チップ セレクト 3 | K36 |
| MCU_SPI1_D0 | IO | SPI データ 0 | J34 |
| MCU_SPI1_D1 | IO | SPI データ 1 | J35 |

5.3.8 UART

5.3.8.1 メインドメイン

表 5-51. UART0 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|------------|-----------|--|----------------|
| UART0_CTSn | I | UART CTS (Clear to Send) (アクティブ Low) | AC32、AC38 |
| UART0_DCDn | I | UART DCD (Data Carrier Detect) (アクティブ Low) | AJ33 |
| UART0_DSRn | I | UART DSR (Data Set Ready) (アクティブ Low) | AF33 |
| UART0_DTRn | O | UART DTR (Data Terminal Ready) (アクティブ Low) | AH33 |
| UART0_RIn | I | UART リング インジケータ | AG33 |
| UART0_RTSn | O | UART RTS (Request to Send) (アクティブ Low) | AB38、AC37、AP38 |
| UART0_RXD | I | UART 受信データ | AD33 |
| UART0_TXD | O | UART 送信データ | AD38 |

表 5-52. UART1 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|------------|-----------|--|------------|
| UART1_CTSn | I | UART CTS (Clear to Send) (アクティブ Low) | AC36、AN38 |
| UART1_RTSn | O | UART RTS (Request to Send) (アクティブ Low) | AE36、AM35 |
| UART1_RXD | I | UART 受信データ | AD37 |
| UART1_TXD | O | UART 送信データ | AE37 |

表 5-53. UART2 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|------------|-----------|--|----------------|
| UART2_CTSn | I | UART CTS (Clear to Send) (アクティブ Low) | AD36 |
| UART2_RTSn | O | UART RTS (Request to Send) (アクティブ Low) | AJ32 |
| UART2_RXD | I | UART 受信データ | AB34、AF38、AM35 |

表 5-53. UART2 信号の説明 (続き)

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|-----------|-----------|------------|----------------|
| UART2_TXD | O | UART 送信データ | AA33、AE38、AM36 |

表 5-54. UART3 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|------------|-----------|--|----------------|
| UART3_CTSn | I | UART CTS (Clear to Send) (アクティブ Low) | AJ38 |
| UART3_RTSn | O | UART RTS (Request to Send) (アクティブ Low) | AH38 |
| UART3_RXD | I | UART 受信データ | AC33、AD36、AR38 |
| UART3_TXD | O | UART 送信データ | AH37、AJ32、AN37 |

表 5-55. UART4 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|------------|-----------|--|---------------------|
| UART4_CTSn | I | UART CTS (Clear to Send) (アクティブ Low) | AB38、AG35、AK33 |
| UART4_RTSn | O | UART RTS (Request to Send) (アクティブ Low) | AB36、AC34、AH36 |
| UART4_RXD | I | UART 受信データ | AB34、AE35、AF37、AL34 |
| UART4_TXD | O | UART 送信データ | AA33、AC35、AF33、AG37 |

表 5-56. UART5 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|------------|-----------|--|----------------|
| UART5_CTSn | I | UART CTS (Clear to Send) (アクティブ Low) | AB34、AJ36 |
| UART5_RTSn | O | UART RTS (Request to Send) (アクティブ Low) | AA33、AF34 |
| UART5_RXD | I | UART 受信データ | AC38、AF35、AJ33 |
| UART5_TXD | O | UART 送信データ | AA32、AD34、AG36 |

表 5-57. UART6 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|------------|-----------|--|----------------|
| UART6_CTSn | I | UART CTS (Clear to Send) (アクティブ Low) | AF38 |
| UART6_RTSn | O | UART RTS (Request to Send) (アクティブ Low) | AE38 |
| UART6_RXD | I | UART 受信データ | AC36、AG33、AK37 |
| UART6_TXD | O | UART 送信データ | AE36、AH33、AJ37 |

表 5-58. UART7 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|------------|-----------|--|----------------|
| UART7_CTSn | I | UART CTS (Clear to Send) (アクティブ Low) | AB34 |
| UART7_RTSn | O | UART RTS (Request to Send) (アクティブ Low) | AA33 |
| UART7_RXD | I | UART 受信データ | AC38、AJ36、AL32 |
| UART7_TXD | O | UART 送信データ | AA32、AF34、AJ34 |

表 5-59. UART8 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|------------|-----------|--|---------------------|
| UART8_CTSn | I | UART CTS (Clear to Send) (アクティブ Low) | AF37 |
| UART8_RTSn | O | UART RTS (Request to Send) (アクティブ Low) | AG37 |
| UART8_RXD | I | UART 受信データ | AB38、AE34、AK35、AP38 |

表 5-59. UART8 信号の説明 (続き)

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|-----------|-----------|------------|------------------------|
| UART8_TXD | O | UART 送信データ | AB36, AK38, AL33, AN38 |

表 5-60. UART9 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|------------|-----------|--|------------|
| UART9_CTSn | I | UART CTS (Clear to Send) (アクティブ Low) | AK33, AK37 |
| UART9_RTSn | O | UART RTS (Request to Send) (アクティブ Low) | AC34, AJ34 |
| UART9_RXD | I | UART 受信データ | AC32, AG34 |
| UART9_TXD | O | UART 送信データ | AC37, AK36 |

5.3.8.2 MCU ドメイン

表 5-61. MCU_UART0 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|----------------|-----------|--|---------------|
| MCU_UART0_CTSn | I | UART CTS (Clear to Send) (アクティブ Low) | F33, H37 |
| MCU_UART0_RTSn | O | UART RTS (Request to Send) (アクティブ Low) | G33, K37 |
| MCU_UART0_RXD | I | UART 受信データ | D31, K38, M38 |
| MCU_UART0_TXD | O | UART 送信データ | G31, J37, L33 |

5.3.8.3 WKUP ドメイン

表 5-62. WKUP_UART0 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|-----------------|-----------|--|------------|
| WKUP_UART0_CTSn | I | UART CTS (Clear to Send) (アクティブ Low) | L37 |
| WKUP_UART0_RTSn | O | UART RTS (Request to Send) (アクティブ Low) | L36 |
| WKUP_UART0_RXD | I | UART 受信データ | K35 |
| WKUP_UART0_TXD | O | UART 送信データ | K34 |

5.3.9 MDIO

5.3.9.1 メイン ドメイン

表 5-63. MDIO0 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|------------|-----------|-----------|------------|
| MDIO0_MDC | O | MDIO クロック | AD38 |
| MDIO0_MDIO | IO | MDIO データ | AD33 |

表 5-64. MDIO1 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|------------|-----------|-----------|------------|
| MDIO1_MDC | O | MDIO クロック | AE37 |
| MDIO1_MDIO | IO | MDIO データ | AC36 |

5.3.9.2 MCU ドメイン

表 5-65. MCU_MDIO0 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|----------------|-----------|-----------|------------|
| MCU_MDIO0_MDC | O | MDIO クロック | A36 |
| MCU_MDIO0_MDIO | IO | MDIO データ | B35 |

5.3.10 UFS

5.3.10.1 メイン ドメイン

表 5-66. UFS0 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|--------------|-----------|---------------|------------|
| UFS0_REF_CLK | I | UFS 基準クロック | AM7 |
| UFS0_RSTn | I | UFS のリセット | AM8 |
| UFS0_RX_DN0 | I | UFS 受信データ (負) | AM4 |
| UFS0_RX_DN1 | I | UFS 受信データ (負) | AM1 |
| UFS0_RX_DP0 | I | UFS 受信データ (正) | AM5 |
| UFS0_RX_DP1 | I | UFS 受信データ (正) | AM2 |
| UFS0_TX_DN0 | I | UFS 送信データ (負) | AL2 |
| UFS0_TX_DN1 | I | UFS 送信データ (負) | AN2 |
| UFS0_TX_DP0 | I | UFS 送信データ (正) | AL3 |
| UFS0_TX_DP1 | I | UFS 送信データ (正) | AN3 |

5.3.11 CPSW2G

5.3.11.1 メイン ドメイン

表 5-67. CPSW2G0 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|---------------|-----------|-----------------------|------------|
| CLKOUT | IO | RMII クロック出力 | AF34 |
| RGMII1_RXC | I | RGMII 受信クロック | AL33 |
| RGMII1_RX_CTL | I | RGMII 受信制御 | AE34 |
| RGMII1_TXC | O | RGMII 送信クロック | AL34 |
| RGMII1_TX_CTL | O | RGMII 送信制御 | AF35 |
| RGMII1_RD0 | I | RGMII 受信データ 0 | AC34 |
| RGMII1_RD1 | I | RGMII 受信データ 1 | AD34 |
| RGMII1_RD2 | I | RGMII 受信データ 2 | AJ36 |
| RGMII1_RD3 | I | RGMII 受信データ 3 | AF34 |
| RGMII1_TD0 | O | RGMII 送信データ 0 | AE35 |
| RGMII1_TD1 | O | RGMII 送信データ 1 | AC35 |
| RGMII1_TD2 | O | RGMII 送信データ 2 | AG35 |
| RGMII1_TD3 | O | RGMII 送信データ 3 | AH36 |
| RMII1_CRD_DV | I | RMII キャリア センス / データ有効 | AH36 |
| RMII1_RX_ER | I | RMII 受信データ エラー | AF35 |
| RMII1_TX_EN | O | RMII 送信イネーブル | AE34 |
| RMII1_RXD0 | I | RMII 受信データ 0 | AC35 |
| RMII1_RXD1 | I | RMII 受信データ 1 | AG35 |
| RMII1_TXD0 | O | RMII 送信データ 0 | AD34 |
| RMII1_TXD1 | O | RMII 送信データ 1 | AL33 |
| RMII_REF_CLK | I | RMII 基準クロック | AJ36 |

5.3.11.2 MCU ドメイン

表 5-68. MCU_CPSW2G0 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|-------------------|-----------|-----------------------|------------|
| MCU_RGMII1_RXC | I | RGMII 受信クロック | B37 |
| MCU_RGMII1_RX_CTL | I | RGMII 受信制御 | C37 |
| MCU_RGMII1_TXC | O | RGMII 送信クロック | E36 |
| MCU_RGMII1_TX_CTL | O | RGMII 送信制御 | C38 |
| MCU_RGMII1_RD0 | I | RGMII 受信データ 0 | A35 |
| MCU_RGMII1_RD1 | I | RGMII 受信データ 1 | B36 |
| MCU_RGMII1_RD2 | I | RGMII 受信データ 2 | C36 |
| MCU_RGMII1_RD3 | I | RGMII 受信データ 3 | D36 |
| MCU_RGMII1_TD0 | O | RGMII 送信データ 0 | D37 |
| MCU_RGMII1_TD1 | O | RGMII 送信データ 1 | D38 |
| MCU_RGMII1_TD2 | O | RGMII 送信データ 2 | E37 |
| MCU_RGMII1_TD3 | O | RGMII 送信データ 3 | E38 |
| MCU_RMII1_CRD_V | I | RMII キャリア センス / データ有効 | C38 |
| MCU_RMII1_REF_CLK | I | RMII 基準クロック | B37 |
| MCU_RMII1_RX_ER | I | RMII 受信データ エラー | C37 |
| MCU_RMII1_TX_EN | O | RMII 送信イネーブル | E36 |
| MCU_RMII1_RXD0 | I | RMII 受信データ 0 | A35 |
| MCU_RMII1_RXD1 | I | RMII 受信データ 1 | B36 |
| MCU_RMII1_TXD0 | O | RMII 送信データ 0 | D37 |
| MCU_RMII1_TXD1 | O | RMII 送信データ 1 | D38 |

5.3.12 SGMII

5.3.12.1 メイン ドメイン

表 5-69. CPSW9X0 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|-------------|-----------|--------------|------------|
| SGMII1_RXN0 | I | SGMII 受信 (負) | AU2、AU20 |
| SGMII1_RXP0 | I | SGMII 受信 (正) | AU21、AU3 |
| SGMII1_TXN0 | O | SGMII 送信 (負) | AR2、AR20 |
| SGMII1_TXP0 | O | SGMII 送信 (正) | AR21、AR3 |
| SGMII2_RXN0 | I | SGMII 受信 (負) | AT1、AT19 |
| SGMII2_RXP0 | I | SGMII 受信 (正) | AT2、AT20 |
| SGMII2_TXN0 | O | SGMII 送信 (負) | AP1、AP19 |
| SGMII2_TXP0 | O | SGMII 送信 (正) | AP2、AP20 |
| SGMII3_RXN0 | I | SGMII 受信 (負) | AU5 |
| SGMII3_RXP0 | I | SGMII 受信 (正) | AU6 |
| SGMII3_TXN0 | O | SGMII 送信 (負) | AV6 |
| SGMII3_TXP0 | O | SGMII 送信 (正) | AV7 |
| SGMII4_RXN0 | I | SGMII 受信 (負) | AT4 |
| SGMII4_RXP0 | I | SGMII 受信 (正) | AT5 |
| SGMII4_TXN0 | O | SGMII 送信 (負) | AR5 |
| SGMII4_TXP0 | O | SGMII 送信 (正) | AR6 |

表 5-69. CPSW9X0 信号の説明 (続き)

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|-------------|-----------|--------------|------------|
| SGMII5_RXN0 | I | SGMII 受信 (負) | AR14, AU23 |
| SGMII5_RXP0 | I | SGMII 受信 (正) | AR15, AU24 |
| SGMII5_TXN0 | O | SGMII 送信 (負) | AP13, AV24 |
| SGMII5_TXP0 | O | SGMII 送信 (正) | AP14, AV25 |
| SGMII6_RXN0 | I | SGMII 受信 (負) | AT22, AU14 |
| SGMII6_RXP0 | I | SGMII 受信 (正) | AT23, AU15 |
| SGMII6_TXN0 | O | SGMII 送信 (負) | AR23, AT13 |
| SGMII6_TXP0 | O | SGMII 送信 (正) | AR24, AT14 |
| SGMII7_RXN0 | I | SGMII 受信 (負) | AR17, AU20 |
| SGMII7_RXP0 | I | SGMII 受信 (正) | AR18, AU21 |
| SGMII7_TXN0 | O | SGMII 送信 (負) | AR20, AT16 |
| SGMII7_TXP0 | O | SGMII 送信 (正) | AR21, AT17 |
| SGMII8_RXN0 | I | SGMII 受信 (負) | AT19, AU17 |
| SGMII8_RXP0 | I | SGMII 受信 (正) | AT20, AU18 |
| SGMII8_TXN0 | O | SGMII 送信 (負) | AP19, AV18 |
| SGMII8_TXP0 | O | SGMII 送信 (正) | AP20, AV19 |

5.3.13 ECAP

5.3.13.1 メイン ドメイン

表 5-70. ECAP0 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|-------------------|-----------|--------------------------------------|------------|
| ECAP0_IN_APWM_OUT | IO | 拡張キャプチャ (ECAP) 入力または補助 PWM (APWM) 出力 | AB34, AD36 |

表 5-71. ECAP1 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|-------------------|-----------|--------------------------------------|------------|
| ECAP1_IN_APWM_OUT | IO | 拡張キャプチャ (ECAP) 入力または補助 PWM (APWM) 出力 | AA33, AR38 |

表 5-72. ECAP2 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|-------------------|-----------|--------------------------------------|------------|
| ECAP2_IN_APWM_OUT | IO | 拡張キャプチャ (ECAP) 入力または補助 PWM (APWM) 出力 | AN37 |

5.3.14 EQEP

5.3.14.1 メイン ドメイン

表 5-73. EQEP0 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|---------|-----------|-------------|------------|
| EQEP0_A | I | EQEP 直交入力 A | AF34 |
| EQEP0_B | I | EQEP 直交入力 B | AE34 |
| EQEP0_I | IO | EQEP インデックス | AD33 |
| EQEP0_S | IO | EQEP ストロープ | AC34 |

表 5-74. EQEP1 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|---------|-----------|-------------|------------|
| EQEP1_A | I | EQEP 直交入力 A | AL33 |
| EQEP1_B | I | EQEP 直交入力 B | AL34 |
| EQEP1_I | IO | EQEP インデックス | AK37 |
| EQEP1_S | IO | EQEP ストロープ | AD38 |

表 5-75. EQEP2 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|---------|-----------|-------------|------------|
| EQEP2_A | I | EQEP 直交入力 A | AK33 |
| EQEP2_B | I | EQEP 直交入力 B | AC37 |
| EQEP2_I | IO | EQEP インデックス | AC36 |
| EQEP2_S | IO | EQEP ストロープ | AD37 |

5.3.15 EPWM

5.3.15.1 メイン ドメイン

表 5-76. EPWM 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|----------------|-----------|-------------------------------|------------|
| EHRPWM_SOCA | O | EHRPWM 変換開始 A | AE37 |
| EHRPWM_SOCB | O | EHRPWM 変換開始 B | AD34 |
| EHRPWM_TZn_IN0 | I | EHRPWMトリップゾーン入力 0 (アクティブ Low) | AJ38 |
| EHRPWM_TZn_IN1 | I | EHRPWMトリップゾーン入力 1 (アクティブ Low) | AC32 |
| EHRPWM_TZn_IN2 | I | EHRPWMトリップゾーン入力 2 (アクティブ Low) | AK35 |
| EHRPWM_TZn_IN3 | I | EHRPWMトリップゾーン入力 3 (アクティブ Low) | AC35 |
| EHRPWM_TZn_IN4 | I | EHRPWMトリップゾーン入力 4 (アクティブ Low) | AF36 |
| EHRPWM_TZn_IN5 | I | EHRPWMトリップゾーン入力 5 (アクティブ Low) | AJ37 |

表 5-77. EPWM0 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|---------------|-----------|---------------------------|------------------|
| EHRPWM0_A | IO | EHRPWM 出力 A | AA32, AE38, AM37 |
| EHRPWM0_B | IO | EHRPWM 出力 B | AC38, AF38 |
| EHRPWM0_SYNCI | I | 外部ピンから EHRPWM モジュールへの同期入力 | AH38 |
| EHRPWM0_SYNCO | O | EHRPWM モジュールから外部ピンへの同期出力 | AG37 |

表 5-78. EPWM1 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|-----------|-----------|-------------|------------------|
| EHRPWM1_A | IO | EHRPWM 出力 A | AA33, AE36, AP38 |
| EHRPWM1_B | IO | EHRPWM 出力 B | AB34, AC33 |

表 5-79. EPWM2 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|-----------|-----------|-------------|------------------|
| EHRPWM2_A | IO | EHRPWM 出力 A | AB36, AF37, AN38 |
| EHRPWM2_B | IO | EHRPWM 出力 B | AB38, AK38 |

表 5-80. EPWM3 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|---------------|-----------|---------------------------|----------------|
| EHRPWM3_A | IO | EHRPWM 出力 A | AC38、AE35、AM35 |
| EHRPWM3_B | IO | EHRPWM 出力 B | AF35 |
| EHRPWM3_SYNCI | I | 外部ピンから EHRPWM モジュールへの同期入力 | AH36 |
| EHRPWM3_SYNCO | O | EHRPWM モジュールから外部ピンへの同期出力 | AG35 |

表 5-81. EPWM4 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|-----------|-----------|-------------|----------------|
| EHRPWM4_A | IO | EHRPWM 出力 A | AB34、AJ36、AM36 |
| EHRPWM4_B | IO | EHRPWM 出力 B | AH37 |

表 5-82. EPWM5 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|-----------|-----------|-------------|------------|
| EHRPWM5_A | IO | EHRPWM 出力 A | AB38、AG38 |
| EHRPWM5_B | IO | EHRPWM 出力 B | AK34 |

5.3.16 USB

5.3.16.1 メイン ドメイン

表 5-83. USB0 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|----------------------------|-----------|----------------------------|----------------|
| USB0_DM | IO | USB 2.0 差動データ (負) | AP16 |
| USB0_DP | IO | USB 2.0 差動データ (正) | AP17 |
| USB0_DRVVBUS | O | USB VBUS 制御出力 (アクティブ High) | AE35、AL32、AN37 |
| USB0_ID | A | USB 2.0 デュアルロール デバイス ロール選択 | AN17 |
| USB0_RCALIB ⁽¹⁾ | A | キャリブレーション抵抗に接続するピン | AN18 |
| USB0_VBUS ⁽²⁾ | A | USB レベル シフト VBUS 検出 | AN15 |
| USB0_SSRX1N | I | SERDES_USB 差動受信データ (負) | AR11、AR17 |
| USB0_SSRX1P | I | SERDES_USB 差動受信データ (正) | AR12、AR18 |
| USB0_SSRX2N | I | SERDES_USB 差動受信データ (負) | AU11、AU17 |
| USB0_SSRX2P | I | SERDES_USB 差動受信データ (正) | AU12、AU18 |
| USB0_SSTX1N | O | SERDES_USB 差動送信データ (負) | AT16、AV9 |
| USB0_SSTX1P | O | SERDES_USB 差動送信データ (正) | AT17、AV10 |
| USB0_SSTX2N | O | SERDES_USB 差動送信データ (負) | AV12、AV18 |
| USB0_SSTX2P | O | SERDES_USB 差動送信データ (正) | AV13、AV19 |

(1) このピンを使用しない場合でも、このピンと VSS との間に $500\Omega \pm 1\%$ の外付け抵抗を接続する必要があります。

(2) このデバイス ピンに印加される電圧を制限するには、外付けの分圧抵抗が必要です。詳細については、「USB VBUS の設計ガイドライン」を参照してください。

5.3.17 ディスプレイ ポート

5.3.17.1 メイン ドメイン

表 5-84. DPO 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|----------|-----------|-----------------------|------------|
| DPO_AUXN | IO | ディスプレイ ポート差動補助データ (負) | AP22 |
| DPO_AUXP | IO | ディスプレイ ポート差動補助データ (正) | AP23 |

表 5-84. DP0 信号の説明 (続き)

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|----------|-----------|---------------------|----------------|
| DP0_HPDP | I | ディスプレイ ポートのホットプラグ検出 | AC34、AG33、AM37 |
| DP0_TXN0 | O | ディスプレイ ポート差動送信 (負) | AP13 |
| DP0_TXN1 | O | ディスプレイ ポート差動送信 (負) | AT13 |
| DP0_TXN2 | O | ディスプレイ ポート差動送信 (負) | AT16 |
| DP0_TXN3 | O | ディスプレイ ポート差動送信 (負) | AV18 |
| DP0_TXP0 | O | ディスプレイ ポート差動送信 (正) | AP14 |
| DP0_TXP1 | O | ディスプレイ ポート差動送信 (正) | AT14 |
| DP0_TXP2 | O | ディスプレイ ポート差動送信 (正) | AT17 |
| DP0_TXP3 | O | ディスプレイ ポート差動送信 (正) | AV19 |

5.3.18 PCIE

5.3.18.1 メイン ドメイン

表 5-85. PCIE 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|---------------|-----------|-------------------------|------------|
| PCIE0_CLKREQn | IO | PCIE クロック要求信号 | AC34 |
| PCIE1_CLKREQn | IO | PCIE クロック要求信号 | AC38、AR38 |
| PCIE2_CLKREQn | IO | PCIE クロック要求信号 | AB38、AL33 |
| PCIE3_CLKREQn | IO | PCIE クロック要求信号 | AB36、AL34 |
| PCIE0_RXN0 | I | SERDES_PCIE 差動受信データ (負) | AU5 |
| PCIE0_RXN1 | I | SERDES_PCIE 差動受信データ (負) | AT4 |
| PCIE0_RXN2 | I | SERDES_PCIE 差動受信データ (負) | AU2 |
| PCIE0_RXN3 | I | SERDES_PCIE 差動受信データ (負) | AT1 |
| PCIE0_RXP0 | I | SERDES_PCIE 差動受信データ (正) | AU6 |
| PCIE0_RXP1 | I | SERDES_PCIE 差動受信データ (正) | AT5 |
| PCIE0_RXP2 | I | SERDES_PCIE 差動受信データ (正) | AU3 |
| PCIE0_RXP3 | I | SERDES_PCIE 差動受信データ (正) | AT2 |
| PCIE0_TXN0 | O | SERDES_PCIE 差動送信データ (負) | AV6 |
| PCIE0_TXN1 | O | SERDES_PCIE 差動送信データ (負) | AR5 |
| PCIE0_TXN2 | O | SERDES_PCIE 差動送信データ (負) | AR2 |
| PCIE0_TXN3 | O | SERDES_PCIE 差動送信データ (正) | AP1 |
| PCIE0_TXP0 | O | SERDES_PCIE 差動送信データ (正) | AV7 |
| PCIE0_TXP1 | O | SERDES_PCIE 差動送信データ (正) | AR6 |
| PCIE0_TXP2 | O | SERDES_PCIE 差動送信データ (正) | AR3 |
| PCIE0_TXP3 | O | SERDES_PCIE 差動送信データ (正) | AP2 |
| PCIE1_RXN0 | I | SERDES_PCIE 差動受信データ (負) | AR8 |
| PCIE1_RXN1 | I | SERDES_PCIE 差動受信データ (負) | AT10 |
| PCIE1_RXN2 | I | SERDES_PCIE 差動受信データ (負) | AR11 |
| PCIE1_RXN3 | I | SERDES_PCIE 差動受信データ (負) | AU11 |
| PCIE1_RXP0 | I | SERDES_PCIE 差動受信データ (正) | AR9 |
| PCIE1_RXP1 | I | SERDES_PCIE 差動受信データ (正) | AT11 |
| PCIE1_RXP2 | I | SERDES_PCIE 差動受信データ (正) | AR12 |
| PCIE1_RXP3 | I | SERDES_PCIE 差動受信データ (正) | AU12 |

表 5-85. PCIE 信号の説明 (続き)

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|--------------------|-----------|-------------------------|------------|
| PCIE1_TXN0 | O | SERDES_PCIE 差動送信データ (負) | AT7 |
| PCIE1_TXN1 | O | SERDES_PCIE 差動送信データ (負) | AP10 |
| PCIE1_TXN2 | O | SERDES_PCIE 差動送信データ (負) | AV9 |
| PCIE1_TXN3 | O | SERDES_PCIE 差動送信データ (負) | AV12 |
| PCIE1_TXP0 | O | SERDES_PCIE 差動送信データ (正) | AT8 |
| PCIE1_TXP1 | O | SERDES_PCIE 差動送信データ (正) | AP11 |
| PCIE1_TXP2 | O | SERDES_PCIE 差動送信データ (正) | AV10 |
| PCIE1_TXP3 | O | SERDES_PCIE 差動送信データ (正) | AV13 |
| PCIE2_RXN0 | I | SERDES_PCIE 差動受信データ (負) | AU2 |
| PCIE2_RXN1 | I | SERDES_PCIE 差動受信データ (負) | AT1 |
| PCIE2_RXP0 | I | SERDES_PCIE 差動受信データ (正) | AU3 |
| PCIE2_RXP1 | I | SERDES_PCIE 差動受信データ (正) | AT2 |
| PCIE2_TXN0 | O | SERDES_PCIE 差動送信データ (負) | AR2 |
| PCIE2_TXN1 | O | SERDES_PCIE 差動送信データ (負) | AP1 |
| PCIE2_TXP0 | O | SERDES_PCIE 差動送信データ (負) | AR3 |
| PCIE2_TXP1 | O | SERDES_PCIE 差動送信データ (正) | AP2 |
| PCIE3_RXN0 | I | SERDES_PCIE 差動受信データ (負) | AR11 |
| PCIE3_RXN1 | I | SERDES_PCIE 差動受信データ (負) | AU11 |
| PCIE3_RXP0 | I | SERDES_PCIE 差動受信データ (正) | AR12 |
| PCIE3_RXP1 | I | SERDES_PCIE 差動受信データ (正) | AU12 |
| PCIE3_TXN0 | O | SERDES_PCIE 差動送信データ (負) | AV9 |
| PCIE3_TXN1 | O | SERDES_PCIE 差動送信データ (負) | AV12 |
| PCIE3_TXP0 | O | SERDES_PCIE 差動送信データ (正) | AV10 |
| PCIE3_TXP1 | O | SERDES_PCIE 差動送信データ (正) | AV13 |
| PCIE_REFCLK0_N_OUT | O | SERDES_PCIE 基準クロック負電圧 | AP4 |
| PCIE_REFCLK0_P_OUT | O | SERDES_PCIE 基準クロック正電圧 | AP5 |
| PCIE_REFCLK1_N_OUT | O | SERDES_PCIE 基準クロック出力負電圧 | AN8 |
| PCIE_REFCLK1_P_OUT | O | SERDES_PCIE 基準クロック出力正電圧 | AN9 |
| PCIE_REFCLK2_N_OUT | O | SERDES_PCIE 基準クロック出力負電圧 | AN5 |
| PCIE_REFCLK2_P_OUT | O | SERDES_PCIE 基準クロック出力正電圧 | AN6 |
| PCIE_REFCLK3_N_OUT | O | SERDES_PCIE 基準クロック出力負電圧 | AP7 |
| PCIE_REFCLK3_P_OUT | O | SERDES_PCIE 基準クロック出力正電圧 | AP8 |

5.3.19 SERDES

5.3.19.1 メイン ドメイン

表 5-86. SERDES0 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|-----------------------------|-----------|----------------------|------------|
| SERDES0_REFCLK_N | IO | Serdes 基準クロック入出力 (負) | AU9 |
| SERDES0_REFCLK_P | IO | Serdes 基準クロック入出力 (正) | AU8 |
| SERDES0_REXT ⁽¹⁾ | I | 外付け較正抵抗 | AN11 |

(1) このピンと VSS との間に 3.01kΩ ±1% の外付け抵抗を接続する必要があります。このピンに外部電圧を印加しないでください。

表 5-87. SERDES1 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|-----------------------------|-----------|----------------------|------------|
| SERDES1_REFCLK_N | IO | Serdes 基準クロック入出力 (負) | AV3 |
| SERDES1_REFCLK_P | IO | Serdes 基準クロック入出力 (正) | AV4 |
| SERDES1_REXT ⁽¹⁾ | I | 外付け較正抵抗 | AL9 |

(1) このピンと VSS との間に 3.01kΩ ±1% の外付け抵抗を接続する必要があります。このピンに外部電圧を印加しないでください。

表 5-88. SERDES2 信号の説明

| 信号名 [1] ⁽²⁾ | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|-----------------------------|-----------|----------------------|------------|
| SERDES2_REFCLK_N | IO | Serdes 基準クロック入出力 (負) | AV21 |
| SERDES2_REFCLK_P | IO | Serdes 基準クロック入出力 (正) | AV22 |
| SERDES2_REXT ⁽¹⁾ | IO | 外付け較正抵抗 | AL20 |

(1) このピンと VSS との間に 3.01kΩ ±1% の外付け抵抗を接続する必要があります。このピンに外部電圧を印加しないでください。

(2) DDRSS2、DDRSS3 および SERDES2 は、この SoC の 27mm パッケージバリエーションでは利用できません。27mm パッケージを使用するシステムとのソフトウェア互換性が必要な場合は、DDRSS2/DDRSS3/SERDES2 を使用しないでください。

表 5-89. SERDES4 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|-----------------------------|-----------|----------------------|------------|
| SERDES4_REFCLK_N | IO | Serdes 基準クロック入出力 (負) | AV16 |
| SERDES4_REFCLK_P | IO | Serdes 基準クロック入出力 (正) | AV15 |
| SERDES4_REXT ⁽¹⁾ | IO | 外付け較正抵抗 | AM19 |

(1) このピンと VSS との間に 3.01kΩ ±1% の外付け抵抗を接続する必要があります。このピンに外部電圧を印加しないでください。

5.3.20 DSI

5.3.20.1 メイン ドメイン

表 5-90. DSI0 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|------------------------------|-----------|--------------------|------------|
| CSI0_TXCLKN | O | CSI 差動送信クロック出力 (負) | AP26 |
| CSI0_TXCLKP | O | CSI 差動送信クロック出力 (正) | AP25 |
| CSI0_TXN0 | O | CSI 差動送信出力 (負) | AU27 |
| CSI0_TXN1 | O | CSI 差動送信出力 (負) | AT26 |
| CSI0_TXN2 | O | CSI 差動送信出力 (負) | AR27 |
| CSI0_TXN3 | O | CSI 差動送信出力 (負) | AN24 |
| CSI0_TXP0 | O | CSI 差動送信出力 (正) | AU26 |
| CSI0_TXP1 | O | CSI 差動送信出力 (正) | AT25 |
| CSI0_TXP2 | O | CSI 差動送信出力 (正) | AR26 |
| CSI0_TXP3 | O | CSI 差動送信出力 (正) | AN23 |
| DSI0_TXCLKN | O | DSI 送信クロック (負) | AP26 |
| DSI0_TXCLKP | O | DSI 送信クロック (正) | AP25 |
| DSI0_TXRCALIB ⁽¹⁾ | A | DSI 送信較正抵抗 | AM24 |
| DSI0_TXN0 | IO | DSI 送信 (負) | AU27 |
| DSI0_TXN1 | O | DSI 送信 (負) | AT26 |
| DSI0_TXN2 | O | DSI 送信 (負) | AR27 |
| DSI0_TXN3 | O | DSI 送信 (負) | AN24 |
| DSI0_TXP0 | IO | DSI 送信 (正) | AU26 |

表 5-90. DSI0 信号の説明 (続き)

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|-----------|-----------|------------|------------|
| DSI0_TXP1 | O | DSI 送信 (正) | AT25 |
| DSI0_TXP2 | O | DSI 送信 (正) | AR26 |
| DSI0_TXP3 | O | DSI 送信 (正) | AN23 |

(1) このピンを使用しない場合でも、このピンと VSS との間に $500\Omega \pm 1\%$ の外付け抵抗を接続する必要があります。

表 5-91. DSI1 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|------------------------------|-----------|--------------------|------------|
| CSI1_TXCLKN | O | CSI 差動送信クロック出力 (負) | AP29 |
| CSI1_TXCLKP | O | CSI 差動送信クロック出力 (正) | AP28 |
| CSI1_TXN0 | O | CSI 差動送信出力 (負) | AT29 |
| CSI1_TXN1 | O | CSI 差動送信出力 (負) | AN27 |
| CSI1_TXN2 | O | CSI 差動送信出力 (負) | AV28 |
| CSI1_TXN3 | O | CSI 差動送信出力 (負) | AU30 |
| CSI1_TXP0 | O | CSI 差動送信出力 (正) | AT28 |
| CSI1_TXP1 | O | CSI 差動送信出力 (正) | AN26 |
| CSI1_TXP2 | O | CSI 差動送信出力 (正) | AV27 |
| CSI1_TXP3 | O | CSI 差動送信出力 (正) | AU29 |
| DSI1_TXCLKN | O | DSI 送信クロック (負) | AP29 |
| DSI1_TXCLKP | O | DSI 送信クロック (正) | AP28 |
| DSI1_TXRCALIB ⁽¹⁾ | A | DSI 送信較正抵抗 | AL22 |
| DSI1_TXN0 | IO | DSI 送信 (負) | AT29 |
| DSI1_TXN1 | O | DSI 送信 (負) | AN27 |
| DSI1_TXN2 | O | DSI 送信 (負) | AV28 |
| DSI1_TXN3 | O | DSI 送信 (負) | AU30 |
| DSI1_TXP0 | IO | DSI 送信 (正) | AT28 |
| DSI1_TXP1 | O | DSI 送信 (正) | AN26 |
| DSI1_TXP2 | O | DSI 送信 (正) | AV27 |
| DSI1_TXP3 | O | DSI 送信 (正) | AU29 |

(1) このピンを使用しない場合でも、このピンと VSS との間に $500\Omega \pm 1\%$ の外付け抵抗を接続する必要があります。

5.3.21 CSI

5.3.21.1 メイン ドメイン

表 5-92. CSI0 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|------------------------------|-----------|-----------------------------|------------|
| CSI0_RXCLKN | I | CSI 差動受信クロック入力 (負) | AN30 |
| CSI0_RXCLKP | I | CSI 差動受信クロック入力 (正) | AN29 |
| CSI0_RXRCALIB ⁽¹⁾ | A | オンチップ抵抗較正用に外部抵抗に接続する CSI ピン | AM28 |
| CSI0_RXN0 | I | CSI 差動受信入力 (負) | AU33 |
| CSI0_RXN1 | I | CSI 差動受信入力 (負) | AT32 |
| CSI0_RXN2 | I | CSI 差動受信入力 (負) | AV31 |
| CSI0_RXN3 | I | CSI 差動受信入力 (負) | AR30 |
| CSI0_RXP0 | I | CSI 差動受信入力 (正) | AU32 |

表 5-92. CSI0 信号の説明 (続き)

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|-----------|-----------|----------------|------------|
| CSI0_RXP1 | I | CSI 差動受信入力 (正) | AT31 |
| CSI0_RXP2 | I | CSI 差動受信入力 (正) | AV30 |
| CSI0_RXP3 | I | CSI 差動受信入力 (正) | AR29 |

(1) このピンを使用しない場合でも、このピンと VSS との間に 500Ω ±1% の外付け抵抗を接続する必要があります。

表 5-93. CSI1 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|------------------------------|-----------|-----------------------------|------------|
| CSI1_RXCLKN | I | CSI 差動受信クロック入力 (負) | AP32 |
| CSI1_RXCLKP | I | CSI 差動受信クロック入力 (正) | AP31 |
| CSI1_RXRCALIB ⁽¹⁾ | A | オンチップ抵抗較正用に外部抵抗に接続する CSI ピン | AL28 |
| CSI1_RXN0 | I | CSI 差動受信入力 (負) | AT35 |
| CSI1_RXN1 | I | CSI 差動受信入力 (負) | AU36 |
| CSI1_RXN2 | I | CSI 差動受信入力 (負) | AR33 |
| CSI1_RXN3 | I | CSI 差動受信入力 (負) | AV34 |
| CSI1_RXP0 | I | CSI 差動受信入力 (正) | AT34 |
| CSI1_RXP1 | I | CSI 差動受信入力 (正) | AU35 |
| CSI1_RXP2 | I | CSI 差動受信入力 (正) | AR32 |
| CSI1_RXP3 | I | CSI 差動受信入力 (正) | AV33 |

(1) このピンを使用しない場合でも、このピンと VSS との間に 500Ω ±1% の外付け抵抗を接続する必要があります。

表 5-94. CSI2 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|------------------------------|-----------|-----------------------------|------------|
| CSI2_RXCLKN | I | CSI 差動受信クロック入力 (負) | AN32 |
| CSI2_RXCLKP | I | CSI 差動受信クロック入力 (正) | AN33 |
| CSI2_RXRCALIB ⁽¹⁾ | A | オンチップ抵抗較正用に外部抵抗に接続する CSI ピン | AM31 |
| CSI2_RXN0 | I | CSI 差動受信入力 (負) | AR36 |
| CSI2_RXN1 | I | CSI 差動受信入力 (負) | AT38 |
| CSI2_RXN2 | I | CSI 差動受信入力 (負) | AP35 |
| CSI2_RXN3 | I | CSI 差動受信入力 (負) | AV37 |
| CSI2_RXP0 | I | CSI 差動受信入力 (正) | AR35 |
| CSI2_RXP1 | I | CSI 差動受信入力 (正) | AT37 |
| CSI2_RXP2 | I | CSI 差動受信入力 (正) | AP34 |
| CSI2_RXP3 | I | CSI 差動受信入力 (正) | AV36 |

(1) このピンを使用しない場合でも、このピンと VSS との間に 500Ω ±1% の外付け抵抗を接続する必要があります。

5.3.22 MCASP

5.3.22.1 メイン ドメイン

表 5-95. MCASP0 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|--------------|-----------|------------------|------------|
| MCASP0_ACLKR | IO | MCASP 受信ビット クロック | AF34 |
| MCASP0_ACLKX | IO | MCASP 送信ビット クロック | AK35 |
| MCASP0_AFSR | IO | MCASP 受信フレーム同期 | AE34 |

表 5-95. MCASP0 信号の説明 (続き)

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|--------------|-----------|--------------------------|------------|
| MCASP0_AFSX | IO | MCASP 送信フレーム同期 | AK38 |
| MCASP0_AXR0 | IO | MCASP シリアル データ (入力 / 出力) | AF37 |
| MCASP0_AXR1 | IO | MCASP シリアル データ (入力 / 出力) | AG37 |
| MCASP0_AXR2 | IO | MCASP シリアル データ (入力 / 出力) | AK33 |
| MCASP0_AXR3 | IO | MCASP シリアル データ (入力 / 出力) | AJ38 |
| MCASP0_AXR4 | IO | MCASP シリアル データ (入力 / 出力) | AK34 |
| MCASP0_AXR5 | IO | MCASP シリアル データ (入力 / 出力) | AG38 |
| MCASP0_AXR6 | IO | MCASP シリアル データ (入力 / 出力) | AF36 |
| MCASP0_AXR7 | IO | MCASP シリアル データ (入力 / 出力) | AE35 |
| MCASP0_AXR8 | IO | MCASP シリアル データ (入力 / 出力) | AC35 |
| MCASP0_AXR9 | IO | MCASP シリアル データ (入力 / 出力) | AG35 |
| MCASP0_AXR10 | IO | MCASP シリアル データ (入力 / 出力) | AH36 |
| MCASP0_AXR11 | IO | MCASP シリアル データ (入力 / 出力) | AF35 |
| MCASP0_AXR12 | IO | MCASP シリアル データ (入力 / 出力) | AD34 |
| MCASP0_AXR13 | IO | MCASP シリアル データ (入力 / 出力) | AJ36 |
| MCASP0_AXR14 | IO | MCASP シリアル データ (入力 / 出力) | AF34 |
| MCASP0_AXR15 | IO | MCASP シリアル データ (入力 / 出力) | AE34 |

表 5-96. MCASP1 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|--------------|-----------|--------------------------|------------|
| MCASP1_ACLKR | IO | MCASP 受信ビットクロック | AG38 |
| MCASP1_ACLKX | IO | MCASP 送信ビットクロック | AC34 |
| MCASP1_AFSR | IO | MCASP 受信フレーム同期 | AF36 |
| MCASP1_AFSX | IO | MCASP 送信フレーム同期 | AD33 |
| MCASP1_AXR0 | IO | MCASP シリアル データ (入力 / 出力) | AD38 |
| MCASP1_AXR1 | IO | MCASP シリアル データ (入力 / 出力) | AC32 |
| MCASP1_AXR2 | IO | MCASP シリアル データ (入力 / 出力) | AC37 |
| MCASP1_AXR3 | IO | MCASP シリアル データ (入力 / 出力) | AL33 |
| MCASP1_AXR4 | IO | MCASP シリアル データ (入力 / 出力) | AL34 |

表 5-97. MCASP2 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|--------------|-----------|--------------------------|------------|
| MCASP2_ACLKR | IO | MCASP 受信ビットクロック | AD34 |
| MCASP2_ACLKX | IO | MCASP 送信ビットクロック | AD37 |
| MCASP2_AFSR | IO | MCASP 受信フレーム同期 | AJ36 |
| MCASP2_AFSX | IO | MCASP 送信フレーム同期 | AE37 |
| MCASP2_AXR0 | IO | MCASP シリアル データ (入力 / 出力) | AC36 |
| MCASP2_AXR1 | IO | MCASP シリアル データ (入力 / 出力) | AE36 |
| MCASP2_AXR2 | IO | MCASP シリアル データ (入力 / 出力) | AF38 |
| MCASP2_AXR3 | IO | MCASP シリアル データ (入力 / 出力) | AC33 |
| MCASP2_AXR4 | IO | MCASP シリアル データ (入力 / 出力) | AF34 |

表 5-98. MCASP3 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|--------------|-----------|--------------------------|------------|
| MCASP3_ACLKR | IO | MCASP 受信ビット クロック | AM37 |
| MCASP3_ACLKX | IO | MCASP 送信ビット クロック | AM37 |
| MCASP3_AFSR | IO | MCASP 受信フレーム同期 | AP38 |
| MCASP3_AFSX | IO | MCASP 送信フレーム同期 | AP38 |
| MCASP3_AXR0 | IO | MCASP シリアル データ (入力 / 出力) | AN38 |
| MCASP3_AXR1 | IO | MCASP シリアル データ (入力 / 出力) | AM35 |
| MCASP3_AXR2 | IO | MCASP シリアル データ (入力 / 出力) | AM36 |

表 5-99. MCASP4 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|--------------|-----------|---------------------------|------------|
| MCASP4_ACLKR | IO | MCASP 受信ビット クロック | AE35 |
| MCASP4_ACLKX | IO | MCASP 送信ビット クロック | AJ32 |
| MCASP4_AFSR | IO | MCASP 受信フレーム同期 | AC35 |
| MCASP4_AFSX | IO | MCASP 送信フレーム同期 | AJ37 |
| MCASP4_AXR0 | IO | MCASP シリアル データ (入力 / 出力) | AJ34 |
| MCASP4_AXR1 | IO | MCASP シリアル データ (入力 / 出力) | AE38 |
| MCASP4_AXR2 | IO | MCASP シリアル データ (入力 / 出力) | AD36 |
| MCASP4_AXR3 | IO | MCASP シリアル データ (入力 / 出力) | AH38 |
| MCASP4_AXR4 | IO | MCASPI シリアル データ (入力 / 出力) | AG35 |

5.3.23 DMTIMER

5.3.23.1 メイン ドメイン

表 5-100. DMTIMER 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|-----------|-----------|---|------------|
| TIMER_IO0 | IO | タイマ入力および出力 (いずれかのメインドメイン タイマ インスタンスと組み合わせて使用可能) | AR38 |
| TIMER_IO1 | IO | タイマ入力および出力 (いずれかのメインドメイン タイマ インスタンスと組み合わせて使用可能) | AN37 |
| TIMER_IO2 | IO | タイマ入力および出力 (いずれかのメインドメイン タイマ インスタンスと組み合わせて使用可能) | AC38 |
| TIMER_IO3 | IO | タイマ入力および出力 (いずれかのメインドメイン タイマ インスタンスと組み合わせて使用可能) | AA32 |
| TIMER_IO4 | IO | タイマ入力および出力 (いずれかのメインドメイン タイマ インスタンスと組み合わせて使用可能) | AB34 |
| TIMER_IO5 | IO | タイマ入力および出力 (いずれかのメインドメイン タイマ インスタンスと組み合わせて使用可能) | AA33 |
| TIMER_IO6 | IO | タイマ入力および出力 (いずれかのメインドメイン タイマ インスタンスと組み合わせて使用可能) | AB38 |
| TIMER_IO7 | IO | タイマ入力および出力 (いずれかのメインドメイン タイマ インスタンスと組み合わせて使用可能) | AB36 |

5.3.23.2 MCU ドメイン

表 5-101. MCU_DMTIMER 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|---------------|-----------|---|------------|
| MCU_TIMER_IO0 | IO | タイマ入力および出力 (いずれかの MCU ドメイン タイマ インスタンスと組み合わせて使用可能) | G33、J38 |
| MCU_TIMER_IO1 | IO | タイマ入力および出力 (いずれかの MCU ドメイン タイマ インスタンスと組み合わせて使用可能) | F37、M38 |
| MCU_TIMER_IO2 | IO | タイマ入力および出力 (いずれかの MCU ドメイン タイマ インスタンスと組み合わせて使用可能) | E38 |
| MCU_TIMER_IO3 | IO | タイマ入力および出力 (いずれかの MCU ドメイン タイマ インスタンスと組み合わせて使用可能) | E37 |
| MCU_TIMER_IO4 | IO | タイマ入力および出力 (いずれかの MCU ドメイン タイマ インスタンスと組み合わせて使用可能) | D36 |
| MCU_TIMER_IO5 | IO | タイマ入力および出力 (いずれかの MCU ドメイン タイマ インスタンスと組み合わせて使用可能) | C36 |
| MCU_TIMER_IO6 | IO | タイマ入力および出力 (いずれかの MCU ドメイン タイマ インスタンスと組み合わせて使用可能) | L35、M37 |
| MCU_TIMER_IO7 | IO | タイマ入力および出力 (いずれかの MCU ドメイン タイマ インスタンスと組み合わせて使用可能) | L34、M36 |
| MCU_TIMER_IO8 | IO | タイマ入力および出力 (いずれかの MCU ドメイン タイマ インスタンスと組み合わせて使用可能) | H37 |
| MCU_TIMER_IO9 | IO | タイマ入力および出力 (いずれかの MCU ドメイン タイマ インスタンスと組み合わせて使用可能) | K37 |

5.3.24 CPTS

5.3.24.1 メイン ドメイン

表 5-102. CPTS0 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|-----------------|-----------|-----------------------------|------------|
| CPTS0_RFT_CLK | I | CPTS 基準クロック | AD36 |
| CPTS0_TS_COMP | O | CPTS タイム スタンプ カウンタ比較 | AP38 |
| CPTS0_TS_SYNC | O | CPTS タイム スタンプ カウンタビット | AA32 |
| CPTS0_HW1TSPUSH | I | CPTS ハードウェア タイム スタンプ プッシュ 1 | AD36 |
| CPTS0_HW2TSPUSH | I | CPTS ハードウェア タイム スタンプ プッシュ 2 | AJ32 |

5.3.24.2 MCU ドメイン

表 5-103. MCU_CPTS0 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|---------------------|-----------|-----------------------------|------------|
| MCU_CPTS0_RFT_CLK | I | CPTS 基準クロック | L33、M33 |
| MCU_CPTS0_TS_COMP | O | CPTS タイム スタンプ カウンタ比較 | L34 |
| MCU_CPTS0_TS_SYNC | O | CPTS タイム スタンプ カウンタビット | L35 |
| MCU_CPTS0_HW1TSPUSH | I | CPTS ハードウェア タイム スタンプ プッシュ 1 | L37 |
| MCU_CPTS0_HW2TSPUSH | I | CPTS ハードウェア タイム スタンプ プッシュ 2 | L36 |

5.3.25 DSS

5.3.25.1 メイン ドメイン

表 5-104. DSS0 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|----------------|-----------|---------------------|------------|
| DSS_FSYNC0 | O | ビデオ出力のフレーム同期 | AG36、AJ37 |
| DSS_FSYNC1 | O | ビデオ出力のフレーム同期 | AJ33、AJ34 |
| DSS_FSYNC2 | O | ビデオ出力のフレーム同期 | AF33、AF35 |
| DSS_FSYNC3 | O | ビデオ出力のフレーム同期 | AD34、AH33 |
| VOU0_DE | O | ビデオ出力データ イネーブル | AG38 |
| VOU0_EXTPCLKIN | I | ビデオ出力の外部ピクセル クロック入力 | AJ37 |
| VOU0_HSYNC | O | ビデオ出力の水平同期 | AK34 |
| VOU0_PCLK | O | ビデオ出力のピクセル クロック出力 | AH37 |
| VOU0_VSYNC | O | ビデオ出力の垂直同期 | AF36 |
| VOU0_DATA0 | O | ビデオ出力データ 0 | AC33 |
| VOU0_DATA1 | O | ビデオ出力データ 1 | AH38 |
| VOU0_DATA2 | O | ビデオ出力データ 2 | AJ38 |
| VOU0_DATA3 | O | ビデオ出力データ 3 | AE38 |
| VOU0_DATA4 | O | ビデオ出力データ 4 | AF38 |
| VOU0_DATA5 | O | ビデオ出力データ 5 | AE36 |
| VOU0_DATA6 | O | ビデオ出力データ 6 | AC36 |
| VOU0_DATA7 | O | ビデオ出力データ 7 | AE37 |
| VOU0_DATA8 | O | ビデオ出力データ 8 | AD37 |
| VOU0_DATA9 | O | ビデオ出力データ 9 | AC37 |
| VOU0_DATA10 | O | ビデオ出力データ 10 | AC32 |
| VOU0_DATA11 | O | ビデオ出力データ 11 | AK33 |
| VOU0_DATA12 | O | ビデオ出力データ 12 | AG37 |
| VOU0_DATA13 | O | ビデオ出力データ 13 | AF37 |
| VOU0_DATA14 | O | ビデオ出力データ 14 | AK38 |
| VOU0_DATA15 | O | ビデオ出力データ 15 | AK35 |
| VOU0_DATA16 | O | ビデオ出力データ 16 | AJ32 |
| VOU0_DATA17 | O | ビデオ出力データ 17 | AK37 |
| VOU0_DATA18 | O | ビデオ出力データ 18 | AC33、AL32 |
| VOU0_DATA19 | O | ビデオ出力データ 19 | AE33、AH38 |
| VOU0_DATA20 | O | ビデオ出力データ 20 | AD37、AH34 |
| VOU0_DATA21 | O | ビデオ出力データ 21 | AC37、AJ35 |
| VOU0_DATA22 | O | ビデオ出力データ 22 | AG34、AK37 |
| VOU0_DATA23 | O | ビデオ出力データ 23 | AD36、AK36 |
| VOU0_VP0_DE | O | 代替出力データ イネーブル | AG38 |
| VOU0_VP0_HSYNC | O | 代替出力の水平同期 | AK34 |
| VOU0_VP0_VSYNC | O | 代替出力の垂直同期 | AF36 |
| VOU0_VP2_DE | O | 代替出力データ イネーブル | AG38 |
| VOU0_VP2_HSYNC | O | 代替出力の水平同期 | AK34 |
| VOU0_VP2_VSYNC | O | 代替出力の垂直同期 | AF36 |

5.3.26 GPMC

5.3.26.1 メイン ドメイン

表 5-105. GPMC0 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|----------------|-----------|--|------------|
| GPMC0_ADVn_ALE | O | GPMC アドレス有効 (アクティブ Low) またはアドレス ラッチ イネーブル | AK33 |
| GPMC0_CLK | IO | GPMC クロック | AG36 |
| GPMC0_CLKOUT | O | 外部同期用に生成された GPMC クロック | AF36 |
| GPMC0_DIR | O | GPMC データ バス信号方向制御 | AC33, AH37 |
| GPMC0_OEn_REn | O | GPMC 出力イネーブル (アクティブ Low) または読み出し イネーブル (アクティブ Low) | AK34 |
| GPMC0_WEn | O | GPMC 書き込みイネーブル (アクティブ Low) | AJ34 |
| GPMC0_WPn | O | GPMC フラッシュ書き込み保護 (アクティブ Low) | AK33 |
| GPMC0_A0 | OZ | GPMC アドレス 0 出力。8 ビット データ非多重化メモリを効果的にアドレス指定するためにのみ使用されます。 | AE35 |
| GPMC0_A1 | OZ | GPMC アドレス 1 出力 (A/D 非多重化モード) およびアドレス 17 (A/D 多重化モード) | AC35 |
| GPMC0_A2 | OZ | GPMC アドレス 2 出力 (A/D 非多重化モード) およびアドレス 18 (A/D 多重化モード) | AG35 |
| GPMC0_A3 | OZ | GPMC アドレス 3 出力 (A/D 非多重化モード) およびアドレス 19 (A/D 多重化モード) | AH36 |
| GPMC0_A4 | OZ | GPMC アドレス 4 出力 (A/D 非多重化モード) およびアドレス 20 (A/D 多重化モード) | AF35 |
| GPMC0_A5 | OZ | GPMC アドレス 5 出力 (A/D 非多重化モード) およびアドレス 21 (A/D 多重化モード) | AD34 |
| GPMC0_A6 | OZ | GPMC アドレス 6 出力 (A/D 非多重化モード) およびアドレス 22 (A/D 多重化モード) | AJ36 |
| GPMC0_A7 | OZ | GPMC アドレス 7 出力 (A/D 非多重化モード) およびアドレス 23 (A/D 多重化モード) | AF34 |
| GPMC0_A8 | OZ | GPMC アドレス 8 出力 (A/D 非多重化モード) およびアドレス 24 (A/D 多重化モード) | AE34 |
| GPMC0_A9 | OZ | GPMC アドレス 9 出力 (A/D 非多重化モード) およびアドレス 25 (A/D 多重化モード) | AL33 |
| GPMC0_A10 | OZ | GPMC アドレス 10 出力 (A/D 非多重化モード) およびアドレス 26 (A/D 多重化モード) | AL34 |
| GPMC0_A11 | OZ | GPMC アドレス 11 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用) | AC34 |
| GPMC0_A12 | OZ | GPMC アドレス 12 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用) | AD33 |
| GPMC0_A13 | OZ | GPMC アドレス 13 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用) | AD38 |
| GPMC0_A14 | OZ | GPMC アドレス 14 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用) | AE35, AL32 |
| GPMC0_A15 | OZ | GPMC アドレス 15 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用) | AE33 |
| GPMC0_A16 | OZ | GPMC アドレス 16 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用) | AH34 |
| GPMC0_A17 | OZ | GPMC アドレス 17 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用) | AJ35 |

表 5-105. GPMC0 信号の説明 (続き)

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|----------------|-----------|--|------------|
| GPMC0_A18 | OZ | GPMC アドレス 18 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用) | AG34 |
| GPMC0_A19 | OZ | GPMC アドレス 19 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用) | AK36 |
| GPMC0_A20 | OZ | GPMC アドレス 20 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用) | AG33 |
| GPMC0_A21 | OZ | GPMC アドレス 21 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用) | AH33 |
| GPMC0_A22 | OZ | GPMC アドレス 22 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用) | AF33 |
| GPMC0_A23 | OZ | GPMC アドレス 23 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用) | AJ33 |
| GPMC0_A24 | OZ | GPMC アドレス 24 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用) | AG36 |
| GPMC0_AD0 | IO | GPMC データ 0 入出力 (A/D 非多重化モード) および追加アドレス 1 出力 (A/D 多重化モード) | AK35 |
| GPMC0_AD1 | IO | GPMC データ 1 入出力 (A/D 非多重化モード) および追加アドレス 2 出力 (A/D 多重化モード) | AK38 |
| GPMC0_AD2 | IO | GPMC データ 2 入出力 (A/D 非多重化モード) および追加アドレス 3 出力 (A/D 多重化モード) | AF37 |
| GPMC0_AD3 | IO | GPMC データ 3 入出力 (A/D 非多重化モード) および追加アドレス 4 出力 (A/D 多重化モード) | AG37 |
| GPMC0_AD4 | IO | GPMC データ 4 入出力 (A/D 非多重化モード) および追加アドレス 5 出力 (A/D 多重化モード) | AK37 |
| GPMC0_AD5 | IO | GPMC データ 5 入出力 (A/D 非多重化モード) および追加アドレス 6 出力 (A/D 多重化モード) | AD36 |
| GPMC0_AD6 | IO | GPMC データ 6 入出力 (A/D 非多重化モード) および追加アドレス 7 出力 (A/D 多重化モード) | AJ32 |
| GPMC0_AD7 | IO | GPMC データ 7 入出力 (A/D 非多重化モード) および追加アドレス 8 出力 (A/D 多重化モード) | AJ37 |
| GPMC0_AD8 | IO | GPMC データ 8 入出力 (A/D 非多重化モード) および追加アドレス 9 出力 (A/D 多重化モード) | AC32 |
| GPMC0_AD9 | IO | GPMC データ 9 入出力 (A/D 非多重化モード) および追加アドレス 10 出力 (A/D 多重化モード) | AC37 |
| GPMC0_AD10 | IO | GPMC データ 10 入出力 (A/D 非多重化モード) および追加アドレス 11 出力 (A/D 多重化モード) | AD37 |
| GPMC0_AD11 | IO | GPMC データ 11 入出力 (A/D 非多重化モード) および追加アドレス 12 出力 (A/D 多重化モード) | AE37 |
| GPMC0_AD12 | IO | GPMC データ 12 入出力 (A/D 非多重化モード) および追加アドレス 13 出力 (A/D 多重化モード) | AC36 |
| GPMC0_AD13 | IO | GPMC データ 13 入出力 (A/D 非多重化モード) および追加アドレス 14 出力 (A/D 多重化モード) | AE36 |
| GPMC0_AD14 | IO | GPMC データ 14 入出力 (A/D 非多重化モード) および追加アドレス 15 出力 (A/D 多重化モード) | AF38 |
| GPMC0_AD15 | IO | GPMC データ 15 入出力 (A/D 非多重化モード) および追加アドレス 16 出力 (A/D 多重化モード) | AE38 |
| GPMC0_BE0n_CLE | O | GPMC 下位バイト イネーブル (アクティブ Low) またはコマンド ラッチ イネーブル | AH38 |
| GPMC0_BE1n | O | GPMC 上位バイト イネーブル (アクティブ Low) | AJ38 |

表 5-105. GPMC0 信号の説明 (続き)

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|-------------------------|-----------|-----------------------------|------------|
| GPMC0_CS _n 0 | O | GPMC チップ セレクト 0 (アクティブ Low) | AG38 |
| GPMC0_CS _n 1 | O | GPMC チップ セレクト 1 (アクティブ Low) | AH37 |
| GPMC0_CS _n 2 | O | GPMC チップ セレクト 2 (アクティブ Low) | AE35、AL32 |
| GPMC0_CS _n 3 | O | GPMC チップ セレクト 3 (アクティブ Low) | AJ33 |
| GPMC0_WAIT0 | I | GPMC ウェイト外部表示 | AC33 |
| GPMC0_WAIT1 | I | GPMC ウェイト外部表示 | AE33 |
| GPMC0_WAIT2 | I | GPMC ウェイト外部表示 | AF33 |
| GPMC0_WAIT3 | I | GPMC ウェイト外部表示 | AD38 |

5.3.27 MMC

5.3.27.1 メイン ドメイン

表 5-106. MMC0 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|----------------------------|-----------|------------------|------------|
| MMC0_CALPAD ⁽¹⁾ | A | MMC/SD/SDIO 較正抵抗 | AJ7 |
| MMC0_CLK | O | MMC/SD/SDIO クロック | AK5 |
| MMC0_CMD | IO | MMC/SD/SDIO コマンド | AL8 |
| MMC0_DS | IO | MMC データ ストロープ | AK4 |
| MMC0_DAT0 | IO | MMC/SD/SDIO データ | AK9 |
| MMC0_DAT1 | IO | MMC/SD/SDIO データ | AL6 |
| MMC0_DAT2 | IO | MMC/SD/SDIO データ | AK8 |
| MMC0_DAT3 | IO | MMC/SD/SDIO データ | AK6 |
| MMC0_DAT4 | IO | MMC/SD/SDIO データ | AK7 |
| MMC0_DAT5 | IO | MMC/SD/SDIO データ | AL7 |
| MMC0_DAT6 | IO | MMC/SD/SDIO データ | AL5 |
| MMC0_DAT7 | IO | MMC/SD/SDIO データ | AK3 |

(1) このピンと VSS との間に 10kΩ ±1% の外付け抵抗を接続する必要があります。このピンに外部電圧を印加しないでください。

表 5-107. MMC1 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|--------------------------|-----------|------------------|------------|
| MMC1_CLK ⁽²⁾ | IO | MMC/SD/SDIO クロック | AB38 |
| MMC1_CMD | IO | MMC/SD/SDIO コマンド | AB36 |
| MMC1_SDCD ⁽¹⁾ | I | SD カード検出 | AR38 |
| MMC1_SDWP | I | SD 書き込み保護 | AN37 |
| MMC1_DAT0 | IO | MMC/SD/SDIO データ | AA33 |
| MMC1_DAT1 | IO | MMC/SD/SDIO データ | AB34 |
| MMC1_DAT2 | IO | MMC/SD/SDIO データ | AA32 |
| MMC1_DAT3 | IO | MMC/SD/SDIO データ | AC38 |

(1) MMC1 インターフェイスからの ROM ブートを正常に動作させるには、SD カード / メモリデバイスが存在することを示すために、抵抗で MMC1_SDCD ピンを外部的に Low にプルする必要があります。

(2) MMC1_CLK 信号を正常に動作させるには、リタイミング目的のため、CTRLMMR_PADCONFIG64 レジスタの RXACTIVE ビットを 0x1 に設定する必要があります。

5.3.28 OSPI

5.3.28.1 MCU ドメイン

表 5-108. MCU_OSPI0 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|-----------------------------|-----------|---------------------------------------|------------|
| MCU_OSPI0_CLK | O | OSPI クロック | E32 |
| MCU_OSPI0_DQS | I | OSPI データ ストローブ (DQS) またはループバック クロック入力 | C34 |
| MCU_OSPI0_ECC_FAIL | I | OSPI ECC ステータス | C32、F31 |
| MCU_OSPI0_LBCLKO | IO | OSPI ループバック クロック出力 | D32 |
| MCU_OSPI0_CS _n 0 | O | OSPI チップ セレクト 0 (アクティブ Low) | A32 |
| MCU_OSPI0_CS _n 1 | O | OSPI チップ セレクト 1 (アクティブ Low) | A33 |
| MCU_OSPI0_CS _n 2 | O | OSPI チップ セレクト 2 (アクティブ Low) | B34、C31 |
| MCU_OSPI0_CS _n 3 | O | OSPI チップ セレクト 3 (アクティブ Low) | C32、F31 |
| MCU_OSPI0_D0 | IO | OSPI データ 0 | B33 |
| MCU_OSPI0_D1 | IO | OSPI データ 1 | B32 |
| MCU_OSPI0_D2 | IO | OSPI データ 2 | C33 |
| MCU_OSPI0_D3 | IO | OSPI データ 3 | C35 |
| MCU_OSPI0_D4 | IO | OSPI データ 4 | D33 |
| MCU_OSPI0_D5 | IO | OSPI データ 5 | D34 |
| MCU_OSPI0_D6 | IO | OSPI データ 6 | E34 |
| MCU_OSPI0_D7 | IO | OSPI データ 7 | E33 |
| MCU_OSPI0_RESET_OUT0 | O | OSPI のリセット | B34、C31 |
| MCU_OSPI0_RESET_OUT1 | O | OSPI のリセット | C32、G33 |

表 5-109. MCU_OSPI1 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|-----------------------------|-----------|---------------------------------------|------------|
| MCU_OSPI1_CLK | O | OSPI クロック | F32 |
| MCU_OSPI1_DQS | I | OSPI データ ストローブ (DQS) またはループバック クロック入力 | F31 |
| MCU_OSPI1_LBCLKO | IO | OSPI ループバック クロック出力 | C31 |
| MCU_OSPI1_CS _n 0 | O | OSPI チップ セレクト 0 (アクティブ Low) | G32 |
| MCU_OSPI1_CS _n 1 | O | OSPI チップ セレクト 1 (アクティブ Low) | G33 |
| MCU_OSPI1_D0 | IO | OSPI データ 0 | E35 |
| MCU_OSPI1_D1 | IO | OSPI データ 1 | D31 |
| MCU_OSPI1_D2 | IO | OSPI データ 2 | G31 |
| MCU_OSPI1_D3 | IO | OSPI データ 3 | F33 |

5.3.29 Hyperbus

5.3.29.1 MCU ドメイン

表 5-110. MCU_HYPERBUS0 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|----------------------------------|-----------|------------------------------|------------|
| MCU_HYPERBUS0_CK | O | Hyperbus 差動クロック (正) | E32 |
| MCU_HYPERBUS0_CK _n | O | Hyperbus 差動クロック (負) | D32 |
| MCU_HYPERBUS0_INT _n | I | Hyperbus 割り込み (アクティブ Low) | C32、F31 |
| MCU_HYPERBUS0_RESET _n | O | Hyperbus リセット (アクティブ Low) 出力 | A33 |

表 5-110. MCU_HYPERBUS0 信号の説明 (続き)

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|------------------------|-----------|--|-------------|
| MCU_HYPERBUS0_RESETO_n | I | Hyperbus メモリからの Hyperbus リセット ステータス インジケータ (アクティブ Low) | B34、C31 |
| MCU_HYPERBUS0_RWDS | IO | Hyperbus 読み取り / 書き込みデータ ストローブ | C34 |
| MCU_HYPERBUS0_WP_n | O | Hyperbus 書き込み保護 (未使用) | B34、C32、G33 |
| MCU_HYPERBUS0_CS_n0 | O | Hyperbus チップ セレクト 0 | A32 |
| MCU_HYPERBUS0_CS_n1 | O | Hyperbus チップ セレクト 1 | B34、G33 |
| MCU_HYPERBUS0_DQ0 | IO | Hyperbus データ 0 | B33 |
| MCU_HYPERBUS0_DQ1 | IO | Hyperbus データ 1 | B32 |
| MCU_HYPERBUS0_DQ2 | IO | Hyperbus データ 2 | C33 |
| MCU_HYPERBUS0_DQ3 | IO | Hyperbus データ 3 | C35 |
| MCU_HYPERBUS0_DQ4 | IO | Hyperbus データ 4 | D33 |
| MCU_HYPERBUS0_DQ5 | IO | Hyperbus データ 5 | D34 |
| MCU_HYPERBUS0_DQ6 | IO | Hyperbus データ 6 | E34 |
| MCU_HYPERBUS0_DQ7 | IO | Hyperbus データ 7 | E33 |

5.3.30 エミュレーションおよびデバッグ

5.3.30.1 メイン ドメイン

表 5-111. JTAG 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|---------|-----------|------------------|------------|
| EMU0 | IO | エミュレーション制御 0 | F35 |
| EMU1 | IO | エミュレーション制御 1 | H34 |
| TCK | I | JTAG テスト クロック入力 | G35 |
| TDI | I | JTAG テスト データ入力 | AL37 |
| TDO | OZ | JTAG テスト データ出力 | AL35 |
| TMS | I | JTAG テスト モード選択入力 | AL36 |
| TRST_n | I | JTAG のリセット | G37 |

表 5-112. トレース信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|------------|-----------|-------------|------------|
| TRC_CLK | O | トレース クロック | AG36、AJ32 |
| TRC_CTL | O | トレース制御 | AJ33、AJ37 |
| TRC_DATA0 | O | トレース データ 0 | AF33、AJ34 |
| TRC_DATA1 | O | トレース データ 1 | AD36、AH33 |
| TRC_DATA2 | O | トレース データ 2 | AG33、AK37 |
| TRC_DATA3 | O | トレース データ 3 | AC33、AK36 |
| TRC_DATA4 | O | トレース データ 4 | AD37 |
| TRC_DATA5 | O | トレース データ 5 | AH38 |
| TRC_DATA6 | O | トレース データ 6 | AC37 |
| TRC_DATA7 | O | トレース データ 7 | AJ38 |
| TRC_DATA8 | O | トレース データ 8 | AC32 |
| TRC_DATA9 | O | トレース データ 9 | AE37 |
| TRC_DATA10 | O | トレース データ 10 | AK33 |

表 5-112. トレース信号の説明 (続き)

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|------------|-----------|-------------|------------|
| TRC_DATA11 | O | トレース データ 11 | AF38 |
| TRC_DATA12 | O | トレース データ 12 | AG37 |
| TRC_DATA13 | O | トレース データ 13 | AE36 |
| TRC_DATA14 | O | トレース データ 14 | AF37 |
| TRC_DATA15 | O | トレース データ 15 | AC36 |
| TRC_DATA16 | O | トレース データ 16 | AE38 |
| TRC_DATA17 | O | トレース データ 17 | AH37 |
| TRC_DATA18 | O | トレース データ 18 | AK34 |
| TRC_DATA19 | O | トレース データ 19 | AG38 |
| TRC_DATA20 | O | トレース データ 20 | AF36 |
| TRC_DATA21 | O | トレース データ 21 | AG34 |
| TRC_DATA22 | O | トレース データ 22 | AJ35 |
| TRC_DATA23 | O | トレース データ 23 | AH34 |
| TRC_DATA24 | O | トレース データ 24 | AE33 |
| TRC_DATA25 | O | トレース データ 25 | AL32 |

5.3.31 システム、その他

5.3.31.1 ブートモードの構成

表 5-113. Sysboot 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|----------------|-----------|----------------|------------|
| BOOTMODE00 | I | ブートモードピン 0 | B33 |
| BOOTMODE01 | I | ブートモードピン 1 | B32 |
| BOOTMODE02 | I | ブートモードピン 2 | D33 |
| BOOTMODE03 | I | ブートモードピン 3 | D34 |
| BOOTMODE04 | I | ブートモードピン 4 | M37 |
| BOOTMODE05 | I | ブートモードピン 5 | M36 |
| BOOTMODE06 | I | ブートモードピン 6 | N34 |
| BOOTMODE07 | I | ブートモードピン 7 | M34 |
| MCU_BOOTMODE00 | I | MCU ブートモードピン 0 | G38 |
| MCU_BOOTMODE01 | I | MCU ブートモードピン 1 | H36 |
| MCU_BOOTMODE02 | I | MCU ブートモードピン 2 | J38 |
| MCU_BOOTMODE03 | I | MCU ブートモードピン 3 | H38 |
| MCU_BOOTMODE04 | I | MCU ブートモードピン 4 | J34 |
| MCU_BOOTMODE05 | I | MCU ブートモードピン 5 | J35 |
| MCU_BOOTMODE06 | I | MCU ブートモードピン 6 | H37 |
| MCU_BOOTMODE07 | I | MCU ブートモードピン 7 | K37 |
| MCU_BOOTMODE08 | I | MCU ブートモードピン 8 | J37 |
| MCU_BOOTMODE09 | I | MCU ブートモードピン 9 | K38 |

5.3.31.2 クロック

表 5-114. Clock0 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|---------------|-----------|------------------------|------------|
| WKUP_LF_CLKIN | I | 低周波数 (32.768kHz) 発振器入力 | M34 |
| WKUP_OSC0_XI | I | 高周波数発振器入力 | T38 |
| WKUP_OSC0_XO | O | 高周波数発振器出力 | U37 |

表 5-115. Clock1 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|---------|-----------|-----------|------------|
| OSC1_XI | I | 高周波数発振器入力 | P38 |
| OSC1_XO | O | 高周波数発振器出力 | N37 |

5.3.31.3 システム

表 5-116. MCU システム信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|-------------------|-----------|--|------------|
| MCU_CLKOUT0 | OZ | イーサネット PHY の基準クロック出力 (50MHz または 25MHz) | M38 |
| MCU_EXT_REFCLK0 | I | 外部システム クロック入力 | L33、M33 |
| MCU_OBSCLK0 | O | 監視クロック出力は、テストとデバッグのみを目的としています。 | H34、M38 |
| MCU_PORz | I | MCU ドメイン コールドリセット | K32 |
| MCU_RESETSTATz | O | MCU ドメイン ウォームリセット ステータス出力 | F36 |
| MCU_RESETz | I | MCU ドメイン ウォームリセット | G36 |
| MCU_SAFETY_ERRORn | IO | MCU ドメイン ESM からのエラー信号出力 | N36 |
| MCU_SYSCLKOUT0 | O | テストおよびデバッグ専用 MCU ドメイン システム クロック 出力 | L33 |

表 5-117. システム信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|-------------------|-----------|---|------------|
| AUDIO_EXT_REFCLK0 | IO | 選択可能な入力クロックソースの 1 つとして、または ATL または McASP の出力クロック出力として、ATL または McASP に配線される外部クロック | AJ34 |
| AUDIO_EXT_REFCLK1 | IO | 選択可能な入力クロックソースの 1 つとして、または ATL または McASP の出力クロック出力として、ATL または McASP に配線される外部クロック | AH37 |
| EXTINTn | I | 外部割り込み | AN35 |
| EXT_REFCLK1 | I | メインドメインへの外部クロック入力。タイマ / WDT モジュールのための選択可能な入力クロック源の 1 つとして、または MAIN_PLL2 (PER1 PLL) への基準クロックとして、タイマクロック マルチプレクサに配線します。 | AJ32 |
| GPMC0_FCLK_MUX | O | MUX ロジックで選択された GPMC 機能クロック出力 | AF36 |
| OBSCLK0 | O | 監視クロック出力は、テストとデバッグのみを目的としています。 | AN37 |
| OBSCLK1 | O | 監視クロック出力は、テストとデバッグのみを目的としています。 | AG37 |
| PMIC_POWER_EN1 | O | メインドメイン電源用のパワー イネーブル出力 | L38 |
| PMIC_WAKE0 | O | PMIC ウェークアップ (アクティブ Low) | AJ34 |
| PMIC_WAKE1 | O | PMIC ウェークアップ (アクティブ Low) | M33 |

表 5-117. システム信号の説明 (続き)

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|-------------------|-----------|--|------------|
| PORz | I | SoC PORz リセット信号 | P33 |
| RESETSTATz | O | メインドメインのウォームリセットステータス出力 | AL38 |
| RESET_REQz | I | メインドメインの外部ウォームリセット要求入力 | F34 |
| SOC_SAFETY_ERRORn | IO | メインドメイン ESM からのエラー信号出力 | AM34 |
| SYNC0_OUT | O | CPTS タイムスタンプジェネレータのビット 0 | AD36 |
| SYNC1_OUT | O | CPTS タイムスタンプジェネレータのビット 1 | AJ32 |
| SYNC2_OUT | O | CPTS タイムスタンプジェネレータのビット 2 | AD38 |
| SYNC3_OUT | O | CPTS タイムスタンプジェネレータのビット 3 | AD37 |
| SYSCLKOUT0 | O | メイン PLL コントローラからの SYSCLK0 出力 (6 分周、テストおよびデバッグ専用) | AR38 |

5.3.31.4 EFUSE

表 5-118. EFUSE 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|----------|-----------|----------------------------|------------|
| VPP_CORE | PWR | MAIN ドメイン eFuse のプログラミング電圧 | AA31 |
| VPP_MCU | PWR | MCU ドメイン eFuse のプログラミング電圧 | L29 |

5.3.31.5 VMON

表 5-119. VMON 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|------------------|-----------|---|------------|
| VMON1_ER_VSYS | A | 電圧モニタ、固定 0.45V (±3%) スレッショルド。PMIC 入力電源などのより高い電圧レールを監視するには、外付けの高精度分圧器と組み合わせて使用します。 | K28 |
| VMON2_IR_VCPU | A | VDD_CPU に外部で直接接続することを推奨します。 | N27 |
| VMON3_IR_VEXT1P8 | A | 外部電源向けの汎用電圧モニタ、1.8V スレッショルド。抵抗分圧器内蔵。 | J30 |
| VMON4_IR_VEXT1P8 | A | 外部電源向けの汎用電圧モニタ、1.8V スレッショルド。抵抗分圧器内蔵。 | P28 |
| VMON5_IR_VEXT3P3 | A | 外部電源向けの汎用電圧モニタ、3.3V スレッショルド。抵抗分圧器内蔵。 | R29 |

5.3.32 電源

表 5-120. 電源信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|------------------------------|-----------|-----------|--|
| CAP_VDDS0 ⁽¹⁾ | CAP | 外部コンデンサ接続 | V29 |
| CAP_VDDS0_MCU ⁽¹⁾ | CAP | 外部コンデンサ接続 | L27 |
| CAP_VDDS1_MCU ⁽¹⁾ | CAP | 外部コンデンサ接続 | L25 |
| CAP_VDDS2 ⁽¹⁾ | CAP | 外部コンデンサ接続 | T29 |
| CAP_VDDS2_MCU ⁽¹⁾ | CAP | 外部コンデンサ接続 | L26 |
| CAP_VDDS5 ⁽¹⁾ | CAP | 外部コンデンサ接続 | P29 |
| VDDAR_CORE | PWR | コア RAM 電源 | AB27、AC24、AF15、 AF18、AF21、AG11、 AG28、T25 |

表 5-120. 電源信号の説明 (続き)

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|----------------------|-----------|-------------------------|--|
| VDDAR_CPU | PWR | CPU RAM 電源 | AB13、AC16、AC18、 AC20、AE12、M21、N23、 T15、U20、W14、W21、 Y11、Y19 |
| VDDAR_MCU | PWR | MCU RAM 電源 | M27、N24 |
| VDDA_0P8_DSITX | PWR | DSITX のアナログ電源 | AJ24 |
| VDDA_0P8_DSITX_C | PWR | DSITX クロック電源 | AJ25 |
| VDDA_0P8_UFS | PWR | UFS 0.8V 電源 | AH11 |
| VDDA_0P8_USB | PWR | USB 0.8V 電源 | AK20 |
| VDDA_0P8_CSIRX2 | PWR | CSIRX のアナログ電源 | AJ28 |
| VDDA_0P8_CSIRX0_1 | PWR | CSIRX のアナログ電源 | AJ26、AK26 |
| VDDA_0P8_DLL_MMC0 | PWR | MMC DLL アナログ電源 | AE9 |
| VDDA_0P8_PLL_DDR0 | PWR | DDR デスキュー PLL アナログ電源 | U11 |
| VDDA_0P8_PLL_DDR1 | PWR | DDR デスキュー PLL アナログ電源 | M14 |
| VDDA_0P8_PLL_DDR2 | PWR | DDR デスキュー PLL アナログ電源 | N11 |
| VDDA_0P8_PLL_DDR3 | PWR | DDR デスキュー PLL アナログ電源 | M18 |
| VDDA_0P8_SERDES2 | PWR | SERDES 0.8V 電源 | AJ20、AJ21 |
| VDDA_0P8_SERDES4 | PWR | SERDES 0.8V 電源 | AJ17、AJ18 |
| VDDA_0P8_SERDES0_1 | PWR | SERDES 0.8V 電源 | AJ12、AJ15、AK13、AK14 |
| VDDA_0P8_SERDES_C2 | PWR | SERDES 0.8V クロック電源 | AG21、AH20 |
| VDDA_0P8_SERDES_C4 | PWR | SERDES 0.8V クロック電源 | AG17、AH18 |
| VDDA_0P8_SERDES_C0_1 | PWR | SERDES 0.8V クロック電源 | AH12、AH13、AH15、 AH16 |
| VDDA_1P8_DSITX | PWR | DSITX のアナログ電源 | AH24、AH25 |
| VDDA_1P8_UFS | PWR | UFS 1.8V 電源 | AJ10 |
| VDDA_1P8_USB | PWR | USB 1.8V 電源 | AK21 |
| VDDA_1P8_CSIRX2 | PWR | CSIRX のアナログ電源 | AH29、AJ29 |
| VDDA_1P8_CSIRX0_1 | PWR | CSIRX のアナログ電源 | AH27、AH28 |
| VDDA_1P8_SERDES2 | PWR | SERDES 1.8V 電源 | AH21 |
| VDDA_1P8_SERDES4 | PWR | SERDES 1.8V 電源 | AH17 |
| VDDA_1P8_SERDES0_1 | PWR | SERDES 1.8V 電源 | AJ13、AJ14 |
| VDDA_1P8_SERDES2_4 | PWR | SERDES 1.8V 電源 | AJ23 |
| VDDA_3P3_USB | PWR | USB 3.3V 電源 | AJ19 |
| VDDA_ADC0 | PWR | ADC0 アナログ電源 | M31 |
| VDDA_ADC1 | PWR | ADC1 アナログ電源 | N30 |
| VDDA_MCU_PLLGRP0 | PWR | MCU PLL グループ 0 のアナログ電源 | M28 |
| VDDA_MCU_TEMP | PWR | MCU 温度センサのアナログ電源 | M26 |
| VDDA_OSC1 | PWR | HFOSC1 電源 | N29 |
| VDDA_PLLGRP0 | PWR | MAIN PLL グループ 0 のアナログ電源 | AA27 |
| VDDA_PLLGRP1 | PWR | MAIN PLL グループ 1 のアナログ電源 | Y28 |
| VDDA_PLLGRP2 | PWR | MAIN PLL グループ 2 のアナログ電源 | AG13 |
| VDDA_PLLGRP5 | PWR | MAIN PLL グループ 5 のアナログ電源 | V14 |
| VDDA_PLLGRP6 | PWR | MAIN PLL グループ 6 のアナログ電源 | R21 |

表 5-120. 電源信号の説明 (続き)

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|---------------|-----------|--------------------------|---|
| VDDA_PLLGRP7 | PWR | MAIN PLL グループ 7 のアナログ電源 | P12 |
| VDDA_PLLGRP8 | PWR | MAIN PLL グループ 8 のアナログ電源 | P15 |
| VDDA_PLLGRP9 | PWR | MAIN PLL グループ 9 のアナログ電源 | Y26 |
| VDDA_PLLGRP10 | PWR | MAIN PLL グループ 10 のアナログ電源 | AG23 |
| VDDA_PLLGRP12 | PWR | MAIN PLL グループ 12 のアナログ電源 | AA23 |
| VDDA_PLLGRP13 | PWR | MAIN PLL グループ 13 のアナログ電源 | AB26 |
| VDDA_POR_WKUP | PWR | WKUP ドメイン アナログ電源 | N28 |
| VDDA_TEMP0 | PWR | 温度センサ 0 のアナログ電源 | Y27 |
| VDDA_TEMP1 | PWR | 温度センサ 1 のアナログ電源 | M12 |
| VDDA_TEMP2 | PWR | 温度センサ 2 のアナログ電源 | W23 |
| VDDA_TEMP3 | PWR | 温度センサ 3 のアナログ電源 | AE13 |
| VDDA_TEMP4 | PWR | 温度センサ 4 のアナログ電源 | AD18 |
| VDDA_WKUP | PWR | WKUP ドメインの発振器電源 | K31、L32 |
| VDDSHV0 | PWR | IO の電源 | V30、V32、W31 |
| VDDSHV0_MCU | PWR | IO の電源 | H29、J28、K29 |
| VDDSHV1_MCU | PWR | IO の電源 | H25、J24、K25 |
| VDDSHV2 | PWR | IO の電源 | T30、T32、U31 |
| VDDSHV2_MCU | PWR | IO の電源 | H27、J26、K27 |
| VDDSHV5 | PWR | IO の電源 | P31、R30、R31 |
| VDDS_DDR | PWR | DDR PHY IO 電源 | A31、AK1、B1、H11、H13、 H15、H17、H19、H9、J10、 J12、J14、J16、J18、J8、 K11、K13、K15、K17、 K19、K9、L10、L12、L14、 L16、L18、M9、N10、N8、 P9、R10、R8、T9、U10、 U8 |
| VDDS_DDR_C0 | PWR | DDR クロックの IO 電源 | T10 |
| VDDS_DDR_C1 | PWR | DDR クロックの IO 電源 | L15 |
| VDDS_DDR_C2 | PWR | DDR クロックの IO 電源 | M10 |
| VDDS_DDR_C3 | PWR | DDR クロックの IO 電源 | L17 |
| VDDS_MMC0 | PWR | MMC0 PHY IO 電源 | AF9、AG10、AG8、AH9 |

表 5-120. 電源信号の説明 (続き)

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|---------------|-----------|--------------------------|--|
| VDD_CORE | PWR | メインドメイン コア電源 | AA24、AA26、AA28、AA30、AB25、AB29、AB31、AC26、AC28、AC30、AD25、AD27、AD29、AD31、AE24、AE26、AE28、AE30、AE32、AF13、AF17、AF19、AF23、AF25、AF27、AF29、AF31、AG12、AG14、AG16、AG18、AG20、AG22、AG24、AG26、AG30、AG32、AH31、AJ30、M11、M13、M15、M17、M19、N12、N16、N18、P11、P17、P19、R12、R14、R16、R18、R24、R26、R28、T11、T13、T27、U12、U24、U26、U28、V25、V27、W24、W26、W28、W30、W32、Y25、Y29、Y31 |
| VDD_CPU | PWR | CPU コア電源 | AA10、AA12、AA14、AA20、AA22、AA8、AB11、AB19、AB21、AB23、AB9、AC10、AC12、AC14、AC22、AD11、AD13、AD15、AD17、AD19、AD21、AD23、AD9、AE10、AE14、AE16、AE18、AE20、AE22、AF11、H21、H23、J20、J22、K21、K23、L20、L22、N20、N22、P21、R20、R22、T17、T19、T21、T23、U14、U22、V11、V13、V19、V21、V23、V9、W10、W12、W20、W22、W8、Y13、Y21、Y23、Y9 |
| VDD_MCU | PWR | MCU コア電源 | L24、M23、M25、N26、P23、P25、P27 |
| VDD_MCU_WAKE1 | PWR | MCU デイジー チェーンのコア電源 | L28 |
| VDD_WAKE0 | PWR | MAIN ドメイン デイジー チェーンのコア電源 | U29 |

表 5-120. 電源信号の説明 (続き)

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|---------|-----------|--------|--|
| VSS | GND | グラウンド | A1, A10, A12, A15, A2, A20, A23, A25, A28, A34, A37, A5, A7, AA11, AA13, AA19, AA2, AA21, AA25, AA29, AA34, AA36, AA38, AA5, AA9, AB1, AB10, AB12, AB14, AB20, AB22, AB24, AB28, AB30, AB32, AB33, AB35, AB37, AB5, AB8, AC11, AC13, AC15, AC17, AC19, AC2, AC21, AC23, AC25, AC27, AC29, AC31, AC6, AC9, AD1, AD10, AD12, AD14, AD16, AD20, AD22, AD24, AD26, AD28, AD30, AD32, AD35, AD4, AD8, AE11, AE15, AE17, AE19, AE2, AE21, AE23, AE25, AE27, AE29, AE31, AE5, AF10, AF12, AF14, AF16, AF20, AF22, AF24, AF26, AF28, AF3, AF30, AF32, AF6, AF8, AG1, AG15, AG19, AG25, AG27, AG29, AG31, AG4, AG7, AG9, AH10, AH14, AH19, AH2, AH22, AH23, AH26, AH30, AH32, AH35, AH5, AH8, AJ11, AJ16, AJ22, AJ27, AJ3, AJ31, AJ6, AJ8, AJ9, AK10, AK11, AK12, AK15, AK16, AK17, AK18, AK19, AK22, AK23, AK24, AK25, AK27, AK28, AK30, AK32, AL1, AL10, AL12, AL13, AL14, AL15, AL16, AL17, AL18 |

表 5-120. 電源信号の説明 (続き)

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|----------|-----------|--------|---|
| VSS (続き) | GND | グラウンド | AL19, AL21, AL26, AL29, AL31, AL4, AM11, AM13, AM15, AM18, AM20, AM23, AM25, AM27, AM3, AM30, AM32, AM38, AM6, AN1, AN10, AN12, AN14, AN16, AN19, AN22, AN25, AN28, AN31, AN34, AN4, AN7, AP12, AP15, AP18, AP21, AP24, AP27, AP3, AP30, AP33, AP36, AP6, AP9, AR1, AR10, AR13, AR16, AR19, AR22, AR25, AR28, AR31, AR34, AR37, AR4, AR7, AT12, AT15, AT18, AT21, AT24, AT27, AT3, AT30, AT33, AT36, AT6, AT9, AU1, AU10, AU13, AU16, AU19, AU22, AU25, AU28, AU31, AU34, AU37, AU38, AU4, AU7, AV1, AV11, AV14, AV17, AV2, AV20, AV23, AV26, AV29, AV32, AV35, AV5, AV8, B11, B13, B16, B19, B22, B24, B26, B29, B31, B38, B6, B9, C14, C17, C18, C2, C21, C27, C30, C4, C8, D10, D15, D20, D23, D28, D3, D35, D6, D7, E12, E13, E16, E19, E2, E22, E25, E26, E29, E31, E5, E9, F1, F11, F14, F17, F21, F24, F27, F30, F4, F7, F8, G15 |

表 5-120. 電源信号の説明 (続き)

| 信号名 [1] | ピンの種類 [2] | 説明 [3] | ALY ピン [4] |
|----------|-----------|--------|--|
| VSS (続き) | GND | グラウンド | G18, G20, G28, G3, G6, H10, H16, H18, H2, H20, H22, H24, H26, H28, H30, H31, H5, H7, H8, J1, J11, J13, J15, J17, J19, J21, J23, J25, J27, J29, J32, J4, J9, K10, K12, K14, K16, K18, K2, K20, K22, K24, K26, K6, K8, L1, L11, L13, L19, L21, L23, L31, L5, L9, M16, M2, M20, M22, M24, M29, M30, M32, M5, M8, N15, N17, N19, N21, N25, N3, N31, N32, N38, N6, N9, P1, P10, P16, P18, P20, P22, P24, P26, P30, P32, P35, P37, P4, P7, P8, R11, R13, R15, R17, R19, R2, R23, R25, R27, R32, R34, R36, R38, R5, R9, T12, T14, T16, T18, T20, T22, T24, T26, T28, T3, T31, T33, T35, T37, T6, T8, U13, U19, U21, U23, U25, U27, U3, U30, U32, U34, U36, U38, U6, U9, V10, V12, V2, V20, V22, V24, V26, V28, V31, V33, V35, V37, V5, V8, W1 |
| VSS (続き) | GND | グラウンド | W11, W13, W19, W25, W27, W29, W34, W36, W38, W4, W7, W9, Y10, Y12, Y14, Y20, Y22, Y24, Y3, Y30, Y32, Y33, Y35, Y37, Y6, Y8 |

(1) このピンは、常に $1\mu\text{F} \pm 10\%$ のコンデンサを介して VSS に接続する必要があります。

5.4 ピン接続要件

このセクションでは、特定の接続要件を持つパッケージ ボールと、未使用のパッケージ ボールの接続要件について説明します。

注

「信号の説明」に特に記述のない限り、すべての電源ボールには「推奨動作条件」セクションで規定されている電圧を供給する必要があります。

注

「未接続のまま」または「接続なし」(NC) は、これらのデバイスのボール番号にいかなる信号トレースも接続できないことを意味します。

表 5-121 に、特定の信号の接続要件をボール名とボール番号ごとに示します。

表 5-121. 接続要件

| ボール番号 | ボール名 | 接続要件 | |
|-------|------------------|---|---|
| P38 | OSC1_XI | 使用しない場合は、これらのボールが有効なロジック Low レベルに保持されるように、これらの各ボールを個別の外付けプル抵抗を介して VSS に接続する必要があります。 | |
| T38 | WKUP_OSC0_XI | | |
| G37 | TRSTN | | |
| U1 | DDR0_DQS0P | | |
| AA1 | DDR0_DQS1P | | |
| AF1 | DDR0_DQS2P | | |
| AJ1 | DDR0_DQS3P | | |
| A16 | DDR1_DQS0P | | |
| A13 | DDR1_DQS1P | | |
| A8 | DDR1_DQS2P | | |
| A3 | DDR1_DQS3P | | |
| T1 | DDR2_DQS0P | | |
| N1 | DDR2_DQS1P | | |
| H1 | DDR2_DQS2P | | |
| E1 | DDR2_DQS3P | | |
| A18 | DDR3_DQS0P | | |
| A21 | DDR3_DQS1P | | |
| A26 | DDR3_DQS2P | | |
| A29 | DDR3_DQS3P | | |
| AC8 | DDR0_RET | | |
| G8 | DDR1_RET | | |
| L8 | DDR2_RET | | |
| G27 | DDR3_RET | | |
| K28 | VMON1_ER_VSYS | | |
| N27 | VMON2_IR_VCPU | | |
| J30 | VMON3_IR_VEXT1P8 | | |
| P28 | VMON4_IR_VEXT1P8 | | |
| R29 | VMON5_IR_VEXT3P3 | | |
| P36 | MCU_ADC0_AIN0 | | 使用しない場合は、これらのボールが有効なロジック Low レベルに保持されるように、これらの各ボールを個別の外付けプル抵抗を介して VSS に接続するか VSS に直接接続できます。 |
| V36 | MCU_ADC0_AIN1 | | |
| T34 | MCU_ADC0_AIN2 | | |
| T36 | MCU_ADC0_AIN3 | | |
| P34 | MCU_ADC0_AIN4 | | |
| R37 | MCU_ADC0_AIN5 | | |
| R33 | MCU_ADC0_AIN6 | | |
| V38 | MCU_ADC0_AIN7 | | |
| Y38 | MCU_ADC1_AIN0 | | |
| Y34 | MCU_ADC1_AIN1 | | |
| V34 | MCU_ADC1_AIN2 | | |
| W37 | MCU_ADC1_AIN3 | | |
| AA37 | MCU_ADC1_AIN4 | | |
| W33 | MCU_ADC1_AIN5 | | |
| U33 | MCU_ADC1_AIN6 | | |
| Y36 | MCU_ADC1_AIN7 | | |

表 5-121. 接続要件 (続き)

| ボール番号 | ボール名 | 接続要件 |
|-------|---------------|--|
| AN11 | SERDES0_REXT | 使用しない場合は、これらのボールが有効なロジック Low レベルに保持されるように、これらの各ボールを適切な外付けプル抵抗を介して VSS に接続する必要があります。各信号に対応するプル抵抗の適切な値については、「 信号の説明 」の脚注を参照してください。 |
| AL9 | SERDES1_REXT | |
| AL20 | SERDES2_REXT | |
| AM19 | SERDES4_REXT | |
| AM28 | CSI0_RXRCALIB | |
| AL28 | CSI1_RXRCALIB | |
| AM31 | CSI2_RXRCALIB | |
| AE8 | DDR0_CAL0 | |
| G14 | DDR1_CAL0 | |
| U7 | DDR2_CAL0 | |
| F18 | DDR3_CAL0 | |
| AM24 | DSI0_TXRCALIB | |
| AL22 | DSI1_TXRCALIB | |
| AN18 | USB0_RCALIB | |

表 5-121. 接続要件 (続き)

| ボール番号 | ボール名 | 接続要件 |
|-------|---------------|--|
| G36 | MCU_RESETZ | 使用しない場合は、これらのボールが有効なロジック High レベルに保持されるように、これらの各ボールを個別の外付けプル抵抗を介して対応する電源に接続する必要があります。 |
| K32 | MCU_PORZ | |
| P33 | PORZ | |
| F34 | RESET_REQZ | |
| G35 | TCK | |
| AL36 | TMS | |
| G34 | MCU_I2C0_SDA | |
| M35 | MCU_I2C0_SCL | |
| N33 | WKUP_I2C0_SCL | |
| N35 | WKUP_I2C0_SDA | |
| AN36 | I2C0_SCL | |
| AP37 | I2C0_SDA | |
| AN35 | EXTINTN | |
| AL37 | TDI | |
| AL35 | TDO | |
| F35 | EMU0 | |
| H34 | EMU1 | |
| V1 | DDR0_DQS0N | |
| Y1 | DDR0_DQS1N | |
| AE1 | DDR0_DQS2N | |
| AH1 | DDR0_DQS3N | |
| A17 | DDR1_DQS0N | |
| A14 | DDR1_DQS1N | |
| A9 | DDR1_DQS2N | |
| A4 | DDR1_DQS3N | |
| R1 | DDR2_DQS0N | |
| M1 | DDR2_DQS1N | |
| G1 | DDR2_DQS2N | |
| D1 | DDR2_DQS3N | |
| A19 | DDR3_DQS0N | |
| A22 | DDR3_DQS1N | |
| A27 | DDR3_DQS2N | |
| A30 | DDR3_DQS3N | |
| R35 | MCU_ADC0_REFP | MCU_ADCn インターフェイスを使用しない場合、これらの信号を VDDA_ADCn 電源入力と同じ電源に接続する必要があります。 |
| AA35 | MCU_ADC1_REFP | |
| U35 | MCU_ADC0_REFN | MCU_ADCn インターフェイスを使用しない場合、これらの信号を VSS に接続する必要があります。 |
| W35 | MCU_ADC1_REFN | |
| L29 | VPP_MCU | 使用しない場合は、これらの各ボールを未接続のままにする必要があります。 |
| AA31 | VPP_CORE | |
| AJ7 | MMC0_CALPAD | |
| | DDR0_* | DDRSS0、DDRSS1、DDRSS2、DDRSS3 は常に増分の順序で使用する必要があります。たとえば、単一の LPDDR 部品を使用する場合は、DDR0_* インターフェイスに接続する必要があります。2 つの LPDDR 部品を使用する場合は、DDR0_* および DDR1_* インターフェイスなどに接続する必要があります。 |
| | DDR1_* | |
| | DDR2_* | |
| | DDR3_* | |

表 5-122 に、デバイスの予備ボール番号に固有の接続要件を示します。

注

「未接続のまま」または「接続なし」(NC) は、これらのデバイスのボール番号にいかなる信号トレースも接続できないことを意味します。

表 5-122. 予備ボールの固有の接続要件 (AHP)

| ボール番号 | 接続要件 |
|---|----------------------------------|
| AF7 / AK2 / AK29 / AK31 / AL11 / AL23 / AL24 / AL25 / AL27 / AL30 / AM10 / AM12 / AM14 / AM16 / AM17 / AM21 / AM22 / AM26 / AM29 / AM33 / AM9 / AN13 / AN20 / AN21 / G17 / G22 / G30 / H12 / H14 / H32 / H33 / J31 / J33 / K30 / L30 / N7 / T7 / Y7 | 予備。 これらのボールは未接続のままにする必要があります。 |

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)^{(1) (2)}

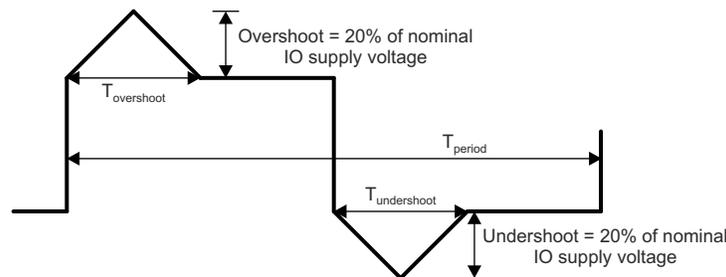
| パラメータ | | 最小値 | 最大値 | 単位 | |
|--|---|-------------------|---------------------------|-----|---|
| VDD_*(³) | コア電源 | -0.3 | 1.05 | V | |
| VDDAR_*(³) | RAM 電源 | -0.3 | 1.05 | V | |
| VDDA_0P8_*(³) | 0.8V ドメインのアナログ電源 | -0.3 | 1.05 | V | |
| VDDA_1P8_*(³) | 1.8V PHYドメインのアナログ電源 | -0.3 | 2.2 | V | |
| VDDA_3P3_USB | 3.3V USBドメインのアナログ電源 | -0.3 | 3.8 | V | |
| VDDA_*(³) | 1.8V PLL およびその他ドメインのアナログ電源 | -0.3 | 2.2 | V | |
| VDDS_DDR_*(³) | DDR インターフェイス電源 | -0.3 | 1.2 | V | |
| VDDS_MMC0 | MMC0 IO 電源 | -0.3 | 2.2 | V | |
| VDDSHV*(³) | デュアル電圧 LVCMOS IO 電源 | 1.8 V | -0.3 | 2.2 | V |
| | | 3.3 V | -0.3 | 3.8 | V |
| VPP_CORE VPP MCU | eFuse ドメインの電源電圧範囲 | -0.3 | 1.89 | V | |
| USB_VBUS(⁹) | USB VBUS コンパレータ入力電圧範囲 | -0.3 | 3.6 | V | |
| すべてのフェイルセーフ IO ピンの定常状態の最大電圧 | I2C0_SCL、 I2C0_SDA、 WKUP_I2C0_SC L、 WKUP_I2C0_SD A、 MCU_I2C0_SCL 、 MCU_I2C0_SDA 、 EXTINTn | -0.3 | 3.8 | V | |
| | | MCU_PORz、 PORz | -0.3 | 3.8 | V |
| 他のすべての IO ピンの定常状態の最大電圧 ⁽⁴⁾ | VMON1_ER_VSY S(⁸)、 VMON3_IR_VEX T1P8、 VMON4_IR_VEX T1P8 | -0.3 | 2.2 | V | |
| | VMON2_IR_VCP U | -0.3 | 1.05 | V | |
| | VMON5_IR_VEX T3P3 | -0.3 | 3.8 | V | |
| | その他のすべての IO ピン | -0.3 | IO 電源電圧 + 0.3 | V | |
| IO ピンの過渡オーバーシュートおよびアンダーシュートの仕様 | 信号周期の最大 20% にわたって IO 電源電圧の 20% 図 6-1(「IO 過渡電 圧範囲」を参照) | | 0.2 × VDD(⁷) | V | |
| ラッチアップ性能、Class II (125°C) ⁽⁵⁾ | I-Test | -100 | 100 | mA | |
| | 過電圧 (OV) 試験 | 該当なし | 1.5 × VDD(⁷) | V | |
| T _{STG} (⁶) | 保存温度 | -55 | +150 | °C | |

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」

の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

- (2) すべての電圧値は、特に記述のない限り、関連付けられた VSS または VSSA_x を基準とします。
- (3) **VDD_*** には、次のものが含まれます。VDD_CORE、VDD_CPU、VDD_MCU、VDD_MCU_WAKE1、VDD_WAKE0
VDDAR_* には次のものが含まれます。VDDAR_CORE、VDDAR_CPU、VDDAR_MCU
VDDA_0P8_* には次のものが含まれます。VDDA_0P8_CSIRX0_1、VDDA_0P8_CSIRX2、VDDA_0P8_DLL_MMC0、VDDA_0P8_DSITX、VDDA_0P8_DSITX_C、VDDA_0P8_PLL_DDR0、VDDA_0P8_PLL_DDR1、VDDA_0P8_PLL_DDR2、VDDA_0P8_PLL_DDR3、VDDA_0P8_SERDES_C0_1、VDDA_0P8_SERDES_C2、VDDA_0P8_SERDES_C4、VDDA_0P8_SERDES0_1、VDDA_0P8_SERDES2、VDDA_0P8_SERDES4、VDDA_0P8_UFS、VDDA_0P8_USB
VDDA_1P8_* には次のものが含まれます。VDDA_1P8_CSIRX0_1、VDDA_1P8_CSIRX2、VDDA_1P8_DSITX、VDDA_1P8_SERDES0_1、VDDA_1P8_SERDES2、VDDA_1P8_SERDES2_4、VDDA_1P8_SERDES4、VDDA_1P8_UFS、VDDA_1P8_USB
VDDA_* には次のものが含まれます。VDDA_ADC0、VDDA_ADC1、VDDA_MCU_PLLGRP0、VDDA_MCU_TEMP、VDDA_OSC1、VDDA_PLLGRP0、VDDA_PLLGRP1、VDDA_PLLGRP10、VDDA_PLLGRP12、VDDA_PLLGRP13、VDDA_PLLGRP2、VDDA_PLLGRP5、VDDA_PLLGRP6、VDDA_PLLGRP7、VDDA_PLLGRP8、VDDA_PLLGRP9、VDDA_POR_WKUP、VDDA_TEMP0、VDDA_TEMP1、VDDA_TEMP2、VDDA_TEMP3、VDDA_TEMP4、VDDA_WKUP
VDDS_DDR_* には次のものが含まれます。VDDS_DDR、VDDS_DDR_C0、VDDS_DDR_C1、VDDS_DDR_C2、VDDS_DDR_C3
VDDSHV* には次のものが含まれます。VDDSHV0、VDDSHV0_MCU、VDDSHV1_MCU、VDDSHV2、VDDSHV2_MCU、VDDSHV5
このパラメータはフェイルセーフでないすべての IO ピンに適用され、IO 電源電圧のすべての値に要件が適用されます。たとえば、特定の IO 電源に印加される電圧が 0V の場合、その電源から供給される IO の有効な入力電圧範囲は -0.3V~+0.3V になります。ペリフェラル デバイスに電力を供給する電源がそれぞれの IO 電源に電力を供給する電源と同じでない場合は、特別な注意が必要です。接続されているペリフェラルは、電源のランプアップおよびランプダウンのシーケンスも含めて、有効な入力電圧範囲外の電圧を供給しないことが重要です。
- (5) 電流パルス注入：
JEDEC JESD78E (Class II) に従ってピンにストレスを加え、規定の I/O ピン注入電流と最大推奨 I/O 電圧の +1.5 倍および -0.5 倍のクランプ電圧で合格しました。
過電圧性能：
JEDEC JESD78E (Class II) に従って電源にストレスを加え、規定の電圧注入に合格しました。
- (6) テープ アンド リールの保存温度範囲は [-10°C; +50°C]、最大相対湿度は 70% です。使用前に室温に戻すことをお勧めします。
- (7) VDD は、IO の対応する電源ピンの電圧です。
- (8) VMON_ER_VSYS ピンは、システム電源を監視する手段を提供します。詳細については、「[VMON/POK によるシステム電源監視の設計ガイドライン](#)」を参照してください。
- (9) このデバイスピンに印加される電圧を制限するには、外付けの分圧抵抗が必要です。詳細については、「[USB VBUS の設計ガイドライン](#)」を参照してください。

フェイルセーフ IO 端子は、それぞれの IO 電源電圧に依存しないように設計されています。これにより、該当する IO 電源がオフのときに、これらの IO 端子に外部電圧源を接続できます。I2C0_SCL、I2C0_SDA、I2C1_SCL、I2C1_SDA、DDR_FS_RESETn および NMI_n だけがフェイルセーフ IO 端子です。それ以外の IO 端子はいずれもフェイルセーフではなく、それらに印加される電圧は、「絶対最大定格」の「すべての IO ピンの定常状態の最大電圧」のパラメータで定義されている値に制限する必要があります。



A. $T_{overshoot} + T_{undershoot} < T_{period}$ の 20%

図 6-1. IO 過渡電圧範囲

6.2 ESD 定格

| | | | 値 | 単位 | |
|--------------------|-------|--|-------------------|----|------|
| V _(ESD) | 静電気放電 | 人体モデル (HBM)、AEC Q100-002 準拠 ⁽¹⁾ | ±1000 | V | |
| | | デバイス帯電モデル (CDM)、AEC Q100-011 準拠 | すべてのピン | | ±250 |
| | | | コーナー ピン (A1、AJ29) | | ±750 |

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

6.3 パワー オン時間 (POH) の制限

| IP ^{(1) (2) (3)} | 電圧ドメイン | 電圧 (V) (最大) | 周波数 (MHz) (最大) | T _j (°C) | POH |
|---------------------------|--------|-------------|----------------|--------------------------------|--------|
| すべて | 100% | すべて | すべての対応 OPP | 車載用 -40°C~125°C ⁽⁴⁾ | 20000 |
| すべて | 100% | すべて | すべての対応 OPP | 拡張 -40°C~105°C | 100000 |
| すべて | 100% | すべて | すべての対応 OPP | 商業用 0°C~90°C | 100000 |

- 以下のセクションの情報は、お客様の利便性のみを目的として提供されるものであり、テキサス・インスツルメンツの半導体製品に関する標準的な契約条件に基づいて提供される保証を拡張または変更するものではありません。
- 上記の表に記述されていない限り、すべての電圧ドメインと動作条件は、記載された温度において本デバイスでサポートされています。
- POH は、電圧、温度、時間の関数です。より高い電圧および温度で使用すると、POH を低減して同じ信頼性性能を実現できます。代替使用事例の評価については、お近くのテキサス・インスツルメンツ代理店にお問い合わせください。
- 車載プロファイルは、接合部温度で 20000 時間の電源オン時間として次のように定義されます。5%@-40°C、65%@70°C、20%@110°C、10%@125°C。

6.4 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

| 電源名 | 説明 | 最小値 ⁽¹⁾ | 公称値 | 最大値 ⁽¹⁾ | 単位 | |
|------------------------------|--|---------------------------------------|---------------------|---------------------------------------|------|---|
| VDD_CORE | MAIN ドメイン コア電源のブート/アクティブ電圧 | 0.76 ⁽¹⁾ | 0.8 | 0.84 ⁽¹⁾ | V | |
| VDD_MCU | MCUSS コア電源のブート/アクティブ電圧 | 0.76 ⁽¹⁾ | 0.8 | 0.89 ⁽¹⁾ | V | |
| VDD_CPU | コールド パワーアップ イベント時に印加される CPU コア電源のブート電圧 | 0.76 ⁽¹⁾ | 0.8 | 0.84 ⁽¹⁾ | V | |
| | ソフトウェアで AVS モードを有効にした後の CPU コア電源のアクティブ電圧 | AVS ⁽³⁾ -5% ⁽¹⁾ | AVS ⁽³⁾ | AVS ⁽³⁾ +5% ⁽¹⁾ | V | |
| VDD_CPU の AVS 範囲 | VDD_CPU の AVS 有効電圧範囲 | 0.6 | | 0.9 | V | |
| VDDAR_*(⁵) | RAM 電源 | 0.81 | 0.85 | 0.89 | V | |
| VDDA_0P8_*(⁵) | 0.8V ドメインのアナログ電源 | 0.76 | 0.8 | 0.84 | V | |
| VDDA_1P8_*(⁵) | 1.8V PHY ドメインのアナログ電源 | 1.71 | 1.8 | 1.89 | V | |
| VDDA_3P3_USB(⁵) | 3.3V USB ドメインのアナログ電源 | 3.14 | 3.3 | 3.46 | V | |
| VDDA_*(⁵) | 1.8V PLL およびその他ドメインのアナログ電源 | 1.71 | 1.8 | 1.89 | V | |
| VDDA_* | すべての VDDA 入力のピークツーピークノイズ | | | 25 | mV | |
| VDDS_DDR_*(⁵) | DDR インターフェイス電源 | 1.06 | 1.1 | 1.15 | V | |
| VDDS_MMC0 | MMC0 IO 電源 | 1.71 | 1.8 | 1.89 | V | |
| VPP_*(⁵) | eFuse ROM プログラミング電源 | (⁶)を参照 | (⁶)を参照 | (⁶)を参照 | V | |
| VDDSHV*(⁵) | デュアル電圧 LVCMOS IO 電源 | 1.8V 動作 | 1.71 | 1.8 | 1.89 | V |
| | | 3.3V 動作 | 3.14 | 3.3 | 3.46 | V |
| USB0_VBUS | USB VBUS コンパレータ入力の電圧範囲 | 0 | (⁴)を参照 | 3.46 | V | |
| USB0_ID | USB ID 入力の電圧範囲 | | (²)を参照 | | V | |
| VSS | グラウンド | | 0 | | V | |

自由気流での動作温度範囲内 (特に記述のない限り)

| 電源名 | 説明 | | 最小値 ⁽¹⁾ | 公称値 | 最大値 ⁽¹⁾ | 単位 |
|----------------|---------------|----|--------------------|-----|--------------------|----|
| T _J | 動作ジャンクション温度範囲 | 車載 | -40 | | 125 | °C |
| | | 拡張 | -40 | | 105 | °C |
| | | 商用 | 0 | | 90 | °C |

- (1) すべての VDD* 電源入力について、デバイス ボールの電圧は、わずかな時間であっても、最小電圧を下回ったり、最大電圧を上回ったりしてはいけません。この要件には、AC リップル、電圧過渡、電圧ディップなどの動的な電圧イベントが含まれます。これはすべての電源入力に対して必要ですが、他のレールに比べて過渡電流要求が大きい VDD_CORE、VDD_MCU、VDD_CPU ドメインについては特に注意する必要があります。
- (2) この端子はそれぞれの USB PHY のアナログ回路に接続されています。この回路は、既知の電流を供給して電圧を測定することにより、端子が 10Ω 未満の抵抗または 100 kΩ を超える抵抗を経由して VSS に接続されているかどうかを判定します。この端子は、USB ホスト動作の場合はグラウンドに接続し、USB パリフェラル動作の場合は開路とする必要があります。また、外部電源には絶対に接続しないでください。
- (3) AVS 電圧は、デバイス依存、電圧ドメイン依存、OPP 依存です。この電圧は、VTM_DEVINFO_VDn から読み取る必要があります。VTM_DEVINFO_VDn レジスタのアドレスの詳細情報については、デバイスのテクニカル リファレンス マニュアルの「電圧およびサーマル マネージャー」セクションを参照してください。電源は、VDD_CPU の AVS 範囲の項目に示される範囲にわたって調整可能である必要があります。
- (4) このデバイス ピンに印加される電圧を制限するには、外付けの分圧抵抗が必要です。詳細については、「[USB VBUS の設計ガイドライン](#)」を参照してください。
- (5) **VDD_*** には、次のものが含まれます。VDD_CORE、VDD_CPU、VDD_MCU、VDD_MCU_WAKE1、VDD_WAKE0
VDDAR_* には次のものが含まれます。VDDAR_CORE、VDDAR_CPU、VDDAR_MCU
VDDA_0P8_* には次のものが含まれます。VDDA_0P8_CSIRX0_1、VDDA_0P8_CSIRX2、VDDA_0P8_DLL_MMC0、VDDA_0P8_DSITX、VDDA_0P8_DSITX_C、VDDA_0P8_PLL_DDR0、VDDA_0P8_PLL_DDR1、VDDA_0P8_PLL_DDR2、VDDA_0P8_PLL_DDR3、VDDA_0P8_SERDES_C0_1、VDDA_0P8_SERDES_C2、VDDA_0P8_SERDES_C4、VDDA_0P8_SERDES0_1、VDDA_0P8_SERDES2、VDDA_0P8_SERDES4、VDDA_0P8_UFS、VDDA_0P8_USB
VDDA_1P8_* には次のものが含まれます。VDDA_1P8_CSIRX0_1、VDDA_1P8_CSIRX2、VDDA_1P8_DSITX、VDDA_1P8_SERDES0_1、VDDA_1P8_SERDES2、VDDA_1P8_SERDES2_4、VDDA_1P8_SERDES4、VDDA_1P8_UFS、VDDA_1P8_USB
VDDA_* には次のものが含まれます。VDDA_ADC0、VDDA_ADC1、VDDA_MCU_PLLGRP0、VDDA_MCU_TEMP、VDDA_OSC1、VDDA_PLLGRP0、VDDA_PLLGRP1、VDDA_PLLGRP10、VDDA_PLLGRP12、VDDA_PLLGRP13、VDDA_PLLGRP2、VDDA_PLLGRP5、VDDA_PLLGRP6、VDDA_PLLGRP7、VDDA_PLLGRP8、VDDA_PLLGRP9、VDDA_POR_WKUP、VDDA_TEMP0、VDDA_TEMP1、VDDA_TEMP2、VDDA_TEMP3、VDDA_TEMP4、VDDA_WKUP
VDDS_DDR_* には次のものが含まれます。VDDS_DDR、VDDS_DDR_C0、VDDS_DDR_C1、VDDS_DDR_C2、VDDS_DDR_C3
VDDSHV* には次のものが含まれます。VDDSHV0、VDDSHV0_MCU、VDDSHV1_MCU、VDDSHV2、VDDSHV2_MCU、VDDSHV5
VPP_* には以下が含まれます：VPP_CORE、VPP_MCU
- (6) eFuse の使用に基づく VPP 電源電圧については、「[OTP eFuse プログラミングの推奨動作条件](#)」表を参照してください。

6.5 動作性能の特長

このセクションでは、デバイスの動作条件について説明します。また、プロセッサ・クロックとデバイス・コア・クロックの各動作性能の特長 (OPP) についても説明します。

表 6-1 に、デバイスの速度グレードごとにサポートされる最大周波数を示します。

表 6-1. 速度グレードの最大周波数

| デバイス | 最大周波数 (MHz) | | | | | | | | | |
|------------|-------------|--------|----------|---------------|-----|--------|------|--------------------------------------|------|-------------------------|
| | A72SS0 | C71SS0 | R5FSS0/1 | MCU_ R5SS0 | GPU | CBASS0 | VPAC | VENCDEC | DMSC | LPDDR4 |
| AM69Ax...T | 2000 | 1000 | 1000 | 1000 | 800 | 500 | 720 | 550 (960 または 480MP/s) ⁽²⁾ | 333 | 4266MT/s ⁽¹⁾ |

- (1) 最大 DDR 周波数は、システムで使用されている特定のメモリ・タイプ (ベンダ) と PCB 実装に基づいて制限されます。テキサス・インスツルメンツは、仕様のクロック周波数を完全に達成するために、同社の LPDDR4 EVM の PCB レイアウト (配線、間隔、ビア / バックドリル、PCB 材料など) をすべて正確に遵守することを強く推奨します。詳細については、Jacinto 7 の「[LPDDR ボードの設計とレイアウトのガイドライン](#)」を参照してください
- (2) VENCDEC モジュール (480MP/s) を 1 つまたは VENCDEC モジュール (960MP/s) を 2 つ搭載した特定の部品番号については、「[デバイス比較](#)」表を参照してください。

6.6 電気的特性

注

セクション 6.6.1～セクション 6.6.8 で説明されているインターフェイスまたは信号は、多重化モード 0 (プライマリ機能) で使用可能なインターフェイスまたは信号に対応しています。

これらの表に記載されているボール上で多重化されたすべてのインターフェイスまたは信号は、多重化に PHY と GPIO の組み合わせが含まれている場合を除き、DC 電気的特性はすべて同じです。PHY と GPIO の組み合わせが含まれている場合、異なる多重化モード (機能) に異なる DC 電気的特性が規定されます。

6.6.1 I2C オープン ドレイン フェイルセーフ (I2C OD FS) の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

| パラメータ | テスト条件 | 最小値 | 代表値 | 最大値 | 単位 |
|-------------------|--------------------------|-------------------------------|-----|------------------------------|----|
| 1.8V モード | | | | | |
| V _{IL} | 入力 Low レベル スレッショルド | | | 0.3 × VDDSHV ⁽¹⁾ | V |
| V _{ILSS} | 入力 Low レベル スレッショルドの定常状態 | | | 0.3 × VDDSHV ⁽¹⁾ | V |
| V _{IH} | 入力 High レベル スレッショルド | 0.7 × VDDSHV ⁽¹⁾ | | | V |
| V _{IHSS} | 入力 High レベル スレッショルドの定常状態 | 0.7 × VDDSHV ⁽¹⁾ | | | V |
| V _{HYS} | 入力ヒステリシス電圧 | 0.1 × VDDSHV ⁽¹⁾ | | | mV |
| I _{IN} | 入力リーク電流 | V _I = 1.8 V または 0V | | ±10 | μA |
| V _{OL} | 出力 Low レベル電圧 | | | 0.2 × VDDSHV ⁽¹⁾ | V |
| I _{OL} | LOW レベル出力電流 | V _{OL(MAX)} | 6 | | mA |
| 3.3V モード | | | | | |
| V _{IL} | 入力 Low レベル スレッショルド | | | 0.3 × VDDSHV ⁽¹⁾ | V |
| V _{ILSS} | 入力 Low レベル スレッショルドの定常状態 | | | 0.25 × VDDSHV ⁽¹⁾ | V |
| V _{IH} | 入力 High レベル スレッショルド | 0.7 × VDDSHV ⁽¹⁾ | | | V |
| V _{IHSS} | 入力 High レベル スレッショルドの定常状態 | 0.7 × VDDSHV ⁽¹⁾ | | | V |
| V _{HYS} | 入力ヒステリシス電圧 | 0.05 × VDDSHV ⁽¹⁾ | | | mV |
| I _{IN} | 入力リーク電流 | V _I = 3.3 V または 0V | | ±10 | μA |
| V _{OL} | 出力 Low レベル電圧 | | | 0.4 | V |
| I _{OL} | LOW レベル出力電流 | V _{OL(MAX)} | 6 | | mA |

(1) VDDSHV は、対応する電源を表します。電源名と対応するボールの詳細については、「ピン属性」の「電源」の欄を参照してください。

6.6.2 フェイルセーフ リセット (FS Reset) の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

| パラメータ | テスト条件 | 最小値 | 代表値 | 最大値 | 単位 |
|-----------------|--------------------|-----|-----|-----------------------------|----|
| V _{IL} | 入力 Low レベル スレッショルド | | | 0.3 × VDDSHV ⁽¹⁾ | V |

推奨動作条件範囲内 (特に記述のない限り)

| パラメータ | | テスト条件 | 最小値 | 代表値 | 最大値 | 単位 |
|-------------------|--------------------------|-------------------------------|-----------------------------|-----|-----------------------------|----|
| V _{ILSS} | 入力 Low レベル スレッショルドの定常状態 | | | | 0.3 × VDDSHV ⁽¹⁾ | V |
| V _{IH} | 入力 High レベル スレッショルド | | 0.7 × VDDSHV ⁽¹⁾ | | | V |
| V _{IHSS} | 入力 High レベル スレッショルドの定常状態 | | 0.7 × VDDSHV ⁽¹⁾ | | | V |
| V _{HYS} | 入力ヒステリシス電圧 | | 200 | | | mV |
| I _{IN} | 入力リーク電流 | V _I = 1.8 V または 0V | | | ±10 | μA |

(1) VDDSHV は、対応する電源を表します。電源名と対応するボールの詳細については、「ピン属性」の「電源」の欄を参照してください。

6.6.3 HFOSC/LFOSC の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

| パラメータ | | テスト条件 | 最小値 | 代表値 | 最大値 | 単位 |
|------------------|---------------------|-----------|---------------------------------|-----|---------------------------------|----|
| 高周波数発振器 | | | | | | |
| V _{IH} | 入力 High レベル スレッショルド | | 0.65 × VDDSHV ⁽¹⁾ | | | V |
| V _{IL} | 入力 Low レベル スレッショルド | | | | 0.35 × VDDSHV ⁽¹⁾ | V |
| V _{HYS} | 入力ヒステリシス電圧 | | | 49 | | mV |
| 低周波数発振器 | | | | | | |
| V _{IH} | 入力 High レベル スレッショルド | | 0.65 × VDDA_WKUP ⁽¹⁾ | | | V |
| V _{IL} | 入力 Low レベル スレッショルド | | | | 0.35 × VDDA_WKUP ⁽¹⁾ | V |
| V _{HYS} | 入力ヒステリシス電圧 | アクティブ モード | | 85 | | mV |
| | | バイパス モード | | 324 | | mV |

(1) VDDSHV は、対応する電源を表します。WKUP_OSC0 の場合、対応する電源は VDDA_WKUP です。OSC1_XI の場合、対応する電源は VDDO_OSC1 です。

6.6.4 eMMCPHY の電気的特性

自由空気での動作温度範囲内 (特に記述のない限り)

| パラメータ | | テスト条件 | 最小値 | 公称値 | 最大値 | 単位 |
|-------------------|--------------------------|-------------------------------|------------------------------|-----|------------------------------|----|
| V _{IL} | 入力 Low レベル スレッショルド | | | | 0.35 × VDDSHV ⁽¹⁾ | V |
| V _{ILSS} | 入力 Low レベル スレッショルドの定常状態 | | | | 0.20 | V |
| V _{IH} | 入力 High レベル スレッショルド | | 0.65 × VDDSHV ⁽¹⁾ | | | V |
| V _{IHSS} | 入力 High レベル スレッショルドの定常状態 | | 1.4 | | | V |
| I _{IN} | 入力リーク電流 | V _I = 1.8 V または 0V | | | ±10 | μA |
| I _{OZ} | トライステート出力リーク電流 | V _O = 1.8 V または 0V | | | ±10 | μA |
| R _{PU} | ブルアップ抵抗 | | 15 | 20 | 25 | kΩ |
| R _{PD} | ブルダウン抵抗 | | 15 | 20 | 25 | kΩ |
| V _{OL} | 出力 Low レベル電圧 | | | | 0.30 | V |
| V _{OH} | 出力 High レベル電圧 | | VDDSHV - 0.30 ⁽¹⁾ | | | V |

自由空気での動作温度範囲内 (特に記述のない限り)

| パラメータ | | テスト条件 | 最小値 | 公称値 | 最大値 | 単位 |
|-----------------|--------------|----------------------|-------|-----|-----|-----|
| I _{OL} | LOW レベル出力電流 | V _{OL(MAX)} | 2 | | | mA |
| I _{OH} | High レベル出力電流 | V _{OH(MAX)} | 2 | | | mA |
| SR _I | 入力スルーレート | | 5E +8 | | | V/s |

(1) VDDSHV は、対応する電源 (Vddshv8) を表します。電源名と対応するボールの詳細については、「ピン属性」の「電源」の欄を参照してください。

6.6.5 SDIO の電気的特性

自由空気での動作温度範囲内 (特に記述のない限り)

| パラメータ | | テスト条件 | 最小値 | 公称値 | 最大値 | 単位 |
|-------------------|--------------------------|-------------------------------|-------------------------------|-----|-------------------------------|----|
| 1.8V モード | | | | | | |
| V _{IL} | 入力 Low レベル スレッショルド | | | | 0.58 | V |
| V _{ILSS} | 入力 Low レベル スレッショルドの定常状態 | | | | 0.58 | V |
| V _{IH} | 入力 High レベル スレッショルド | | 1.27 | | | V |
| V _{IHSS} | 入力 High レベル スレッショルドの定常状態 | | 1.7 | | | V |
| V _{HYS} | 入力ヒステリシス電圧 | | 150 | | | mV |
| I _{IN} | 入力リーク電流 | V _I = 1.8 V または 0V | | | ±10 | μA |
| R _{PU} | プルアップ抵抗 | | 40 | 50 | 60 | kΩ |
| R _{PD} | プルダウン抵抗 | | 40 | 50 | 60 | kΩ |
| V _{OL} | 出力 Low レベル電圧 | | | | 0.45 | V |
| V _{OH} | 出力 High レベル電圧 | | VDDSHV - 0.45 ⁽¹⁾ | | | V |
| I _{OL} | LOW レベル出力電流 | V _{OL(MAX)} | 4 | | | mA |
| I _{OH} | High レベル出力電流 | V _{OH(MAX)} | 4 | | | mA |
| 3.3V モード | | | | | | |
| V _{IL} | 入力 Low レベル スレッショルド | | | | 0.25 × VDDSHV ⁽¹⁾ | V |
| V _{ILSS} | 入力 Low レベル スレッショルドの定常状態 | | | | 0.15 × VDDSHV ⁽¹⁾ | V |
| V _{IH} | 入力 High レベル スレッショルド | | 0.625 × VDDSHV ⁽¹⁾ | | | V |
| V _{IHSS} | 入力 High レベル スレッショルドの定常状態 | | 0.625 × VDDSHV ⁽¹⁾ | | | V |
| V _{HYS} | 入力ヒステリシス電圧 | | 150 | | | mV |
| I _{IN} | 入力リーク電流 | V _I = 1.8 V または 0V | | | ±10 | μA |
| R _{PU} | プルアップ抵抗 | | 40 | 50 | 60 | kΩ |
| R _{PD} | プルダウン抵抗 | | 40 | 50 | 60 | kΩ |
| V _{OL} | 出力 Low レベル電圧 | | | | 0.125 × VDDSHV ⁽¹⁾ | V |
| V _{OH} | 出力 High レベル電圧 | | 0.75 × VDDSHV ⁽¹⁾ | | | V |
| I _{OL} | LOW レベル出力電流 | V _{OL(MAX)} | 6 | | | mA |
| I _{OH} | High レベル出力電流 | V _{OH(MAX)} | 10 | | | mA |

(1) VDDSHV は、対応する電源 (Vddshv8) を表します。電源名と対応するボールの詳細については、「ピン属性」の「電源」の欄を参照してください。

6.6.6 CSI2/DSI D-PHY の電気的特性

注

CSI2/DSI DPHY インターフェイスの電気的特性は、MIPI D-PHY 仕様 v1.2 (2014 年 8 月 1 日) (該当する場合 ECN と エラッタを含む) に準拠しています。

6.6.7 ADC12B の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

| パラメータ | | テスト条件 | 最小値 | 代表値 | 最大値 | 単位 |
|-----------------------------|--------------------------------|-----------------------------------|-----|--|---------|----------------------|
| アナログ入力 | | | | | | |
| $V_{MCU_ADC0/1_AIN[7:0]}$ | フルスケール入力レンジ | | VSS | $VDDA_ADC0/1$ | | V |
| DNL | 微分非直線性 | | -1 | 0.5 | 4 | LSB |
| INL | 積分非直線性 | | | ± 1 | ± 4 | LSB |
| $LSB_{GAIN-ERROR}$ | ゲイン誤差 | | | ± 2 | | LSB |
| $LSB_{OFFSET-ERROR}$ | オフセット誤差 | | | ± 2 | | LSB |
| C_{IN} | 入力サンプリング容量 | | | 5.5 | | pF |
| SNR | 信号対雑音比 | 入力信号: 200kHz 正弦波、-0.5dB フルスケール | | 70 | | dB |
| THD | 全高調波歪み | 入力信号: 200kHz 正弦波、-0.5dB フルスケール | | 73 | | dB |
| SFDR | スプリアス フリー ダイナミックレンジ | 入力信号: 200kHz 正弦波、-0.5dB フルスケール | | 76 | | dB |
| $SNR_{(PLUS)}$ | 信号対雑音比 + 歪み | 入力信号: 200kHz 正弦波、-0.5dB フルスケール | | 69 | | dB |
| $R_{MCU_ADC0/1_AIN[0:7]}$ | MCU_ADC0/1_AIN[7:0] の入力インピーダンス | $f =$ 入力周波数 | | $[1/((65.97 \times 10^{-12}) \times f_{SMPL_CLK})]$ | | Ω |
| I_{IN} | 入力リーケージ | MCU_ADC0/1_AIN[7:0] = VSS | | | -10 | μA |
| | | MCU_ADC0/1_AIN[7:0] = VDDA_ADC0/1 | | | 24 | μA |
| サンプリングのダイナミック特性 | | | | | | |
| F_{SMPL_CLK} | SMPL_CLK 周波数 | | | 60 | | MHz |
| t_c | 変換時間 | | | 13 | | ADC0/1 SMPL_CLK サイクル |
| t_{ACQ} | アキュイジション時間 | | 2 | | 257 | ADC0/1 SMPL_CLK サイクル |
| T_R | サンプリングレート | ADC0/1 SMPL_CLK = 60MHz | | 4 | | MSPS |
| CCISO | チャンネル間絶縁 | | | 100 | | dB |
| 汎用入出力モード (1) | | | | | | |

推奨動作条件範囲内 (特に記述のない限り)

| パラメータ | テスト条件 | 最小値 | 代表値 | 最大値 | 単位 |
|-------------------|--------------------------|-------------------------------|-----|--------------------|----|
| V _{IL} | 入力 Low レベル スレッショルド | | | 0.35 × VDDA_ADC0/1 | V |
| V _{ILSS} | 入力 High レベル スレッショルドの定常状態 | | | 0.35 × VDDA_ADC0/1 | V |
| V _{IH} | 入力 High レベル スレッショルド | 0.65 × VDDA_ADC0/1 | | | V |
| V _{IHSS} | 入力 High レベル スレッショルドの定常状態 | 0.65 × VDDA_ADC0/1 | | | V |
| V _{HYS} | 入力ヒステリシス電圧 | 200 | | | mV |
| I _{IN} | 入力リーク電流 | V _I = 1.8 V または 0V | | 6 | μA |

(1) MCU_ADC0/1 は、汎用入力モードで動作するように構成できます。このモードでは、すべての MCU_ADC0/1_AIN[7:0] 入力か ADC0/1_CTRL レジスタ (gpi_mode_en = 1) を介してデジタル入力として動作するようにグローバルに有効化されます。

6.6.8 LVCMOS の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

| パラメータ | テスト条件 | 最小値 | 代表値 | 最大値 | 単位 |
|-------------------|-------------------|-------------------------------|-----|---------------------------|----|
| 1.8V モード | | | | | |
| V _{IL} | 入力 Low 電圧 | | | 0.35 × VDD ⁽¹⁾ | V |
| V _{ILSS} | 入力 Low 電圧 (定常状態) | | | 0.3 × VDD ⁽¹⁾ | V |
| V _{IH} | 入力 High 電圧 | 0.65 × VDD ⁽¹⁾ | | | V |
| V _{IHSS} | 入力 High 電圧 (定常状態) | 0.85 × VDD ⁽¹⁾ | | | V |
| V _{HYS} | 入力ヒステリシス電圧 | 150 | | | mV |
| I _{IN} | 入力リーク電流。 | V _I = 1.8 V または 0V | | ±10 | μA |
| R _{PU} | プルアップ抵抗 | 15 | 22 | 30 | kΩ |
| R _{PD} | プルダウン抵抗 | 15 | 22 | 30 | kΩ |
| V _{OL} | 出力 LOW 電圧 | | | 0.45 | V |
| V _{OH} | 出力 HIGH 電圧 | VDD ⁽¹⁾ - 0.45 | | | V |
| I _{OL} | LOW レベル出力電流 | V _{OL(MAX)} | 3 | | mA |
| I _{OH} | High レベル出力電流 | V _{OH(MIN)} | 3 | | mA |
| 3.3V モード | | | | | |
| V _{IL} | 入力 Low 電圧 | | | 0.8 | V |
| V _{ILSS} | 入力 Low 電圧 (定常状態) | | | 0.6 | V |
| V _{IH} | 入力 High 電圧 | 2.0 | | | V |
| V _{IHSS} | 入力 High 電圧 (定常状態) | 2.0 | | | V |
| V _{HYS} | 入力ヒステリシス電圧 | 150 | | | mV |
| I _{IN} | 入力リーク電流。 | V _I = 3.3 V または 0V | | ±10 | μA |
| R _{PU} | プルアップ抵抗 | 15 | 22 | 30 | kΩ |
| R _{PD} | プルダウン抵抗 | 15 | 22 | 30 | kΩ |
| V _{OL} | 出力 LOW 電圧 | | | 0.4 | V |
| V _{OH} | 出力 HIGH 電圧 | 2.4 | | | V |
| I _{OL} | LOW レベル出力電流 | V _{OL(MAX)} | 5 | | mA |

推奨動作条件範囲内 (特に記述のない限り)

| パラメータ | | テスト条件 | 最小値 | 代表値 | 最大値 | 単位 |
|----------|--------------|---------------|-----|-----|-----|----|
| I_{OH} | High レベル出力電流 | $V_{OH(MIN)}$ | 6 | | | mA |

(1) VDD は、対応する電源を表します。電源名と対応するボールの詳細については、「ピン属性」の「電源」の欄を参照してください。

6.6.9 USB2PHY の電気的特性

注

USB0 および USB1 の電気的特性は、2000 年 4 月 27 日付けの Universal Serial Bus Revision 2.0 仕様 (該当する ECN およびエラッタを含む) に準拠しています。

6.6.10 SerDes 2-L-PHY/4-L-PHY の電気的特性

注

PCIe インターフェイスは、『PCI Express® 基本仕様リビジョン 4.0』(2017 年 9 月 27 日) に規定された電気的パラメータに準拠しています。

このデバイスでは、表 6-2、「4-L-PHY SERDES REFCLK の電気的特性」のパラメータ V_{REFCLK_TERM} に記載されているように、内部終端がイネーブルされた入力モードで使用する場合、SERDES REFCLK に追加の制限が課されます。内部終端は、デフォルトでイネーブルになっており、 V_{REFCLK_TERM} で定義された制限を超えるリファレンスクロック信号を印加する前にディセーブルする必要があります。外部終端は、ソース側で常にイネーブルにする必要があります。

表 6-2. 4-L-PHY SERDES REFCLK の電気的特性

内部終端がイネーブルの場合にのみ適用されます。推奨動作条件範囲内 (特に記述のない限り)

| パラメータ | | 最小値 | 標準値 | 最大値 | 単位 |
|--------------------|--|-----|-----|------|----------|
| V_{REFCLK_TERM} | 内部終端がイネーブルのときの基準クロック ピンのシングルエンド電圧スレッシュホールド | | | 450 | mV |
| R_{TERM} | 内部終端 | 40 | 50 | 62.5 | Ω |

注

SerDes USB インターフェイスは、『ユニバーサル シリアル バス 3.1 仕様リビジョン 1.0』(2013 年 7 月 26 日) で定義された USB3.1 SuperSpeed トランスミッタおよびレシーバの標準電気的パラメータに準拠しています。

注

SGMII インターフェイスの電気的特性は、IEEE802.3 Clause 70 の 1000BASE-KX に準拠しています。

注

SGMII 2.5G/XAUI インターフェイスの電気的特性は、IEEE802.3 Clause 47 に準拠しています。

注

QSGMII インターフェイスの電気的特性は、QSGMII 仕様リビジョン 1.2 に準拠しています。

注

USXGMII は、72-7 項と附属書 69B の IEEE 802.3 TX および RX の電気的特性をサポートしています。10GBASE-KR オートネゴシエーション (73 項) およびリンクトレーニング (72 項) はサポートしていません。

IEEE 802.3 の表 72-7 および 72-8 は USXGMII の要件ではないトレーニング (72-6 項) に関連しているため、USXGMII では必要ありません。

pre、main、および post カーソルは、BER スweepを使用して設定する必要があります。

注

XFI インターフェイスの電気的特性は、INF-8077_XFP_XFI_10Gbps_1X 仕様のリビジョン 4.5 (2005 年 8 月 31 日) に準拠しています。

注

UFS インターフェイスの電気的特性は、MIPI M-PHY 仕様 v3.1 (2014 年 2 月 17 日) に準拠しています。

注

DP インターフェイスの電気的特性は、VESA DisplayPort (DP) Standard V 1.4 (2016 年 2 月 23 日) に準拠しています。

注

eDP インターフェイスの電気的特性は、VESA Embedded DisplayPort (eDP) Standard v1.4b (2015 年 10 月 23 日) に準拠しています。

6.6.13 DDR0 の電気的特性

注

DDR インターフェイスは、JESD209-4B 規格に準拠した LPDDR4 SDRAM デバイスと互換性があります。

6.7 ワンタイム プログラマブル (OTP) eFuse の VPP 仕様

このセクションは、OTP eFuse のプログラミングに必要な動作条件を規定しており、高セキュリティ デバイスにのみ適用できます。

6.7.1 OTP eFuse プログラミングの推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

| パラメータ | 説明 | 最小値 | 公称値 | 最大値 | 単位 |
|----------|------------------------------------|-------------|-----|-----|----|
| VDD_CORE | OTP 動作中のコアドメインの電源電圧範囲、 | 「推奨動作条件」を参照 | | | V |
| VDD_MCU | OTP 動作中のコアドメインの電源電圧範囲、 | 「推奨動作条件」を参照 | | | V |
| VDD_CPU | OTP 動作時のコアドメイン電源電圧範囲、 (BOOT 電圧) | 「推奨動作条件」を参照 | | | V |

6.7.1 OTP eFuse プログラミングの推奨動作条件 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

| パラメータ | 説明 | 最小値 | 公称値 | 最大値 | 単位 |
|----------|---|------|--------|--------|-----|
| VPP_CORE | 通常動作時の eFuse ROM ドメインの電源電圧範囲 (eFuse ROM をプログラミングするためのハードウェア サポートなし) | | NC (2) | | V |
| | 通常動作時の eFuse ROM ドメインの電源電圧範囲 (eFuse ROM をプログラミングするためのハードウェア サポートあり) | | 0 | | V |
| | OTP プログラミング時の eFuse ROM ドメインの電源電圧範囲(1) | 1.71 | 1.8 | 1.89 | V |
| VPP_MCU | 通常動作時の eFuse ROM ドメインの電源電圧範囲 (eFuse ROM をプログラミングするためのハードウェア サポートなし) | | NC (2) | | V |
| | 通常動作時の eFuse ROM ドメインの電源電圧範囲 (eFuse ROM をプログラミングするためのハードウェア サポートあり) | | 0 | | V |
| | OTP プログラミング時の eFuse ROM ドメインの電源電圧範囲(1) | 1.71 | 1.8 | 1.89 | V |
| SR(VPP) | VPP パワーアップ スルーレート | | | 6E + 4 | V/s |

(1) 電源電圧範囲には、DC 誤差およびピークツーピーク ノイズが含まれます。

(2) NC は接続なしを示します。

6.7.2 ハードウェア要件

OTP eFuse にキーをプログラムする場合、以下のハードウェア要件を満たす必要があります。

- OTP レジスタをプログラムしないときは、VPP_CORE および VPP_MCU 電源をディセーブルにする必要があります。
- VPP_CORE および VPP_MCU 電源は、適切なデバイス電源オン シーケンスの後にランプアップする必要があります (詳細については、「電源シーケンス」を参照してください)。

6.7.3 プログラミング シーケンス

OTP eFuse のプログラミング シーケンス:

- パワーアップ シーケンシングに従ってボードに電源を投入します。パワーアップ時および通常動作中は、VPP_CORE および VPP_MCU 端子に電圧を印加しないでください。
- eFuse のプログラミングに必要な OTP 書き込みソフトウェアをロードします (OTP ソフトウェア パッケージについては、お近くの TI 代理店にお問い合わせください)。
- セクション 6.7.1 に示す仕様に従って、VPP_CORE および VPP_MCU 端子に電圧を印加します。
- OTP レジスタをプログラムするソフトウェアを実行します。
- OTP レジスタの内容を検証した後、VPP_CORE 端子と VPP_MCU 端子から電圧を取り除きます。

6.7.4 ハードウェア保証への影響

お客様は、セキュリティ キーにより TI ツのデバイスに eFusing を使用することは、デバイスを永続的に変更する、ということに同意するものとします。お客様は、プログラム シーケンスが正しくないか中止された場合や、シーケンス ステップを省略した場合などに、eFuse が失敗する可能性があることを認めます。さらに、プロダクション キーのエラー コード訂正チェックが失敗した場合、またはイメージが署名されておらず、オプションとして現在アクティブなプロダクション キーで暗号化されていない場合、TI のデバイスはセキュア ブートに失敗する可能性があります。このような障害が発生すると、TI のデバイスが動作不能になることがあり、TI ツは eFuse を試行する前に、TI のデバイスがそのデバイス仕様に準拠していることを確認できなくなります。このため、お客様によって eFuse が誤って実行された TI のデバイスについて、TI は一切の責任 (保証またはその他の責任) を負いません。

6.8 熱抵抗特性

このセクションでは、このデバイスで使用される熱抵抗特性について説明します。

信頼性と動作性の懸念から、デバイスの最大接合部温度は、「推奨動作条件」に示されている T_J 値以下にする必要があります。

6.8.1 ALY パッケージの熱抵抗特性

システムレベルの熱シミュレーションは、ワーストケースのデバイス消費電力を考慮して実行することを推奨します。

| 番号 | パラメータ | 説明 | ALY パッケージ | |
|-----|-----------------|----------------|-------------------------|--------------------------|
| | | | °C/W ^{(1) (3)} | 空気流 (m/s) ⁽²⁾ |
| T1 | $R_{\theta JC}$ | 接合部とケースとの間 | 0.11 | 該当なし |
| T2 | $R_{\theta JB}$ | 接合部と基板との間 | 1.6 | 該当なし |
| T3 | $R_{\theta JA}$ | 接合部と自由空気との間 | 8.3 | 0 |
| T4 | | 接合部と空気流との間 | 4.7 | 1 |
| T5 | | 接合部と空気流との間 | 3.9 | 2 |
| T7 | Ψ_{JT} | 接合部とパッケージ上面との間 | 0.1 | 0 |
| T8 | | | 0.1 | 1 |
| T9 | | | 0.1 | 2 |
| T11 | Ψ_{JB} | 接合部と基板との間 | 1.3 | 0 |
| T12 | | | 1.1 | 1 |
| T13 | | | 1.0 | 2 |

(1) これらの値は、JEDEC により定義された 2S2P システム (JEDEC 定義の 1S0P システムによる θ_{JC} [$R_{\theta JC}$] 値を除く) に基づいており、周囲環境とアプリケーションによって変化します。詳細については、以下の EIA/JEDEC 規格を参照してください。

- JESD51-2、『IC の熱テスト手法の環境条件 - 自然対流 (静止空気)』
- JESD51-3、『リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
- JESD51-6、『IC の熱テスト手法の環境条件 - 自然対流 (空気流)』
- JESD51-7、『リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
- JESD51-9、『エリア アレイ表面実装パッケージの熱測定用テスト基板』

(2) m/s = メートル/秒。

(3) °C/W = 摂氏温度 / ワット。

6.9 温度センサの特性

このセクションでは、ダイ温度センサの特性に関する電圧および温度モジュール (VTM) について概要を説明します。

信頼性と動作性の懸念から、デバイスの最大接合部温度は、「[推奨動作条件](#)」に示されている T_J 値以下にする必要があります。

表 6-3. VTM ダイ温度センサの特性

| パラメータ | | テスト 条件 | 最小値 | 代表値 | 最大値 | 単位 |
|-----------|-------------|------------|-----|-----|-----|----|
| T_{acc} | VTM 温度センサ精度 | -40~110 °C | -5 | | 5 | °C |
| | | 110~125 °C | -2 | | 2 | °C |

6.10 タイミングおよびスイッチング特性

注

このセクションに示すタイミングは、関連する PADCONFIG レジスタの DRV_STR (駆動強度) 制御がデフォルトの「0h – 公称値 (推奨)」に設定されているときに有効です。

6.10.1 タイミングパラメータおよび情報

タイミングおよびスイッチング特性で使用されるタイミングパラメータの記号は、JEDEC 規格 100 に従って作成されています。記号を短縮するために、ピン名およびその他の関連用語の一部を表 6-4 に示すように短縮しました。

表 6-4. タイミングパラメータの添え字

| 記号 | パラメータ |
|-------|----------------------|
| c | サイクル時間 (周期) |
| d | 遅延時間 |
| dis | ディセーブル時間 |
| en | イネーブル時間 |
| h | ホールド時間 |
| su | セットアップ時間 |
| START | スタートビット |
| t | 遷移時間 |
| v | 有効時間 |
| w | パルス幅 |
| X | 未知の、変化している、ドントケアのレベル |
| F | 立ち下がり時間 |
| H | High |
| L | Low |
| R | 立ち上がり時間 |
| V | 有効 |
| IV | 無効 |
| AE | アクティブ エッジ |
| FE | 最初のエッジ |
| LE | 最後のエッジ |
| Z | 高インピーダンス |

6.10.2 電源シーケンス

このセクションでは、デバイスが適切に動作するために必要な電源シーケンスについて説明します。このデバイスは、分離または結合された MCU およびメイン電源供給回路 (PDN) を使用して動作できます。分離および結合 MCU およびメイン PDN に基づいて、2 つの異なるプライマリ電源シーケンスを推奨します。さらに、このデバイスは MCU のみ、DDR 保持、GPIO 保持のいずれかの低消費電力モードで動作できます。低消費電力モードへの移行と終了のための、2 つの異なる推奨デバイス電源シーケンスを示します。

このセクションで使用される電源名はこのデバイスに固有であり、「信号の説明」セクションで与えられた名前に合わせてあります。Jacinto 7™ プロセッサ ファミリ内のさまざまなデバイスで、共通の電源名を使用することができます。これらの共通な電源名は、デバイス間で機能が同一ではないとしても、非常に類似しています。

ここに示すすべての電源シーケンス タイミング図では、以下の用語が使用されています。

- プライマリ = すべての電圧ドメインで必須である、オフ状態とフル アクティブ状態の間の電力シーケンス
- $V_{OPR\ MIN}$ = 「推奨動作条件」に規定された機能を保証する最小動作電圧レベル
- ランプアップ = オフ状態から最小動作電圧へ電源が遷移する時間の開始
- ランプダウン = 動作電圧からオフ状態へ電源が遷移する時間の開始
- SUPPLY_「n」 = 同様な電源の複数インスタンス (すなわち、VDDSHVn = VDDSHV0、VDDSHV1、VDDSHV2 ... VDDSHV6)
- SUPPLY_「xxx」 = さまざまな信号タイプに使用される、同様な電源の複数インスタンス (すなわち、VDDA_1P8_xxx = VDDA_1P8_DSITX、VDDA_1P8_USB、VDDA_0P8_DSITX、VDDA_0P8_USB など)
- タイム スタンプ = 一般的な参照のための説明とおおよその経過時間を記載した「T#」の記号。具体的なタイミング遷移は、PDN の設計に依存します (詳細については、『PDN ユーザーガイド』を参照)。

6.10.2.1 電源スルーレートの要件

内部 ESD 保護デバイスの安全な動作範囲を維持するために、[図 6-2](#) に示すように、電源の最大スルーレートを 100mV/μs 未満に制限することを推奨します。たとえば、1.8V の電源では、100mV/μs 未満のスルーレートを確保するために、18μs を上回るランプ時間を設定する必要があります。

[図 6-2](#) に、デバイスの電源スルー レートの要件を示します。

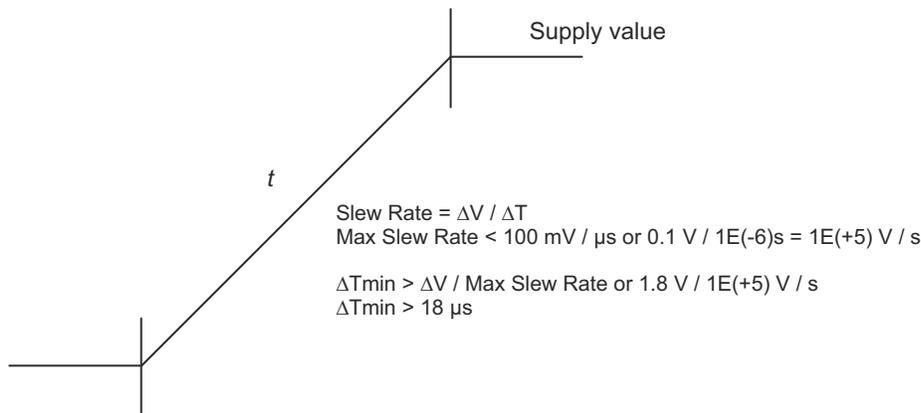
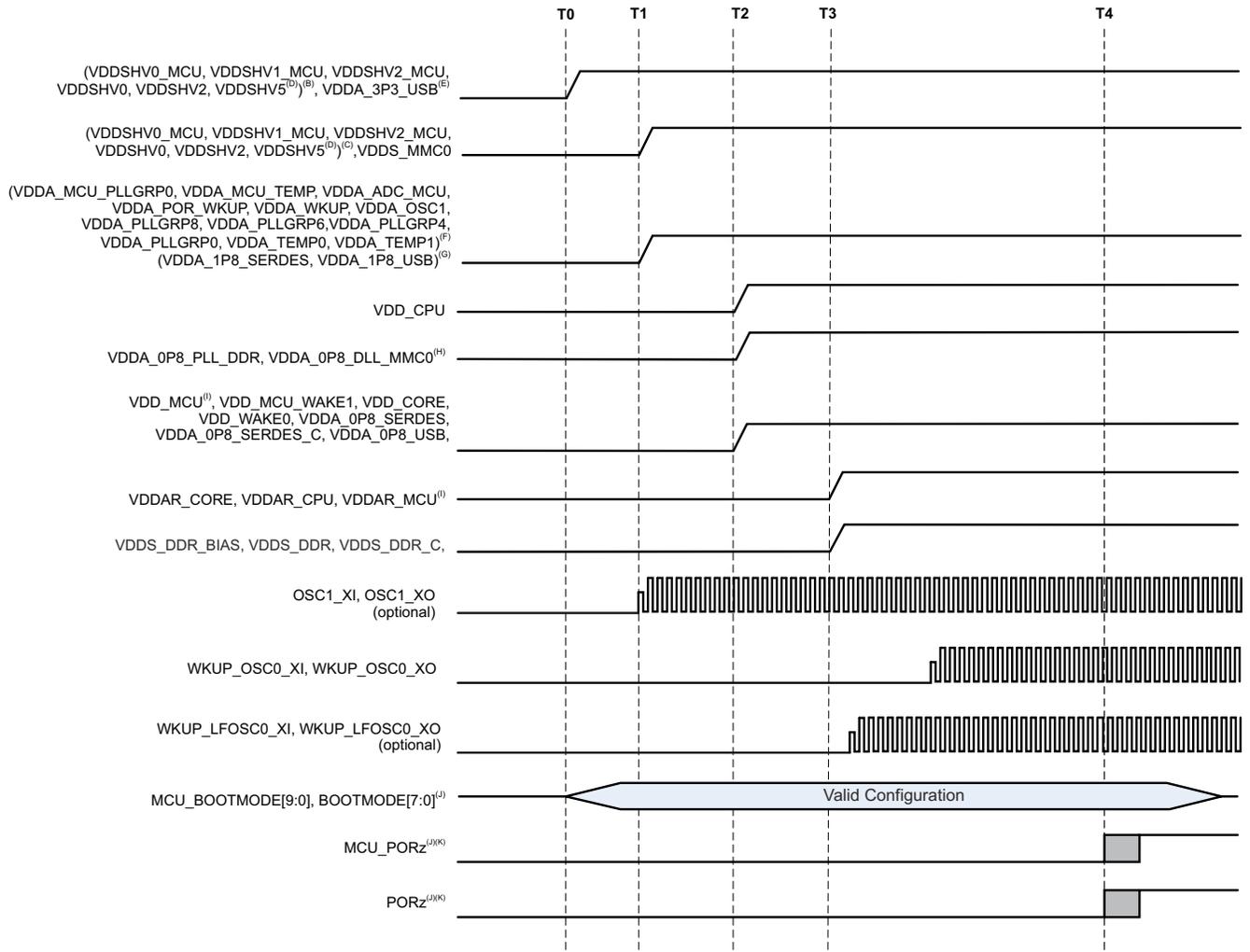


図 6-2. 電源のスルーおよびスルーレート

6.10.2.2 MCU およびメイン ドメインの結合パワーアップ シーケンス

セクション 6.10.2.2 に、同様の MCU およびメイン電圧ドメインを共通の電源レールに結合したときの 1 次電源パワーアップ シーケンスを示します。MCU とメイン電圧ドメインを結合することにより、電源レールと電源の総数が減り、MCU およびメイン プロセッサのサブシステムが共通の電源レールによって動作するようになるので、PDN 設計が簡素化されます。



A. タイムスタンプの記号:

- T0 – 3.3V 電圧が、 $V_{OPR\ MIN}$ までランブアップを開始します。(0 ms)
- T1 – 1.8V 電圧が、 $V_{OPR\ MIN}$ までランブアップを開始します。(2 ms)
- T2 – 低電圧コア電源が、 $V_{OPR\ MIN}$ までランブアップを開始します。(3 ms)
- T3 – 低電圧 RAM アレイ電圧が、 $V_{OPR\ MIN}$ までランブアップを開始します。(4 ms)
- T4 – OSC1 は安定しており、PORz/MCU_PORz はアサート解除されて、プロセッサをリセットから解放します。(13 ms)

- B. 3.3V デジタル インターフェイスをサポートするために 3.3V が供給される、いずれかの MCU またはメイン デュアル電圧 IO 電源 (VDDSHVn_MCU または VDDSHVn)。一部の電源では、PDN 設計により、異なる電源リソースを使用し、それぞれのターンオンおよびランブアップ遅延が異なるため、開始時間が T0 と T1 の間で変動する場合があります。
- C. 1.8V デジタル インターフェイスをサポートするために 1.8V が供給される、いずれかの MCU またはメイン デュアル電圧 IO 電源 (VDDSHVn_MCU または VDDSHVn)。eMMC メモリを使用している場合、PDN 設計により電源が VDD_MMC0 とグループ化されているので、メインの 1.8V 電源が T3 に合わせてランブアップすることがあります。
- D. VDDSHV5 は、SD メモリカード用の MMC1 信号処理をサポートしています。規格準拠の高速 SD カード動作が必要な場合は、独立したデュアル電圧 (3.3V/1.8V) 電源およびレールが必要です。3.3V へのランブアップの開始は、図に示すように、他の 3.3V ドメインと同じです。SD カード

が不要な場合や、3.3 V 固定動作の標準データレートが許容される場合は、このドメインをデジタル IO 3.3V 電源レールにグループ化できます。

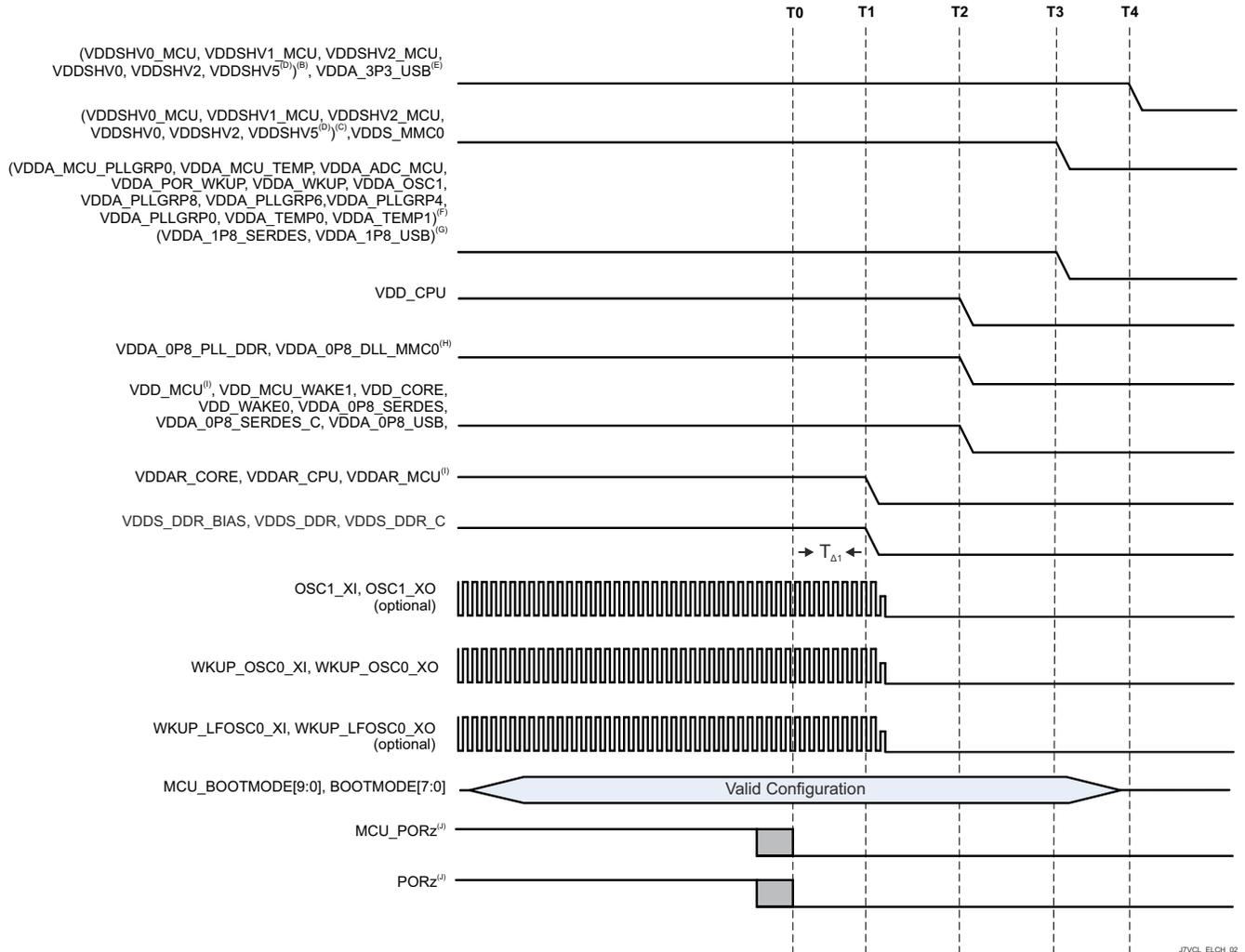
SD カードが固定 1.8V で動作できる場合は、このドメインをデジタル IO 1.8V 電源レールにグループ化できます。

- E. VDDA_3P3_USB は、USB 2.0 差動インターフェイス信号伝達に使用される 3.3V アナログドメインです。最良のシグナル インテグリティを実現して USB データアイマスクに準拠するために、低ノイズのアナログ電源を推奨します。3.3V へのランプアップの開始は、図に示すように、他の 3.3V ドメインと同じです。USB インターフェイスが不要な場合や、データビット エラーが許容される場合は、直接または電源フィルタ経由で、このドメインを 3.3V デジタル IO 電源レールにグループ化できます。
- F. VDDA_1P8_<clk/pll/ana> は、クロック発振器、PLL、およびアナログ回路をサポートする 1.8V アナログドメインであり、最適な性能を得るために低ノイズ電源が必要です。高周波スイッチング ノイズがクロック、PLL、DLL 信号のジッタ性能に悪影響を及ぼす可能性があるため、デジタルの VDDSHVN_MCU と VDDSHVn IO ドメインを結合することは推奨しません。アナログ VDDA_1p8_<phy> ドメインの結合は避けるべきですが、グループ化する場合は、インラインフェライトビーズで電源をフィルタリングする必要があります。
- G. VDDA_1P8_<phy> は、複数のシリアル PHY インターフェイスをサポートする 1.8V アナログドメインです。最良のシグナル インテグリティ、インターフェイス性能、仕様準拠を実現するため、低ノイズのアナログ電源を推奨します。これらのインターフェイスのいずれかが不要であるか、またはデータビット エラーや非準拠動作が許容できる場合には、直接またはインライン電源フィルタ経由で、このドメインをデジタル IO 1.8V 電源レールにグループ化できます。
- H. VDDA_0P8_<dll/pll> は、PLL および DLL 回路をサポートする 0.8V アナログドメインであり、最適な性能を得るために低ノイズ電源が必要です。高周波スイッチング ノイズが PLL および DLL 信号のジッタ性能に悪影響を及ぼす可能性があるため、これらのドメインを他の 0.8V ドメインと結合することは推奨しません。
- I. VDD_MCU は、広い動作電圧範囲を持つデジタル電圧ドメインであり、VDDAR_MCU ドメインまたは VDD_CORE のいずれかとグループ化できます。「MCU およびメインドメインの結合パワーアップシーケンス」では、VDD_MCU は VDD_CORE とグループ化できます。また、VDDAR_MCU は VDDAR_CPU および VDDAR_CORE とグループ化できます。VDD_MCU が VDD_CORE とグループ化されている場合、VDD_MCU は、T2 において 0.8V の VDD_CORE との共通電圧源からランプアップする必要があります。VDDAR_MCU が VDD_CORE とグループ化されていない場合、VDD_MCU は T2 よりも前にランプする必要があります。いずれの場合も、VDDAR 電源を T3 でランプする必要があります。
- J. パワーアップシーケンス中に MCU_PORz および PORz が High にアサートされてから、MCU_BOOTMODEn (MCU_VDDSHV0 を基準とする) および BOOTMODEn (VDDSHV2 を基準とする) 設定をレジスタにラッチするまでの最小セットアップおよびホールド時間を表示。
- K. 水晶発振器回路に電源が供給されたとき (T1 の VDDA_OSC1) から、安定したクロック周波数に達するまでの最小経過時間は、水晶発振器、コンデンサのパラメータ、および PCB 寄生値によって異なります。余裕を見た経過時間として、(T4 – T1) タイムスタンプで定義される 10ms を示します。お客様のクロック回路 (すなわち、水晶発振器またはクロックジェネレータ) および PCB の設計によっては、この値を低減できる可能性があります。

図 6-3. MCU およびメインドメインの結合、1 次電源パワーアップシーケンス

6.10.2.3 MCU とメイン ドメインの結合パワーダウン シーケンス - オプション 1

図 6-4 で、オプション 1 のデバイス パワーダウン シーケンスについて説明します。



A. タイムスタンプの記号:

- T0 – MCU_PORz および PORz を Low にアサートして、すべてのプロセッサ リソースを安全な状態にします。(0ms)
- T1 – メイン DDR、SRAM コア、および SRAM CPU 電源がランブダウンを開始します。(0.5ms)
- T2 – 低電圧コア電源がランブダウンを開始します。(2.5ms)
- T3 – 1.8V 電圧が電源ランブダウンを開始します。(3.0ms)
- T4 – 3.3V 電圧が電源ランブダウンを開始します。(3.5ms)

B. 3.3V デジタル インターフェイスをサポートするために 3.3V が供給される、いずれかの MCU またはメイン デュアル電圧 IO ドメイン (VDDSHVn_MCU または VDDSHVn)。

C. 1.8V デジタル インターフェイスをサポートするために 1.8V が供給される、いずれかの MCU またはメイン デュアル電圧 IO ドメイン (VDDSHVn_MCU または VDDSHVn)。

D. VDDSHV5 は、SD メモリ カード用の MMC1 信号処理をサポートしています。規格準拠の高速 SD カード動作には、デュアル電圧 (3.3V/1.8V) 電源レールが必要です。SD カードが不要な場合や、3.3V 固定動作の標準データ レートが許容される場合は、このドメインをデジタル IO 3.3V 電源レールにグループ化できます。SD カードが固定 1.8V で動作できる場合は、このドメインをデジタル IO 1.8V 電源レールにグループ化できます。

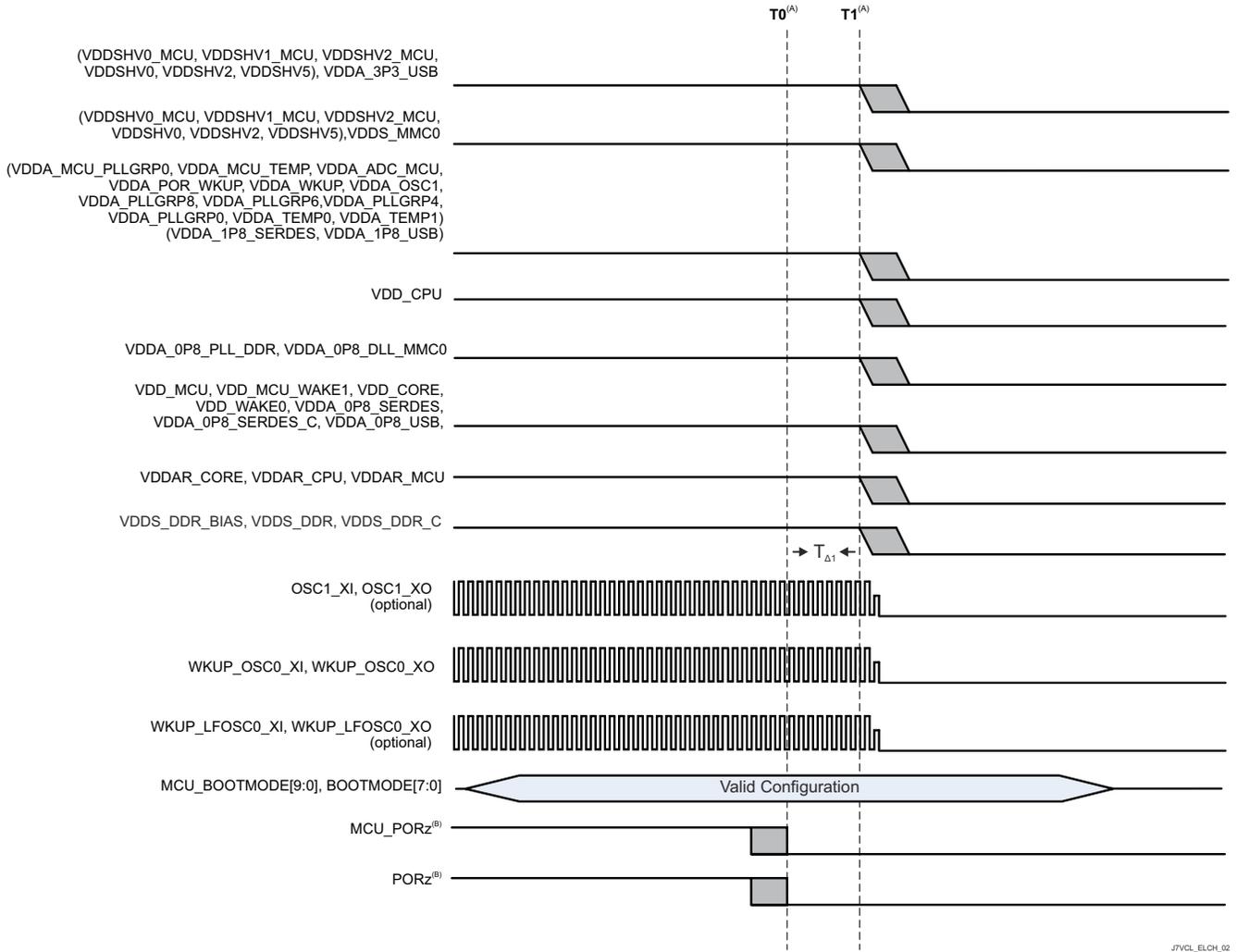
E. VDDA_3P3_USB は、USB 2.0 差動インターフェイス信号伝達に使用される 3.3V アナログドメインです。最良のシグナル インテグリティを実現して USB データ アイ マスクに準拠するために、低ノイズのアナログ電源を推奨します。USB インターフェイスが不要な場合や、データ ビット エラーが許容される場合は、直接または電源フィルタ経由で、このドメインを 3.3V デジタル IO 電源レールにグループ化できます。

- F. `VDDA_1P8_<clk/pll/ana>` は、クロック発振器、PLL、およびアナログ回路をサポートする 1.8V アナログドメインであり、最適な性能を得るために低ノイズ電源が必要です。高周波スイッチングノイズがクロック、PLL、DLL 信号のジッタ性能に悪影響を及ぼす可能性があるため、デジタルの `VDDSHVN_MCU` と `VDDSHVn IO` ドメインを結合することは推奨しません。アナログ `VDDA_1p8_<phy>` ドメインの結合は避けるべきですが、グループ化する場合は、インラインフェライトビーズで電源をフィルタリングする必要があります。
- G. `VDDA_1P8_<phy>` は、複数のシリアル PHY インターフェイスをサポートする 1.8V アナログドメインです。最良のシグナルインテグリティ、インターフェイス性能、仕様準拠を実現するため、低ノイズのアナログ電源を推奨します。これらのインターフェイスのいずれかが不要であるか、またはデータビットエラーや非準拠動作が許容できる場合には、直接またはインライン電源フィルタ経由で、このドメインをデジタル IO 1.8V 電源レールにグループ化できます。
- H. `VDDA_0P8_<dll/pll>` は、PLL および DLL 回路をサポートする 0.8V アナログドメインであり、最適な性能を得るために低ノイズ電源が必要です。高周波スイッチングノイズが PLL および DLL 信号のジッタ性能に悪影響を及ぼす可能性があるため、これらのドメインを他の 0.8V ドメインと結合することは推奨しません。
- I. いずれかの電圧がランブダウンを開始する前に、SoC リソースが安全な状態に確実に移行できるようにするため、`MCU_PORz` および `PORz` を少なくとも $T\Delta 1 = 200\mu s$ の間 Low にアサートする必要があります。

図 6-4. MCU とメインドメインの結合、プライマリパワーダウンシーケンス - オプション 1

MCU とメインドメインの結合パワーダウンシーケンス - オプション 2

図 6-5 で、オプション 2 のデバイス パワーダウン シーケンスについて説明します。



J7VCL_ELCH_02

A. タイムスタンプの記号:

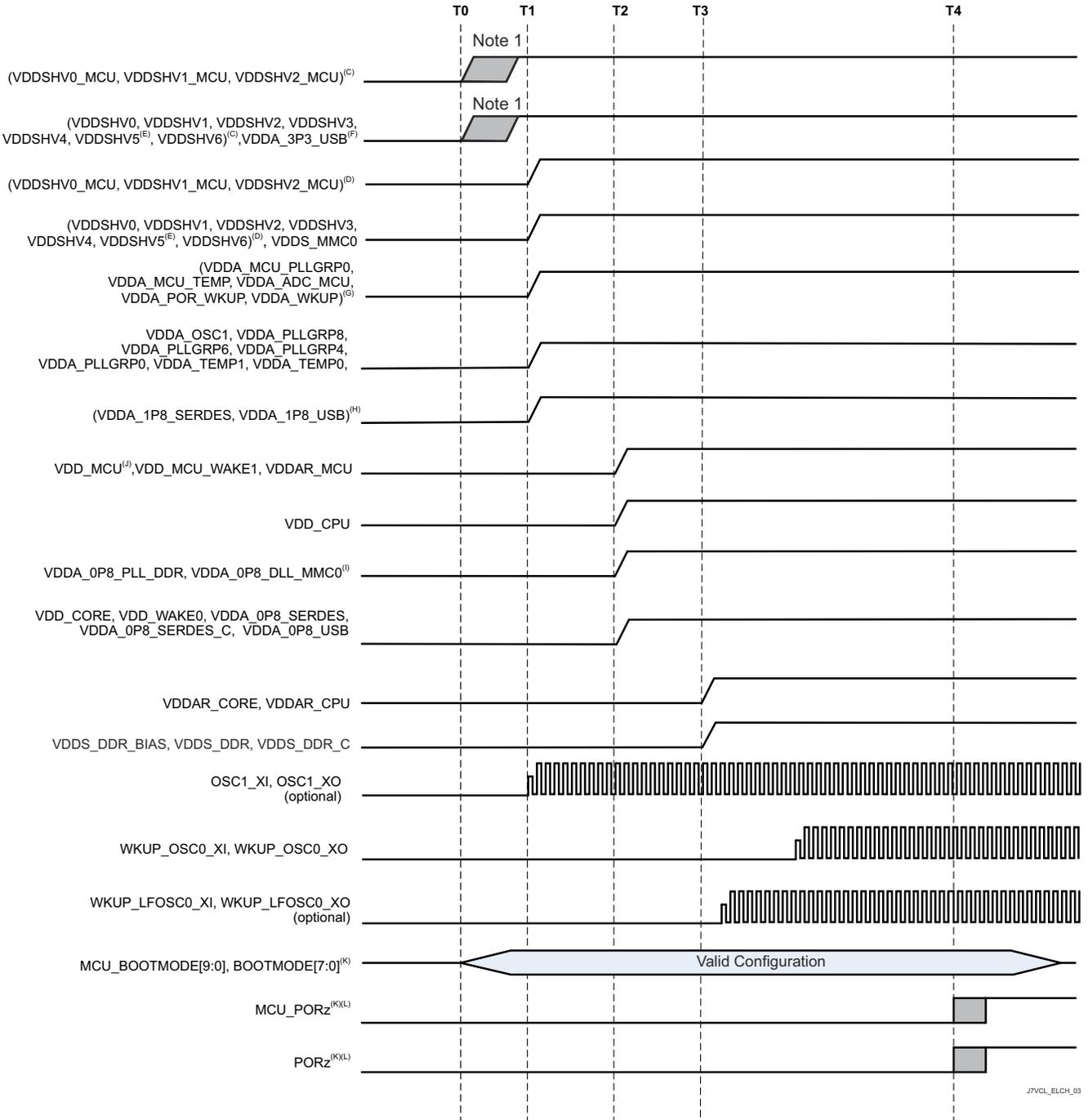
- T0 – MCU_PORz および PORz を Low にアサートして、すべてのプロセッサリソースを安全な状態にします。(0ms)
- T1 – すべての電源のランプダウンが開始されます。(0.2ms)

B. いずれかの電圧がランプダウンを開始する前に、SoC リソースが安全な状態に確実に移行できるようにするため、MCU_PORz および PORz を少なくとも $T_{\Delta 1} = 200\mu\text{s}$ の間 Low にアサートする必要があります。

図 6-5. MCU とメインドメインの結合、プライマリ パワーダウン シーケンス - オプション 2

6.10.2.4 MCU およびメイン ドメインの分離パワーアップ シーケンシング

MCU とメイン電圧ドメインの分離により、SoC の MCU とメイン プロセッサ サブシステムは独立して動作できます。SoC の PDN 設計において、MCU とメイン プロセッサの分離機能をサポートする必要がある理由は、2 つあります。第 1 に は、SoC の低消費電力モードを有効にするフレキシビリティを提供することです。このモードを使用すると、プロセッサの動作が不要なときに SoC の消費電力を大幅に低減できます。第 2 に、単一の障害が MCU およびメイン プロセッサ サブシステムの両方に影響を及ぼすという干渉を回避すること (FFI) により、堅牢性を実現できます。これは、SoC の MCU をシステムの安全監視プロセッサとして使用する場合に特に有益です。必要とされる追加の PDN 電源レールの数は、異なる MCU IO 信号電圧レベルの数によって異なります。1.8V IO 信号のみを使用する場合は、必要とされる追加の電源レールは 2 つです。1.8V および 3.3V の IO 信号が必要な場合は、4 つの追加電源レールが必要になります。



A. T1 タイムスタンプの記号:

- T0 – すべての 3.3V 電圧が、 $V_{OPR\ MIN}$ まで電源ランプアップを開始します。(0 ms)
- T1 – すべての 1.8V 電圧が、 $V_{OPR\ MIN}$ まで電源ランプアップを開始します。(2 ms)
- T3 – すべてのコア電圧が、 $V_{OPR\ MIN}$ まで電源ランプアップを開始します。(3 ms)
- T3 – すべての RAM アレイ電圧が、 $V_{OPR\ MIN}$ まで電源ランプアップを開始します。(4 ms)
- T4 – OSC1 は安定しており、PORz/MCU_PORz はアサート解除されて、プロセッサをリセットから解放します。(13 ms)

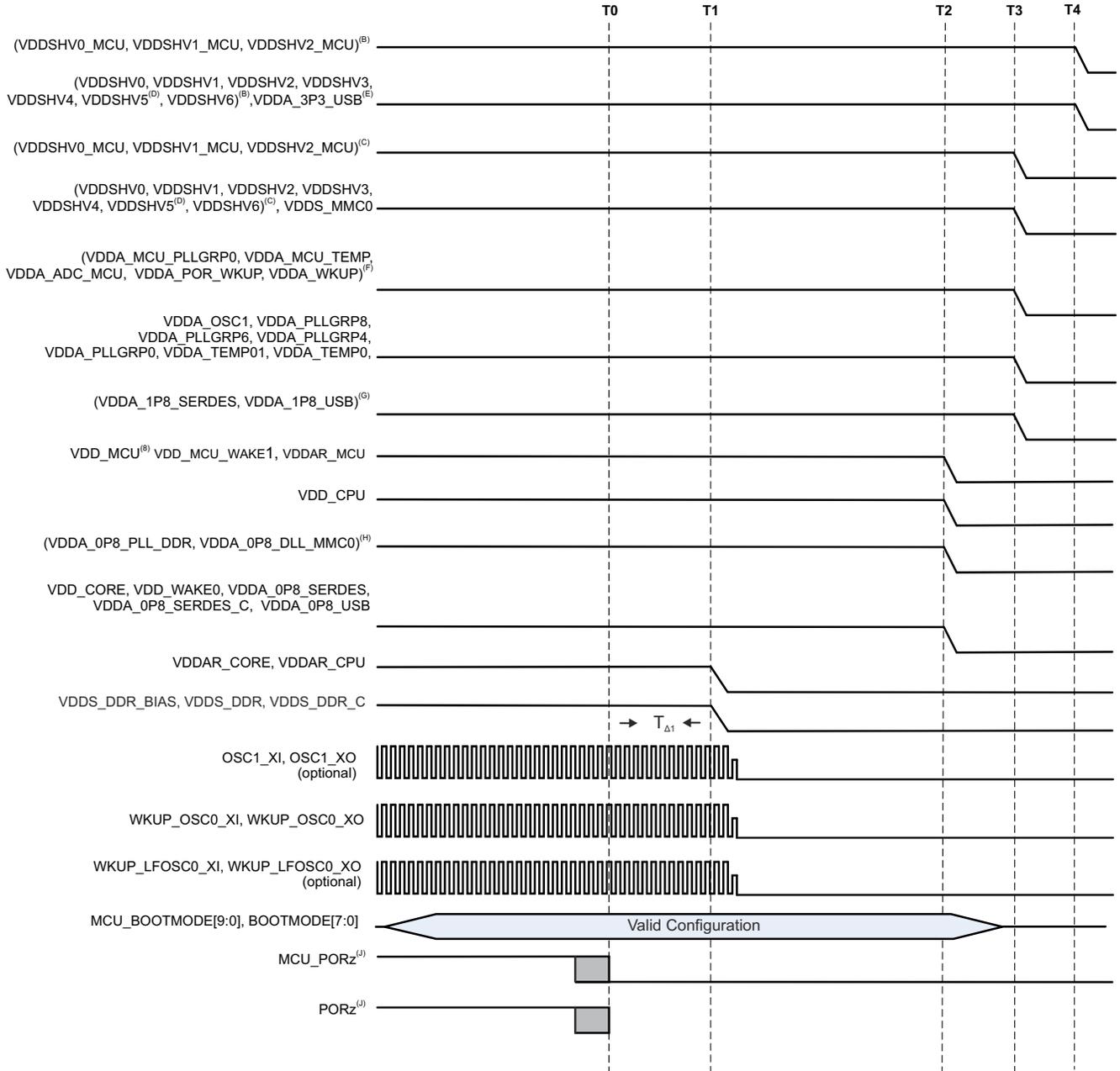
- B. 3.3 V デジタル インターフェイスをサポートするために 3.3V が供給される、いずれかの MCU またはメイン デュアル電圧 IO 電源 (VDDSHVn_MCU または VDDSHVn)。一部の電源では、PDN 設計により、異なる電源リソースを使用し、それぞれのターンオンおよびランプアップ遅延が異なるため、開始時間が T0 と T1 の間で変動する場合があります。

- C. 1.8V デジタル インターフェイスをサポートするために 1.8V が供給される、いずれかの MCU またはメイン デュアル電圧 IO 電源 (VDDSHVn_MCU または VDDSHVn)。eMMC メモリを使用する場合、PDN 設計により電源が VDD_MMC0 とグループ化されているため、メインの 1.8V 電源は、T3 に合わせて開始時間が遅延する可能性があります。
- D. VDDSHV5 は、SD メモリ カード用の MMC1 信号処理をサポートしています。規格準拠の UHS-I SD カード動作が必要な場合は、独立したデュアル電圧 (3.3V/1.8V) 電源およびレールが必要です。3.3V へのランプアップの開始は、図に示すように、他の 3.3V ドメインと同じです。SD カードが不要な場合や、3.3V 固定動作の標準データレートが許容される場合は、この電源をデジタル IO 3.3V 電源レールにグループ化できます。SD カードが固定 1.8V で動作できる場合は、この電源をデジタル IO 1.8V 電源レールにグループ化できます。
- E. VDDA_3P3_USB は、USB 2.0 差動インターフェイス信号伝達に使用する 3.3V アナログ電源です。最良のシグナル インテグリティを実現して USB データアイ マスクに準拠するために、低ノイズのアナログ電源を推奨します。3.3V へのランプアップの開始は、図に示すように、他の 3.3V ドメインと同じです。USB インターフェイスが不要な場合や、データビット エラーが許容される場合は、直接または電源フィルタ経由で、この電源を 3.3V デジタル IO 電源レールにグループ化できます。
- F. VDDA_1P8_<clk/pll/ana> は、クロック発振器、PLL、およびアナログ回路をサポートする 1.8V アナログドメインであり、最適な性能を得るために低ノイズ電源が必要です。高周波スイッチング ノイズがクロック、PLL、DLL 信号のジッタ性能に悪影響を及ぼす可能性があるため、デジタルの VDDSHVn_MCU と VDDSHVn IO ドメインを結合することは推奨しません。アナログ VDDA_1p8_<phy> ドメインの結合は避けるべきですが、グループ化する場合は、インライン フェライト ビーズで電源をフィルタリングする必要があります。
- G. VDDA_1P8_<phy> は、複数のシリアル PHY インターフェイスをサポートする 1.8V アナログドメインです。最良のシグナル インテグリティ、インターフェイス性能、仕様準拠を実現するため、低ノイズのアナログ電源を推奨します。これらのインターフェイスのいずれかが不要であるか、またはデータビット エラーや非準拠動作が許容できる場合には、直接またはインライン電源フィルタ経由で、このドメインをデジタル IO 1.8V 電源レールにグループ化できます。
- H. VDDA_0P8_<dll/pll> は、PLL および DLL 回路をサポートする 0.8V アナログドメインであり、最適な性能を得るために低ノイズ電源が必要です。高周波スイッチング ノイズが PLL および DLL 信号のジッタ性能に悪影響を及ぼす可能性があるため、これらのドメインを他の 0.8V ドメインと結合することは推奨しません。
- I. VDD_MCU は、広い動作電圧範囲を持つデジタル電圧ドメインであり、VDDAR_MCU ドメインまたは VDD_CORE のいずれかとグループ化できます。「MCU およびメインドメインの分離パワーアップ シーケンス」では、VDD_MCU は VDDAR_MCU とグループ化できます。VDD_MCU は T2 よりも前にランプアップする必要があります。VDDAR_MCU が VDD_MCU とグループ化されていない場合、T3 でランプアップする必要があります。
- J. パワーアップ シーケンス中に MCU_PORz および PORz が High にアサートされてから、MCU_BOOTMODEn (MCU_VDDSHV0 を基準とする) および BOOTMODEn (VDDSHV2 を基準とする) 設定をレジスタにラッチするまでの最小セットアップおよびホールド時間を表示。
- K. 水晶発振器回路に電源が供給されたとき (T1 の VDDA_OSC1) から、安定したクロック周波数に達するまでの最小経過時間は、水晶発振器、コンデンサのパラメータ、および PCB 寄生値によって異なります。余裕を見た経過時間として、(T4 – T1) タイムスタンプで定義される 10ms を示します。お客様のクロック回路 (すなわち、水晶発振器またはクロック ジェネレータ) および PCB の設計によっては、この値を低減できる可能性があります。

図 6-6. MCU およびメイン ドメインの分離、プライマリ パワーアップ シーケンス

6.10.2.5 MCU およびメイン ドメインの分離パワーダウン シーケンス - オプション 1

図 6-7 で、オプション 1 のデバイス パワーダウン シーケンスについて説明します。



J7VCL_ELCH_04

A. タイムスタンプの記号:

- T0 – MCU_PORz および PORz を Low にアサートして、すべてのプロセッサ リソースを安全な状態にします。(0ms)
- T1 – メイン DDR、SRAM コア、および SRAM CPU の電源ドメインがランブダウンを開始します。(0.5ms)
- T2 – すべてのコア電圧が電源ランブダウンを開始します。(2.5ms)
- T3 – すべての 1.8V 電圧が電源ランブダウンを開始します。(3.0ms)
- T4 – すべての 3.3V 電圧が電源ランブダウンを開始します。(3.5ms)

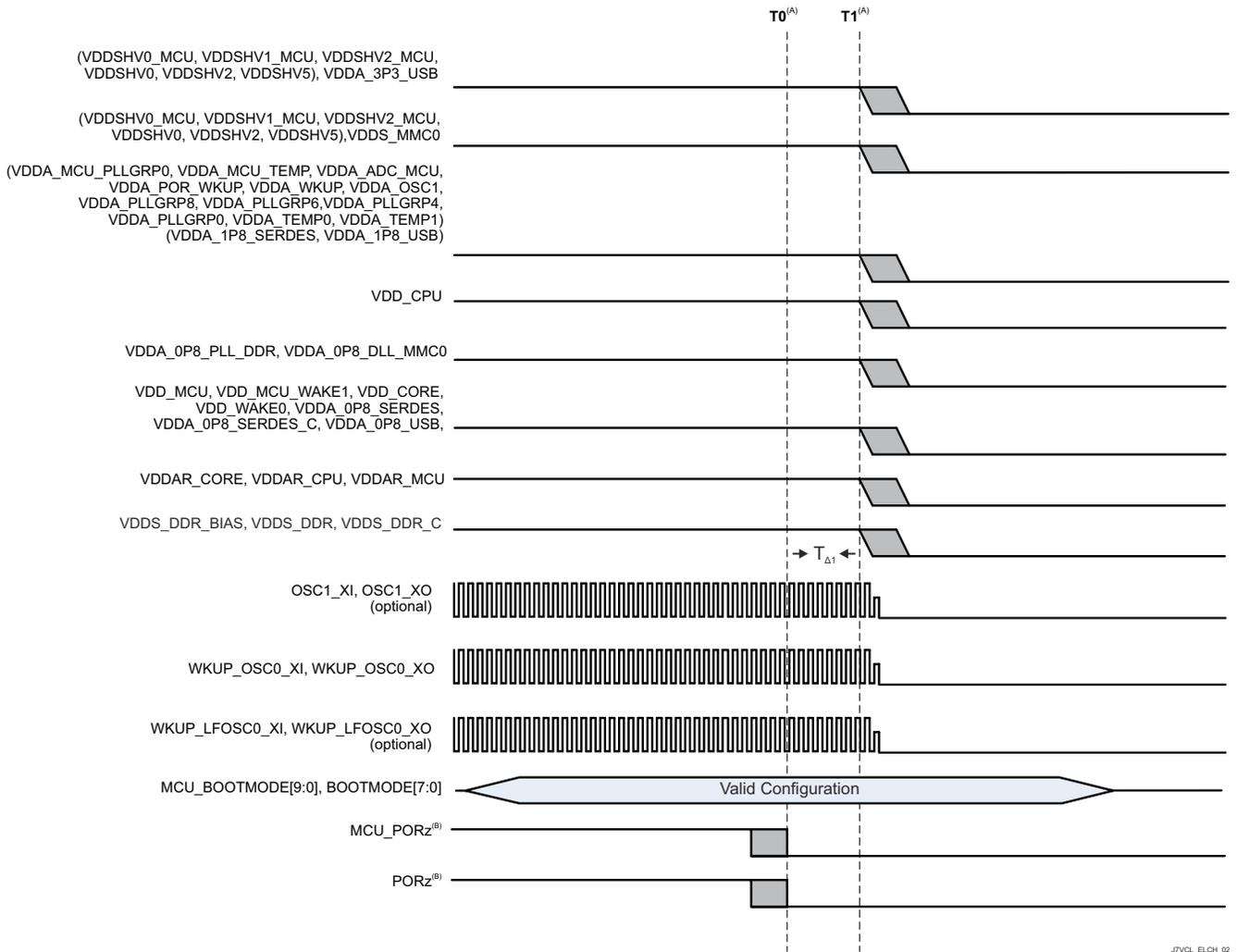
B. 3.3V デジタル インターフェイスをサポートするために 3.3V が供給される、いずれかの MCU またはメイン デュアル電圧 IO ドメイン (VDDSHVn_MCU または VDDSHVn)。

- C. 1.8V デジタル インターフェイスをサポートするために 1.8V が供給される、いずれかの MCU またはメイン デュアル電圧 IO 電源 (VDDSHVn_MCU または VDDSHVn)。eMMC メモリが使用されている場合、PDN 設計により電源が VDD_MMC0 とグループ化されているため、メインの 1.8V 電源では T1 に合わせてランプダウンすることがあります。
- D. VDDSHV5 は、SD メモリカード用の MMC1 信号処理をサポートしています。規格準拠の高速 SD カード動作には、デュアル電圧 (3.3V/1.8V) 電源レールが必要です。規格準拠の高速 SD カード動作が必要な場合は、独立したデュアル電圧 (3.3V/1.8V) 電源およびレールが必要です。3.3V/1.8V からのランプダウンの開始は、図に示すように、他の 3.3V ドメインと同じです。SD カードが不要な場合や、3.3V 固定動作の標準データレートが許容される場合は、このドメインをデジタル IO 3.3V 電源レールにグループ化できます。SD カードが固定 1.8V で動作できる場合は、このドメインをデジタル IO 1.8V 電源レールにグループ化できます。
- E. VDDA_3P3_USB は、USB 2.0 差動インターフェイス信号伝達に使用される 3.3V アナログドメインです。最良のシグナル インテグリティを実現して USB データアイマスクに準拠するために、低ノイズのアナログ電源を推奨します。3.3V からのランプダウンの開始は、図に示すように、他の 3.3V ドメインと同じです。USB インターフェイスが不要な場合や、データビット エラーが許容される場合は、直接または電源フィルタ経由で、このドメインを 3.3V デジタル IO 電源レールにグループ化できます。
- F. VDDA_1P8_<clk/pll/ana> は、クロック発振器、PLL、およびアナログ回路をサポートする 1.8V アナログドメインであり、最適な性能を得るために低ノイズ電源が必要です。高周波スイッチング ノイズがクロック、PLL、DLL 信号のジッタ性能に悪影響を及ぼす可能性があるため、デジタルの VDDSHVN_MCU と VDDSHVn IO ドメインを結合することは推奨しません。アナログ VDDA_1p8_<phy> ドメインの結合は避けるべきですが、グループ化する場合は、インライン フェライト ビーズで電源をフィルタリングする必要があります。
- G. VDDA_1P8_<phy> は、複数のシリアル PHY インターフェイスをサポートする 1.8V アナログドメインです。最良のシグナル インテグリティ、インターフェイス性能、仕様準拠を実現するため、低ノイズのアナログ電源を推奨します。これらのインターフェイスのいずれかが不要であるか、またはデータビット エラーや非準拠動作が許容できる場合には、直接またはインライン電源フィルタ経由で、このドメインをデジタル IO 1.8V 電源レールにグループ化できます。
- H. VDDA_0P8_<dll/pll> は、PLL および DLL 回路をサポートする 0.8V アナログドメインであり、最適な性能を得るために低ノイズ電源が必要です。高周波スイッチング ノイズが PLL および DLL 信号のジッタ性能に悪影響を及ぼす可能性があるため、これらのドメインを他の 0.8V ドメインと結合することは推奨しません。
- I. いずれかの電圧がランプダウンを開始する前に、SoC リソースが安全な状態に確実に移行できるようにするため、MCU_PORz および PORz を少なくとも $T_{d1} = 200\mu\text{s}$ の間 Low にアサートする必要があります。

図 6-7. MCU およびメイン ドメインの分離、プライマリ パワーダウン シーケンス - オプション 1

MCU およびメインドメインの分離パワーダウン シーケンス - オプション 2

図 6-8 で、オプション 2 のデバイス パワーダウン シーケンスについて説明します。



A. タイムスタンプの記号:

- T0 – MCU_PORz および PORz を Low にアサートして、すべてのプロセッサリソースを安全な状態にします。(0ms)
- T1 – すべての電源のランプダウンが開始されます。(0.2ms)

B. いずれかの電圧がランプダウンを開始する前に、SoC リソースが安全な状態に確実に移行できるようにするため、MCU_PORz および PORz を少なくとも T_{Δ1} = 200μs の間 Low にアサートする必要があります。

図 6-8. MCU およびメインドメインの分離、プライマリ パワーダウン シーケンス - オプション 2

6.10.2.6 独立した MCU およびメインドメイン、MCU のみ状態への移行および復帰シーケンス

MCU のみ状態への移行は、電源が供給されたままの 4 つの MCU ドメインを除いて、パワーダウン シーケンスを実行することにより行われます。MCU のみ状態からの復帰は、シーケンス全体にわたって 4 つの MCU ドメインに電源が供給されたままの状態、パワーアップ シーケンスを実行することにより行われます。

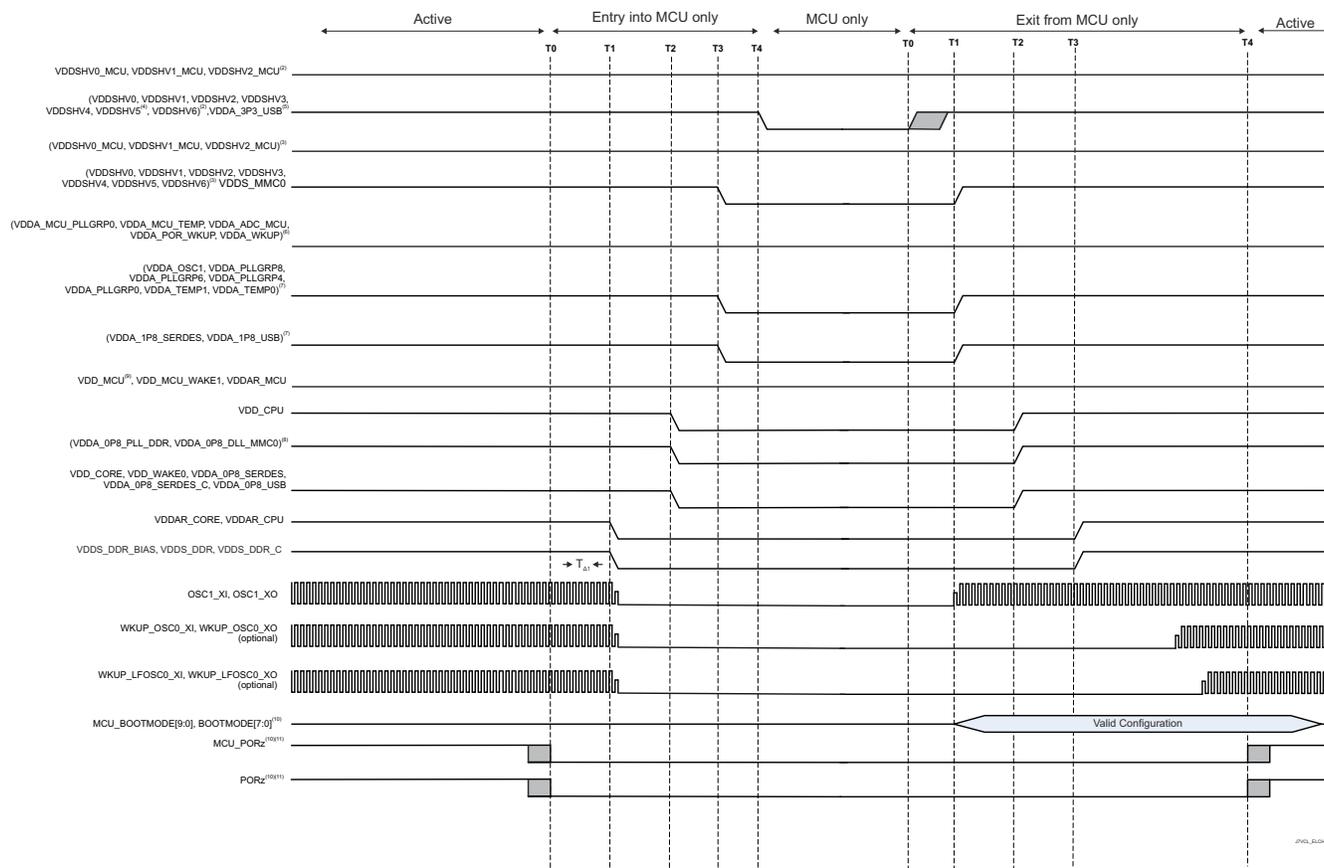


図 6-9. 独立した MCU およびメイン ドメイン、MCU のみ状態への移行および復帰シーケンス

6.10.2.7 独立した MCU およびメイン ドメイン、DDR 保持状態への移行および復帰

DDR 保持状態への移行は、電源が供給されたままの 4 つの DDR ドメインを除いて、パワーダウン シーケンスを実行することにより行われます。DDR 保持状態からの復帰は、3 つの DDR ドメインに電源が供給されたままの状態、パワーアップ シーケンスを実行することにより行われます。

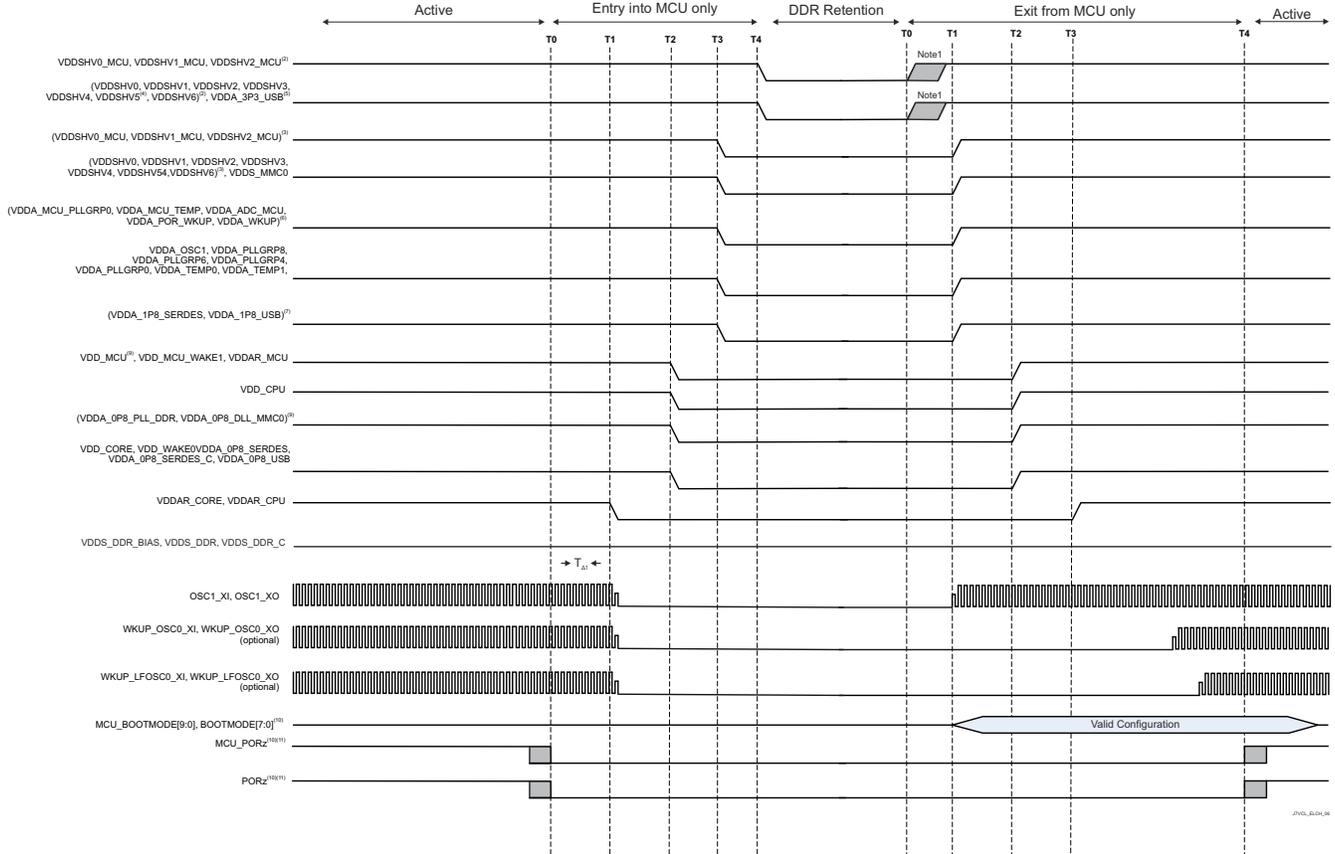


図 6-10. 独立した MCU およびメイン ドメイン、DDR 保持状態への移行および復帰

6.10.2.8 独立した MCU とメイン ドメイン、GPIO 保持への移行および復帰シーケンス

GPIO 保持状態への移行は、電源が供給されたままの 2 つまたは 4 つの ウェイク ドメインを除いて、パワーダウン シーケンスを実行することにより行われます。GPIO 保持状態からの復帰は、2 つまたは 4 つの ウェイク DDR ドメインに電源が供給されたままの状態、パワー アップ シーケンスを実行することにより行われます。

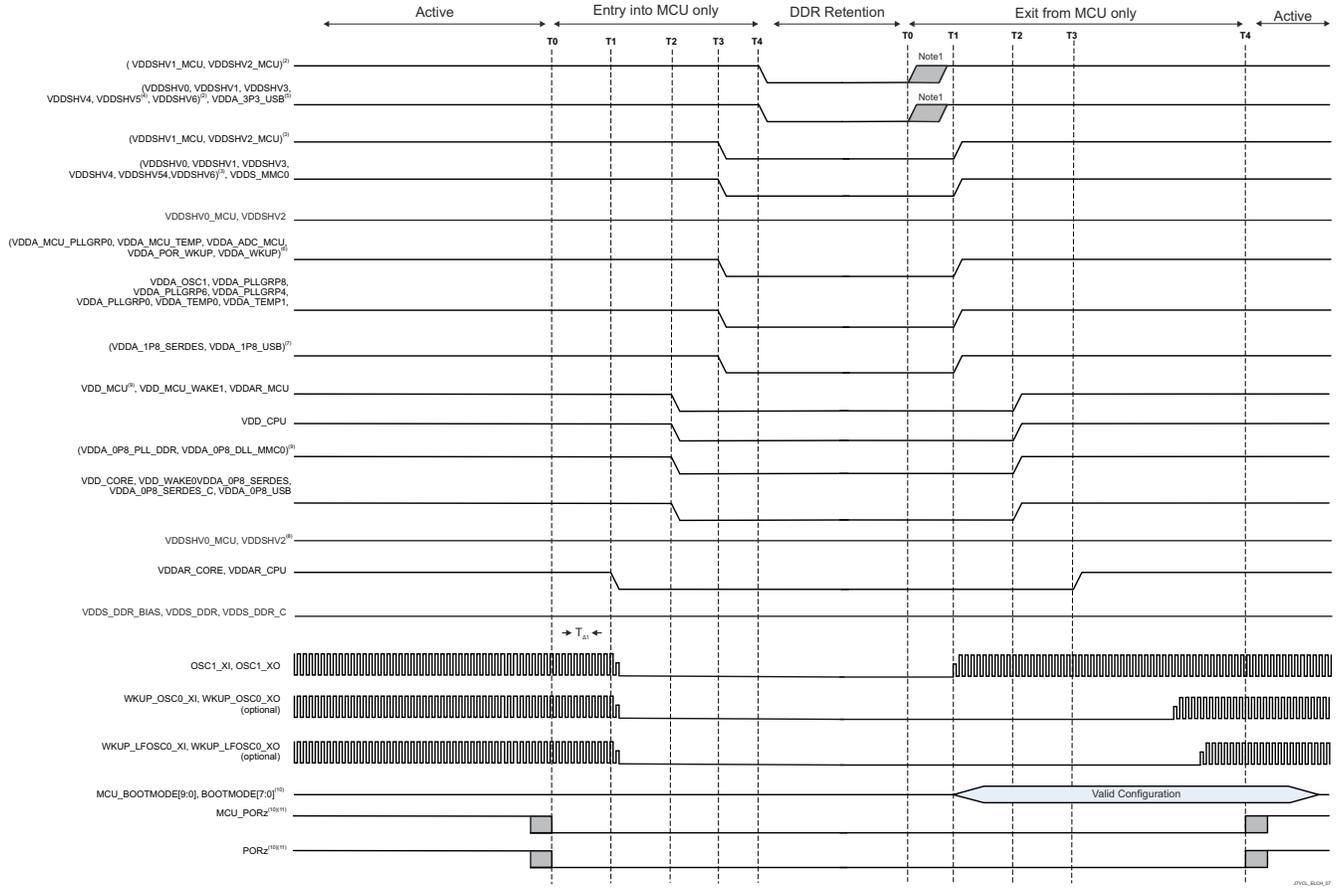


図 6-11. 独立した MCU とメイン ドメイン、GPIO 保持への移行および復帰シーケンス

6.10.3 システムのタイミング

サブシステム多重化信号の機能および追加の説明情報については、「信号の説明」の、対応するセクションを参照してください。

6.10.3.1 リセット タイミング

このセクションの表と図では、リセット関連信号のタイミング条件、タイミング要件、スイッチング特性を定義します。

表 6-5. リセットのタイミング条件

| パラメータ | | 最小値 | 最大値 | 単位 |
|-----------------|----------|---------------------------|--------|------|
| 入力条件 | | | | |
| SR _i | 入力スルーレート | VDD ⁽¹⁾ = 1.8V | 0.0018 | V/ns |
| | | VDD ⁽¹⁾ = 3.3V | 0.0033 | V/ns |
| 出力条件 | | | | |
| C _L | 出力負荷容量 | | 30 | pF |

(1) VDD は、対応する電源を表します。電源名および対応するボールの詳細については、「ピン属性」表の「電源」列を参照してください。

表 6-6. MCU_PORz のタイミング要件

図 6-12 参照

| 番号 | | 説明 | 最小値 | 標準値 | 最大値 | 単位 |
|------|---|--|-------------------------|---------|-----|----|
| RST1 | | ホールド時間、電源オン時に、すべての MCU ドメイン電源が有効になった後、MCU_PORz アクティブ (Low) の間 (外付け水晶振動子使用の場合) | N + 1200 ⁽²⁾ | 9500000 | | ns |
| RST2 | t _h (MCU_DOMAIN_SUPPLIES_VALID - MCU_PORz) | ホールド時間、電源オン時に、すべての MCU ドメインが ⁽¹⁾ 有効になり、さらに外部クロックが安定した後、MCU_PORz アクティブ (Low) の間 (外部 LVCMOS 発振器使用の場合) | 1200 | | | ns |
| RST3 | t _w (MCU_PORzL) | 最小パルス幅、電源投入後の MCU_PORz low (電源またはシステム基準クロック MCU_OSC0_XI/XO が維持されている場合) | 1200 | | | ns |

(1) MCU ドメイン電源の定義については、『MCU とメインドメインの結合パワーアップシーケンス』を参照してください。

(2) N = 発振器の起動時間

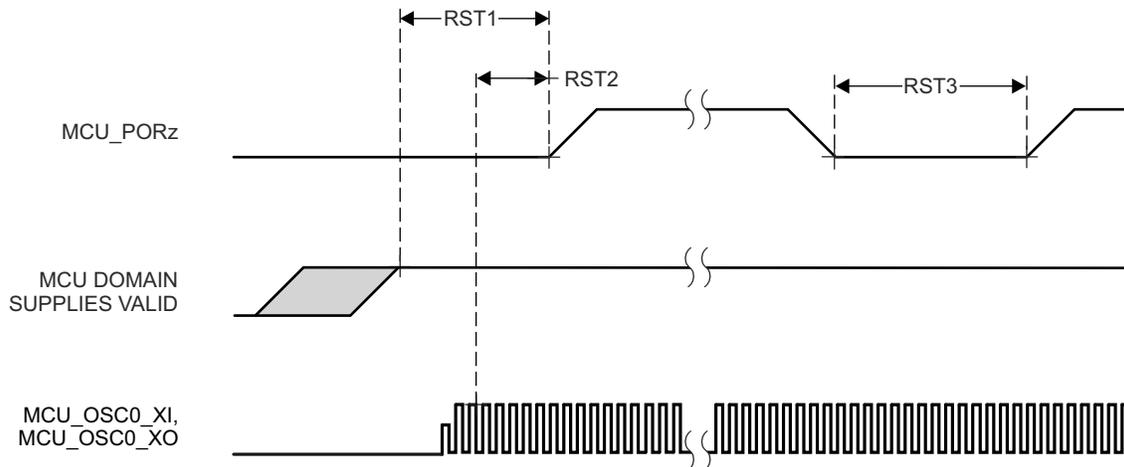


図 6-12. MCU_PORz のタイミング要件

表 6-7. PORz のタイミング要件

図 6-13 参照

| 番号 | | | 最小値 | 最大値 | 単位 |
|------|--|--|------|-----|----|
| RST4 | $t_{h(MAIND_SUPPLIES_VALID - PORz)}$ | ホールド時間、電源オン時に、すべての MAIN ドメイン電源が有効 ⁽¹⁾ になった後、PORz アクティブ(Low)の間 | 1200 | | ns |
| RST5 | $t_{w(PORzL)}$ | 最小パルス幅、電源投入後の PORz low | 1200 | | ns |

(1) メインドメイン電源の定義については、『MCU とメインドメインの結合パワーアップシーケンス』を参照してください。

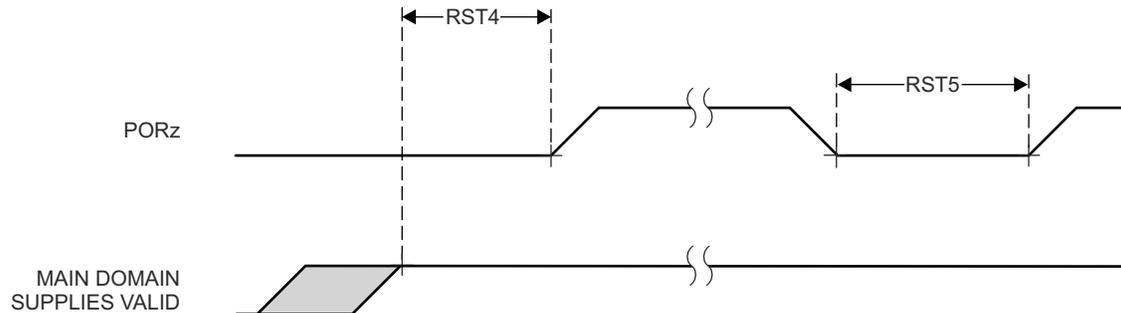


図 6-13. PORz のタイミング要件

表 6-8. MCU_PORz 開始、MCU_PORz_OUT、PORz_OUT、MCU_RESETSTATz、RESETSTATz のスイッチング特性

図 6-14 参照

| 番号 | パラメータ | モード | 最小値 | 最大値 | 単位 |
|-------|--------------------------------------|--------------|------------------------|-----|----|
| RST6 | $t_{d(MCU_PORzL-MCU_PORz_OUTL)}$ | | 0 | | ns |
| RST7 | $t_{d(MCU_PORzH-MCU_PORz_OUTH)}$ | | 0 | | ns |
| RST8 | $t_{d(MCU_PORzL-PORz_OUTL)}$ | | 0 | | ns |
| RST9 | $t_{d(MCU_PORzH-PORz_OUTH)}$ | | 1500 | | ns |
| RST10 | $t_{d(MCU_PORzL-MCU_RESETSTATzL)}$ | | 0 | | ns |
| RST11 | $t_{d(MCU_PORzH-MCU_RESETSTATzH)}$ | POST バイパス | 12000*S ⁽¹⁾ | | ns |
| RST12 | $t_{d(MCU_PORzL-RESETSTATzL)}$ | | 0 | | ns |
| RST13 | $t_{d(MCU_PORzH-RESETSTATzH)}$ | | 14500*S ⁽¹⁾ | | ns |
| RST14 | $t_{w(MCU_PORz_OUTL)}$ | | 1200 | | ns |
| RST15 | $t_{w(PORz_OUTL)}$ | | 2550 | | ns |
| RST16 | $t_{w(MCU_RESETSTATzL)}$ | | 3900*S ⁽¹⁾ | | ns |
| RST17 | $t_{w(RESETSTATzL)}$ | | 2650*S ⁽¹⁾ | | ns |

(1) S = MCU_OSC0_XI/XO クロック周期。

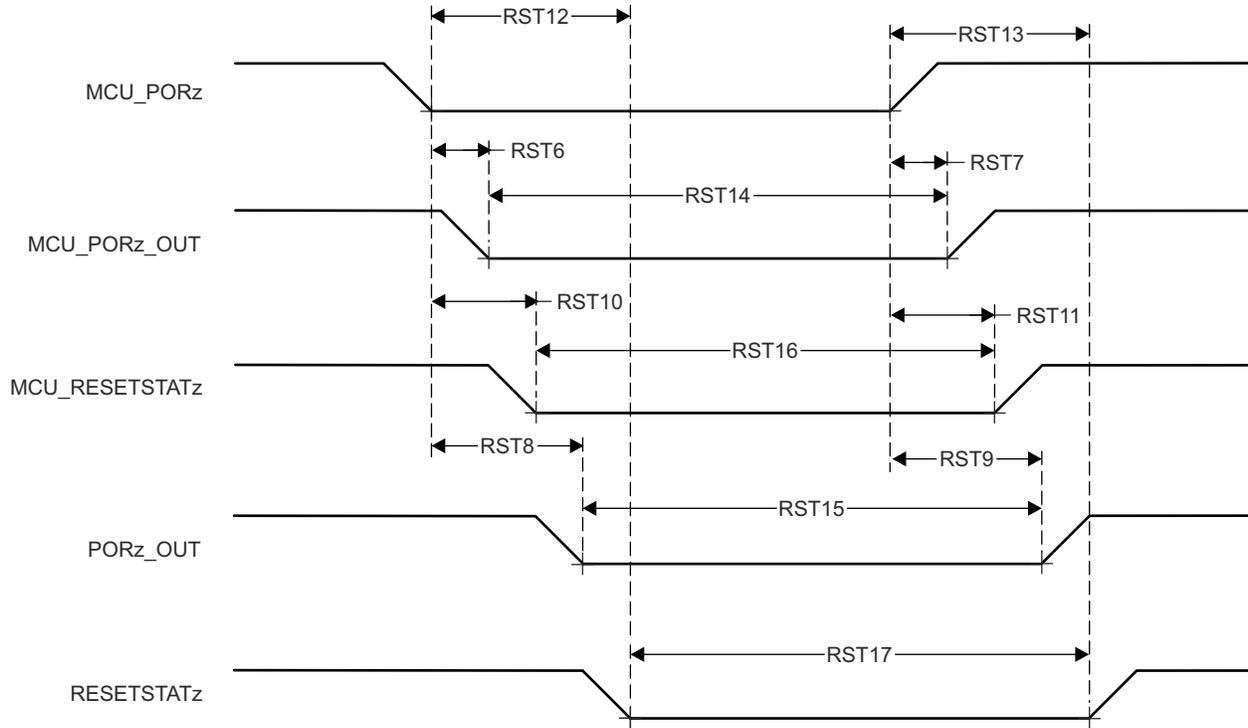


図 6-14. MCU_PORz 開始、MCU_PORz_OUT、PORz_OUT、MCU_RESETSTATz、RESETSTATz のスイッチング特性

表 6-9. PORz 開始、PORz_OUT および RESETSTATz のスイッチング特性

図 6-15 参照

| 番号 | パラメータ | モード | 最小値 | 最大値 | 単位 |
|-------|----------------------------|---|------------------------|-----|----|
| RST18 | $t_{d(PORzL-PORz_OUTL)}$ | POR_RST_ISO_DONE_Z のソフトウェア制御 | T ⁽¹⁾ | | |
| | | CTRLMMR_WKUP_POR_RST_CTRL[0].POR_RST_ISO_DONE_Z = 0 | 0 | | ns |
| RST19 | $t_{d(PORzH-PORz_OUTH)}$ | | 1300 | | ns |
| RST20 | $t_{d(PORzL-RESETSTATzL)}$ | | T ⁽¹⁾ | | |
| | | CTRLMMR_WKUP_POR_RST_CTRL[0].POR_RST_ISO_DONE_Z = 0 | 0 | | ns |
| RST21 | $t_{d(PORzH-RESETSTATzH)}$ | | 14500*S ⁽²⁾ | | ns |

(1) T = リセット分離時間 (ソフトウェアに依存)。

(2) S = MCU_OSC0_XI/XO クロック周期。

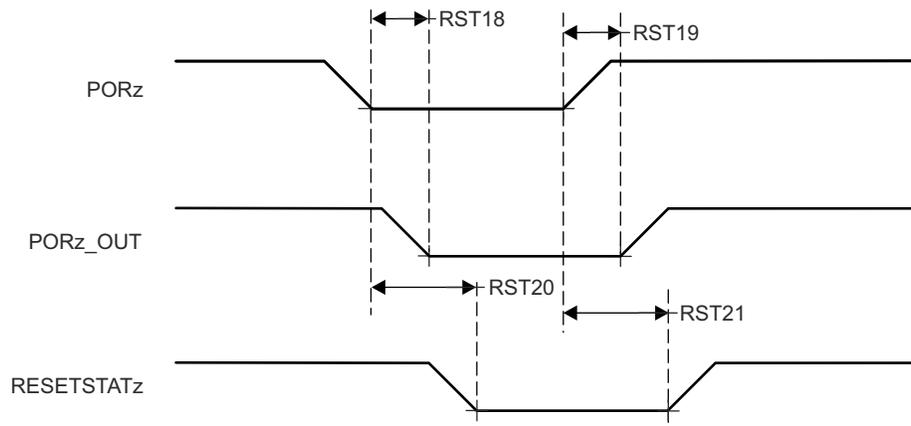


図 6-15. PORz 開始、PORz_OUT および RESETSTATz のスイッチング特性

表 6-10. MCU_RESEZt のタイミング要件

図 6-16 参照

| 番号 | パラメータ | 最小値 | 最大値 | 単位 |
|-------|-------------------------------------|-------------------------------|------|----|
| RST22 | $t_{w(MCU_RESEZt)}$ ⁽¹⁾ | 最小パルス幅、MCU_RESEZt アクティブ (low) | 1200 | ns |

(1) MCU_RESEZt のタイミングは、すべての電源が有効になり、MCU_PORz が指定された時間アサートされた後にのみ有効です。

表 6-11. MCU_RESEZt 開始、MCU_RESEZSTATz、RESETSTATz のスイッチング特性

図 6-16 参照

| 番号 | パラメータ | 最小値 | 最大値 | 単位 |
|-------|--|---|-----------------------|----|
| RST23 | $t_{d(MCU_RESEZtL-MCU_RESEZSTATzL)}$ | 遅延時間、MCU_RESEZt アクティブ (low) から MCU_RESEZSTATz アクティブ (low) まで | 800 | ns |
| RST24 | $t_{d(MCU_RESEZtH-MCU_RESEZSTATzH)}$ | 遅延時間、MCU_RESEZt 非アクティブ (high) から MCU_RESEZSTATz 非アクティブ (high) まで | 3900*S ⁽¹⁾ | ns |
| RST25 | $t_{d(MCU_RESEZtL-RESETSTATzL)}$ | 遅延時間、MCU_RESEZt アクティブ (low) から RESETSTATz アクティブ (low) まで | 800 | ns |
| RST26 | $t_{d(MCU_RESEZtH-RESETSTATzH)}$ | 遅延時間、MCU_RESEZt 非アクティブ (high) から RESETSTATz 非アクティブ (high) まで | 3900*S ⁽¹⁾ | ns |

(1) S = MCU_OSC0_XI/XO クロック周期。

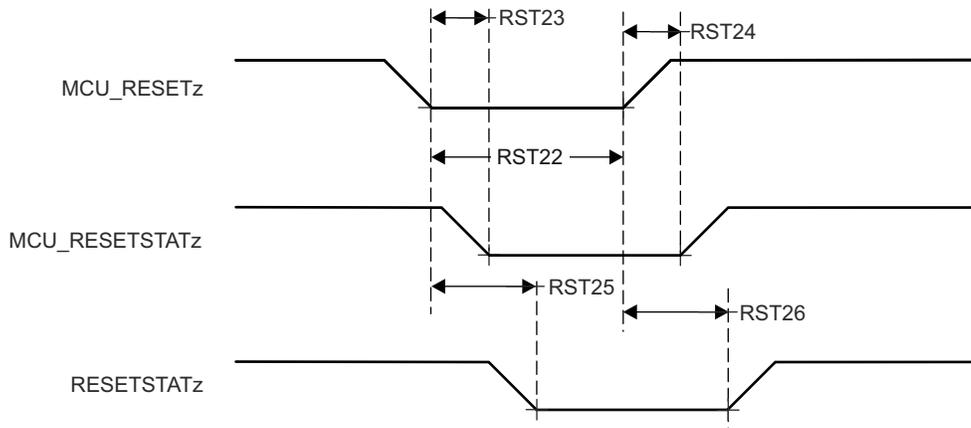


図 6-16. MCU_RESEZt 開始、MCU_RESEZSTATz、RESETSTATz のタイミング要件とスイッチング特性

表 6-12. RESET_REQz のタイミング要件

図 6-17 参照

| 番号 | | 最小値 | 最大値 | 単位 |
|-------|----------------------------------|-------------------------------|------|----|
| RST27 | $t_w(\text{RESET_REQzL})^{(1)}$ | 最小パルス幅、RESET_REQz アクティブ (low) | 1200 | ns |

(1) RESET_REQz のタイミングは、すべての電源が有効になり、MCU_PORz が指定された時間アサートされた後にのみ有効です。

表 6-13. RESET_REQz 開始、RESETSTATz のスイッチング特性

図 6-17 参照

| 番号 | パラメータ | モード | 最小値 | 最大値 | 単位 |
|-------|--|--|---|-----|----|
| RST28 | $t_d(\text{RESET_REQzL-RESETSTATzL})$ | SOC_WARMRST_ISO_DONE_Z のソフトウェア制御 | T ⁽¹⁾ | | |
| | | 遅延時間、RESET_REQz アクティブ (low) から RESETSTATz アクティブ (low) まで | CTRLMMR_WKUP_MAIN_WARM_RST_CTRL[0].SOC_WARMRST_ISO_DONE_Z = 0 | 740 | ns |
| RST29 | $t_d(\text{RESET_REQzH-RESETSTATzH})$ | 遅延時間、RESET_REQz 非アクティブ (high) から RESETSTATz 非アクティブ (high) まで | 2650*S ⁽²⁾ | | ns |

(1) T = リセット分離時間 (ソフトウェアに依存)。

(2) S = MCU_OSC0_XI/XO クロック周期。

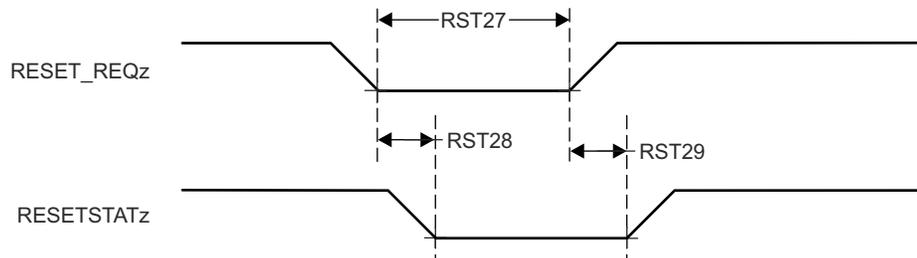


図 6-17. RESET_REQz 開始、RESETSTATz のタイミング要件とスイッチング特性

表 6-14. EMUx のタイミング要件

図 6-18 参照

| 番号 | | | 最小値 | 最大値 | 単位 |
|-------|--------------------------|--|-------------------|-----|----|
| RST30 | $t_{su}(EMUx-MCU_PORz)$ | セットアップ時間、EMU[1:0] から MCU_PORz 非アクティブ (high) まで | $3 \cdot S^{(1)}$ | | ns |
| RST31 | $t_h(MCU_PORz - EMUx)$ | ホールド時間、MCU_PORz 非アクティブ (high) から EMU[1:0] 有効の間 | 10 | | ns |

(1) S = MCU_OSC0_XI/XO クロック周期。

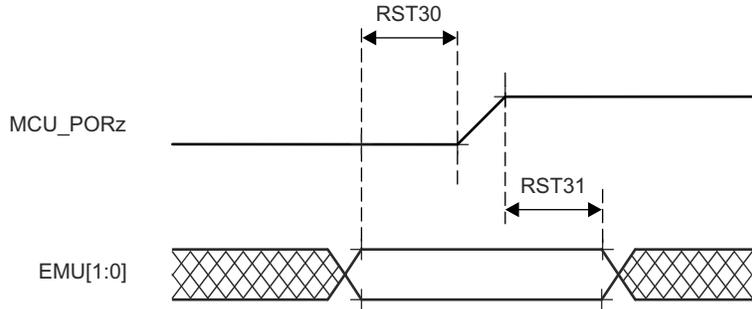


図 6-18. EMUx のタイミング要件

表 6-15. MCU_BOOTMODE のタイミング要件

図 6-19 参照

| 番号 | | | 最小値 | 最大値 | 単位 |
|-------|--|--|-------------------|-----|----|
| RST32 | $t_{su}(MCU_BOOTMODE-MCU_PORz_OUT)$ | セットアップ時間、MCU_BOOTMODE[09:00] から MCU_PORz_OUT high まで | $3 \cdot S^{(1)}$ | | ns |
| RST33 | $t_h(MCU_PORz_OUT - MCU_BOOTMODE)$ | ホールド時間、MCU_PORz_OUT high から MCU_BOOTMODE[09:00] 有効の間 | 0 | | ns |

(1) S = MCU_OSC0_XI/XO クロック周期。

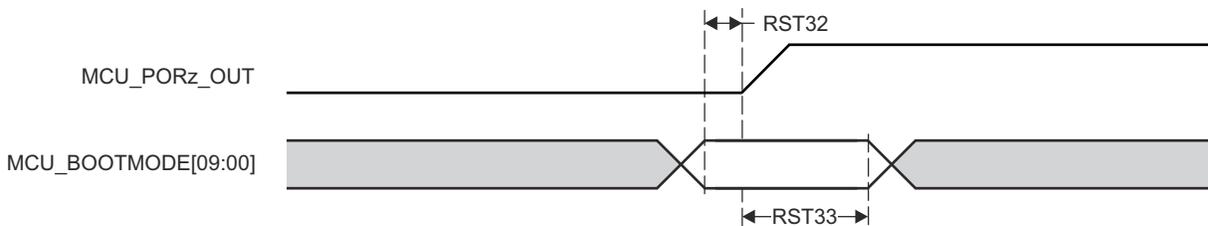


図 6-19. MCU_BOOTMODE のタイミング要件

表 6-16. BOOTMODE のタイミング要件

図 6-20 参照

| 番号 | | | 最小値 | 最大値 | 単位 |
|-------|-------------------------------------|--|-------------------|-----|----|
| RST34 | $t_{su}(\text{BOOTMODE-PORz_OUT})$ | セットアップ時間、BOOTMODE[7:0] から PORz_OUT high まで | $3 \cdot S^{(1)}$ | | ns |
| RST35 | $t_h(\text{PORz_OUT - BOOTMODE})$ | ホールド時間、PORz_OUT high から BOOTMODE[7:0] 有効の間 | 0 | | ns |

(1) S = MCU_OSC0_XI/XO クロック周期。

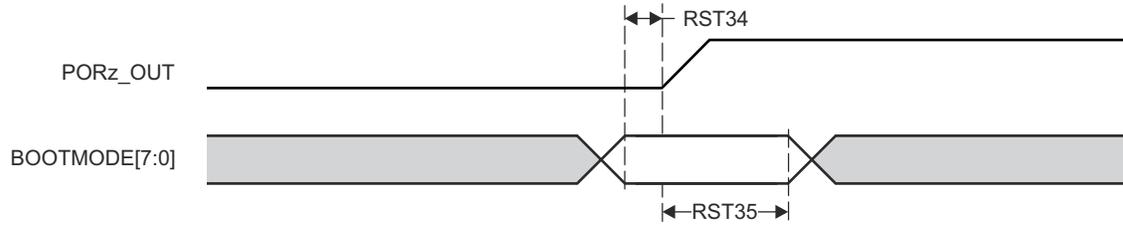


図 6-20. BOOTMODE のタイミング要件

6.10.3.2 安全信号タイミング

このセクションの表と図では、MCU_SAFETY_ERRORn および SOC_SAFETY_ERRORn のタイミング条件とスイッチング特性を定義します。

表 6-17. エラー信号のタイミング条件

| パラメータ | | 最小値 | 最大値 | 単位 |
|-----------------|----------|-----|-----|------|
| 入力条件 | | | | |
| SR _I | 入力スルーレート | 0.5 | 2 | V/ns |
| 出力条件 | | | | |
| C _L | 出力負荷容量 | 3 | 30 | pF |

表 6-18. MCU_SAFETY_ERRORn のスイッチング特性

図 6-21 参照

| 番号 | パラメータ | 最小値 | 最大値 | 単位 |
|-------|--|----------------------|-----|----|
| SFTY1 | $t_{w(MCU_SAFETY_ERRORn)}$ 最小パルス幅、MCU_SAFETY_ERRORn アクティブ (PWM モード無効) | $P \cdot R^{(1)(2)}$ | | ns |
| SFTY2 | $t_{d(ERROR_CONDITION-MCU_SAFETY_ERRORnL)}$ 遅延時間、エラー状態から MCU_SAFETY_ERRORn アクティブまで | $50 \cdot P^{(1)}$ | | ns |

- (1) P = ESM 機能クロック (MCU_SYCLK0/6)。
(2) R = エラー ピン カウンタ プリロード レジスタ カウント値。

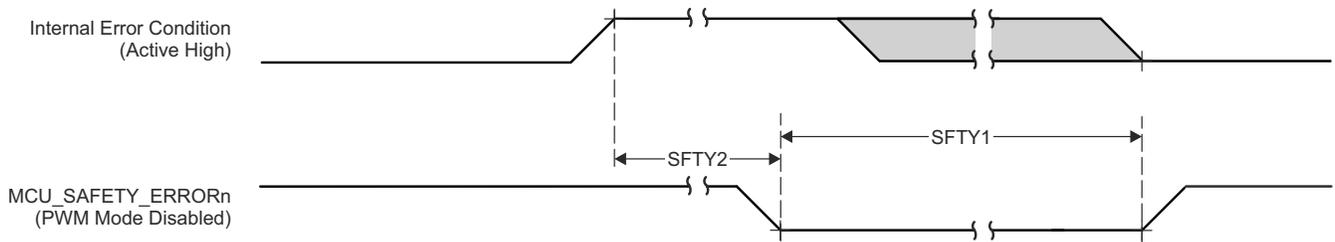


図 6-21. MCU_SAFETY_ERRORn のスイッチング特性

表 6-19. SOC_SAFETY_ERRORn のスイッチング特性

図 6-22 参照

| 番号 | パラメータ | 最小値 | 最大値 | 単位 |
|-------|--|----------------------|-----|----|
| SFTY3 | $t_{w(SOC_SAFETY_ERRORn)}$ 最小パルス幅、SOC_SAFETY_ERRORn アクティブ (PWM モード無効) | $P \cdot R^{(1)(2)}$ | | ns |
| SFTY4 | $t_{d(ERROR_CONDITION-SOC_SAFETY_ERRORnL)}$ 遅延時間、エラー状態から SOC_SAFETY_ERRORn アクティブまで | $50 \cdot P^{(1)}$ | | ns |

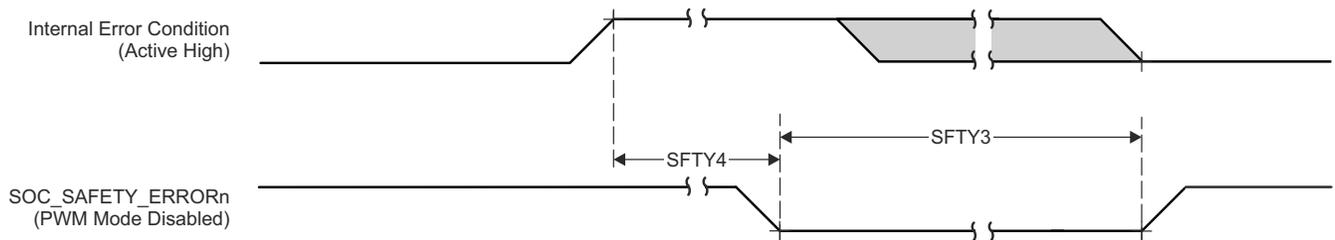


図 6-22. SOC_SAFETY_ERRORn のスイッチング特性

6.10.3.3 クロックのタイミング

このセクションの表と図では、クロック信号のタイミング条件、タイミング要件、スイッチング特性を定義します。

表 6-20. クロックのタイミング条件

| パラメータ | | 最小値 | 最大値 | 単位 |
|-----------------|----------|-----|-----|------|
| 入力条件 | | | | |
| SR _I | 入力スルーレート | 0.5 | 2 | V/ns |
| 出力条件 | | | | |
| C _L | 出力負荷容量 | 3 | 30 | pF |

表 6-21. クロックのタイミング要件

図 6-23 参照

| 番号 | パラメータ | 最小値 | 最大値 | 単位 |
|------|-------------------------------|-------------------------|-----------------------|--------------------------|
| CLK1 | t _c (EXT_REFCLK1) | 最小サイクル時間、EXT_REFCLK1 | 10 | ns |
| CLK2 | t _w (EXT_REFCLK1H) | 最小パルス幅、EXT_REFCLK1 High | E*0.45 ⁽¹⁾ | E*0.55 ⁽¹⁾ ns |
| CLK3 | t _w (EXT_REFCLK1L) | 最小パルス幅、EXT_REFCLK1 Low | E*0.45 ⁽¹⁾ | E*0.55 ⁽¹⁾ ns |

(1) E = EXT_REFCLK1 サイクル時間

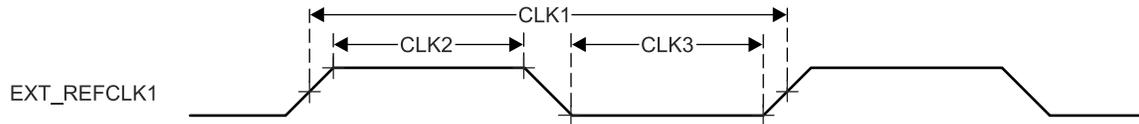


図 6-23. クロックのタイミング要件

表 6-22. クロックのスイッチング特性

図 6-24 参照

| 番号 | パラメータ | 最小値 | 最大値 | 単位 |
|-------|------------------------------|------------------------|----------------------|-------------------------|
| CLK4 | t _c (SYSCLKOUT0) | 最小サイクル時間、SYSCLKOUT0 | 8 | ns |
| CLK5 | t _w (SYSCLKOUT0H) | 最小パルス幅、SYSCLKOUT0 High | A*0.4 ⁽¹⁾ | A*0.6 ⁽¹⁾ ns |
| CLK6 | t _w (SYSCLKOUT0L) | 最小パルス幅、SYSCLKOUT0 Low | A*0.4 ⁽¹⁾ | A*0.6 ⁽¹⁾ ns |
| CLK7 | t _c (OBSCLK0) | 最小サイクル時間、OBSCLK0 | 5 | ns |
| CLK8 | t _w (OBSCLK0H) | 最小パルス幅、OBSCLK0 High | B*0.4 ⁽²⁾ | B*0.6 ⁽²⁾ ns |
| CLK9 | t _w (OBSCLK0L) | 最小パルス幅、OBSCLK0 Low | B*0.4 ⁽²⁾ | B*0.6 ⁽²⁾ ns |
| CLK10 | t _c (CLKOUT0) | 最小サイクル時間、CLKOUT0 | 20 | ns |
| CLK11 | t _w (CLKOUT0H) | 最小パルス幅、CLKOUT0 High | C*0.4 ⁽³⁾ | C*0.6 ⁽³⁾ ns |
| CLK12 | t _w (CLKOUT0L) | 最小パルス幅、CLKOUT0 Low | C*0.4 ⁽³⁾ | C*0.6 ⁽³⁾ ns |

(1) A = SYSCLKOUT0 サイクル時間

(2) B = OBSCLK0 サイクル時間

(3) C = CLKOUT0 サイクル時間

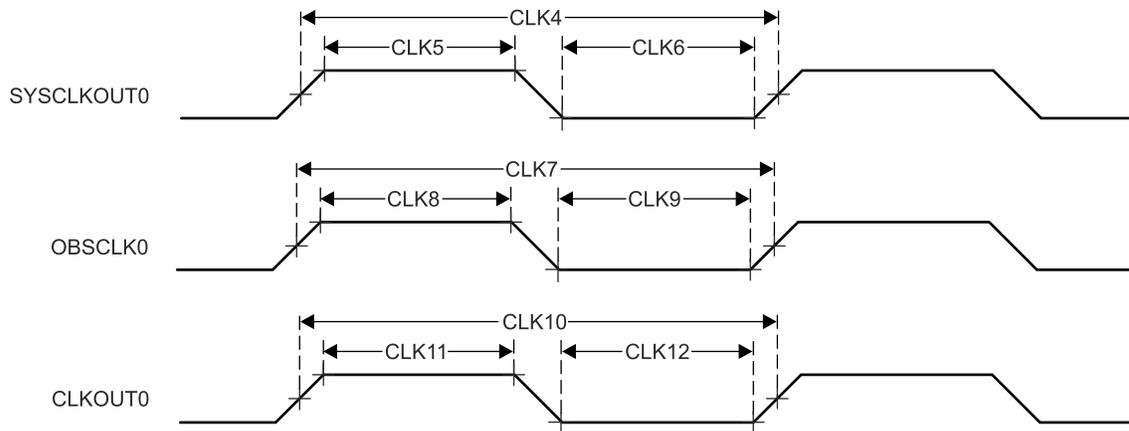


図 6-24. クロックのスイッチング特性

6.10.4 クロック仕様

6.10.4.1 入力および出力クロック / 発振器

本デバイスを駆動するには、各種の外部クロック入力 / 出力が必要です。これらの入力クロック信号の概要は、以下のとおりです。

- 高周波数発振器入力
 - OSC1_XO/OSC1_XI — 外部メイン水晶振動子インターフェイスピン。基準クロックを供給する内部発振器に接続されています。MCUドメインおよびメインドメイン内のPLLに基準クロックを供給します。この高周波数発振器は、オーディオクロック周波数をMCASPに供給するために使用されます。
 - WKUP_OSC0_XO/WKUP_OSC0_XI — 外部メイン水晶振動子インターフェイスピン。基準クロックを供給する内部発振器に接続されています。WKUPおよびメインドメイン内のPLLに基準クロックを供給します。
- 低周波数発振器入力
 - WKUP_LF_CLKIN - 低周波数の32k デジタル クロック入力で、外部PMICまたは他のクロックソースからクロックを供給することもできます。このSoCは、LFOSC水晶振動子入力をサポートしていません。
- 汎用クロック入力
 - MCU_EXT_REFCLK0 — オプションの外部システムクロック入力 (MCUドメイン)。
 - EXT_REFCLK1 — オプションの外部システムクロック入力 (メインドメイン)。
- ペリフェラルクロック — ペリフェラル固有のクロックについては、「信号の説明」を参照してください。

入力クロックインターフェイスの詳細については、デバイステクニカルリファレンスマニュアルの「デバイス構成」の章にある「クロック処理」のセクションを参照してください。

6.10.4.1.1 WKUP_OSC0 内部発振器クロックソース

図 6-25 に、水晶発振器の推奨回路を示します。発振回路の実装に使用されるすべてのディスクリート部品は、WKUP_OSC0_XI および WKUP_OSC0_XO ピンのできるだけ近くに配置する必要があります。

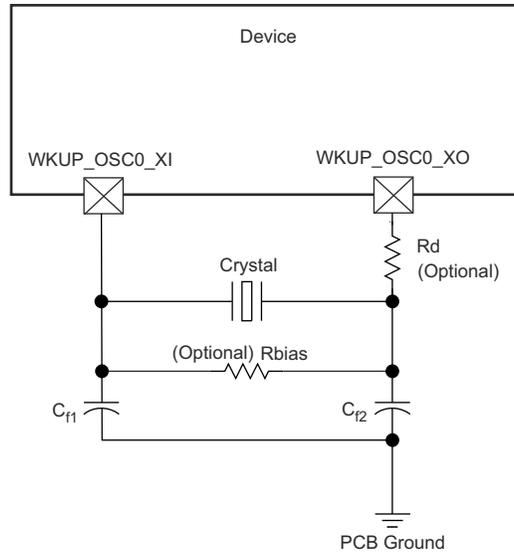


図 6-25. WKUP_OSC0 水晶振動子の実装

水晶振動子は、基本動作モード、並列共振である必要があります。表 6-23 に、必要な電氣的制約事項を示します。

表 6-23. WKUP_OSC0 水晶振動子の電氣的特性

| パラメータ | 最小値 | 標準値 | 最大値 | 単位 | |
|---|--------------------------------|--|-----------|----------|----|
| F_{xtal} 水晶振動子の並列共振周波数 | 19.2、20、24、25、26、27 | | | MHz | |
| F_{xtal} 水晶振動子の周波数安定性および許容誤差 | イーサネット RGMII および RMII は未使用 | | ± 100 | ppm | |
| | 派生クロックを使用するイーサネット RGMII と RMII | | ± 50 | | |
| $C_{L1+PCBXI}$ $C_{L1} + C_{PCBXI}$ の容量 | 12 | | 24 | pF | |
| $C_{L2+PCBXO}$ $C_{L2} + C_{PCBXO}$ の容量 | 12 | | 24 | pF | |
| C_L 水晶振動子の負荷容量 | 6 | | 12 | pF | |
| C_{shunt} 水晶発振回路のシャント容量 | 19.2MHz、20MHz | $ESR_{xtal} \leq 30\Omega$ | | 7 | pF |
| | | $30\Omega < ESR_{xtal} \leq 80\Omega$ | | 5 | pF |
| | | $80\Omega < ESR_{xtal} \leq 100\Omega$ | | 3 | pF |
| | 24MHz | $ESR_{xtal} \leq 30\Omega$ | | 7 | pF |
| | | $30\Omega < ESR_{xtal} \leq 60\Omega$ | | 5 | pF |
| | | $60\Omega < ESR_{xtal} \leq 80\Omega$ | | 3 | pF |
| | | サポート対象外: $80\Omega \leq ESR_{xtal}$ | | – | |
| | 25MHz | $ESR_{xtal} \leq 30\Omega$ | | 7 | pF |
| | | $30\Omega < ESR_{xtal} \leq 50\Omega$ | | 5 | pF |
| | | $50\Omega < ESR_{xtal} \leq 80\Omega$ | | 3 | pF |
| | | サポート対象外: $80\Omega \leq ESR_{xtal}$ | | – | |
| | 26MHz、27MHz | $ESR_{xtal} \leq 30\Omega$ | | 7 | pF |
| $30\Omega < ESR_{xtal} \leq 50\Omega$ | | | 5 | pF | |
| サポート対象外: $50\Omega \leq ESR_{xtal}$ | | | – | | |
| ESR_{xtal} 水晶振動子の等価直列抵抗 | | | (1) | Ω | |

(1) 水晶振動子の最大 ESR は、水晶振動子の周波数とシャント容量の関数です。C_{shunt} パラメータを参照してください。

水晶振動子を選択するとき、システム設計では、ワーストケースの環境とシステムの予測寿命に基づいて、温度と経年変化特性を考慮する必要があります。

表 6-24 に、発振器のスイッチング特性と入力クロックの要件を示します。

表 6-24. WKUP_OSC0 のスイッチング特性 – 水晶振動子モード

| パラメータ | パッケージ | 最小値 | 標準値 | 最大値 | 単位 |
|----------------------------|-------|-----|--------------------|-------|----|
| C_{XI} XI 容量 | ALY | | | 2.241 | pF |
| C_{XO} XO 容量 | ALY | | | 2.210 | pF |
| C_{XIXO} XI から XO への相互容量 | ALY | | | 0.01 | pF |
| t_s 起動時間 | | | 9.5 ⁽¹⁾ | | ms |

(1) それぞれのお客様が、検証のためにデバイスのサンプルを共振器 / 水晶振動子のベンダに提出することを強くお勧めします。ベンダは、温度 / 電圧の最大値や最小値においても最適な起動と動作を実現するために、共振器 / 水晶振動子をマイクロコントローラ デバイスに合わせて最適に調整する負荷コンデンサを決定するための手段を用意しています。

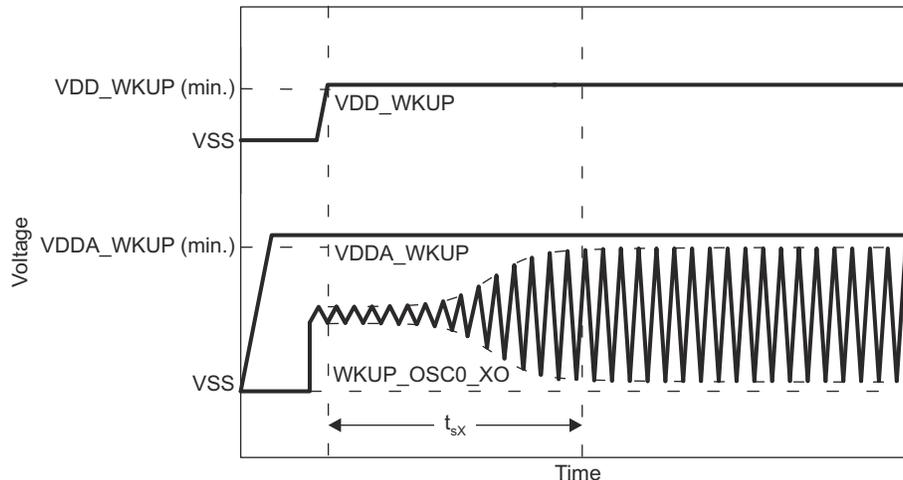


図 6-26. WKUP_OSC0 スタートアップ時間

6.10.4.1.1.1 負荷容量

水晶振動子回路は、水晶振動子メーカーの定義に従って、水晶振動子に適切な容量性負荷がかかるように設計する必要があります。この回路の容量性負荷 C_L は、ディスクリートコンデンサ C_{L1} 、 C_{L2} 、およびいくつかの寄生成分から構成されています。水晶振動子回路の部品を WKUP_OSC0_XI および WKUP_OSC0_XO に接続する PCB 信号パターンには、グラウンドへの寄生容量 C_{PCBXI} および C_{PCBXO} があり、PCB 設計者は各信号パターンの寄生容量を把握する必要があります。WKUP_OSC0 回路およびデバイスパッケージには、グラウンドへの寄生容量 C_{PCBXI} および C_{PCBXO} があります。ここで、これらの寄生容量の値は、表 6-24 で定義されています。

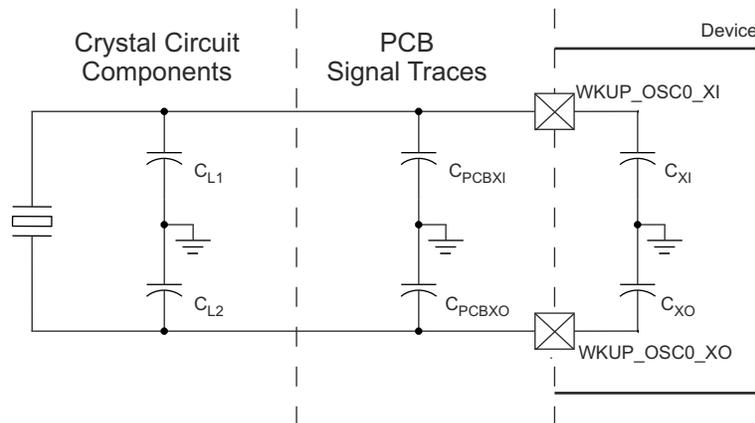


図 6-27. 負荷容量

図 6-25 の負荷コンデンサ C_{L1} および C_{L2} は、次の式が満足されるように選択する必要があります。この式の C_L は、水晶振動子のメーカーによって指定された負荷です。

$$C_L = [(C_{L1} + C_{PCBXI} + C_{XI}) \times (C_{L2} + C_{PCBXO} + C_{XO})] / [(C_{L1} + C_{PCBXI} + C_{XI}) + (C_{L2} + C_{PCBXO} + C_{XO})]$$

C_{L1} と C_{L2} の値を決定するには、まず、容量性負荷の値 C_L に 2 を乗算します。この結果に対して、 $C_{PCBXI} + C_{XI}$ の合成値を減算すれば C_{L1} の値が得られます。また、 $C_{PCBXO} + C_{XO}$ の合成値を減算すれば、 C_{L2} の値が得られます。たとえば、 $C_L = 10\text{pF}$ 、 $C_{PCBXI} = 2.9\text{pF}$ 、 $C_{XI} = 0.5\text{pF}$ 、 $C_{PCBXO} = 3.7\text{pF}$ 、 $C_{XO} = 0.5\text{pF}$ の場合、 $C_{L1} = [(2C_L) - (C_{PCBXI} + C_{XI})] = [(2 \times 10\text{pF}) - 2.9\text{pF} - 0.5\text{pF}] = 16.6\text{pF}$ および $C_{L2} = [(2C_L) - (C_{PCBXO} + C_{XO})] = [(2 \times 10\text{pF}) - 3.7\text{pF} - 0.5\text{pF}] = 15.8\text{pF}$ となります。

6.10.4.1.1.2 シャント容量

また、水晶振動子回路は、表 6-23 に定義された WKUP_OSC0 動作条件の最大シャント容量を超えないように設計する必要があります。水晶振動子回路のシャント容量 C_{shunt} は、水晶振動子のシャント容量と寄生成分の組み合わせです。水晶振動子回路の部品を WKUP_OSC0 に接続する PCB 信号パターンには、相互寄生容量 WKUP_OSC0 があります。PCB 設計者は、これらの信号パターン間の相互寄生容量を導出できる必要があります。デバイス パッケージには、相互寄生容量 C_{XIXO} もあります。ここで、この相互寄生容量の値は表 6-24 で定義されています。

PCB 配線は、XI 信号パターンと XO 信号パターンとの間の相互容量を最小限に抑えるよう設計する必要があります。これは通常、信号パターンを短くし、近接した場所に配線しないことで行われます。レイアウトで信号を互いに近接して配線する必要がある場合は、これらの信号の間にグランドパターンを配置することで、相互容量を最小化することもできます。水晶振動子を選択する際に、可能な限り大きなマージンを確保するために、PCB 上の相互容量を最小化することが重要です。

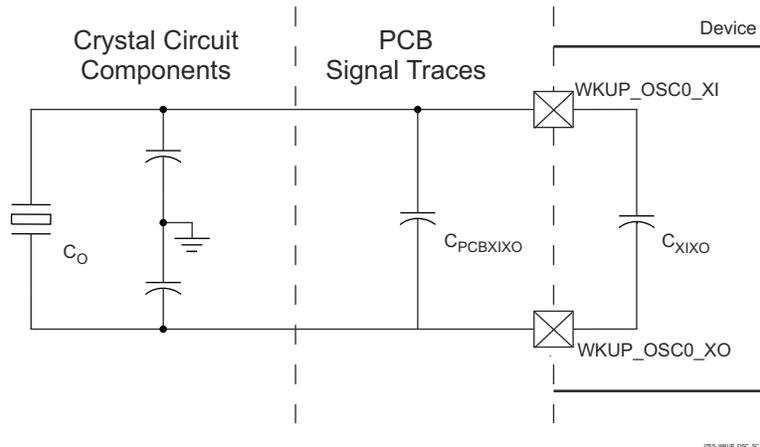


図 6-28. シャント容量

水晶振動子は、次の式が満たされるように選択する必要があります。この式の C_0 は、水晶振動子のメーカーによって指定された最大シャント容量です。

$$C_{shunt} \geq C_0 + C_{PCBXIXO} + C_{XIXO}$$

たとえば、使用する水晶振動子が $ESR = 30\Omega$ 、 $C_{PCBXIXO} = 0.04\text{pF}$ 、 $C_{XIXO} = 0.01\text{pF}$ の 25 MHz であり、水晶振動子のシャント容量が 6.95pF 以下の場合、この式が満たされます。

6.10.4.1.2 WKUP_OSC0 LVCMOS デジタルクロックソース

図 6-29 に、WKUP_OSC0_XI を 1.8V LVCMOS 方形波デジタルクロックソースに接続する場合に推奨される発振器接続を示します。

注

発振器が電源オンのとき、WKUP_OSC0_XI を DC 定常状態にすることは許容されません。WKUP_OSC0_XI は内部でコンパレータに AC 結合されているので、入力に DC が印加された場合、未知の状態になる可能性があり、これは許容されません。したがって、WKUP_OSC0_XI がロジック オン オフ状態をトグルしていないときは、必ず、アプリケーションソフトウェアは WKUP_OSC0 の電源をオフにする必要があります。

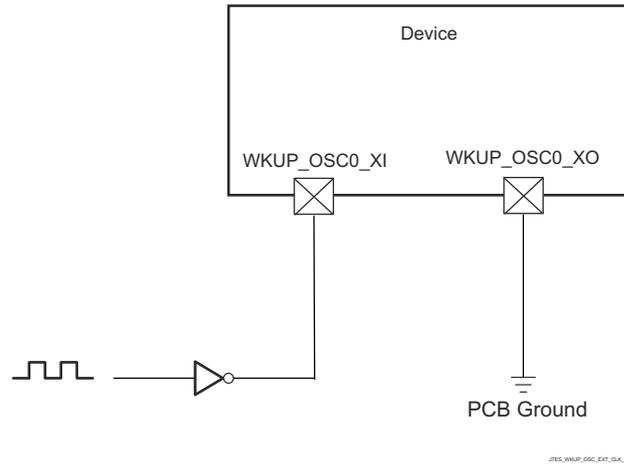


図 6-29. 1.8V LVC MOS 互換クロック入力

6.10.4.1.3 補助 OSC1 内部発振器クロック ソース

図 6-30 に、水晶発振器の推奨回路を示します。発振回路の実装に使用されるすべてのディスクリート部品は、OSC1_XI および OSC1_XO ピンのできるだけ近くに配置する必要があります。

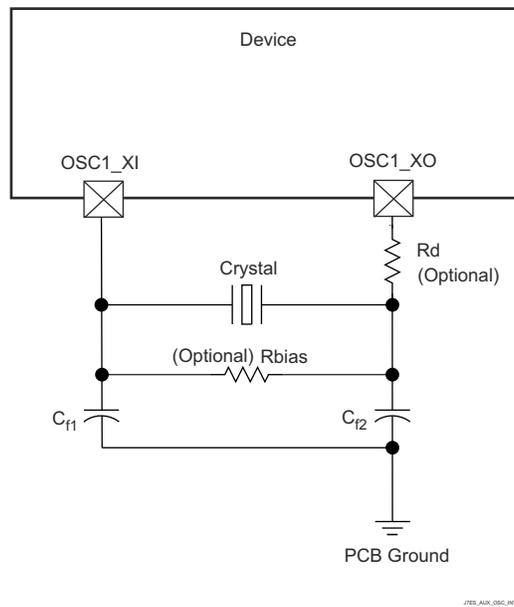


図 6-30. OSC1 水晶振動子の実装

水晶振動子は、基本動作モード、並列共振である必要があります。表 6-25 に、必要な電氣的制約事項を示します。

表 6-25. OSC1 水晶振動子の電氣的特性

| パラメータ | | 最小値 | 標準値 | 最大値 | 単位 | |
|---------------------------------------|--------------------------|---|--|-----------|----------|----|
| F_{xtal} | 水晶振動子の並列共振周波数 | 19.2 | | 27 | MHz | |
| F_{xtal} | 水晶振動子の周波数安定性および許容誤差 | イーサネット RGMII および RMII は未使用 | | ± 100 | ppm | |
| | | 派生クロックを使用するイーサネット RGMII と RMII | | ± 50 | | |
| $C_{L1+PCBXI}$ | $C_{L1} + C_{PCBXI}$ の容量 | 12 | | 24 | pF | |
| $C_{L2+PCBXO}$ | $C_{L2} + C_{PCBXO}$ の容量 | 12 | | 24 | pF | |
| C_L | 水晶振動子の負荷容量 | 6 | | 12 | pF | |
| C_{shunt} | 水晶発振回路のシャント容量 | $19.2\text{MHz} < F_{xtal} \leq 20\text{MHz}$ | $ESR_{xtal} \leq 30\Omega$ | | 7 | pF |
| | | | $30\Omega < ESR_{xtal} \leq 80\Omega$ | | 5 | pF |
| | | | $80\Omega < ESR_{xtal} \leq 100\Omega$ | | 3 | pF |
| | | $20\text{MHz} < F_{xtal} \leq 24.576\text{MHz}$ | $ESR_{xtal} \leq 30\Omega$ | | 7 | pF |
| | | | $30\Omega \leq ESR_{xtal} \leq 60\Omega$ | | 5 | pF |
| | | | $60\Omega < ESR_{xtal} \leq 80\Omega$ | | 3 | pF |
| | | サポート対象外: $80\Omega \leq ESR_{xtal}$ | | – | | |
| | | $24.576\text{MHz} < F_{xtal} \leq 25\text{MHz}$ | $ESR_{xtal} \leq 30\Omega$ | | 7 | pF |
| | | | $30\Omega < ESR_{xtal} \leq 50\Omega$ | | 5 | pF |
| | | | $50\Omega < ESR_{xtal} \leq 80\Omega$ | | 3 | pF |
| | | サポート対象外: $80\Omega \leq ESR_{xtal}$ | | – | | |
| | | $25\text{MHz} < F_{xtal} \leq 27\text{MHz}$ | $ESR_{xtal} \leq 30\Omega$ | | 7 | pF |
| $30\Omega < ESR_{xtal} \leq 50\Omega$ | | | 5 | pF | | |
| サポート対象外: $50\Omega \leq ESR_{xtal}$ | | | – | | | |
| ESR_{xtal} | 水晶振動子の等価直列抵抗 | | | 100 | Ω | |

水晶振動子を選択するとき、システム設計では、ワーストケースの環境とシステムの予測寿命に基づいて、温度と経年変化特性を考慮する必要があります。

表 6-26 に、発振器のスイッチング特性と入力クロックの要件を示します。

表 6-26. OSC1 のスイッチング特性 – 水晶振動子モード

| パラメータ | | パッケージ | 最小値 | 標準値 | 最大値 | 単位 |
|------------|-----------------|-------|-----|--------------------|-------|----|
| C_{XI} | XI 容量 | ALY | | | 1.989 | pF |
| C_{XO} | XO 容量 | ALY | | | 1.971 | pF |
| C_{XIXO} | XI から XO への相互容量 | ALY | | | 0.01 | pF |
| t_s | 起動時間 | | | 9.5 ⁽¹⁾ | | ms |

- (1) それぞれのお客様が、検証のためにデバイスのサンプルを共振器 / 水晶振動子のベンダに提出することを強くお勧めします。ベンダは、温度 / 電圧の最大値や最小値においても最適な起動と動作を実現するために、共振器 / 水晶振動子をマイクロコントローラ デバイスに合わせて最適に調整する負荷コンデンサを決定するための手段を用意しています。

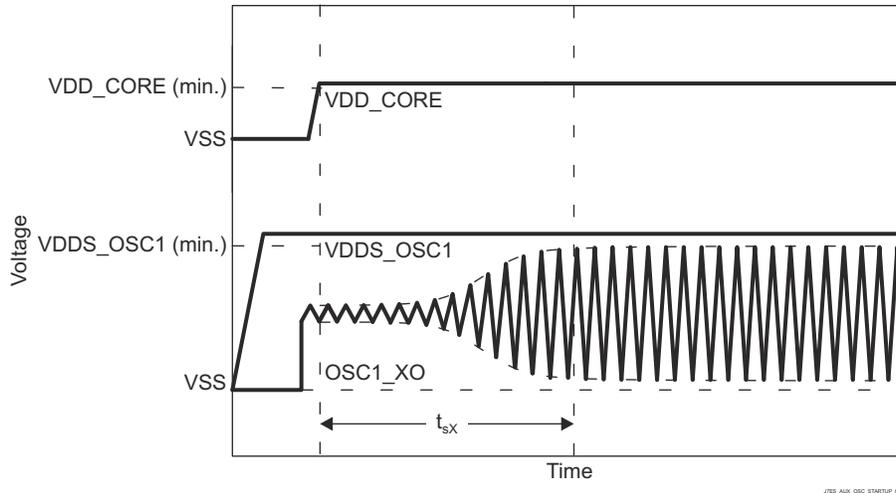


図 6-31. OSC1 スタートアップ時間

6.10.4.1.3.1 負荷容量

水晶振動子回路は、水晶振動子メーカーの定義に従って、水晶振動子に適切な容量性負荷がかかるように設計する必要があります。この回路の容量性負荷 C_L は、ディスクリートコンデンサ C_{L1} 、 C_{L2} 、およびいくつかの寄生成分から構成されています。水晶振動子回路の部品を OSC1_XI および OSC1_XO に接続する PCB 信号パターンには、グラウンドへの寄生容量 C_{PCBXI} および C_{PCBXO} があり、PCB 設計者は各信号パターンの寄生容量を把握する必要があります。OSC1 回路およびデバイス パッケージには、グラウンドへの寄生容量 C_{PCBXI} および C_{PCBXO} があります。ここで、これらの寄生容量の値は、表 6-26 で定義されています。

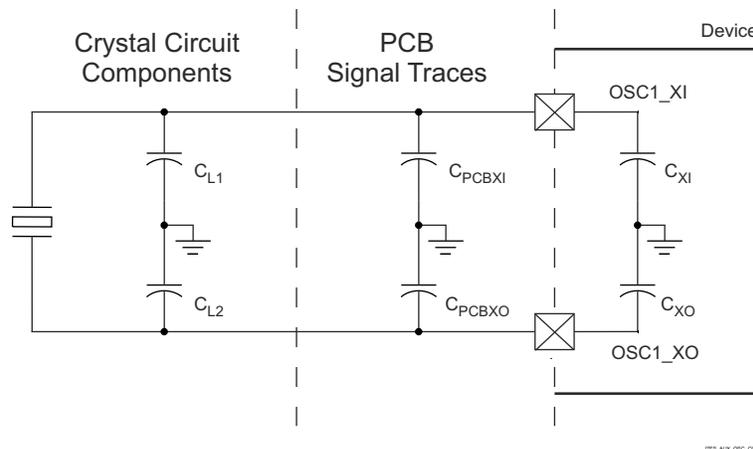


図 6-32. 負荷容量

図 6-30 の負荷コンデンサ C_{L1} および C_{L2} は、次の式が満足されるように選択する必要があります。この式の C_L は、水晶振動子のメーカーによって指定された負荷です。

$$C_L = [(C_{L1} + C_{PCBXI} + C_{XI}) \times (C_{L2} + C_{PCBXO} + C_{XO})] / [(C_{L1} + C_{PCBXI} + C_{XI}) + (C_{L2} + C_{PCBXO} + C_{XO})]$$

C_{L1} と C_{L2} の値を決定するには、まず、容量性負荷の値 C_L に 2 を乗算します。この結果に対して、 $C_{PCBXI} + C_{XI}$ の合成値を減算すれば C_{L1} の値が得られます。また、 $C_{PCBXO} + C_{XO}$ の合成値を減算すれば、 C_{L2} の値が得られます。たとえば、 $C_L = 10\text{pF}$ 、 $C_{PCBXI} = 2.9\text{pF}$ 、 $C_{XI} = 0.5\text{pF}$ 、 $C_{PCBXO} = 3.7\text{pF}$ 、 $C_{XO} = 0.5\text{pF}$ の場合、 $C_{L1} = [(2C_L) - (C_{PCBXI} + C_{XI})] = [(2 \times 10\text{pF}) - 2.9\text{pF} - 0.5\text{pF}] = 16.6\text{pF}$ および $C_{L2} = [(2C_L) - (C_{PCBXO} + C_{XO})] = [(2 \times 10\text{pF}) - 3.7\text{pF} - 0.5\text{pF}] = 15.8\text{pF}$ となります。

6.10.4.1.3.2 シャント容量

また、水晶振動子回路は、表 6-25 に定義された OSC1 動作条件の最大シャント容量を超えないように設計する必要があります。水晶振動子回路のシャント容量 C_{shunt} は、水晶振動子のシャント容量と寄生成分の組み合わせです。水晶振動子回路の部品を OSC1 に接続する PCB 信号パターンには、相互寄生容量 WKUP_OSC0 があります。PCB 設計者は、これらの信号パターン間の相互寄生容量を導出できる必要があります。デバイス パッケージには、相互寄生容量 C_{XIXO} もあります。ここで、この相互寄生容量の値は表 6-26 で定義されています。

PCB 配線は、XI 信号パターンと XO 信号パターンの間の相互容量を最小限に抑えるよう設計する必要があります。これは通常、信号パターンを短くし、近接した場所に配線しないことで行われます。レイアウトで信号を互いに近接して配線する必要がある場合は、これらの信号の間にグランドパターンを配置することで、相互容量を最小化することもできます。水晶振動子を選択する際に、可能な限り大きなマージンを確保するために、PCB 上の相互容量を最小化することが重要です。

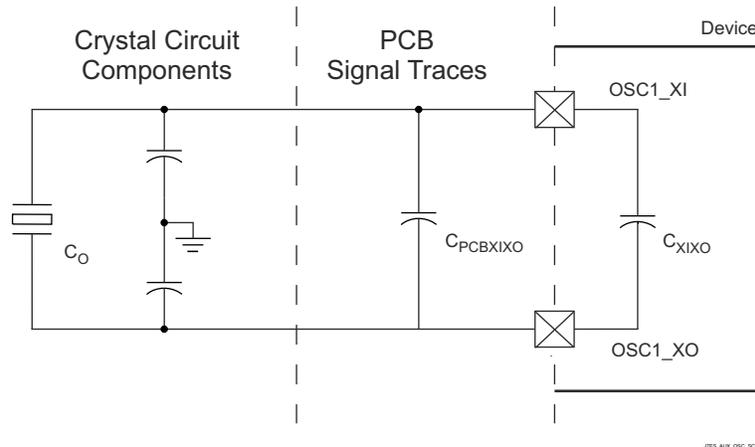


図 6-33. シャント容量

水晶振動子は、次の式が満たされるように選択する必要があります。この式の C_0 は、水晶振動子のメーカーによって指定された最大シャント容量です。

$$C_{shunt} \geq C_0 + C_{PCBXIXO} + C_{XIXO}$$

たとえば、使用する水晶振動子が $ESR = 30\Omega$ 、 $C_{PCBXIXO} = 0.04\text{pF}$ 、 $C_{XIXO} = 0.01\text{pF}$ の 25 MHz であり、水晶振動子のシャント容量が 6.95pF 以下の場合、この式が満たされます。

6.10.4.1.4 補助 OSC1 LVCMOS デジタルクロックソース

図 6-34 に、OSC1 を 1.8V LVCMOS 方形波デジタルクロックソースに接続する場合に推奨される発振器接続を示します。

注

発振器が電源オンのとき、OSC1_XI を DC 定常状態にすることは許容されません。OSC1_XI は内部でコンパレータに AC 結合されているので、入力に DC が印加された場合、未知の状態になる可能性があり、これは許容されません。したがって、OSC1_XI がロジック オン オフ状態をトグルしていないときは、必ず、アプリケーションソフトウェアは OSC1 の電源をオフにする必要があります。

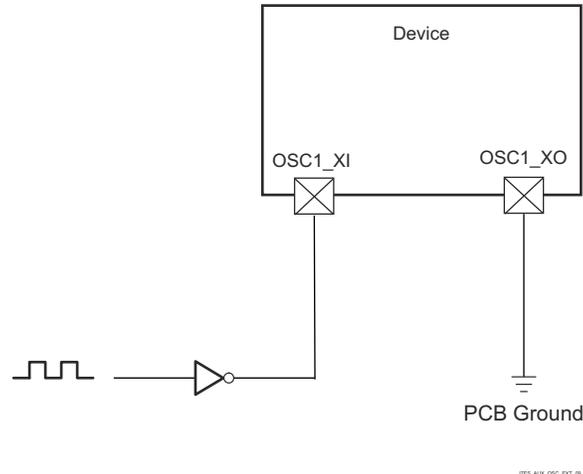


図 6-34. 1.8V LVCMOS 互換クロック入力

6.10.4.1.5 補助 OSC1 未使用

図 6-35 に、OSC1 を使用しない場合に推奨される発振器接続を示します。OSC1_XI は外付けプル抵抗 (R_{pd}) を介して VSS に接続する必要があります。これは、内部プルダウン抵抗がデフォルトで無効になっており、未使用時にこの入力を有効な Low レベルに保持するためです。

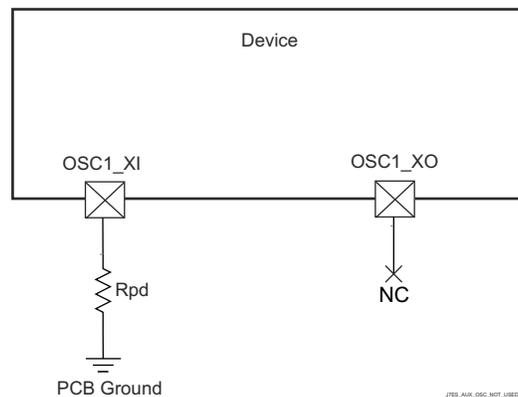


図 6-35. OSC1 を使用しない場合

6.10.4.2 出力クロック

このデバイスには、複数のシステム クロック出力があります。これらの出力クロックの概要は、以下のとおりです。

- **MCU_CLKOUT0**
 - イーサネット PHY の基準クロック出力 (50MHz または 25MHz)
- **MCU_SYSCLKOUT0**
 - MCU_SYSCLK0 は 4 分周され、LVCMOS クロック信号 (MCU_SYSCLKOUT0) としてデバイスから出力されます。この信号を使って、メイン チップのクロックが機能しているかどうかをテストできます。この信号を基板上の外部デバイスのクロック ソースとして使用しないでください。
- **MCU_OBSCLK0**
 - クロック出力 MCU_OBSCLK0 では、テストおよびデバッグのために発振器と PLL クロックを監視できます。この信号を基板上の外部デバイスのクロック ソースとして使用しないでください。
- **SYCLKOUT0**

- SYSCLK0 は 4 分周され、LVCMOS クロック信号 (SYSCLKOUT0) としてデバイスから出力されます。この信号を使って、メイン チップのクロックが機能しているかどうかをテストできます。この信号を基板上の外部デバイスのクロックソースとして使用しないでください。
- **CLKOUT**
 - イーサネット PHY の基準クロック出力 (50MHz)
- **OBSCCLK[1:0]**
 - クロック出力 OBSCCLK0/1 では、テストおよびデバッグのために発振器および PLL クロックを監視できます。

6.10.4.3 PLL

フェーズ ロック ループ回路 (PLL) の電力は、オフチップ電源から電力を得る内部レギュレータによって供給されます。

このデバイスには、WKUP および MCU ドメインに合計 3 つの PLL があります。

- MCU_PLL0 (MCU R5FSS PLL)、WKUP_PLLCTRL0 付き
- MCU_PLL1 (MCU PERIPHERAL PLL)
- MCU_PLL2 (MCU CPSW PLL)

このデバイスの MAIN ドメインには、合計 20 個の PLL があります。

- PLL0 (MAIN PLL)、PLLCTRL0 付き
- PLL1 (PER0 PLL)
- PLL2 (PER1 PLL)
- PLL3 (CPSW9G PLL)
- PLL4 (AUDIO0 PLL)
- PLL5 (VIDEO PLL)
- PLL6 (GPU PLL)
- PLL7 (C7x PLL)
- PLL8 (ARM0 PLL)
- PLL12 (DDR PLL)
- PLL13 (C66 PLL)
- PLL14 (R5F PLL)
- PLL15 (AUDIO1 PLL)
- PLL16 (DSS PLL0)
- PLL17 (DSS PLL1)
- PLL18 (DSS PLL2)
- PLL19 (DSS PLL3)
- PLL23 (DSS PLL7)
- PLL24 (MLB PLL)
- PLL25 (VISION PLL)

注

詳細については、以下を参照してください。

- デバイスのテクニカル リファレンス マニュアルの「デバイス構成」「クロッキング」「PLL」セクション
 - デバイスのテクニカル リファレンス マニュアルの「ペリフェラル」「ディスプレイ サブシステムの概要」セクション
-

注

入力基準クロック (OSC1_XI/OSC1_XO) は、デバイスのテクニカル リファレンス マニュアルの「デバイス構成」の章に記載されているように規定されており、ロック時間は PLL コントローラによって保証されます。

6.10.4.4 モジュールおよびペリフェラル クロックの周波数

セクション 6.10.5、「ペリフェラル」セクションには、デバイスのペリフェラル クロックに関連する最大周波数が記載されています。

各モジュールのクロック供給構造の詳細については、デバイスのテクニカル リファレンス マニュアルで「デバイス構成」の章を参照してください。

6.10.5 ペリフェラル

6.10.5.1 ATL

このデバイスには、オーディオの非同期サンプル レート変換に使用できる ATL モジュールが搭載されています。ATL は、オーディオ同期などの 2 つの時間ベース間の誤差を計算します。また、ソフトウェアによるサイクル スチールを使って、平均化されたクロックを生成することもできます。

注

ATL の詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「オーディオ トラッキング ロジック (ATL)」セクションを参照してください。

表 6-27 に、ATL のタイミング条件を示します。

表 6-27. ATL のタイミング条件

| パラメータ | モード | 最小値 | 最大値 | 単位 | |
|-----------------|----------|----------|-----|----|------|
| 入力条件 | | | | | |
| SR _i | 入力スルーレート | 外部基準クロック | 0.5 | 5 | V/ns |
| 出力条件 | | | | | |
| C _L | 出力負荷容量 | 内部基準クロック | 1 | 10 | pF |

セクション 6.10.5.1.1、セクション 6.10.5.1.2、セクション 6.10.5.1.3、セクション 6.10.5.1.4 に、ATL のタイミング要件とスイッチング特性を示します。

6.10.5.1.1 ATL_PCLK のタイミング要件

| 番号 | パラメータ | モード | 最小値 | 最大値 | 単位 |
|----|-----------------------|--------------------|----------|-------------------------------|----|
| D1 | t _{c(pclk)} | サイクル時間、ATL_PCLK | 外部基準クロック | 5 | ns |
| D2 | t _{w(pclkL)} | パルス幅、ATL_PCLK low | 外部基準クロック | 0.45 × M ⁽¹⁾ + 2.5 | ns |
| D3 | t _{w(pclkH)} | パルス幅、ATL_PCLK high | 外部基準クロック | 0.45 × M ⁽¹⁾ + 2.5 | ns |

(1) M = ATL_CLK[x] 周期

6.10.5.1.2 ATL_AWS[x] のタイミング要件

| 番号 | パラメータ | モード | 最小値 | 最大値 | 単位 |
|----|----------------------|-------------------------------------|----------|-------------------------------|----|
| D4 | t _{c(aws)} | サイクル時間、ATL_AWS[x] ⁽³⁾ | 外部基準クロック | 2 × M ⁽¹⁾ | ns |
| D5 | t _{w(awsL)} | パルス幅、ATL_AWS[x] ⁽³⁾ Low | 外部基準クロック | 0.45 × A ⁽²⁾ + 2.5 | ns |
| D6 | t _{w(awsH)} | パルス幅、ATL_AWS[x] ⁽³⁾ High | 外部基準クロック | 0.45 × A ⁽²⁾ + 2.5 | ns |

(1) M = ATL_CLK[x] 周期

(2) A = ATL_AWS[x] 周期

(3) x = 0~3

6.10.5.1.3 ATL_BWS[x] のタイミング要件

| 番号 | パラメータ | モード | 最小値 | 最大値 | 単位 |
|----|----------------------|-------------------------------------|----------|-------------------------------|----|
| D7 | t _{c(bws)} | サイクル時間、ATL_BWS[x] ⁽³⁾ | 外部基準クロック | 2 × M ⁽¹⁾ | ns |
| D8 | t _{w(bwsL)} | パルス幅、ATL_BWS[x] low ⁽³⁾ | 外部基準クロック | 0.45 × B ⁽²⁾ + 2.5 | ns |
| D9 | t _{w(bwsH)} | パルス幅、ATL_BWS[x] high ⁽³⁾ | 外部基準クロック | 0.45 × B ⁽²⁾ + 2.5 | ns |

(1) M = ATL_CLK[x] 周期

(2) B = ATL_BWS[x] 周期

(3) x = 0~3

6.10.5.1.4 ATCLK[x] のスイッチング特性

| 番号 | パラメータ | モード | 最小値 | 最大値 | 単位 |
|-----|-----------------|-----------------------------------|----------|---------------------------------------|----|
| D10 | $t_{c(atclk)}$ | サイクル時間、ATCLK[x] ⁽³⁾ | 内部基準クロック | 20 | ns |
| D11 | $t_{w(atclkL)}$ | パルス幅、ATCLK[x] low ⁽³⁾ | 内部基準クロック | $0.45 \times P^{(2)} - M^{(1)} - 0.3$ | ns |
| D12 | $t_{w(atclkH)}$ | パルス幅、ATCLK[x] high ⁽³⁾ | 内部基準クロック | $0.45 \times P^{(2)} - M^{(1)} - 0.3$ | ns |

(1) M = ATCLK[x] 周期

(2) P = ATCLK[x] 周期

(3) x = 0~3

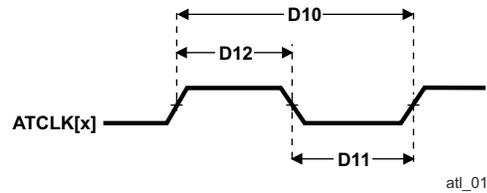


図 6-36. ATCLK[x] タイミング

6.10.5.2 CPSW2G

デバイスのギガビットイーサネット MAC の機能および追加の説明情報については、「信号の説明」、「詳細説明」の対応するセクションを参照してください。

6.10.5.2.1 CPSW2G MDIO インターフェ이스のタイミング

表 6-28 に CPSW2G のタイミング条件を示します。

表 6-28. CPSW2G MDIO のタイミング条件

| パラメータ | 説明 | 最小値 | 最大値 | 単位 |
|-------------|------------|-----|-----|------|
| 入力条件 | | | | |
| SR_I | 入力信号スルーレート | 0.9 | 3.6 | V/ns |
| 出力条件 | | | | |
| C_L | 出力負荷容量 | 10 | 470 | pF |

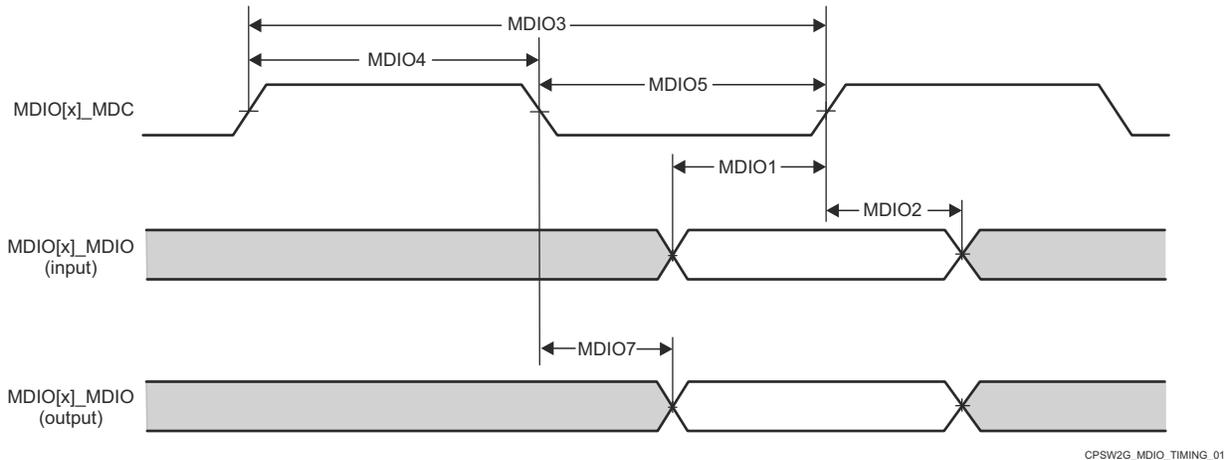
表 6-29、表 6-30、および 図 6-37 に、MDIO のタイミング要件を示します。

表 6-29. CPSW2G MDIO のタイミング要件

| 番号 | パラメータ | 説明 | 最小値 | 最大値 | 単位 |
|-------|----------------------|--|-----|-----|----|
| MDIO1 | $t_{su(mdioV-mdcH)}$ | セットアップ時間、MDIO[x]_MDIO 有効から MDIO[x]_MDC high まで | 90 | | ns |
| MDIO2 | $t_{h(mdcH-mdioV)}$ | ホールド時間、MDIO[x]_MDC high から MDIO[x]_MDIO 有効の間 | 0 | | ns |

表 6-30. CPSW2G MDIO のスイッチング特性

| 番号 | パラメータ | 説明 | 最小値 | 最大値 | 単位 |
|-------|---------------------|---|------|-----|----|
| MDIO3 | $t_{c(mdc)}$ | サイクル時間、MDIO[x]_MDC | 400 | | ns |
| MDIO4 | $t_{w(mdcH)}$ | パルス幅、MDIO[x]_MDC high | 160 | | ns |
| MDIO5 | $t_{w(mdcL)}$ | パルス幅、MDIO[x]_MDC low | 160 | | ns |
| MDIO7 | $t_{d(mdcL-mdioV)}$ | 遅延時間、MDIO[x]_MDC Low から MDIO[x]_MDIO 有効まで | -150 | 150 | ns |



注

MCU ドメインでは $x = 0$

図 6-37. CPSW2G MDIO のタイミング要件およびスイッチング特性

6.10.5.2.2 CPSW2G RMII のタイミング

表 6-31、セクション 6.10.5.2.2.1、セクション 6.10.5.2.2.2、セクション 6.10.5.2.2.3 に、CPSW2G RMII のタイミング条件、要件、スイッチング特性を示します。

表 6-31. CPSW2G RMII のタイミング条件

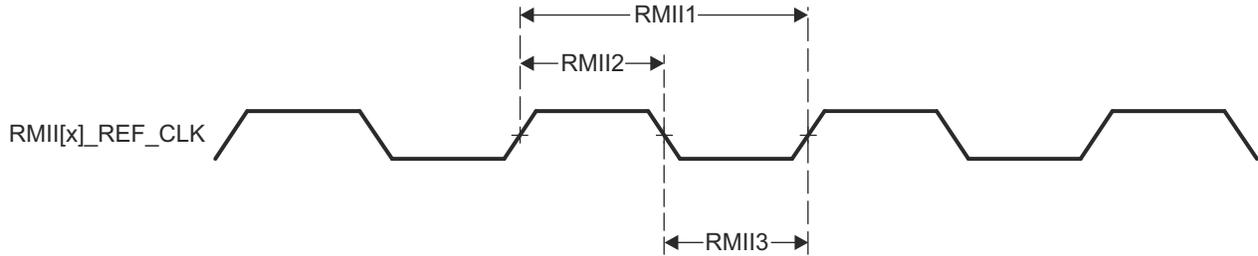
| パラメータ | | 最小値 | 最大値 | 単位 | |
|-----------------|------------|---------------------------|-------|------|------|
| 入力条件 | | | | | |
| SR _I | 入力信号スルーレート | VDD ⁽¹⁾ = 1.8V | 0.108 | 0.54 | V/ns |
| | | VDD ⁽¹⁾ = 3.3V | 0.4 | 1.2 | V/ns |
| 出力条件 | | | | | |
| C _L | 出力負荷容量 | 3 | 25 | pF | |

(1) VDD は、対応する電源を表します。電源名および対応するボールの詳細については、[ピン属性](#)の「電源」の欄を参照してください。

6.10.5.2.2.1 CPSW2G RMII[x]_REF_CLK のタイミング要件 – RMII モード

図 6-38 参照

| 番号 | | 説明 | 最小値 | 最大値 | 単位 |
|-------|---------------------------|---------------------------|--------|-----|----|
| RMII1 | $t_{c(\text{ref_clk})}$ | サイクル時間、RMII[x]_REF_CLK | 19.999 | 20 | ns |
| RMII2 | $t_{w(\text{ref_clkH})}$ | パルス幅、RMII[x]_REF_CLK High | 7 | 13 | ns |
| RMII3 | $t_{w(\text{ref_clkL})}$ | パルス幅、RMII[x]_REF_CLK Low | 7 | 13 | ns |



A. MCU ドメインでは $x = 1$

図 6-38. CPSW2G RMII[x]_REFCLK のタイミング要件 – RMII モード

6.10.5.2.2.2 CPSW2G RMII[x]_RXD[1:0], RMII[x]_CRS_DV, RMII[x]_RX_ER のタイミング要件 – RMII モード

| 番号 | | 説明 | 最小値 | 最大値 | 単位 |
|-------|------------------------------------|---|-----|-----|----|
| RMII4 | $t_{su(\text{rxdv-ref_clkH})}$ | セットアップ時間、RMII[x]_RXD[1:0] 有効から RMII[x]_REF_CLK 立ち上がりエッジまで | 4 | | ns |
| | $t_{su(\text{crs_dv-ref_clkH})}$ | セットアップ時間、RMII[x]_CRS_DV 有効から RMII[x]_REF_CLK 立ち上がりエッジまで | 4 | | ns |
| | $t_{su(\text{rx_erV-ref_clkH})}$ | セットアップ時間、RMII[x]_RX_ER 有効から RMII[x]_REF_CLK 立ち上がりエッジまで | 4 | | ns |
| RMII5 | $t_{h(\text{ref_clkH-rxdV})}$ | ホールド時間、RMII[x]_REF_CLK 立ち上がりエッジから RMII[x]_RXD[1:0] 有効の間 | 2 | | ns |
| | $t_{h(\text{ref_clkH-crs_dvV})}$ | ホールド時間、RMII[x]_REF_CLK 立ち上がりエッジから RMII[x]_CRS_DV 有効の間 | 2 | | ns |
| | $t_{h(\text{ref_clkH-rx_erV})}$ | ホールド時間、RMII[x]_REF_CLK 立ち上がりエッジから RMII[x]_RX_ER 有効の間 | 2 | | ns |

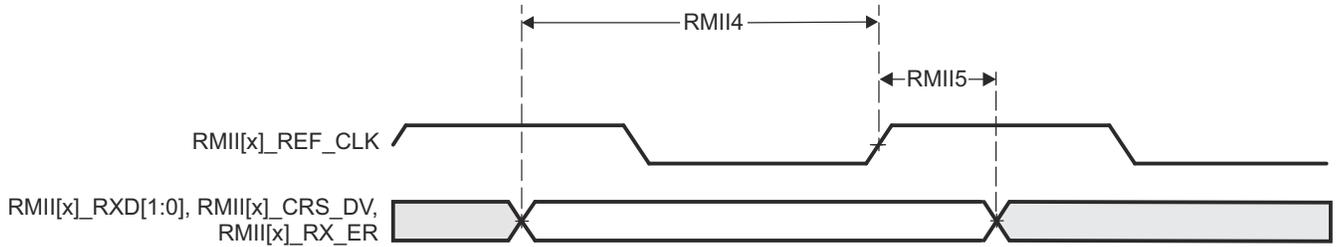


図 6-39. CPSW2G RMIIX[REF_CLK]、RMIIX[RXD[1:0]、RMIIX[CRS_DV]、RMIIX[RX_ER] のタイミング要件 – RMII モード

セクション 6.10.5.2.2.3 および 図 6-40 に、CPSW2G RMII 送信のスイッチング特性を示します。

6.10.5.2.2.3 CPSW2G RMIIX[TXD[1:0]、RMIIX[TX_EN] のスイッチング特性 – RMII モード

図 6-40 参照

| 番号 | パラメータ | | 最小値 | 最大値 | 単位 |
|-------|-----------------------------------|---|-----|-----|----|
| RMII6 | $t_{d(\text{ref_clkH-txdV})}$ | 遅延時間、RMIIX[REF_CLK] の立ち上がりエッジから RMIIX[TXD[1:0] 有効まで | 2 | 10 | ns |
| | $t_{d(\text{ref_clkH-tx_enV})}$ | 遅延時間、RMIIX[REF_CLK] の立ち上がりエッジから RMIIX[TX_EN] 有効まで | 2 | 10 | ns |

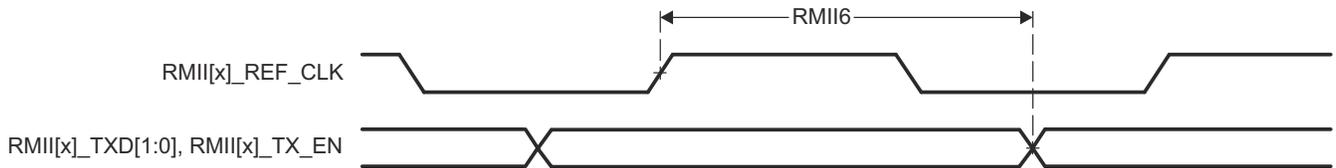


図 6-40. RMIIX[TXD[1:0]、RMIIX[TX_EN] のスイッチング特性 – RMII モード

6.10.5.2.3 CPSW2G RGMII のタイミング

セクション 6.10.5.2.3.1、セクション 6.10.5.2.3.2、および 図 6-42 に、受信 RGMII 動作のタイミング要件を示します。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ギガビット イーサネット MAC (MCU_CPSW0)」セクションを参照してください。

表 6-32. CPSW2G RGMII のタイミング条件

| パラメータ | | | 最小値 | 最大値 | 単位 |
|---------------------------------------|----------------------|---|------|-----|------|
| 入力条件 | | | | | |
| SR _I | 入力スループレート | VDD ⁽¹⁾ = 1.8 V | 1.44 | 5 | V/ns |
| | | VDD ⁽¹⁾ = 3.3 V | 2.64 | 5 | V/ns |
| 出力条件 | | | | | |
| C _L | 出力負荷容量 | | 2 | 20 | pF |
| PCB 接続要件 | | | | | |
| t _d (Trace Mismatch Delay) | すべてのパターンにわたる伝搬遅延の不整合 | RGMII[x]_RXC、 RGMII[x]_RD[3:0]、 RGMII[x]_RX_CTL | | 50 | ps |
| | | RGMII[x]_TXC、 RGMII[x]_TD[3:0]、 RGMII[x]_TX_CTL | | 50 | ps |

(1) VDD は、対応する電源を表します。電源名および対応するボールの詳細については、ピン属性の「電源」の欄を参照してください。

6.10.5.2.3.1 RGMII[x]_RXC のタイミング要件 – RGMII モード

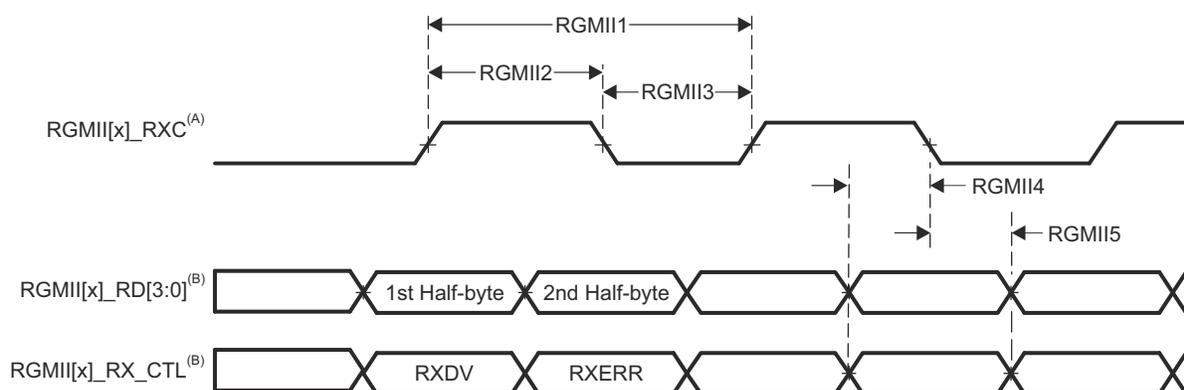
図 6-41 参照

| 番号 | | | モード | 最小値 | 最大値 | 単位 |
|--------|----------------------|------------------------|----------|-----|-----|----|
| RGMII1 | $t_{c(\text{rx})}$ | サイクル時間、RGMII[x]_RXC | 10Mbps | 360 | 440 | ns |
| | | | 100Mbps | 36 | 44 | ns |
| | | | 1000Mbps | 7.2 | 8.8 | ns |
| RGMII2 | $t_{w(\text{rx}cH)}$ | パルス幅、RGMII[x]_RXC high | 10Mbps | 160 | 240 | ns |
| | | | 100Mbps | 16 | 24 | ns |
| | | | 1000Mbps | 3.6 | 4.4 | ns |
| RGMII3 | $t_{w(\text{rx}cL)}$ | パルス幅、RGMII[x]_RXC low | 10Mbps | 160 | 240 | ns |
| | | | 100Mbps | 16 | 24 | ns |
| | | | 1000Mbps | 3.6 | 4.4 | ns |

6.10.5.2.3.2 RGMII[x]_RD[3:0]、RGMII[x]_RCTL の CPSW2G タイミング要件 – RGMII モード

図 6-41 参照

| 番号 | | | モード | 最小値 | 最大値 | 単位 |
|--------|--------------------------------|--|----------|-----|-----|----|
| RGMII4 | $t_{su(\text{rdV-rxcV})}$ | セットアップ時間、RGMII[x]_RD[3:0] 有効から RGMII[x]_RXC 遷移まで | 10Mbps | 1 | | ns |
| | | | 100Mbps | 1 | | ns |
| | | | 1000Mbps | 1 | | ns |
| RGMII4 | $t_{su(\text{rx_ctlV-rxcV})}$ | セットアップ時間、RGMII[x]_RX_CTL 有効から RGMII[x]_RXC 遷移まで | 10Mbps | 1 | | ns |
| | | | 100Mbps | 1 | | ns |
| | | | 1000Mbps | 1 | | ns |
| RGMII5 | $t_{h(\text{rxcV-rdV})}$ | ホールド時間、RGMII[x]_RXC 遷移から RGMII[x]_RD[3:0] 有効の間 | 10Mbps | 1 | | ns |
| | | | 100Mbps | 1 | | ns |
| | | | 1000Mbps | 1 | | ns |
| RGMII5 | $t_{h(\text{rxcV-rx_ctlV})}$ | ホールド時間、RGMII[x]_RXC 遷移から RGMII[x]_RX_CTL 有効の間 | 10Mbps | 1 | | ns |
| | | | 100Mbps | 1 | | ns |
| | | | 1000Mbps | 1 | | ns |



- A. RGMII_TXC は、DATA ピンおよび制御ピンに対して、外部で遅延させる必要があります。
- B. データおよび制御情報は、クロックの両方のエッジを使用して受信されます。RGMII_RXD[3:0] は、RGMII_RXC の立ち上がりエッジでデータビット 3～0 を、RGMII_RXC の立ち下がりエッジでデータビット 7～4 を伝送します。同様に、RGMII_RXCTL は RGMII_RXC の立ち上がりエッジで RXDV を、RGMII_RXC の立ち下がりエッジで RXERR を伝送します。

図 6-41. CPSW2G 受信インターフェースのタイミング、RGMII 動作

セクション [6.10.5.2.3.3](#)、セクション [6.10.5.2.3.4](#) に、10Mbps、100Mbps、および 1000Mbps の送信 RGMII のスイッチング特性を示します。

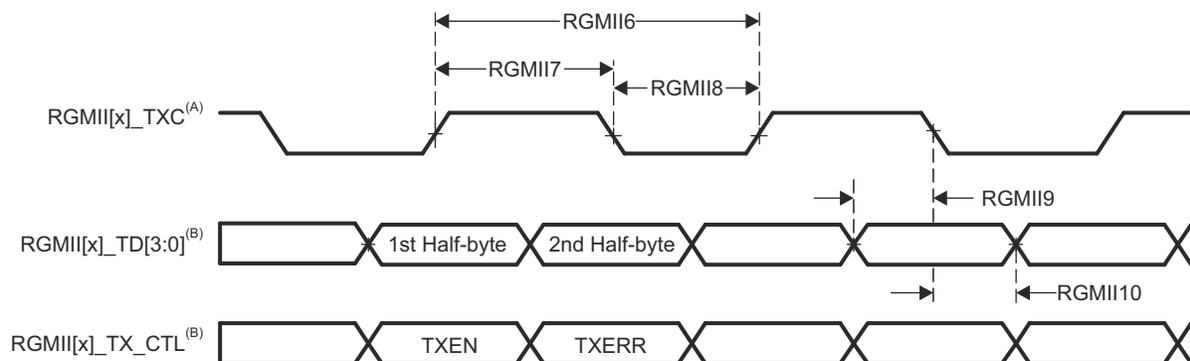
6.10.5.2.3.3 CPSW2G RGMII[x]_TXC のスイッチング特性 – RGMII モード

| 番号 | パラメータ | | モード | 最小値 | 最大値 | 単位 |
|--------|--------------|------------------------|----------|-----|-----|----|
| RGMII6 | $t_{c(tc)}$ | サイクル時間、RGMII[x]_TXC | 10Mbps | 360 | 440 | ns |
| | | | 100Mbps | 36 | 44 | ns |
| | | | 1000Mbps | 7.2 | 8.8 | ns |
| RGMII7 | $t_{w(tcH)}$ | パルス幅、RGMII[x]_TXC high | 10Mbps | 160 | 240 | ns |
| | | | 100Mbps | 16 | 24 | ns |
| | | | 1000Mbps | 3.6 | 4.4 | ns |
| RGMII8 | $t_{w(tcL)}$ | パルス幅、RGMII[x]_TXC low | 10Mbps | 160 | 240 | ns |
| | | | 100Mbps | 16 | 24 | ns |
| | | | 1000Mbps | 3.6 | 4.4 | ns |

6.10.5.2.3.4 RGMII[x]_TD[3:0]、RGMII[x]_TX_CTL のスイッチング特性 – RGMII モード

図 6-42 参照

| 番号 | パラメータ | | モード | 最小値 | 最大値 | 単位 |
|---------|-------------------------|--|----------|-----|-----|----|
| RGMII9 | $t_{osu(tdV-txcV)}$ | 出力セットアップ時間、RGMII[x]_TD[3:0] 有効から RGMII[x]_TXC 遷移まで | 10Mbps | 1.2 | | ns |
| | | | 100Mbps | 1.2 | | ns |
| | | | 1000Mbps | 1.2 | | ns |
| RGMII9 | $t_{osu(tx_ctlV-txcV)}$ | 出力セットアップ時間、RGMII[x]_TX_CTL 有効から RGMII[x]_TXC 遷移まで | 10Mbps | 1.2 | | ns |
| | | | 100Mbps | 1.2 | | ns |
| | | | 1000Mbps | 1.2 | | ns |
| RGMII10 | $t_{oh(tdV-txcV)}$ | 出力ホールド時間、RGMII[x]_TXC 遷移から RGMII[x]_TD[3:0] 有効の間 | 10Mbps | 1.2 | | ns |
| | | | 100Mbps | 1.2 | | ns |
| | | | 1000Mbps | 1.2 | | ns |
| RGMII10 | $t_{oh(tx_ctlV-txcV)}$ | 出力ホールド時間、RGMII[x]_TXC 遷移から RGMII[x]_TX_CTL 有効の間 | 10Mbps | 1.2 | | ns |
| | | | 100Mbps | 1.2 | | ns |
| | | | 1000Mbps | 1.2 | | ns |



- A. TXC は内部で遅延されてから、RGMII[x]_TXC ピンを駆動します。この内部遅延は常にイネーブルになっています。
- B. データおよび制御情報は、クロックの両方のエッジを使用して受信されます。RGMII_TD[3:0] は、RGMII_TXC の立ち上がりエッジでデータビット 3~0 を、RGMII_TXC の立ち下がりエッジでデータビット 7~4 を伝送します。同様に、RGMII_TX_CTL は RGMII_TXC の立ち上がりエッジで TXDV を、RGMII_TXC の立ち下がりエッジで RTXERR を伝送します。

図 6-42. CPSW2G 送信インターフェイスのタイミング RGMII モード

6.10.5.3 CSI-2

注

詳細については、デバイス テクニカル リファレンス マニュアルで「カメラ ストリーミング インターフェイス レシーバ (CSI_RX_IF)」の章を参照してください。

CSI_RX_IF は、外部イメージ センサから得られるピクセル データおよびメモリからのデータの処理を取り扱います。これは、カメラ ビューファインダー、ビデオ録画、静止画像キャプチャなどのマルチメディア アプリケーションの重要なコンポーネントです。

CSI_RX_IF には、MIPI D-PHY RX 仕様 v1.2 および MIPI CSI-2 仕様 v1.3 に準拠したプライマリ シリアル インターフェイス (CSI-2 ポート) があり、同期モードのダブル データレートで 4 つの差動データレーンと 1 つの差動クロックレーンがあります。タイミングの詳細については、仕様を参照してください。

- 各レーンで 2.5Gbps (1.25GHz)。

6.10.5.4 DDRSS

デバイスの LPDDR4 メモリ インターフェイスの機能および追加の説明情報については、「信号の説明」、「詳細説明」の対応するセクションを参照してください。

このデバイスには、LPDDR4 のための専用インターフェイスが搭載されています。JEDEC JESD209-4B 規格に準拠した LPDDR4 SDRAM デバイスをサポートし、以下に示す特長を備えています。

- 外部 SDRAM メモリへの 32 ビット データ パス
- メモリ デバイスの容量: 2 つのチップ セレクトにより最大 8GB のアドレス空間を利用可能 (バンクごとに 4GB)
- バイト モード LPDDR4 メモリ、または 17 ビットを超える行アドレスを持つメモリはサポートしていません

表 6-33 および 図 6-43 に、DDRSS のスイッチング特性を示します。

表 6-33. DDRSS のスイッチング特性

| 番号 | パラメータ | DDR タイプ | 最小値 | 最大値 | 単位 |
|----|----------------------------|---------|--------|-------|----|
| 1 | $t_{c(DDR_CKP/DDR_CKN)}$ | LPDDR4 | 0.4681 | 3.003 | ns |

- 最大 DDR 周波数は、システムで使用されている特定のメモリ タイプ (ベンダ) と PCB 実装に基づいて制限されます。テキサス・インスツルメンツは、仕様のクロック周波数を完全に達成するために、同社の LPDDR4 EVM の PCB レイアウト (配線、間隔、ビア / バックドリル、PCB 材料など) をすべて正確に遵守することを強く推奨します。詳細については、『Jacinto 7 DDR ボードの設計およびレイアウトのガイドライン』を参照してください。

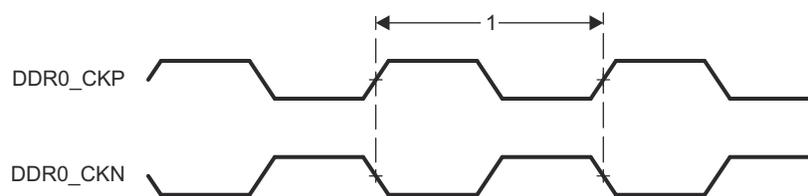


図 6-43. DDRSS メモリ インターフェイスのクロック タイミング

詳細については、デバイスのテクニカル リファレンス マニュアルで「メモリ コントローラ」の章にある「DDR サブシステム (DDRSS)」セクションを参照してください。

6.10.5.5 DSS

デバイスのディスプレイ サブシステム - ビデオ出力ポートの機能および追加の説明情報については、「信号の説明」、「詳細説明」の対応するセクションを参照してください。

表 6-34 に、DPI のタイミング条件を示します。

表 6-34. DPI のタイミング条件

| パラメータ | | 最小値 | 最大値 | 単位 |
|------------------------------|----------------------|------|------|------|
| 入力条件 | | | | |
| SR_i | 入力スルーレート | 1.44 | 26.4 | V/ns |
| 出力条件 | | | | |
| C_L | 出力負荷容量 | 1.5 | 5 | pF |
| PCB 接続要件 | | | | |
| t_d (Trace Mismatch Delay) | すべてのパターンにわたる伝搬遅延の不整合 | | 100 | ps |

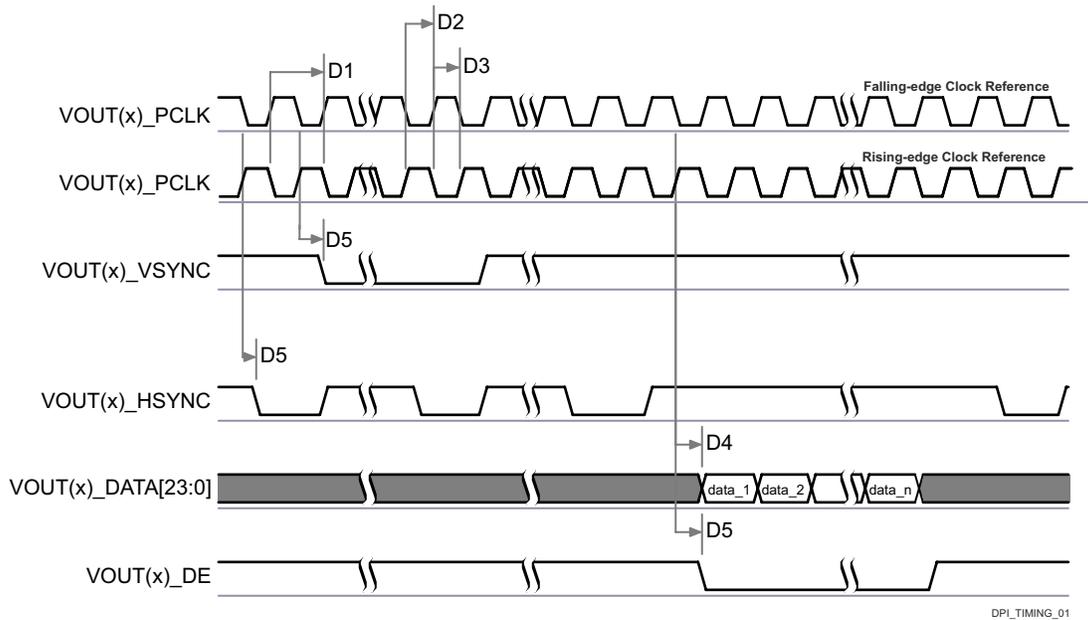
表 6-35、表 6-36、図 6-44、図 6-45 は、推奨動作条件と電気的特性条件に基づくテストを想定しています。

表 6-35. DPI ビデオ出力のスイッチング特性

| 番号 (2) | パラメータ | | 最小値 | 最大値 | 単位 |
|--------|----------------------|--|------------------------|------|----|
| D1 | $t_{c(pclk)}$ | サイクル時間、VOUT(x)_PCLK | 6.06 | | ns |
| D2 | $t_{w(pclkL)}$ | パルス幅、VOUT(x)_PCLK low | $0.475 \times P^{(1)}$ | | ns |
| D3 | $t_{w(pclkH)}$ | パルス幅、VOUT(x)_PCLK high | $0.475 \times P^{(1)}$ | | ns |
| D4 | $t_{d(pclkV-dataV)}$ | 遅延時間、VOUT(x)_PCLK 遷移から VOUT(x)_DATA[23:0] 遷移まで | -0.68 | 1.78 | ns |
| D5 | $t_{d(pclkV-ctrlL)}$ | 遅延時間、VOUT(x)_PCLK 遷移から制御信号 VOUT(x)_VSYNC、VOUT(x)_HSYNC、VOUT(x)_DE 立ち下がりエッジ | -0.68 | 1.78 | ns |

(1) P = 出力の VOUT(x)_PCLK 周期 (ns 単位)。

(2) VOUT(x) で、x = 1 または 2



DPI_TIMING_01

- データの asserts の設定は、ピクセル クロックの立ち下がりエッジまたは立ち上がりエッジにプログラムできます。
- VOUT(x)_HSYNC および VOUT(x)_VSYNC の極性とパルス幅はプログラム可能です。デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ディスプレイ サブシステム (DSS)」セクションを参照してください。
- VOUT(x)_PCLK 周波数は設定できます。デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ディスプレイ サブシステム」セクションを参照してください。
- VOUT(x) の x = 1 または 2

図 6-44. DPI ビデオ出力

表 6-36. DPI 外部ピクセル クロックのタイミング要件

| 番号 (2) | | | 最小値 | 最大値 | 単位 |
|--------|----------------------------|-----------------------------|-----------------------|-----|----|
| D6 | $t_{c(\text{extpclkIn})}$ | サイクル時間、VOUT(x)_EXTPCLKIN | 6.06 | | ns |
| D7 | $t_{w(\text{extpclkInL})}$ | パルス幅、VOUT(x)_EXTPCLKIN low | $0.45 \times P^{(1)}$ | | ns |
| D8 | $t_{w(\text{extpclkInH})}$ | パルス幅、VOUT(x)_EXTPCLKIN high | $0.45 \times P^{(1)}$ | | ns |

- (1) P = 出力の VOUT(x)_PCLK 周期 (ns 単位)。
 (2) VOUT(x)で、x = 1 または 2

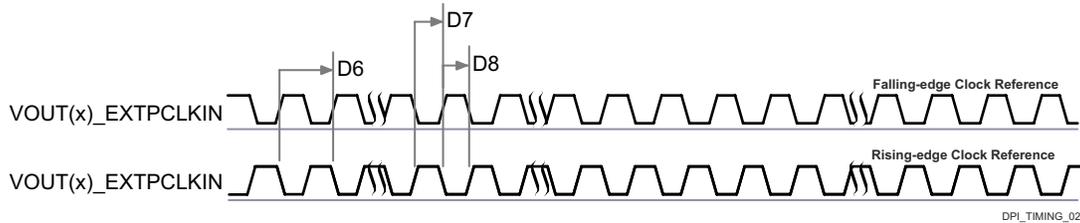


図 6-45. DPI 外部ピクセル クロック入力

デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ディスプレイ サブシステム (DSS) およびペリフェラル」セクションを参照してください。

6.10.5.6 eCAP

デバイス ECAP でサポートされている機能は次のとおりです。

- 32 ビット タイム ベース カウンタ
- 4 つの イベント タイムスタンプ レジスタ (各 32 ビット)
- 最大 4 つの 順序付き タイムスタンプ キャプチャ イベントのエッジ極性選択
- 4 つの キャプチャ イベントのいずれかに対する 割り込み機能
- 入力キャプチャ信号のプリスケールリング (1~16)
- 各種キャプチャ モード (シングル ショット キャプチャ、連続モード キャプチャ、絶対タイムスタンプ キャプチャ、差分モード タイムスタンプ キャプチャ) のサポート

表 6-37 に、ECAP のタイミング条件を示します。

表 6-37. ECAP のタイミング条件

| パラメータ | | 最小値 | 最大値 | 単位 |
|-----------------|----------|-----|-----|------|
| 入力条件 | | | | |
| SR _i | 入力スルーレート | 1 | 4 | V/ns |
| 出力条件 | | | | |
| C _L | 出力負荷容量 | 2 | 7 | pF |

セクション 6.10.5.6.1 および セクション 6.10.5.6.2 に、eCAP のタイミング特性およびスイッチング特性を示します (図 6-46 および 図 6-47 を参照)。

6.10.5.6.1 eCAP のタイミング要件

| 番号 | パラメータ | 説明 | 最小値 | 最大値 | 単位 |
|------|---------------------|----------------|----------------|-----|----|
| CAP1 | $t_{w(\text{cap})}$ | パルス幅、CAP (非同期) | $2 + 2P^{(1)}$ | | ns |

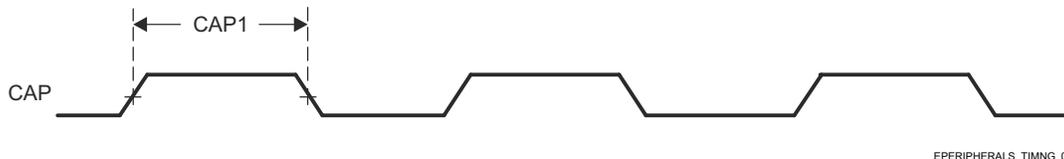
(1) $P = \text{sysclk}$ 

図 6-46. eCAP の入力タイミング

6.10.5.6.2 eCAP のスイッチング特性

| 番号 | パラメータ | 説明 | 最小値 | 最大値 | 単位 |
|------|----------------------|-----------|-----------------|-----|----|
| CAP2 | $t_{w(\text{apwm})}$ | パルス幅、APWM | $-2 + 2P^{(1)}$ | | ns |

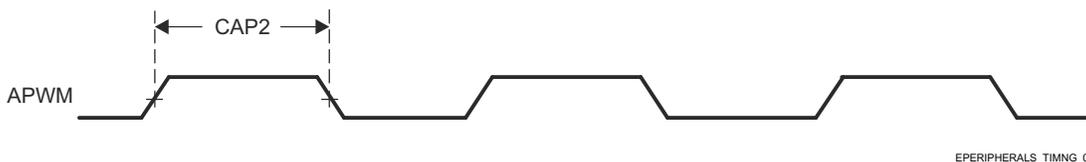
(1) $P = \text{sysclk}$ 

図 6-47. eCAP の出力タイミング

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「拡張キャプチャ (ECAP) モジュール」セクションを参照してください。

6.10.5.7 EPWM

デバイス EPWM でサポートされている機能は次のとおりです。

- 周期および周波数制御機能を備えた専用の 16 ビット時間ベース カウンタ
- さまざまな構成で使用できる 2 つの独立した PWM 出力 (シングル エッジ動作、デュアル エッジ対称動作、または 1 つの独立した PWM 出力のデュアル エッジ非対称動作)
- フォルト状態で PWM 信号の非同期オーバーライド制御
- その他の EPWM モジュールに対する遅れまたは進み動作のためのプログラマブルな位相制御のサポート
- 独立した立ち上がりおよび立ち下がりエッジ遅延制御によるデッドバンド生成
- ラッチされたフォルト状態およびラッチされていないフォルト状態の両方について、プログラム可能なトリップ ゾーンの割り当て
- CPU 割り込みと ADC 変換開始の両方をトリガできるイベント

表 6-38 に、EPWM のタイミング条件を示します。

表 6-38. EPWM のタイミング条件

| パラメータ | 説明 | 最小値 | 最大値 | 単位 |
|--------|----------|-----|-----|------|
| 入力条件 | | | | |
| SR_i | 入力スルーレート | 1 | 4 | V/ns |
| 出力条件 | | | | |
| C_L | 出力負荷容量 | 2 | 7 | pF |

セクション 6.10.5.7.2 および セクション 6.10.5.7.1 に eHRPWM のタイミング特性とスイッチング特性を示します (図 6-49、図 6-50、図 6-51、図 6-48 を参照)。

6.10.5.7.1 eHRPWM のタイミング要件

| 番号 | パラメータ | 説明 | 最小値 | 最大値 | 単位 |
|------|----------------|------------------------|----------------|-----|----|
| PWM6 | $t_{w(synci)}$ | パルス幅、EHRPWM_SYNCI | $2 + 2P^{(1)}$ | | ns |
| PWM7 | $t_{w(tz)}$ | パルス幅、EHRPWM_TZn_IN low | $2 + 3P^{(1)}$ | | ns |

(1) P = sysclk

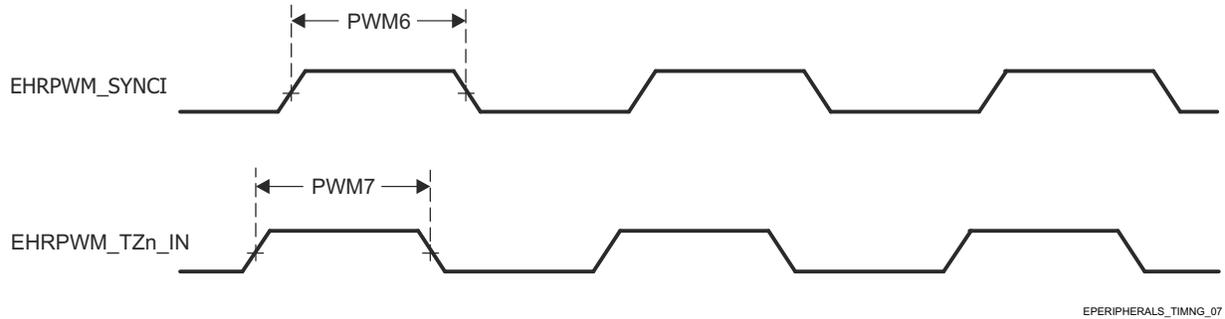


図 6-48. ePWM_SYNCI および ePWM_TZn_IN の出力タイミング

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「カメラ サブシステム」セクションを参照してください。

6.10.5.7.2 eHRPWM のスイッチング特性

| 番号 | パラメータ | 説明 | 最小値 | 最大値 | 単位 |
|------|-------------------|--|-------------|-----|----|
| PWM1 | $t_{w(pwm)}$ | パルス幅、EHRPWM_A/B High または Low | $P-3^{(1)}$ | | ns |
| PWM2 | $t_{w(syncout)}$ | パルス幅、EHRPWM_SYNCO | $P-3^{(1)}$ | | ns |
| PWM3 | $t_{d(tzL-pwmV)}$ | 遅延時間、EHRPWM_TZn_IN 立ち下がりエッジから EHRPWM_A/B 有効まで | | 11 | ns |
| PWM4 | $t_{d(tzL-pwmZ)}$ | 遅延時間、EHRPWM_TZn_IN 立ち下がりエッジから EHRPWM_A/B Hi-Z まで | | 11 | ns |

| 番号 | パラメータ | 説明 | 最小値 | 最大値 | 単位 |
|------|--------------|---------------------|--------------------|-----|----|
| PWM5 | $t_{w(soc)}$ | パルス幅、EHRPWM_SOC A/B | P-3 ⁽¹⁾ | | ns |

(1) P = sysclk

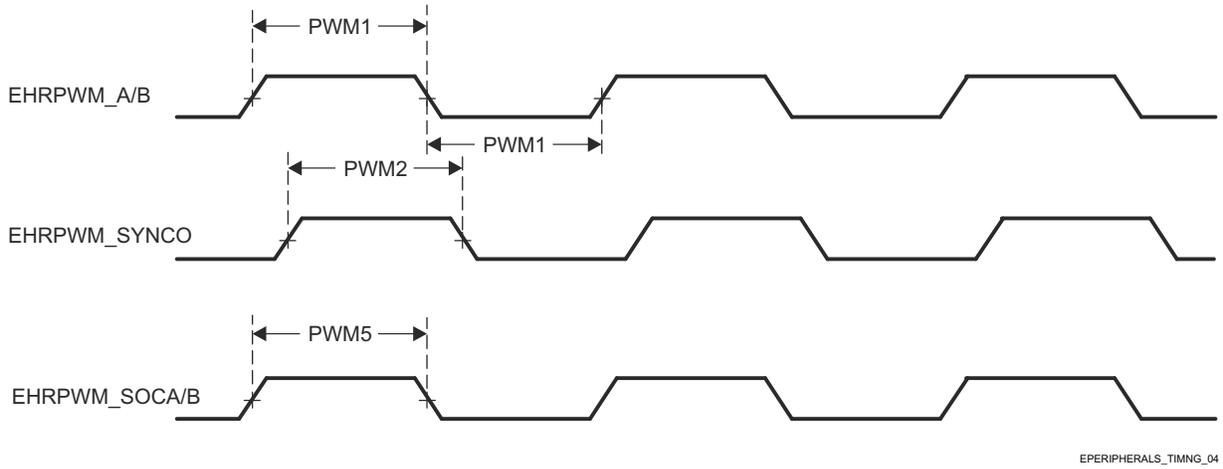


図 6-49. EPWM_A/B_out、ePWM_SYNCO、および ePWM_SOC A/B 入カタイミング

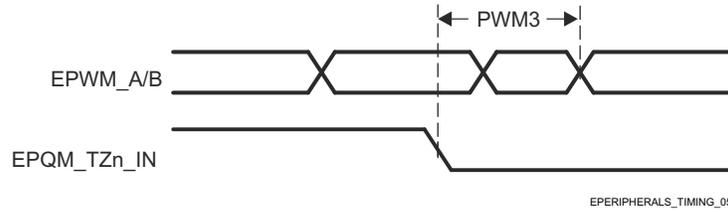


図 6-50. ePWM_A/B および ePWM_TZn_IN の強制的な High / Low 入カタイミング

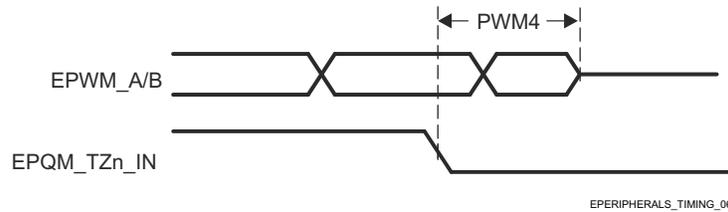


図 6-51. ePWM_A/B および ePWM_TZn_IN の Hi-Z 入カタイミング

6.10.5.8 eQEP

デバイス eQEP でサポートされている機能は次のとおりです。

- 入力同期
- 3 段 /6 段デジタル ノイズ フィルタ
- 直交デコーダ ユニット
- 位置測定用の位置カウンタおよび制御ユニット
- 低速測定用の直交エッジ キャプチャ ユニット
- 速度および周波数測定用のユニット タイム ベース
- ストール検出用のウォッチドッグ タイマ

表 6-39 に、eQEP のタイミング条件を示します。

表 6-39. EQEP のタイミング条件

| パラメータ | | 最小値 | 最大値 | 単位 |
|-----------------|-----------|-----|-----|------|
| 入力条件 | | | | |
| SR _i | 入力スループレート | 1 | 4 | V/ns |
| 出力条件 | | | | |
| C _L | 出力負荷容量 | 2 | 7 | pF |

セクション 6.10.5.8.1 および セクション 6.10.5.8.2 に、eQEP のタイミング要件とスイッチング特性を示します (図 6-52 を参照)。

6.10.5.8.1 eQEP のタイミング要件

| 番号 | パラメータ | 最小値 | 最大値 | 単位 |
|------|-----------------------|-----------------|-----|----|
| QEP1 | t _{w(qep)} | パルス幅、QEP_A/B | | ns |
| QEP2 | t _{w(qepiH)} | パルス幅、QEP_I high | | ns |
| QEP3 | t _{w(qepiL)} | パルス幅、QEP_I low | | ns |
| QEP4 | t _{w(qepsH)} | パルス幅、QEP_S high | | ns |
| QEP5 | t _{w(qepsL)} | パルス幅、QEP_S low | | ns |

(1) P = sysclk

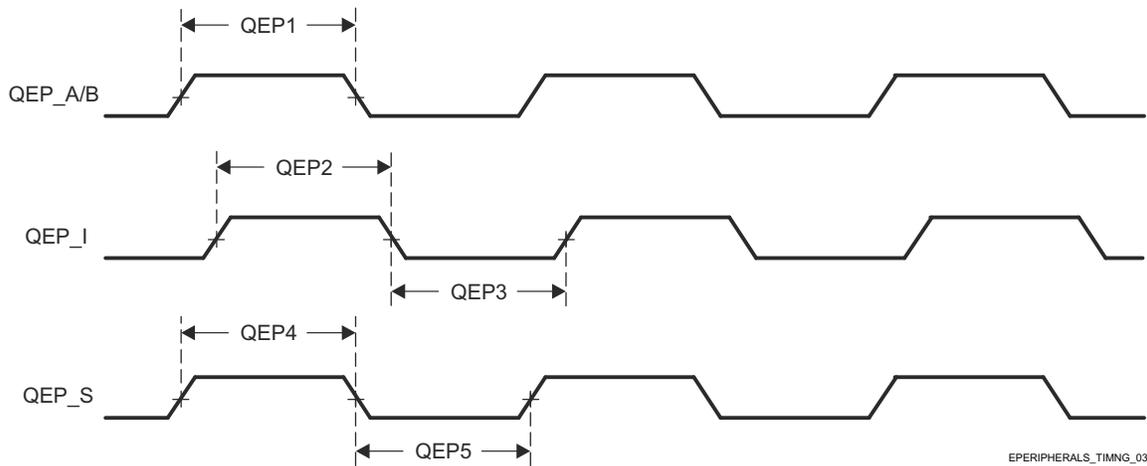


図 6-52. eQEP 入力タイミング

6.10.5.8.2 eQEP のスイッチング特性

| 番号 | パラメータ | 最小値 | 最大値 | 単位 |
|------|--------------------------|-----------------------------|-----|----|
| QEP6 | t _{d(QEP-CNTR)} | 遅延時間、外部クロックからカウンタ インクリメントまで | | ns |

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「拡張直交エンコーダ パルス (eQEP) モジュール」セクションを参照してください。

6.10.5.9 GPIO

デバイスの GPIO の機能および追加の説明情報については、デバイス向けのテクニカル リファレンス マニュアル (TRM) と「信号説明」の対応するセクションを参照してください。

表 6-40、セクション 6.10.5.9.1 および セクション 6.10.5.9.2 に、GPIO のタイミング条件、要件、スイッチング特性を示します。

表 6-40. GPIO のタイミング条件

| パラメータ | | バッファのタイプ | 最小値 | 最大値 | 単位 |
|-----------------|----------|--|--------|------|------|
| 入力条件 | | | | | |
| SR _i | 入力スルーレート | LVC MOS (VDD ⁽¹⁾ = 1.8V) | 0.0018 | 6.6 | V/ns |
| | | LVC MOS (VDD ⁽¹⁾ = 3.3V) | 0.0033 | 6.6 | V/ns |
| | | I2C OD FS (VDD ⁽¹⁾ = 1.8V) | 0.0018 | 6.6 | V/ns |
| | | I2C OD FS (VDD ⁽¹⁾ = 3.3V) | 0.0033 | 0.08 | V/ns |
| 出力条件 | | | | | |
| C _L | 出力負荷容量 | LVC MOS | 3 | 10 | pF |
| | | I2C OD FS | 3 | 100 | pF |

(1) VDD は、対応する電源を表します。電源名および対応するボールの詳細については、「ピン属性」表の「電源」列を参照してください。セクション 5.2

6.10.5.9.1 GPIO のタイミング要件

| 番号 | パラメータ | | バッファのタイプ | 最小値 | 最大値 | 単位 |
|-------|--------------------------|---------------------------|----------|-------------------------|-----|----|
| GPIO1 | t _w (gpio_in) | パルス幅、GPIO _n _x | 1.8V | 2P + 2.6 ⁽¹⁾ | | ns |
| | | | 3.3V | 2P + 3.4 ⁽¹⁾ | | ns |

(1) P = 機能クロック周期 (ns 単位)。

6.10.5.9.2 GPIO スイッチング特性

| 番号 | パラメータ | | バッファのタイプ | 最小値 | 最大値 | 単位 |
|-------|---------------------------|---------------|--------------|------------------------------|-----|----|
| GPIO3 | t _w (GPIO_OUT) | 最小出力パルス幅 | LVC MOS | -3.6 + 0.975P ⁽¹⁾ | | ns |
| GPIO4 | t _w (GPIO_OUT) | 最小出力パルス幅 Low | I2C オープンドレイン | 160 | | ns |
| GPIO5 | t _w (GPIO_OUT) | 最小出力パルス幅 High | I2C オープンドレイン | 60 | | ns |

(1) P = 機能クロック周期 (ns 単位)。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「汎用インターフェイス (GPIO)」セクションを参照してください。

6.10.5.10 GPMC

デバイスの汎用メモリ コントローラの機能および追加の説明情報については、「信号の説明」、「詳細説明」の対応するセクションを参照してください。

表 6-41 に、GPMC のタイミング条件を示します。

注

このセクションに示す IO タイミングは、GPMC0 の信号のすべての組み合わせに適用できます。ただし、1 つの IOSET 内の信号を使用する場合、このタイミングは GPMC0 に対してのみ有効です。IOSET は GPMC0_IOSET、GPMC0_IOSET の表で定義されます。

表 6-41. GPMC のタイミング条件

| パラメータ | 説明 | 最小値 | 最大値 | 単位 |
|-----------------|----------|------|-----|------|
| 入力条件 | | | | |
| SR _i | 入力スルーレート | 1.65 | 4 | V/ns |
| 出力条件 | | | | |

表 6-41. GPMC のタイミング条件 (続き)

| パラメータ | 説明 | 最小値 | 最大値 | 単位 | |
|---------------------------------------|--------------------|--------------|-----|-----|----|
| C _L | 出力負荷容量 | 5 | 20 | pF | |
| PCB 接続要件 | | | | | |
| t _d (Trace Delay) | 各パターンの伝搬遅延 | 133MHz 同期モード | 140 | 360 | ps |
| | | その他のすべてのモード | 140 | 720 | |
| t _d (Trace Mismatch Delay) | すべてのパターンにわたる伝搬の不整合 | | 200 | ps | |

6.10.5.10.1 GPMC および NOR フラッシュ — 同期モード

セクション 6.10.5.10.1.1 および セクション 6.10.5.10.1.2 は、以下に示す推奨動作条件および電気的特性条件に基づくテストを想定しています (図 6-53 ~ 図 6-57 を参照)。

6.10.5.10.1.1 GPMC および NOR フラッシュのタイミング要件 — 同期モード

| 番号 | パラメータ | 説明 ⁽²⁾ | モード ⁽³⁾ | 最小値 | 最大値 | 最小値 | 最大値 | 単位 |
|-----|------------------------------|---|--|------------------------|-----|------------------------|-----|----|
| | | | | 100 MHz ⁽⁴⁾ | | 133 MHz ⁽⁴⁾ | | |
| F12 | t _{su} (dV-clkH) | セットアップ時間、入力データ GPMC_AD[15:0] 有効から出力クロック GPMC_CLK high まで | div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1 | 1.81 | | 1.11 | | ns |
| | | | not_div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1 | 1.06 | | | | ns |
| F13 | t _h (clkH-dV) | ホールド時間、出力クロック GPMC_CLK high から入力データ GPMC_AD[15:0] 有効の間 | div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1 | 1.78 | | 2.28 | | ns |
| | | | not_div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1 | 1.78 | | | | ns |
| F21 | t _{su} (waitV-clkH) | セットアップ時間、入力待機 GPMC_WAIT[j] 有効から出力クロック GPMC_CLK high まで ⁽¹⁾ | div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1 | 1.81 | | 1.11 | | ns |
| | | | not_div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1 | 1.06 | | | | ns |
| F22 | t _h (clkH-waitV) | ホールド時間、出力クロック GPMC_CLK high から入力待機 GPMC_WAIT[j] 有効の間 ⁽¹⁾ | div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1 | 1.78 | | 2.28 | | ns |
| | | | not_div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1 | 1.78 | | | | ns |

(1) GPMC_WAIT[j] で、j は 0、1、2、または 3 です。

(2) 待機モニタリングのサポートは、WaitMonitoringTime の値 > 0 に制限されます。待機監視機能の詳細な説明については、デバイスのテクニカルリファレンス マニュアルで「汎用メモリコントローラ (GPMC)」セクションを参照してください。

(3) div_by_1_mode の場合:

- GPMC_CONFIG1_i レジスタ: GPMCFCLKDIVIDER = 0h:
 - GPMC_CLK 周波数 = GPMC_FCLK 周波数
- GPMC_CONFIG1_i レジスタ: GPMCFCLKDIVIDER = 1h ~ 3h:
 - GPMC_CLK 周波数 = GPMC_FCLK 周波数 / (2 ~ 4)
- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 01 = PER1_PLL_CLKOUT / 3 = 300 / 3 = 100MHz
- TIMEPARAGRANULARITY_X1 の場合:

- GPMC_CONFIG1_i レジスタ: TIMEPARAGRANULARITY = 0h = x1 レイテンシ (RD/WRCYCLETIME、RD/WRACCESSTIME、PAGEBURSTACCESSTIME、CSONTIME、CSRWD/WROFFTIME、ADVONTIME、ADVVD/WROFFTIME、OEONTIME、OEOFFTIME、WEONTIME、WEOFFTIME、CYCLE2CYCLEDELAY、BUSTURNAROUND、TIMEOUTSTARTVALUE、WRDATAONADMUXBUS に影響)

(4) 100 MHz の場合:

- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 01 = MAIN_PLL2_HSDIV1_CLKOUT / 3

133MHz の場合:

- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 00 = MAIN_PLL0_HSDIV3_CLKOUT

6.10.5.10.1.2 GPMC および NOR フラッシュのスイッチング特性 - 同期モード

| 番号 (2) | パラメータ | 説明 | モード ⁽¹⁹⁾ | 最小値 | 最大値 | 最小値 | 最大値 | 単位 |
|-----------|--------------------------------|--|--|-------------------------------|-------------------------|-------------------------------|-------------------------|----|
| | | | | 100 MHz ⁽²⁰⁾ | | 133 MHz ⁽²⁰⁾ | | |
| F0 | tc(clk) | 周期、出力クロック GPMC_CLK ⁽¹⁸⁾ | div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1 | 10 | | 7.52 | | ns |
| F1 | t _w (clkH) | 標準パルス幅、出力クロック GPMC_CLK High | div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1 | 0.475*P ⁽¹⁵⁾ - 0.3 | | 0.475*P ⁽¹⁵⁾ - 0.3 | | ns |
| F1 | t _w (clkL) | 標準パルス幅、出力クロック GPMC_CLK Low | div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1 | 0.475*P ⁽¹⁵⁾ - 0.3 | | 0.475*P ⁽¹⁵⁾ - 0.3 | | ns |
| F2 | t _d (clkH-csnV) | 遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力チップ セレクト GPMC_CS[n] 遷移まで ⁽¹⁴⁾ | div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1 extra_delay なし | F ⁽⁶⁾ - 2.2 | F+3.75 | F ⁽⁶⁾ - 2.2 | F ⁽⁶⁾ + 3.75 | ns |
| F3 | t _d (clkH-CSn[j]V) | 遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力チップ セレクト GPMC_CS[n] 無効まで ⁽¹⁴⁾ | div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1 extra_delay なし | E ⁽⁵⁾ - 2.2 | E ⁽⁵⁾ + 3.75 | E ⁽⁵⁾ - 2.2 | E ⁽⁵⁾ + 3.75 | ns |
| F4 | t _d (aV-clk) | 遅延時間、出力アドレス GPMC_A[27:1] 有効から出力クロック GPMC_CLK の最初のエッジまで | div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1 | B ⁽²⁾ -2.3 | B ⁽²⁾ +4.5 | B ⁽²⁾ -2.3 | B ⁽²⁾ +4.5 | ns |
| F5 | t _d (clkH-aIV) | 遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力アドレス GPMC_A[27:1] 無効まで | div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1 | -2.3 | 4.5 | -2.3 | 4.5 | ns |
| F6 | t _d (be[x]nV-clk) | 遅延時間、出力下位バイト イネーブルおよびコマンド ラッチ イネーブル GPMC_BE0n_CLE、出力上位バイト イネーブル GPMC_BE1n 有効から出力クロック GPMC_CLK の最初のエッジまで | div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1 | B ⁽²⁾ -2.3 | B ⁽²⁾ +1.9 | B ⁽²⁾ -2.3 | B ⁽²⁾ +1.9 | ns |
| F7 | t _d (clkH-be[x]nIV) | 遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力下位バイトのイネーブルおよびコマンド ラッチのイネーブル GPMC_BE0n_CLE、出力上位バイトのイネーブル GPMC_BE1n 無効まで ⁽¹¹⁾ | div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1 | D ⁽⁴⁾ -2.3 | D ⁽⁴⁾ +1.9 | D ⁽⁴⁾ -2.3 | D ⁽⁴⁾ +1.9 | ns |

| 番号 (2) | パラメータ | 説明 | モード ⁽¹⁹⁾ | 最小値 | 最大値 | 最小値 | 最大値 | 単位 |
|-----------|-------------------------------|---|--|-------------------------|------------------------|-------------------------|------------------------|----|
| | | | | 100 MHz ⁽²⁰⁾ | | 133 MHz ⁽²⁰⁾ | | |
| F7 | $t_{d(\text{clkL-be}[x]nIV)}$ | 遅延時間、GPMC_CLK 立下りエッジから GPMC_BE0n_CLE、GPMC_BE1n 無効まで ⁽¹²⁾ | div_by_1_mode 、 GPMC_FCLK_MUX、 TIMEPARAGRANULA RITY_X1 | D ⁽⁴⁾ -2.3 | D ⁽⁴⁾ +1.9 | D ⁽⁴⁾ -2.3 | D ⁽⁴⁾ +1.9 | ns |
| F7 | $t_{d(\text{clkL-be}[x]nIV)}$ | 遅延時間、GPMC_CLK 立下りエッジから GPMC_BE0n_CLE、GPMC_BE1n 無効まで ⁽¹³⁾ | div_by_1_mode 、 GPMC_FCLK_MUX、 TIMEPARAGRANULA RITY_X1 | D ⁽⁴⁾ -2.3 | D ⁽⁴⁾ +1.9 | D ⁽⁴⁾ -2.3 | D ⁽⁴⁾ +1.9 | ns |
| F8 | $t_{d(\text{clkH-advn})}$ | 遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力アドレス有効およびアドレスラッチ イネーブル GPMC_ADVn_ALE 遷移まで | div_by_1_mode 、 GPMC_FCLK_MUX、 TIMEPARAGRANULA RITY_X1 extra_delay なし | G ⁽⁷⁾ -2.3 | G ⁽⁷⁾ +4.5 | G ⁽⁷⁾ -2.3 | G ⁽⁷⁾ +4.5 | ns |
| F9 | $t_{d(\text{clkH-advnIV})}$ | 遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力アドレス有効およびアドレスラッチ イネーブル GPMC_ADVn_ALE 無効まで | div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULA RITY_X1 extra_delay なし | D ⁽⁴⁾ -2.3 | D ⁽⁴⁾ +4.5 | D ⁽⁴⁾ -2.3 | D ⁽⁴⁾ +4.5 | ns |
| F10 | $t_{d(\text{clkH-oen})}$ | 遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力イネーブル GPMC_OEn_REn 遷移まで | div_by_1_mode 、 GPMC_FCLK_MUX、 TIMEPARAGRANULA RITY_X1 extra_delay なし | H ⁽⁸⁾ -2.3 | H ⁽⁸⁾ +3.5 | H ⁽⁸⁾ -2.3 | H ⁽⁸⁾ +3.5 | ns |
| F11 | $t_{d(\text{clkH-oenIV})}$ | 遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力イネーブル GPMC_OEn_REn 無効まで | div_by_1_mode 、 GPMC_FCLK_MUX、 TIMEPARAGRANULA RITY_X1 extra_delay なし | E ⁽⁸⁾ -2.3 | E ⁽⁸⁾ +3.5 | E ⁽⁸⁾ -2.3 | E ⁽⁸⁾ + 3.5 | ns |
| F14 | $t_{d(\text{clkH-wen})}$ | 遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力書き込みイネーブル GPMC_WEn 遷移まで | div_by_1_mode 、 GPMC_FCLK_MUX、 TIMEPARAGRANULA RITY_X1 extra_delay なし | I ⁽⁹⁾ - 2.3 | I ⁽⁹⁾ +4.5 | I ⁽⁹⁾ - 2.3 | I ⁽⁹⁾ +4.5 | ns |
| F15 | $t_{d(\text{clkH-do})}$ | 遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力データ GPMC_AD[15:0] 遷移まで ⁽¹¹⁾ | div_by_1_mode 、 GPMC_FCLK_MUX、 TIMEPARAGRANULA RITY_X1 | J ⁽¹⁰⁾ -2.3 | J ⁽¹⁰⁾ +2.7 | J ⁽¹⁰⁾ -2.3 | J ⁽¹⁰⁾ +2.7 | ns |
| F15 | $t_{d(\text{clkL-do})}$ | 遅延時間、GPMC_CLK 立ち下がりエッジから GPMC_AD[15:0] データ バス遷移まで ⁽¹²⁾ | div_by_1_mode 、 GPMC_FCLK_MUX、 TIMEPARAGRANULA RITY_X1 | J ⁽¹⁰⁾ -2.3 | J ⁽¹⁰⁾ +2.7 | J ⁽¹⁰⁾ -2.3 | J ⁽¹⁰⁾ +2.7 | ns |
| F15 | $t_{d(\text{clkL-do})}$ | 遅延時間、GPMC_CLK 立ち下がりエッジから GPMC_AD[15:0] データ バス遷移まで ⁽¹³⁾ | div_by_1_mode 、 GPMC_FCLK_MUX、 TIMEPARAGRANULA RITY_X1 | J ⁽¹⁰⁾ -2.3 | J ⁽¹⁰⁾ +2.7 | J ⁽¹⁰⁾ -2.3 | J ⁽¹⁰⁾ +2.7 | ns |
| F17 | $t_{d(\text{clkH-be}[x]n)}$ | 遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力下位バイト イネーブルおよびコマンドラッチ イネーブル GPMC_BE0n_CLE 遷移まで ⁽¹¹⁾ | div_by_1_mode 、 GPMC_FCLK_MUX、 TIMEPARAGRANULA RITY_X1 | J ⁽¹⁰⁾ -2.3 | J ⁽¹⁰⁾ +1.9 | J ⁽¹⁰⁾ -2.3 | J ⁽¹⁰⁾ +1.9 | ns |

| 番号 (2) | パラメータ | 説明 | モード ⁽¹⁹⁾ | 最小値 | 最大値 | 最小値 | 最大値 | 単位 |
|-----------|-----------------------------|--|--|-------------------------|------------------------|-------------------------|------------------------|----|
| | | | | 100 MHz ⁽²⁰⁾ | J ⁽¹⁰⁾ +1.9 | 133 MHz ⁽²⁰⁾ | J ⁽¹⁰⁾ +1.9 | |
| F17 | t _{d(clkL-be[x]n)} | 遅延時間、GPMC_CLK 立ち下がりエッジから GPMC_BE0n_CLE、GPMC_BE1n 遷移まで ⁽¹²⁾ | div_by_1_mode 、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1 | J ⁽¹⁰⁾ -2.3 | J ⁽¹⁰⁾ +1.9 | J ⁽¹⁰⁾ -2.3 | J ⁽¹⁰⁾ +1.9 | ns |
| F17 | t _{d(clkL-be[x]n)} | 遅延時間、GPMC_CLK 立ち下がりエッジから GPMC_BE0n_CLE、GPMC_BE1n 遷移まで ⁽¹³⁾ | div_by_1_mode 、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1 | J ⁽¹⁰⁾ -2.3 | J ⁽¹⁰⁾ +1.9 | J ⁽¹⁰⁾ -2.3 | J ⁽¹⁰⁾ +1.9 | ns |
| F18 | t _{w(csnV)} | パルス幅、出力チップ セレクト GPMC_CSn[low ⁽¹⁴⁾ | 読み出し | A ⁽¹⁾ | | A ⁽¹⁾ | | ns |
| | | | 書き込み | A ⁽¹⁾ | | A ⁽¹⁾ | | ns |
| F19 | t _{w(be[x]nV)} | パルス幅、出力下位バイト イネーブルおよびコマンド ラッチ イネーブル GPMC_BE0n_CLE、出力上位バイト イネーブル GPMC_BE1n Low | 読み出し | C ⁽³⁾ | | C ⁽³⁾ | | ns |
| | | | 書き込み | C ⁽³⁾ | | C ⁽³⁾ | | ns |
| F20 | t _{w(advnV)} | パルス幅、出力アドレス有効およびアドレス ラッチ イネーブル GPMC_ADVn_ALE Low | 読み出し | K ⁽¹⁶⁾ | | K ⁽¹⁶⁾ | | ns |
| | | | 書き込み | K ⁽¹⁶⁾ | | K ⁽¹⁶⁾ | | ns |

- (1) 単一読み取りの場合: $A = (\text{CSRdOffTime} - \text{CSOnTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(17)}$
 バースト読み取りの場合: $A = (\text{CSRdOffTime} - \text{CSOnTime} + (n - 1) \times \text{PageBurstAccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(17)}$
 バースト書き込みの場合: $A = (\text{CSWrOffTime} - \text{CSOnTime} + (n - 1) \times \text{PageBurstAccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(17)}$
 n はページバースト アクセス数。
- (2) $B = \text{ClkActivationTime} \times \text{GPMC_FCLK}^{(17)}$
- (3) 単一読み取りの場合: $C = \text{RdCycleTime} \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(17)}$
 バースト読み取りの場合: $C = (\text{RdCycleTime} + (n - 1) \times \text{PageBurstAccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(17)}$
 バースト書き込みの場合: $C = (\text{WrCycleTime} + (n - 1) \times \text{PageBurstAccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(17)}$
 n はページバースト アクセス数。
- (4) 単一読み取りの場合: $D = (\text{RdCycleTime} - \text{AccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(17)}$
 バースト読み取りの場合: $D = (\text{RdCycleTime} - \text{AccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(17)}$
 バースト書き込みの場合: $D = (\text{WrCycleTime} - \text{AccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(17)}$
- (5) 単一読み取りの場合: $E = (\text{CSRdOffTime} - \text{AccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(17)}$
 バースト読み取りの場合: $E = (\text{CSRdOffTime} - \text{AccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(17)}$
 バースト書き込みの場合: $E = (\text{CSWrOffTime} - \text{AccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(17)}$
- (6) csn 立ち下がりエッジ (CS がアクティブ) の場合:
- Case GPMCFCLKDIVIDER = 0:
 - $F = 0.5 \times \text{CSExtraDelay} \times \text{GPMC_FCLK}^{(17)}$
 - Case GPMCFCLKDIVIDER = 1:
 - $F = 0.5 \times \text{CSExtraDelay} \times \text{GPMC_FCLK}^{(17)}$ if (ClkActivationTime および CSOnTime が奇数) or (ClkActivationTime および CSOnTime が偶数)
 - $F = (1 + 0.5 \times \text{CSExtraDelay}) \times \text{GPMC_FCLK}^{(17)}$ otherwise
 - Case GPMCFCLKDIVIDER = 2:
 - $f = 0.5 \times \text{CSExtraDelay} \times \text{GPMC_FCLK}^{(17)}$ if ((CSOnTime - ClkActivationTime) が 3 の倍数)
 - $F = (1 + 0.5 \times \text{CSExtraDelay}) \times \text{GPMC_FCLK}^{(17)}$ if ((CSOnTime - ClkActivationTime - 1) が 3 の倍数)
 - $F = (2 + 0.5 \times \text{CSExtraDelay}) \times \text{GPMC_FCLK}^{(17)}$ if ((CSOnTime - ClkActivationTime - 2) が 3 の倍数)
- (7) ADV 立ち下がりエッジ (ADV がアクティブ) の場合:
- Case GPMCFCLKDIVIDER = 0:
 - $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC_FCLK}^{(17)}$
 - Case GPMCFCLKDIVIDER = 1:
 - $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC_FCLK}^{(17)}$ if (ClkActivationTime および ADVOnTime が奇数) or (ClkActivationTime および ADVOnTime が偶数)
 - $G = (1 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(17)}$ otherwise

- Case GPMCFCLKDIVIDER = 2:
 - $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC_FCLK}^{(17)}$ if $((\text{ADVOnTime} - \text{ClkActivationTime})$ が 3 の倍数)
 - $G = (1 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(17)}$ if $((\text{ADVOnTime} - \text{ClkActivationTime} - 1)$ が 3 の倍数)
 - $G = (2 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(17)}$ if $((\text{ADVOnTime} - \text{ClkActivationTime} - 2)$ が 3 の倍数)

読み取りモードでの ADV 立ち上がりエッジ (ADV が非アクティブ) の場合:

- Case GPMCFCLKDIVIDER = 0:
 - $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC_FCLK}^{(17)}$
- Case GPMCFCLKDIVIDER = 1:
 - $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC_FCLK}^{(17)}$ if $(\text{ClkActivationTime}$ および ADVRdOffTime が奇数) or $(\text{ClkActivationTime}$ および ADVRdOffTime が偶数)
 - $G = (1 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(17)}$ otherwise
- Case GPMCFCLKDIVIDER = 2:
 - $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC_FCLK}^{(17)}$ if $((\text{ADVRdOffTime} - \text{ClkActivationTime})$ が 3 の倍数)
 - $G = (1 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(17)}$ if $((\text{ADVRdOffTime} - \text{ClkActivationTime} - 1)$ が 3 の倍数)
 - $G = (2 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(17)}$ if $((\text{ADVRdOffTime} - \text{ClkActivationTime} - 2)$ が 3 の倍数)

書き込みモードでの ADV 立ち上がりエッジ (ADV が非アクティブ) の場合:

- Case GPMCFCLKDIVIDER = 0:
 - $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC_FCLK}^{(17)}$
- Case GPMCFCLKDIVIDER = 1:
 - $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC_FCLK}^{(17)}$ if $(\text{ClkActivationTime}$ および ADVWrOffTime が奇数) または $(\text{ClkActivationTime}$ および ADVWrOffTime が偶数)
 - $G = (1 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(17)}$ otherwise
- Case GPMCFCLKDIVIDER = 2:
 - $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC_FCLK}^{(17)}$ if $((\text{ADVWrOffTime} - \text{ClkActivationTime})$ が 3 の倍数)
 - $G = (1 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(17)}$ if $((\text{ADVWrOffTime} - \text{ClkActivationTime} - 1)$ が 3 の倍数)
 - $G = (2 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(17)}$ if $((\text{ADVWrOffTime} - \text{ClkActivationTime} - 2)$ が 3 の倍数)

(8) OE の立ち下がりエッジ (OE がアクティブ) および IO DIR の立ち上がりエッジ (データバスが入力方向) の場合:

- Case GPMCFCLKDIVIDER = 0:
 - $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC_FCLK}^{(17)}$
- Case GPMCFCLKDIVIDER = 1:
 - $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC_FCLK}^{(17)}$ if $(\text{ClkActivationTime}$ および OEOnTime が奇数) または $(\text{ClkActivationTime}$ および OEOnTime が偶数)
 - $H = (1 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC_FCLK}^{(17)}$ otherwise
- Case GPMCFCLKDIVIDER = 2:
 - $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC_FCLK}^{(17)}$ if $((\text{OEOnTime} - \text{ClkActivationTime})$ が 3 の倍数)
 - $H = (1 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC_FCLK}^{(17)}$ if $((\text{OEOnTime} - \text{ClkActivationTime} - 1)$ が 3 の倍数)
 - $H = (2 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC_FCLK}^{(17)}$ if $((\text{OEOnTime} - \text{ClkActivationTime} - 2)$ が 3 の倍数)

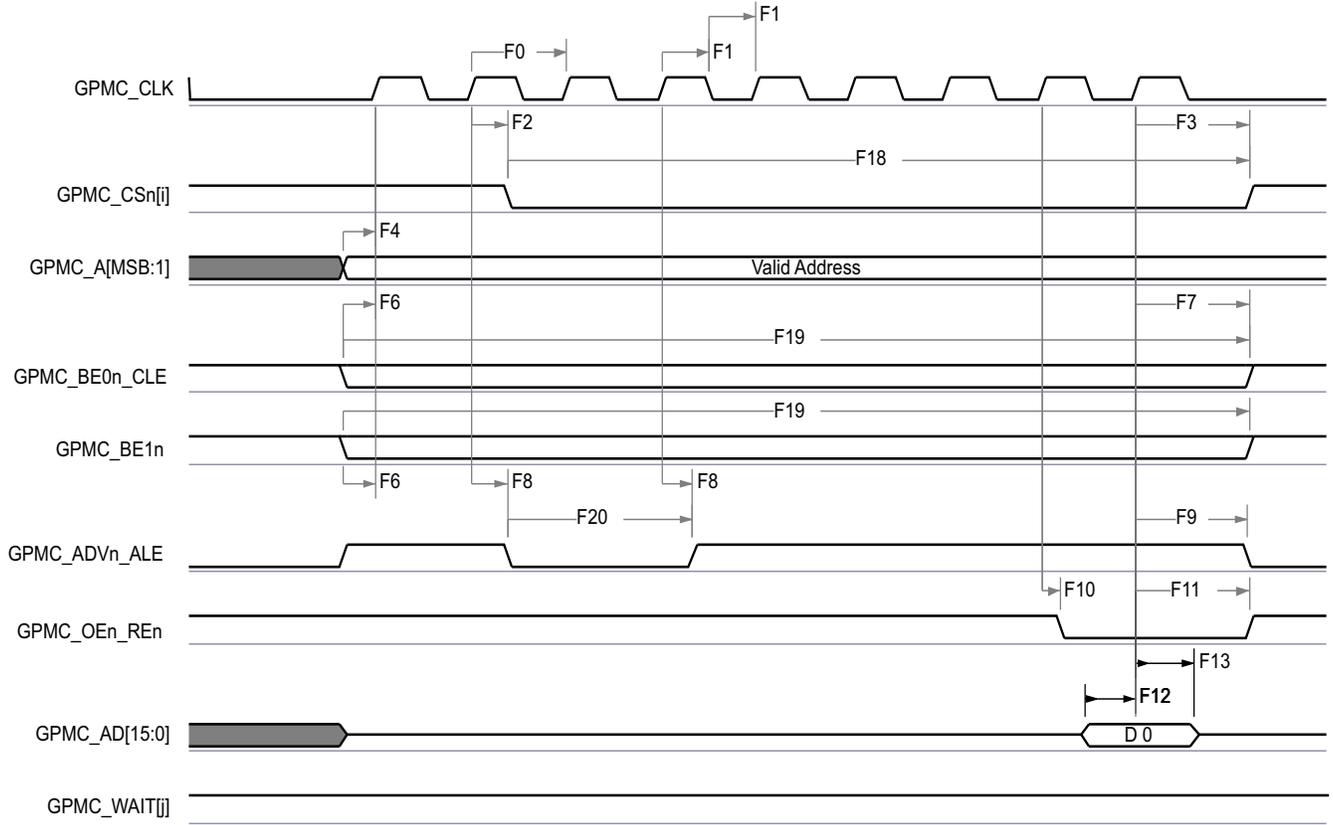
OE 立ち上がりエッジ (OE が非アクティブ) の場合:

- Case GPMCFCLKDIVIDER = 0:
 - $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC_FCLK}^{(17)}$
- Case GPMCFCLKDIVIDER = 1:
 - $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC_FCLK}^{(17)}$ if $(\text{ClkActivationTime}$ および OEOffTime が奇数) または $(\text{ClkActivationTime}$ および OEOffTime が偶数)
 - $H = (1 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC_FCLK}^{(17)}$ otherwise
- Case GPMCFCLKDIVIDER = 2:
 - $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC_FCLK}^{(17)}$ if $((\text{OEOffTime} - \text{ClkActivationTime})$ が 3 の倍数)
 - $H = (1 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC_FCLK}^{(17)}$ if $((\text{OEOffTime} - \text{ClkActivationTime} - 1)$ が 3 の倍数)
 - $H = (2 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC_FCLK}^{(17)}$ if $((\text{OEOffTime} - \text{ClkActivationTime} - 2)$ が 3 の倍数)

(9) WE 立ち下がりエッジ (WE がアクティブ) の場合:

- Case GPMCFCLKDIVIDER = 0:

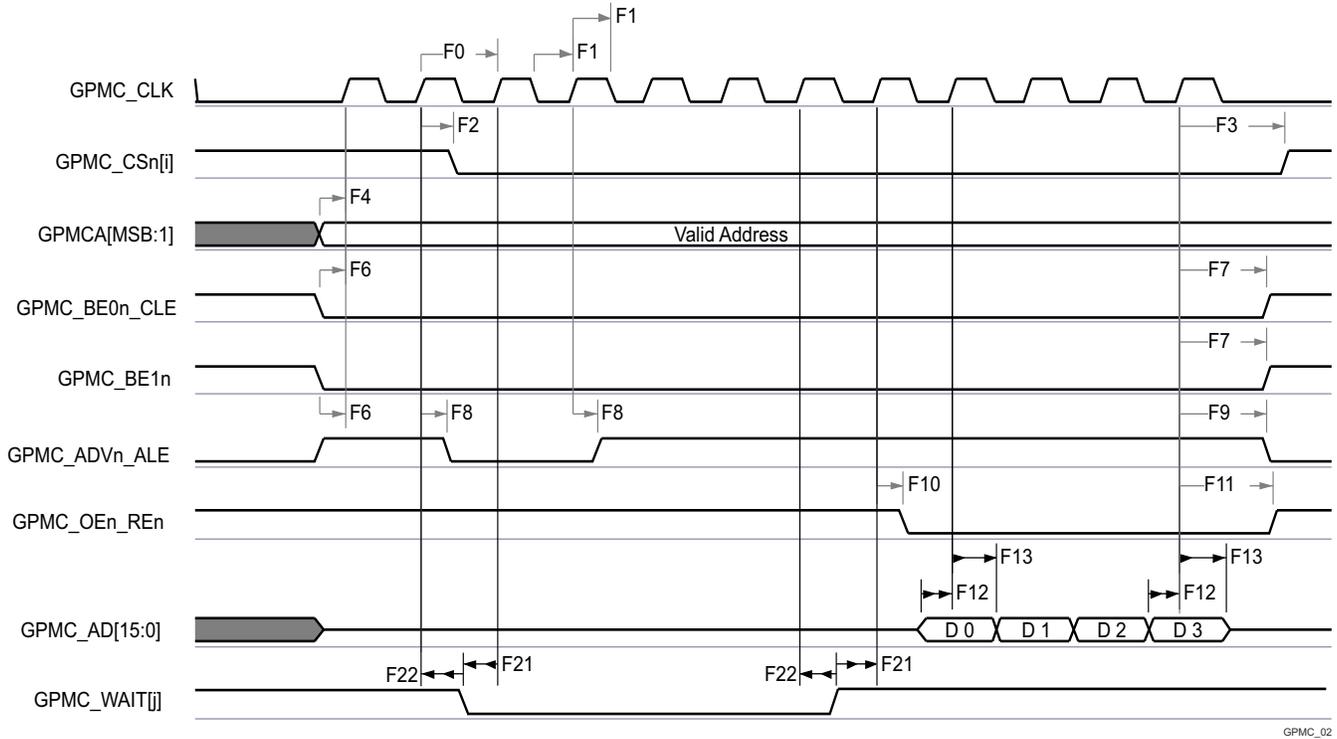
- $I = 0.5 \times \text{WEExtraDelay} \times \text{GPMC_FCLK}^{(17)}$
 - Case GPMCFCLKDIVIDER = 1:
 - $I = 0.5 \times \text{WEExtraDelay} \times \text{GPMC_FCLK}^{(17)}$ if (ClkActivationTime および WEOnTime が奇数) or (ClkActivationTime および WEOnTime が偶数)
 - $I = (1 + 0.5 \times \text{WEExtraDelay}) \times \text{GPMC_FCLK}^{(17)}$ otherwise
 - Case GPMCFCLKDIVIDER = 2:
 - $I = 0.5 \times \text{WEExtraDelay} \times \text{GPMC_FCLK}^{(17)}$ if ((WEOnTime - ClkActivationTime) が 3 の倍数)
 - $I = (1 + 0.5 \times \text{WEExtraDelay}) \times \text{GPMC_FCLK}^{(17)}$ if ((WEOnTime - ClkActivationTime - 1) が 3 の倍数)
 - $I = (2 + 0.5 \times \text{WEExtraDelay}) \times \text{GPMC_FCLK}^{(17)}$ if ((WEOnTime - ClkActivationTime - 2) が 3 の倍数)
- WE 立ち上がりエッジ (WE が非アクティブ) の場合:
- Case GPMCFCLKDIVIDER = 0:
 - $I = 0.5 \times \text{WEExtraDelay} \times \text{GPMC_FCLK}^{(17)}$
 - Case GPMCFCLKDIVIDER = 1:
 - $I = 0.5 \times \text{WEExtraDelay} \times \text{GPMC_FCLK}^{(17)}$ if (ClkActivationTime および WEOffTime が奇数) or (ClkActivationTime および WEOffTime が偶数)
 - $I = (1 + 0.5 \times \text{WEExtraDelay}) \times \text{GPMC_FCLK}^{(17)}$ otherwise
 - Case GPMCFCLKDIVIDER = 2:
 - $I = 0.5 \times \text{WEExtraDelay} \times \text{GPMC_FCLK}^{(17)}$ if ((WEOffTime - ClkActivationTime) が 3 の倍数)
 - $I = (1 + 0.5 \times \text{WEExtraDelay}) \times \text{GPMC_FCLK}^{(17)}$ if ((WEOffTime - ClkActivationTime - 1) が 3 の倍数)
 - $I = (2 + 0.5 \times \text{WEExtraDelay}) \times \text{GPMC_FCLK}^{(17)}$ if ((WEOffTime - ClkActivationTime - 2) が 3 の倍数)
- (10) $J = \text{GPMC_FCLK}^{(17)}$
- (11) 最初の転送は、CLK DIV 1 モードのみです。
- (12) CLK DIV 1 モードでの初期転送の後、すべてのデータは半サイクルです。
- (13) CLK DIV 1 モード以外のモードでは、すべてのデータは GPMC_CLKOUT の半サイクルです。GPMC_FCLK から GPMC_CLKOUT を分周します。
- (14) GPMC_CSn[j] で、i は 0、1、2、または 3 です。GPMC_WAIT[j] で、j は 0、1、2、または 3 です。
- (15) $P = \text{GPMC_CLK}$ 周期 (ns 単位)
- (16) 読み出しの場合: $K = (\text{ADVrdOffTime} - \text{ADVOnTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(17)}$
書き込みの場合: $K = (\text{ADVwrOffTime} - \text{ADVOnTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(17)}$
- (17) GPMC_FCLK は、汎用メモリコントローラの内部機能クロック周期で、ns 単位です。
- (18) GPMC モジュールで、GPMC_CONFIG1_j 構成レジスタのビットフィールド GPMCFCLKDIVIDER の設定によりプログラム可能な、GPMC_CLK 出力クロックの最高および最低周波数に関連します。
- (19) div_by_1_mode の場合:
- GPMC_CONFIG1_j レジスタ: GPMCFCLKDIVIDER = 0h:
 - GPMC_CLK 周波数 = GPMC_FCLK 周波数
 - CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 01 = PER1_PLL_CLKOUT / 3 = 300 / 3 = 100MHz
 - GPMC_CONFIG1_j レジスタ: TIMEPARAGRANULARITY = 0h = x1 レイテンシ (RD/WRCYCLETIME、RD/WRACCESSTIME、PAGEBURSTACCESSTIME、CSONTIME、CSRd/WROFFTIME、ADVONTIME、ADVrd/WROFFTIME、OEONTIME、OEOFFTIME、WEONTIME、WEOFFTIME、CYCLE2CYCLEDELAY、BUSTURNAROUND、TIMEOUTSTARTVALUE、WRDATAONADMUXBUS に影響)
- extra_delay なしの場合:
- GPMC_CONFIG2_j レジスタ: CSEXTRADELAY = 0h = CSn タイミング制御信号は遅延しない
 - GPMC_CONFIG4_j レジスタ: WEEXTRADELAY = 0h = nWE タイミング制御信号は遅延しない
 - GPMC_CONFIG4_j レジスタ: OEEXTRADELAY = 0h = nOE タイミング制御信号は遅延しない
 - GPMC_CONFIG3_j レジスタ: ADVEXTRADELAY = 0h = nADV タイミング制御信号は遅延しない
- (20) 100 MHz の場合:
- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 01 = MAIN_PLL2_HSDIV1_CLKOUT / 3
- 133MHz の場合:
- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 00 = MAIN_PLL0_HSDIV3_CLKOUT



GPMC_01

- A. GPMC_CS[n][i] で、i は 0、1、2、または 3 です。
- B. GPMC_WAIT[j] で、j は 0、1、2、または 3 です。

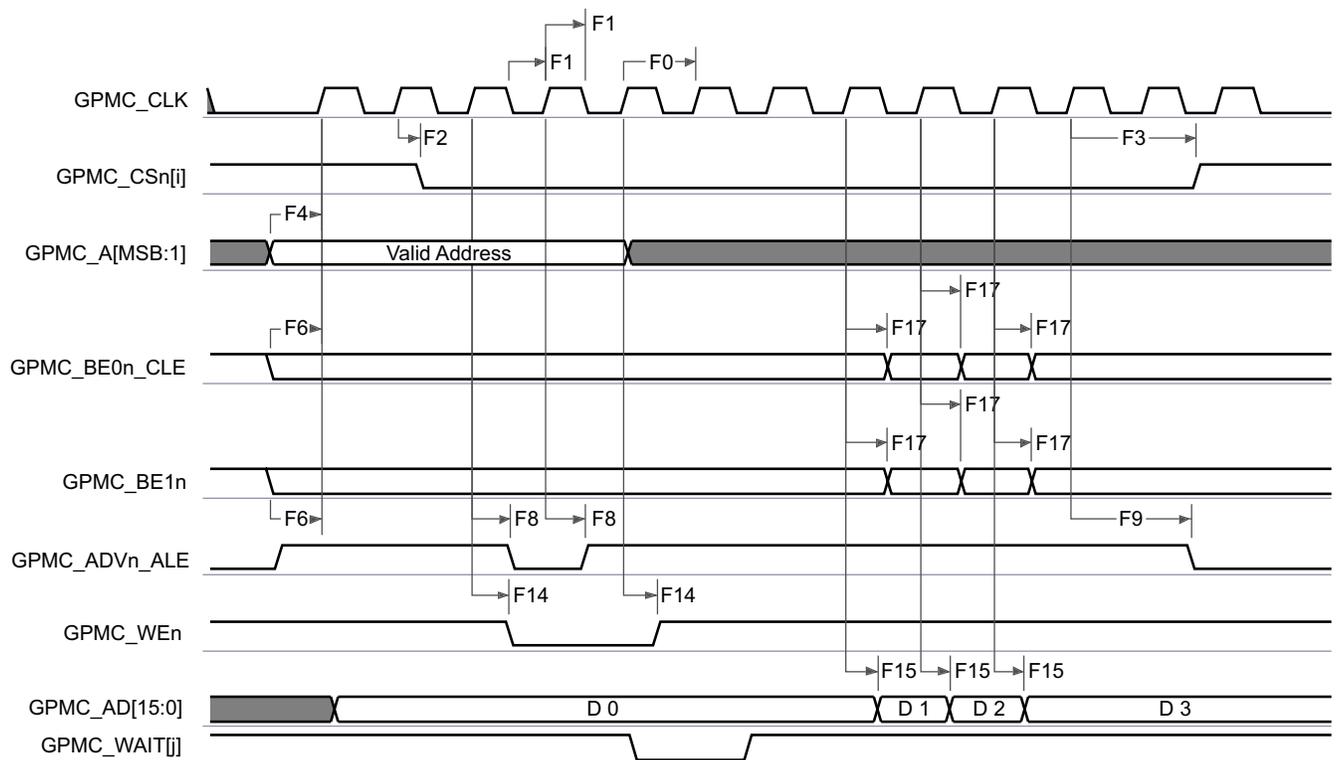
図 6-53. GPMC および NOR フラッシュ — 同期単一読み出し (GPMCFCLKDIVIDER = 0)



GPMC_02

- A. GPMC_CS[n] で、i は 0、1、2、または 3 です。
- B. GPMC_WAIT[j] で、j は 0、1、2、または 3 です。

図 6-54. GPMC および NOR フラッシュ — 同期バースト読み出し — 4x16 ビット (GPMCFCLKDIVIDER = 0)

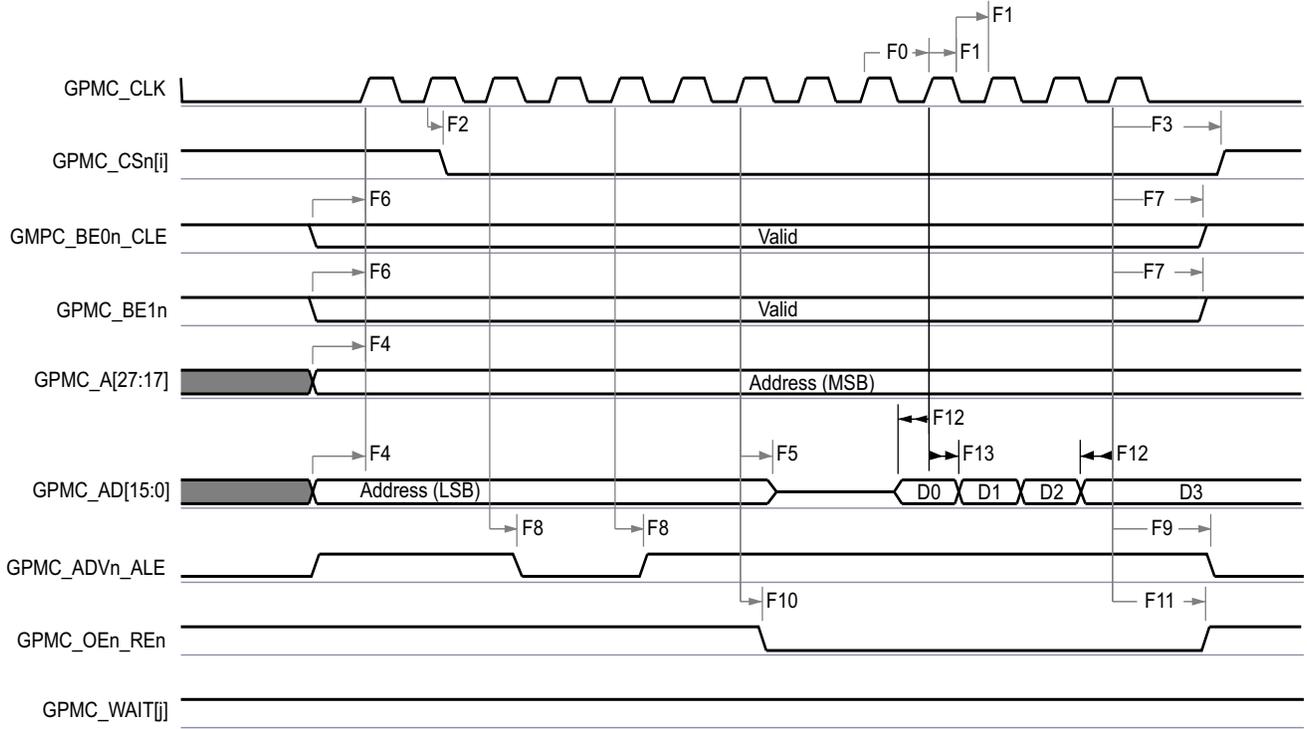


GPMC_03

- A. GPMC_CS[n] で、i は 0、1、2、または 3 です。

B. GPMC_WAIT[j] で、j は 0、1、2、または 3 です。

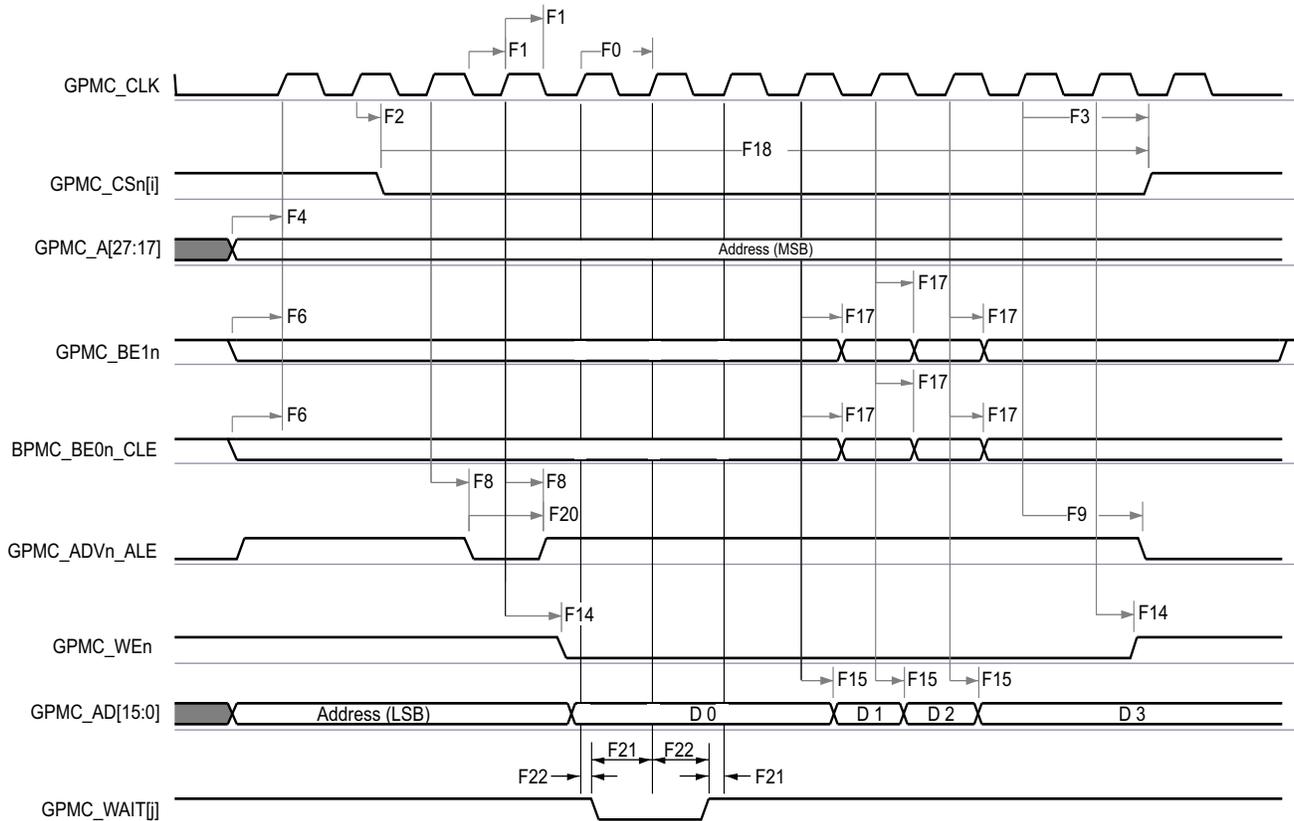
図 6-55. GPMC および NOR フラッシュ — 同期バースト書き込み (GPMCFCLKDIVIDER = 0)



GPMC_D4

- A. GPMC_CS[n][i] で、i は 0、1、2、または 3 です。
B. GPMC_WAIT[j] で、j は 0、1、2、または 3 です。

図 6-56. GPMC および多重化 NOR フラッシュ — 同期バースト読み出し



GPMC_05

- A. GPMC_CS[n] で、i は 0、1、2、または 3 です。
 B. GPMC_WAIT[j] で、j は 0、1、2、または 3 です。

図 6-57. GPMC および多重化 NOR フラッシュ — 同期バースト書き込み

6.10.5.10.2 GPMC および NOR フラッシュ — 非同期モード

セクション 6.10.5.10.2.1 および セクション 6.10.5.10.2.2 は、以下に示す推奨動作条件および電気的特性条件に基づくテストを想定しています (図 6-58～図 6-63 を参照)。

6.10.5.10.2.1 GPMC および NOR フラッシュのタイミング要件 – 非同期モード

| 番号 | | | モード ⁽⁷⁾ | 最小値 | 最大値 | 単位 |
|---------------------|----------------------|---------------------|--|-----|------------------|----|
| FA5 ⁽¹⁾ | $t_{acc(d)}$ | データアクセス時間 | div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X 1 | | H ⁽⁵⁾ | ns |
| FA20 ⁽²⁾ | $t_{acc1-pgmode(d)}$ | ページモードの連続データアクセス時間 | div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X 1 | | P ⁽⁴⁾ | ns |
| FA21 ⁽³⁾ | $t_{acc2-pgmode(d)}$ | ページモードの最初のデータアクセス時間 | div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X 1 | | H ⁽⁵⁾ | ns |

- (1) FA5 パラメータは、入力データを内部的にサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA5 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA5 の値は、AccessTime レジスタ ビット フィールドに保存する必要があります。

- (2) FA20 パラメータは、連続する入力ページ データを内部でサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。入力ページ データへの各アクセスの後、FA20 機能クロック サイクル経過後、次の入力ページ データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA20 の値は、PageBurstAccessTime レジスタのビット フィールドに保存する必要があります。
- (3) FA21 パラメータは、最初の入力ページ データを内部でサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA21 機能クロック サイクル経過後、最初の入力ページ データが、アクティブな機能クロック エッジによって内部的にサンプリングされます。FA21 の値は、AccessTime レジスタ ビット フィールドに保存する必要があります。
- (4) $P = \text{PageBurstAccessTime} \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(6)}$
- (5) $H = \text{AccessTime} \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(6)}$
- (6) GPMC_FCLK は、汎用メモリ コントローラの内部機能クロック周期で、ns 単位です。
- (7) div_by_1_mode の場合:
- GPMC_CONFIG1_i レジスタ: GPMCFCLKDIVIDER = 0h:
 - GPMC_CLK 周波数 = GPMC_FCLK 周波数
 - CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 00 = CPSWHS DIV_CLKOUT3 = 2000/15 = 133.33MHz
 - GPMC_CONFIG1_i レジスタ: TIMEPARAGRANULARITY = 0h = x1 レイテンシ (RD/WRCYCLETIME、RD/WRACCESSTIME、PAGEBURSTACCESSTIME、CSONTIME、CSR/DWROFFTIME、ADVONTIME、ADV RD/WROFFTIME、OEONTIME、OE OFFTIME、WEONTIME、WE OFFTIME、CYCLE2CYCLEDELAY、BUSTURNAROUND、TIMEOUTSTARTVALUE、WRDATAONADMUXBUS に影響)

6.10.5.10.2.2 GPMC および NOR フラッシュのスイッチング特性 – 非同期モード

| 番号 | パラメータ | 説明 | モード ⁽¹⁵⁾ | 最小値 | 最大値 | 単位 |
|------|--|---|--|--------------------------|--------------------------|----|
| | | | | 133 MHz ⁽¹⁶⁾ | | |
| FA0 | $t_{w(\text{be}[\text{x}]\text{nV})}$ | パルス幅、出力下位バイト イネーブルおよびコマンド ラッチ イネーブル GPMC_BE0n_CLE、出力上位バイト イネーブル GPMC_BE1n 有効時間 | 読み出し | | N ⁽¹²⁾ | ns |
| | | | 書き込み | | N ⁽¹²⁾ | |
| FA1 | $t_{w(\text{csnV})}$ | パルス幅、出力チップ セレクト GPMC_CS <i>n</i> [<i>j</i>] ⁽¹³⁾ low | 読み出し | | A ⁽¹⁾ | ns |
| | | | 書き込み | | A ⁽¹⁾ | |
| FA3 | $t_{d(\text{csnV-advnV})}$ | 遅延時間、出力チップ セレクト GPMC_CS <i>n</i> [<i>j</i>] ⁽¹³⁾ 有効から出力アドレス有効およびアドレス ラッチ イネーブル GPMC_ADV <i>n</i> _ALE 無効まで | 読み出し | B ⁽²⁾ - 2.55 | B ⁽²⁾ + 2.65 | ns |
| | | | 書き込み | B ⁽²⁾ - 2.55 | B ⁽²⁾ + 2.65 | |
| FA4 | $t_{d(\text{csnV-oenV})}$ | 遅延時間、出力チップセレクト GPMC_CS <i>n</i> [<i>j</i>] ⁽¹³⁾ 有効から 出力イネーブル GPMC_OEn_RE <i>n</i> 無効まで (単一読み取り) | div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1 | C ⁽³⁾ - 2.55 | C ⁽³⁾ + 2.65 | ns |
| FA9 | $t_{d(\text{aV-csnV})}$ | 遅延時間、出力アドレス GPMC_A[27:1] 有効から出力チップ セレクト GPMC_CS <i>n</i> [<i>j</i>] ⁽¹³⁾ 有効まで | div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1 | J ⁽⁹⁾ - 2.55 | J ⁽⁹⁾ + 2.65 | ns |
| FA10 | $t_{d(\text{be}[\text{x}]\text{nV-csnV})}$ | 遅延時間、出力下位バイト イネーブルおよびコマンド ラッチ イネーブル GPMC_BE0n_CLE、出力上位バイト イネーブル GPMC_BE1n 有効から出力チップ セレクト GPMC_CS <i>n</i> [<i>j</i>] ⁽¹³⁾ まで | div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1 | J ⁽⁹⁾ - 2.55 | J ⁽⁹⁾ + 2.65 | ns |
| FA12 | $t_{d(\text{csnV-advnV})}$ | 遅延時間、出力チップ セレクト GPMC_CS <i>n</i> [<i>j</i>] ⁽¹³⁾ 有効から出力アドレス有効、アドレス ラッチ イネーブル GPMC_ADV <i>n</i> _ALE 有効まで | div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1 | K ⁽¹⁰⁾ - 2.55 | K ⁽¹⁰⁾ + 2.65 | ns |
| FA13 | $t_{d(\text{csnV-oenV})}$ | 遅延時間、出力チップ セレクト GPMC_CS <i>n</i> [<i>j</i>] ⁽¹³⁾ 有効から出力イネーブル GPMC_OEn_RE <i>n</i> 有効まで | div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1 | L ⁽¹¹⁾ - 2.55 | L ⁽¹¹⁾ + 2.65 | ns |
| FA16 | $t_{w(\text{aIV})}$ | 2 つの連続する読み取りおよび書き込みアクセスの間で、出力アドレス GPMC_A[26:1] が無効になるパルス幅 | div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1 | G ⁽⁷⁾ | | ns |

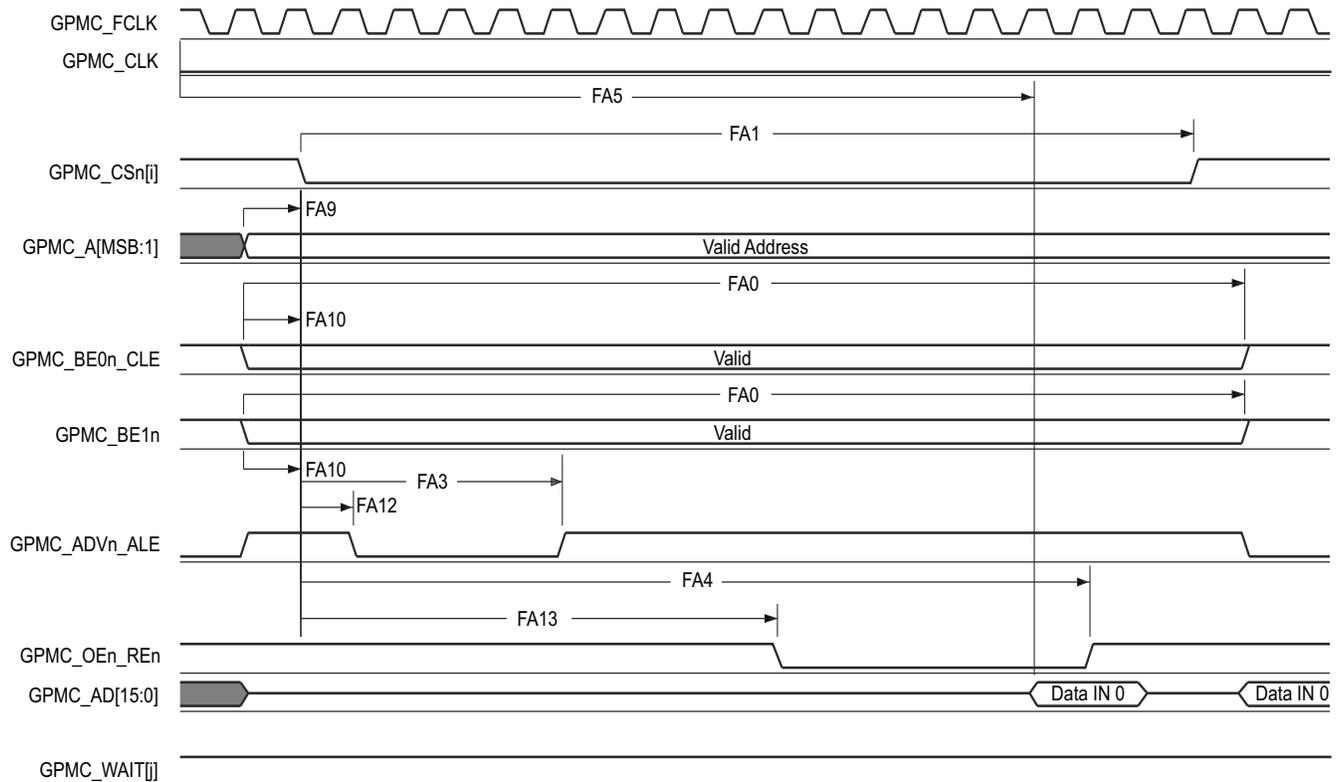
| 番号 | パラメータ | 説明 | モード ⁽¹⁵⁾ | 最小値 | 最大値 | 単位 |
|------|---------------------|---|--|-------------------------|-------------------------|----|
| | | | | 133 MHz ⁽¹⁶⁾ | | |
| FA18 | $t_{d(csnV-oenIV)}$ | 遅延時間、出力チップ セレクト GPMC_CS <i>n</i> [<i>i</i>] ⁽¹³⁾ 有効から 出力イネーブル GPMC_OEn_RE <i>n</i> 無効まで (バースト読み取り) | div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1 | I ⁽⁸⁾ - 2.55 | I ⁽⁸⁾ + 2.65 | ns |
| FA20 | $t_{w(aV)}$ | パルス幅、出力アドレス GPMC_A[27:1] 有効 - 2 回目、3 回目、4 回目のアクセス | div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1 | D ⁽⁴⁾ | | ns |
| FA25 | $t_{d(csnV-wenV)}$ | 遅延時間、出力チップ セレクト GPMC_CS <i>n</i> [<i>i</i>] ⁽¹³⁾ 有効から出力書き込みイネーブル GPMC_WEn 有効まで | div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1 | E ⁽⁵⁾ - 2.55 | E ⁽⁵⁾ + 2.65 | ns |
| FA27 | $t_{d(csnV-wenIV)}$ | 遅延時間、出力チップ セレクト GPMC_CS <i>n</i> [<i>i</i>] ⁽¹³⁾ 有効から出力書き込みイネーブル GPMC_WEn 無効まで | div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1 | F ⁽⁶⁾ - 2.55 | F ⁽⁶⁾ + 2.65 | ns |
| FA28 | $t_{d(wenV-dV)}$ | 遅延時間、出力書き込みイネーブル GPMC_WEn 有効から出力データ GPMC_AD[15:0] 有効まで | div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1 | 2.65 | | ns |
| FA29 | $t_{d(dV-csnV)}$ | 遅延時間、出力データ GPMC_AD[15:0] 有効から出力チップ セレクト GPMC_CS <i>n</i> [<i>i</i>] ⁽¹³⁾ 有効まで | div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1 | J ⁽⁹⁾ - 2.55 | J ⁽⁹⁾ + 2.65 | ns |
| FA37 | $t_{d(oenV-alV)}$ | 遅延時間、出力イネーブル GPMC_OEn_RE <i>n</i> 有効から出力アドレス GPMC_AD[15:0] フェーズ終了まで | div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1 | 2.65 | | ns |

- (1) 単一読み取りの場合: $A = (CSRdOffTime - CSOnTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
 単一書き込みの場合: $A = (CSWrOffTime - CSOnTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
 バースト読み取りの場合: $A = (CSRdOffTime - CSOnTime + (n - 1) \times PageBurstAccessTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
 バースト書き込みの場合: $A = (CSWrOffTime - CSOnTime + (n - 1) \times PageBurstAccessTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
 n はページ バースト アクセス数
- (2) 読み取りの場合: $B = ((ADVrOffTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (ADVExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
 書き込みの場合: $B = ((ADVwOffTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (ADVExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
- (3) $C = ((OEOffTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (OEEExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
- (4) $D = PageBurstAccessTime \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
- (5) $E = ((WEOntime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (WEEExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
- (6) $F = ((WEOffTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (WEEExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
- (7) $G = Cycle2CycleDelay \times GPMC_FCLK^{(14)}$
- (8) $I = ((OEOffTime + (n - 1) \times PageBurstAccessTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (OEEExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
- (9) $J = (CSOnTime \times (TimeParaGranularity + 1) + 0.5 \times CSEExtraDelay) \times GPMC_FCLK^{(14)}$
- (10) $K = ((ADVOnTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (ADVExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
- (11) $L = ((OEOnTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (OEEExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
- (12) 単一読み取りの場合: $N = RdCycleTime \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
 単一書き込みの場合: $N = WrCycleTime \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
 バースト読み取りの場合: $N = (RdCycleTime + (n - 1) \times PageBurstAccessTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
 バースト書き込みの場合: $N = (WrCycleTime + (n - 1) \times PageBurstAccessTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
- (13) GPMC_CS*n*[*i*] で、i は 0、1、2、または 3 です。
- (14) GPMC_FCLK は、汎用メモリ コントローラの内部機能クロック周期で、ns 単位です。
- (15) div_by_1_mode の場合:
- GPMC_CONFIG1_i レジスタ: GPMCFCLKDIVIDER = 0h:
 - GPMC_CLK 周波数 = GPMC_FCLK 周波数

- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 00 = CPSWHS DIV_CLKOUT3 = 2000/15 = 133.33MHz
- GPMC_CONFIG1_i レジスタ: TIMEPARAGRANULARITY = 0h = x1 レイテンシ (RD/WRCYCLETIME、RD/WRACCESSTIME、PAGEBURSTACCESSTIME、CSONTIME、CSR/D/WROFFTIME、ADVONTIME、ADV RD/WROFFTIME、OEONTIME、OE OFFTIME、WEONTIME、WEOFFTIME、CYCLE2CYCLEDELAY、BUSTURNAROUND、TIMEOUTSTARTVALUE、WRDATAONADMUXBUS に影響)

(16) 133MHz の場合:

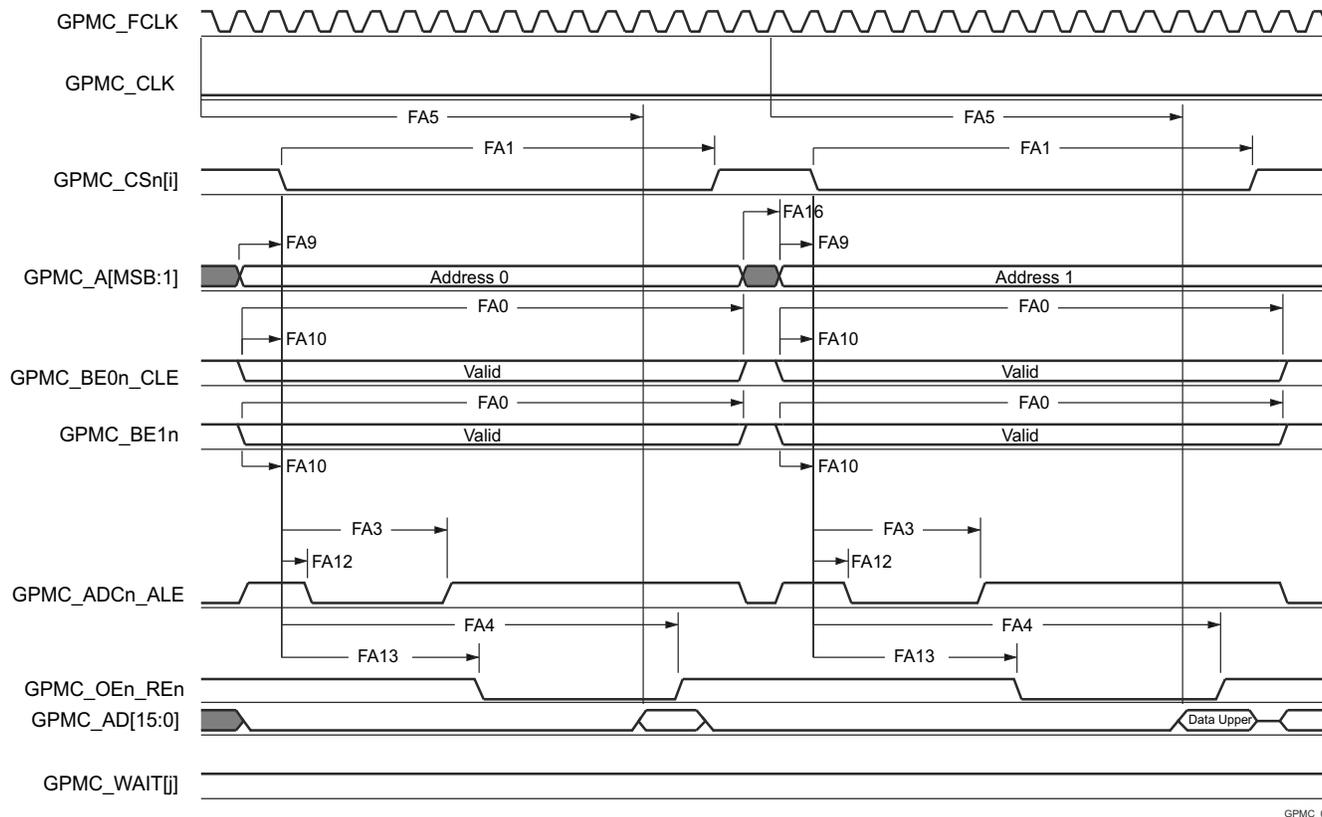
- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 00 = MAIN_PLL0_HSDIV3_CLKOUT



GPMC_06

- GPMC_CS[n] で、i は 0、1、2、または 3 です。GPMC_WAIT[j] で、j は 0、1、2、または 3 です。
- FA5 パラメータは、入力データを内部でサンプリングするために必要な時間を示しています。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA5 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA5 の値は、AccessTime レジスタ ビット フィールド内に格納する必要があります。
- GPMC_FCLK は、外部に供給されない内部クロック (GPMC 機能クロック) です。

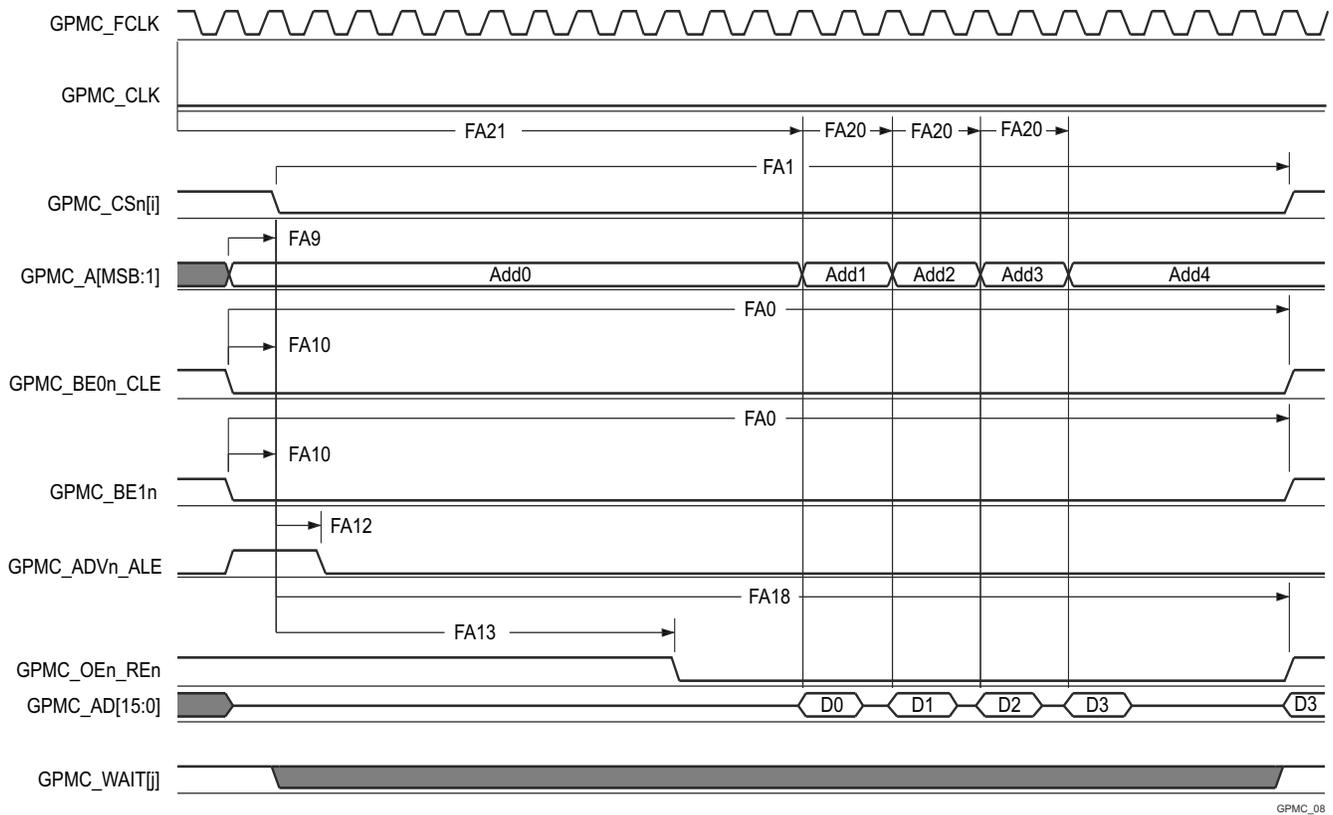
図 6-58. GPMC および NOR フラッシュ — 非同期読み取り — シングルワード



GPMC_07

- A. GPMC_CS*n*[*i*] で、*i* は 0、1、2、または 3 です。GPMC_WAIT[j] で、*j* は 0、1、2、または 3 です。
- B. FA5 パラメータは、入力データを内部でサンプリングするために必要な時間を示しています。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA5 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA5 の値は、AccessTime レジスタ ビット フィールド内に格納する必要があります。
- C. GPMC_FCLK は、外部に供給されない内部クロック (GPMC 機能クロック) です。

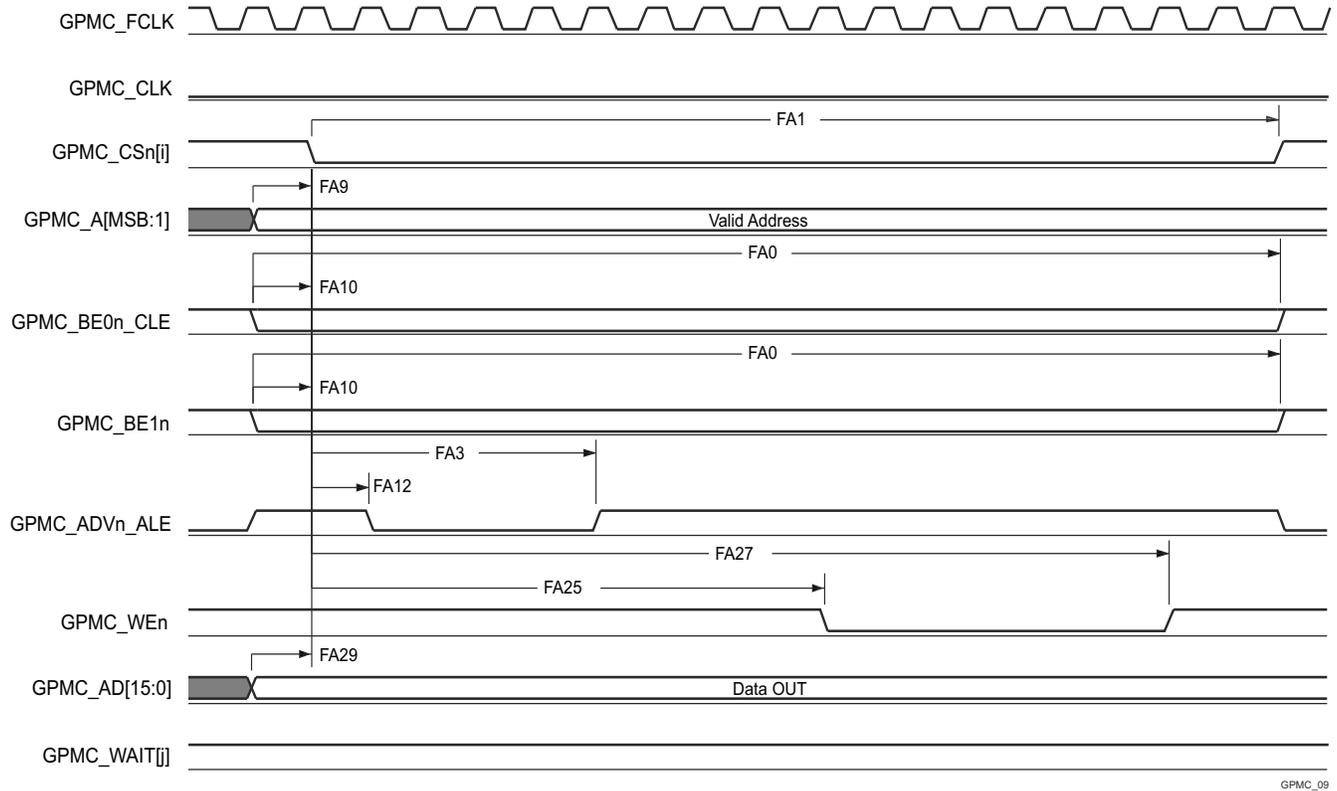
図 6-59. GPMC および NOR フラッシュ — 非同期読み取り — 32 ビット



GPMC_08

- A. GPMC_CS[n][i] で、i は 0、1、2、または 3 です。GPMC_WAIT[j] で、j は 0、1、2、または 3 です。
- B. FA21 パラメータは、最初の入力ページ データを内部でサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA21 機能クロック サイクル経過後、最初の入力ページのデータが、アクティブな機能クロック エッジによって内部的にサンプリングされます。FA21 の計算値は、accessTime レジスタ ビット フィールド内に保存する必要があります。
- C. FA20 パラメータは、連続する入力ページ データを内部でサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。入力ページ データへの各アクセスの後、FA20 機能クロック サイクル経過後、次の入力ページ データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA20 は、連続する入力ページ データ (最初の入力ページ データを除く) のアドレス フェーズ期間でもあります。FA20 の値は、PageBurstAccessTime レジスタ ビット フィールドに保存する必要があります。
- D. GPMC_FCLK は、外部に供給されない内部クロック (GPMC 機能クロック) です。

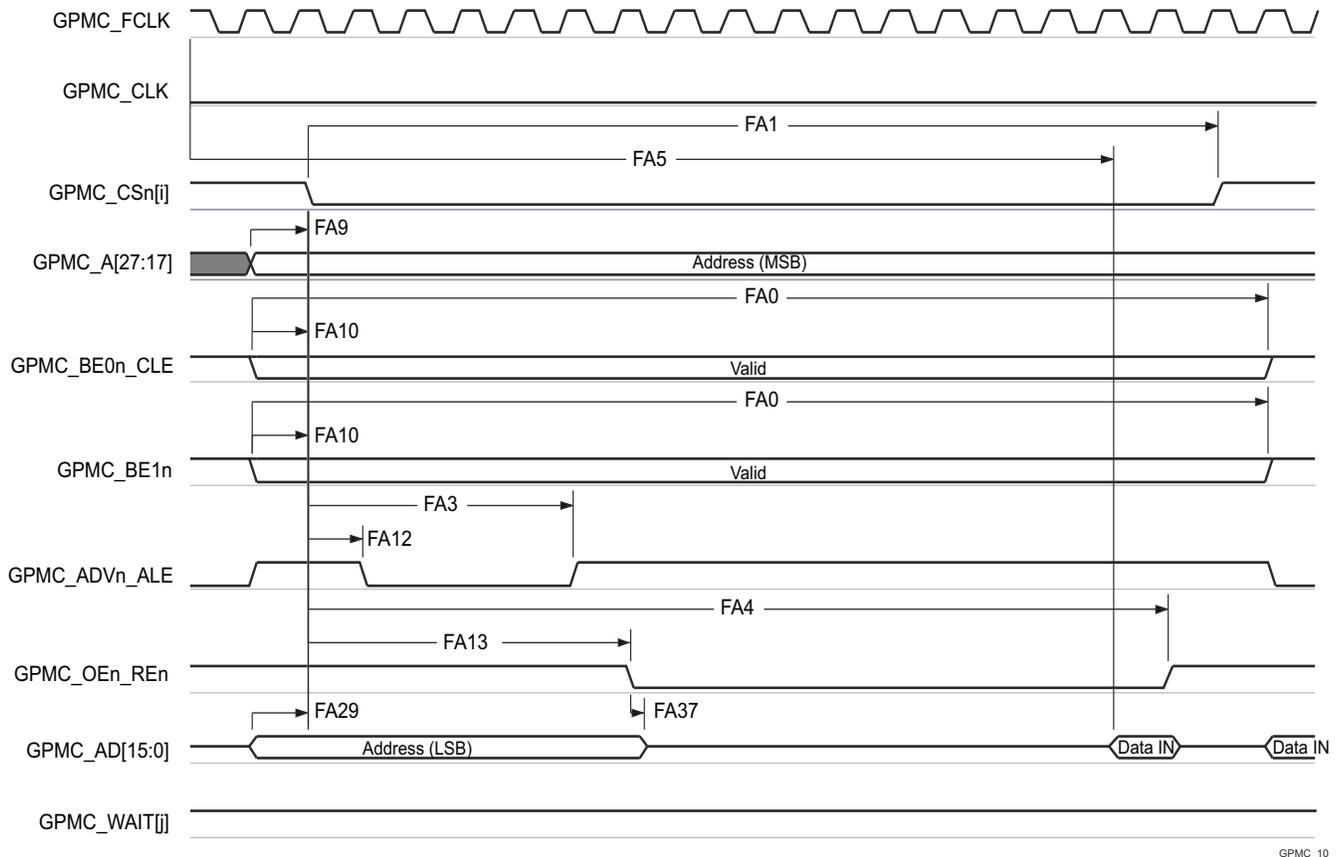
図 6-60. GPMC および NOR フラッシュ — 非同期読み取り — ページモード 4x16 ビット



GPMC_09

A. GPMC_CS*n*[*i*] で、*i* は 0、1、2、または 3 です。GPMC_WAIT[*j*] で、*j* は 0、1、2、または 3 です。

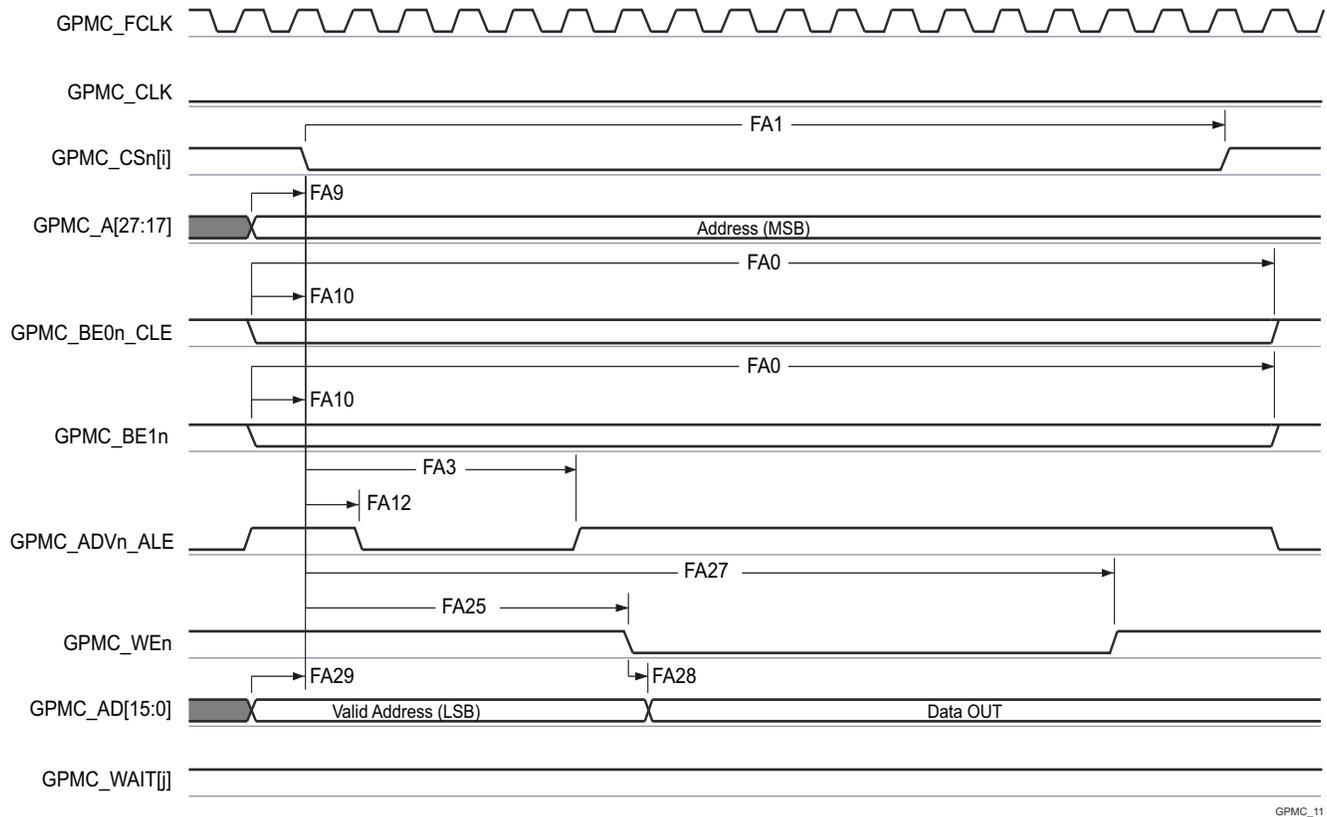
図 6-61. GPMC および NOR フラッシュ — 非同期書き込み — シングルワード



GPMC_10

- A. GPMC_CS[n] で、i は 0、1、2、または 3 です。GPMC_WAIT[j] で、j は 0、1、2、または 3 です。
- B. FA5 パラメータは、入力データを内部でサンプリングするために必要な時間を示しています。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA5 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA5 の値は、AccessTime レジスタ ビットフィールド内に格納する必要があります。
- C. GPMC_FCLK は、外部に供給されない内部クロック (GPMC 機能クロック) です。

図 6-62. GPMC および多重化 NOR フラッシュ — 非同期読み取り — シングルワード



GPMC_11

A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。GPMC_WAIT[j] で、j は 0、1、2、または 3 です。

図 6-63. GPMC および多重化 NOR フラッシュ — 非同期書き込み — シングルワード

6.10.5.10.3 GPMC および NAND フラッシュ – 非同期モード

セクション 6.10.5.10.3.1 および セクション 6.10.5.10.3.2 は、以下に示す推奨動作条件および電気的特性条件に基づくテストを想定しています (図 6-64 ~ 図 6-67 を参照)。

6.10.5.10.3.1 GPMC および NAND フラッシュのタイミング要件 – 非同期モード

| 番号 | パラメータ | モード ⁽⁴⁾ | 最小値 | 最大値 | 単位 |
|----------------------|--|--|------------------------|------------------|----|
| | | | 133 MHz ⁽⁵⁾ | | |
| GNF12 ⁽¹⁾ | $t_{acc(d)}$ アクセス時間、入力データ GPMC_AD[15:0] ⁽³⁾ | div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1 | | J ⁽²⁾ | ns |

(1) GNF12 パラメータは、入力データを内部的にサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されません。読み取りサイクルの開始から GNF12 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。GNF12 の値は、AccessTime × (TimeParaGranularity + 1) × GPMC_FCLK⁽³⁾ に保存する必要があります。

(2) $J = AccessTime \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(3)}$

(3) GPMC_FCLK は、汎用メモリ コントローラの内部機能クロック周期で、ns 単位です。

(4) div_by_1_mode の場合:

- GPMC_CONFIG1_i レジスタ: GPMCFCLKDIVIDER = 0h:
 - GPMC_CLK 周波数 = GPMC_FCLK 周波数
- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 00 = CPSWHSIDIV_CLKOUT3 = 2000/15 = 133.33MHz
- GPMC_CONFIG1_i レジスタ: TIMEPARAGRANULARITY = 0h = x1 レイテンシ (RD/WRCYCLETIME、RD/WRACCESSTIME、PAGEBURSTACCESSTIME、CSONTIME、CSRWD/WROFFTIME、ADVONTIME、ADVARD/WROFFTIME、OEONTIME、OEOFFTIME、WEONTIME、WEOFFTIME、CYCLE2CYCLEDELAY、BUSTURNAROUND、TIMEOUTSTARTVALUE、WRDATAONADMUXBUS に影響)

(5) 133MHz の場合:

- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 00 = MAIN_PLL0_HSDIV3_CLKOUT

6.10.5.10.3.2 GPMC および NAND フラッシュのスイッチング特性 – 非同期モード

| 番号 | パラメータ | モード ⁽¹⁵⁾ | 最小値 | 最大値 | 単位 |
|------|--|--|-------------------------|------------------------|----|
| | | | 133 MHz ⁽¹⁶⁾ | | |
| GNF0 | $t_{w(wenV)}$ パルス幅、出力書き込みイネーブル GPMC_WEn 有効 | div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1 | A ⁽¹⁾ | | ns |
| GNF1 | $t_{d(csnV-wenV)}$ 遅延時間、出力チップ セレクト GPMC_CS _n [j] ⁽¹³⁾ 有効から出力書き込みイネーブル GPMC_WEn 有効まで | div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1 | B ⁽²⁾ - 2.55 | B ⁽²⁾⁺ 2.65 | ns |
| GNF2 | $t_{w(cleH-wenV)}$ 遅延時間、出力下位バイト イネーブルおよびコマンド ラッチ イネーブル GPMC_BE _{0n} _CLE high から出力書き込みイネーブル GPMC_WEn 有効まで | div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1 | C ⁽³⁾ - 2.55 | C ⁽³⁾⁺ 2.65 | ns |
| GNF3 | $t_{w(wenV-dV)}$ 遅延時間、出力データ GPMC_AD[15:0] 有効から出力書き込みイネーブル GPMC_WEn 有効まで | div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1 | D ⁽⁴⁾ - 2.55 | D ⁽⁴⁾⁺ 2.65 | ns |
| GNF4 | $t_{w(wenIV-dIV)}$ 遅延時間、出力書き込みイネーブル GPMC_WEn 無効から出力データ GPMC_AD[15:0] 無効まで | div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1 | E ⁽⁵⁾ - 2.55 | E ⁽⁵⁾⁺ 2.65 | ns |
| GNF5 | $t_{w(wenIV-cleIV)}$ 遅延時間、出力書き込みイネーブル GPMC_WEn 無効から下位バイト イネーブルおよびコマンド ラッチ イネーブル GPMC_BE _{0n} _CLE 無効まで | div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1 | F ⁽⁶⁾ - 2.55 | F ⁽⁶⁾⁺ 2.65 | ns |

| 番号 | パラメータ | | モード ⁽¹⁵⁾ | 最小値 | 最大値 | 単位 |
|-------|------------------------|---|--|--------------------------|--------------------------|----|
| | | | | 133 MHz ⁽¹⁶⁾ | | |
| GNF6 | $t_{w(wenIV-CSn[i]V)}$ | 遅延時間、出力書き込みイネーブル GPMC_WEn 無効から出力チップ セレクト GPMC_CS <i>n</i> [<i>i</i>] ⁽¹³⁾ 無効まで | div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1 | G ⁽⁷⁾ - 2.55 | G ⁽⁷⁾ + 2.65 | ns |
| GNF7 | $t_{w(aleH-wenV)}$ | 遅延時間、出力アドレス有効およびアドレス ラッチ イネーブル GPMC_ADV <i>n</i> _ALE high から出力書き込み イネーブル GPMC_WEn 有効まで | div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1 | C ⁽³⁾ - 2.55 | C ⁽³⁾ + 2.65 | ns |
| GNF8 | $t_{w(wenIV-aleIV)}$ | 遅延時間、出力書き込みイネーブル GPMC_WEn 無効から出力アドレス有効およびアドレス ラッチ イネーブル GPMC_ADV <i>n</i> _ALE 無効まで | div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1 | F ⁽⁶⁾ - 2.55 | F ⁽⁶⁾ + 2.65 | ns |
| GNF9 | $t_{c(wen)}$ | サイクル時間、書き込み | div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1 | | H ⁽⁸⁾ | ns |
| GNF10 | $t_{d(csnV-oenV)}$ | 遅延時間、出力チップ セレクト GPMC_CS <i>n</i> [<i>i</i>] ⁽¹³⁾ 有効から出力イネーブル GPMC_OEn_RE <i>n</i> 有効まで | div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1 | I ⁽⁹⁾ - 2.55 | I ⁽⁹⁾ + 2.65 | ns |
| GNF13 | $t_{w(oenV)}$ | パルス幅、出力イネーブル GPMC_OEn_RE <i>n</i> 有効 | div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1 | | K ⁽¹⁰⁾ | ns |
| GNF14 | $t_{c(oen)}$ | サイクル時間、読み取り | div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1 | | L ⁽¹¹⁾ | ns |
| GNF15 | $t_{w(oenIV-CSn[i]V)}$ | 遅延時間、出力イネーブル GPMC_OEn_RE <i>n</i> 無効から出力チップ セレクト GPMC_CS <i>n</i> [<i>i</i>] ⁽¹³⁾ 無効まで | div_by_1_mode、 | M ⁽¹²⁾ - 2.55 | M ⁽¹²⁾ + 2.65 | ns |

- (1) $A = (WEOffTime - WEOnTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
 (2) $B = ((WEOnTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (WEEExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
 (3) $C = ((WEOnTime - ADVOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (WEEExtraDelay - ADVExtraDelay)) \times GPMC_FCLK^{(14)}$
 (4) $D = (WEOnTime \times (TimeParaGranularity + 1) + 0.5 \times WEEExtraDelay) \times GPMC_FCLK^{(14)}$
 (5) $E = ((WrCycleTime - WEOffTime) \times (TimeParaGranularity + 1) - 0.5 \times WEEExtraDelay) \times GPMC_FCLK^{(14)}$
 (6) $F = ((ADVWrOffTime - WEOffTime) \times (TimeParaGranularity + 1) + 0.5 \times (ADVExtraDelay - WEEExtraDelay)) \times GPMC_FCLK^{(14)}$
 (7) $G = ((CSWrOffTime - WEOffTime) \times (TimeParaGranularity + 1) + 0.5 \times (CSEExtraDelay - WEEExtraDelay)) \times GPMC_FCLK^{(14)}$
 (8) $H = WrCycleTime \times (1 + TimeParaGranularity) \times GPMC_FCLK^{(14)}$
 (9) $I = ((OEOntime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (OEEExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
 (10) $K = (OEOffTime - OEOnTime) \times (1 + TimeParaGranularity) \times GPMC_FCLK^{(14)}$
 (11) $L = RdCycleTime \times (1 + TimeParaGranularity) \times GPMC_FCLK^{(14)}$
 (12) $M = ((CSRdOffTime - OEOffTime) \times (TimeParaGranularity + 1) + 0.5 \times (CSEExtraDelay - OEEExtraDelay)) \times GPMC_FCLK^{(14)}$
 (13) GPMC_CS*n*[*i*] で、*i* は 0、1、2、または 3 です。
 (14) GPMC_FCLK は、汎用メモリコントローラの内部機能クロック周期で、ns 単位です。
 (15) div_by_1_mode の場合:

- GPMC_CONFIG1_1 レジスタ: GPMCFCLKDIVIDER = 0h:
 - GPMC_CLK 周波数 = GPMC_FCLK 周波数

GPMC_FCLK_MUX の場合:

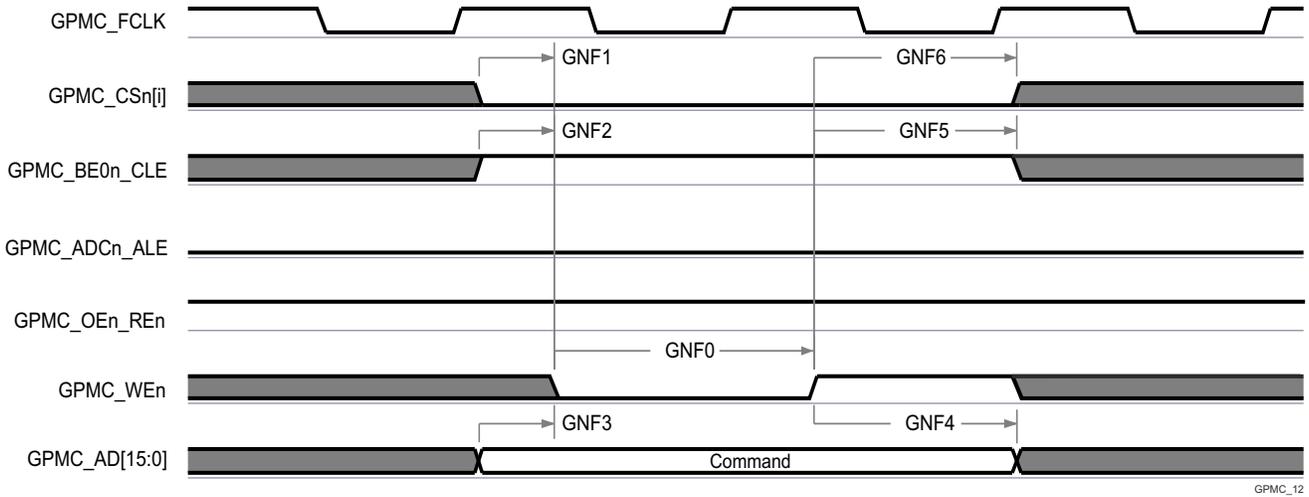
- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 00 = CPSWHSIDIV_CLKOUT3 = 2000/15 = 133.33MHz

TIMEPARAGRANULARITY_X1 の場合:

- GPMC_CONFIG1_1 レジスタ: TIMEPARAGRANULARITY = 0h = x1 レイテンシ (RD/WRCYCLETIME、RD/WRACCESSTIME、PAGEBURSTACCESSTIME、CSONTIME、CSRd/WROFFTIME、ADVONTIME、ADVrd/WROFFTIME、OEONTIME、OEOFFTIME、WEONTIME、WEOFFTIME、CYCLE2CYCLEDELAY、BUSTURNAROUND、TIMEOUTSTARTVALUE、WRDATAONADMUXBUS に影響)

- (16) 133MHz の場合:

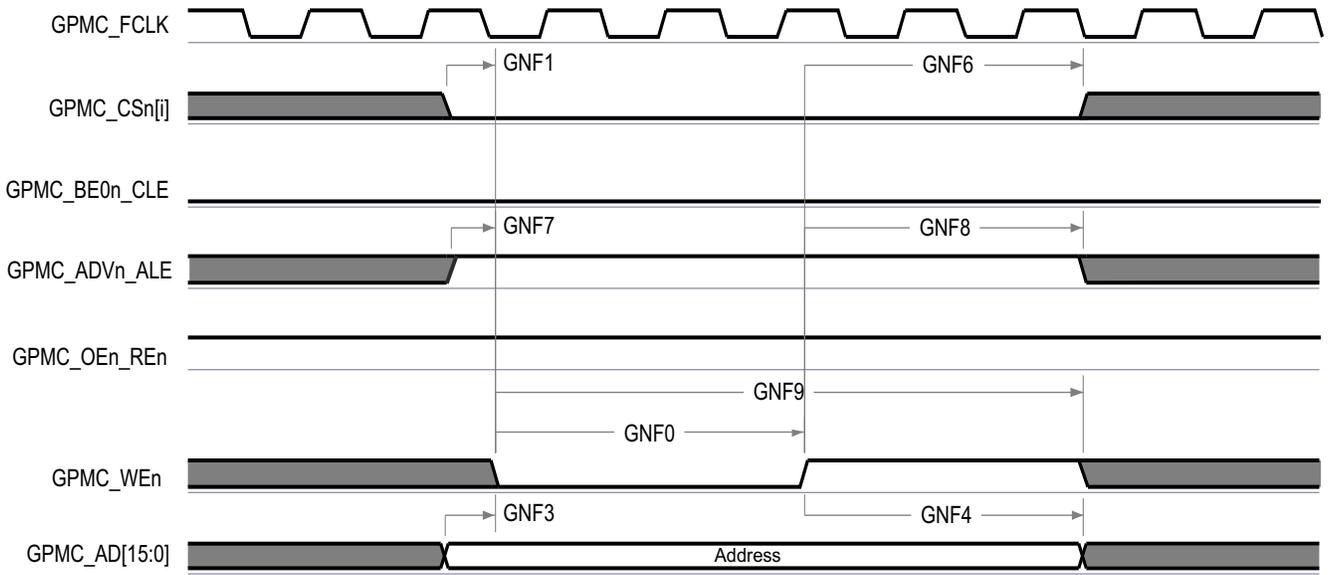
- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 00 = MAIN_PLL0_HSDIV3_CLKOUT



GPMC_12

A. GPMC_CS*n*[*i*] で、*i* は 0、1、2、または 3 です。

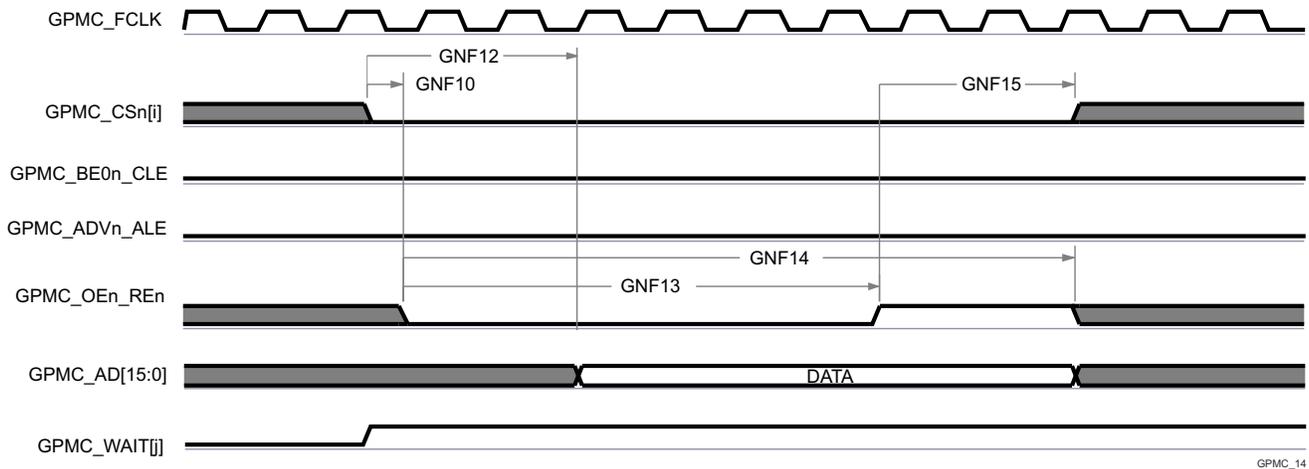
図 6-64. GPMC および NAND フラッシュ — コマンド ラッチ サイクル



GPMC_13

A. GPMC_CS*n*[*i*] で、*i* は 0、1、2、または 3 です。

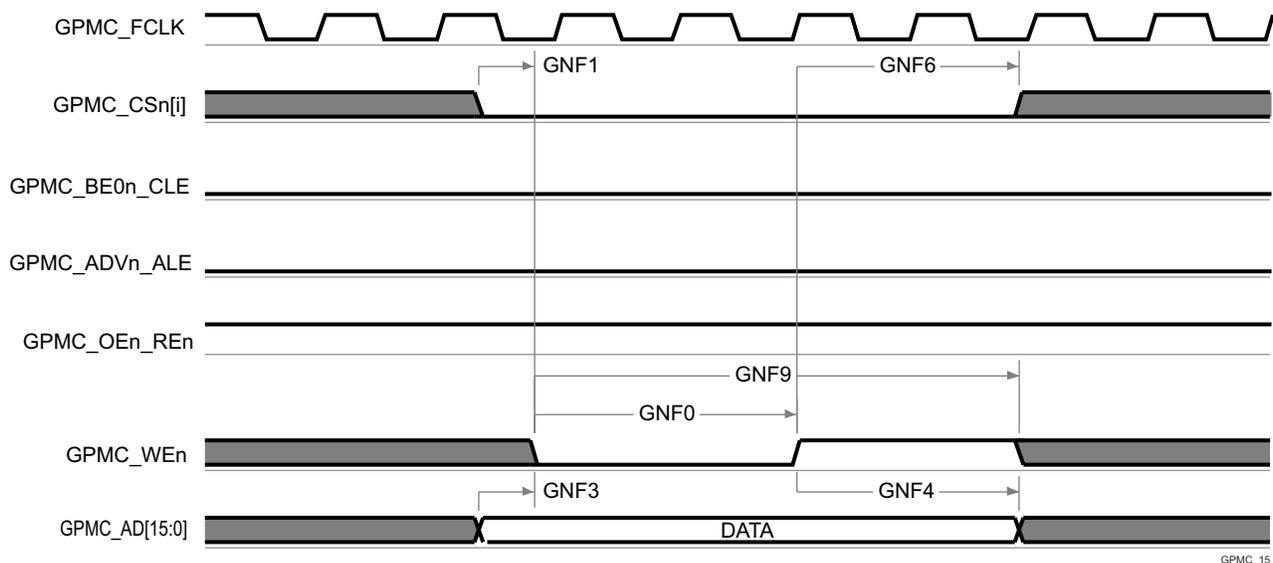
図 6-65. GPMC および NAND フラッシュ — アドレス ラッチ サイクル



GPMC_14

- A. GNF12 パラメータは、入力データを内部でサンプリングするために必要な時間を示しています。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から GNF12 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。GNF12 の値は、AccessTime レジスタビット フィールド内に格納する必要があります。
- B. GPMC_FCLK は、外部に供給されない内部クロック (GPMC 機能クロック) です。
- C. GPMC_CS*n*[*i*] で、*i* は 0、1、2、または 3 です。GPMC_WAIT[*j*] で、*j* は 0、1、2、または 3 です。

図 6-66. GPMC および NAND フラッシュ — データ読み取りサイクル



GPMC_15

- A. In GPMC_CS*n*[*i*] で、*i* は 0、1、2、または 3 です。

図 6-67. GPMC および NAND フラッシュ — データ書き込みサイクル

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「拡張パルス幅変調 (EPWM) モジュール」セクションを参照してください。

6.10.5.10.4 GPMC0 IOSET

表 6-42 に、GPMC0 で使用する信号の具体的なグループ (IOSET) を示します。

表 6-42. GPMC0 IOSET

| 信号 | IOSET1 | | IOSET2 | |
|----------------|-----------------|---------|-----------------|---------|
| | ボール名 | マルチプレクサ | ボール名 | マルチプレクサ |
| GPMC0_WAIT2 | MDIO0_MDC | 8 | MDIO0_MDC | 8 |
| GPMC0_BE1n | PRG1_PRU0_GPO0 | 8 | RGMII6_RD1 | 8 |
| GPMC0_WAIT0 | PRG1_PRU0_GPO1 | 8 | PRG1_PRU0_GPO1 | 8 |
| GPMC0_WAIT1 | PRG1_PRU0_GPO2 | 8 | PRG1_PRU0_GPO2 | 8 |
| GPMC0_DIR | PRG1_PRU0_GPO3 | 8 | PRG1_PRU0_GPO3 | 8 |
| GPMC0_CSn2 | PRG1_PRU0_GPO4 | 8 | PRG1_PRU0_GPO4 | 8 |
| GPMC0_WEn | PRG1_PRU0_GPO5 | 8 | PRG1_PRU0_GPO5 | 8 |
| GPMC0_CSn3 | PRG1_PRU0_GPO6 | 8 | PRG1_PRU0_GPO6 | 8 |
| GPMC0_OEn_REn | PRG1_PRU0_GPO8 | 8 | PRG1_PRU0_GPO8 | 8 |
| GPMC0_ADVn_ALE | PRG1_PRU0_GPO9 | 8 | PRG1_PRU0_GPO9 | 8 |
| GPMC0_BE0n_CLE | PRG1_PRU0_GPO10 | 8 | PRG1_PRU0_GPO10 | 8 |
| GPMC0_WPn | PRG1_PRU1_GPO5 | 8 | PRG1_PRU1_GPO5 | 8 |
| GPMC0_CSn1 | PRG1_PRU1_GPO8 | 8 | PRG1_PRU1_GPO8 | 8 |
| GPMC0_CSn0 | PRG1_PRU1_GPO9 | 8 | PRG1_PRU1_GPO9 | 8 |
| GPMC0_CLKOUT | PRG1_PRU1_GPO10 | 8 | PRG1_PRU1_GPO10 | 8 |
| GPMC0_AD0 | PRG0_PRU0_GPO5 | 8 | PRG0_PRU0_GPO5 | 8 |
| GPMC0_AD1 | PRG0_PRU0_GPO7 | 8 | PRG0_PRU0_GPO7 | 8 |
| GPMC0_AD2 | PRG0_PRU0_GPO8 | 8 | PRG0_PRU0_GPO8 | 8 |
| GPMC0_AD3 | PRG0_PRU0_GPO9 | 8 | PRG0_PRU0_GPO9 | 8 |
| GPMC0_AD4 | PRG0_PRU0_GPO10 | 8 | PRG0_PRU0_GPO10 | 8 |
| GPMC0_AD5 | PRG0_PRU0_GPO17 | 8 | PRG0_PRU0_GPO17 | 8 |
| GPMC0_AD6 | PRG0_PRU0_GPO18 | 8 | PRG0_PRU0_GPO18 | 8 |
| GPMC0_AD7 | PRG0_PRU0_GPO19 | 8 | PRG0_PRU0_GPO19 | 8 |
| GPMC0_AD8 | PRG0_PRU1_GPO5 | 8 | PRG0_PRU1_GPO5 | 8 |
| GPMC0_AD9 | PRG0_PRU1_GPO7 | 8 | PRG0_PRU1_GPO7 | 8 |
| GPMC0_AD10 | PRG0_PRU1_GPO8 | 8 | PRG0_PRU1_GPO8 | 8 |
| GPMC0_AD11 | PRG0_PRU1_GPO9 | 8 | PRG0_PRU1_GPO9 | 8 |
| GPMC0_AD12 | PRG0_PRU1_GPO10 | 8 | PRG0_PRU1_GPO10 | 8 |
| GPMC0_AD13 | PRG0_PRU1_GPO17 | 8 | PRG0_PRU1_GPO17 | 8 |
| GPMC0_AD14 | PRG0_PRU1_GPO18 | 8 | PRG0_PRU1_GPO18 | 8 |
| GPMC0_AD15 | PRG0_PRU1_GPO19 | 8 | PRG0_PRU1_GPO19 | 8 |
| GPMC0_A0 | PRG0_MDIO0_MDC | 8 | PRG0_MDIO0_MDC | 8 |
| GPMC0_A1 | RGMII5_TX_CTL | 8 | RGMII5_TX_CTL | 8 |
| GPMC0_A2 | RGMII5_RX_CTL | 8 | RGMII5_RX_CTL | 8 |
| GPMC0_A3 | RGMII5_TD3 | 8 | RGMII5_TD3 | 8 |
| GPMC0_A4 | RGMII5_TD2 | 8 | RGMII5_TD2 | 8 |
| GPMC0_A5 | RGMII5_TD1 | 8 | RGMII5_TD1 | 8 |
| GPMC0_A6 | RGMII5_TD0 | 8 | RGMII5_TD0 | 8 |
| GPMC0_A7 | RGMII5_TXC | 8 | RGMII5_TXC | 8 |
| GPMC0_A8 | RGMII5_RXC | 8 | RGMII5_RXC | 8 |
| GPMC0_A9 | RGMII5_RD3 | 8 | RGMII5_RD3 | 8 |
| GPMC0_A10 | RGMII5_RD2 | 8 | RGMII5_RD2 | 8 |
| GPMC0_A11 | RGMII5_RD1 | 8 | RGMII5_RD1 | 8 |
| GPMC0_A12 | RGMII5_RD0 | 8 | RGMII5_RD0 | 8 |

表 6-42. GPMC0 IOSET (続き)

| 信号 | IOSET1 | | IOSET2 | |
|-------------|-----------------|---------|-----------------|---------|
| | ボール名 | マルチプレクサ | ボール名 | マルチプレクサ |
| GPMC0_A13 | RGMII6_TX_CTL | 8 | RGMII6_TX_CTL | 8 |
| GPMC0_A14 | RGMII6_RX_CTL | 8 | RGMII6_RX_CTL | 8 |
| GPMC0_A15 | RGMII6_TD3 | 8 | RGMII6_TD3 | 8 |
| GPMC0_A16 | RGMII6_TD2 | 8 | RGMII6_TD2 | 8 |
| GPMC0_A17 | RGMII6_TD1 | 8 | RGMII6_TD1 | 8 |
| GPMC0_A18 | RGMII6_TD0 | 8 | RGMII6_TD0 | 8 |
| GPMC0_A19 | RGMII6_TXC | 8 | RGMII6_TXC | 8 |
| GPMC0_A20 | RGMII6_RXC | 8 | RGMII6_RXC | 8 |
| GPMC0_A21 | RGMII6_RD3 | 8 | RGMII6_RD3 | 8 |
| GPMC0_A22 | RGMII6_RD2 | 8 | RGMII6_RD2 | 8 |
| GPMC0_A23 | PRG0_PRU1_GPO2 | 8 | PRG0_PRU1_GPO2 | 8 |
| GPMC0_A24 | PRG0_PRU1_GPO4 | 8 | PRG0_PRU1_GPO4 | 8 |
| GPMC0_A25 | PRG0_PRU1_GPO6 | 8 | PRG0_PRU1_GPO6 | 8 |
| GPMC0_A26 | PRG0_PRU1_GPO11 | 8 | PRG0_PRU1_GPO11 | 8 |
| GPMC0_A27 | PRG0_MDIO0_MDIO | 8 | PRG0_MDIO0_MDIO | 8 |
| GPMC0_WAIT3 | MDIO0_MDIO | 8 | MDIO0_MDIO | 8 |

6.10.5.11 HyperBus

デバイスの HyperBus の機能および追加の説明情報については、「信号の説明」、「詳細説明」の対応するセクションを参照してください。

セクション 6.10.5.11、セクション 6.10.5.11.2 および セクション 6.10.5.11.3 は、推奨動作条件と電気的特性条件に基づくテストを想定しています (図 6-68、図 6-69 および 図 6-70 を参照)。

表 6-43 に、HyperBus のタイミング条件を示します。

表 6-43. HyperBus のタイミング条件

| パラメータ | 説明 | 最小値 | 最大値 | 単位 |
|-----------------|----------|-----|-----|------|
| 入力条件 | | | | |
| SR _i | 入力スルーレート | 2 | 5 | V/ns |
| 出力条件 | | | | |
| C _L | 出力負荷容量 | 1.5 | 8 | pF |

6.10.5.11.1 HyperBus のタイミング要件

| 番号 | パラメータ | 説明 | 最小値 | 最大値 | 単位 |
|----|------------------------------|----------------------------------|--------|-----|----|
| D1 | t _w (RESETn) | パルス幅、RESETn | 200 | | ns |
| D2 | t _w (csL) | パルス幅、チップ セレクト | 1000 | | ns |
| D3 | t _d (RESETnH-csL) | 遅延時間、RESETn 非アクティブから CSn アクティブまで | 200.34 | | ns |
| D4 | t _d (csL-RWDSL) | 遅延時間、CSn アクティブから RWDS 立ち下がりまで | 115 | | ns |

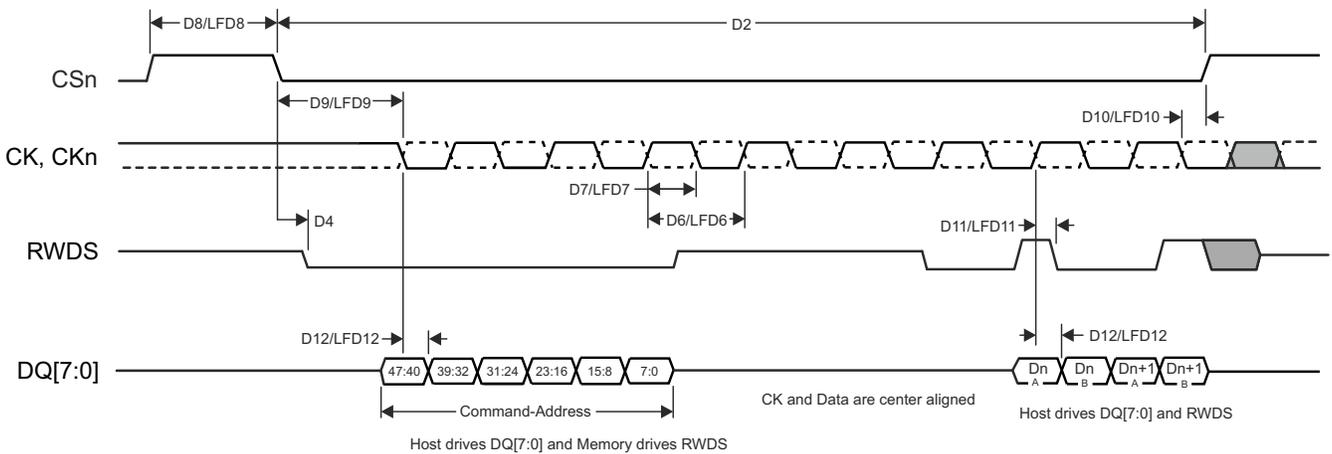
6.10.5.11.2 HyperBus 166 MHz のスイッチング特性

| 番号 | パラメータ | 説明 | 最小値 | 最大値 | 単位 |
|----|-----------------------------|-----------------------------|-------|------|----|
| D5 | t _{skn} (rwdsX-dV) | 入力スキュー、RWDS 遷移から D0:D7 有効まで | -0.46 | 0.46 | ns |
| D6 | t _c (clk/clkn) | CLK 周期、CLK/CLKn | 6 | | ns |
| D7 | t _w (clk/clkn) | パルス幅、CLK/CLKn | 2.7 | | ns |

| 番号 | パラメータ | 説明 | 最小値 | 最大値 | 単位 |
|-----|-----------------------|--|------|-------|----|
| D8 | $t_{w(csIV)}$ | パルス幅、動作間の CS0 無効 | 6 | | ns |
| D9 | $t_{d(clkH-csL)}$ | 遅延時間、CS0 アクティブから CLK 立ち上がり /CLKn 立ち下がりまで | | -3.34 | ns |
| D10 | $t_{d(clkL[LE]-csH)}$ | 遅延時間、最後の CLK 立ち下がり /CLKn 立ち上がりエッジから CS0 非アクティブまで | 0.41 | | ns |
| D11 | $t_{d(clkX-rwdsV)}$ | 遅延時間、CLK 遷移から RWDS 有効まで | 1.01 | 2.08 | ns |
| D12 | $t_{d(clkX-d[0:7]V)}$ | 遅延時間、CLK 遷移から D0:D7 有効まで | 0.84 | 2.17 | ns |

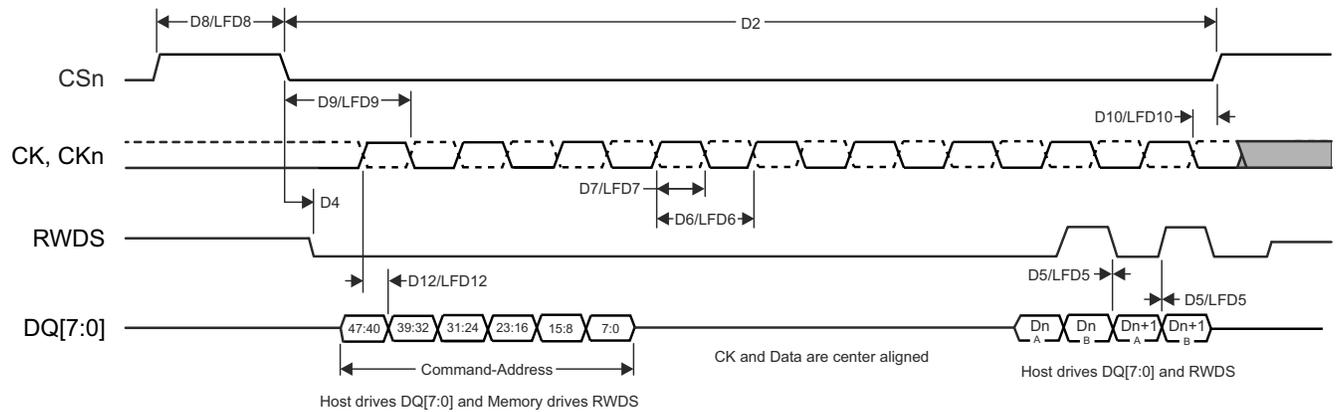
6.10.5.11.3 HyperBus 100 MHz のスイッチング特性

| 番号 | パラメータ | 説明 | 最小値 | 最大値 | 単位 |
|-------|-----------------------|--------------------------------------|-------|-------|----|
| LFD5 | $t_{skn(rwdsX-dV)}$ | 入力スキュー、RWDS 遷移から D0:D7 有効まで | -0.81 | 0.81 | ns |
| LFD6 | $t_{c(clk)}$ | CLK 周期、CLK | 10 | | ns |
| LFD7 | $t_{w(clk)}$ | パルス幅、CLK | 4.75 | | ns |
| LFD8 | $t_{w(csIV)}$ | パルス幅、動作間の CS0 無効 | 10 | | ns |
| LFD9 | $t_{d(clkH-csL)}$ | 遅延時間、CS0 アクティブから CLK 立ち上がりまで | | -3.51 | ns |
| LFD10 | $t_{d(clkL[LE]-csH)}$ | 遅延時間、最後の CLK 立ち下がりエッジから CS0 非アクティブまで | 0.51 | | ns |
| LFD11 | $t_{d(clkX-rwdsV)}$ | 遅延時間、CLK 遷移から RWDS 有効まで | 1.51 | 3.49 | ns |
| LFD12 | $t_{d(clkX-d[0:7]V)}$ | 遅延時間、CLK 遷移から D0:D7 有効まで | 1.34 | 3.66 | ns |



HYPERBUS_TIMING_01

図 6-68. HyperBus タイミング図 – 送信モード



HYPERBUS_TIMING_02

図 6-69. HyperBus タイミング図 – 受信モード

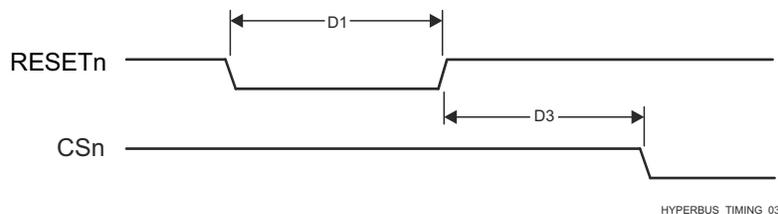


図 6-70. HyperBus タイミング図 – リセット

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「HyperBus インターフェイス」セクションを参照してください。

6.10.5.12 I2C

このデバイスには、複数の マルチコントローラ I2C (Inter-Integrated Circuit) コントローラが搭載されています。各 I2C コントローラは、Philips I2C-bus™ 仕様バージョン 2.1 に準拠するように設計されています。ただし、デバイスの IO バッファは、I2C の電氣的仕様に完全には準拠していません。一部の I2C インスタンスは LVCMOS バッファタイプを使用していますが、他のインスタンスは I2S OD FS バッファタイプを使用しています。このデバイスの各 I2C インスタンスに使用される IO バッファタイプを判定するためには、「ピン属性」表を参照してください。サポートされる I2C の速度および例外については、以下の IO バッファタイプごとに説明します。

- LVCMOS バッファタイプを使用する I2C インスタンス

- 速度:

- スタンダード モード (最大 100kbit/s)

- 1.8V
- 3.3V

- ファースト モード (最大 400kbit/s)

- 1.8V
- 3.3V

- 例外:

- これらのポートに関連付けられている IO は、I2C 仕様で定義されている立ち下がり時間要件に準拠していません。これらの I/O には、I2C 互換の IO では実装できなかった他の信号機能をサポートするように設計された、より高性能の LVCMOS プッシュプル IO が実装されているからです。これらのポートで使用されている LVCMOS IO は、オープンドレイン出力をエミュレートするように接続されます。このエミュレーションは、強制的に常に Low を出力し、出力バッファを無効にして、Hi-Z 状態にすることにより実行されます。

- I2C 仕様では、最大入力電圧 V_{IH} が $(V_{DD_{max}} + 0.5V)$ と定義されています。これは、デバイスの IO の絶対最大定格を超えています。I2C 信号が、このデータシートの「絶対最大定格」セクションに定義された制限を超えないようにシステムを設計する必要があります。
- I2C OD FS バッファタイプを使用する I2C インスタンス
 - 速度:
 - スタンダード モード (最大 100kbit/s)
 - 1.8V
 - 3.3V
 - ファースト モード (最大 400kbit/s)
 - 1.8V
 - 3.3V
 - Hs モード (最大 3.4Mbit/s)
 - 1.8V
 - 例外:
 - これらのポートに関連付けられている IO は、3.3V で動作しているときに Hs モードをサポートするには設計されていません。したがって、Hs モードは 1.8V 動作に限定されます。
 - これらのポートに接続された I2C 信号の立ち上がりおよび立ち下がり時間は、スルーレート 0.08V/ns (すなわち 8E+7 V/s) を超えないようにする必要があります。この制限は、I2C 仕様で定義されている最小立ち下がり時間の制限よりも厳しいものです。したがって、立ち上がりおよび立ち下がり時間が 0.08V/ns のスルーレートを上回らないように、I2C 信号に容量を追加する必要がある場合があります。
 - I2C 仕様では、最大入力電圧 V_{IH} が $(V_{DD_{max}} + 0.5V)$ と定義されています。これは、デバイスの IO の絶対最大定格を超えています。I2C 信号が、このデータシートの「絶対最大定格」セクションに定義された制限を超えないようにシステムを設計する必要があります。

注

I2C3、I2C4、I2C6 は、複数のピンに多重化できる 1 つ以上の信号を持っています。このセクションで定義されているタイミング要件とスイッチング特性は、IOSET と呼ばれる特定のピンの組み合わせにのみ有効です。このインターフェイスに有効なピンの組み合わせ (IOSET) は、[SysConfig-PinMux ツール](#)で定義されます。

タイミングの詳細については、Philips I2C-bus 仕様バージョン 2.1 を参照してください。

デバイスの I2C (Inter-Integrated Circuit) の機能および追加の説明情報については、[セクション 5.3](#) および「詳細説明」の対応するサブセクションを参照してください。

6.10.5.13 I3C

デバイスの I2C (Inter-Integrated Circuit) の機能および追加の説明情報については、「[信号の説明](#)」および「詳細説明」の対応するセクションを参照してください。

[表 6-44](#)、[表 6-45](#)、[図 6-71](#)、[表 6-46](#)、[図 6-72](#) は、推奨動作条件および電気的特性条件に基づくテストを想定していません。

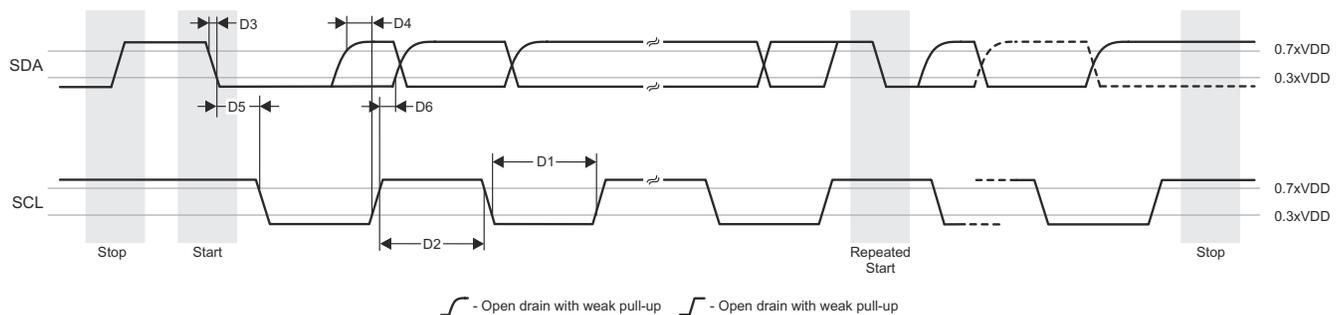
表 6-44. I3C オープン ドレインのタイミング条件

| パラメータ | 最小値 | 最大値 | 単位 |
|-----------------|--------|-----|------|
| 入力条件 | | | |
| SR_I 入力スルーレート | 0.2276 | 5 | V/ns |
| 出力条件 | | | |
| C_L 出力負荷容量 | | 50 | pF |

表 6-45. I3C オープン ドレインのタイミング パラメータ

| 番号 | パラメータ | 説明 | モード | 最小値 | 最大値 | 単位 |
|-----|-------------------------|---------------------------------------|-------------------|---|----------|----|
| D1 | $t_{\text{LOW_OD}}$ | SCL クロックの LOW 期間 | コントローラ | 200 | | ns |
| | $t_{\text{DIG_OD_L}}$ | | | $t_{\text{LOW_OD MIN}} + t_{\text{FDA_OD MIN}}$ | | ns |
| D2 | t_{HIGH} | SCL クロックの HIGH 期間 | コントローラ | | 41 | ns |
| | $t_{\text{DIG_H}}$ | | | $t_{\text{HIGH}} + t_{\text{CF}}$ | | ns |
| D3 | $t_{\text{rDA_OD}}$ | SDA 信号の立ち下がり時間 | コントローラ、ターゲット | t_{CF} | 12 | ns |
| D4 | $t_{\text{SU_OD}}$ | オープンドレイン モード時の SDA データ セットアップ時間 | コントローラ、ターゲット | 3 | | ns |
| D5 | t_{CAS} | スタート (S) 条件からクロックまで | コントローラ、 ENTAS0 | 38.4 | 1000 | ns |
| | | | コントローラ、 ENTAS1 | 38.4 | 100000 | ns |
| | | | コントローラ、 ENTAS2 | 38.4 | 2000000 | ns |
| | | | コントローラ、 ENTAS3 | 38.4 | 50000000 | ns |
| D6 | t_{CBP} | クロックからストップ (P) 条件まで | コントローラ | $t_{\text{CAS MIN}} / 2$ | | ns |
| D7 | $t_{\text{MMSOVERLAP}}$ | ハンドオフ時の現在のコントローラから次のコントローラへのオーバーラップ時間 | コントローラ | $t_{\text{DIG_OD_L min}}$ | | ns |
| D8 | t_{AVAL} | バスが利用可能な状態 | コントローラ | 1000 | | ns |
| D9 | t_{IDLE} | バスがアイドルの状態 | コントローラ | 1000000 | | ns |
| D10 | t_{MMLOCK} | 新しいコントローラが SDA を LOW に駆動しない時間間隔 | コントローラ | $t_{\text{AVAL min}}$ | | ns |

- これは、 $t_{\text{LOW min}} + t_{\text{DS_OD min}} + t_{\text{rDA_OD typ}} + t_{\text{SU_OD min}}$ にほぼ等しくなります。
- SDA がすでに V_{IH} を上回っているとき、これが安全であることをコントローラが認識している場合には、コントローラは Low 期間をより短くすることがあります。
- t_{SPIKE} 、立ち上がり / 立ち下がり時間、相互接続に基づきます。
- レガシー I2C デバイスで信号を安全に認識できる場合や、相互接続を考慮する場合 (たとえば、短いバス)、この最大 High 期間を超えることがあります。
- I2C デバイスがスタートを認識する必要があるレガシー バスでは、 t_{CAS} の最小値がさらに制約されます。
- オプションの ENTASx CCC をサポートしていないターゲットは、ENTAS3 に示されている t_{CAS} 最大値を使用するものとします。
- Fm レガシー I2C デバイスの混在バス上では、 t_{AVAL} は、Fm バスフリー条件時間 (t_{BUF}) より 300ns 短くなります。



I3C_TIMING_01

図 6-71. I3C オープン ドレインのタイミング

表 6-46. SDR および HDR-DDR モードの I3C プッシュプル タイミング パラメータ

| 番号 | パラメータ | 説明 | モード | 最小値 | 最大値 | 単位 |
|-----|--------------------------|---|------------------|---|--------|----|
| D1 | f _{SCL} | SCL クロック周期 | コントローラ | 80 | 100000 | ns |
| D2 | t _{LOW} | SCL クロックの Low 期間 | コントローラ | 24 | | ns |
| | t _{DIG_L} | | | 32 | | |
| D3 | t _{HIGH_MIXED} | 混在バスの SCL クロック High 期間 (混在バストポロジはサポートされていません) | コントローラ | 24 | 45 | ns |
| | t _{DIG_H_MIXED} | | | 32 | | |
| D4 | t _{HIGH} | SCL クロックの High 期間 | コントローラ | 24 | | ns |
| | t _{DIG_H} | | | 32 | | |
| D5 | t _{SCO} | クロック インからターゲットのデータアウトまで | ターゲット | 12 | | ns |
| D6 | t _{CR} | SCL クロック 立ち上がり時間 | コントローラ | 150 × 1 / f _{SCL} | 60 | ns |
| D7 | t _{CF} | SCL クロック 立ち下がり時間 | コントローラ | 150 × 1 / f _{SCL} | 60 | ns |
| D8 | t _{HD_PP} | プッシュプル モードでの SDA 信号データ ホールド | コントローラ | t _{CR} + 3 および t _{CF} + 3 | | ns |
| | | | ターゲット | 0 | | ns |
| D9 | t _{SU_PP} | プッシュプル モードでの SDA 信号データ セットアップ | コントローラ、 ターゲット | 3 | | ns |
| D10 | t _{CASr} | 繰り返しスタート (Sr) からクロックまで | コントローラ | t _{CAS MIN} | | ns |
| D11 | t _{CBSr} | クロックから繰り返しスタート (Sr) まで | コントローラ | t _{CAS MIN} / 2 | | ns |

1. $F_{SCL} = 1 / (t_{DIG_L} + t_{DIG_H})$
2. t_{DIG_L} および t_{DIG_H} は、V_{IL} および V_{IH} を使用した I3C バスのレシーバ側で観測されるクロック Low および High 期間です。
3. 混在バスで I3C デバイスと通信する場合、I2C デバイスが I3C 信号を有効な I2C 信号と解釈しないように、t_{DIG_H_MIX} 期間を制限する必要があります。
4. 両方のエッジを使用するので、ホールド時間はそれぞれのエッジで満足する必要があります。立ち下がりエッジクロックでは t_{CF} + 3、立ち上がりエッジクロックでは t_{CR} + 3 です。
5. クロック周波数、最小 0.01MHz、最大 12.5MHz

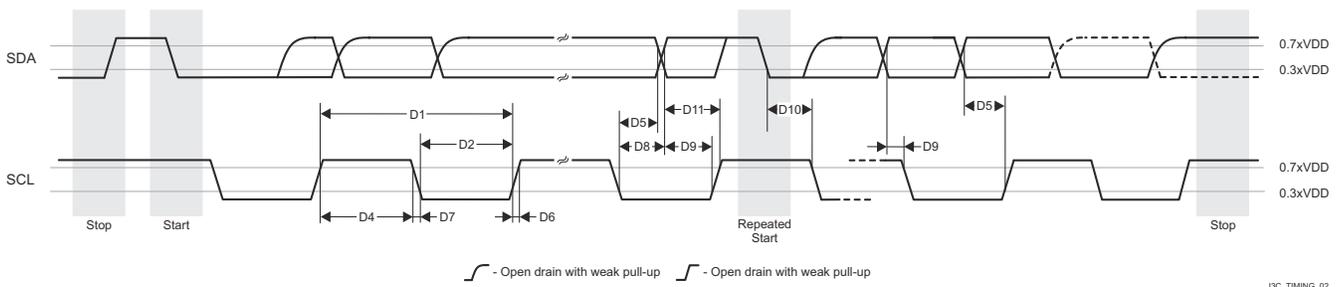


図 6-72. I3C プッシュプル タイミング (SDR および HDR-DDR モード)

6.10.5.14 MCAN

デバイスのコントローラ エリア ネットワーク インターフェイスの機能および追加の説明情報については、「信号の説明」、「詳細説明」の対応するセクションを参照してください。

注

このデバイスは、複数の MCAN モジュールを備えています。MCANn は、MCAN 信号名に適用される全般的な接頭辞です。ここで、n は特定の MCAN モジュールを表します。

表 6-47. MCAN のタイミング条件

| パラメータ | | 最小値 | 最大値 | 単位 |
|-----------------|----------|-----|-----|------|
| 入力条件 | | | | |
| SR _i | 入力スルーレート | 2 | 15 | V/ns |
| 出力条件 | | | | |
| C _L | 出力負荷容量 | 5 | 20 | pF |

表 6-48. MCAN のスイッチング特性

| 番号 | パラメータ | | 最小値 | 最大値 | 単位 |
|-------|--------------------------|---|-----|-----|----|
| MCAN1 | t _d (MCAN_TX) | 遅延時間、シフトレジスタ送信から MCANn_TX ピンまで ⁽¹⁾ | | 10 | ns |
| MCAN2 | t _d (MCAN_RX) | 遅延時間、MCANn_RX ピンからシフトレジスタ受信まで ⁽¹⁾ | | 10 | ns |

(1) MCANn_* の n は [0:13]、MCU_MCANn_* の n は [0:1]

詳細については、デバイスのテクニカルリファレンスマニュアルで「ペリフェラル」の章にある「コントローラ エリア ネットワーク (MCAN)」セクションを参照してください。

6.10.5.15 MCASP

デバイスのマルチチャネル オーディオ シリアル ポートの機能および追加の説明情報については、「信号の説明」、「詳細説明」の対応するセクションを参照してください。

表 6-50 および 図 6-73 に、MCASP0~MCASP11 のタイミング要件を示します。

表 6-49 に、MCASP のタイミング条件を示します。

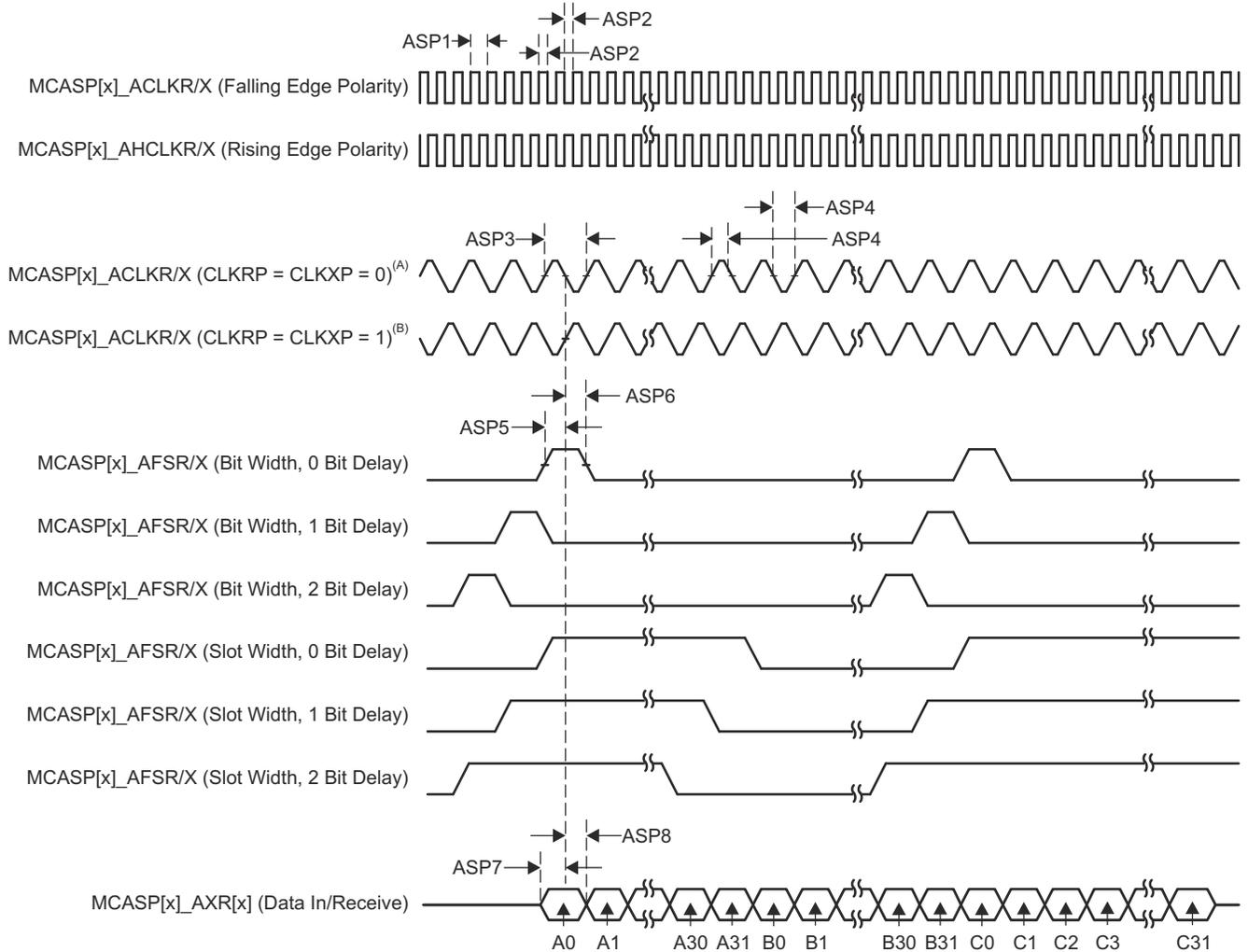
表 6-49. MCASP のタイミング条件

| パラメータ | | 最小値 | 最大値 | 単位 |
|---------------------------------------|----------------------|-----|------|------|
| 入力条件 | | | | |
| SR _i | 入力スルーレート | 0.7 | 5 | V/ns |
| 出力条件 | | | | |
| C _L | 出力負荷容量 | 1 | 10 | pF |
| PCB 接続要件 | | | | |
| t _d (Trace Delay) | 各パターンの伝搬遅延 | 100 | 1100 | ps |
| t _d (Trace Mismatch Delay) | すべてのパターンにわたる伝搬遅延の不整合 | | 100 | ps |

表 6-50. MCASP のタイミング要件

| 番号 | | | モード ⁽¹⁾ | 最小値 | 最大値 | 単位 |
|------|--------------------------------|--|--------------------|-------------------------------|-----|----|
| ASP1 | t _c (AHCLKRX) | サイクル時間、MCASP[x]_AHCLKR/X | | 15.26 | | ns |
| ASP2 | t _w (AHCLKRX) | パルス幅、MCASP[x]_AHCLKR/X high または low | | 0.5P ⁽²⁾ - 1.53 | | ns |
| ASP3 | t _c (ACLKRX) | サイクル時間、MCASP[x]_ACLKRX | | 15.26 | | ns |
| ASP4 | t _w (ACLKRX) | パルス幅、MCASP[x]_ACLKRX high または low | | 0.5R ⁽³⁾ - 1.53 | | ns |
| ASP5 | t _{su} (AFSRX-ACLKRX) | セットアップ時間、MCASP[x]_AFSRX 入力有効から MCASP[x]_ACLKRX まで | ACLKRX 内部 | 12.3 | | ns |
| | | | ACLKRX 外部入力 / 出力 | 4 | | |
| ASP6 | t _h (ACLKRX-AFSRX) | ホールド時間、MCASP[x]_ACLKRX から MCASP[x]_AFSRX 入力有効の間 | ACLKRX 内部 | -1 | | ns |
| | | | ACLKRX 外部入力 / 出力 | 1.6 | | |
| ASP7 | t _{su} (AXR-ACLKRX) | セットアップ時間、MCASP[x]_AXR 入力有効から MCASP[x]_ACLKRX まで | ACLKRX 内部 | 12.3 | | ns |
| | | | ACLKRX 外部入力 / 出力 | 4 | | |
| ASP8 | t _h (ACLKRX-AXR) | ホールド時間、MCASP[x]_ACLKRX から MCASP[x]_AXR 入力有効の間 | ACLKRX 内部 | -1 | | ns |
| | | | ACLKRX 外部入力 / 出力 | 1.6 | | |

- (1) ACLKRX 内部: ACLKRXCTL.CLKRM = 1, PDIR.ACLKRX = 1
 ACLKRX 外部入力: ACLKRXCTL.CLKRM = 0, PDIR.ACLKRX = 0
 ACLKRX 外部出力: ACLKRXCTL.CLKRM = 0, PDIR.ACLKRX = 1
 ACLKRX 内部: ACLKRXCTL.CLKXM = 1, PDIR.ACLKRX = 1
 ACLKRX 外部入力: ACLKRXCTL.CLKXM = 0, PDIR.ACLKRX = 0
 ACLKRX 外部出力: ACLKRXCTL.CLKXM = 0, PDIR.ACLKRX = 1
- (2) P = AHCLKRX 周期 (ns 単位)。
 (3) R = ACLKRX 周期 (ns 単位)。



- A. CLKRP = CLKXP = 0 の場合、MCASP トランスミッタは立ち上がりエッジ (シフト データ アウト) に構成され、MCASP レシーバは立ち下がりエッジ (シフト データ イン) に構成されます。
- B. CLKRP = CLKXP = 1 の場合、MCASP トランスミッタは立ち下がりエッジ (シフト データ アウト) に構成され、MCASP レシーバは立ち上がりエッジ (シフト データ イン) に構成されます。

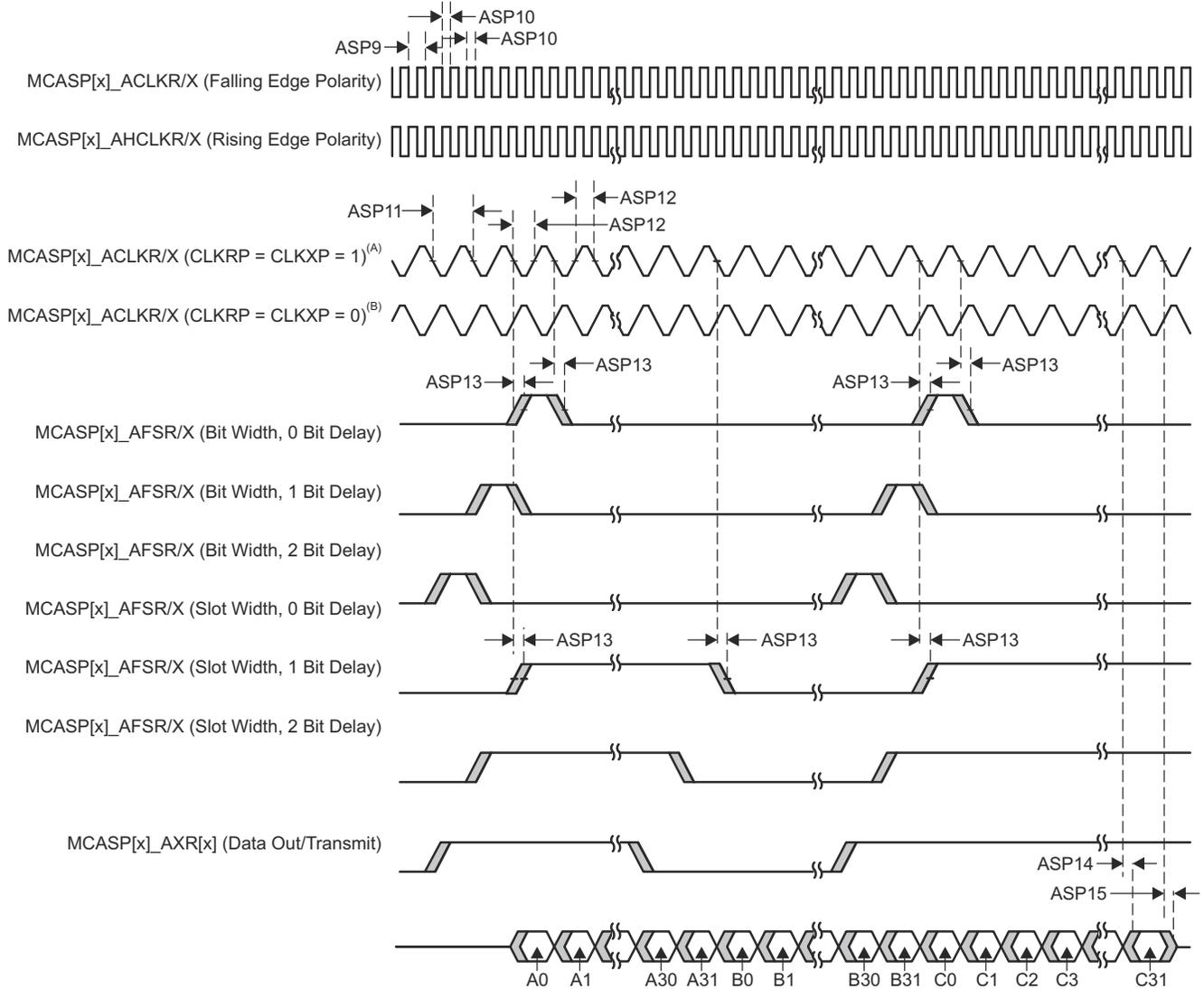
図 6-73. MCASP 入力のタイミング

表 6-51 および 図 6-74 に、MCASP0～MCASP11 の推奨動作条件全体にわたるスイッチング特性を示します。

表 6-51. MCASP スイッチング特性

| 番号 | パラメータ | 説明 | モード ⁽¹⁾ | 最小値 | 最大値 | 単位 |
|-------|-----------------------------|---|--------------------|------------------|-------|----|
| ASP9 | $t_c(\text{AHCLKRX})$ | サイクル時間、MCASP[x]_AHCLKR/X | | 20 | | ns |
| ASP10 | $t_w(\text{AHCLKRX})$ | パルス幅、MCASP[x]_AHCLKR/X high または low | | $0.5P^{(2)} - 2$ | | ns |
| ASP11 | $t_c(\text{ACLKRX})$ | サイクル時間、MCASP[x]_ACLKR/X | | 20 | | ns |
| ASP12 | $t_w(\text{ACLKRX})$ | パルス幅、MCASP[x]_ACLKR/X high または low | | $0.5R^{(3)} - 2$ | | ns |
| ASP13 | $t_d(\text{ACLKRX-AFSRX})$ | 遅延時間、MCASP[x]_ACLKR/X 送信エッジから MCASP[x]_AFSRX 出力有効まで | ACLKR/X 内部 | 0 | 7.25 | ns |
| | | | ACLKR/X 外部入力 / 出力 | -15.28 | 12.84 | |
| ASP14 | $t_d(\text{ACLKX-AXR})$ | 遅延時間、MCASP[x]_ACLKX 送信エッジから MCASP[x]_AXR 出力有効まで | ACLKR/X 内部 | 0 | 7.25 | ns |
| | | | ACLKR/X 外部入力 / 出力 | -15.28 | 12.84 | |
| ASP15 | $t_{dis}(\text{ACLKX-AXR})$ | ディセーブル時間、MCASP[x]_ACLKX 送信エッジから MCASP[x]_AXR 出力ハイインピーダンスまで | ACLKR/X 内部 | 0 | 7.25 | ns |
| | | | ACLKR/X 外部入力 / 出力 | -14.9 | 14 | |

- (1) ACLKR 内部: ACLKRCTL.CLKRM = 1, PDIR.ACLKR = 1
 ACLKR 外部入力: ACLKRCTL.CLKRM = 0, PDIR.ACLKR = 0
 ACLKR 外部出力: ACLKRCTL.CLKRM = 0, PDIR.ACLKR = 1
 ACLKX 内部: ACLKXCTL.CLKXM = 1, PDIR.ACLKX = 1
 ACLKX 外部入力: ACLKXCTL.CLKXM = 0, PDIR.ACLKX = 0
 ACLKX 外部出力: ACLKXCTL.CLKXM = 0, PDIR.ACLKX = 1
- (2) P = AHCLKR/X 周期 (ns 単位)。
- (3) R = ACLKR/X 周期 (ns 単位)。



- A. CLKRP = CLKXP = 1 の場合、MCASP トランスミッタは立ち下がりエッジ (シフト データ アウト) に構成され、MCASP レシーバは立ち上がりエッジ (シフト データ イン) に構成されます。
- B. CLKRP = CLKXP = 0 の場合、MCASP トランスミッタは立ち上がりエッジ (シフト データ アウト) に構成され、MCASP レシーバは立ち下がりエッジ (シフト データ イン) に構成されます。

図 6-74. MCASP 出力のタイミング

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「マルチチャネル オーディオ シリアル ポート (MCASP)」セクションを参照してください。

6.10.5.16 MCSPI

デバイスのシリアルポートインターフェイスの機能および追加の説明情報については、「信号の説明」、「詳細説明」の対応するセクションを参照してください。

詳細については、デバイスのテクニカルリファレンスマニュアルで「ペリフェラル」の章にある「マルチチャネルシリアルペリフェラルインターフェイス (MCSPI)」セクションを参照してください。

表 6-52 に、MCSPI のタイミング条件を示します。

注

このセクションに示す IO タイミングは、MCU_SPI0 と MCU_SPI1 に対して信号のすべての組み合わせに適用できます。ただし、1 つの IOSET 内の信号を使用する場合、このタイミングは MCU_SPI0 と MCU_SPI1 にのみ有効です。IOSET は、表 6-57 および 表 6-58 の表に定義されています。

表 6-52. MCSPI のタイミング条件

| パラメータ | | 最小値 | 最大値 | 単位 | |
|-----------------|-----------|-----------|-----|------|----|
| 入力条件 | | | | | |
| SR _I | 入力スループレート | 2 | 8.5 | V/ns | |
| 出力条件 | | | | | |
| C _L | 出力負荷容量 | CLK | 6 | 24 | pF |
| | | D[x], CSi | 6 | 12 | pF |

6.10.5.16.1 MCSPI – コントローラ モード

表 6-53、図 6-75、表 6-54、図 6-76 に、MCSPI – コントローラ モードのタイミング要件とスイッチング特性を示します。

表 6-53. MCSPI のタイミング要件 - コントローラ モード

図 6-75 参照

| 番号 | | 説明 | 最小値 | 最大値 | 単位 |
|-----|-------------------------------|--|-----|-----|----|
| SM4 | t _{su(misoV-spickV)} | セットアップ時間、SPI_D[x] 有効から SPI_CLK アクティブ エッジまで | 2.9 | | ns |
| SM5 | t _{h(spickV-misoV)} | ホールド時間、SPI_CLK アクティブ エッジから SPI_D[x] 有効の間 | 2 | | ns |

表 6-54. MCSPI のスイッチング特性 - コントローラ モード

図 6-76 参照

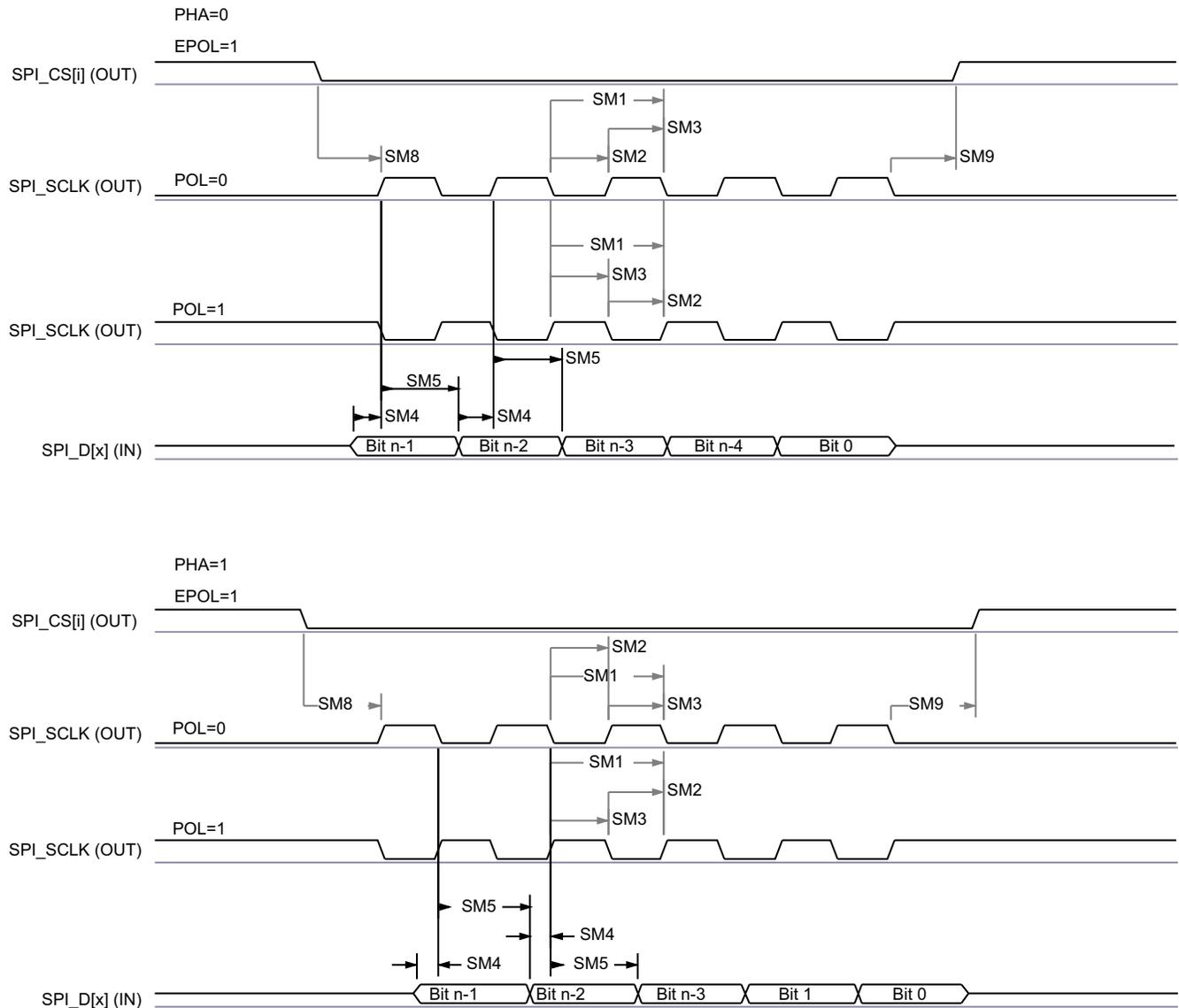
| 番号 | パラメータ | 説明 | モード | 最小値 | 最大値 | 単位 |
|-----|------------------------------|---|------------------------|-------------------------|-----|----|
| SM1 | t _{c(spick)} | サイクル時間、SPI_CLK | | 20 | | ns |
| SM2 | t _{w(spickL)} | パルス幅、SPI_CLK low | | 0.5P - 1 ⁽¹⁾ | | ns |
| SM3 | t _{w(spickH)} | パルス幅、SPI_CLK high | | 0.5P - 1 ⁽¹⁾ | | ns |
| SM6 | t _{d(spickV-simoV)} | 遅延時間、SPI_CLK アクティブ エッジから SPI_D[x] 遷移まで | | -2 | 2 | ns |
| SM7 | t _{d(csV-simoV)} | 遅延時間、SPI_CSi アクティブ エッジから SPI_D[x] 遷移まで | | 5 | | ns |
| SM8 | t _{d(csV-spick)} | 遅延時間、SPI_CSi アクティブから SPI_CLK の最初のエッジまで | PHA = 0 ⁽²⁾ | B - 4 ⁽³⁾ | | ns |
| | | | PHA = 1 ⁽²⁾ | A - 4 ⁽⁴⁾ | | ns |
| SM9 | t _{d(spickV-csV)} | 遅延時間、SPI_CLK の最後のエッジから SPI_CSi 非アクティブまで | PHA = 0 ⁽²⁾ | A - 4 ⁽⁴⁾ | | ns |
| | | | PHA = 1 ⁽²⁾ | B - 4 ⁽³⁾ | | ns |

(1) P = SPI_CLK 周期 (ns 単位)

AM69A, AM69

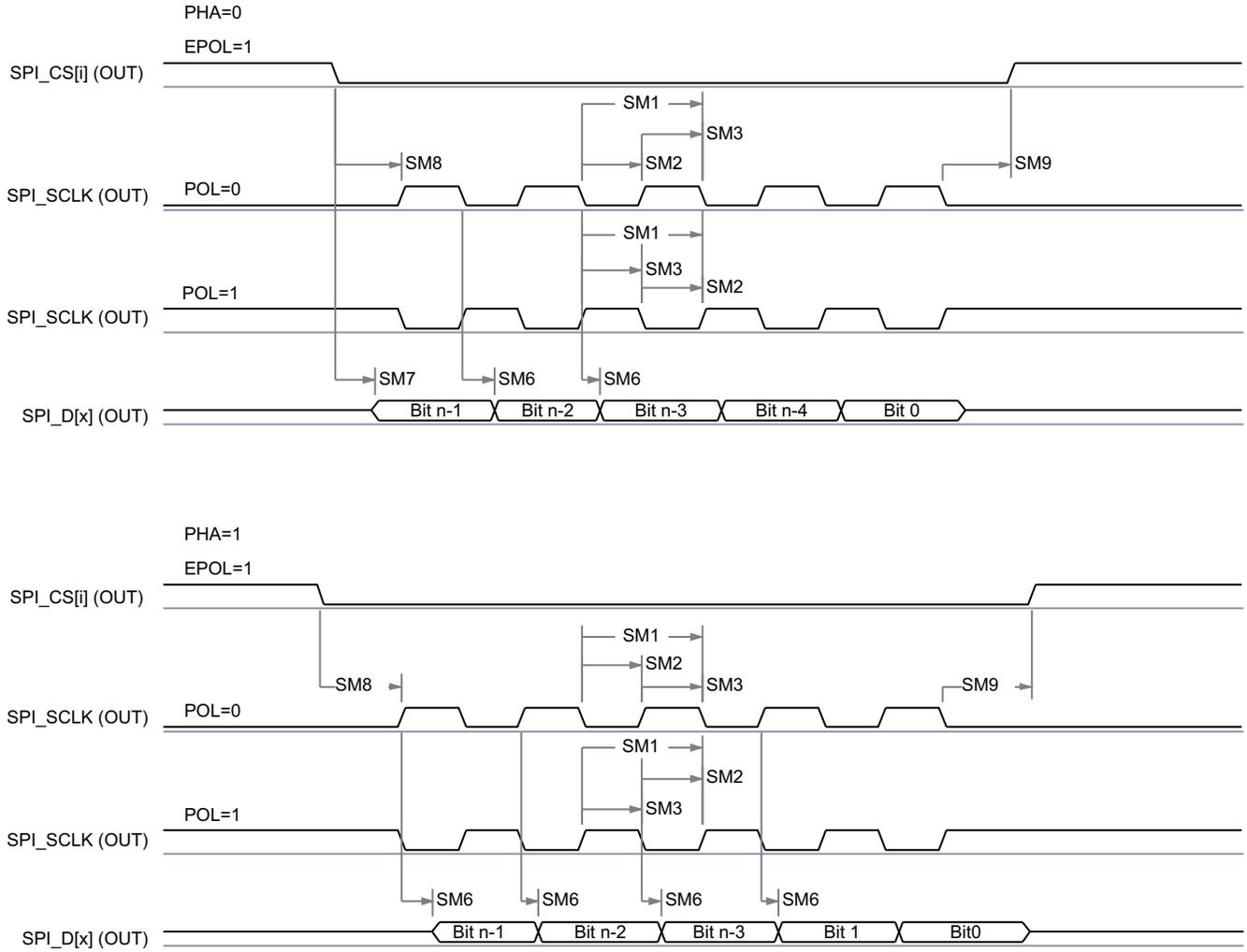
JAJSQ13E – FEBRUARY 2023 – REVISED NOVEMBER 2025

- (2) SPI_CLK の位相は、MCSPI_CHCONF_0/1/2/3 レジスタの PHA ビットを使用してプログラム可能です
- (3) $B = (TCS + .5) * TSPICKREF$ 。ここで、TCSns は MCSPI_CHCONF_0/1/2/3 レジスタのビットフィールドであり、Fratio = 偶数 ≥ 2 です。
- (4) $P = 20.8ns$ のとき、 $A = (TCS + 1) * TSPICKREF$ 。ここで、TCSns は MCSPI_CHCONF_0/1/2/3 レジスタのビットフィールドです。
 $P > 20.8ns$ のとき、 $A = (TCS + 0.5) * Fratio * TSPICKREF$ 。ここで、TCSns は MCSPI_CHCONF_0/1/2/3 レジスタのビットフィールドです。



SPRSP08_TIMING_MCSPI_02

図 6-75. SPI コントローラ モードの受信タイミング



SPRSP08_TIMING_McSPI_01

図 6-76. MCSPI コントローラ モードの送信タイミング

6.10.5.16.2 MCSPI – ペリフェラル モード

表 6-55、表 6-56、図 6-77、図 6-78 に、MCSPI –ペリフェラル モードのタイミング要件とスイッチング特性を示します。

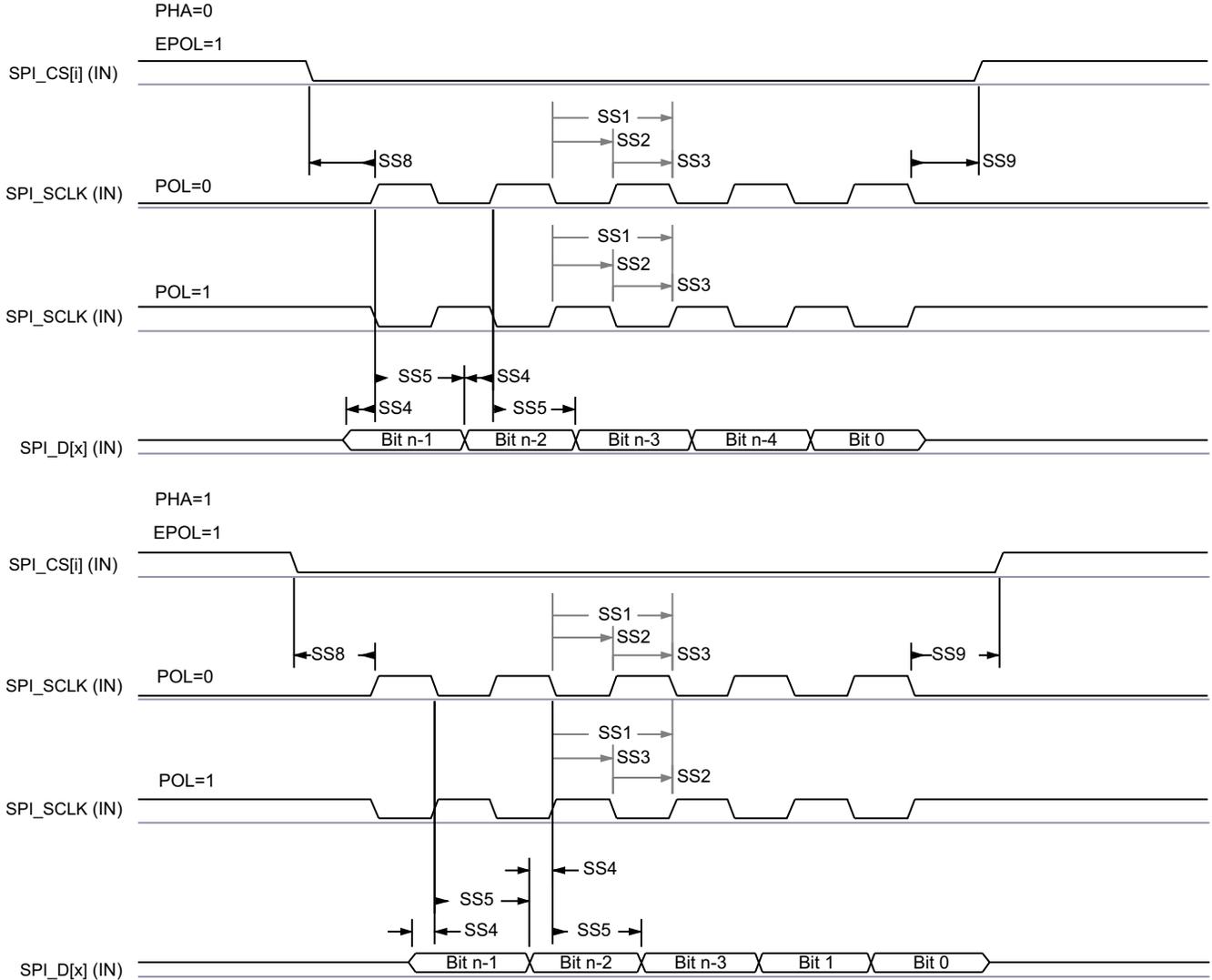
表 6-55. MCSPI のタイミング要件 - ペリフェラル モード

| 番号 | パラメータ | 説明 | モード | 最小値 | 最大値 | 単位 |
|-----|------------------------|--|-----|----------------------|-----|----|
| SS1 | $t_{c(spick)}$ | サイクル時間、SPI_CLK | | 20 | | ns |
| SS2 | $t_{w(spickL)}$ | パルス幅、SPI_CLK low | | 0.45P ⁽¹⁾ | | ns |
| SS3 | $t_{w(spickH)}$ | パルス幅、SPI_CLK high | | 0.45P ⁽¹⁾ | | ns |
| SS4 | $t_{su(simoV-spickV)}$ | セットアップ時間、SPI_D[x] 有効から SPI_CLK アクティブ エッジまで | | 5 | | ns |
| SS5 | $t_{h(spickV-simoV)}$ | ホールド時間、SPI_CLK アクティブ エッジから SPI_D[x] 有効の間 | | 5 | | ns |
| SS8 | $t_{su(csV-spickV)}$ | セットアップ時間、SPI_CSi 有効から SPI_CLK の最初のエッジまで | | 5 | | ns |
| SS9 | $t_{h(spickV-csV)}$ | ホールド時間、SPI_CLK の最後のエッジから SPI_CSi 有効の間 | | 5 | | ns |

表 6-56. MCSPI のスイッチング特性 - パリフェラル モード

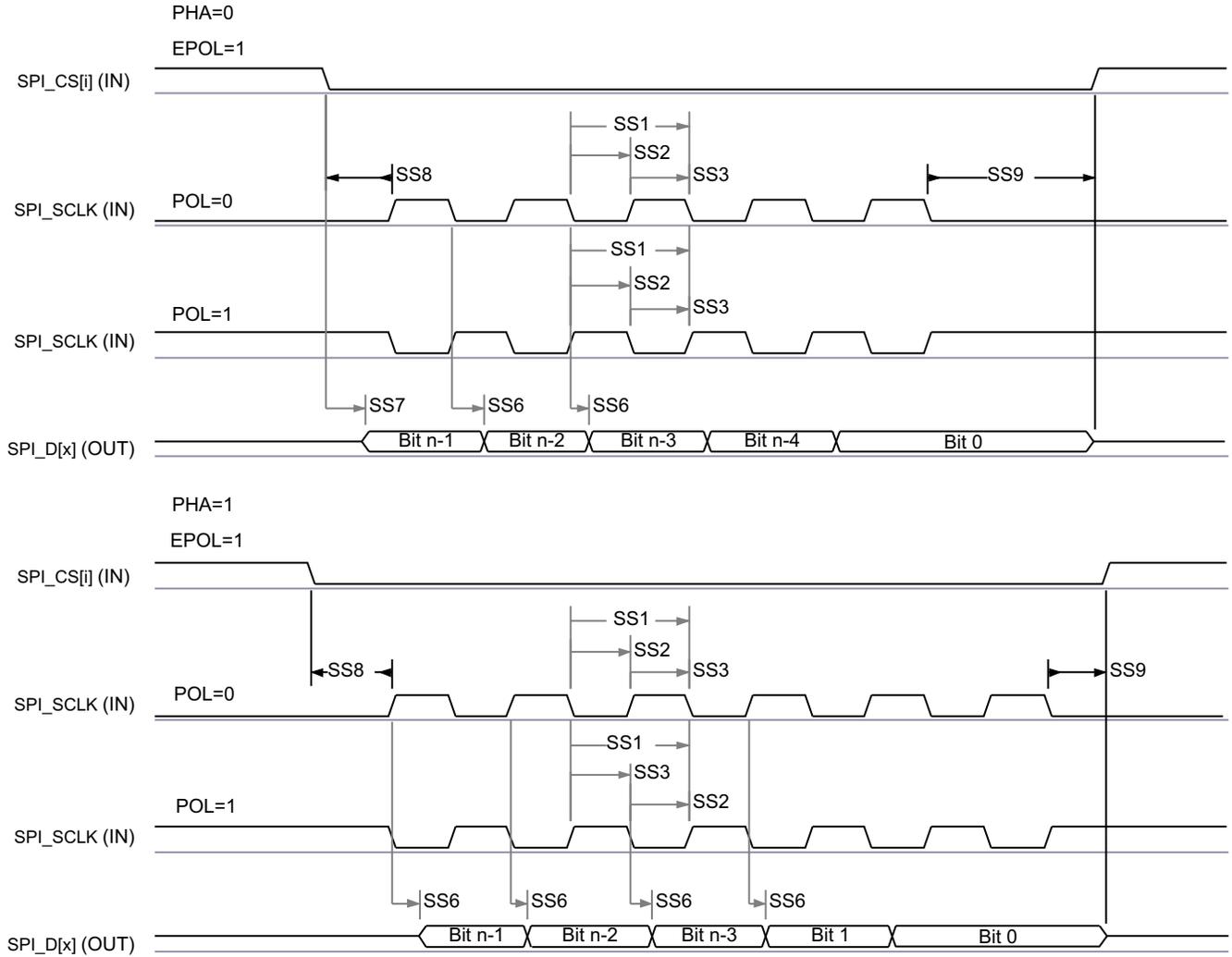
| 番号 | パラメータ | 説明 | 最小値 | 最大値 | 単位 |
|-----|------------------------|--|-------|-------|----|
| SS6 | $t_{d(spiclkV-somiV)}$ | 遅延時間、SPI_CLK アクティブ エッジから SPI_D[x] 遷移まで | 2 | 17.12 | ns |
| SS7 | $t_{sk(csV-somiV)}$ | 遅延時間、SPI_CSi アクティブ エッジから SPI_D[x] 遷移まで | 20.95 | | ns |

(1) P = SPI_CLK 周期 (ns 単位)。



SPRSP08_TIMING_McSPI_04

図 6-77. SPI パリフェラル モードの受信タイミング



SPRSP08_TIMING_McSPI_03

図 6-78. MCSPi パリフェラル モードの送信タイミング

表 6-57 および 表 6-58 に、MCU_SPI0 および MCU_SPI1 で使用する信号の具体的なグループ (IOSET) を示します。

表 6-57. MCU_SPI0 IOSET

| 信号 | IOSET1 | | IOSET2 | |
|--------------|----------------|---------|---------------|---------|
| | ボール名 | マルチプレクサ | ボール名 | マルチプレクサ |
| MCU_SPI0_CLK | MCU_SPI0_CLK | 0 | MCU_SPI0_CLK | 0 |
| MCU_SPI0_D0 | MCU_SPI0_D0 | 0 | MCU_SPI0_D0 | 0 |
| MCU_SPI0_D1 | MCU_SPI0_D1 | 0 | MCU_SPI0_D1 | 0 |
| MCU_SPI0_CS0 | MCU_SPI0_CS0 | 0 | MCU_SPI0_CS0 | 0 |
| MCU_SPI0_CS1 | MCU_OSPi1_D3 | 5 | WKUP_GPIO0_12 | 1 |
| MCU_SPI0_CS2 | MCU_OSPi1_CSn1 | 5 | WKUP_GPIO0_14 | 1 |

表 6-58. MCU_SPI1 IOSET

| 信号 | IOSET1 | | IOSET2 | |
|--------------|--------------|---------|---------------|---------|
| | ボール名 | マルチプレクサ | ボール名 | マルチプレクサ |
| MCU_SPI1_CLK | MCU_SPI1_CLK | 0 | MCU_SPI1_CLK | 0 |
| MCU_SPI1_D0 | MCU_SPI1_D0 | 0 | MCU_SPI1_D0 | 0 |
| MCU_SPI1_D1 | MCU_SPI1_D1 | 0 | MCU_SPI1_D1 | 0 |
| MCU_SPI1_CS0 | MCU_SPI1_CS0 | 0 | MCU_SPI1_CS0 | 0 |
| MCU_SPI1_CS1 | MCU_OSPI1_D1 | 5 | WKUP_GPIO0_13 | 1 |
| MCU_SPI1_CS2 | MCU_OSPI1_D2 | 5 | WKUP_GPIO0_15 | 1 |

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「マルチチャネル シリアル ペリフェラル インターフェイス (MCSPI)」セクションを参照してください。

6.10.5.17 MMCS D

MMCS D ホスト コントローラは、組込みマルチメディア カード (MMC)、セキュア デジタル (SD)、セキュア デジタル IO (SDIO) デバイスへのインターフェイスとして機能します。MMCS D ホスト コントローラは、送信レベルでの MMC/SD/SDIO プロトコル、データ パッキング、巡回冗長検査 (CRC) の追加、開始 / 終了ビットの挿入、構文の正確性チェックを処理します。

MMCS D インターフェイスの詳細については、

「[信号の説明](#)」、「[詳細説明](#)」の対応する MMC0、MMC1、MMC2 セクションを参照してください。

注

一部の動作モードでは、[表 6-59](#) および [表 6-71](#) に示すように、MMC DLL 遅延設定のソフトウェア設定が必要です。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「マルチメディアカード / セキュア デジタル (MMCS D) インターフェイス」セクションを参照してください。

6.10.5.17.1 MMC0 - eMMC インターフェイス

MMC0 インターフェイスは、JEDEC eMMC 電気規格 v5.1 (JESD84-B51) に準拠しており、以下に示す eMMC アプリケーションをサポートしています。

- レガシー速度
- 高速 SDR
- 高速 DDR
- 高速 HS200
- 高速 HS400

[表 6-59](#) に、MMC0 タイミング モードに必要な DLL ソフトウェア構成設定を示します。

表 6-59. すべてのタイミングモードに対する MMC0 DLL 遅延マッピング

| レジスタ名 | | MMCSD0_MMC_SSCFG_PHY_CTRL_x_REG | | | | | | | | |
|--------------------|---------------------------|---------------------------------|-------------|-------------------|-------------------|-------------------|-----------------------|----------------------------------|-------------------|-------------------|
| | | x = 1 | x = 4 | | | | | x = 5 | | |
| ビットフィールド | | [1] | [31:24] | [20] | [15:12] | [8] | [4:0] | [17:16] | [10:8] | [2:0] |
| ビットフィールド名 | | ENDLL | STRBSEL | OTAPDLYENA | OTAPDLYSEL | ITAPDLYENA | ITAPDLYSEL | SELDLYTXCLK SELDLYRXCLK | FRQSEL | CLKBUFSEL |
| モード | 説明 | イネーブル DLL | ストロープ 遅延 | 出力 遅延 イネーブル | 出力 遅延 値 | 入力 遅延 イネーブル | 入力 遅延 値 | DLL/ 遅延チェーン 選択 | DLL REF 周波数 | 遅延 パップア 時間 |
| レガシー SDR | 8 ビット PHY、 1.8V、25MHz | 0x0 | 0x0 | 0x0 | NA ⁽¹⁾ | 0x1 | 0x10 | 0x1 または 0x3 ⁽²⁾ | NA ⁽³⁾ | 0x7 |
| ハイスピー ード SDR | 8 ビット PHY、 1.8V、50MHz | 0x0 | 0x0 | 0x0 | NA ⁽¹⁾ | 0x1 | 0xA | 0x1 または 0x3 ⁽²⁾ | NA ⁽³⁾ | 0x7 |
| ハイスピー ード DDR | 8 ビット PHY、 1.8V、50MHz | 0x1 | 0x0 | 0x1 | 0x6 | 0x1 | チューニング ⁽⁵⁾ | 0x0 | 0x4 | NA ⁽⁴⁾ |
| HS200 | 8 ビット PHY、 1.8V、200MHz | 0x1 | 0x0 | 0x1 | 0x8 | 0x1 | チューニング ⁽⁵⁾ | 0x0 | 0x0 | NA ⁽⁴⁾ |
| HS400 | 8 ビット PHY、 1.8V、200MHz | 0x1 | 0x66 | 0x1 | 0x5 | 0x1 | チューニング ⁽⁵⁾ | 0x0 | 0x0 | NA ⁽⁴⁾ |

- (1) NA は、このモードに必要なハーフサイクル タイミングで動作する場合、このレジスタ フィールドが機能しないことを意味します。
(2) SELDLYTXCLK は、このモードに必要なハーフサイクル タイミングで動作する場合、いかなる機能も持ちません。
(3) NA は、ENDLL が 0x0 に設定されている場合、このレジスタ フィールドがいかなる機能も持たないことを意味します。
(4) NA は、ENDLL が 0x1 に設定されている場合、このレジスタ フィールドがいかなる機能も持たないことを意味します。
(5) チューニングとは、このモードで最適な入力タイミングを決定するためにチューニング アルゴリズムを使用する必要があることを意味します。

表 6-60 に、MMC0 のタイミング条件を示します。

表 6-60. MMC0 のタイミング条件

| パラメータ | | 最小値 | 最大値 | 単位 | |
|---------------------------------------|----------------------|------------------------|------|------|------|
| 入力条件 | | | | | |
| SR _i | 入力スルーレート | レガシー SDR | 0.14 | 1.44 | V/ns |
| | | ハイスピード SDR | 0.3 | 0.90 | V/ns |
| | | ハイスピード DDR (CMD) | 0.3 | 0.90 | V/ns |
| | | ハイスピード DDR (DAT[7:0]) | 0.45 | 0.90 | V/ns |
| 出力条件 | | | | | |
| C _L | 出力負荷容量 | HS200, HS400 | 1 | 6 | pF |
| | | その他のすべてのモード | 1 | 12 | pF |
| PCB 接続要件 | | | | | |
| t _d (Trace Delay) | 各パターンの伝搬遅延 | すべてのモード | 134 | 756 | ps |
| t _d (Trace Mismatch Delay) | すべてのパターンにわたる伝搬遅延の不整合 | レガシー SDR、高速 SDR、高速 DDR | | 100 | ps |
| | | HS200, HS400 | | 8 | ps |

6.10.5.17.1.1 レガシー SDR モード

表 6-61、図 6-79、表 6-62、図 6-80 に、レガシー SDR モードでの MMC0 のタイミング要件とスイッチング特性を示します。

表 6-61. MMC0 のタイミング要件 – レガシー SDR モード

図 6-79 参照

| 番号 | | | 最小値 | 最大値 | 単位 |
|-------|---------------------|---|-----|-----|----|
| LSDR1 | $t_{su}(cmdV-clkH)$ | セットアップ時間、MMC0_CMD 有効から MMC0_CLK 立ち上がりエッジまで | 2.5 | | ns |
| LSDR2 | $t_h(clkH-cmdV)$ | ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 有効の間 | 6.5 | | ns |
| LSDR3 | $t_{su}(dV-clkH)$ | セットアップ時間、MMC0_DAT[7:0] 有効から MMC0_CLK 立ち上がりエッジまで | 2.5 | | ns |
| LSDR4 | $t_h(clkH-dV)$ | ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_DAT[7:0] 有効の間 | 6.5 | | ns |

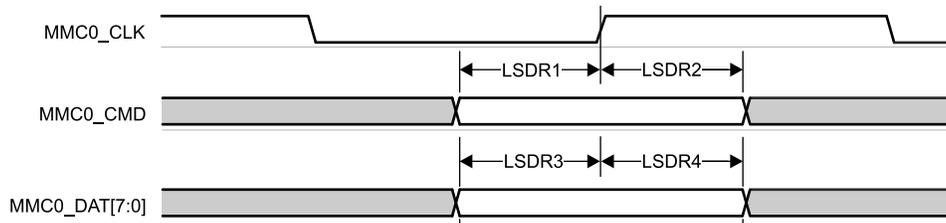


図 6-79. MMC0 – レガシー SDR – 受信モード

表 6-62. MMC0 のスイッチング特性 – レガシー SDR モード

図 6-80 参照

| 番号 | パラメータ | | 最小値 | 最大値 | 単位 |
|-------|------------------|---|------|-----|-----|
| | $f_{op}(clk)$ | 動作周波数、MMC0_CLK | | 25 | MHz |
| LSDR5 | $t_c(clk)$ | サイクル時間、MMC0_CLK | 40 | | ns |
| LSDR6 | $t_w(clkH)$ | パルス幅、MMC0_CLK high | 18.7 | | ns |
| LSDR7 | $t_w(clkL)$ | パルス幅、MMC0_CLK low | 18.7 | | ns |
| LSDR8 | $t_d(clkL-cmdV)$ | 遅延時間、MMC0_CLK 立ち下がりエッジから MMC0_CMD 遷移まで | -3.2 | 3.8 | ns |
| LSDR9 | $t_d(clkL-dV)$ | 遅延時間、MMC0_CLK 立ち下がりエッジから MMC0_DAT[7:0] 遷移まで | -3.2 | 3.8 | ns |

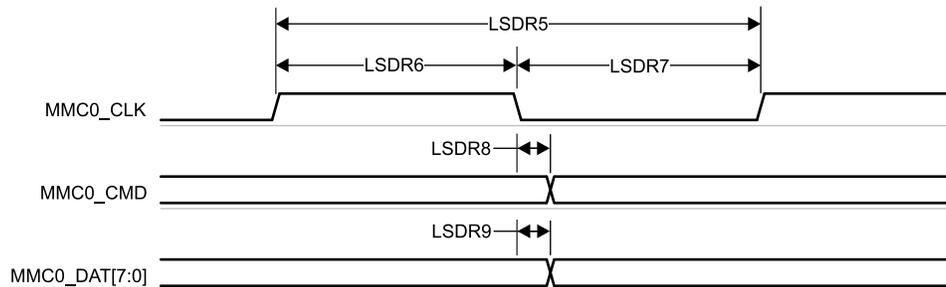


図 6-80. MMC0 – レガシー SDR – 送信モード

6.10.5.17.1.2 高速 SDR モード

表 6-63、図 6-81、表 6-64、および 図 6-82 に、高速 SDR モードでの MMC0 のタイミング要件とスイッチング特性を示します。

表 6-63. MMC0 のタイミング要件 – 高速 SDR モード

図 6-81 参照

| 番号 | | | 最小値 | 最大値 | 単位 |
|--------|---------------------|---|------|-----|----|
| HSSDR1 | $t_{su(cmdV-clkH)}$ | セットアップ時間、MMC0_CMD 有効から MMC0_CLK 立ち上がりエッジまで | 2.99 | | ns |
| HSSDR2 | $t_h(clkH-cmdV)$ | ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 有効の間 | 2.67 | | ns |
| HSSDR3 | $t_{su(dV-clkH)}$ | セットアップ時間、MMC0_DAT[7:0] 有効から MMC0_CLK 立ち上がりエッジまで | 2.99 | | ns |
| HSSDR4 | $t_h(clkH-dV)$ | ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_DAT[7:0] 有効の間 | 2.67 | | ns |

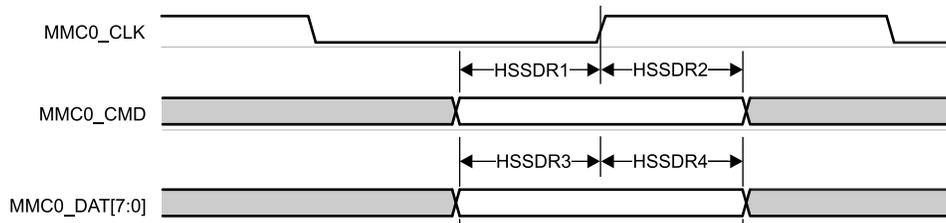


図 6-81. MMC0 – 高速 SDR モード – 受信モード

表 6-64. MMC0 のスイッチング特性 – 高速 SDR モード

図 6-82 参照

| 番号 | パラメータ | 最小値 | 最大値 | 単位 |
|--------|------------------|------|-----|-----|
| | $f_{op}(clk)$ | | 50 | MHz |
| HSSDR5 | $t_c(clk)$ | | 20 | ns |
| HSSDR6 | $t_w(clkH)$ | | 9.2 | ns |
| HSSDR7 | $t_w(clkL)$ | | 9.2 | ns |
| HSSDR8 | $t_d(clkL-cmdV)$ | -3.2 | 3.8 | ns |
| HSSDR9 | $t_d(clkL-dV)$ | -3.2 | 3.8 | ns |

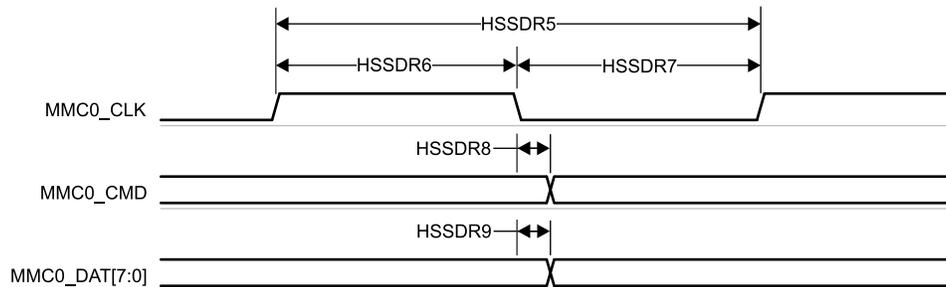


図 6-82. MMC0 – 高速 SDR モード – 送信モード

6.10.5.17.1.3 高速 DDR モード

表 6-65、図 6-83、表 6-66、および図 6-84 に、MMC0 – 高速 DDR モードのタイミング要件とスイッチング特性を示します。

表 6-65. MMC0 のタイミング要件 – 高速 DDR モード

図 6-83 参照

| 番号 | | | 最小値 | 最大値 | 単位 |
|--------|---------------------|--|------|-----|----|
| HSDDR1 | $t_{su(cmdV-clkH)}$ | セットアップ時間、MMC0_CMD 有効から MMC0_CLK 立ち上がりエッジまで | 3.79 | | ns |
| HSDDR2 | $t_{h(clkH-cmdV)}$ | ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 有効の間 | 2.67 | | ns |
| HSDDR3 | $t_{su(dV-clkV)}$ | セットアップ時間、MMC0_DAT[7:0] 有効から MMC0_CLK 遷移まで | 0.74 | | ns |
| HSDDR4 | $t_{h(clkV-dV)}$ | ホールド時間、MMC0_CLK 遷移から MMC0_DAT[7:0] 有効の間 | 1.67 | | ns |

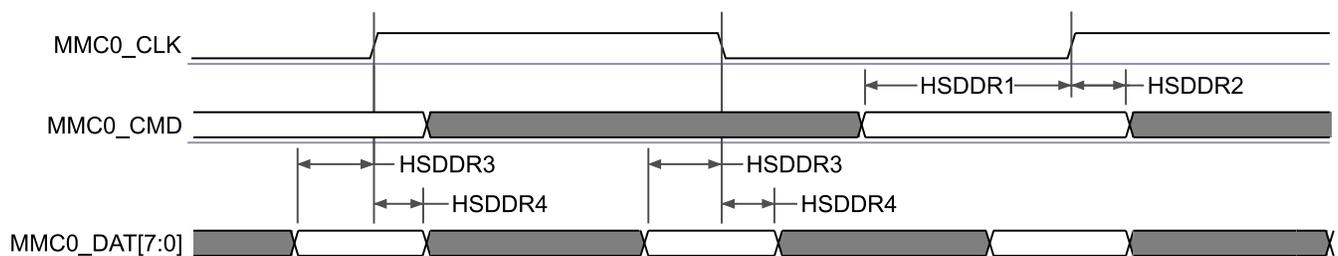


図 6-83. MMC0 – 高速 DDR モード – 受信モード

表 6-66. MMC0 のスイッチング特性 – 高速 DDR モード

図 6-84 参照

| 番号 | パラメータ | 最小値 | 最大値 | 単位 | |
|--------|--------------------|--|-----|------|----|
| | $f_{op(clk)}$ | 動作周波数、MMC0_CLK | 50 | MHz | |
| HSDDR5 | $t_{c(clk)}$ | サイクル時間、MMC0_CLK | 20 | ns | |
| HSDDR6 | $t_{w(clkH)}$ | パルス幅、MMC0_CLK high | 9.2 | ns | |
| HSDDR7 | $t_{w(clkL)}$ | パルス幅、MMC0_CLK low | 9.2 | ns | |
| HSDDR8 | $t_{d(clkH-cmdV)}$ | 遅延時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 遷移まで | 3.4 | 9.8 | ns |
| HSDDR9 | $t_{d(clkV-dV)}$ | 遅延時間、MMC0_CLK 遷移から MMC0_DAT[7:0] 遷移まで | 2.9 | 6.85 | ns |

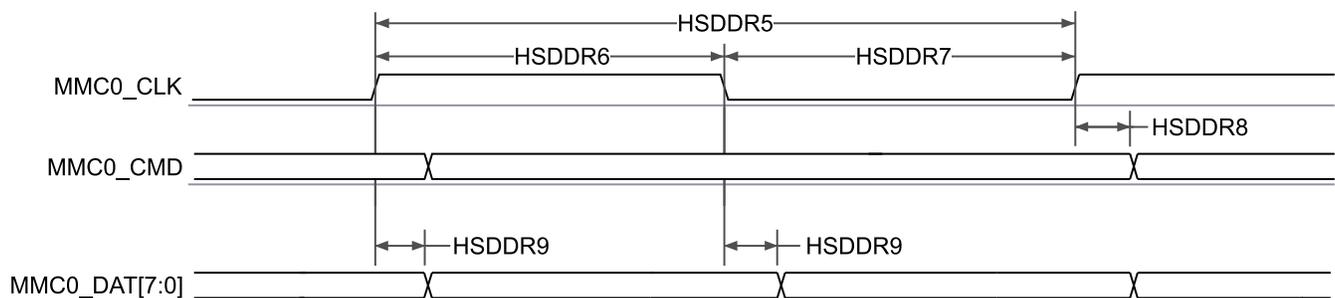


図 6-84. MMC0 – 高速 DDR モード – 送信モード

6.10.5.17.1.4 HS200 モード

表 6-67、図 6-85、表 6-68、図 6-86 に、MMC0 – HS200 モードでのタイミング要件とスイッチング特性の両方を示します。

表 6-67. MMC0 のタイミング要件 – HS200 モード

図 6-85 参照

| 番号 | パラメータ | 説明 | 最小値 | 最大値 | 単位 |
|--------|-----------|---|--------------------|-----|----|
| HS2004 | t_{DvW} | 入力データ有効ウィンドウ、MMC0_CMD および MMC0_DAT[7:0] | 2.0 ⁽¹⁾ | | ns |

- (1) このパラメータは、ホストが必要とする最小データ有効ウィンドウを定義します。このとき、ホストに提示されるデータ有効ウィンドウがこの値を超える場合、ホストが有効なデータをキャプチャできることが保証されます。このパラメータで定義される値は、HS200 モードで動作する eMMC デバイスに定義されている可能な最小データ有効ウィンドウよりも小さくなります。

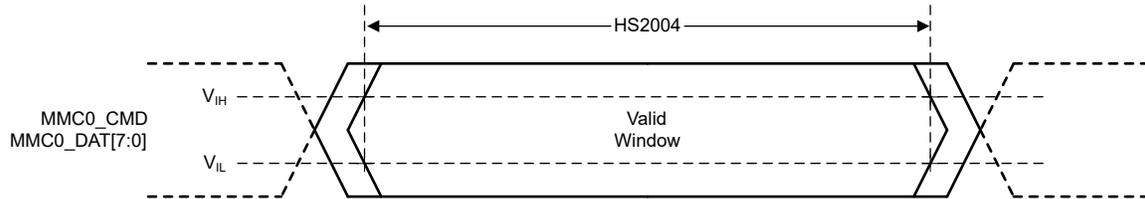


図 6-85. MMC0 – HS200 – 受信モード

表 6-68. MMC0 のスイッチング特性 – HS200 モード

図 6-86 参照

| 番号 | パラメータ | 説明 | 最小値 | 最大値 | 単位 |
|--------|------------------|---|------|------|-----|
| | $f_{op}(clk)$ | 動作周波数、MMC0_CLK | | 200 | MHz |
| HS2005 | $t_c(clk)$ | サイクル時間、MMC0_CLK | 5 | | ns |
| HS2006 | $t_w(clkH)$ | パルス幅、MMC0_CLK high | 2.08 | | ns |
| HS2007 | $t_w(clkL)$ | パルス幅、MMC0_CLK low | 2.08 | | ns |
| HS2008 | $t_d(clkL-cmdV)$ | 遅延時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 遷移まで | 0.99 | 3.16 | ns |
| HS2009 | $t_d(clkL-dV)$ | 遅延時間、MMC0_CLK 立ち上がりエッジから MMC0_DAT[7:0] 遷移まで | 0.99 | 3.16 | ns |

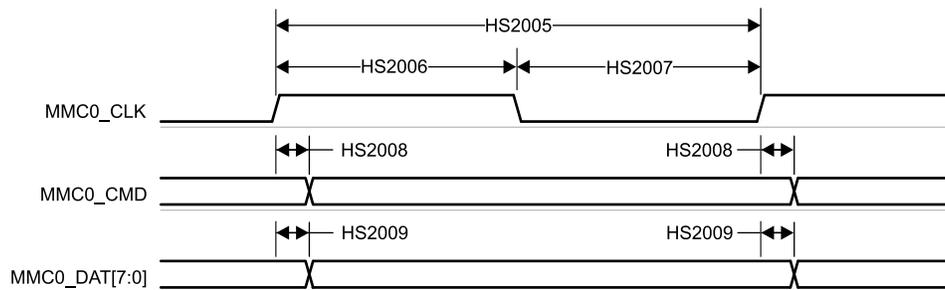


図 6-86. MMC0 – HS200 モード – 送信モード

6.10.5.17.1.5 HS400 モード

表 6-69、図 6-87、表 6-70、図 6-88 に、MMC0 – HS400 モードのスイッチング特性を示します。

表 6-69. MMC0 のタイミング要件 – HS400 モード

図 6-87 参照

| 番号 | パラメータ | 説明 | 最小値 | 最大値 | 単位 |
|--------|-------------|--------------|------|-----|----|
| HS4000 | t_{DSMPW} | パルス幅、MMC0_DS | 1.95 | | ns |

表 6-69. MMC0 のタイミング要件 – HS400 モード (続き)

図 6-87 参照

| 番号 | パラメータ | 説明 | 最小値 | 最大値 | 単位 |
|--------|----------------|--------------------------------------|-----|-----|----|
| HS4001 | t_{RQ_DAT} | 入力スキュー、MMC0_DS から MMC0_DAT 有効まで | | 475 | ps |
| HS4002 | t_{RQH_DAT} | 入力スキュー ホールド、MMC0_DAT 無効から MMC0_DS まで | | 475 | ps |
| HS4003 | t_{RQ_CMD} | 入力スキュー、MMC0_DS から MMC0_CMD 有効まで | | 475 | ps |
| HS4004 | t_{RQH_CMD} | 入力スキュー ホールド、MMC0_CMD 無効から MMC0_DS まで | | 475 | ps |

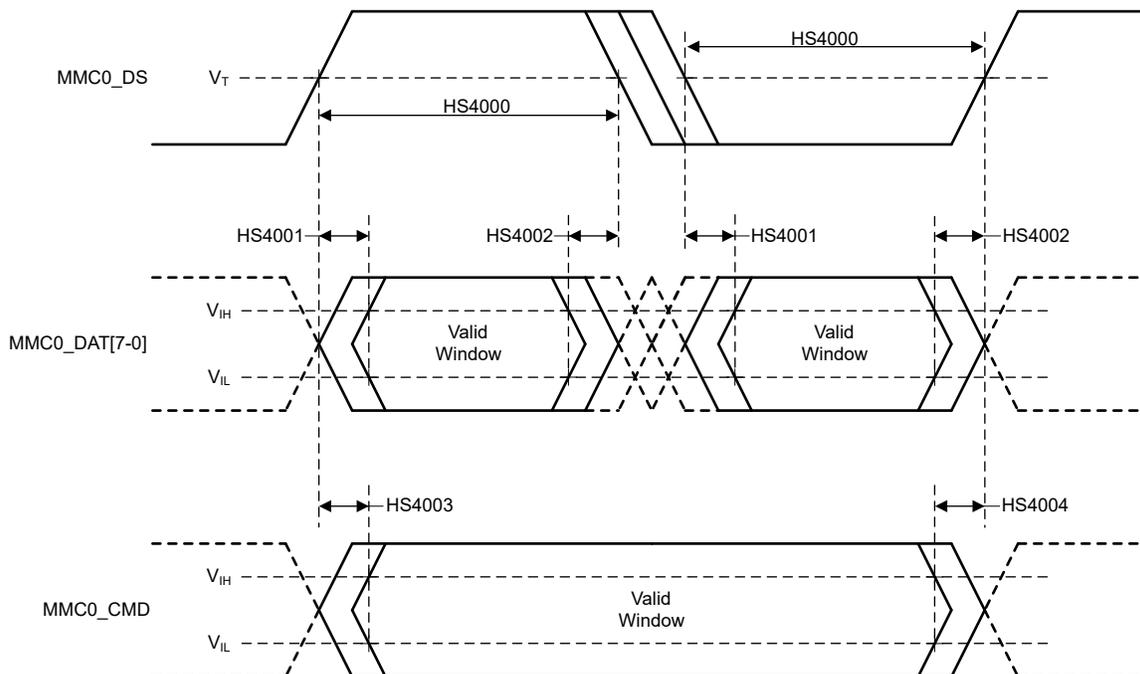


図 6-87. MMC0 – HS400 – 受信モード

表 6-70. MMC0 のスイッチング特性 – HS400 モード

図 6-88 参照

| 番号 | パラメータ | 説明 | 最小値 | 最大値 | 単位 |
|--------|----------------------|--|------|-----|-----|
| | $f_{op}(clk)$ | 動作周波数、MMC0_CLK | | 200 | MHz |
| HS4005 | $t_{c}(clk)$ | サイクル時間、MMC0_CLK | 5 | | ns |
| HS4006 | $t_{w}(clkH)$ | パルス幅、MMC0_CLK high | 2.23 | | ns |
| HS4007 | $t_{w}(clkL)$ | パルス幅、MMC0_CLK low | 2.23 | | ns |
| HS4008 | $t_{osu}(cmdV-clkH)$ | 出力セットアップ時間、MMC0_CMD 有効から MMC0_CLK の立ち上がりエッジまでの ⁽¹⁾ | 2.54 | | ns |
| HS4009 | $t_{osu}(dV-clk)$ | 出力セットアップ時間、MMC0_DAT[7:0] 有効から MMC0_CLK の立ち上がりまたは立ち下がりエッジまでの ⁽¹⁾ | 0.63 | | ns |
| HS4010 | $t_{oh}(clkH-cmdV)$ | 出力ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 無効まで ⁽²⁾ | 0.98 | | ns |
| HS4011 | $t_{oh}(clk-dIV)$ | 出力ホールド時間、MMC0_CLK 立ち上がりまたは立ち下がりエッジから MMC0_DAT[7:0] 無効まで ⁽²⁾ | 0.72 | | ns |

- (1) このパラメータは、接続されたデバイスに提供される出力セットアップ時間を定義します。この時間は、次のキャプチャクロックエッジを基準としています。このパラメータのタイミング基準は、DAT または CMD 信号遷移の中電圧から CLK 信号遷移の中電圧までです。eMMC 規格では、セットアップ タイミング基準は、DAT または CMD 信号遷移の VIL または VIH から CLK 信号遷移の中電圧までと定義されています。したがって、システム設計者は、PCB を設計するときに DAT 信号のスルー レートによる影響を考慮し、DAT 信号が中電圧から VIL または VIH までスルーするのにかかる時間によってセットアップ時間のマージンが失われないようにする必要があります。

- (2) このパラメータは、接続されたデバイスに提供される出力ホールド時間を定義します。この時間は、前のローンチ クロック エッジを基準にしています。このパラメータのタイミング基準は、CLK 信号遷移の中電圧から DAT または CMD 信号遷移の中電圧までです。eMMC 規格では、ホールドタイミング基準は、CLK 信号遷移の中電圧から DAT または CMD 信号遷移の VIL または VIH までと定義されています。したがって、システム設計者は、PCB を設計するときに DAT 信号のスルー レートによる影響を考慮し、DAT 信号が VIL または VIH から中電圧までスルーするのにかかる時間によってホールド時間のマージンが失われないようにする必要があります。

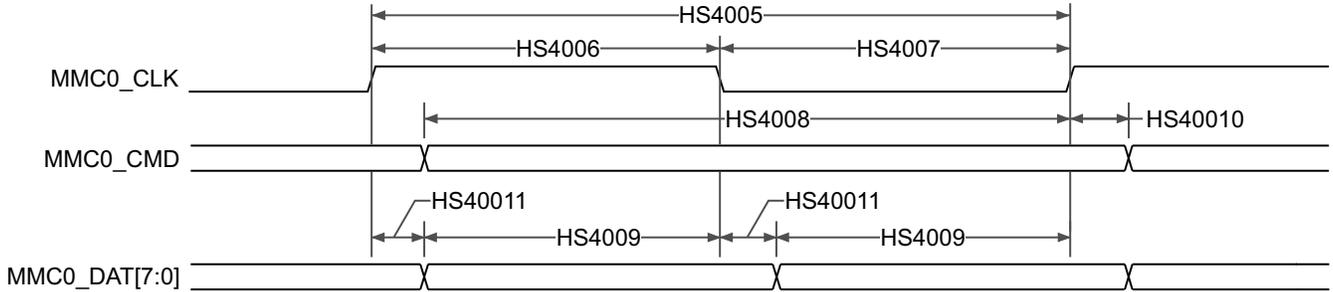


図 6-88. eMMC IN – HS400 モード – 送信モード

6.10.5.17.2 MMC1 - SD/SDIO インターフェイス

MMC1 インターフェイスは、SDIO 仕様 v3.00 だけでなく、SD ホスト コントローラ標準仕様 4.10 および SD 物理層仕様 v3.01 に準拠しており、以下の SD カード アプリケーションをサポートしています。

- デフォルト速度
- 高速
- UHS-I SDR12
- UHS-I SDR25
- UHS-I SDR50
- UHS-I SDR104
- UHS-I DDR50

表 6-71 に、MMC1/2 タイミング モードに必要な DLL ソフトウェア構成設定を示します。

表 6-71. すべてのタイミング モードに対する MMC1 DLL 遅延マッピング

| レジスタ名 | | MMCSD1_MMC_SSCFG_PHY_CTRL_4_REG | | | |
|-----------------|-----------------------------|---------------------------------|-------------------|-------------------|-----------------------|
| ビットフィールド | | [20] | [15:12] | [8] | [4:0] |
| ビットフィールド名 | | OTAPDLYENA | OTAPDLYSEL | ITAPDLYENA | ITAPDLYSEL |
| モード | 説明 | 遅延 イネーブル | 遅延 値 | 入力 遅延 イネーブル | 入力 遅延 値 |
| デフォルト 速度 | 4 ビット PHY 動作 3.3V、25MHz | NA ⁽¹⁾ | NA ⁽¹⁾ | 0x0 | 0x0 |
| 高速 | 4 ビット PHY 動作 3.3V、50MHz | NA ⁽¹⁾ | NA ⁽¹⁾ | 0x0 | 0x0 |
| UHS-I SDR12 | 4 ビット PHY 動作 1.8V、25MHz | 0x1 | 0xF | 0x0 | 0x0 |
| UHS-I SDR25 | 4 ビット PHY 動作 1.8V、50MHz | 0x1 | 0xF | 0x0 | 0x0 |
| UHS-I SDR50 | 4 ビット PHY 動作 1.8V、100MHz | 0x1 | 0xC | 0x1 | チューニング ⁽²⁾ |
| UHS-I DDR50 | 4 ビット PHY 動作 1.8V、50MHz | 0x1 | 0xC | 0x1 | チューニング ⁽²⁾ |
| UHS-I SDR104 | 4 ビット PHY 動作 1.8V 200MHz | 0x1 | 0x5 | 0x1 | チューニング ⁽²⁾ |

(1) NA は、このモードに必要なハーフサイクル タイミングで動作する場合、このレジスタ フィールドが機能しないことを意味します。

(2) チューニングとは、このモードで最適な入カタimingを決定するためにチューニング アルゴリズムを使用する必要があることを意味します。

表 6-72 に、MMC1 のタイミング条件を示します。

表 6-72. MMC1 のタイミング条件

| パラメータ | | | 最小値 | 最大値 | 単位 |
|---------------------------------------|----------------------|-------------------------|--------|------|------|
| 入力条件 | | | | | |
| SR _i | 入力スループレート | デフォルト スピード、ハイスピード | 0.69 | 2.06 | V/ns |
| | | UHS-I SDR12、UHS-I SDR25 | 0.34 | 1.34 | V/ns |
| | | USH-1 DDR50 | 1.00 | 2.00 | V/ns |
| 出力条件 | | | | | |
| C _L | 出力負荷容量 | すべてのモード | 1 | 10 | pF |
| PCB 接続要件 | | | | | |
| t _d (Trace Delay) | 各パターンの伝搬遅延 | UHS-I DDR50 | 240.03 | 1134 | ps |
| | | その他のすべてのモード | 126 | 1386 | ps |
| t _d (Trace Mismatch Delay) | すべてのパターンにわたる伝搬遅延の不整合 | UHS-I DDR50 | | 20 | ps |
| | | UHS-I SDR104 | | 8 | ps |
| | | その他のすべてのモード | | 100 | ps |

6.10.5.17.2.1 デフォルト速度モード

表 6-73、図 6-89、表 6-74、図 6-90 に、MMC1/2 – デフォルト速度モードのタイミング要件とスイッチング特性を示します。

表 6-73. MMC1/2 のタイミング要件 – デフォルト速度モード

図 6-89 参照

| 番号 | | | 最小値 | 最大値 | 単位 |
|-----|---------------------|---|------|-----|----|
| DS1 | $t_{su}(cmdV-clkH)$ | セットアップ時間、MMC[x]_CMD 有効から MMC[x]_CLK 立ち上がりエッジまで | 2.15 | | ns |
| DS2 | $t_h(clkH-cmdV)$ | ホールド時間、MMC[x]_CLK 立ち上がりエッジから MMC[x]_CMD 有効の間 | 4.56 | | ns |
| DS3 | $t_{su}(dV-clkH)$ | セットアップ時間、MMC[x]_DAT[3:0] 有効から MMC[x]_CLK 立ち上がりエッジまで | 2.15 | | ns |
| DS4 | $t_h(clkH-dV)$ | ホールド時間、MMC[x]_CLK 立ち上がりエッジから MMC[x]_DAT[3:0] 有効の間 | 4.56 | | ns |

- A. MMC1 および MMC2 に対して、x = 1, 2
B. MMC1 および MMC2 に対して、x = 1, 2

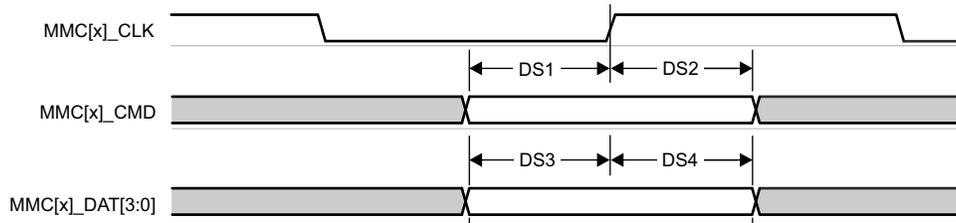


図 6-89. MMC1/2 – デフォルト速度 – 受信モード

表 6-74. MMC1/2 のスイッチング特性 – デフォルト速度モード

図 6-90 参照

| 番号 | パラメータ | 最小値 | 最大値 | 単位 |
|-----|------------------|-------|------|-----|
| | $f_{op}(clk)$ | | 25 | MHz |
| DS5 | $t_c(clk)$ | 40 | | ns |
| DS6 | $t_w(clkH)$ | 18.7 | | ns |
| DS7 | $t_w(clkL)$ | 18.7 | | ns |
| DS8 | $t_d(clkL-cmdV)$ | -3.53 | 3.53 | ns |
| DS9 | $t_d(clkL-dV)$ | -3.53 | 3.53 | ns |

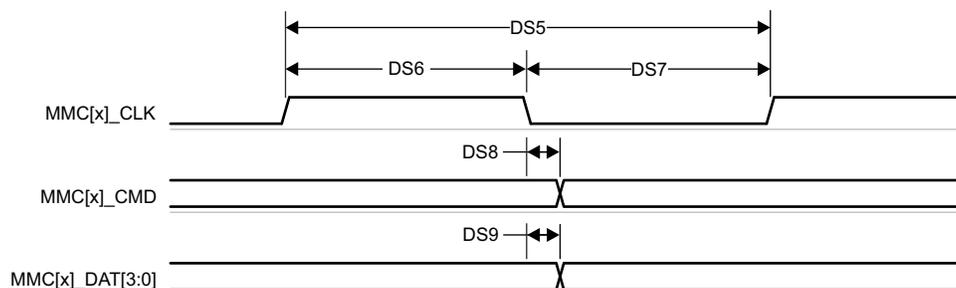


図 6-90. MMC1/2 – デフォルト速度 – 送信モード

6.10.5.17.2.2 高速モード

表 6-75、図 6-91、表 6-76、図 6-92 に、MMC1/2 – 高速モードのタイミング要件とスイッチング特性を示します。

表 6-75. MMC1/2 のタイミング要件 – 高速モード

図 6-91 参照

| 番号 | | | 最小値 | 最大値 | 単位 |
|-----|----------------------------|---|------|-----|----|
| HS1 | $t_{su}(\text{cmdV-clkH})$ | セットアップ時間、MMC[x]_CMD 有効から MMC[x]_CLK 立ち上がりエッジまで | 2.15 | | ns |
| HS2 | $t_h(\text{clkH-cmdV})$ | ホールド時間、MMC[x]_CLK 立ち上がりエッジから MMC[x]_CMD 有効の間 | 2.26 | | ns |
| HS3 | $t_{su}(\text{dV-clkH})$ | セットアップ時間、MMC[x]_DAT[3:0] 有効から MMC[x]_CLK 立ち上がりエッジまで | 2.15 | | ns |
| HS4 | $t_h(\text{clkH-dV})$ | ホールド時間、MMC[x]_CLK 立ち上がりエッジから MMC[x]_DAT[3:0] 有効の間 | 2.26 | | ns |

- A. MMC1 および MMC2 に対して、 $x = 1, 2$
 B. MMC1 および MMC2 に対して、 $x = 1, 2$

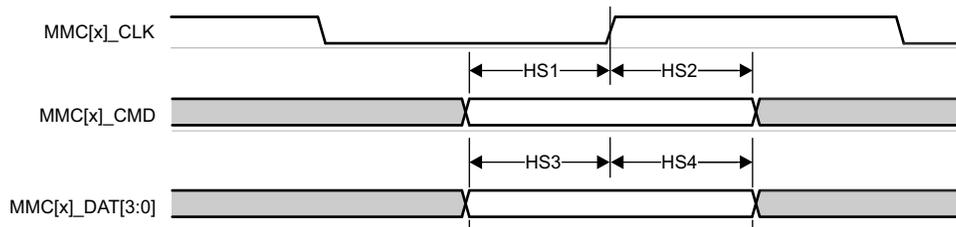


図 6-91. MMC1/2 – 高速 – 受信モード

表 6-76. MMC1/2 のスイッチング特性 – 高速モード

図 6-92 参照

| 番号 | パラメータ | 最小値 | 最大値 | 単位 | |
|-----|-------------------------|---|-------|------|----|
| | $f_{op}(\text{clk})$ | 動作周波数、MMC[x]_CLK | 50 | MHz | |
| HS5 | $t_c(\text{clk})$ | サイクル時間、MMC[x]_CLK | 20 | ns | |
| HS6 | $t_w(\text{clkH})$ | パルス幅、MMC[x]_CLK high | 9.2 | ns | |
| HS7 | $t_w(\text{clkL})$ | パルス幅、MMC[x]_CLK low | 9.2 | ns | |
| HS8 | $t_d(\text{clkL-cmdV})$ | 遅延時間、MMC[x]_CLK 立ち下がりエッジから MMC[x]_CMD 遷移まで | -2.07 | 2.07 | ns |
| HS9 | $t_d(\text{clkL-dV})$ | 遅延時間、MMC[x]_CLK 立ち下がりエッジから MMC[x]_DAT[3:0] 遷移まで | -2.07 | 2.07 | ns |

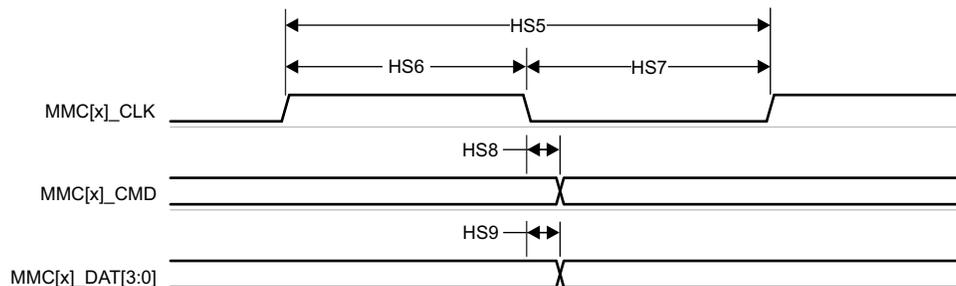


図 6-92. MMC1/2 – 高速 – 送信モード

6.10.5.17.2.3 UHS-I SDR12 モード

表 6-77、図 6-93、表 6-78、および図 6-94 に、MMC1/2 – UHS-I SDR12 モードのタイミング要件とスイッチング特性を示します。

表 6-77. MMC1/2 のタイミング要件 – UHS-I SDR12 モード

図 6-93 参照

| 番号 | | | 最小値 | 最大値 | 単位 |
|--------|---------------------|---|------|-----|----|
| SDR121 | $t_{su(cmdV-clkH)}$ | セットアップ時間、MMC[x]_CMD 有効から MMC[x]_CLK 立ち上がりエッジまで | 5.46 | | ns |
| SDR122 | $t_{h(clkH-cmdV)}$ | ホールド時間、MMC[x]_CLK 立ち上がりエッジから MMC[x]_CMD 有効の間 | 1.67 | | ns |
| SDR123 | $t_{su(dV-clkH)}$ | セットアップ時間、MMC[x]_DAT[3:0] 有効から MMC[x]_CLK 立ち上がりエッジまで | 5.46 | | ns |
| SDR124 | $t_{h(clkH-dV)}$ | ホールド時間、MMC[x]_CLK 立ち上がりエッジから MMC[x]_DAT[3:0] 有効の間 | 1.67 | | ns |

- A. MMC1 および MMC2 に対して、 $x = 1, 2$
 B. MMC1 および MMC2 に対して、 $x = 1, 2$

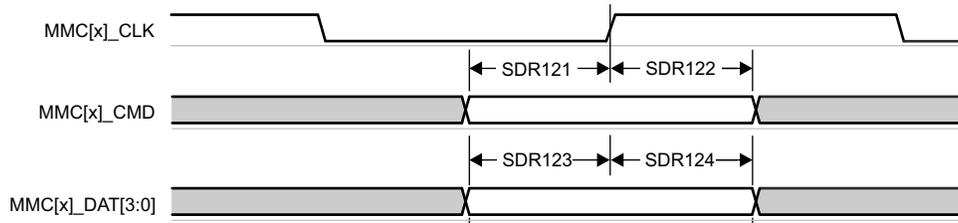


図 6-93. MMC1/2 – UHS-I SDR12 – 受信モード

表 6-78. MMC1/2 のスイッチング特性 – UHS-I SDR12 モード

図 6-94 参照

| 番号 | パラメータ | 最小値 | 最大値 | 単位 |
|--------|--------------------|------|-------|-----|
| | $f_{op(clk)}$ | | 25 | MHz |
| SDR125 | $t_{c(clk)}$ | 40 | | ns |
| SDR126 | $t_{w(clkH)}$ | 18.7 | | ns |
| SDR127 | $t_{w(clkL)}$ | 18.7 | | ns |
| SDR128 | $t_{d(clkH-cmdV)}$ | 1.2 | 13.55 | ns |
| SDR129 | $t_{d(clkH-dV)}$ | 1.2 | 13.55 | ns |

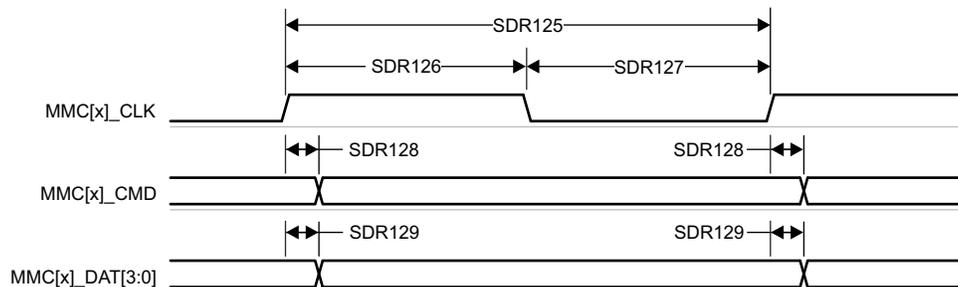


図 6-94. MMC1/2 – UHS-I SDR12 – 送信モード

6.10.5.17.2.4 UHS-I SDR25 モード

表 6-79、図 6-95、表 6-80、および図 6-96 に、MMC1/2 – UHS-I SDR25 モードのタイミング要件とスイッチング特性を示します。

表 6-79. MMC1/2 のタイミング要件 – UHS-I SDR25 モード

図 6-95 参照

| 番号 | | | 最小値 | 最大値 | 単位 |
|--------|---------------------|---|------|-----|----|
| SDR251 | $t_{su(cmdV-clkH)}$ | セットアップ時間、MMC[x]_CMD 有効から MMC[x]_CLK 立ち上がりエッジまで | 2.1 | | ns |
| SDR252 | $t_{h(clkH-cmdV)}$ | ホールド時間、MMC[x]_CLK 立ち上がりエッジから MMC[x]_CMD 有効の間 | 1.67 | | ns |
| SDR253 | $t_{su(dV-clkH)}$ | セットアップ時間、MMC[x]_DAT[3:0] 有効から MMC[x]_CLK 立ち上がりエッジまで | 2.1 | | ns |
| SDR254 | $t_{h(clkH-dV)}$ | ホールド時間、MMC[x]_CLK 立ち上がりエッジから MMC[x]_DAT[3:0] 有効の間 | 1.67 | | ns |

- A. MMC1 および MMC2 に対して、 $x = 1, 2$
 B. MMC1 および MMC2 に対して、 $x = 1, 2$

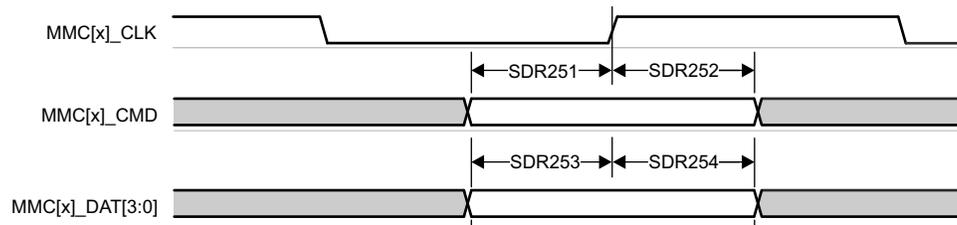


図 6-95. MMC1/2 – UHS-I SDR25 – 受信モード

表 6-80. MMC1/2 のスイッチング特性 – UHS-I SDR25 モード

図 6-96 参照

| 番号 | パラメータ | 最小値 | 最大値 | 単位 |
|--------|------------------|-----|------|-----|
| | $f_{op(clk)}$ | | 50 | MHz |
| SDR255 | $t_{c(clk)}$ | 20 | | ns |
| SDR256 | $t_w(clkH)$ | 9.2 | | ns |
| SDR257 | $t_w(clkL)$ | 9.2 | | ns |
| SDR258 | $t_d(clkH-cmdV)$ | 2.4 | 9.37 | ns |
| SDR259 | $t_d(clkH-dV)$ | 2.4 | 9.37 | ns |

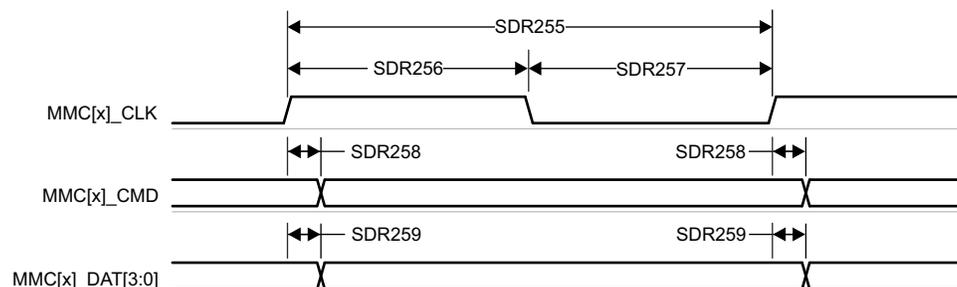


図 6-96. MMC1/2 – UHS-I SDR25 – 送信モード

6.10.5.17.2.5 UHS-I SDR50 モード

表 6-81 および 図 6-97 に、MMC1/2 – UHS-I SDR50 モードのスイッチング特性を示します。

表 6-81. MMC1/2 のスイッチング特性 – UHS-I SDR50 モード

図 6-97 参照

| 番号 | パラメータ | 最小値 | 最大値 | 単位 |
|--------|------------------|---|-----|----------------|
| | $f_{op}(clk)$ | 動作周波数、MMC[x]_CLK | | 100 MHz |
| SDR505 | $t_c(clk)$ | サイクル時間、MMC[x]_CLK | | 10 ns |
| SDR506 | $t_w(clkH)$ | パルス幅、MMC[x]_CLK high | | 4.45 ns |
| SDR507 | $t_w(clkL)$ | パルス幅、MMC[x]_CLK low | | 4.45 ns |
| SDR508 | $t_d(clkH-cmdV)$ | 遅延時間、MMC[x]_CLK 立ち上がりエッジから MMC[x]_CMD 遷移まで | | 1.2 6.35 ns |
| SDR509 | $t_d(clkH-dV)$ | 遅延時間、MMC[x]_CLK 立ち上がりエッジから MMC[x]_DAT[3:0] 遷移まで | | 1.2 6.35 ns |

A. MMC1 および MMC2 に対して、 $x = 1, 2$

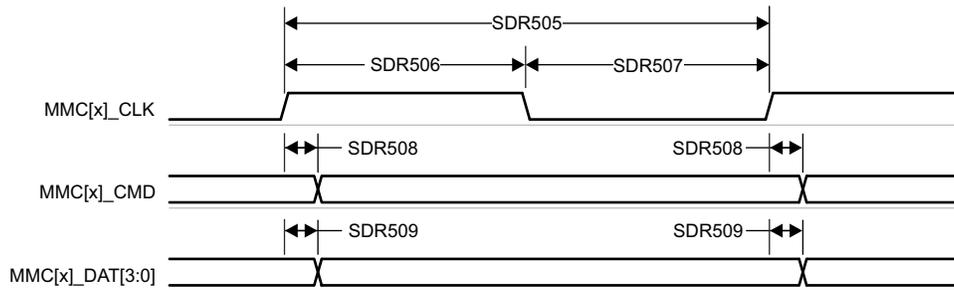


図 6-97. MMC1/2 – UHS-I SDR50 – 送信モード

6.10.5.17.2.6 UHS-I DDR50 モード

表 6-82 および 図 6-98 に、MMC1/2 – UHS-I DDR50 モードのスイッチング特性を示します。

表 6-82. MMC1/2 のスイッチング特性 – UHS-I DDR50 モード

図 6-98 参照

| 番号 | パラメータ | 最小値 | 最大値 | 単位 |
|--------|------------------|------------------|------|-----------|
| | $f_{op}(clk)$ | 動作周波数、MMC[x]_CLK | | 50 MHz |
| DDR505 | $t_c(clk)$ | 20 | | ns |
| DDR506 | $t_w(clkH)$ | 9.2 | | ns |
| DDR507 | $t_w(clkL)$ | 9.2 | | ns |
| DDR508 | $t_d(clkH-cmdV)$ | 1.12 | 3.46 | ns |
| DDR509 | $t_d(clk-dV)$ | 1.12 | 6.12 | ns |

A. MMC1 および MMC2 に対して、 $x = 1, 2$

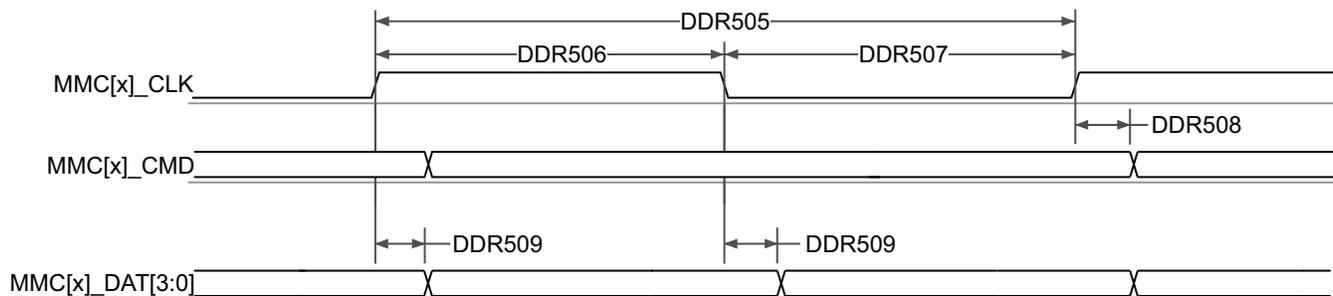


図 6-98. MMC1/2 – UHS-I DDR50 – 送信モード

6.10.5.17.2.7 UHS-I SDR104 モード

表 6-83 および 図 6-99 に、MMC1/2 – UHS-I SDR104 モードのスイッチング特性を示します。

表 6-83. MMC1/2 のスイッチング特性 – UHS-I SDR104 モード

図 6-99 参照

| 番号 | パラメータ | 最小値 | 最大値 | 単位 | | |
|---------|------------------|---|-----|------|------|----|
| | $f_{op}(clk)$ | 動作周波数、MMC[x]_CLK | | 200 | MHz | |
| SDR1045 | $t_c(clk)$ | サイクル時間、MMC[x]_CLK | | 5 | ns | |
| SDR1046 | $t_w(clkH)$ | パルス幅、MMC[x]_CLK high | | 2.12 | ns | |
| SDR1047 | $t_w(clkL)$ | パルス幅、MMC[x]_CLK low | | 2.12 | ns | |
| SDR1048 | $t_d(clkH-cmdV)$ | 遅延時間、MMC[x]_CLK 立ち上がりエッジから MMC[x]_CMD 遷移まで | | 1.07 | 3.21 | ns |
| SDR1049 | $t_d(clkH-dV)$ | 遅延時間、MMC[x]_CLK 立ち上がりエッジから MMC[x]_DAT[3:0] 遷移まで | | 1.07 | 3.21 | ns |

A. MMC1 および MMC2 に対して、 $x = 1, 2$

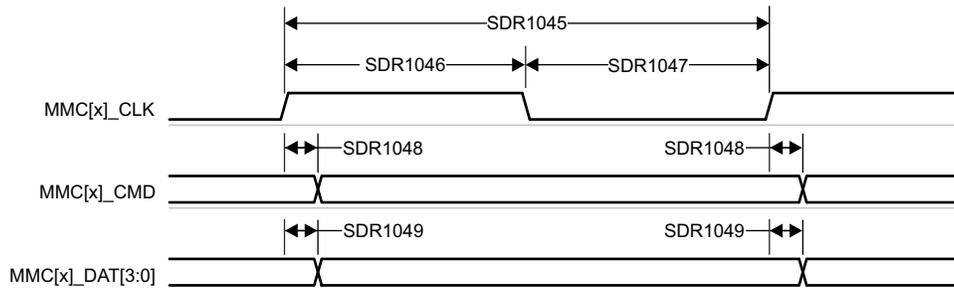


図 6-99. MMC1/2 – UHS-I SDR104 – 送信モード

6.10.5.18 CPTS

表 6-84 に、CPTS のタイミング条件を示します。

表 6-84. CPTS のタイミング条件

| パラメータ | 説明 | 最小値 | 最大値 | 単位 |
|--------|----------|-----|-----|------|
| 入力条件 | | | | |
| SR_i | 入力スルーレート | 0.5 | 5 | V/ns |
| 出力条件 | | | | |
| C_L | 出力負荷容量 | 2 | 10 | pF |

セクション 6.10.5.18.1、セクション 6.10.5.18.2、図 6-100、図 6-101 に、CPTS インターフェイスのタイミング要件とスイッチング特性を示します。

6.10.5.18.1 CPTS のタイミング要件

図 6-100 参照

| 番号 | パラメータ | 説明 | 最小値 | 最大値 | 単位 |
|----|-------------------|------------------------------------|------------------|-----|----|
| T1 | $t_w(HWnTSPUSHH)$ | パルス幅、HWnTSPUSH ⁽²⁾ high | $12P + 2^{(1)}$ | | ns |
| T2 | $t_w(HWnTSPUSHL)$ | パルス幅、HWnTSPUSH ⁽²⁾ low | $12P + 2^{(1)}$ | | ns |
| T3 | $t_c(RFT_CLK)$ | サイクル時間、RFT_CLK | 5 | 8 | ns |
| T4 | $t_w(RFT_CLKH)$ | パルス幅、RFT_CLK high | $0.45 * T^{(3)}$ | | ns |

図 6-100 参照

| 番号 | パラメータ | ソース | 最小値 | 最大値 | 単位 |
|----|-------------------------|------------------|------------------|-----|----|
| T5 | $t_w(\text{RFT_CLKL})$ | パルス幅、RFT_CLK low | $0.45 * T^{(3)}$ | | ns |

- (1) P = 機能クロック周期 (ns 単位)。
 (2) HWnTSPUSH で、n = 1~2
 (3) T = RFT_CLK 周期 (ns 単位)。

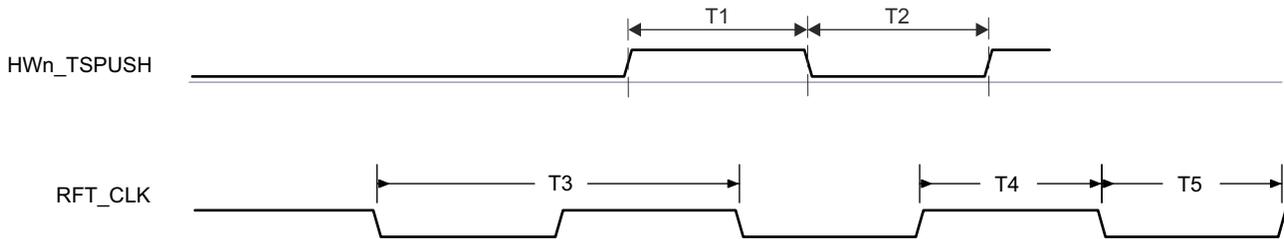


図 6-100. CPTS のタイミング要件

6.10.5.18.2 CPTS スイッチング特性

図 6-101 参照

| 番号 | パラメータ | ソース | 最小値 | 最大値 | 単位 |
|-----|---------------------------|-------------------|-----------------|-----|----|
| T6 | $t_w(\text{TS_COMPH})$ | パルス幅、TS_COMP high | $36P - 2^{(1)}$ | | ns |
| T7 | $t_w(\text{TS_COMPL})$ | パルス幅、TS_COMP low | $36P - 2^{(1)}$ | | ns |
| T8 | $t_w(\text{TS_SYNCH})$ | パルス幅、TS_SYNC high | $36P - 2^{(1)}$ | | ns |
| T9 | $t_w(\text{TS_SYNCL})$ | パルス幅、TS_SYNC low | $36P - 2^{(1)}$ | | ns |
| T10 | $t_w(\text{SYNCn_OUTH})$ | TS_SYNC | $36P - 2^{(1)}$ | | ns |
| | | TS_GENF | $5P - 2^{(1)}$ | | ns |
| T11 | $t_w(\text{SYNCn_OUTL})$ | TS_SYNC | $36P - 2^{(1)}$ | | ns |
| | | TS_GENF | $5P - 2^{(1)}$ | | ns |

- (1) P = 機能クロック周期 (ns 単位)。
 (2) SYNCn_OUT では N = 0~3

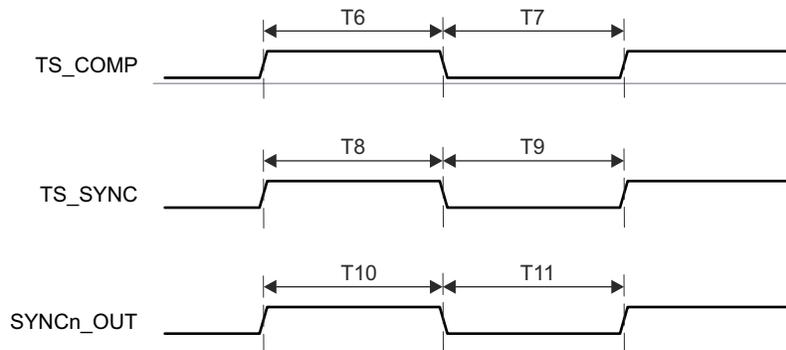


図 6-101. CPTS スイッチング特性

詳細については、デバイスのテクニカル リファレンス マニュアルで「データ移動アーキテクチャ (DMA)」の章にある「ナビゲータ サブシステム (NAVSS)」セクションを参照してください。

6.10.5.19 OSPI

デバイスのオクタール シリアル ペリフェラル インターフェイスの機能および追加の説明情報については、「信号の説明」および「詳細説明」の対応するセクションを参照してください。

表 6-85 に、OSPI のタイミング条件を示します。

表 6-85. OSPI のタイミング条件

| パラメータ | | | 最小値 | 最大値 | 単位 |
|---------------------------------------|---|-------------------------------|-----------------------|-----------------------|------|
| 入力条件 | | | | | |
| SR _i | 入力スルーレート | 3.3V、すべてのモード | 2 | 6 | V/ns |
| | | 1.8V、DQS 付き PHY データトレーニング DDR | 0.75 | 6 | V/ns |
| | | 1.8V、その他のすべてのモード | 1 | 6 | V/ns |
| 出力条件 | | | | | |
| C _L | 出力負荷容量 | すべてのモード | 3 | 10 | pF |
| PCB 接続要件 | | | | | |
| t _d (Trace Delay) | 伝搬遅延 OSPI_CLK パターン | ループバックなし、 内部パッド ループバック | | 450 | ps |
| | 伝搬遅延 OSPI_LBCLKO パターン | 外部ボードのループバック | 2*L-30 ⁽²⁾ | 2*L+30 ⁽²⁾ | ps |
| | 伝搬遅延 OSPI_DQS パターン | DQS | L-30 ⁽²⁾ | L+30 ⁽²⁾ | ps |
| t _d (Trace Mismatch Delay) | 伝搬遅延の不整合 OSPI_CLK に対する、OSPI_D[i:0] ⁽¹⁾ 、OSPI_CS _n | すべてのモード | | 60 | ps |

- (1) OSPI0 で D[i:0] の i は 0~7、OSPI1 で [i:0] の i は 3
 (2) L = OSPI_CLK パターンの伝搬遅延

6.10.5.19.1 OSPI0/1 PHY モード

6.10.5.19.1.1 PHY データ トレーニング付き OSPI0/1

読み出し / 書き込みデータ有効ウィンドウは、プロセス、電圧、温度、動作周波数の変動によって変化します。最適な読み出し / 書き込みタイミングを動的に構成するために、データ トレーニング手法を実装することもできます。データ トレーニングを実装すると、特定のプロセス、電圧、周波数の動作条件において、温度範囲全体にわたって適切な動作を実現すると同時に、より高い動作周波数を実現できます。

データの送受信タイミング パラメータは、動作条件に基づいて動的に調整されるため、データ トレーニングの使用事例では定義されていません。

表 6-86 は、データ トレーニング付きの OSPI0/1 に必要な DLL 遅延を定義しています。表 6-87、図 6-102 図 6-103、表 6-88、図 6-104、図 6-105 に、データ トレーニング付き OSPI0/1 のタイミング要件とスイッチング特性を示します。

表 6-86. PHY データ トレーニング用の OSPI0/1 DLL 遅延マッピング

| モード | OSPI_PHY_CONFIGURATION_REG ビット フィールド | 遅延値 |
|-----------|--------------------------------------|-----|
| 送信 | | |
| すべてのモード | PHY_CONFIG_TX_DLL_DELAY_FLD | (1) |
| 受信 | | |
| すべてのモード | PHY_CONFIG_RX_DLL_DELAY_FLD | (2) |

(1) トレーニング ソフトウェアによって決定される送信 DLL 遅延の値

(2) トレーニング ソフトウェアによって決定される受信 DLL 遅延の値

表 6-87. OSPI0 のタイミング要件 – PHY データ トレーニング

図 6-102、図 6-103 を参照

| 番号 | | モード | 最小値 | 最大値 | 単位 |
|-----|-------------------|--|--------------------------|-----|----|
| O15 | $t_{su}(D-LBCLK)$ | セットアップ時間、OSPI0_D[7:0] 有効から OSPI0_DQS のエッジまで | (1) | | ns |
| O16 | $t_h(LBCLK-D)$ | ホールド時間、OSPI0_DQS のアクティブ エッジ後に OSPI0_D[7:0] を有効に保持すべき時間 | (1) | | ns |
| O21 | $t_{su}(D-LBCLK)$ | セットアップ時間、OSPI0_D[7:0] 有効から OSPI0_DQS のエッジまで | (1) | | ns |
| O22 | $t_h(LBCLK-D)$ | ホールド時間、OSPI0_DQS のアクティブ エッジ後に OSPI0_D[7:0] を有効に保持すべき時間 | (1) | | ns |
| | t_{DvW} | データ有効ウィンドウ (O15 + O16) | 1.8V、DQS 付き DDR | 1.4 | ns |
| | | データ有効ウィンドウ (O21 + O22) | 1.8V、内部 PHY ループバック付き SDR | 1.7 | ns |

(1) データ トレーニングを使用して最適なデータ有効ウィンドウを見つける場合、OSPI0/1_D[7:0] 入力の最小セットアップ時間およびホールド時間の要件は定義されません。 t_{DvW} パラメータは、必要な最小データ無効ウィンドウを定義します。このパラメータは、最小セットアップ時間や最小ホールド時間の代わりに提供され、接続されているデバイスから提供されるデータ有効ウィンドウとの互換性を確認するために使用する必要があります。

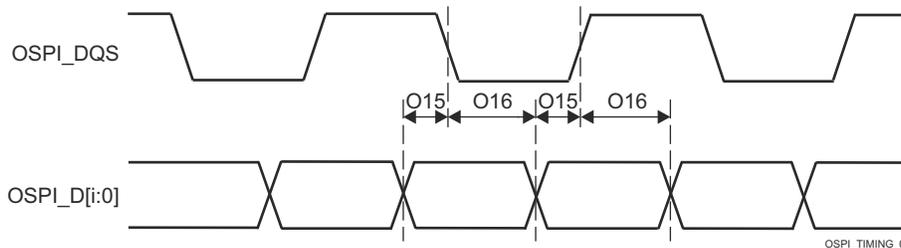


図 6-102. OSPI0/1 のタイミング要件 – PHY データ トレーニング、DQS 付き DDR

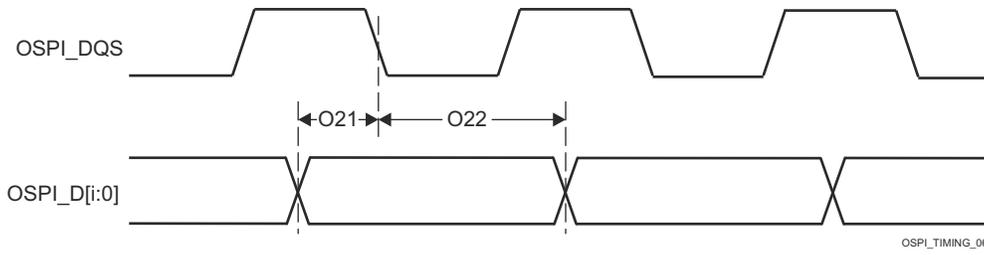


図 6-103. OSPI0/1 のタイミング要件 – PHY データ トレーニング、内部 PHY ループバック付き SDR

表 6-88. OSPI0/1 のスイッチング特性 - PHY データ トレーニング

図 6-104 および 図 6-105 を参照

| 番号 | パラメータ | モード | 最小値 | 最大値 | 単位 |
|-----|-------------------------|--------------------------|--|--|----|
| O1 | $t_{c}(\text{CLK})$ | 1.8V、DDR | 6.0 | 6.0 | ns |
| O7 | | 1.8V、SDR | 6.0 | 6.0 | ns |
| O2 | $t_{w}(\text{CLKL})$ | DDR | $((0.475P^{(1)}) - 0.3)$ | | ns |
| O8 | | SDR | | | |
| O3 | $t_{w}(\text{CLKH})$ | DDR | $((0.475P^{(1)}) - 0.3)$ | | ns |
| O9 | | SDR | | | |
| O4 | $t_{d}(\text{CSn-CLK})$ | DDR | $((0.475P^{(1)}) + (0.975M^{(2)}R^{(4)}) + (0.028TD^{(5)} - 1))$ | $((0.525P^{(1)}) + (1.025M^{(2)}R^{(4)}) + (0.055TD^{(5)} + 1))$ | ns |
| O10 | | SDR | | | |
| O5 | $t_{d}(\text{CLK-CSn})$ | DDR | $((0.475P^{(1)}) + (0.975N^{(3)}R^{(4)}) - (0.055TD^{(5)} - 1))$ | $((0.525P^{(1)}) + (1.025N^{(3)}R^{(4)}) - (0.028TD^{(5)} + 1))$ | ns |
| O11 | | SDR | | | |
| O6 | $t_{d}(\text{CLK-D})$ | DDR | (6) | (6) | ns |
| O12 | | SDR | | | |
| | t_{DIVW} | データ無効ウィンドウ (O6 最大 - 最小) | | | 1 |
| | | データ無効ウィンドウ (O12 最大 - 最小) | | | |

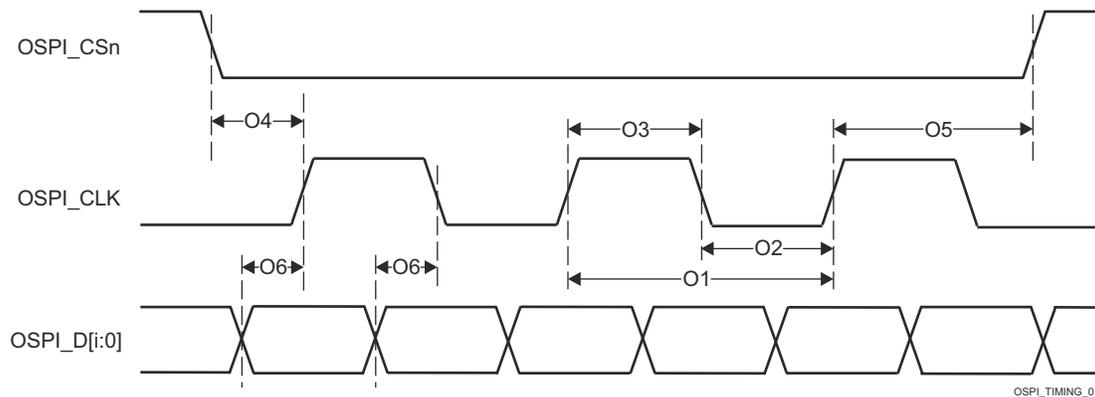
(1) $P = \text{SCLK}$ サイクル時間 (ns) = OSPI0_CLK 周期 (ns)(2) $M = \text{OSPI_DEV_DELAY_REG}[D_INIT_FLD]$ (3) $N = \text{OSPI_DEV_DELAY_REG}[D_AFTER_FLD]$ (4) $R =$ リファレンス クロック サイクル時間 (ns 単位)(5) $TD = \text{PHY_CONFIG_TX_DLL_DELAY_FLD}$ (6) データトレーニングを使用して最適なデータ有効ウィンドウを見つける場合、OSPI0_D[7:0] 出力の最小および最大遅延時間は定義されません。 t_{DIVW} パラメータは、最大データ無効ウィンドウを定義します。このパラメータは、最小および最大遅延時間の代わりに提供され、接続されているデバイスのデータ有効ウィンドウ要件との互換性を確認するために使用する必要があります。

図 6-104. OSPI0/1 のスイッチング特性 - PHY DDR データ トレーニング

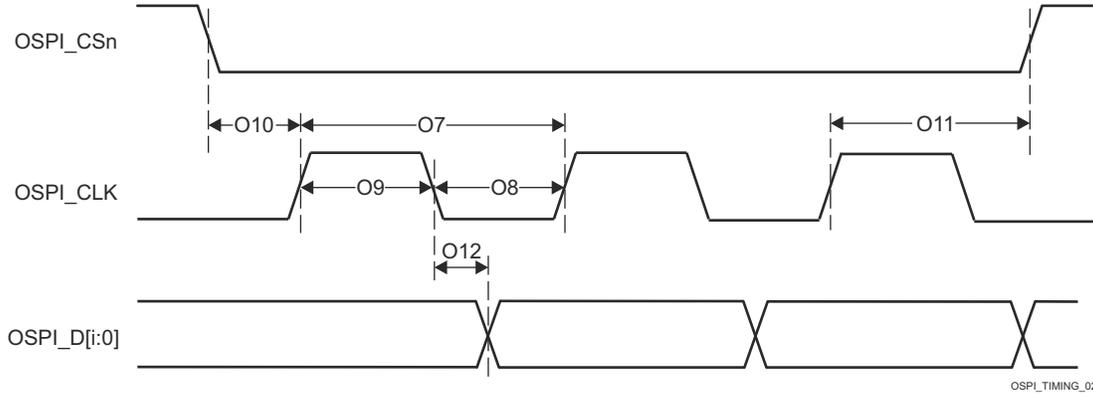


図 6-105. OSPI0/1 のスイッチング特性 - PHY SDR データ トレーニング

6.10.5.19.1.2 データ トレーニングなし OSPI

注

このセクションに示す I/O タイミングは、データトレーニングが実装されていない場合にのみ適用されます。さらに、この I/O タイミングは、対応する DLL 遅延がこのセクションの表 6-89 で説明するように構成されている場合に、一部の OSPI 使用モードでのみ有効です。

セクション 6.10.5.19.1.2.4、セクション 6.10.5.19.1.2、セクション 6.10.5.19.1.2.2 および セクション 6.10.5.19.1.2 に、OSPI DDR および SDR モードのスイッチング特性を示します。

6.10.5.19.1.2.1 OSPI のタイミング要件 - SDR モード

表 6-89. OSPI DLL 遅延マッピング - SDR タイミング モード

| モード | OSPI_PHY_CONFIGURATION_REG ビット フィールド | 遅延値 |
|---------|--------------------------------------|-----|
| すべてのモード | PHY_CONFIG_TX_DLL_DELAY_FLD | 0x0 |
| | PHY_CONFIG_RX_DLL_DELAY_FLD | 0x0 |

表 6-90. OSPI のタイミング要件 - SDR モード

| 番号 | パラメータ | 説明 | モード | 最小値 | 最大値 | 単位 |
|-----|-------------------|---|-------------------|-----|-----|----|
| O21 | $t_{su}(D-LBCLK)$ | セットアップ時間、D[i:0] 有効からアクティブ LBCLK 入力 (DQS) エッジまで ⁽¹⁾ | 1.8V、外部ボード ループバック | 0.6 | | ns |
| | | | 3.3V、外部ボード ループバック | 0.9 | | ns |
| O22 | $t_h(LBCLK-D)$ | ホールド時間、アクティブ LBCLK 入力 (DQS) エッジから D[i:0] 有効まで ⁽¹⁾ | 1.8V、外部ボード ループバック | 1.7 | | ns |
| | | | 3.3V、外部ボード ループバック | 2 | | ns |

(1) OSPI0 で D[i:0] の i は 7、OSPI1 で [i:0] の i は 3

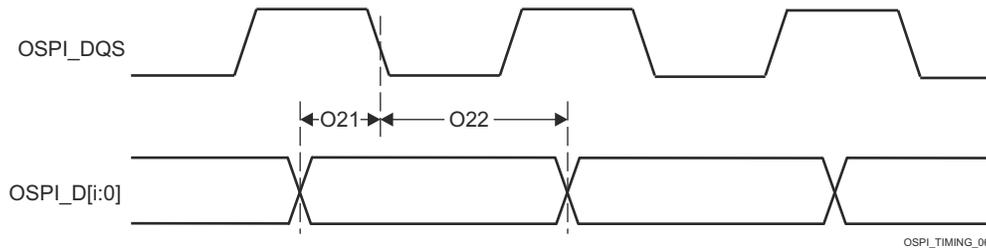


図 6-106. OSPI のタイミング要件 - SDR、外部ループバック クロック

6.10.5.19.1.2.2 OSPI のスイッチング特性 – SDR モード

| 番号 | パラメータ | 説明 | モード | 最小値 | 最大値 | 単位 |
|-----|-------------------------|---|-------|---|---|----|
| O7 | $t_{c}(\text{CLK})$ | サイクル時間、CLK | 1.8 V | 7 | | ns |
| | | | 3.3 V | 7.5 | | ns |
| O8 | $t_{w}(\text{CLKL})$ | パルス幅、CLK low | | $((0.475P^{(1)}) - 0.3)$ | | ns |
| O9 | | パルス幅、CLK high | | $((0.475P^{(1)}) - 0.3)$ | | ns |
| O10 | $t_{d}(\text{CSn-CLK})$ | 遅延時間、CSn アクティブ エッジから CLK 立ち上がりエッジまで | 1.8 V | $((0.475P^{(1)}) + (0.975M^{(2)R(4)}) + (0.028TD^{(5)} - 1)) - ((0.525P^{(1)}) + (1.025M^{(2)R(4)}) + (0.055TD^{(5)} - 1))$ | | ns |
| | | | 3.3 V | $((0.475P^{(1)}) + (0.975M^{(2)R(4)}) + (0.028TD^{(5)} - 1)) - ((0.525P^{(1)}) + (1.025M^{(2)R(4)}) + (0.055TD^{(5)} - 1))$ | | ns |
| O11 | $t_{d}(\text{CLK-CSn})$ | 遅延時間、CLK 立ち上がりエッジから CSn 非アクティブ エッジまで | 1.8 V | $((0.475P^{(1)}) + (0.975N^{(3)R(4)} - 1)) - ((0.525P^{(1)}) + (1.025N^{(3)R(4)} - 1)) - (0.055TD^{(5)} - 1)$ | $((0.525P^{(1)}) + (1.025N^{(3)R(4)} - 1)) - (0.028TD^{(5)} - 1)$ | ns |
| | | | 3.3 V | $((0.475P^{(1)}) + (0.975N^{(3)R(4)} - 1)) - (0.055TD^{(5)} - 1)$ | $((0.525P^{(1)}) + (1.025N^{(3)R(4)} - 1)) - (0.028TD^{(5)} - 1)$ | ns |
| O12 | $t_{d}(\text{CLK-D})$ | 遅延時間、CLK アクティブ エッジから D[i:0] 遷移まで ⁽⁶⁾ | 1.8 V | -1.16 | 1.25 | ns |
| | | | 3.3 V | -1.33 | 1.51 | ns |

- (1) P = CLK サイクル時間 = SCLK 周期
(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]
(3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]
(4) R = refclk
(5) TD = PHY_CONFIG_TX_DLL_DELAY_FLD
(6) OSPI0 で D[i:0] の i は 7、OSPI1 で [i:0] の i は 3

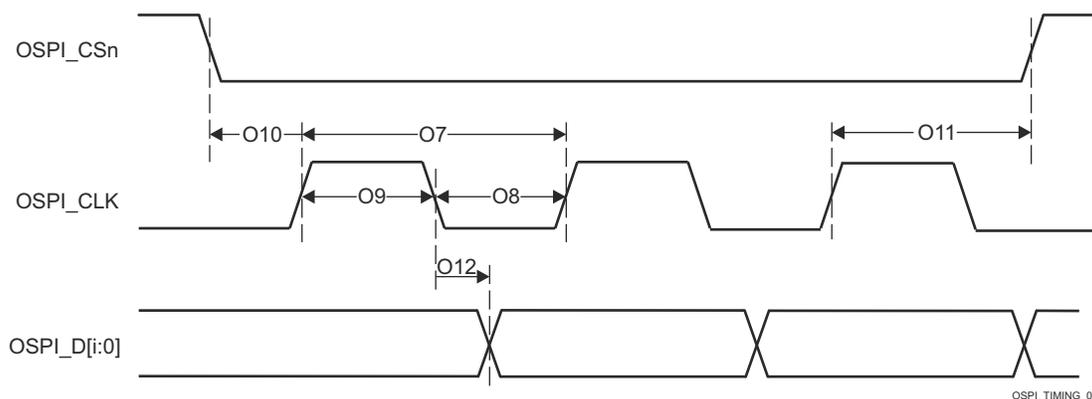


図 6-107. OSPI のスイッチング特性 – SDR

セクション 6.10.5.19.1.2.3、セクション 6.10.5.19.1.2.1、セクション 6.10.5.19.1.2.2、セクション 6.10.5.19.1.2.2、および図 6-106 に、OSPI DDR および SDR モードのタイミング要件を示します。

6.10.5.19.1.2.3 OSPI のタイミング要件 – DDR モード

表 6-91. OSPI DLL 遅延マッピング - DDR タイミング モード

| モード | OSPI_PHY_CONFIGURATION_REG ビット フィールド | OSPI0 | OSPI1 |
|-------------|---|-------|-------|
| | | 遅延値 | |
| 送信 | | | |
| 1.8V | PHY_CONFIG_TX_DLL_DELAY_FLD | 0x54 | 0x54 |
| 3.3V | PHY_CONFIG_TX_DLL_DELAY_FLD | 0x55 | 0x5C |
| 受信 | | | |
| 1.8V、DQS | PHY_CONFIG_RX_DLL_DELAY_FLD | 0x23 | 0x29 |
| 3.3V、DQS | PHY_CONFIG_RX_DLL_DELAY_FLD | 0x47 | 0x42 |
| その他のすべてのモード | PHY_CONFIG_RX_DLL_DELAY_FLD | 0x0 | 0x0 |

表 6-92. OSPI のタイミング要件 – DDR モード

| 番号 | パラメータ | 説明 | モード | 最小値 | 最大値 | 単位 |
|-----|-------------------|--|-------------------|---------------------|-----|----|
| O15 | $t_{su}(D-LBCLK)$ | セットアップ時間、D[i:0] 有効からアクティブ LBCLK (DQS) エッジまで ⁽¹⁾ | 1.8V、外部ボード ループバック | 0.52 | | ns |
| | | | 3.3V、外部ボード ループバック | 1.97 | | ns |
| O16 | $t_h(LBCLK-D)$ | ホールド時間、アクティブ LBCLK (DQS) エッジから D[i:0] 有効の間 ⁽¹⁾ | 1.8V、外部ボード ループバック | 1.24 ⁽²⁾ | | ns |
| | | | 3.3V、外部ボード ループバック | 1.44 ⁽²⁾ | | ns |
| O17 | $t_{su}(D-DQS)$ | セットアップ時間、DQS エッジから D[i:0] 遷移まで ⁽¹⁾ | 1.8V、DQS | -0.46 | | ns |
| | | | 3.3V、DQS | -0.66 | | ns |
| O18 | $t_h(DQS-D)$ | ホールド時間、DQS エッジから D[i:0] 遷移まで ⁽¹⁾ | 1.8V、DQS | 3.59 | | ns |
| | | | 3.3V、DQS | 8.89 | | ns |

(1) OSPI0 で D[i:0] の i は 7、OSPI1 で [i:0] の i は 3

(2) このホールド時間の要件は、一般的なフラッシュ デバイスのホールド時間よりも長いですが、したがって、SoC と、フラッシュ デバイスとの間のトレース長は、SoC のホールド時間を確実に満たすのに十分な長さにする必要があります。詳細については、『OSPI および QSPI 基板の設計およびレイアウトのガイドライン』を参照してください。

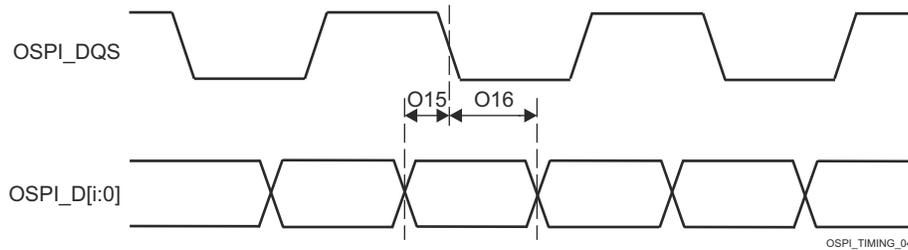


図 6-108. OSPI のタイミング要件 – DDR、外部ループバック クロックおよび DQS

6.10.5.19.1.2.4 OSPI のスイッチング特性 - PHY DDR モード

| 番号 | パラメータ | 説明 | モード | 最小値 | 最大値 | 単位 |
|----|--------------------|---------------|-------|----------------------------------|-----|----|
| O1 | $t_c(\text{CLK})$ | サイクル時間、CLK | 1.8 V | 19 | | ns |
| | | | 3.3 V | 19 | | ns |
| O2 | $t_w(\text{CLKL})$ | パルス幅、CLK low | | ((0.475P ⁽¹⁾) - 0.3) | | ns |
| O3 | $t_w(\text{CLKH})$ | パルス幅、CLK high | | ((0.475P ⁽¹⁾) - 0.3) | | ns |

| 番号 | パラメータ | 説明 | モード | 最小値 | 最大値 | 単位 |
|----|--------------------------|---|--|---|-------|----|
| O4 | t _d (CLK-CSn) | 遅延時間、CSn アクティブ エッジから CLK 立ち上がりエッジまで | 1.8 V | $((0.475P^{(1)}) + (0.975M^{(2)R(4)}) + (0.028TD^{(5)} - 1)) + ((0.525P^{(1)}) + (1.025M^{(2)R(4)}) + (0.055TD^{(5)} - 1))$ | ns | |
| | | | 3.3 V | $((0.475P^{(1)}) + (0.975M^{(2)R(4)}) + (0.028TD^{(5)} - 1)) + ((0.525P^{(1)}) + (1.025M^{(2)R(4)}) + (0.055TD^{(5)} - 1))$ | ns | |
| O5 | t _d (CLK-CSn) | 遅延時間、CLK 立ち上がりエッジから CSn 非アクティブ エッジまで | 1.8 V | $((0.475P^{(1)}) + (0.975N^{(3)R(4)}) + (0.055TD^{(5)} - 1)) + ((0.525P^{(1)}) + (1.025N^{(3)R(4)}) + (0.028TD^{(5)} - 1))$ | ns | |
| | | | 3.3V, OSPI0 DDR TX, 3.3V, OSPI1 DDR TX | $((0.475P^{(1)}) + (0.975N^{(3)R(4)}) + (0.055TD^{(5)} - 1)) + ((0.525P^{(1)}) + (1.025N^{(3)R(4)}) + (0.028TD^{(5)} - 1))$ | ns | |
| O6 | t _d (CLK-D) | 遅延時間、CLK アクティブ エッジから D[i:0] 遷移まで ⁽⁶⁾ | 1.8V, OSPI0 DDR TX, 1.8V, OSPI1 DDR TX | -7.71 | -1.56 | ns |
| | | | 3.3V, OSPI0 DDR TX, 3.3V, OSPI1 DDR TX | -7.71 | -1.56 | ns |

- (1) P = CLK サイクル時間 = SCLK 周期
- (2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]
- (3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]
- (4) R = リファレンス クロック サイクル時間 (ns 単位)
- (5) TD = PHY_CONFIG_TX_DLL_DELAY_FLD
- (6) OSPI0 で D[i:0] の i は 7, OSPI1 で [i:0] の i は 3

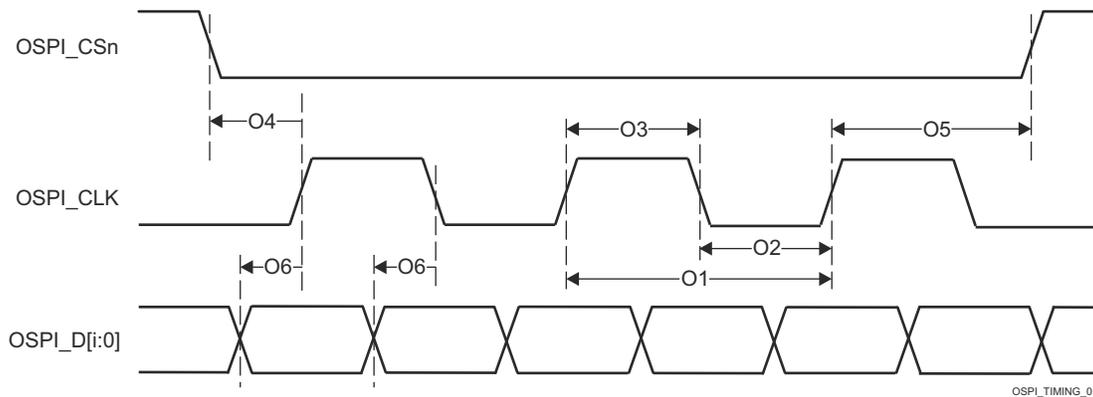


図 6-109. OSPI のスイッチング特性 – DDR

6.10.5.19.2 OSPI0/1 タップモード

6.10.5.19.2.1 OSPI0 タップ SDR のタイミング

表 6-93、図 6-110、表 6-94、図 6-111 に、OSPI0 タップ SDR モードのタイミング要件とスイッチング特性を示します。

表 6-93. OSPI0/1 のタイミング要件 – タップ SDR モード

図 6-110 参照

| 番号 | | | モード | 最小値 | 最大値 | 単位 |
|-----|-----------------|---|----------|---|-----|----|
| O19 | $t_{su}(D-CLK)$ | セットアップ時間、OSPI0/1_D[7:0] 有効からアクティブ OSPI0/1_CLK エッジまで | ループバックなし | (15.4 - (0.975T ⁽¹⁾ R ⁽²⁾)) | | ns |
| O20 | $t_h(CLK-D)$ | ホールド時間、OSPI0/1_CLK のアクティブエッジから OSPI0/1_D[7:0] 有効の間 | ループバックなし | (-5.2 + (0.975T ⁽¹⁾ R ⁽²⁾)) | | ns |

(1) T = OSPI_RD_DATA_CAPTURE_REG[DELAY_FLD]

(2) R = 基準クロック サイクル時間 (ns)

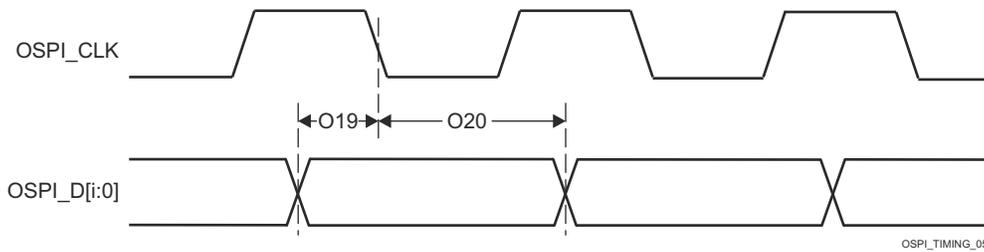


図 6-110. OSPI0/1 のタイミング要件 – タップ SDR、ループバックなし

表 6-94. OSPI0/1 のスイッチング特性 – タップ SDR モード

図 6-111 参照

| 番号 | パラメータ | モード | 最小値 | 最大値 | 単位 |
|-----|-------------------------|--|--|--|----|
| O7 | $t_{c}(\text{CLK})$ | サイクル時間、OSPI0/1_CLK | 20 | | ns |
| O8 | $t_{w}(\text{CLKL})$ | パルス幅、OSPI0/1_CLK Low | $((0.475P^{(1)}) - 0.3)$ | | ns |
| O9 | $t_{w}(\text{CLKH})$ | パルス幅、OSPI0/1_CLK high | $((0.475P^{(1)}) - 0.3)$ | | ns |
| O10 | $t_{d}(\text{CSn-CLK})$ | 遅延時間、OSPI0/1_CS[n:3:0] アクティブ エッジから OSPI0/1_CLK 立ち上がりエッジまで | $((0.475P^{(1)}) + (0.975M^{(2)}R^{(4)}) - 1)$ | $((0.525P^{(1)}) + (1.025M^{(2)}R^{(4)}) + 1)$ | ns |
| O11 | $t_{d}(\text{CLK-CSn})$ | 遅延時間、OSPI0/1_CLK 立ち上がりエッジから OSPI0/1_CS[n:3:0] 非アクティブ エッジまで | $((0.475P^{(1)}) + (0.975N^{(3)}R^{(4)}) - 1)$ | $((0.525P^{(1)}) + (1.025N^{(3)}R^{(4)}) + 1)$ | ns |
| O12 | $t_{d}(\text{CLK-D})$ | 遅延時間、OSPI0/1_CLK アクティブ エッジから OSPI0/1_D[7:0] 遷移まで | -2 | 2 | ns |

(1) P = CLK サイクル時間 = SCLK 周期 (ns 単位)

(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]

(3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]

(4) R = 基準クロック サイクル時間 (ns)

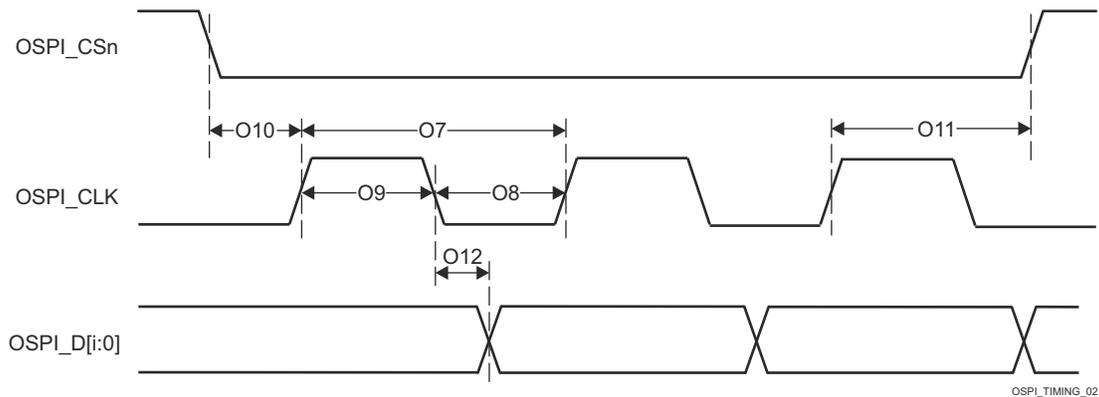


図 6-111. OSPI0/1 のスイッチング特性 – タップ SDR、ループバックなし

6.10.5.19.2.2 OSPI0 タップ DDR のタイミング

表 6-95、図 6-112、表 6-96、図 6-113 に、OSPI0 タップ DDR モードのタイミング要件とスイッチング特性を示します。

表 6-95. OSPI0/1 のタイミング要件 – タップ DDR モード

図 6-112 参照

| 番号 | | モード | 最小値 | 最大値 | 単位 |
|-----|-----------------|----------|--|-----|----|
| O13 | $t_{su}(D-CLK)$ | ループバックなし | (17.04 - (0.975T ⁽¹⁾ R ⁽²⁾)) | | ns |
| O14 | $t_h(CLK-D)$ | ループバックなし | (-3.16 + (0.975T ⁽¹⁾ R ⁽²⁾)) | | ns |

- (1) T = OSPI_RD_DATA_CAPTURE_REG[DELAY_FLD]
(2) R = 基準クロック サイクル時間 (ns)

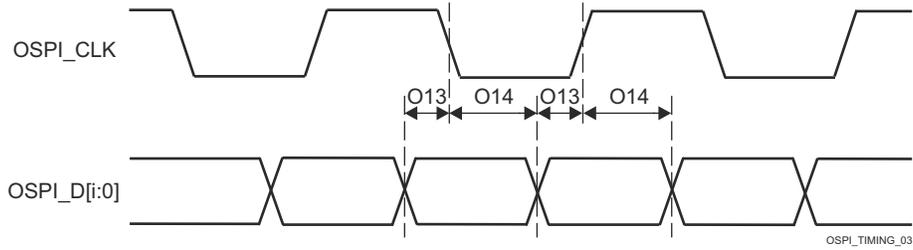


図 6-112. OSPI0/1 のタイミング要件 – タップ DDR、ループバックなし

表 6-96. OSPI0/1 のスイッチング特性 – タップ DDR モード

図 6-113 参照

| 番号 | パラメータ | モード | 最小値 | 最大値 | 単位 |
|----|-------------------------|--|--|---|----|
| O1 | $t_{c}(\text{CLK})$ | サイクル時間、OSPI0/1_CLK | 40 | | ns |
| O2 | $t_{w}(\text{CLKL})$ | パルス幅、OSPI0/1_CLK Low | $((0.475P^{(1)}) - 0.3)$ | | ns |
| O3 | $t_{w}(\text{CLKH})$ | パルス幅、OSPI0/1_CLK high | $((0.475P^{(1)}) - 0.3)$ | | ns |
| O4 | $t_{d}(\text{CSn-CLK})$ | 遅延時間、OSPI0/1_CS[n:0] アクティブ エッジから OSPI0/1_CLK 立ち上がりエッジまで | $((0.475P^{(1)}) + ((0.975M^{(2)}R^{(4)}) - 1)$ | $((0.525P^{(1)}) + (1.025M^{(2)}R^{(4)}) + 1)$ | ns |
| O5 | $t_{d}(\text{CLK-CSn})$ | 遅延時間、OSPI0/1_CLK 立ち上がりエッジから OSPI0/1_CS[n:0] 非アクティブ エッジまで | $((0.475P^{(1)}) + (0.975N^{(3)}R^{(4)}) - 1)$ | $((0.525P^{(1)}) + (1.025N^{(3)}R^{(4)}) + 1)$ | ns |
| O6 | $t_{d}(\text{CLK-D})$ | 遅延時間、OSPI0/1_CLK アクティブ エッジから OSPI0/1_D[7:0] 遷移まで | $(-5.04 + (0.975(T^{(5)} + 1)R^{(4)}) - (0.525P^{(1)}))$ | $(3.64 + (1.025(T^{(5)} + 1)R^{(4)}) - (0.475P^{(1)}))$ | ns |

- (1) P = CLK サイクル時間 = SCLK 周期 (ns 単位)
(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]
(3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]
(4) R = 基準クロック サイクル時間 (ns)
(5) T = OSPI_RD_DATA_CAPTURE_REG[DDR_READ_DELAY_FLD]

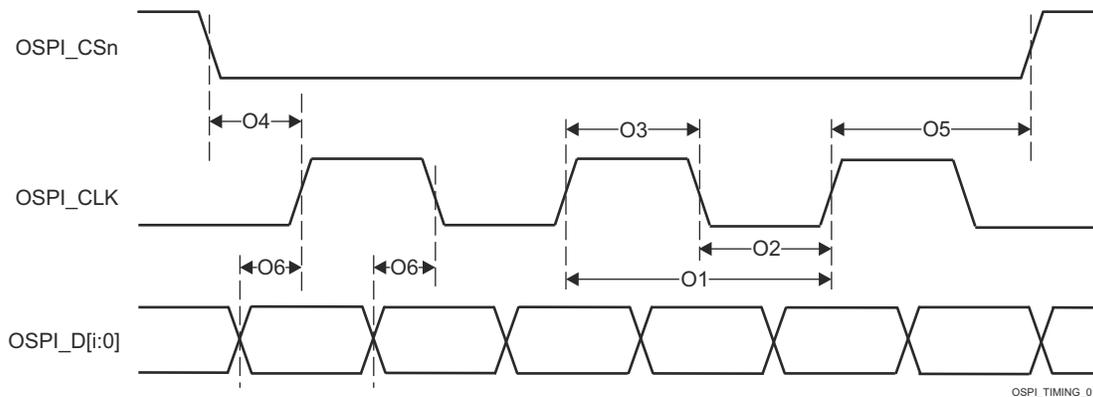


図 6-113. OSPI0/1 のスイッチング特性 – タップ DDR、ループバックなし

6.10.5.20 OLDI

6.10.5.20.1 OLDI スイッチング特性

| 番号 | パラメータ | モード | 最小値 | 最大値 | 単位 |
|----|---|--------|-------|-------|----|
| O1 | LVDS の Low から High への遷移時間の最大値 | IOSET1 | 0.18 | 0.5 | ns |
| O2 | LVDS の High から Low への遷移時間の最大値 | IOSET1 | 0.18 | 0.5 | ns |
| O3 | トランスミッタ出力ビット幅の最小値 | IOSET1 | 1 | 1 | UI |
| O4 | トランスミッタのパルス位置 - 正規化 | IOSET1 | 0.25 | 0.75 | ns |
| O5 | ビット 7:0 のパルス位置でのトランスミッタ・パルス位置の変動 | IOSET1 | -0.06 | 0.06 | ns |
| O6 | TxOut チャンネル間スキュー | IOSET1 | | 110 | ns |
| O7 | トランスミッタのジッタ、サイクル間 | IOSET1 | 0.028 | 0.035 | ns |
| O8 | 入力総ジッタ許容値 (データからクロックへのスキュー、パルス位置の変動を含む) | IOSET1 | | 0.25 | ns |

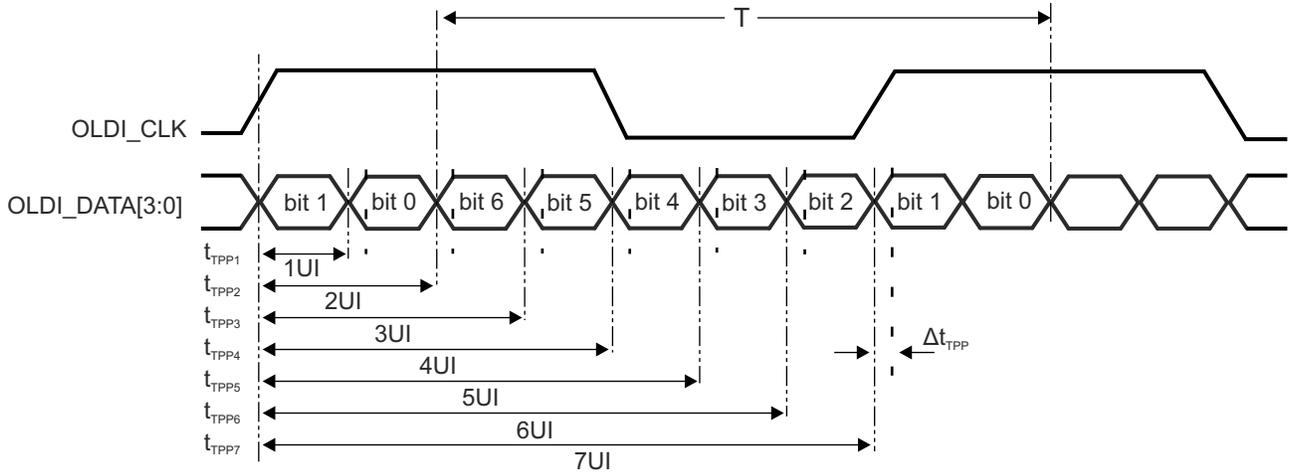


図 6-114. OLDI トランスミッタのパルス位置

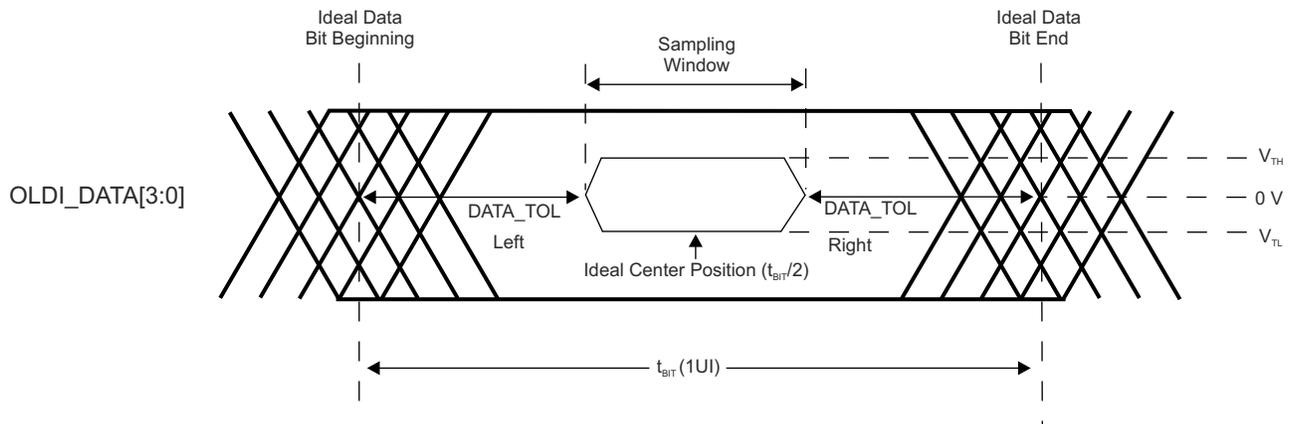


図 6-115. OLDI データ出力ジッタ

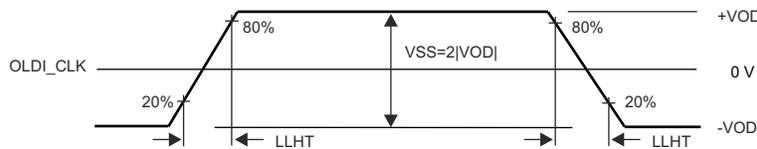


図 6-116. LVDS 出力遷移時間

デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ディスプレイ サブシステム (DSS) およびペリフェラル」セクションを参照してください。

6.10.5.21 PCIe

PCI-Express サブシステムは、PCIe® ベース仕様、レビジョン 4.0 に準拠しています。タイミングの詳細については、仕様を参照してください。

このデバイスの PCIe (Peripheral Component Interconnect Express) の機能および追加説明情報の詳細については、「信号の説明」および「詳細説明」の対応するセクションを参照してください。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「Peripheral Component Interconnect Express (PCIe) サブシステム」セクションを参照してください。

6.10.5.22 タイマ

デバイスのタイマの機能および追加の説明情報については、「信号の説明」、「詳細説明」の対応するセクションを参照してください。

表 6-97 に、タイマのタイミング条件を示します。

表 6-97. タイマのタイミング条件

| パラメータ | 説明 | モード | 最小値 | 最大値 | 単位 |
|--------|----------|-------|-----|-----|------|
| 入力条件 | | | | | |
| SR_i | 入力スルーレート | キャプチャ | 0.5 | 5 | V/ns |
| 出力条件 | | | | | |
| C_L | 出力負荷容量 | PWM | 2 | 10 | pF |

セクション 6.10.5.22.1、セクション 6.10.5.22.2、図 6-117 に、タイマのタイミングとスイッチング特性を示します。

6.10.5.22.1 タイマのタイミング要件

| 番号 | パラメータ | 説明 | モード | 最小値 | 最大値 | 単位 |
|----|----------------|-----------|-------|------------------|-----|----|
| T1 | $t_{w(TINPH)}$ | パルス幅、High | キャプチャ | $2.5 + 4P^{(1)}$ | | ns |
| T2 | $t_{w(TINPL)}$ | パルス幅、Low | キャプチャ | $2.5 + 4P^{(1)}$ | | ns |

(1) P = 機能クロック周期 (ns 単位)。

6.10.5.22.2 タイマのスイッチング特性

| 番号 | パラメータ | 説明 | モード | 最小値 | 最大値 | 単位 |
|----|--------------|-----------|-----|-------------------|-----|----|
| T3 | $t_w(TOUTH)$ | パルス幅、High | PWM | $-2.5 + 4P^{(1)}$ | | ns |
| T4 | $t_w(TOURL)$ | パルス幅、Low | PWM | $-2.5 + 4P^{(1)}$ | | ns |

(1) P = 機能クロック周期 (ns 単位)。

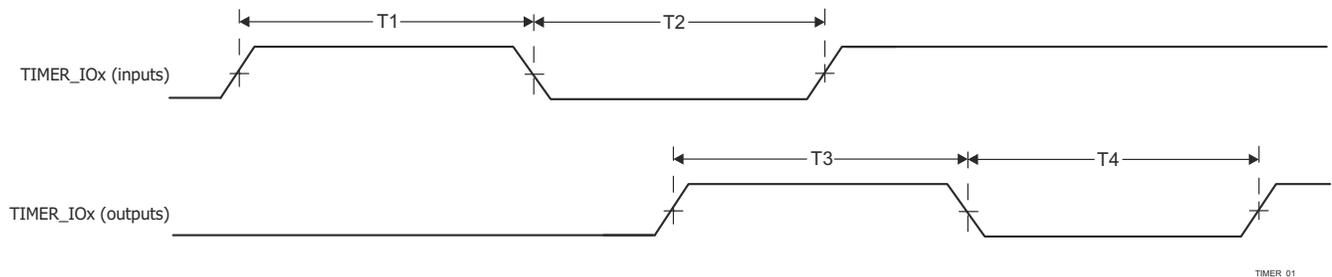


図 6-117. タイマのタイミング

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「タイマ」セクションを参照してください。

6.10.5.23 UART

このデバイスのユニバーサル非同期レシーバ/トランスミッタ (UART) の機能および追加説明情報の詳細については、「信号の説明」および「詳細説明」の対応するセクションを参照してください。

表 6-98 に、UART のタイミング条件を示します。

表 6-98. UART のタイミング条件

| パラメータ | 説明 | 最小値 | 最大値 | 単位 |
|-----------------|----------|-----|-------------------|------|
| 入力条件 | | | | |
| SR _i | 入力スルーレート | 0.5 | 5 | V/ns |
| 出力条件 | | | | |
| C _L | 出力負荷容量 | 1 | 30 ⁽¹⁾ | pF |

(1) この値は、絶対最大負荷容量を表します。UART のボーレートが上昇するにつれて、接続されているデバイスに十分なタイミング マージンを確保するために、負荷容量をこの最大制限より小さい値に減らす必要がある場合があります。容量性負荷の増加に伴い、出力の立ち上がり / 立ち下がり時間が長くなり、接続されているデバイスのレシーバに対してデータが有効である時間が短くなります。したがって、接続されたデバイスが動作ボーレートで必要とする最小データ有効時間を理解することが重要です。次に、デバイス IBIS モデルを使用して、UART 信号上での実際の負荷容量によって、接続されているデバイスの最小データ有効時間に違反するほど立ち上がり / 立ち下がり時間が増加しないことを確認します。

セクション 6.10.5.23.1、セクション 6.10.5.23.2、図 6-118 に、UART インターフェ이스のタイミング要件とスイッチング特性を示します。

6.10.5.23.1 UART のタイミング要件

| 番号 | パラメータ | 説明 | モード | 最小値 | 最大値 | 単位 |
|----|-----------------------|----------------------------|-----|-----------------------------|-----------------------------|----|
| 4 | t _w (rxd) | パルス幅、受信データビット High または Low | | 0.95U ⁽¹⁾ (2) | 1.05U ⁽¹⁾ (2) | ns |
| 5 | t _w (rxds) | パルス幅、受信スタートビット Low | | 0.95U ⁽¹⁾ (2) | | ns |

(1) U = UART のボー時間 = 1 / プログラムされたボーレート。

(2) この値はデータ有効時間を規定します。ここで、入力電圧は V_{IH} を上回る、または V_{IL} を下回る必要があります。

6.10.5.23.2 UART スwitching 特性

| 番号 | パラメータ | 説明 | 最小値 | 最大値 | 単位 |
|----|----------------------|-----------------------------|----------------------|----------------------|------|
| | f _(baud) | プログラム可能な最大ボーレート | | 12 | Mbps |
| 2 | t _w (TX) | パルス幅、送信データビット High または Low | U - 2 ⁽¹⁾ | U + 2 ⁽¹⁾ | ns |
| 3 | t _w (RTS) | パルス幅、送信スタートビット High または Low | U - 2 ⁽¹⁾ | | ns |

(1) U = UART のボー時間 = 1 / プログラムされたボーレート。

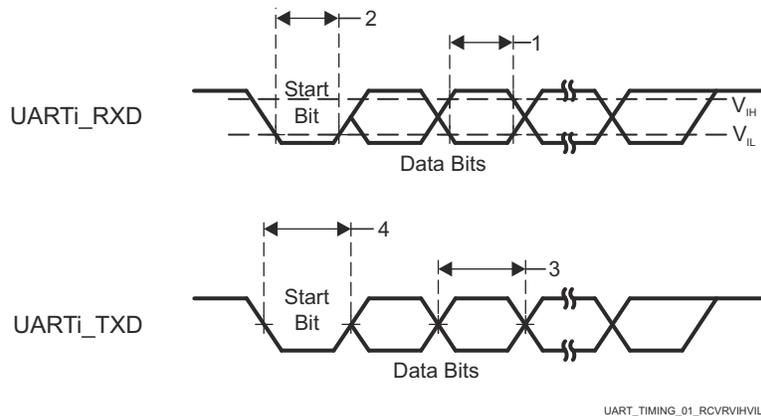


図 6-118. UART のタイミング

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ユニバーサル非同期レシーバ / トランスミッタ (UART)」セクションを参照してください。

6.10.5.24 USB

USB 2.0 サブシステムは、ユニバーサル シリアル バス (USB) 仕様、リビジョン 2.0 に準拠しています。タイミングの詳細については、仕様を参照してください。

USB 3.1 Gen1 デュアルロール デバイス サブシステムは、USB (Universal Serial Bus) 3.1 仕様、リビジョン 1.0 に準拠しています。タイミングの詳細については、仕様を参照してください。

デバイスのユニバーサル シリアル バス (USB) サブシステムの機能および追加の説明情報については、「[信号の説明](#)」および「[詳細説明](#)」の対応するセクションを参照してください。

6.10.6 エミュレーションおよびデバッグ

6.10.6.1 トレース

注

DEBUG0 には、複数のピンに多重化可能な信号が 1 つ以上あります。このセクションで定義されているタイミング要件とスイッチング特性は、IOSET と呼ばれる特定のピンの組み合わせにのみ有効です。このインターフェイスに有効なピンの組み合わせ (IOSET) は、[SysConfig-PinMux ツール](#)で定義されます。

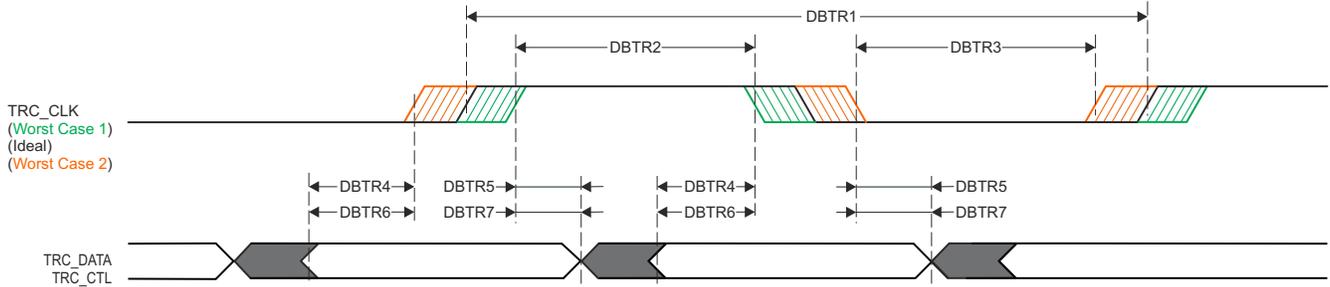
表 6-99. トレースのタイミング条件

| パラメータ | | 最小値 | 最大値 | 単位 |
|------------------------|----------------------|-----|-----|----|
| 出力条件 | | | | |
| C_L | 出力負荷容量 | 2 | 5 | pF |
| PCB 接続要件 | | | | |
| t_d (Trace Mismatch) | すべてのパターンにわたる伝搬遅延の不整合 | | 200 | ps |

表 6-100 および [図 6-119](#) は、推奨動作条件と電気的特性条件に基づくテストを想定しています。

表 6-100. トレースのスイッチング特性

| 番号 | パラメータ | | 最小値 | 最大値 | 単位 |
|------------------|-------------------------------|--|------|-----|----|
| 1.8 V モード | | | | | |
| DBTR1 | t_c (TRC_CLK) | サイクル時間、TRC_CLK | 6.50 | | ns |
| DBTR2 | t_w (TRC_CLKH) | パルス幅、TRC_CLK High | 2.50 | | ns |
| DBTR3 | t_w (TRC_CLKL) | パルス幅、TRC_CLK Low | 2.50 | | ns |
| DBTR4 | t_{osu} (TRC_DATAV-TRC_CLK) | 出力セットアップ時間、TRC_DATA 有効から TRC_CLK エッジまで | 0.81 | | ns |
| DBTR5 | t_{oh} (TRC_CLK-TRC_DATAI) | 出力ホールド時間、TRC_CLK エッジから TRC_DATA 無効まで | 0.81 | | ns |
| DBTR6 | t_{osu} (TRC_CTLV-TRC_CLK) | 出力セットアップ時間、TRC_CTL 有効から TRC_CLK エッジまで | 0.81 | | ns |
| DBTR7 | t_{oh} (TRC_CLK-TRC_CTLI) | 出力ホールド時間、TRC_CLK エッジから TRC_CTL 無効まで | 0.81 | | ns |
| 3.3 V モード | | | | | |
| DBTR1 | t_c (TRC_CLK) | サイクル時間、TRC_CLK | 9.75 | | ns |
| DBTR2 | t_w (TRC_CLKH) | パルス幅、TRC_CLK High | 4.13 | | ns |
| DBTR3 | t_w (TRC_CLKL) | パルス幅、TRC_CLK Low | 4.13 | | ns |
| DBTR4 | t_{osu} (TRC_DATAV-TRC_CLK) | 出力セットアップ時間、TRC_DATA 有効から TRC_CLK エッジまで | 1.22 | | ns |
| DBTR5 | t_{oh} (TRC_CLK-TRC_DATAI) | 出力ホールド時間、TRC_CLK エッジから TRC_DATA 無効まで | 1.22 | | ns |
| DBTR6 | t_{osu} (TRC_CTLV-TRC_CLK) | 出力セットアップ時間、TRC_CTL 有効から TRC_CLK エッジまで | 1.22 | | ns |
| DBTR7 | t_{oh} (TRC_CLK-TRC_CTLI) | 出力ホールド時間、TRC_CLK エッジから TRC_CTL 無効まで | 1.22 | | ns |



SPRSP08_Debug_01

図 6-119. トレースのスイッチング特性

6.10.6.2 JTAG

デバイスの IEEE 1149.1 Standard–Test–Access ポートの機能および追加の説明情報については、「信号の説明」、
「詳細説明」の対応するセクションを参照してください。

注

JTAG 信号は、デバイス上の 2 つの IO 電源ドメインに分割されます。このセクションで定義するタイミングパラメータは、2 つの IO 電源ドメインが同じ電圧で動作し、レベルシフタが信号パスに挿入されていない場合のみ適用されます。2 つの IO 電源ドメインを異なる電圧で動作させる場合、以下のタイミングパラメータの値は定義されません。一部が 1.8V で動作し、他の部分が 3.3V で動作している場合には、デバイスの IO バッファを通る伝搬遅延が異なるからです。これにより、タイミングマージンは、このセクションで定義される値よりも実質的に減少します。システム設計者が適切なレベルシフタを実装し、異なる電圧で動作しているレベルシフタと IO バッファによって挿入される追加の遅延に対応するために動作周波数を低下させるならば、2 つの IO 電源ドメインが異なる電圧で動作していても JTAG インターフェイスは引き続き機能することが期待されます。

表 6-101. JTAG のタイミング条件

| パラメータ | | 最小値 | 最大値 | 単位 |
|---------------------------------------|----------------------|------|---------------------|------|
| 入力条件 | | | | |
| SR _i | 入力スルーレート | 0.50 | 2.00 | V/ns |
| 出力条件 | | | | |
| C _L | 出力負荷容量 | 5 | 15 | pF |
| PCB 接続要件 | | | | |
| t _d (Trace Delay) | 各パターンの伝搬遅延 | 83.5 | 1000 ⁽¹⁾ | ps |
| t _d (Trace Mismatch Delay) | すべてのパターンにわたる伝搬遅延の不整合 | | 100 | ps |

(1) JTAG 信号トレースに関連する最大伝搬遅延は、最大 TCK 動作周波数に大きな影響を及ぼします。トレース遅延をこの値より大きくすることも可能ですが、追加のトレース遅延を考慮して TCK の動作周波数を下げる必要があります。

6.10.6.2.1 JTAG の電気的データおよびタイミング

セクション 6.10.6.2.1.1、セクション 6.10.6.2.1.2、図 6-120 は、推奨動作条件と電気的特性条件に基づくテストを想定しています。

6.10.6.2.1.1 JTAG のタイミング要件

図 6-120 を参照

| 番号 | パラメータ | 説明 | 最小値 | 最大値 | 単位 |
|----|-----------------------|-----------------|---------------------|-----|----|
| J1 | t _c (TCK) | 最小サイクル時間、TCK | 46.5 ⁽¹⁾ | | ns |
| J2 | t _w (TCKH) | 最小パルス幅、TCK High | 18.6 ⁽²⁾ | | ns |
| J3 | t _w (TCKL) | 最小パルス幅、TCK Low | 18.6 ⁽²⁾ | | ns |

図 6-120 を参照

| 番号 | パラメータ | 説明 | 最小値 | 最大値 | 単位 |
|----|-------------------|-----------------------------------|-----|-----|----|
| J4 | $t_{su}(TDI-TCK)$ | 最小入力セットアップ時間、TDI 有効から TCK High まで | 4.5 | | ns |
| | $t_{su}(TMS-TCK)$ | 最小入力セットアップ時間、TMS 有効から TCK High まで | 4.5 | | ns |
| J5 | $t_h(TCK-TDI)$ | 最小入力ホールド時間、TCK High から TDI 有効の間 | 2 | | ns |
| | $t_h(TCK-TMS)$ | 最小入力ホールド時間、TCK High から TMS 有効の間 | 2 | | ns |

(1) 最大 TCK 動作周波数は、接続されているデバッガについて、次のタイミング要件およびスイッチング特性を想定しています。デバッガがこれらの前提のいずれかを上回る場合、適切なタイミング マージンを確保するために、TCK の動作周波数を下げる必要があります。

- 最小 TDO セットアップ時間は、TCK の立ち上がりエッジに対して 4.6 ns
- TCK の立ち下がりエッジに対して -16.5 ns~14.0 ns の範囲の TDI および TMS 出力遅延

(2) $P = TCK$ サイクル時間 (ns 単位)

6.10.6.2.1.2 JTAG のスイッチング特性

図 6-120 を参照

| 番号 | パラメータ | 説明 | 最小値 | 最大値 | 単位 |
|----|------------------|----------------------------|-----|-----|----|
| J6 | $t_d(TCKL-TDOI)$ | 最小遅延時間、TCK Low から TDO 無効まで | 0 | | ns |
| J7 | $t_d(TCKL-TDOV)$ | 最大遅延時間、TCK Low から TDO 有効まで | | 12 | ns |

- JTAG 信号は、デバイス上の 2 つの IO 電源ドメインに分割されます。この表に定義されているタイミング パラメータは、2 つの IO 電源ドメインが同じ電圧で動作している場合にのみ適用されます。2 つの IO 電源ドメインを異なる電圧で動作させる場合、これらのタイミング パラメータの値は定義されません。一部が 1.8V で動作し、他の部分が 3.3V で動作している場合には、デバイスの IO バッファを通る伝搬遅延が異なるからです。これにより、タイミング マージンは、この表に定義された値よりも実質的に減少します。システム設計者が適切なレベル シフタを実装し、異なる電圧で動作しているレベル シフタと IO バッファによって挿入される追加の遅延に対応するために動作周波数を低下させるならば、2 つの IO 電源ドメインが異なる電圧で動作していても JTAG インターフェイスは引き続き機能することが期待されます。

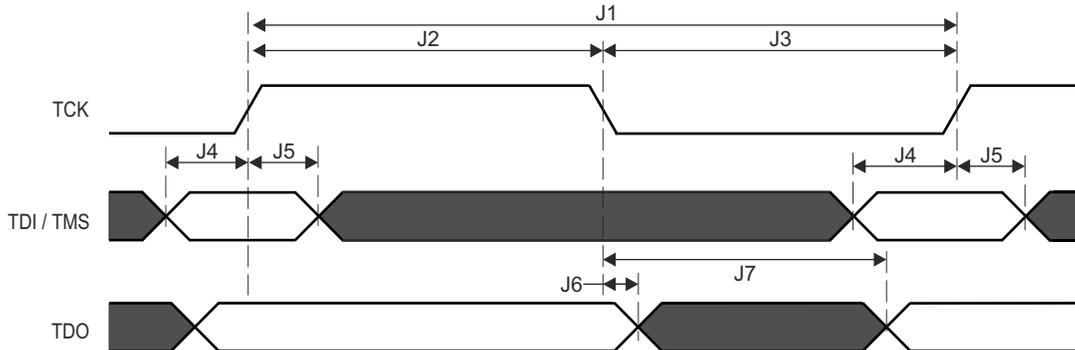


図 6-120. JTAG のタイミング要件およびスイッチング特性

7 詳細説明

7.1 概要

AM69、AM69A プロセッサ ファミリは、画期的な Jacinto 7 アーキテクチャを基礎とし、ADAS および自動運転車 (AV) アプリケーションを対象としており、ADAS プロセッサ市場において TI がリーダーとして 10 年以上蓄積した膨大な市場知識の上に構築されています。AM69、AM69A は、高度なシステム統合によって、従来型とディープ ラーニングの両方のアルゴリズムを業界最高の電力 / 性能比で高精度計算し、集中 ECU またはスタンドアロン センサの複数センサ方式をサポートする先進車載用プラットフォームの拡張とコスト低減を実現できます。主要なコアとして、スカラーおよびベクター コアを持つ次世代 DSP、ディープ ラーニング専用および従来型アルゴリズム用アクセラレータ、汎用計算用の最新の Arm および GPU プロセッサ、統合型次世代イメージング サブシステム (ISP)、ビデオ コーデック、イーサネット ハブ、分離された MCU アイランドが含まれています。これらはすべて、車載グレードの安全性とセキュリティ ハードウェア アクセラレータにより保護されています。

注

スーパーセット デバイスのシステム オン チップ (SoC) の機能、サブシステム、アーキテクチャの詳細については、デバイスのテクニカル リファレンス マニュアル を参照してください。

7.2 機能ブロック図

図 7-1 は、デバイスの機能ブロック図です。

注

テキサス・インスツルメンツのソフトウェア開発キット (SDK) が現在サポートしているデバイス機能の詳細については、AM64x ソフトウェア ビルド シート (PROCESSOR-SDK-AM69) および AM69A ソフトウェア ビルド シート (PROCESSOR-SDK-AM69A) を参照してください。

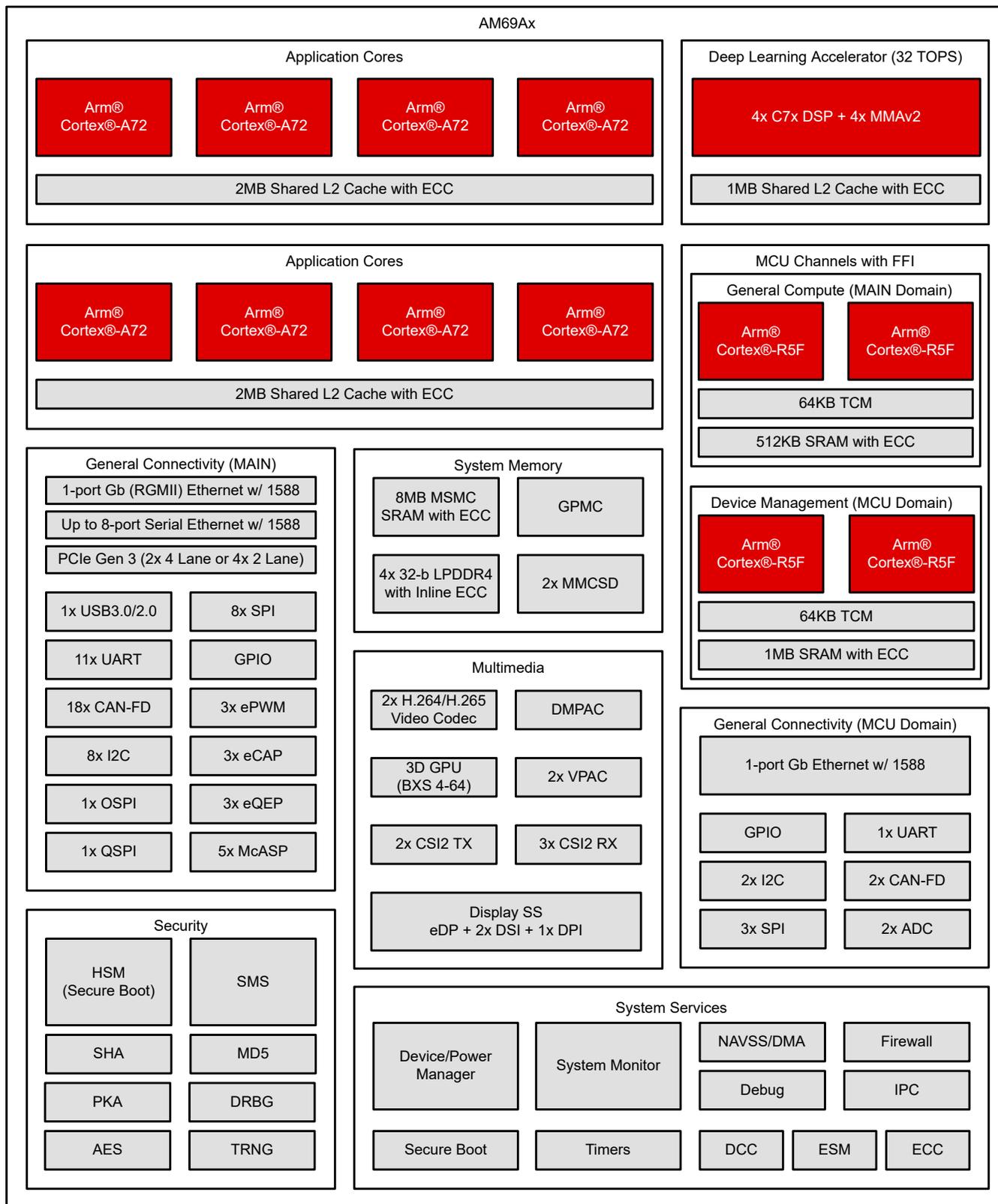


図 7-1. 機能ブロック図

7.3 プロセッサ サブシステム

7.3.1 ARM Cortex-A72

このデバイスには、1つのデュアルコア Arm® Cortex®-A72 MPU が実装されており、他のモジュールとともにコンピューティング クラスタ内に統合されています。Cortex-A72 コアは、お客様のアプリケーションを実行するために使用できる汎用プロセッサです。

A72SS は、Arm が提供し TI が構成した Arm Cortex-A72 MPCore (A72 クラスタ) を中心に構築されています。対称型マルチプロセッサ (SMP) アーキテクチャをベースとしており、高性能、最適な電力管理、デバッグ機能を実現します。

A72 プロセッサはマルチイシュー アウトオブオーダー スーパースカラ実行エンジンであり、L1 命令キャッシュとデータ キャッシュを内蔵し、Armv8-A アーキテクチャと互換性があります。Armv8-A アーキテクチャは、多くの新機能を備えています。たとえば、64 ビット データ処理、拡張仮想アドレッシング、64 ビット 汎用レジスタがあります。

詳細については、デバイスのテクニカル リファレンス マニュアルで「プロセッサとアクセラレータ」の章にある「デュアル A72 MPU サブシステム」セクションを参照してください。

7.3.2 ARM Cortex-R5F

MCU_ARMSS は、Arm® Cortex®-R5F プロセッサのデュアル コア実装で、スプリット / ロック動作用に構成されています。また、付属のメモリ (L1 キャッシュおよび密結合メモリ)、標準的な Arm® CoreSight™ デバッグおよびトレース アーキテクチャ、統合型のベクタ割り込みマネージャ (VIM)、ECC アグリゲータ、SoC への統合を容易にするプロトコル変換およびアドレス変換用の各種ラッパーも搭載しています。

詳細については、デバイスのテクニカル リファレンス マニュアルで「プロセッサとアクセラレータ」の章にある「デュアル R5F MCU サブシステム」セクションを参照してください。

7.3.3 DSP C71x

TMS320C71x は、次世代の固定小数点および浮動小数点 DSP プラットフォームです。C71x DSP は、テキサス・インスツルメンツの DSP ファミリの新しいコアです。C71x DSP は、ベクトル信号処理をサポートしているため、C6x DSP ファミリーと比べると、広い範囲の一般的な信号処理タスクに対して DSP の処理能力が大幅に向上しています。さらに、C71x にはいくつかの特別な機能が搭載されており、目標とする機能を 30 倍以上高速化できます。新しい C71x コアには、ベクトル処理機能の拡張に加えて、分岐予測、保護されたパイプライン、正確な例外処理、仮想メモリ管理など、制御コードの効率およびプログラミングのしやすさを向上させる高度な手法も組み込まれています。

詳細については、デバイスのテクニカル リファレンス マニュアルで「プロセッサとアクセラレータ」の章にある「C71x DSP サブシステム」セクションを参照してください。

7.4 アクセラレータとコプロセッサ

7.4.1 GPU

グラフィックス処理ユニット (GPU) は、3 次元 (3D) と 2 次元 (2D) のグラフィックスおよびコンピューティング アプリケーションを高速化します。

GPU モジュールは、多数の異なるワークロードを同時に効率的に処理するスケーラブルなアーキテクチャです。

- 3D グラフィック ワークロード。3D シーンのレンダリングのための頂点データとピクセルデータ処理を含みます。
- 2D グラフィック ワークロード。2D オブジェクトをレンダリングするためのピクセルデータ処理を含みます。
- コンピューティング アプリケーション ワークロード。汎用データ処理を含みます。

詳細については、デバイスのテクニカル リファレンス マニュアルで「プロセッサとアクセラレータ」の章にある「グラフィックス処理ユニット (GPU)」セクションを参照してください。

7.4.2 VPAC

VPAC (ビジョン前処理アクセラレータ) は、一連の共通ビジョン プリミティブ機能であり、メモリからメモリへ (M2M) のピクセル データ処理タスクを実行します。たとえば、色処理と画質向上、ノイズ フィルタ、ワイド ダイナミック レンジ (WDR) 処理、レンズ歪み補正、歪み補正用のピクセル リマップ、オンザ フライのスケール生成、オンザ フライのピラミッド生成です。VPAC は、これらの共通タスクをメイン SoC プロセッサ (ARM、DSP など) から負荷軽減するので、これらの CPU を差別化された高レベルのアルゴリズムに利用できます。VPAC は、時間多重化モードで動作することで、複数のカメラをサポートするように設計されています。VPAC はビジョン処理のフロント エンドとして動作してフレーム / スケールを準備し、さらに、SoC 内にある他のビジョン アクセラレータまたはプロセッサ コアがその後の処理を行います。

詳細については、デバイスのテクニカル リファレンス マニュアルで「プロセッサおよびアクセラレータ」の章にある「ビジョン前処理アクセラレータ (VPAC)」セクションを参照してください。

7.4.3 DMPAC

深度およびモーション処理アクセラレータ (DMPAC) は、電力効率の優れたハードウェア アクセラレータであり、カメラ入力から高密度ステレオ デプス マップ (深度) と高密度オプティカル フロー ベクトル (モーション) を計算します。

イメージ / ビデオ センサをベースとする環境認識 (シーン理解とも呼ばれます) は、車載用、産業用、およびコンシューマエレクトロニクス分野で、新しい多くのアプリケーションの中核になります。通常、この手法では、1 つまたは多数の関連する入力ビデオ ストリームを分析して、シーン内にあるすべての物体の検出と、観察者または自動車に対する 3D 位置およびモーションの検出が必要になります。さまざまなコンピュータ ビジョン アルゴリズムを使用して、これらのタスクを実現しています。

画像から 3D 深度を取得する非常に堅牢な方法は、ステレオ設定で 2 台のカメラを使用することです。すなわち、相対位置とカメラパラメータが既知である 2 台のカメラです。2 つの異なるカメラのポーズ / 視点からキャプチャされた同じシーンの 2 つの画像を分析し、画像内のすべてのピクセル位置の差を見つけて分析します。これを「ステレオ視差マップ」と呼んでいます。各ピクセルの視差値を使って、それらが属する物体/空間の 3D 位置を三角測量により取得できます。

一方、1 台のカメラで撮影した 2 つの異なる時間インスタンス (すなわち、ビデオ内の 2 つの時間フレーム) の画像を分析することにより、過去のフレームの各ピクセルが将来のフレームのどこに移動したかを判断できます。これを「オプティカル フロー ベクトル」と呼んでいます。各ピクセル位置のフローベクトルを使用して、シーンの 3D 構造を取得し、動いている物体を識別し、物体の相対速度と移動方向を決定できます。

DMPAC は、前述の画像処理タスク専用です。ステレオおよびオプティカル フローの処理は、デンス オプティカル フロー (DOF) エンジンおよびステレオ視差エンジン (SDE) という 2 つの最上位レベルのサブブロックに分割されています。DOF ブロックと SDE ブロックは、共通の共有ローカルメモリ、DMA、外部メッセージング、および制御インフラストラクチャを共有します。

詳細については、デバイスのテクニカル リファレンス マニュアルで「プロセッサおよびアクセラレータ」の章にある「深度およびモーション認識アクセラレータ (DMPAC)」セクションを参照してください。

7.5 その他のサブシステム

7.5.1 MSMC

マルチコア共有メモリコントローラ (MSMC) は、コンピューティング クラスタ (COMPUTE_CLUSTER0) の中核であり、接続されているすべての処理エレメントとシステムの他の部分との間で、高帯域幅のリソース アクセスを提供します。MSMC は、コンピューティング クラスタのデータ移動バックボーンとして機能します。

詳細については、デバイスのテクニカル リファレンス マニュアルで「デバイス構成」の章にある「マルチコア共有メモリ コントローラ (MSMC)」セクションを参照してください。

7.5.2 NAVSS

7.5.2.1 NAVSS0

メイン SoC ナビゲータ サブシステム (NAVSS0) は、DMA/ キュー管理コンポーネント (UDMA およびリング アクセラレータ (UDMASS))、ペリフェラル (モジュール サブシステム (MODSS))、仮想化変換 (VirtSS)、およびノース ブリッジ (NBSS) で構成されます。

7.5.2.2 MCU_NAVSS

MCU ナビゲータ サブシステム (MCU NAVSS) は、メイン NAVSS モジュールのサブセットを備えており、MCU ドメインでインスタンス化されます。

MCU ナビゲータ サブシステムは、DMA/ キュー管理コンポーネント (UDMA およびリング アクセラレータ (UDMASS))、ペリフェラル (モジュール サブシステム (MODSS、モジュール サブシステム)) で構成されています。

詳細については、デバイスのテクニカル リファレンス マニュアルで「メイン ナビゲータ サブシステム (NAVSS)」および「MCU ナビゲータ サブシステム (MCU NAVSS)」セクションを参照してください。

7.5.3 PDMA コントローラ

ペリフェラル DMA は、特にペリフェラルのデータ転送ニーズを満たすように設計されたシンプルな DMA です。ペリフェラル DMA は、コヒーレントではない標準のバス ファブリック経由でアクセスされる、メモリ マップされたレジスタを使用してデータ転送を実行します。PDMA モジュールは、データ移動用に外部 DMA を必要とする 1 つまたは複数のペリフェラルの近くに配置することを意図しており、VBUSP インターフェイスを使用してコストを削減し、静的に構成された転送要求 (TR) 動作のみをサポートするように設計されています。

PDMA は、ペリフェラル自体とデータをやり取りするデータ移動トランザクションの実行のみを担当します。指定されたペリフェラルから読み取られたデータは、PDMA ソース チャネルによって PSI-L データ ストリームにパックされます。その後、リモートピア UDMA-P デスティネーション チャネルに送信され、メモリへのデータ移動が実行されます。同様に、リモート UDMA-P ソース チャネルはメモリからデータをフェッチし、PSI-L 経由でピア PDMA デスティネーション チャネルに転送し、次にペリフェラルへの書き込みを実行します。

PDMA アーキテクチャは意図的に異種混合 (UDMA-P + PDMA) を採用しており、システム内の各ポイントでデータ転送の複雑度を適切なサイズに設定して、送受信するデータのさまざまな要件に適合できます。ペリフェラルは通常 FIFO ベースであり、FIFO の次元の要件を超える多次元転送を必要としないため、PDMA 転送エンジンは、わずかな大きさ (通常はサンプル サイズと FIFO の深さによる)、ハードコードされたアドレス マップ、シンプルなトリガ機能だけという簡潔さが保たれています。

PDMA には複数のソースおよびデスティネーション チャネルが用意されており、複数の同時転送動作を実行できます。DMA コントローラは、基盤となる DMA ハードウェアを共有するために、各チャネルの状態情報を維持し、チャネル間のラウンド ロビン スケジューリングを採用しています。

詳細については、デバイスのテクニカル リファレンス マニュアルで「DMA コントローラ」の章にある「PDMA コントローラ」セクションを参照してください。

7.5.4 電源

このデバイスには、6 つの電源タイプと 1 つの内部 LDO 接続タイプが必要です。「電源信号の説明」を参照してください。

- デジタル IO 電圧
- デジタル低電圧
- デジタル AVS 電圧
- アナログ PHY および CLK 電圧
- アナログ低電圧
- eFuse プログラミング電圧
- LDO バルク フィルタ コンデンサ

共通のデバイス電源入力タイプは、電源レールにグループ化できます。すべての電源レールは、最も厳格な電源電圧仕様および合計負荷電流の要件を満たすように設計された電源リソースから電力を供給する必要があります。2 つの推奨電源供給回路 (PDN) が定義されています。これは、MCU ドメインおよびメイン ドメインを、結合または分離するものです (「電源マッピング」を参照)。

一部のシステムでは、いくつかの電源入力が必要な場合があります。このような場合、デバイスの信頼性を確保するため、VPP_CORE および VPP_MCU を除くすべての未使用電源入力は、適切な電圧レベルの有効な電源レールに接続する必要があります (「推奨動作条件」を参照)。参考のため、以下に例を示します。

1. MCU アイランド安全監視、または MCU のみの低消費電力処理を使用しない場合、VDD_MCU 電源は、互換性のある動作電圧仕様の VDD_CORE 電源と結合することができます。
2. UHS-I SD カードまたは USB2.0 インターフェイスが必要な場合、VDDSHV5 (MMC1 インターフェイス) および VDDA_USB_3P3 (USB PHY インターフェイス) を VDD_IO_3V3 デジタル IO 電源レールと結合することができます。
3. 汎用デバイス タイプを使用する場合、eFuse プログラミング電圧 VPP_CORE および VPP_MCU は必要ないため、未接続のままにしておく必要があります。

7.5.5 ペリフェラル

7.5.5.1 ADC

A/D コンバータ (ADC) モジュールには 12 ビット ADC が 1 つ搭載されており、8 つのアナログ入力 (チャンネル) のいずれかに多重化できます。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「A/D コンバータ (ADC)」セクションを参照してください。

7.5.5.2 ATL

オーディオトラッキング ロジック (ATL) は、HD Radio™ アプリケーションで、デジタル オーディオ出力をベースバンドクロックに同期させるために使われています。この同じ IP を一般的に使用して、2 つの基準信号 (フレーム同期など) の間の誤差に追従し、(ソフトウェア制御によるサイクル スチールを使って) 所望の周波数に平均化された変調クロック出力を生成することもできます。このプロセスは、非同期サンプル レート変換アルゴリズムのハードウェア支援として使用できます。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「オーディオトラッキング ロジック (ATL)」セクションを参照してください。

7.5.5.3 CSI

7.5.5.3.1 カメラ ストリーミング インターフェイス レシーバ (CSI_RX_IF) および MIPI DPHY レシーバ (DPHY_RX)

このデバイスは、CSI_RX_IF モジュールを内蔵しているため、複数のカメラから画像処理アクセラレータ (VPAC) または内部メモリにビデオ入力をストリーミングできます。デバッグおよびテストの目的で、ビデオ入力をトランスミッタ CSI (CSI_TX_IF) 経由で再送信することもできます。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「カメラ ストリーミング インターフェイス (CSI)」セクションを参照してください。

7.5.5.3.2 カメラストリーミングインターフェイス トランスミッタ (CSI_TX_IF)

このデバイスは、CSI_TX_IF モジュールを内蔵しているため、メモリからビデオ データをストリーム出力したり、オプションのループバック出力として CSI レシーバから再送信して、診断、デバッグ、テストを行うことができます。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「カメラ ストリーミング インターフェイス (CSI)」セクションを参照してください。

7.5.5.4 CPSW2G

2 ポートのギガビット イーサネット MAC (MCU_CPSW0) サブシステムは、イーサネット パケット通信をデバイスに提供し、イーサネット スイッチと同様の方法で構成されます。MCU_CPSW0 は、SGMII (Reduced Gigabit Media Independent Interface)、RGMII (Reduced Media Independent Interface)、および物理層デバイス (PHY) 管理用の MDIO (Management Data Input/Output) インターフェイスを備えています。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ギガビット イーサネット スイッチ (CPSW0)」セクションを参照してください。

7.5.5.5 CPSW9G

9 ポートのギガビット イーサネット スイッチ (CPSW0) サブシステムは、デバイスへのイーサネット パケット通信をデバイスに提供し、イーサネット スイッチとして構成できます。CPSW0 には、SGMII (Serial Gigabit Media Independent Interface)、RGMII (Reduced Gigabit Media Independent Interface)、RMII (Reduced Media Independent Interface)、および物理層デバイス (PHY) 管理用の MDIO (Management Data Input/Output) インターフェイスを備えています。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ギガビット イーサネット スイッチ (MCU_CPSW0)」セクションを参照してください。

7.5.5.6 DCC

デュアル クロック コンパレータ (DCC) は、アプリケーションの実行中にクロック信号の精度を判定するために使用されます。特に、DCC は、期待されるクロック周波数からのドリフトを検出するように設計されています。必要な精度は、各アプリケーションの計算に基づいてプログラムできます。DCC は、別の入力クロックを基準として、選択可能なクロックソースの周波数を測定します。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「デュアル クロック コンパレータ (DCC)」セクションを参照してください。

7.5.5.7 DDRSS

このデバイスの DDR サブシステムは、DDR コントローラ、DDR PHY、およびこれらのブロックをデバイスに統合するラッパー ロジックで構成されています。DDR サブシステムは DDRSS0 と呼ばれ、プログラムやデータの保存に利用できる外部 SDRAM デバイスとのインターフェイスを提供するために使用されます。DDRSS0 は MSMC 経由でアクセスされ、システム インターコネクトからは直接アクセスされません。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「DDR サブシステム (DDRSS)」セクションを参照してください。

7.5.5.8 DSS

DSS は、柔軟性の高い、コンポジション対応のディスプレイ サブシステムで、複数の高解像度ディスプレイ出力をサポートします。このシステムは、1 つのディスプレイ コントローラ (DISPC) と 1 つのフレーム バッファ デコンポジション コア (FBDC) で構成されています。DISPC は、各ディスプレイ出力に対して、マルチレイヤー ブレンディングおよび透明度をサポートしています。また、DISPC は、スケーリングを備えたライトバック パイプラインもサポートしており、メモリ間のコンポジションを可能にしたり、イーサネット ビデオ エンコーディング用のディスプレイ出力キャプチャを実現できます。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ディスプレイ サブシステム (DSS)」セクションを参照してください。

7.5.5.8.1 DSI

MIPI DSI v1.3.1 コントローラ (DSITX) は、MIPI DSI 1.3 規格で必要とされるストリーム アービトレーションおよび低レベルの protocols レイヤ機能を実装しています。シングル リンク構成で最大 4 つの 2.5Gbps D-PHY データ レーンをサポートし、使用事例 (1、2、3、または 4 レーン) に応じてバイト レーン マッピングを処理します。付随する DSI (物理層) D-PHY モジュール (DPHYTX) は、4 レーンの MIPI D-PHY トランスミッタを実装しており、ビデオ出力インターフェイスを実現します。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ディスプレイ サブシステム (DSS) およびディスプレイ ペリフェラル」セクションを参照してください。

7.5.5.8.2 eDP

VESA DP1.4/eDP1.4 準拠のトランスミッタ ホスト コントローラ (EDP) は、最大 4 つのビデオ ストリーム (マルチストリーム トランスポート / MST 経由) と、4 レーン対応 SerDes モジュール経由で 1 つのオーディオ ストリームを出力できます。最大 25.92Gbps のアプリケーション帯域幅を提供します。追加の eDP (物理層) 補助 PHY (AUXPHY) モジュールは、長い (15m) ケーブルで 1Mbps のデータレートに必要な二重終端差動ペアを実装しています。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ディスプレイ サブシステム (DSS) およびディスプレイ ペリフェラル」セクションを参照してください。

7.5.5.9 eCAP

拡張キャプチャ (ECAP) モジュールは、以下の用途に使用できます。

- オーディオ入力のサンプルレート測定
- 回転機械の速度測定 (たとえば、歯付きスプロケットをホール センサで検知)
- 位置センサ パルス間の経過時間測定
- パルス列信号の周期およびデューティ サイクル測定
- デューティ サイクル符号化電流 / 電圧センサから得られた電流または電圧振幅の復号

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「拡張キャプチャ (ECAP) モジュール」セクションを参照してください。

7.5.5.10 EPWM

効果的な PWM ペリフェラルは、最小限の CPU オーバーヘッドまたは介入で、複雑なパルス幅波形を生成できる必要があります。高度にプログラマブルで、フレキシビリティが高く、しかも理解しやすく、使いやすいたことが求められます。ここで説明する EPWM ユニットの、必要なすべてのタイミングおよび制御リソースを PWM チャンネルごとに割り当てることで、これらの要件に対応しています。リソースの交換も共有も行われていません。その代わりに本 EPWM は、必要に応じて連携して動作できる、独立したリソースを備えた複数の小さなシングル チャンネル モジュールで構成されています。このモジュール式手法により直交アーキテクチャが可能となり、ペリフェラルの構造をより透過的に観察できるようになるため、ユーザーはその動作をすぐに理解できます。

これ以降の説明では、信号またはモジュール名の中で文字「x」を使って、デバイス上の EPWM インスタンスの総称を表しています。たとえば、出力信号 EPWMxA および EPWMxB は、EPWM_x インスタンスからの出力信号を意味しています。すなわち、EPWM1A および EPWM1B は EPWM1 に属しており、EPWM2A および EPWM2B は EPWM2 に属し、以下同様になります。

さらに、EPWM が統合されているため、この同期方式をキャプチャ ペリフェラル モジュール (ECAP) に拡張できます。モジュールの数はデバイスによって異なり、ターゲット アプリケーションの要求に基づいて決定されます。モジュールはスタンドアロンでも動作できます。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「拡張パルス幅変調 (EPWM) モジュール」セクションを参照してください。

7.5.5.11 ELM

エラー特定モジュール (ELM) は、GPMC と組み合わせて使用されます。NAND フラッシュ ページを読み出す際にオンザフライで生成され、GPMC レジスタに保存されたシンドローム多項式が、ELM に渡されます。ホスト プロセッサは、ELM エラー特定出力が示すビットを反転することで、データ ブロックを修正できます。

NAND フラッシュ メモリから読み出す場合、ある程度の誤り訂正が必要です。訂正機能を搭載していない NAND モジュール (ベア NAND と呼ばれる) の場合、訂正処理はメモリ コントローラによって行われます。ELM は、パラレル NOR フラッシュまたは NAND フラッシュをサポートするためにも使用できます。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「エラー特定モジュール (ELM)」セクションを参照してください。

7.5.5.12 ESM

エラー通知モジュール (ESM) は、デバイス全体の安全関連イベントやエラーを 1 つの場所に集約します。安全イベントに対処するために、優先度の低い割り込みおよび高い割り込みをプロセッサに通知したり、I/O エラー ピンを操作して、エラーが発生したことを外部ハードウェアに通知したりすることができます。このため、外部コントローラでデバイスをリセットしたり、システムを安全な既知の状態に維持したりできます。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「エラー通知モジュール (ESM)」セクションを参照してください。

7.5.5.13 eQEP

拡張直交エンコーダ パルス (eQEP) ペリフェラルを、リニアまたはロータリー インクリメンタル エンコーダとの直接インターフェイスとして使用することにより、高性能な動作および位置制御システムで利用される位置、方向、速度の情報を、回転する機械から取得できます。インクリメンタル エンコーダのディスクは、シングルトラックのスロットパターンでパターン化されています。これらのスロットは、暗いラインと明るいラインの交互パターンを生成します。ディスクでの計数は、1 回転あたりに発生する暗いラインと明るいラインのペアの数 (1 回転あたりのライン数) で決まります。一般的に、2 番目のトラックを追加して、1 回転に 1 回発生する信号を生成します (インデックス信号: QEPI)。これは、絶対位置を示すために使用できます。エンコーダのメーカーは、このインデックスパルスに対して、インデックス、マーカー、ホーム位置、ゼロ基準などのさまざまな用語を使用しています。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「拡張直交エンコーダ パルス (eQEP) モジュール」セクションを参照してください。

7.5.5.14 GPIO

汎用入出力 (GPIO) ペリフェラルは、入力または出力として構成可能な専用の汎用ピンを備えています。出力として構成すると、内部レジスタに書き込むことにより、出力ピンの状態を制御できます。入力として構成すると、内部レジスタの状態を読み取ることにより、入力の状態を取得できます。

さらに、GPIO ペリフェラルは、さまざまな割り込み/イベント生成モードで、ホスト CPU 割り込みおよび DMA 同期イベントを生成できます。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「汎用インターフェイス (GPIO)」セクションを参照してください。

7.5.5.15 GPMC

汎用メモリ コントローラは、以下に示すような外部メモリ デバイスとのインターフェイス専用の統合メモリ コントローラです。

- 非同期 SRAM などのメモリおよび ASIC (特定用途向け集積回路) デバイス
- 非同期、同期、ページ モード (非多重化モードでのみ使用可能) バースト NOR フラッシュ デバイス
- NAND フラッシュ
- 疑似 SRAM デバイス

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「汎用メモリ コントローラ (GPMC)」セクションを参照してください。

7.5.5.16 Hyperbus

Hyperbus モジュールは、デバイスのフラッシュ サブシステム (FSS) の一部です。

Hyperbus モジュールは、高い読み取り / 書き込み性能を実現するピン数の少ないメモリ インターフェイスです。Hyperbus モジュールは、Hyperbus メモリ (HyperFlash または HyperRAM) に接続し、シンプルな Hyperbus プロトコルを使って読み取りおよび書き込みトランザクションを実行します。

このデバイスの内部には Hyperbus™ モジュールが 1 つあります。Hyperbus モジュールには、1 つの Hyperbus メモリコントローラ (HBMC) が搭載されています。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「Hyperbus インターフェイス」セクションを参照してください。

7.5.5.17 I2C

このデバイスにはマルチマスタ I2C (Inter-Integrated Circuit) コントローラが 10 個内蔵されており、それぞれが、Arm またはデジタル信号プロセッサ (DSP) などのローカル ホスト (LH) と、I²C シリアル バスで接続される任意の I²C バス互換デバイスとの間のインターフェイスを提供します。I²C バスに接続された外部コンポーネントは、2 線式の I²C インターフェイスを介して、LH デバイスとの間で最大 8 ビットのデータをシリアル送受信できます。

各マルチマスタ I2C モジュールは、プロセッサまたはコントローラの I²C 互換デバイスとして動作するように構成できます。

WKUP_I2C0、MCU_I2C0、I2C0、および I2C1 コントローラは、専用の I²C 準拠オープンドレイン バッファを搭載しており、ハイスピード モード (1.8V モードで最大 3.4Mbps、3.3V モードで最大 400kbps) をサポートしています。MCU_I2C1、I2C2、I2C3、I2C4、I2C5、および I2C6 コントローラは、標準 LVCMOS I/O と多重化され、オープンドレインをエミュレートするように接続されており、ファスト モード (1.8V/3.3V モードで最大 400kbps) をサポートしています。I2C エミュレーションは、ロジック 1 の送信時に High に駆動するかわりに、Hi-Z を出力するように LVCMOS バッファを構成することで実現しています。

詳細については、本デバイスのテクニカル リファレンス マニュアルの「ペリフェラル」の章にある「I2C (Inter-Integrated Circuit) インターフェイス」セクションを参照してください。

7.5.5.18 I3C

このデバイスには、I3C (Improved Inter-Integrated Circuit) コントローラが 3 個内蔵されており、それぞれが、Arm などのローカル ホスト (LH) と、I3C シリアル バスで接続される任意の I3C バス互換デバイスとの間のインターフェイスを提供します。

詳細については、本デバイスのテクニカル リファレンス マニュアルの「ペリフェラル」の章にある「I3C (Improved Inter-Integrated Circuit) インターフェイス」セクションを参照してください。

7.5.5.19 MCAN

コントローラ エリア ネットワーク (CAN) は、分散リアルタイム制御を効率的にサポートするシリアル通信プロトコルです。CAN は電氣的干渉に対して高い耐性を備えています。CAN ネットワークでは、多くの短いメッセージがネットワーク全体にブロードキャストされるため、システムのすべてのノードでデータの整合性が確保されます。

MCAN モジュールは、従来型 CAN および CAN FD (フレキシブル なデータ レートの CAN) の両方のプロトコルをサポートしています。CAN FD 機能により、データ フレームあたりのスループットが向上し、ペイロードが増加します。従来型 CAN デバイスと CAN FD デバイスは、競合することなく、同じネットワーク上に共存できます。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「モジュラー コントローラ エリア ネットワーク (MCAN)」セクションを参照してください。

7.5.5.20 MCASP

MCASP は汎用オーディオ シリアル ポートとして機能し、各種オーディオ アプリケーションの要件に合わせて最適化されています。MCASP モジュールは、送信モードおよび受信モードで動作できます。MCASP は、時分割多重型 (TDM) ス

トリーム、I2S (Inter-IC Sound、IC 間サウンド) プロトコル、および DIT (コンポーネント間デジタル オーディオ インターフェイス送信) で役立ちます。MCASP には、Sony/Philips デジタルインターフェイス (S/PDIF) の送信物理層コンポーネントに直接接続できるという柔軟性があります。

コンポーネント間デジタル オーディオ インターフェイス受信 (DIR) モード (S/PDIF ストリーム受信) は、MCASP モジュールでネイティブにはサポートされていませんが、MCASP レシーバ用に特定の TDM モードを実装することで、外部 DIR コンポーネントに対して簡単に接続できます (たとえば、S/PDIF から I2S フォーマット コンバータ)。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「マルチチャネル オーディオ シリアル ポート (MCASP)」セクションを参照してください。

7.5.5.21 MCRC コントローラ

VBUSM CRC コントローラは、CRC (巡回冗長検査) を実行してメモリ システムの整合性を検証するために使用されるモジュールです。メモリの内容が MCRC コントローラに読み込まれるとき、メモリの内容を表すシグネチャを取得します。MCRC コントローラの役割は、一連のデータに対するシグネチャを計算して、その計算されたシグネチャ値と、あらかじめ設定された正しいシグネチャ値とを比較することです。MCRC コントローラには 4 つのチャンネルがあり、複数のメモリに対して並行して CRC 計算を実行します。これは、あらゆるメモリ システムで使用できます。また、チャンネル 1 をデータトレース モードに移行させることもできます。このモードでは、MCRC コントローラは CPU 読み出しデータ バス経由で読み出される各データを圧縮します。

詳細については、デバイスのテクニカル リファレンス マニュアルで「プロセッサ間通信」の章にある「MCRC コントローラ」セクションを参照してください。

7.5.5.22 MCSPI

MCSPI モジュールは、マルチチャネル送信 / 受信、コントローラ / プロセッサ同期シリアル バスです。

このデバイスには合計 11 の MCSPI モジュールがあります。

詳細については、デバイス TRM のテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「マルチチャネル シリアル ペリフェラル インターフェイス (MCSPI)」セクションを参照してください。

7.5.5.23 MMC/SD

MMCS D ホスト コントローラは、eMMC 5.1 (組み込みマルチメディア カード)、SD 4.10 (セキュア デジタル)、および SDIO 4.0 (セキュア デジタル IO) デバイスへのインターフェイスとして機能します。MMCS D ホスト コントローラは、送信レベルでの MMC/SD/SDIO プロトコル、データ パッキング、巡回冗長検査 (CRC) の追加、開始 / 終了ビットの挿入、構文の正確性チェックを処理します。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「マルチメディアカード / セキュア デジタル (MMC/SD) インターフェイス」セクションを参照してください。

7.5.5.24 OSPI

オクタル シリアル ペリフェラル インターフェイス (OSPI) モジュールは、シリアル ペリフェラル インターフェイス (SPI) モジュールの一種で、外部フラッシュ デバイスへのシングル、デュアル、クワッド、またはオクタルの読み取りおよび書き込みアクセスを可能にします。このモジュールは、メモリ マップ レジスタ インターフェイスを備えており、外部フラッシュ デバイスからデータにアクセスするためのダイレクト メモリ インターフェイスとして機能するので、ソフトウェア要件が簡素化されます。

OSPI モジュールは、メモリ マップ直接モード (たとえば、プロセッサが外部フラッシュ メモリからコードを直接実行しようとする場合) または間接モード (要求された動作をサイレントに実行し、割り込みやステータス レジスタによって動作が完了したことを通知するようにモジュールが設定されている状態) でデータを転送するために使用します。間接動作の場合、データは内部 SRAM を経由してシステム メモリと外部フラッシュ メモリの間で転送されます。この SRAM は書き込みのためにロードされ、読み出しのためにアンロードされます。読み出しはデバイス コントローラによって低レイテンシのシステム速度で行われます。この SRAM にアクセスする具体的な時期は、割り込みまたはステータス レジスタを使用して識別します。この設定は、ユーザー プログラマブルな構成レジスタによって行います。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「オクタル シリアル ペリフェラル インターフェイス (OSPI)」セクションを参照してください。

7.5.5.25 PCIE

PCIe (Peripheral Component Interconnect Express) サブシステムは、マルチレーン デュアル モード PCIe コントローラを中心に構築されており、バックプレーンおよびプリント基板上のシリアル リンクに対してレーンあたり最大 8.0Gbps の速度で、少ないピン数、高い信頼性、高速なデータ転送を実現します。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「Peripheral Component Interconnect Express (PCIe) サブシステム」セクションを参照してください。

7.5.5.26 SerDes

SerDes の目標は、デバイス (SoC) のパラレル データをシリアル データに変換し、高速電氣的インターフェイス経由で出力することです。反対方向については、SerDes は高速シリアル データをパラレル データに変換して、デバイスで処理できるようにします。このため、SerDes には各種の機能ブロックが搭載されており、外部アナログ インターフェイスと内部デジタル ロジックの両方を処理します。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「シリアライザ / デシリアライザ (SerDes)」セクションを参照してください。

7.5.5.27 WWDT

ウィンドウ ウォッチドッグ タイマは、オペレーティングシステム用およびコードのベンチマーク用のタイマ機能を提供します。モジュールには、オペレーティング システムでのスケジューリングに必要なタイムベースを定義するいくつかのカウンタが組み込まれています。このモジュールは RTI モジュールで実装されていますが、サポートされているのは WWDT のみです。

このモジュールは、OSEK ("Offene Systeme und deren Schnittstellen für die Elektronik im Kraftfahrzeug", "Open Systems and the Corresponding interfaces for Automotive Electronics") および OSEK/Time 準拠のオペレーティング システムの要件を満たすように特別に設計されています。

詳細については、デバイスのテクニカル リファレンス マニュアルで、「ペリフェラル」の章にある「リアルタイム割り込み (RTI) モジュール」セクションを参照してください。

7.5.5.28 タイマ

すべてのタイマには、オペレーティング システムへの正確なティック割り込みを生成するための特定の機能が含まれています。

各タイマは、複数の異なる独立したクロックからクロックを供給できます。クロック ソースの選択は、MCU_CTRL_MMR0/CTRL_MMR0 のレジスタから行います。

このデバイスには、MCU ドメインに 10 本のタイマ ピンがあり、MCU タイマ キャプチャ入力、または MCU タイマ PWM 出力として使用できます。柔軟性を最大限に高めるため、これら 10 本のピンは MCU_TIMER0~MCU_TIMER9 の任意のインスタンスで使用できます。システム レベルのマルチプレクサを使用して、各 MCU_TIMER[9-0] のキャプチャ ソースピン、および各 MCU_TIMER_IO[1-0] PWM 出力の MCU_TIMER[9-0] ソースを制御します。

メインドメインには 8 本のタイマ ピンがあり、タイマ キャプチャ入力またはタイマ PWM 出力として使用できます。柔軟性を最大限に高めるため、これら 8 本のピンは TIMER0~TIMER19 の任意のインスタンスで使用できます。システム レベルのマルチプレクサを使用して、各 TIMER[19-0] のキャプチャ ソースピン、および各 TIMER_IO[7-0] PWM 出力の TIMER[19-0] ソースを制御します。

各ドメインの奇数番号のタイマ インスタンスは、選択により、同じドメインの前の偶数番号のタイマ インスタンスとカスケード接続して、最大 64 ビットのタイマを形成できます。たとえば、TIMER1 は TIMER0 とカスケード接続でき、MCU_TIMER1 は MCU_TIMER0 とカスケード接続できます。

カスケード接続されると、TIMERi は TIMERi+1 に対する 32 ビット プリスケアラとして機能し、MCU_TIMERn は MCU_TIMERn+1 に対する 32 ビット プリスケアラとして機能します。TIMERi / MCU_TIMERn は、TIMERi+1 / MCU_TIMERn+1 カウンタをインクリメントするために、目的のレートで PWM 出力エッジを生成するように構成する必要があります。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「タイマ」セクションを参照してください。

7.5.5.29 UART

UART は、ホスト CPU を介したデータ転送または割り込みポーリングに DMA を利用するプロセッサ ペリフェラルです。このデバイスには 12 個の UART モジュールが搭載されています。すべての UART モジュールは、48MHz 機能クロックを使用する場合、IrDA および CIR モードをサポートします。各 UART は、多数の外部ペリフェラル デバイスの構成およびデータ交換、またはデバイス相互のプロセッサ間通信に使用できます。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ユニバーサル同期 / 非同期レシーバ / トランスミッタ (UART)」セクションを参照してください。

7.5.5.30 USB

以前のバージョンの USB バスと同様に、USB 3.0 は汎用ケーブル バスであり、ホスト デバイスと、同時にアクセス可能な幅広いペリフェラルとの間のデータ交換をサポートします。

このデバイスは、2 つの同一の USB サブシステムをサポートしています。

- USB3SS0 は、SuperSpeed (SS) USB 3.0 デュアル ロール デバイス (DRD) サブシステムで、オンチップ SS (USB3.0) PHY および HS/FS/LS (1) (USB2.0) PHY を内蔵しています
- USB3SS1 は、SuperSpeed (SS) USB 3.0 デュアル ロール デバイス (DRD) サブシステムで、オンチップ SS (USB3.0) PHY および HS/FS/LS (USB2.0) PHY を内蔵しています

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ユニバーサル シリアル バス (USB) サブシステム」を参照してください。

7.5.5.31 UFS

ユニバーサル フラッシュ ストレージ (UFS) インターフェイスは、規格に基づくシリアル インターフェイス エンジンです。

デバイスの内部には 1 つの UFS モジュール - UFS0 があります。UFS モジュールには M-PHY を内蔵した 1 つの UFS 2.1 ホストコントローラ (HC) が含まれています。

この UFS モジュールは、表 7-1 に示す規格に準拠しています。

表 7-1. UFS 規格

| 文書 | バージョン | 説明 |
|------------|-----------------------|--|
| JESD220-1A | v1.1 | ユニバーサル フラッシュ ストレージ (UFS) ユニファイド メモリ拡張 |
| JESD220-2 | v1.0 | ユニバーサル フラッシュ ストレージ (UFS) カード拡張 |
| JESD220C | v2.1, 2016 年 3 月 | ユニバーサル フラッシュ ストレージ (UFS) |
| JESD223-1B | v1.1A | ユニバーサル フラッシュ ストレージ ホスト コントローラ インターフェイス (UFSHCI) ユニファイド メモリ拡張 |
| JESD223C | v2.1, 2016 年 3 月 | ユニバーサル フラッシュ ストレージ ホスト コントローラ インターフェイス (UFSHCI) |
| JESD224 | 2013 年 3 月 | ユニバーサルフラッシュストレージ (UFS) テスト |
| | 2001 年 11 月 | 連邦情報処理標準 (FIPS) 197 高度暗号化標準 (AES) |
| | v3.1, 2014 年 | M-PHY のための MIPI® アライアンス仕様 |
| | v1.60, 2013 年 | ユニファイド プロトコル (UniProSM) のための MIPI アライアンス仕様 |
| | リビジョン 24, 2010 年 8 月 | SCSI (スモール コンピュータ システム インターフェイス) ブロック コマンド - 3 |
| | リビジョン 27, 2010 年 10 月 | SCSI プライマリ コマンド - 4 |

詳細については、デバイスのテクニカルリファレンスマニュアルで「ペリフェラル」の章にある「ユニバーサルフラッシュストレージ (UFS) インターフェイス」セクションを参照してください。

8 アプリケーション、実装、およびレイアウト

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9 デバイスの接続およびレイアウトの基礎

9.1 電源のデカップリングおよび バルク コンデンサ

9.1.1 電源供給回路の実装ガイド

『TPS6594133A-Q1 PMIC およびデュアル HCPS コンバータを使用した絶縁型電源グループ用の Jacinto™ J7 SoC ファミリーへの電源供給』ユーザー ガイドは、電源供給回路を正しく実装するためのガイダンスを提供します。これには、PCB スタックアップ ガイダンスと、デカップリング コンデンサの選択および配置を最適化するためのガイダンスが含まれます。TI は、このアプリケーション レポートに記載されているボード設計ガイドラインに従った設計のみをサポートしています。

9.2 外部発振器

外部発振器の詳細については、「[クロック仕様](#)」を参照してください。

9.3 JTAG および EMU

テキサス・インスツルメンツは、JTAG のサポートだけでなく、さまざまなデバッグ機能を備えた各種の拡張開発システム (XDS) JTAG コントローラをサポートしています。この情報の概要については、『[XDS ターゲット接続ガイド](#)』を参照してください。

EMU ルーティングの推奨事項の詳細については、『[エミュレーションおよびトレース ヘッダー テクニカル リファレンス マニュアル](#)』を参照してください。

9.4 リセット

このデバイスは、4 つの外部リセット ピン (MCU_PORz、MCU_RESETz、PORz、RESET_REQz) と、2 つのリセット ステータス ピン (MCU_RESETSTATz、RESETSTATz) を備えています。これらのピンは、外部のパワー グッド回路または PMIC (電源管理 IC) によって駆動できます。MCU_PORz ピンとメイン PORz ピンは、電源投入フェーズの間、およびすべての電源と HFOSC0 クロックが安定するまで、アクティブ Low に保持する必要があります。

すべての MCU ドメイン リセットは、デバイス全体に対するコントローラ リセットとして機能しますが、メイン ドメイン リセットはメイン ドメインだけをリセットします (MCU ドメインは、すべてのメイン ドメイン リセットからリセットが分離されています)。

9.5 未使用のピン

未使用ピンの詳細については、「[ピン接続要件](#)」を参照してください。

9.6 Jacinto™ 7 デバイスのハードウェア設計ガイド

『Jacinto™ 7 デバイスのハードウェア設計ガイド』ドキュメントには、Jacinto™ 7 ファミリーのプロセッサに関するハードウェア システム設計の考慮事項が記載されています。この設計ガイドは、アプリケーション ハードウェアを開発する際の支援として使用することを意図しています。

10 ペリフェラルおよびインターフェイス固有の設計情報

10.1 LPDDR4 基板の設計およびレイアウトのガイドライン

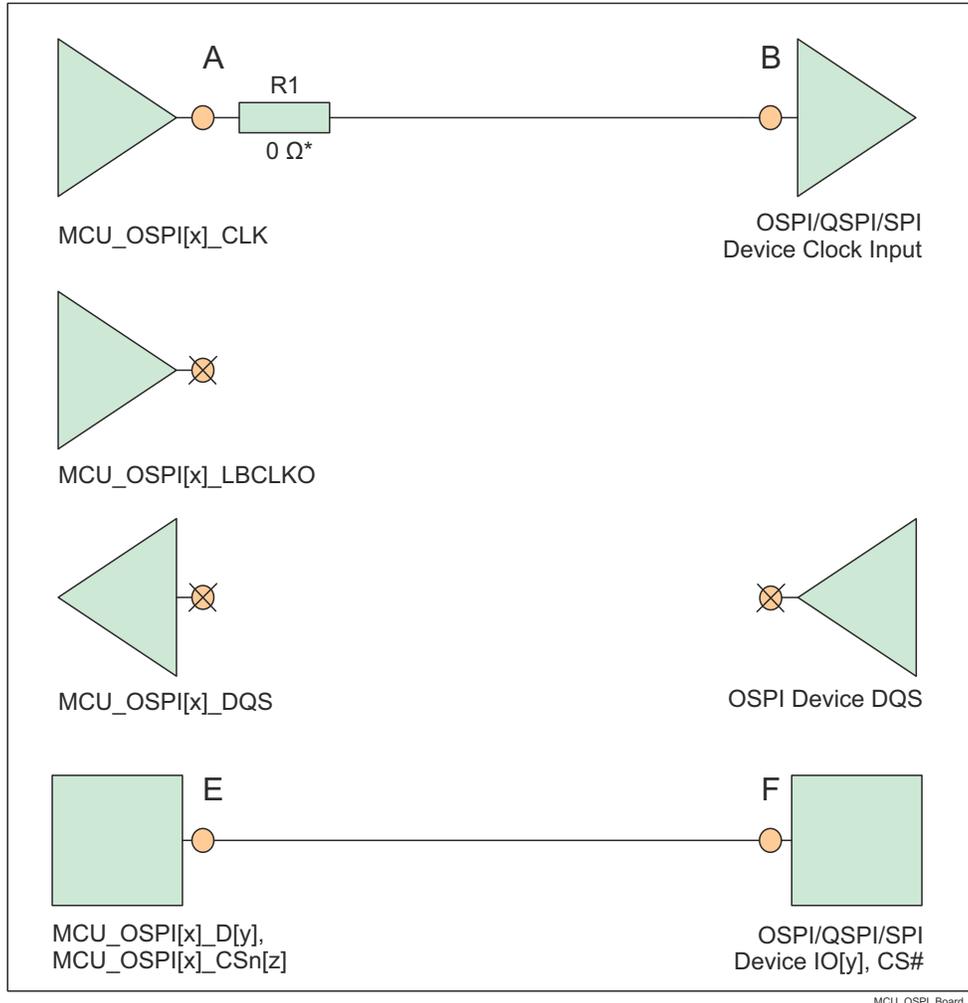
『[Jacinto 7 DDR 基板の設計およびレイアウトのガイドライン](#)』の目標は、すべての設計者に対して LPDDR4 システムの実装を明快にすることです。要件を一連のレイアウトおよび配線ルールに絞り込んで、設計者が、テキサス・インスツルメンツのサポートするトポロジに対応した堅牢な設計を正しく実装できるようにしています。テキサス・インスツルメンツは、LPDDR4 メモリを使用したボード設計において、このドキュメントのガイドラインに従ったものだけをサポートしています。

10.2 OSPI および QSPI 基板の設計およびレイアウト ガイドライン

以下のセクションでは、OSPI および QSPI インターフェイスの配線にあたって従うべき配線ガイドラインについて詳しく説明します。

10.2.1 ループバックなしおよび内部パッド ループバック

- MCU_OSPI[x]_CLK 出力信号は、フラッシュ デバイスの CLK ピンに接続する必要があります
- MCU_OSPI[x]_CLK 信号からフラッシュ デバイスへの信号伝搬遅延は 450ps 未満 (ストリップラインの場合は約 7cm、マイクロストリップの場合は約 8cm) とする必要があります
- [図 10-1](#) に示すように、50Ω の PCB 配線および直列終端を推奨します
- 伝搬遅延とマッチング:
 - A から B は 450ps 未満
 - マッチング スキュー:< 60ps



* 0Ω 抵抗 (R1) は、MCU_OSPI[x]_CLK ピンのできるだけ近くに配置して、必要に応じて微調整するためのプレースホルダです。

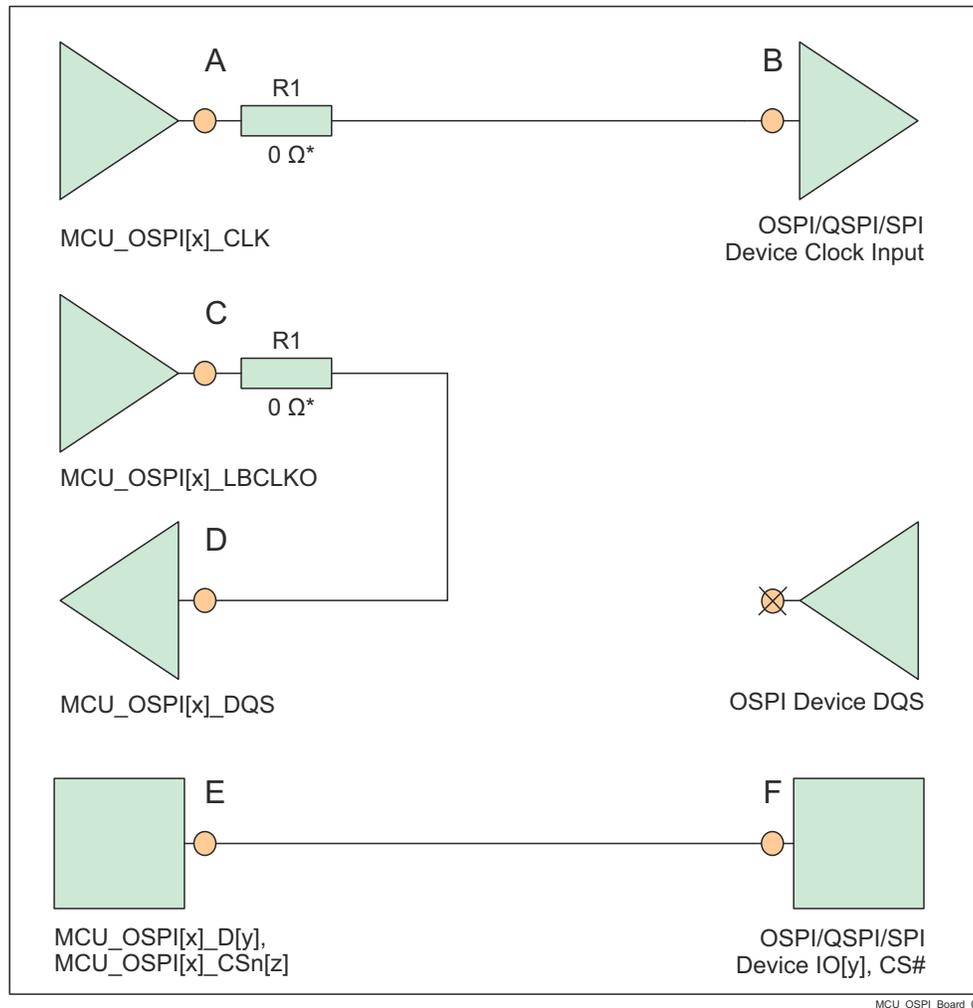
図 10-1. OSPI インターフェイスの概略回路図

10.2.2 外部ボードのループバック

- MCU_OSPI[x]_CLK 出力信号は、フラッシュ デバイスの CLK ピンに接続する必要があります
- MCU_OSPI[x]_LBCLKO 出力信号は、MCU_OSPI[x]_DQS 入力にループバックする必要があります
- MCU_OSPI[x]_CLK ピンからフラッシュ デバイス CLK 入力ピンまでの信号伝搬遅延 (A から B まで) は、MCU_OSPI[x]_LBCLKO ピンから MCU_OSPI[x]_DQS ピンまでの信号伝搬遅延の半分 (C から D まで) / 2) とほぼ等しくなっている必要があります以下の注記を参照してください。
- MCU_OSPI[x]_CLK ピンからフラッシュ デバイス CLK 入力ピンまでの信号伝搬遅延 (A から B まで) は、フラッシュ デバイスと SoC デバイスの間の制御およびデータ信号の信号伝搬遅延 (E から F まで、または F から E まで) とほぼ等しくなっている必要があります
- 図 10-2 に示すように、50Ω の PCB 配線および直列終端を推奨します
- 伝搬遅延とマッチング:
 - (A から B まで) = (E から F まで) = ((C から D まで) / 2)
 - マッチング スキュー: < 60ps

注

OSPI 基板のループバック ホールド時間の要件 (OSPI で説明) は、標準的なフラッシュ デバイスによって供給されるホールド時間よりも長くなっています。このため、MCU_OSPI[x]_LBCLKO ピンから MCU_OSPI[x]_DQS ピンまでの長さ (C から D まで) を短くして補償できます。

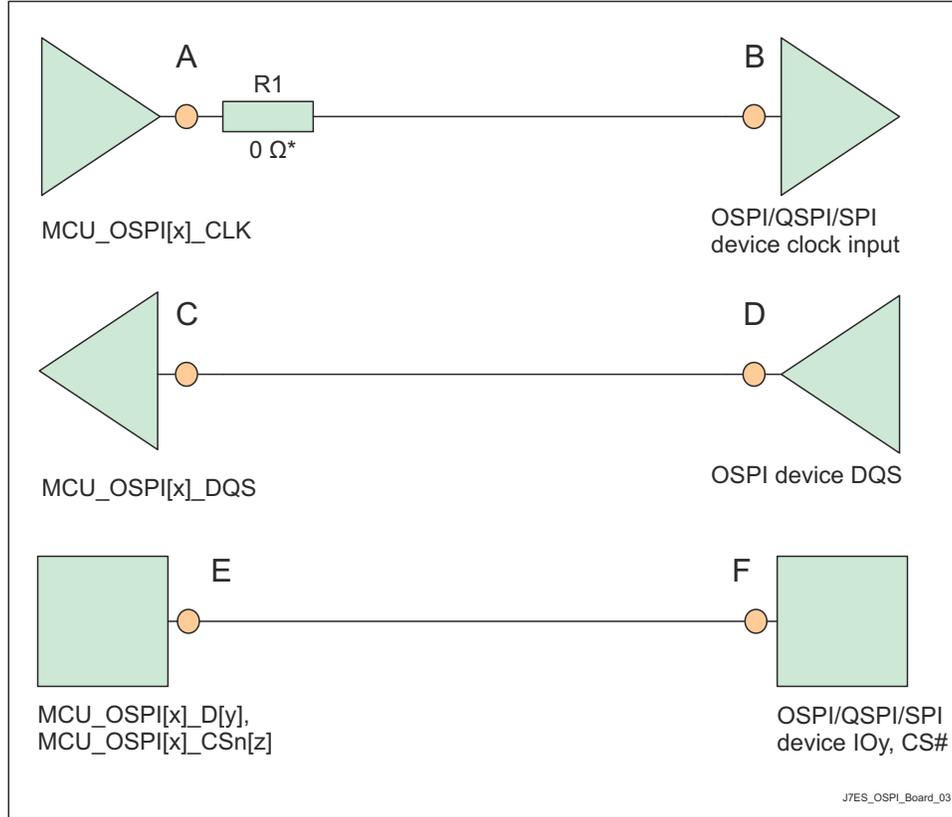


* 0Ω 抵抗 (R1) は、MCU_OSPI[x]_CLK ピンおよび MCU_OSPI[x]_LBCLKO ピンのできるだけ近くに配置して、必要に応じて微調整するためのプレースホルダです。

図 10-2. OSPI インターフェ이스の概略回路図

10.2.3 DQS (オクタル フラッシュ デバイスでのみ使用可能)

- MCU_OSPI[x]_CLK 出力信号は、フラッシュ デバイスの CLK ピンに接続する必要があります
- フラッシュ デバイスの DQS ピンは、MCU_OSPI[x]_DQS 信号に接続する必要があります
- MCU_OSPI[x]_CLK ピンからフラッシュ デバイス CLK 入力ピンまでの信号伝搬遅延 (A から B まで) は、MCU_OSPI[x]_DQS ピンから DQS 出力ピンまでの信号伝搬遅延 (C から D まで) とほぼ等しくする必要があります
- 図 10-3 に示すように、50Ω の PCB 配線および直列終端を推奨します
- 伝搬遅延とマッチング:
 - A から B = C から D
 - マッチング スキュー: < 60ps



* 0Ω 抵抗 (R1) は、MCU_OSPI[x]_CLK ピンのできるだけ近くに配置して、必要に応じて微調整するためのプレースホルダです。

図 10-3. OSPI インターフェイスの概略回路図

10.3 USB VBUS 設計ガイドライン

USB 3.1 仕様では、VBUS 電圧は通常動作で最大 5.5V であり、「パワー デリバリー」追補がサポートされている場合は最大 20V になることが許容されています。一部の車載アプリケーションは、最大電圧を 30V にする必要があります。

このデバイスでは、外付けの分圧抵抗を使用して VBUS 信号電圧を下げる必要があります (図 10-4 を参照)。これにより、実際のデバイスピン (USB0_VBUS) に印加される電圧が制限されます。これらの外部抵抗の許容誤差は 1% 以下、ツェナー ダイオードの 5V でのリーク電流は 100nA 未満とする必要があります。(1)

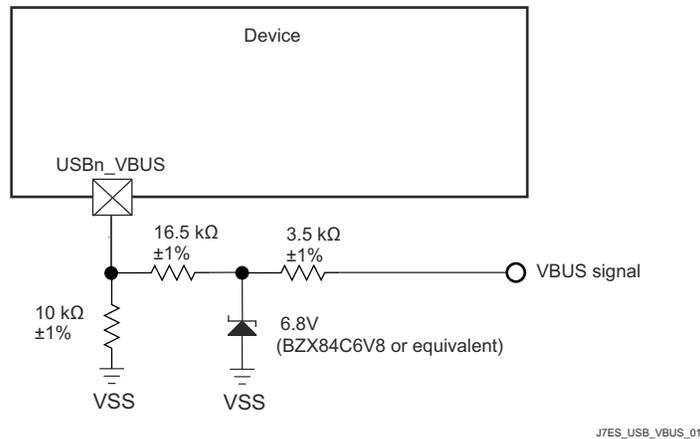


図 10-4. USB VBUS 検出分圧器 / クランプ回路

デバイスの電源がオフのときに VBUS が印加された場合、[図 10-4](#) に示す外部回路によって実際のデバイスピンへの入力電流が制限されるため、USB0_VBUS ピンはフェイルセーフであると考えられます。

10.4 VMON/POK を使用したシステム電源監視の設計ガイドライン

VMON1_ER_VSYS ピンは、システム電源を監視する手段を提供します。このシステム電源は、通常、システム全体を対象とする単一のあらかじめ安定化された電源です。この電源から供給される外部分圧器回路の出力を内部基準電圧と比較することによってこの電源を監視します。VMON1_ER_VSYS に印加される電圧が内部基準電圧を下回ると、パワーフェイル イベントがトリガされます。実際のシステム電源電圧トリップ ポイントは、外付け抵抗による分圧回路の実装に使用する部品の値を選択するときに、システム設計者が決定します。分圧抵抗回路を設計する際は、システム電源監視のトリップ ポイントの変動に寄与するさまざまな要因を理解することが重要です。最初に考慮するのは、VMON1_ER_VSYS 入力スレッショルドの初期精度です。このスレッショルドの公称値は 0.45V で、変動は $\pm 3\%$ です。分圧抵抗回路の実装には、同程度の熱係数で高精度の 1% 抵抗を推奨します。これにより、抵抗値の誤差に起因する変動を最小限に抑えることができます。VMON1_ER_VSYS に関連する入力リーク電流も考慮する必要があります。これは、ピンに流入する電流によって分圧器出力に負荷誤差が生じるためです。VMON1_ER_VSYS 入力のリーク電流は、0.45V 印加時に 10nA ~ 2.5 μ A の範囲となる可能性があります。

注

抵抗分圧器は、通常動作条件において、その出力電圧が「推奨動作条件」に定義された最大値を決して超えないように設計する必要があります。

システム電源が公称 5V で、最大トリガ スレッショルドが 5V - 10%、すなわち 4.5V の場合の例を [図 10-5](#) に示します。

この例では、抵抗値を選択するときに、どの変数が最大トリガ スレッショルドに影響を与えるかを理解することが重要です。システム電源が 10% 低下するまでトリップしない分圧器を設計するには、VMON1_ER_VSYS 入力スレッショルドが 0.45V + 3% であるデバイスを検討する必要があることは明らかです。抵抗の許容誤差と入力リーク電流の影響も考慮する必要がありますが、これらの寄与が最大トリガ ポイントにどのように影響するかは明らかではない場合があります。最大トリガ電圧を生成する部品値を選択するときは、VMON1_ER_VSYS ピンの入力リーク電流が 2.5 μ A であるという条件と、R1 の値が 1% 低く、R2 の値が 1% 高いという条件を考慮する必要があります。R1 = 4.81k Ω および R2 = 40.2k Ω の抵抗分圧器を実装すると、結果として最大トリガ スレッショルドは 4.523V になります。

上記のように最大トリガ電圧を満たすように部品の値を選択すると、システム設計者は、R1 の値が 1% 高く、R2 の値が 1% 低い場合、および入力リーク電流が 10nA またはゼロの場合、出力電圧が 0.45V - 3% になる印加電圧を計算することにより、最小トリガ電圧を決定できます。上記の抵抗値とゼロの入力リーク電流を組み合わせた結果、最小トリガ スレッショルドは 4.008 V となります。

ここでは、システム電源電圧トリップ ポイントが 4.008V ~ 4.523V の範囲となる例を示しています。この範囲のうち約 250mV は、VMON1_ER_VSYS の入力スレッショルド精度 $\pm 3\%$ によって発生し、この範囲の約 150mV は抵抗の誤差 $\pm 1\%$ によって発生します。また、この範囲の約 100mV は、VMON1_ER_VSYS の入力リーク電流が 2.5 μ A である場合の負荷誤差により発生します。

この例で選択した抵抗値では、システム電源が 4.5V のとき、分圧抵抗により約 100 μ A のバイアス電流が発生します。上記の 100mV の負荷誤差は、分圧抵抗を流れるバイアス電流を約 1mA に増やすことにより、約 10mV に低減できます。したがって、抵抗分圧器のバイアス電流と負荷誤差の関係は、部品の値を選択するときにシステム設計者が考慮する必要があります。

VMON1_ER_VSYS は、最小のヒステリシスで、過渡に対する高帯域応答を備えているため、システム設計者は分圧器出力にノイズ フィルタを実装することも考慮する必要があります。これは、[図 10-5](#) に示すように、R1 の両端にコンデンサを取り付けることで実現できます。ただし、システム設計者は、システムの電源ノイズと、過渡現象に対して予測される応答に基づいて、このフィルタの応答時間を決定する必要があります。

システム電源電圧が公称 5V で、目標のトリガ スレッショルドが -10% すなわち 4.5V の場合の例を [図 10-5](#) に示します。

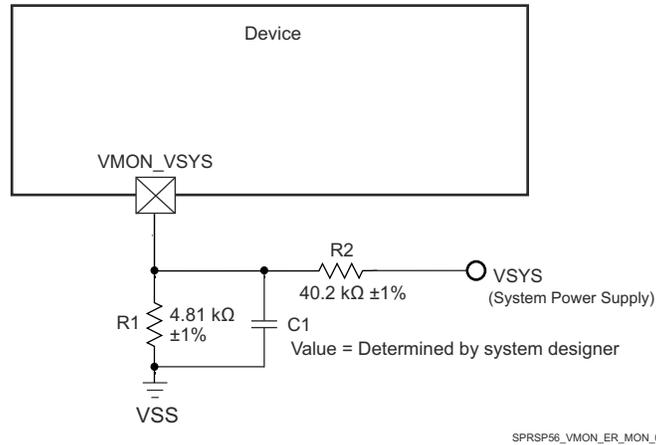


図 10-5. システム電源監視分圧回路

VMON2_IR_VCPU は、システム電源を監視する手段を提供します。**VMON2_IR_VCPU** ピンは、基板上で **VDD_CPU** ピンのできるだけ近くに外部から接続することを推奨します。**VMON6_IR_VEXT0P8** を備えた SoC は、オプションで **VDD_CORE** や **VDD_MCU** など他のドメインを監視できます。同様に、これらの信号は、ボード上で **VDD_CORE** ピンまたは **VDD_MCU** ピンのできるだけ近くに配置します。

VMON3_IR_VEXT1P8 および **VMON4_IR_VEXT1P8** ピンは、外部の 1.8V 電源を監視する手段を提供します。**VMON5_IR_VEXT3P3** ピンは、外部 3.3V 電源を監視する手段を提供します。この SoC には、ソフトウェア制御の内部分圧抵抗が実装されています。ソフトウェアにより、内部分圧抵抗回路をプログラミングして、適切な低電圧および過電圧の割り込みを生成できます。これらのピンには、外付けの分圧抵抗から電力を供給しないでください。監視対象の電圧を調整する必要がある場合は、監視ピンに接続する前に、分圧された電圧をバッファしてください。

10.5 高速差動信号のルーティング ガイド

『[高速インターフェイスのレイアウト ガイドライン](#)』には、高速差動信号を正しく配線するためのガイドランスが示されています。これには、PCB スタックアップと材料のガイドランス、配線スキュー、長さ、間隔の制限が含まれます。TI は、このアプリケーション レポートに記載されているボード設計ガイドラインに従った設計のみをサポートしています。

10.6 熱ソリューション ガイダンス

『[DSP および ARM アプリケーション プロセッサ用の熱設計ガイド](#)』は、このデバイスを搭載したシステム設計の熱ソリューションを正しく実装するための指針を提供しています。この資料は、熱ソリューションに関連する一般的な用語と方法に関する背景情報を記載しています。TI は、このアプリケーション レポートに記載されているシステム設計ガイドラインに従った設計のみをサポートしています。

11 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

11.1 デバイスの命名規則

製品開発サイクルの段階を示すために、TI ではマイクロプロセッサ (MPU) とサポート ツールのすべての型番に接頭辞が割り当てられています。各デバイスには次の 3 つのいずれかの接頭辞があります: X、P、空白 (接頭辞なし) (例: AM69A98ATGGHAALYR)。テキサス・インスツルメンツでは、サポート ツールについては、使用可能な 3 つの接頭辞のうち TMDX および TMDS の 2 つを推奨しています。これらの接頭辞は、製品開発の進展段階を表します。段階には、エンジニアリング プロトタイプ(TMDX)から、完全認定済みの量産デバイスツール(TMDS)まであります。

デバイスの開発進展フロー:

- X** 実験的デバイス。最終デバイスの電気的特性を必ずしも表さず、量産アセンブリ フローを使用しない可能性があります。
- P** プロトタイプ デバイス。最終的なシリコン ダイとは限らず、最終的な電気的特性を満たさない可能性があります。
- 空白** 認定済みのシリコン ダイの量産バージョン。

サポート ツールの開発進展フロー:

- TMDX** 開発サポート製品。テキサス・インスツルメンツの社内認定試験はまだ完了していません。
- TMDS** 完全に認定済みの開発サポート製品です。

X および P デバイスと TMDX 開発サポート ツールは、以下の免責事項の下で出荷されます。

「開発中の製品は、社内での評価用です。」

量産デバイスおよび TMDS 開発サポート ツールの特性は完全に明確化されており、デバイスの品質と信頼性が十分に示されています。テキサス・インスツルメンツの標準保証が適用されます。

プロトタイプ デバイス(X または P)の方が標準的な量産デバイスに比べて故障率が大きいと予測されます。これらのデバイスは予測される最終使用時の故障率が未定義であるため、テキサス・インスツルメンツではそれらのデバイスを量産システムで使用しないよう推奨しています。認定済みの量産デバイスのみを使用する必要があります。

ALY パッケージ タイプの AM69、AM69A デバイスの注文可能な型番については、このドキュメントにある「パッケージ オプションの付録」やテキサス・インスツルメンツの Web サイト (ti.com) を参照するか、テキサス・インスツルメンツの販売代理店にお問い合わせください。

11.1.1 標準パッケージの記号化

注

一部のデバイスには、パッケージの上面に装飾的な円形のマーキングがあります。これは、量産テストプロセスの結果として添付されます。さらに、一部のデバイスでは、パッケージのサブストレートの製造元によって、パッケージのサブストレートに色のばらつきが見られる場合があります。このばらつきは外見上だけのものであって、信頼性には影響しません。

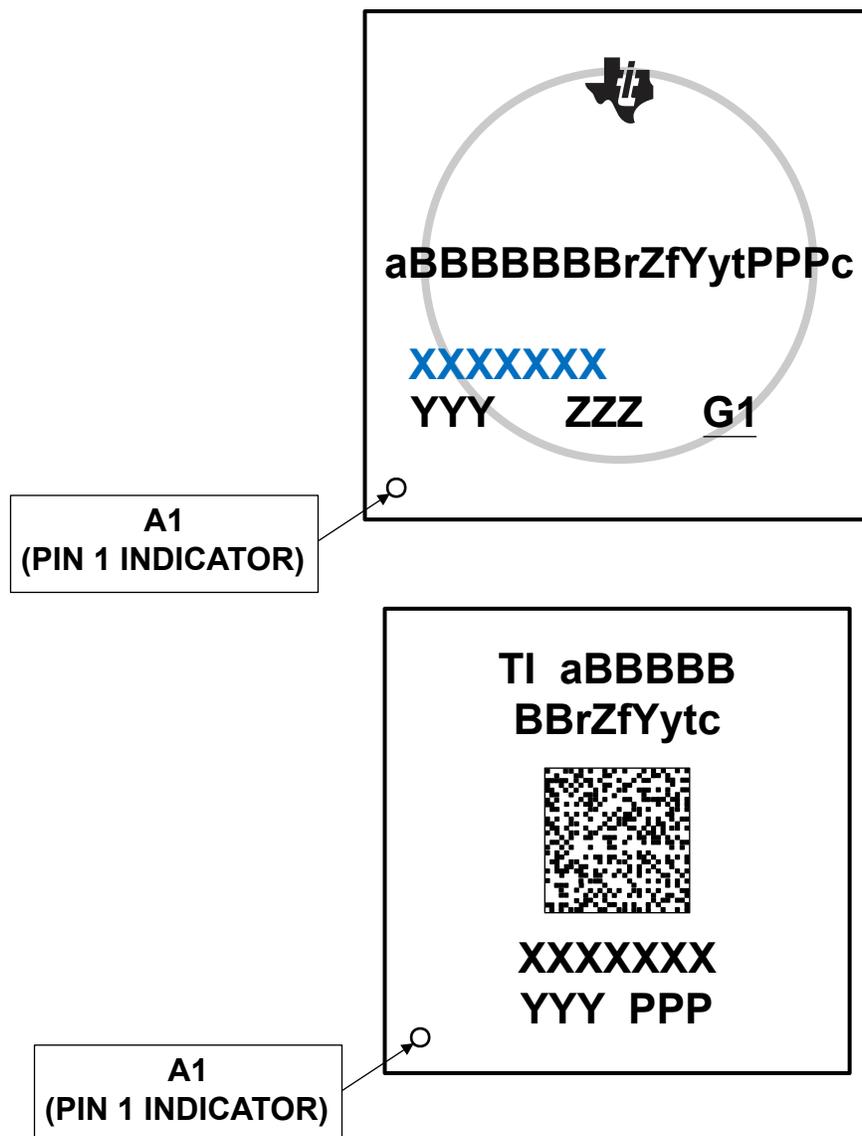


図 11-1. 印刷されたデバイス参照

11.1.2 デバイスの命名規則

注

記号または型番の空白は省略されるため、前後の文字は連続して表記されます。

表 11-1. 項目名の説明

| フィールド パラメータ | フィールドの 説明 | 値 | 説明 |
|---|----------------------|--------------|---|
| a | デバイスの開発段階 | X | プロトタイプ |
| | | P | 量産前(量産テストフロー、信頼性データなし) |
| | | 空白 (1) | 量産出荷中 |
| BBBBBBB | 基本量産型番 | AM69A98 | 製品比較表を参照してください。 |
| | | AM69A78 | |
| | | AM6958 | |
| r | デバイスリビジョン | A | SR1.0 |
| Z | デバイス速度グレード | T | 「速度グレードの最大周波数」を参照してください。 |
| | | その他 | 他の速度グレード |
| f | 特長 (「デバイスの比較」を参照) | G | 基本機能、追加機能なし |
| Y | 機能安全 (3) | G | 非機能安全 |
| y | セキュリティ | G | 非セキュア |
| | | その他 | セキュアな機能 |
| t | 温度(2) | A | -40°C ~ 105°C - 拡張産業用 (「推奨動作条件」を参照) |
| | | H | 0°C ~ 95°C - 商業用 (「推奨動作条件」を参照) |
| | | I | -40°C ~ 125°C - 車載用 (「推奨動作条件」を参照) |
| PPP | パッケージ記号 | ALY | ALY FCBGA-N1414 (31mm x 31mm) パッケージ (量産データ) |
| c | キャリア識別記号 | 空白 | トレイ |
| | | R | テープ アンドリール |
| Q1 | 車載識別記号 | Q1 | 車載規格準拠 (Q100) |
| | | 空白 (1) | 標準 |
|  | 2D バーコード | 条件によって 変化 | オプションの 2D バーコードは、追加のデバイス情報を提供します |
| | | 空白 | |
| XXXXXXX | | | ロットのトレースコード(LTC) |
| YYY | | | 量産コード、TI でのみ使用 |
| ZZZ | | | 量産コード、TI でのみ使用 |
| O | | | ピン 1 の指定子 |
| G1 | | | ECAT - グリーン パッケージ記号 |

- (1) 記号または型番の空白は省略されるため、前後の文字は連続して表記されます。
(2) デバイスの接合部の最大温度に適用されます。
(3) このデバイスファミリは、機能安全をサポートしていません。この機能に関心をお持ちの場合、TDA4VH デバイスファミリをご覧ください。

11.2 ツールとソフトウェア

AM69、AM69A プラットフォームの開発を支援するため、以下の製品を使用できます。

開発ツール

Code Composer Studio™ 統合開発環境 Code Composer Studio (CCS) 統合開発環境 (IDE) は、テキサス・インスツルメンツのマイクロコントローラと組み込みプロセッサのポートフォリオをサポートする開発環境です。Code Composer Studio は、組み込みアプリケーションの開発およびデバッグに必要な一連のツールで構成されています。最適化 C/C++コンパイラ、ソースコードエディタ、プロジェクトビルド環境、デバッガ、プロファイラなど、多数の機能が含まれています。IDE は直感的で、アプリケーションの開発フローの各段階を、すべて同一のユーザーインターフェイスで実行できます。使い慣れたツールとインターフェイスにより、ユーザーは従来より迅速に作業を開始できます。Code Composer Studio は、Eclipse ソフトウェアフレームワークの利点と、テキサス・インスツルメンツの先進的な組み込みデバッグ機能の利点を組み合わせて、組み込み製品の開発者向けの魅力的で機能豊富な開発環境を実現します。

Pin Mux ツール Pin Mux ユーティリティは、テキサス・インスツルメンツの MPU のピン多重化設定を構成し、競合を解決し、I/O セルの特性を指定するためのグラフィカルユーザーインターフェイスを提供する、ソフトウェアツールです。結果は C ヘッダおよびコードファイルとして出力され、ソフトウェア開発キット (SDK) へのインポートや、お客様のカスタムソフトウェアの構成に使用できます。バージョン 4 には、入力した要件を満たす Mux 構成を自動選択できる機能が追加されています。

プロセッサプラットフォーム用の開発サポートツールすべての一覧については、テキサス・インスツルメンツの Web サイト (ti.com) を参照してください。価格と在庫状況については、お近くのフィールドセールスオフィスまたは認可代理店にお問い合わせください。

11.3 ドキュメントのサポート

ドキュメントの更新についての通知を受け取るには、ti.com のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

11.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

11.5 商標

eMMC™ is a trademark of MultiMediaCard Association.

Jacinto™, C7000™, Code Composer Studio™, and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

CoreSight™ is a trademark of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

Arm® and Cortex® are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

PCI-Express® is a registered trademark of PCI-SIG.

Secure Digital® is a registered trademark of SD Card Association.

MIPI® is a registered trademark of MIPI Alliance, Inc.

すべての商標は、それぞれの所有者に帰属します。

11.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

11.7 用語集

[テキサス・インスツルメンツ用語集](#)

この用語集には、用語や略語の一覧および定義が記載されています。

12 改訂履歴

| Changes from DECEMBER 13, 2024 to SEPTEMBER 16, 2025 (from Revision D (DECEMBER 2024) to Revision E (SEPTEMBER 2025)) | Page |
|---|------|
| • グローバル:「AND」27mm×27mm MECH パッケージ情報、関連するサポート データ、および関連するデバイス固有の GPN (AM69A94、AM6954) の内容を削除..... | 1 |
| • (デバイスの比較):GPN に基づき、JTAG ユーザ ID レジスタのビット フィールド [WKUP_CTRL_MMR_CFG0_JTAG_USER_ID[31:16]「DEVICE_ID」]、対応する DEVICE_ID ビット フィールド値を追加、および関連する脚注を追加/変更..... | 6 |
| • (ピン配置図):「ALY」パッケージのピン図を追加..... | 10 |
| • (EPWM0 信号の説明):EHRPWM0_SYNC0 の説明を更新..... | 113 |
| • (EPWM3 信号の説明):EHRPWM3_SYNC0 の説明を更新..... | 114 |
| • (VMON 信号の説明):VMON2_IR_VCPU 信号名の説明を更新 / 変更..... | 131 |
| • (推奨動作条件):VPP_*、eFuse ROM プログラミング電源の行に関連する脚注を追加..... | 144 |
| • (SERDES の電気的特性):「USXGMII サポート...」の注を更新..... | 152 |
| • VDD_CPU の行を追加..... | 153 |
| • VPP_CORE および VPP_MCU の行を更新..... | 153 |
| • (ハードウェア保証への影響):段落を更新/変更して、テキサス インストルメンツからの注意事項を記載..... | 154 |
| • (MCU とメインドメインの結合パワーダウン シーケンス - オプション 1):「オプション 1」を追加..... | 161 |
| • (MCU とメインドメインの結合パワーダウン シーケンス - オプション 2):「オプション 2」セクション (新規) を追加.... | 161 |
| • (MCU およびメインドメインの分離パワーダウン シーケンス - オプション 1):「オプション 1」を追加..... | 167 |
| • (MCU およびメインドメインの分離パワーダウン シーケンス - オプション 2):「オプション 2」セクション (新規) を追加 | 167 |
| • (システムのタイミング):「システムタイミング条件」表を削除し、下側のセクションに移動:リセット、安全信号、およびクロックのタイミング | 173 |
| • (リセット タイミング):リセット入力および出力に固有の条件を定義するため、「リセットのタイミング条件」表を追加.... | 173 |
| • (システムのタイミング):タイミング条件の表を追加..... | 181 |
| • (システムのタイミング):タイミング条件の表を追加..... | 182 |
| • (GPIO):「GPIO のタイミング条件」表を更新 / 変更し、関連する脚注を追加..... | 209 |
| • (I2C):有効なピンの組み合わせに関連するタイミング制限について説明する IOSET の注を追加..... | 236 |
| • (すべてのタイミング モードに対する MMC0 DLL 遅延マッピング):MMCS0_MMC_SSCFG_PHY_CTRL_5_REG のレガシー SDR、高速 SDR、高速 DDR、HS200 および HS400 モードの FRQSEL ([10:8])、および CLKBUFSEL ([2:0]) の値を更新/変更、関連する脚注を追加。..... | 250 |
| • (HS200 モード):MMC0 のタイミング要件パラメータ情報を追加..... | 255 |
| • (すべてのタイミング モードに対する MMC1 DLL 遅延マッピング):「...CTRL_4_REG」のレジスタ名を更新 / 変更..... | 257 |
| • (すべてのタイミング モードに対する MMC1 DLL 遅延マッピング):デフォルト速度モードと高速モードの両方について OTAPDLYENA および OTAPDLYSEL の値を更新 / 変更、UHS-I DDR50 モードの ITAPDLYSEL の値を変更 | 257 |
| • (すべてのタイミング モードに対する MMC1 DLL 遅延マッピング):このレジスタビット フィールド「...CTRL_5_REG」はいかなる機能ももたらさないため、CLKBUFSEL 列を削除..... | 257 |
| • (I2C):有効なピンの組み合わせに関連するタイミング制限について説明する IOSET の注を追加..... | 282 |

13 メカニカル、パッケージ、および注文情報

13.1 パッケージ情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報はそのデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

| Orderable part number | Status (1) | Material type (2) | Package Pins | Package qty Carrier | RoHS (3) | Lead finish/ Ball material (4) | MSL rating/ Peak reflow (5) | Op temp (°C) | Part marking (6) |
|-----------------------------------|---------------|----------------------|--------------------|-----------------------|-------------|--------------------------------------|-----------------------------------|--------------|-----------------------------|
| AM6958ATGGHAALYR | Active | Production | FCBGA (ALY) 1414 | 200 LARGE T&R | Yes | Call TI | Level-3-250C-168 HR | -40 to 105 | AM6958A TGGHAALY 259 |
| AM69A78ATGGHAALYR | Active | Production | FCBGA (ALY) 1414 | 200 LARGE T&R | Yes | Call TI | Level-3-250C-168 HR | -40 to 105 | AM69A78A TGGHAALY 259 |
| AM69A98ATGGHAALYR | Active | Production | FCBGA (ALY) 1414 | 200 LARGE T&R | Yes | Call TI | Level-3-250C-168 HR | -40 to 105 | AM69A98A TGGHAALY 259 |
| AM69A98ATGGHAALYR.B | Active | Production | FCBGA (ALY) 1414 | 200 LARGE T&R | Yes | Call TI | Level-3-250C-168 HR | -40 to 105 | AM69A98A TGGHAALY 259 |

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

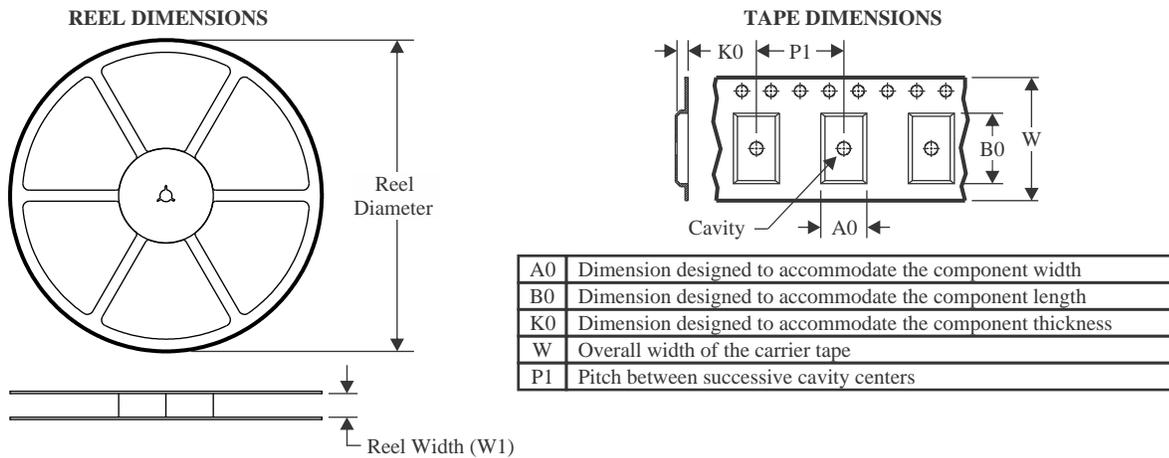
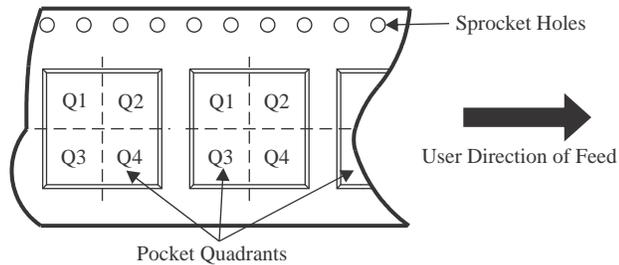
(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative

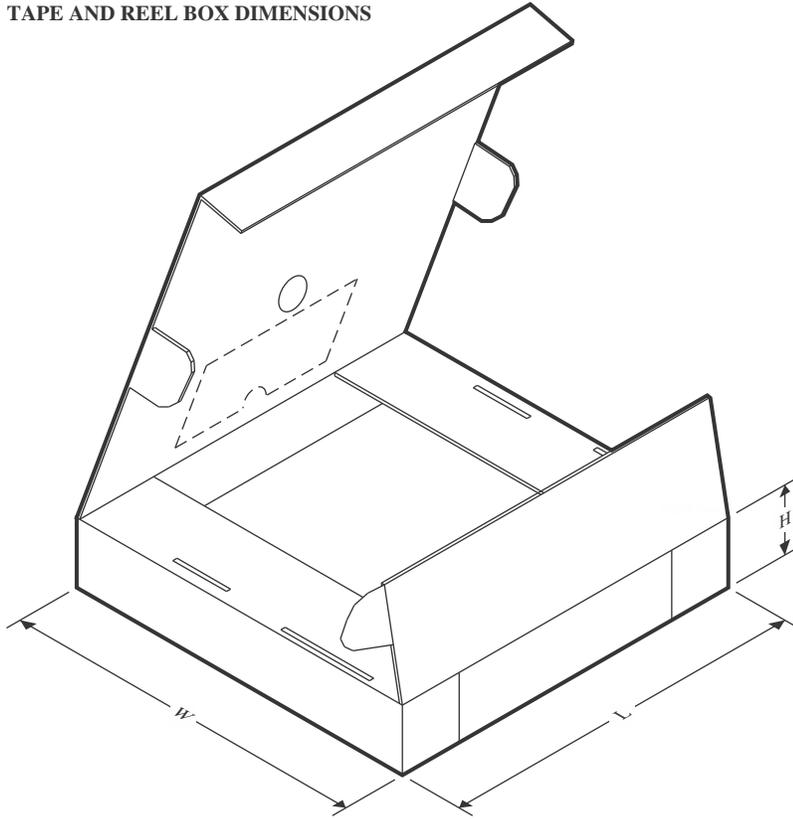
and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


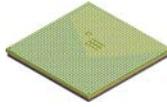
*All dimensions are nominal

| Device | Package Type | Package Drawing | Pins | SPQ | Reel Diameter (mm) | Reel Width W1 (mm) | A0 (mm) | B0 (mm) | K0 (mm) | P1 (mm) | W (mm) | Pin1 Quadrant |
|-------------------|--------------|-----------------|------|-----|--------------------|--------------------|---------|---------|---------|---------|--------|---------------|
| AM6958ATGGHAALYR | FCBGA | ALY | 1414 | 200 | 330.0 | 44.4 | 31.4 | 31.4 | 4.0 | 36.0 | 16.0 | Q1 |
| AM69A78ATGGHAALYR | FCBGA | ALY | 1414 | 200 | 330.0 | 44.4 | 31.4 | 31.4 | 4.0 | 36.0 | 16.0 | Q1 |
| AM69A98ATGGHAALYR | FCBGA | ALY | 1414 | 200 | 330.0 | 44.4 | 31.4 | 31.4 | 4.0 | 36.0 | 16.0 | Q1 |

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

| Device | Package Type | Package Drawing | Pins | SPQ | Length (mm) | Width (mm) | Height (mm) |
|-------------------|--------------|-----------------|------|-----|-------------|------------|-------------|
| AM6958ATGGHAALYR | FCBGA | ALY | 1414 | 200 | 336.6 | 336.6 | 53.2 |
| AM69A78ATGGHAALYR | FCBGA | ALY | 1414 | 200 | 336.6 | 336.6 | 53.2 |
| AM69A98ATGGHAALYR | FCBGA | ALY | 1414 | 200 | 336.6 | 336.6 | 53.2 |

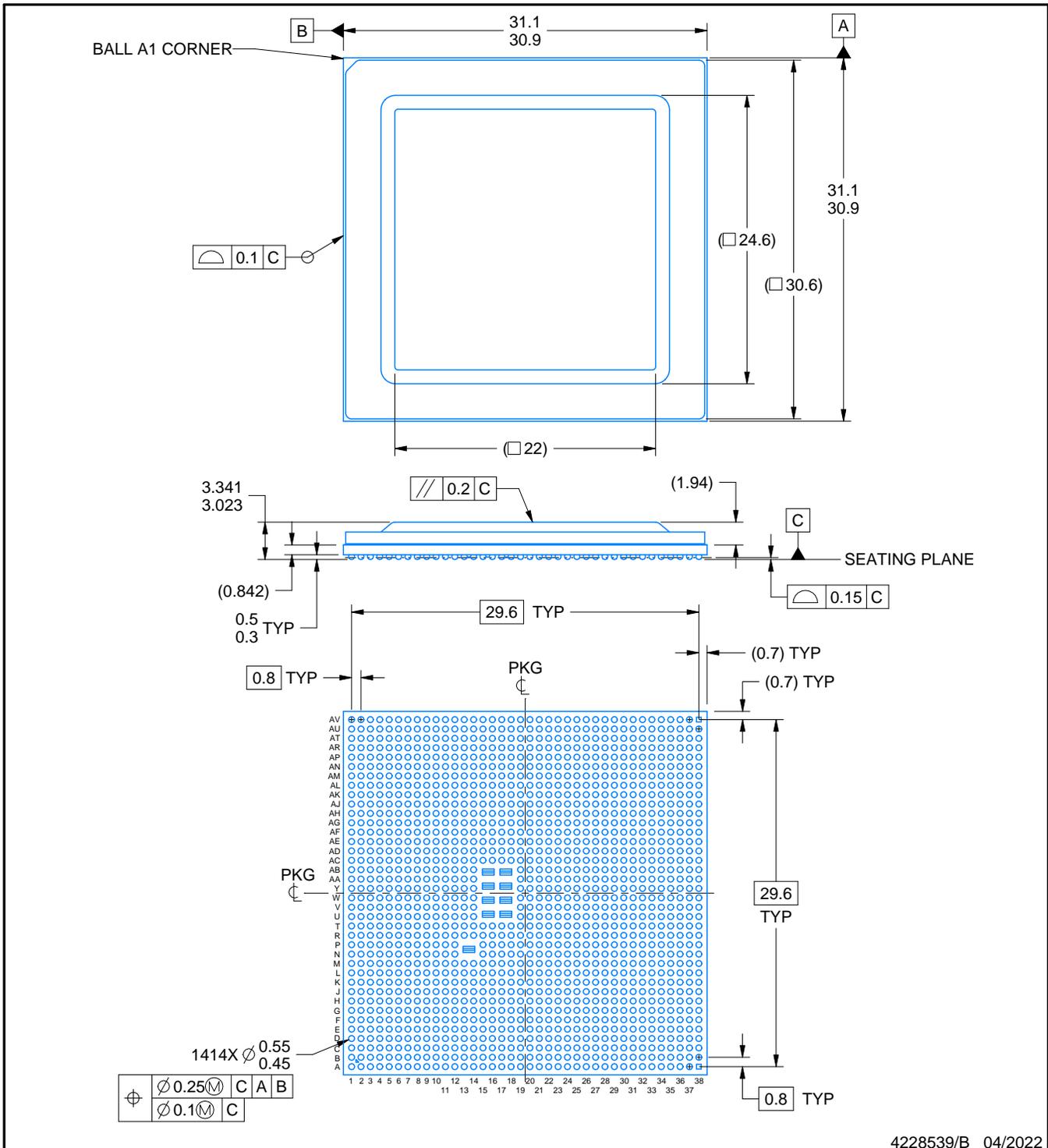


PACKAGE OUTLINE

ALY1414A

FCBGA - 3.341 mm max height

BALL GRID ARRAY

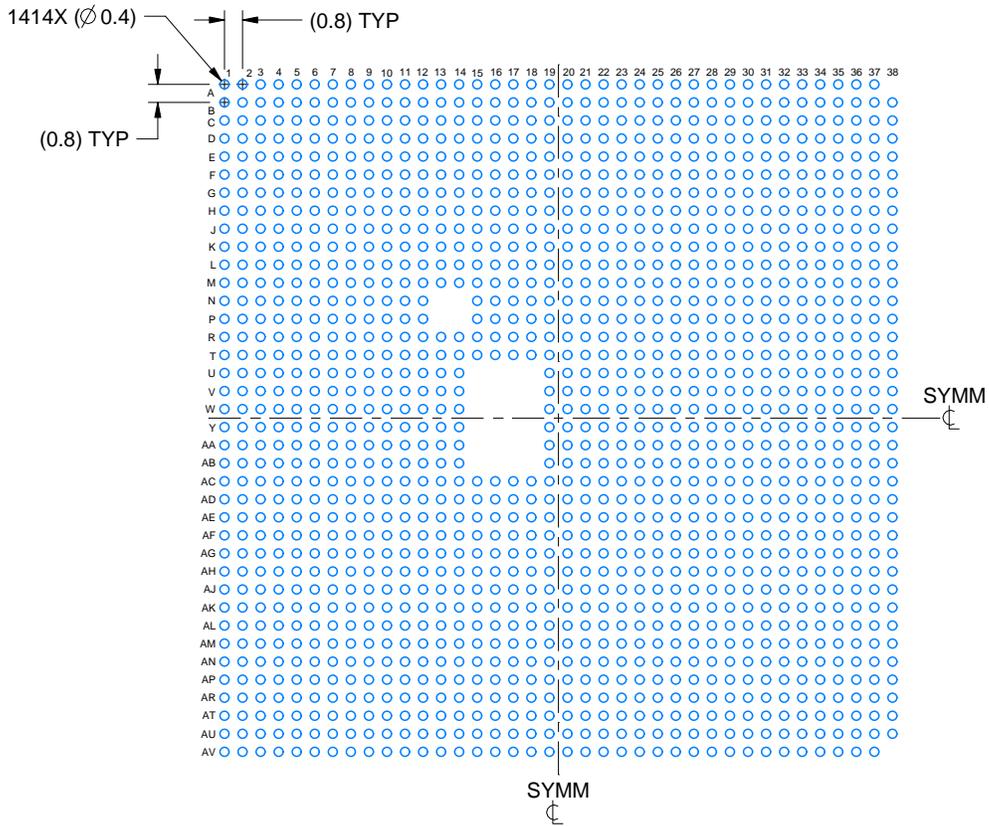


EXAMPLE BOARD LAYOUT

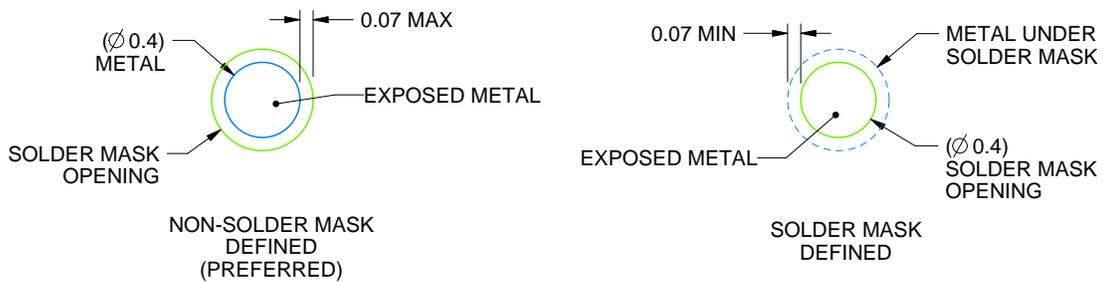
ALY1414A

FCBGA - 3.341 mm max height

BALL GRID ARRAY



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:3X



SOLDER MASK DETAILS
NOT TO SCALE

4228539/B 04/2022

NOTES: (continued)

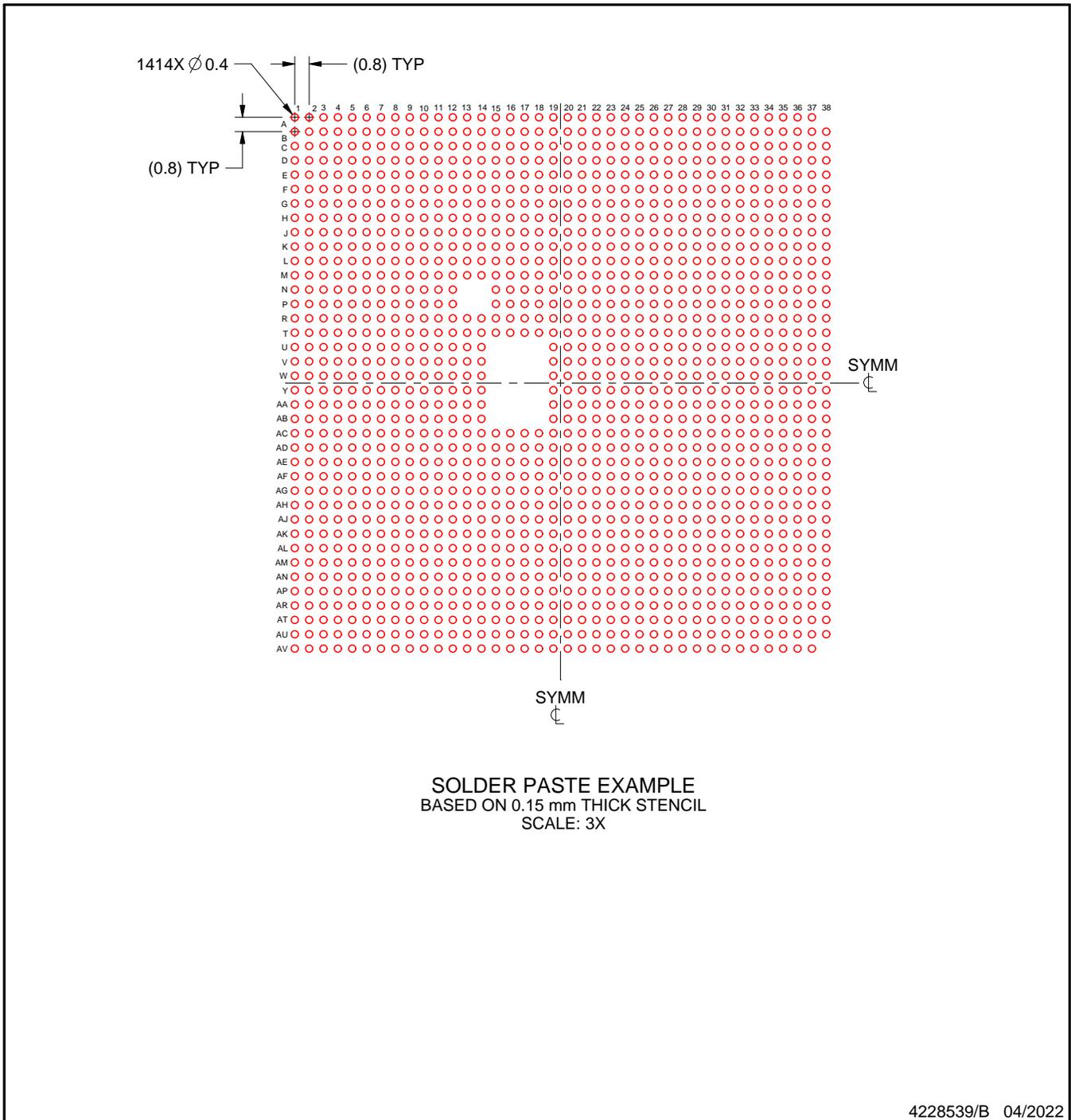
- Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For more information, see Texas Instruments literature number SPRU811 (www.ti.com/lit/spru811).

EXAMPLE STENCIL DESIGN

ALY1414A

FCBGA - 3.341 mm max height

BALL GRID ARRAY



NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月