

システム電源セレクト、AC 過電力保護、プログラマブル OVP 搭載、低静止電流 (I_q)、ホスト制御マルチケミストリー バッテリ チャージャ

1 特長

- NMOS-NMOS 同期整流降圧コンバータ、周波数は 300kHz、95% を超える効率性
- 最小ドライバ デッドタイム: 30ns、最大実効デューティ サイクル: 99.5%
- 高精度の電圧および電流レギュレーション
 - $\pm 0.5\%$ の充電電圧精度
 - $\pm 3\%$ の充電電流精度
 - $\pm 3\%$ のアダプタ電流精度
 - $\pm 2\%$ の入力電流センス アンプ精度
- 統合
 - システム電源として AC/DC アダプタまたはバッテリーを自動的に選択
 - ループ補償内蔵
 - 内部ソフト スタート
- 安全
 - プログラマブル入力過電圧保護 (OVP)
 - ステータスインジケータ付きの動的なパワー マネージメント (DPM)
 - プログラマブル突入アダプタ電源 (ACOP) および過電流 (ACOC) の制限値
 - 逆導通保護用の入力 FET
- 2 個、3 個、4 個の Li+ セルに対応
- 5 ~ 24V AC/DC-アダプタの動作範囲
- 抵抗によるレシオメトリック プログラミングか DAC/ GPIO によるホスト制御を用いたアナログ入力
 - 充電電圧 (セルあたり 4 ~ 4.512V)
 - 充電電流 (最大 10A、10mΩ センス抵抗使用)
 - アダプタ電流制限 (DPM)
- ステータスとモニタリング出力
 - 電圧スレッシュホールドを設定可能な AC/DC アダプタが存在
 - 入力源ソースから引き込まれた電流
- バッテリ学習サイクル制御
- 各種バッテリー ケミストリーに対応: Li+、NiCd、NiMH、鉛蓄電池など
- 充電イネーブル
- 28 ピン、5×5mm の QFN パッケージ
- エネルギー スター低 I_q
 - オフ状態のバッテリー放電電流: 10μA 未満
 - オフ状態の入力静止電流: 1.5mA 未満

2 アプリケーション

- ノート PC とウルトラモバイル コンピュータ
- ポータブル データ取得端末
- ポータブル プリンタ
- 医療診断機器
- バッテリ ベイ チャージャ
- バッテリ バックアップ システム

3 説明

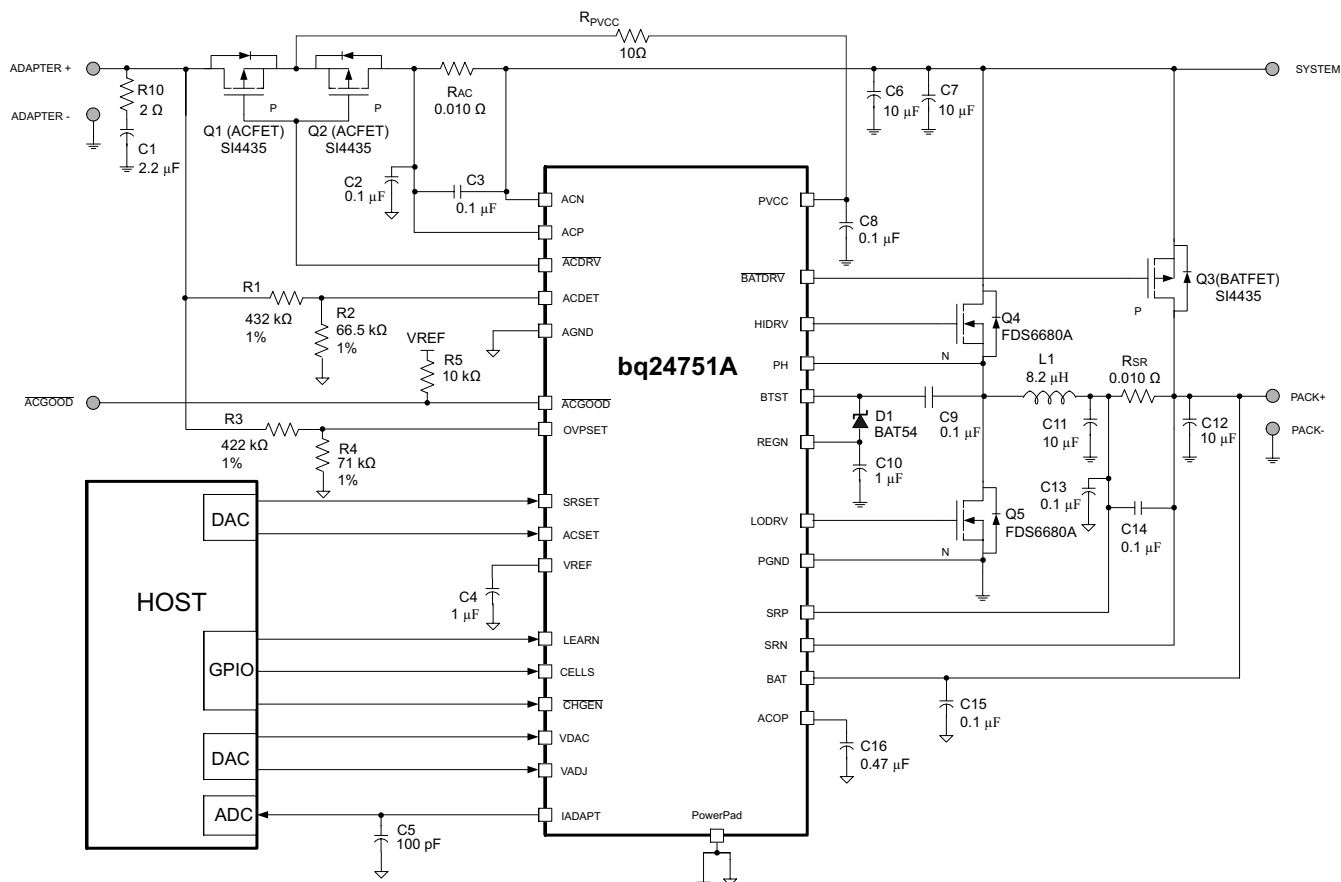
bq24751A は、スペースに制約のあるマルチケミストリー バッテリ充電アプリケーション向けに、部品数を少なく抑えながら内蔵型位相補償回路とシステム電源セレクト ロジックを搭載した、高効率の同期整流 バッテリ チャージャです。レシオメトリック充電電流と電圧プログラミング機能を採用したことにより、非常に高いレギュレーション精度が実現し、抵抗器をハードワイヤ接続することも、DAC か GPIO を使用したシステムのパワーマネージメント マイコンでプログラムすることもできます。

bq24751A は 2 個、3 個、4 個の直列接続された Li+ セルを充電でき、最大 10A の充電電流に対応します。28 ピン、5×5mm の薄型 QFN パッケージで提供しています。

bq24751A は外部スイッチを制御してバッテリーから入力側への逆放電を防止し、アダプタをシステムに接続するとともに、6V のゲート駆動を使用してバッテリーをシステムに接続し、システム効率を向上させています。システムの安全性を最大限に高めるため、高入力電圧に電流を掛けた場合には、突入電力制限機能による瞬時の応答が可能です。この AC 過電力保護 (ACOP) 機能は、入力スイッチの電力を ACOP ピンに設定されたレベルに制限します。また、高電力状態が継続する場合には、過熱を防ぐために出力を遮断します。

bq24751A は、動的なパワー マネージメント (DPM) と入力電力制限機能を備えています。これらの機能により、入力電力制限に達した場合にバッテリー充電電流が低減され、負荷とバッテリー チャージャに同時に電力を供給するときに AC アダプタの過負荷を防止します。高精度の電流センス アンプにより、AC アダプタからの入力電流を高精度で測定し、システム全体の電力を監視できます。



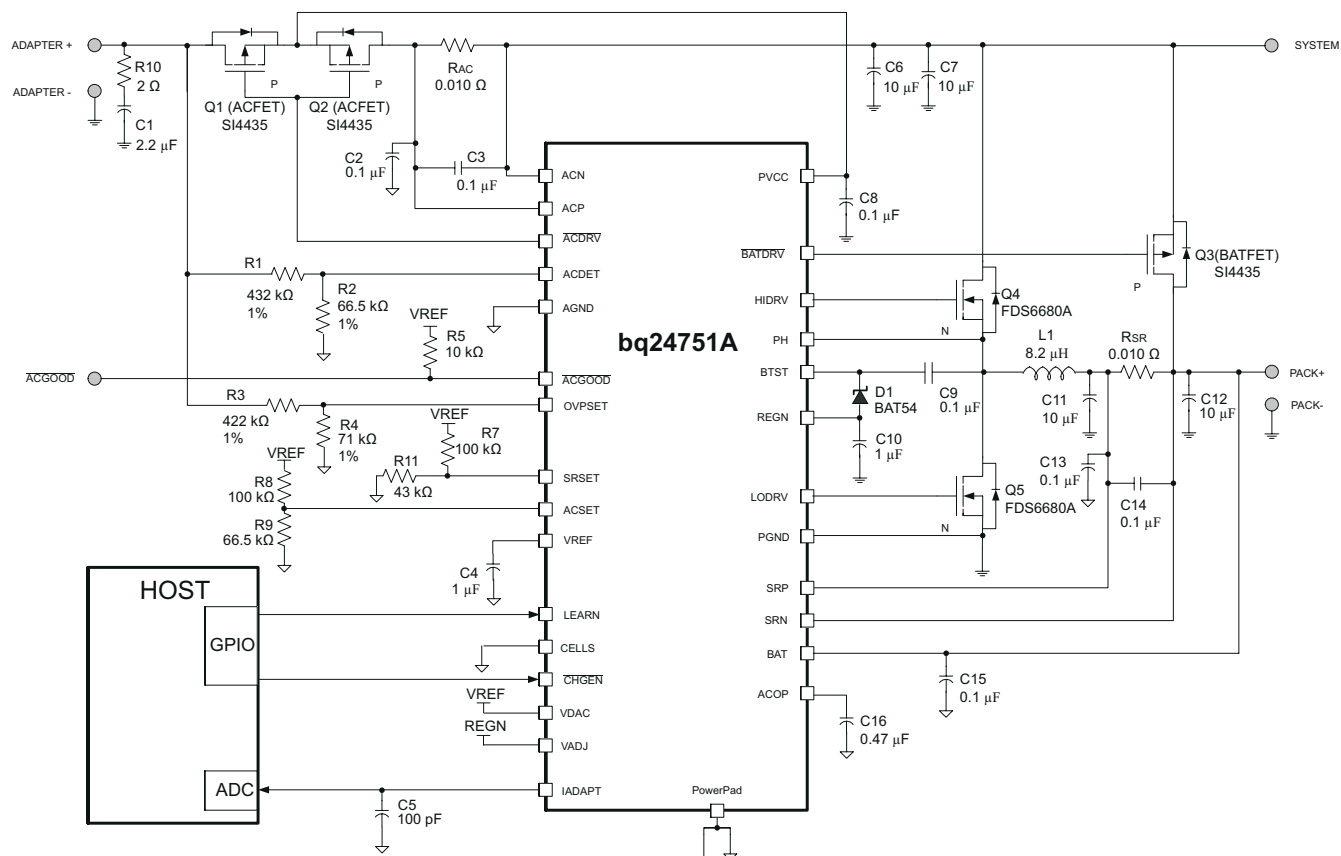


(1) プルアップ レールは、VREF または他のシステム レールのいずれかです。

(2) SRSET/ACSET は、DAC か抵抗デバイダのいずれかから供給できます。

$V_{IN} = 20V$ 、 $V_{BAT} = 3$ セル リチウムイオン、 $I_{charge} = 3A$ 、 $I_{adapter_limit} = 4A$

代表的なシステム回路図、DAC で設定した電圧と電流



- (1) プルアップ レールは、VREF または他のシステム レールのいずれかです。
- (2) SRSET/ACSET は、DAC か抵抗デバイダのいずれかから供給できます。

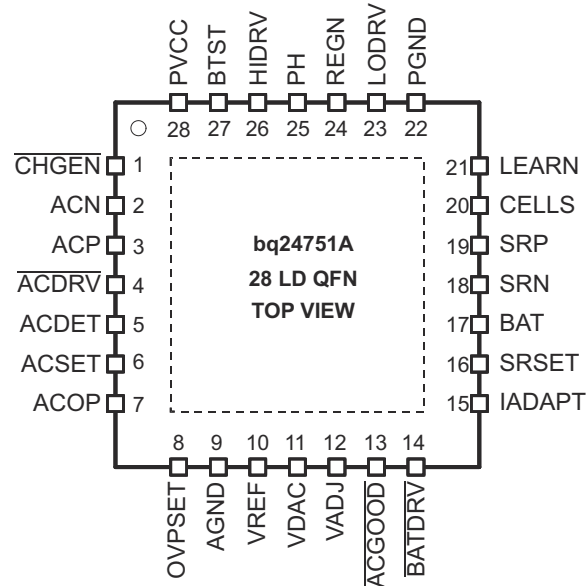
$$V_{IN} = 20V, V_{BAT} = 3 \text{ セル リチウムイオン}, I_{charge} = 3A, I_{adapter \text{ limit}} = 4A$$

代表的なシステム回路図、抵抗で設定した電圧と電流

目次

1 特長	1	6.11 同期 / 非同期動作.....	26
2 アプリケーション	1	6.12 電流センス アンプ (CSA) を使用した高精度 IADAPT.....	27
3 説明	1	6.13 入力過電圧保護 (ACOV).....	27
4 ピン構成および機能	5	6.14 入力低電圧誤動作防止 (UVLO).....	28
4.1 端子の機能.....	5	6.15 バッテリ過電圧保護.....	28
5 仕様	8	6.16 バッテリ短絡 (バッテリ低電圧) 保護.....	28
5.1 絶対最大定格.....	8	6.17 充電過電流保護.....	28
5.2 推奨動作条件.....	8	6.18 サーマル シャットダウン保護.....	28
5.3 パッケージの熱データ.....	9	6.19 アダプタ検出ステータスレジスタ (ACGOOD ピン).....	28
5.4 電気的特性.....	9	6.20 入力過電力電圧保護 (ACOP).....	29
5.5 典型的な特性.....	15	7 使用上の注意	33
6 詳細説明	22	7.1 入力容量の計算.....	33
6.1 機能ブロック図.....	22	7.2 PCB レイアウト設計のガイドライン.....	36
6.2 バッテリ電圧レギュレーション.....	23	8 デバイスおよびドキュメントのサポート	38
6.3 バッテリ電流レギュレーション.....	23	8.1 ドキュメントの更新通知を受け取る方法.....	38
6.4 入力アダプタ電流レギュレーション.....	23	8.2 サポート・リソース.....	38
6.5 アダプタの検出と電源投入.....	24	8.3 商標.....	38
6.6 イネーブルおよびディスエーブル充電.....	24	8.4 静電気放電に関する注意事項.....	38
6.7 システム電源セクタ.....	25	8.5 用語集.....	38
6.8 バッテリ学習サイクル.....	25	9 改訂履歴	38
6.9 自動内部ソフトスタート チャージャ電流.....	25	10 メカニカル、パッケージ、および注文情報	38
6.10 コンバータの動作.....	25		

4 ピン構成および機能



4.1 端子の機能

表 4-1. 28-PIN QFN

端子 名称	番号	説明
CHGEN	1	充電イネーブル アクティブ Low ロジック入力。LO に設定すると、充電が有効になります。HI に設定すると、充電が無効になります。
ACN	2	アダプタ電流センス抵抗の負入力。差動モード フィルタリングを行うため、ACN と ACP の間に 0.1μF のセラミック コンデンサを配置します。オプションとして、ACN ピンと AGND 間に 0.1μF のセラミック コンデンサを配置し、同相モード フィルタリングを行います。
ACP	3	アダプタ電流センス抵抗の正入力。差動モード フィルタリングを行うため、ACN と ACP の間に 0.1μF のセラミック コンデンサを配置します。同相モード フィルタリングを行うため、ACP ピンと AGND の間に 0.1μF セラミック コンデンサを配置します。
ACDRV	4	システムスイッチのドライバ出力への AC アダプタ。ACFET P チャネルパワー MOSFET のゲートと、逆方向導通ブロック P チャネル パワー MOSFET に直接接続します。両方の FET を共通ソースとして接続します。ACFET ドレインをシステム負荷側に接続します。必要なときに常にドライバ ロジックがアクティブになるように、PVCC は共通ソース ノードに接続する必要があります。必要に応じて、ACFET のゲートとソースの間にオプションのコンデンサを設置することで、オン時間とオフ時間を遅くできます。内部ゲートドライブは非対称であるため、BATDRV に関する内部のブレイク ビフォー メイク ロジックに加えて、高速ターンオフと低速ターンオンが可能です。入力検出電流が ACOC スレッシュホルドを超えると、出力はリニア レギュレーション モードに移行します。ACOP 電圧が 2V を超えると ACDRV はオフにラッチされ、充電システムを ACFET 過電力状態から保護します。
ACDET	5	アダプタが検出した電圧設定入力。アダプタの検出スレッシュホルドをプログラムするには、アダプタ入力から ACDET ピン、AGND ピンの間に抵抗デバイダを接続します。ACDET ピンの電圧が 2.4V を超えている場合、アダプタの電圧が検出されます。I _{ADAPT} 電流センス アンプは、ACDET ピンの電圧が 0.6V を上回るとアクティブになります。
ACSET	6	アダプタ電流設定入力。ACSET 電圧と VDAC 電圧との電圧比により、動的パワー マネージメント (DPM) 中の入力電流レギュレーションの設定点がプログラムされます。プログラムするには、VDAC から ACSET、AGND の間に抵抗デバイダを接続するか、外部 DAC の出力を ACSET ピンに接続して DAC 電源を VDAC ピンに接続します。
ACOP	7	入力電力制限設定入力ピン。入力過電力時定数をプログラムするには、ACOP と AGND の間にセラミック コンデンサを配置します。このコンデンサは、パワー MOSFET の電力制限を超える前の、入力電流制限 ACOC を維持できる時間を設定します。ACOP 電圧が 2V を超えると、ACDRV がオフにラッチされ、過電力状態 ACOP から充電システムが保護されます。ラッチをリセットするには、ACDET または PVCC_UVLO を切り替えます。
OVPSET	8	設定入力過電圧保護スレッシュホルド。アダプタ入力電圧が OVPSET のプログラム済みスレッシュホルドよりも高い場合、充電は無効化され、ACDRV はオフになります。OVPSET > 3.1V のとき、入力過電圧 ACOV は充電と ACDRV を無効化します。ACOV はラッチされません。過電圧保護スレッシュホルドをプログラムするには、アダプタ入力から OVPSET ピン、AGND ピンの間に抵抗デバイダを接続します。

表 4-1. 28-PIN QFN (続き)

端子		説明
名称	番号	
AGND	9	アナログ グランド。低電流の高感度アナログ / デジタル信号用のグランド接続。PCB レイアウトでは、アナログ グランド プレーンに接続し、IC の下の PowerPAD を介して PGND にのみ接続します。
VREF	10	3.3V 調整電圧出力。VREF と AGND ピンの間で、IC の近くに 1 μ F のセラミック コンデンサを配置します。この電圧は、電圧および電流レギュレーションのレシオメトリック プログラミングに使用できます。
VDAC	11	充電電圧設定リファレンス入力。VREF または外部 DAC 電圧源を VDAC ピンに接続します。バッテリー電圧、充電電流、入力電流は、それぞれ VDAC ピン電圧と VADJ、SRSET、ACSET ピン電圧の比としてプログラムされます。プログラミングのために、VDAC から VADJ、SRSET、ACSET ピン、AGND の間に抵抗デバイダを配置します。DAC を使用するには、VDAC に DAC 電源を接続し、VADJ、SRSET、ACSET のいずれかに出力を接続します。
VADJ	12	充電電圧設定入力。VADJ 電圧と VDAC 電圧の電圧比により、バッテリー電圧レギュレーションの設定点がプログラムされます。プログラムするには、VDAC から VADJ、AGND の間に抵抗デバイダを接続するか、外部 DAC の出力を VADJ に接続して DAC 電源を VDAC に接続します。REGN に接続した VADJ により、デフォルト値がセルあたり 4.2V にプログラムされます。
ACGOOD	13	有効なアダプタアクティブ Low 検出ロジック オープンドレイン出力。入力電圧がプログラムされた ACDET を上回ると Low にプルされます。10k Ω プルアップ抵抗を ACGOOD と VREF の間、または別のプルアップ電源レールに接続します。
BATDRV	14	バッテリーからシステムへのスイッチ ドライバ出力。システムをバッテリーから絶縁し、システムからバッテリーへの電流の流入を防止しながら、バッテリーからシステムへの低インピーダンス パスを実現し、バッテリー バックからシステム負荷への放電を行う、バッテリーからシステム負荷への BAT PMOS パワー FET のためのゲートドライブ。このピンは、入力 BAT P チャネル パワー MOSFET のゲートに直接接続します。FET のソースをシステム負荷電圧ノードに接続します。FET のドレインをバッテリー バックの正のノードに接続します。切り替え時間を低速化するために、オプションのコンデンサをゲートとソースの間に配置します。内部ゲートドライブは非対称であるため、ACDRV に関する内部のブレイク ビフォー メイク ロジックに加えて、高速ターンオフと低速ターンオンが可能です。
IADAPT	15	アダプタの電流センス アンプ出力。IADAPT 電圧は、ACP-ACN の両端の差動電圧の 20 倍です。IADAPT と AGND グランドの間に、100pF 以下のセラミック デカップリング コンデンサを接続します。
SRSET	16	充電電流設定入力。SRSET 電圧と VDAC 電圧との電圧比により、充電電流レギュレーションの設定点がプログラムされます。プログラムするには、VDAC から SRSET、AGND の間に抵抗デバイダを接続するか、外部 DAC の出力を SRSET ピンに接続して DAC 電源を VDAC ピンに接続します。
BAT	17	バッテリー電圧リモート センス。バッテリー バックの電圧を高精度で検出するため、バッテリー バックの正端子から BAT ピンの間にケルビン センス パターンを直接接続します。高周波ノイズをフィルタリングするため、BAT とから AGND の間で、IC の近くに 0.1 μ F コンデンサを配置します。
SRN	18	充電電流センス抵抗の負入力。差動モード フィルタリングを行うため、SRN と SRP の間に 0.1 μ F のセラミック コンデンサを配置します。オプションとして、SRN ピンと AGND 間に 0.1 μ F のセラミック コンデンサを配置し、同相モード フィルタリングを行います。
SRP	19	充電電流センス抵抗の正入力。差動モード フィルタリングを行うため、SRN と SRP の間に 0.1 μ F のセラミック コンデンサを配置します。同相モード フィルタリングを行うため、SRP ピンと AGND の間に 0.1 μ F セラミック コンデンサを配置します。
CELLS	20	2、3、4 セルの選択ロジック入力。ロジック Low では 3 セルがプログラムされます。ロジック High では 4 セルがプログラムされます。フローティングでは 2 セルがプログラムされます。
LEARN	21	学習モード ロジック入力制御ピン — ロジック High によりシステム セレクタを無効化。アダプタが接続されている場合、バッテリー バックのバッテリー残量計を再校正するためにバッテリーが放電されます。アダプタが接続されていて LEARN が High の場合、バッテリーの充電が無効になり、アダプタが切断され (ACDRV はオフ)、バッテリーがシステムに接続されます (BATDRV はオン)。バッテリーの放電が LOWBAT (3V) 未満の場合、システム セレクタは自動的にアダプタに切り替わります。アダプタが接続されていて LEARN が Low の場合、アダプタは通常セレクタ ロジックでシステムに接続され (ACDRV はオンで BATDRV はオフ)、バッテリーを充電できるようになります。アダプタが接続されていない場合は、常にバッテリーがシステムに接続されます (ACDRV はオフで BATDRV はオン)。
PGND	22	電源グランド。大電流パワー コンバータ ノードのグランド接続。PCB レイアウトでは、ローサイド パワー MOSFET のソースに直接接続し、チャージャの入力および出力コンデンサのグランド接続に接続します。IC の下の PowerPAD を経由して AGND にのみ接続します。
LODRV	23	PWM ローサイドドライバ出力。短いパターンでローサイド パワー MOSFET のゲートに接続します。
REGN	24	PWM ローサイドドライバの正の 6V 電源出力。REGN と PGND の間で、IC の近くに 1 μ F のセラミック コンデンサを接続します。ハイサイドドライバのブートストラップ電圧に使用するには、REGN と BTST の間に小信号のショットキー ダイオードを接続します。
PH	25	PWM ハイサイドドライバの負電源。位相スイッチングノード (ローサイド パワー MOSFET ドレイン、ハイサイド パワー MOSFET ソース、出力インダクタの接合部) に接続します。PH と BTST の間に 0.1 μ F のブートストラップ コンデンサを接続します。
HIDRV	26	PWM ハイサイドドライバ出力。短いパターンでハイサイド パワー MOSFET のゲートに接続します。

表 4-1. 28-PIN QFN (続き)

端子		説明
名称	番号	
BTST	27	PWM ハイサイドドライバの正電源。BTST と PH の間に 0.1μF のブートストラップ コンデンサを接続します。REGN と BTST の間に小型のブートストラップ ショットキー ダイオードを接続します。
PVCC	28	IC パワーの正電源。共通ソース (ダイオード OR) ポイント、つまりハイサイド P チャネル MOSFET のソース、逆方向ブロック パワー P チャネル MOSFET のソースに接続します。PVCC と PGND ピンの間で、IC の近くに 1μF のセラミック コンデンサを配置します。
PowerPad		IC の下にある露出パッド。PowerPAD プレーンでのみ AGND および PGND スター接続。PowerPAD は必ず基板に半田付けし、PowerPAD プレーン上に AGND および PGND プレーンに接続するビアを配置します。また、このパッドは、熱を放散するためのサーマル パッドとしても機能します。

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)^{(1) (2)}

		値	単位
電圧範囲	PVCC、ACP、ACN、SRP、SRN、BAT、BATDRV、ACDRV	-0.3～30	V
	PH	-1～30	
	REGN、LODRV、VREF、VDAC、VADJ、ACSET、SRSET、ACDET、ACOP、CHGEN、CELLS、STAT、ACGOOD、LEARN、OVPSET	-0.3～7	
	VREF、IADAPT	-0.3～3.6	
	AGND と PGND を基準とした BTST、HIDRV	-0.3～36	
最大電圧差	ACP-ACN、SRP-SRN、AGND-PGND	-0.5～0.5	
接合部温度範囲		-40～155	°C
保管温度範囲		-55～155	

(1) 「絶対最大定格」に記載されている値を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示してあり、このデータシートの「推奨動作条件」に示された値と等しい、またはそれを超える条件で本製品が正しく動作することを暗に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。

(2) 特に指定のない限り、すべての電圧値は GND を基準にしています。電流は、指定された端子に流れ込む方向を正、流れ出る方向を負とします。パッケージの熱的な制約と検討事項については、データブックの「パッケージ」のセクションを参照してください。

5.2 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
電圧範囲	PH	-1		24	V
	PVCC、ACP、ACN、SRP、SRN、BAT、BATDRV、ACDRV	0		24	
	REGN、LODRV	0		6.5	
	VDAC、IADAPT	0		3.6	
	VREF		3.3		
	ACSET、SRSET、TS、ACDET、ACOP、CHGEN、CELLS、ACGOOD、LEARN、OVPSET	0		5.5	
	VADJ	0		6.5	
	AGND と PGND を基準とした BTST、HIDRV	0		30	
	AGND、PGND	-0.3		0.3	
最大電圧差: ACP-ACN、SRP-SRN		-0.3		0.3	V
接合部温度範囲		-40		125	°C
保管温度範囲		-55		150	

5.3 パッケージの熱データ

パッケージ	θ_{JA}	$T_A = 70^\circ\text{C}$ 電力定格	$T_A = 25^\circ\text{C}$ を超える場合の デレーティング係数
QFN – RHD ^{(1) (2)}	39°C/W	2.36W	0.028 W/°C

- (1) 最新のパッケージおよびご発注情報については、このデータシートの巻末にある「付録: パッケージ オプション」を参照してください。
(2) このデータは、JEDEC High-K 基板を使用していて、露出したダイパッドが基板上の Cu パッドに接続されていることを前提としています。これは、2x3 ビア マトリクスでグラウンド プレーンに接続されています。

5.4 電気的特性

7.0V ≤ V_{PVCC} ≤ 24V、0°C < T_J < 125°C、標準値は AGND を基準とした T_A = 25°C での値 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準 値	最大値	単位
動作条件					
V _{PVCC_OP} PVCC 入力電圧動作範囲		5.0		24.0	V
充電電圧レギュレーション					
V _{BAT_REG_RNG} BAT 電圧レギュレーション範囲	セルあたり 4 ~ 4.512V、x 2、3、4 セル	8		18.048	V
V _{VDAC_OP} VDAC リファレンス電圧範囲		2.6		3.6	V
V _{ADJ_OP} VADJ 電圧範囲		0		REGN	V
充電電圧レギュレーション精度	8V、8.4V、9.024V	-0.5		0.5	%
	12V、12.6V、13.536V	-0.5		0.5	
	16V、16.8V、18.048V	-0.5		0.5	
充電電圧レギュレーションはセルあたり デフォルトで 4.2V に設定	VADJ は REGN、8.4V、12.6V、16.8V に接続 済み	-0.5		0.5	%
充電電流レギュレーション					
V _{IREG_CHG} 充電電流レギュレーションの差動電圧範囲	V _{IREG_CHG} = V _{SRP} – V _{SRN}	0		100	mV
V _{SRSET_OP} SRSET 電圧範囲		0		VDAC	V
充電電流レギュレーション精度	V _{IREG_CHG} = 40 ~ 100mV	-3		3	%
	V _{IREG_CHG} = 20mV	-5		5	
	V _{IREG_CHG} = 5mV	-25		25	
	V _{IREG_CHG} = 1.5mV (V _{BAT} > 4V)	-33		33	

5.4 電気的特性 (続き)

7.0V ≤ V_{PVCC} ≤ 24V、0°C < T_J < 125°C、標準値は AGND を基準とした T_A = 25°C での値 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
入力電流レギュレーション						
V _{I_{REG}_DPM}	アダプタの電流レギュレーションの差動電圧範囲	V _{I_{REG}_DPM} = V _{ACP} − V _{ACN}	0		100	mV
V _{ACSET_OP}	ACSET 電圧範囲		0		VDAC	V
入力電流のレギュレーション精度		V _{I_{REG}_DPM} = 40 ~ 100mV	-3		3	%
		V _{I_{REG}_DPM} = 20mV	-5		5	
		V _{I_{REG}_DPM} = 5mV	-25		25	
		V _{I_{REG}_DPM} = 1.5mV	-33		33	
VREF レギュレータ						
V _{VREF_REG}	VREF レギュレータ電圧	V _{ACDET} > 0.6V、0 ~ 30mA	3.267	3.3	3.333	V
I _{VREF_LIM}	VREF 電流制限	V _{VREF} = 0V、V _{ACDET} > 0.6V	35		75	mA
REGN レギュレータ						
V _{REGN_REG}	REGN レギュレータ電圧	V _{ACDET} > 0.6V、0 ~ 75mA、PVCC > 10V	5.6	5.9	6.2	V
I _{REGN_LIM}	REGN 電流制限	V _{REGN} = 0 V、V _{ACDET} > 0.6V	90		135	mA
アダプタの電流センス アンプ						
V _{ACP/N_OP}	入力同相範囲	ACP/ACN の電圧	0		24	V
V _{IADAPT}	IADAPT の出力電圧範囲		0		2	
I _{IADAPT}	IADAPT 出力電流		0		1	mA
A _{IADAPT}	電流センス アンプの電圧ゲイン	A _{IADAPT} = V _{IADAPT} / V _{I_{REG}_DPM}		20		V/V
アダプタの電流センシング精度		V _{I_{REG}_DPM} = 40 ~ 100mV	-2		2	%
		V _{I_{REG}_DPM} = 20mV	-3		3	
		V _{I_{REG}_DPM} = 5mV	-25		25	
		V _{I_{REG}_DPM} = 1.5mV	-33		33	
I _{IADAPT_LIM}	出力電流制限	V _{IADAPT} = 0V	1			mA
C _{IADAPT_MAX}	最大出力負荷キャパシタンス	0mA から 1mA への負荷で安定性を確保			100	pF
ACDET コンパレータ						
V _{ACDET_CHG}	ACDET アダプタ検出の立ち上がりスレッシュホルド	充電を有効にするための最小電圧、V _{ACDET} 立ち上がり	2.376	2.40	2.424	V
V _{ACDET_CHG_HYS}	ACDET 立ち下がりヒステリシス	V _{ACDET} 立ち下がり		40		mV
	ACDET 立ち上がりグリッチ除去	V _{ACDET} 立ち上がり	518	700	908	ms
	ACDET 立ち下がりグリッチ除去	V _{ACDET} 立ち下がり	7	9	11	ms
V _{ACDET_BIAS}	ACDET イネーブルバイアス立ち上がりスレッシュホルド	すべてのバイアスを有効にするための最小電圧、V _{ACDET} 立ち上がり	0.56	0.62	0.68	V
V _{ACDET_BIAS_HYS}	アダプタが存在する立ち下がりヒステリシス	V _{ACDET} 立ち下がり		20		mV
	ACDET 立ち上がりグリッチ除去	V _{ACDET} 立ち上がり		10		μs
	ACDET 立ち下がりグリッチ除去	V _{ACDET} 立ち下がり		10		μs
PVCC / BAT コンパレータ (逆放電保護)						
V _{PVCC-BAT_OP}	PVCC から BAT への差動電圧		-20		24	V
V _{PVCC-BAT_FALL}	PVCC から BAT への立ち下がりスレッシュホルド	ACFET をオフにするための V _{PVCC} — V _{BAT}	140	185	240	mV
V _{PVCC-BAT_HYS}	PVCC から BAT へのヒステリシス			50		mV

5.4 電气的特性 (続き)

$7.0V \leq V_{PVCC} \leq 24V$ 、 $0^{\circ}C < T_J < 125^{\circ}C$ 、標準値は AGND を基準とした $T_A = 25^{\circ}C$ での値 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
PVCC から BAT への立ち上がりグリッチ除去		$V_{PVCC} - V_{BAT} > V_{PVCC-BAT_RISE}$	7	9	11	ms
PVCC から BAT への立ち下がりグリッチ除去		$V_{PVCC} - V_{BAT} < V_{PVCC-BAT_FALL}$		6		μs
入力低電圧ロックアウト コンパレータ (UVLO)						
V_{UVLO}	AC 低電圧立ち上がりスレッショルド	PVCC で測定	3.5	4	4.5	V
V_{UVLO_HYS}	AC 低電圧ヒステリシス、立ち下がり			260		mV

5.4 電気的特性 (続き)

7.0V ≤ V_{PVCC} ≤ 24V、0°C < T_J < 125°C、標準値は AGND を基準とした T_A = 25°C での値 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
ACN / BAT コンパレータ						
V _{ACN-BAT_FALL}	ACN から BAT への立ち下がりスレッシュホールド	BATDRV をオンにするための V _{ACN} - V _{BAT}	175	285	340	mV
V _{ACN-BAT_HYS}	ACN から BAT へのヒステリシス			50		mV
	ACN から BAT への立ち上がりグリッチ除去	V _{ACN} - V _{BAT} > V _{ACN-BAT_RISE}		20		μs
	ACN から BAT への立ち下がりグリッチ除去	V _{ACN} - V _{BAT} < V _{ACN-BAT_FALL}		6		μs
BAT 過電圧コンパレータ						
V _{OV_RISE}	過電圧立ち上がりスレッシュホールド	V _{BAT_REG} の割合として表示		104		%
V _{OV_FALL}	過電圧立ち下がりスレッシュホールド	V _{BAT_REG} の割合として表示		102		
BAT 短絡 (低電圧) コンパレータ						
V _{BAT_SHORT_FALL}	BAT 短絡立ち下がりしきい値		2.755	2.9	3.045	V/セル
V _{BAT_SHORT_HYS}	BAT 短絡ヒステリシス			250		mV/セル
	BAT 短い立ち上がりグリッチ除去	V _{BAT} > V _{BAT_SHORT} +V _{BAT_SHORT_HYS} 検出遅延		1.5		s
	BAT 短い立ち下がりグリッチ除去	V _{BAT} < V _{BAT_SHORT}		1.5		
充電過電流コンパレータ						
V _{OC}	充電過電流立ち下がりスレッシュホールド	I _{REG_CHG} の割合として表示		145		%
	最小電流制限 (SRP-SRN)			50		mV
充電低電流コンパレータ (同期から非同期への遷移)						
V _{ISYNSET_FALL}	充電低電流の立ち下がりスレッシュホールド	同期から非同期への変更	9.75	13	16.25	mV
V _{ISYNSET_HYS}	充電低電流の立ち上がりヒステリシス			8		mV
	充電低電流、立ち下がり電流のグリッチ除去	V _{I_{REG}_DPM} < V _{ISYNSET}		20		μs
	充電低電流、立ち上がり電流のグリッチ除去			640		
入力過電力コンパレータ (ACOP)						
V _{ACOC}	初期 ACOC 電流制限の ACOC ゲイン (プログラム済み V _{I_{REG}_DPM} の割合)	ACDET から 700ms 後に開始 フォルト保護のため、入力電力はこのスレッシュホールドに制限		150		% V _{I_{REG}_DPM}
V _{ACOC_CEILING}	最大 ACOC 入力電流制限 (V _{ACP} -V _{ACN})max	内部制限の上限 V _{ACOC_MAX} = (V _{ACP} -V _{ACN})max		100		mV
	ACOC がアクティブな状態での ACOP ラッチ ブランクアウト時間 (ACDET から 700ms 後に開始)	ACDET から 700ms 後に開始 (ACOP ラッチオフ不可、ACOP ソース電流なし)		2		ms
V _{ACOP}	ACOP ピンのラッチオフ スレッシュホールド電圧 (「端子機能表」の ACOP を参照)		1.95	2	2.05	V
K _{ACOP}	ACOC 状態の場合に ACOP ソース電流のゲイン	ACOC 制限中の電流源がオン。パワー FET 全体の電圧の関数 I _{ACOP_SOURCE} = K _{ACOP} × (V _{PVCC} -V _{ACP})		18		μA/V
I _{ACOP_SINK}	ACOC 状態でない場合の ACOP シンク電流 ACOP ラッチは ACDET または UVLO を下回ることによってリセット	ACOC 状態でない場合の電流シンクがオン		5		μA
V _{ACN-SHORT}	ACN 短絡保護スレッシュホールド ラッチ	ACN < 2.4V、ACDET > 2.4V		2.4		V

5.4 電気的特性 (続き)

7.0V ≤ V_{PVCC} ≤ 24V、0°C < T_J < 125°C、標準値は AGND を基準とした T_A = 25°C での値 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位	
入力過電圧コンパレータ (ACOV)							
V _{ACOV}	OVPSET の AC 過電圧立ち上がりスレッシュホールド (セクション 4.1 の OVPSET を参照)	OVPSET で測定	3.007	3.1	3.193	V	
V _{ACOV_HYS}	AC 過電圧立ち上がりグリッチ除去		1.3			ms	
	AC 過電圧立ち下がりグリッチ除去		1.3				
サーマル シャットダウン コンパレータ							
T _{SHUT}	サーマル シャットダウン立ち上がり温度	温度上昇	155			°C	
T _{SHUT_HYS}	サーマル シャットダウン ヒステリシス、立ち下がり		20			°C	
バッテリー スイッチ (BATDRV) ドライバ							
R _{DS_BAT_OFF}	BATFET オフ抵抗	V _{ACN} > 5V	160			Ω	
R _{DS_BAT_ON}	BATFET オン抵抗	V _{ACN} > 5V	3			kΩ	
V _{BATDRV_REG}	BATFET 駆動電圧	V _{ACN} > 5V で BATFET がオンの場合 V _{BATDRV_REG} = V _{ACN} - V _{BATDRV}	6.5			V	
	BATFET パワーアップ遅延	アダプタの検出後 (ACDET > 2.4 後) BATFET がオフになるまでの遅延	518	700	908	ms	
AC スイッチ (ACDRV) ドライバ							
R _{DS_AC_OFF}	ACFET オフ抵抗	V _{PVCC} > 5V	80			Ω	
R _{DS_AC_ON}	ACFET オン抵抗	V _{PVCC} > 5V	2.5			kΩ	
V _{ACDRV_REG}	ACFET 駆動電圧	V _{PVCC} > 5V で ACFET がオンの場合、 V _{ACDRV_REG} = V _{PVCC} - V _{ACDRV}	6.5			V	
	ACFET パワーアップ遅延	アダプタの検出後 (ACDET > 2.4 後) ACFET がオンになるまでの遅延	518	700	908	ms	
AC/BAT MOSFET ドライバのタイミング							
	ドライバ デッド タイム	ACDRV と BATDRV を切り替える際のデッド タイム	10			μs	
PWM ハイサイドドライバ (HIDRV)							
R _{DS_HI_ON}	ハイサイドドライバのオン抵抗	V _{BTST} - V _{PH} = 5.5V、100mA でテスト済み	3			6	Ω
R _{DS_HI_OFF}	ハイサイドドライバのオフ抵抗	V _{BTST} - V _{PH} = 5.5V、100mA でテスト済み	0.7			1.4	Ω
V _{BTST_REFRESH}	ブートストラップ リフレッシュ コンパレータのスレッシュホールド電圧	ローサイドリフレッシュ パルスが要求された場合、V _{BTST} - V _{PH}	4				V
PWM ローサイドドライバ (LODRV)							
R _{DS_LO_ON}	ローサイドドライバのオンオフ抵抗	REGN = 6V、100mA でテスト済み	3			6	Ω
R _{DS_LO_OFF}	ローサイドドライバのオフ抵抗	REGN = 6V、100mA でテスト済み	0.6			1.2	Ω
PWM ドライバのタイミング							
	ドライバ デッド タイム — LODRV と HIDRV 間の切り替え時のデッド タイム。 LODRV と HIDRV では無負荷		30				ns
PWM 発振器							
F _{SW}	PWM スイッチング周波数		240			360	kHz
V _{RAMP_HEIGHT}	PWM ランプの高さ	PVCC の割合として表示	6.6				%PVCC

5.4 電気的特性 (続き)

7.0V ≤ V_{PVCC} ≤ 24V、0°C < T_J < 125°C、標準値は AGND を基準とした T_A = 25°C での値 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
静止時電流						
I _{OFF_STATE}	ピン SRP、SRN、BAT、BTST、PH、PVCC、ACP、ACN へのオフ時総静止電流	V _{BAT} = 16.8V、V _{ACDET} < 0.6V、V _{PVCC} > 5V、T _J = 0 ~ 85°C		7	10	μA
I _{BATQ_CD}	ピンへの総静止電流: SRP、SRN、BAT、BTST、PH	アダプタが存在、V _{ACDET} > 2.4V、充電は無効		100	200	μA
I _{AC}	アダプタの静止電流	V _{PVCC} = 20V、充電は無効		1	1.5	mA
内部ソフトスタート (レギュレーション電流に対して 8 ステップ)						
	ソフトスタートのステップ			8		ステップ
	ソフトスタートのステップ時間			1.7		ms
チャージャ セクションのパワーアップ シーケンシング						
	パワーアップ後の充電イネーブル遅延	アダプタが検出されてからチャージャの電源がオンになるまでの遅延	518	700	908	ms
ロジック入力ピンの特性 (CHGEN、LEARN)						
V _{IN_LO}	入力 Low スレッショルド電圧			0.8		V
V _{IN_HI}	入力 High スレッショルド電圧		2.1			
I _{BIAS}	入力バイアス電流	V _{CHGEN} = 0 ~ V _{REGN}			1	μA
t _{CHGEN_DEGLITCH}	充電イネーブルのグリッチ除去時間、CHGEN 立ち下がり = 充電イネーブル	ACDET > 2.4V、CHGEN 立ち上がり		2		ms
ロジック入力ピン特性 (セル)						
V _{IN_LO}	入力 Low スレッショルド電圧、3 セル	CELLS 電圧の立ち下がりエッジ		0.5		V
V _{IN_MID}	入力 Mid スレッショルド電圧、2 セル	MIN の場合はセル電圧立ち上がり、MAX の場合はセル電圧立ち下がり	0.8		1.8	
V _{IN_HI}	入力 High スレッショルド電圧、4 セル	CELLS 電圧の立ち上がり	2.5			
I _{BIAS_FLOAT}	2 セル選択時の入力バイアスフロート電流	V _{CHGEN} = 0 ~ V _{REGN}	-1		1	μA
オープンドレインのロジック出力ピンの特性 (ACGOOD)						
V _{OUT_LO}	出力低飽和電圧	シンク電流 = 5mA		0.5		V
			518	700	908	ms
	遅延、ACGOOD の立ち上がり			10		ms
	遅延、ACGOOD の立ち下がり					ms

5.5 典型的な特性

表 5-1. グラフ一覧

Y ⁽¹⁾	X	図
VREF 負荷およびラインレギュレーション	と負荷電流との関係	図 5-1
REGN 負荷およびラインレギュレーション	と負荷電流との関係	図 5-2
BAT 電圧	と VADJ/VDAC 比との関係	図 5-3
充電電流	と SRSET/VDAC 比との関係	図 5-4
入力電流	と ACSET/VDAC 比との関係	図 5-5
BAT 電圧レギュレーション精度	と充電電流との関係	図 5-6
BAT 電圧レギュレーション精度		図 5-7
充電電流レギュレーション精度		図 5-8
入力電流レギュレーション (DPM) 精度		図 5-9
V _{IADAPT} 入力電流センスアンプの精度		図 5-10
入力レギュレーション電流 (DPM) および充電電流	とシステム電流との関係	図 5-11
過渡システム負荷 (DPM) 応答		図 5-12
充電電流レギュレーション	と BAT 電圧との関係	図 5-13
効率	とバッテリー充電電流との関係	図 5-14
バッテリーの取り外し (定電流モードから)		図 5-15
ACDRV と BATDRV の起動		図 5-16
REF と REGN の起動		図 5-17
390μF SYS-to-PGND システムコンデンサを使用したアダプタ挿入時のシステムセクタ		図 5-18
390-μF SYS-to-PGND システムコンデンサを使用したアダプタ取り外し時のシステムセクタ		図 5-19
390μF SYS-to-PGND システムコンデンサを使用した LEARN ターンオン時のシステムセクタ		図 5-20
390μF SYS-to-PGND システムコンデンサを使用した LEARN ターンオフ時のシステムセクタ		図 5-21
アダプタ挿入時のシステムセクタ		図 5-22
セクタゲートの駆動電圧、ACDET 後 700ms の遅延		図 5-23
チャージャのオン / アダプタの取り外し		図 5-24
充電の有効化 / 無効化と電流ソフトスタート		図 5-25
非同期から同期への遷移		図 5-26
同期から非同期への遷移		図 5-27
100% に近いデューティサイクルのブートストラップ再充電パルス		図 5-28
バッテリー短絡チャージャの応答、過電流保護 (OCP)、充電電流レギュレーション		図 5-29
連続導通モード (CCM) のスイッチング波形		図 5-30
不連続導通モード (DCM) のスイッチング波形		図 5-31

- (1) 代表的なシステム回路図、抵抗で設定した電圧と電流アプリケーション回路図に基づくテスト結果。V_{IN} = 20V、V_{BAT} = 3 セルリチウムイオン、I_{CHG} = 3A、I_{ADAPTER_LIMIT} = 4A、T_A = 25°C (特に記述のない限り)。

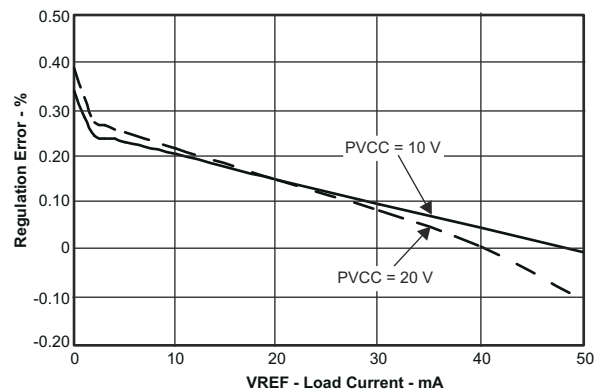


図 5-1. VREF 負荷およびライン レギュレーションと負荷電流との関係

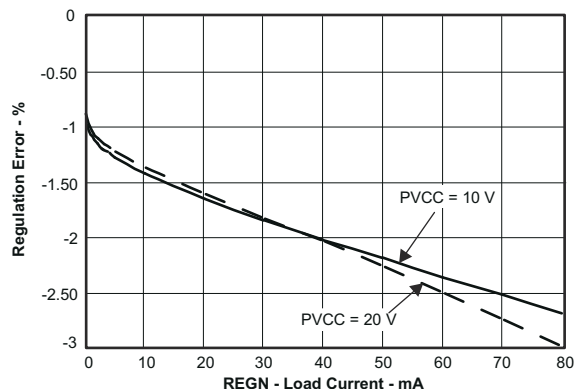


図 5-2. REGN 負荷およびライン レギュレーションと負荷電流との関係

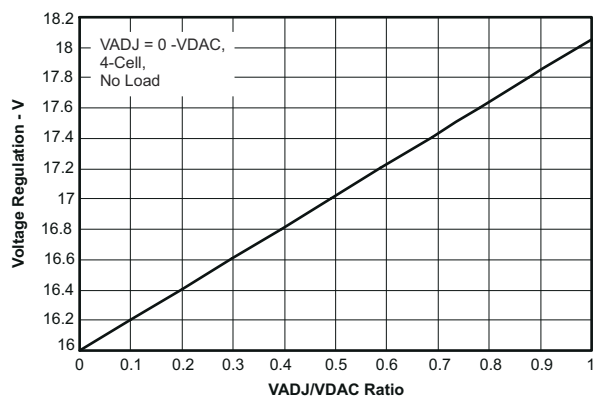


図 5-3. BAT 電圧と VADJ/VDAC 比との関係

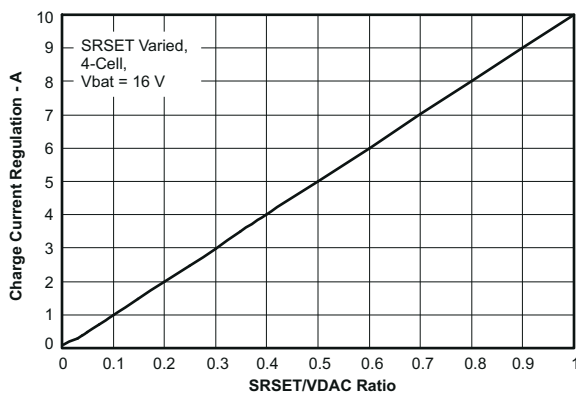


図 5-4. 充電電流と SRSET/VDAC 比との関係

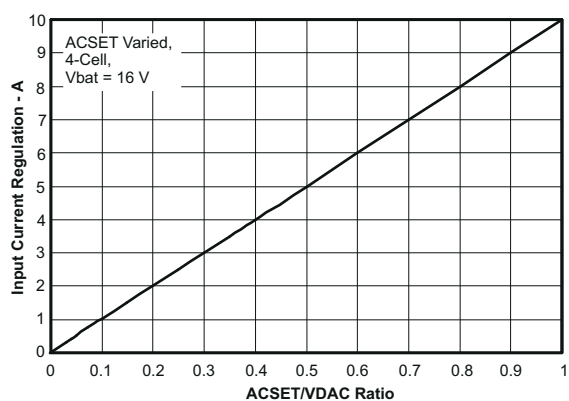


図 5-5. 入力電流と ACSET/VDAC 比との関係

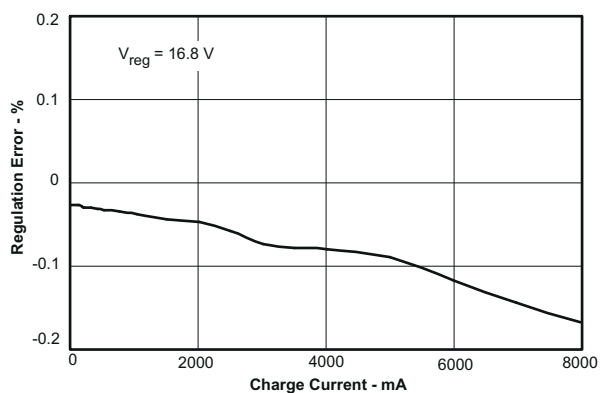


図 5-6. BAT 電圧レギュレーション制御精度と充電電流との関係

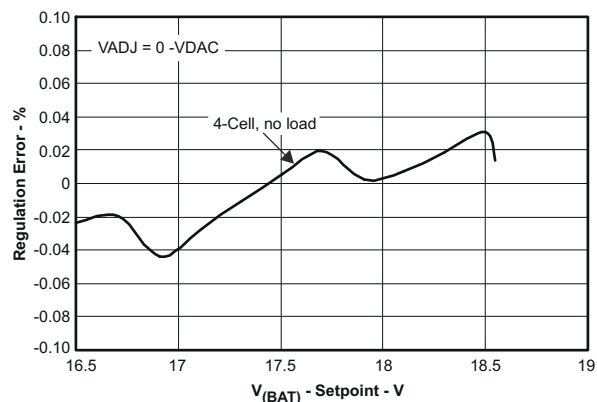


図 5-7. BAT 電圧レギュレーション精度

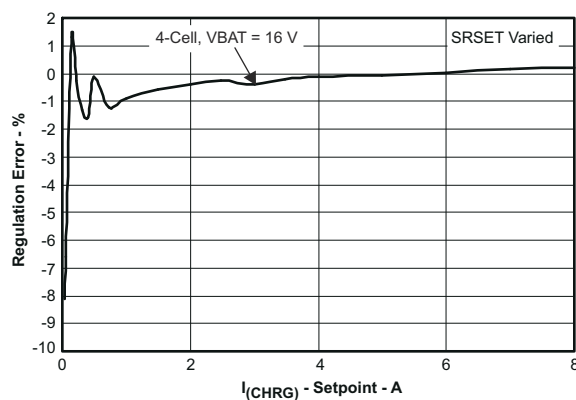


図 5-8. 充電電流レギュレーション精度

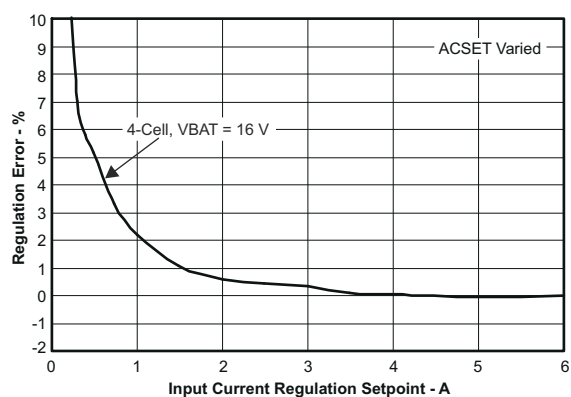


図 5-9. 入力電流レギュレーション (DPM) 精度

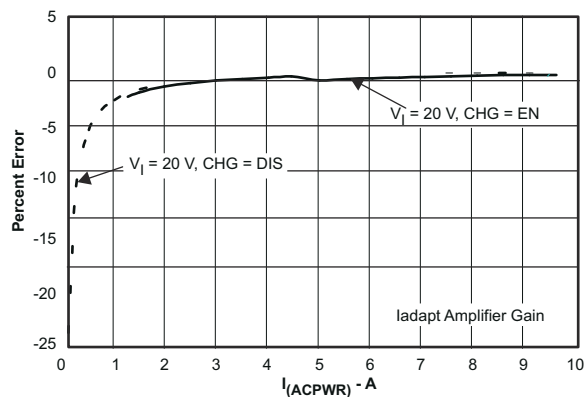


図 5-10. V_{IADAPT} 入力電流センス アンプの精度

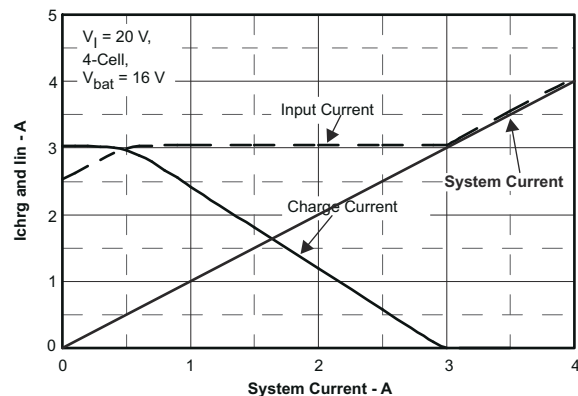


図 5-11. 入力レギュレーション電流 (DPM) および充電電流とシステム電流との関係

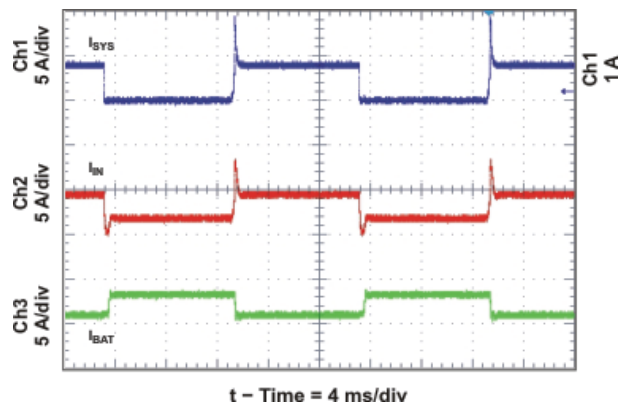


図 5-12. 過渡システム負荷 (DPM) 応答

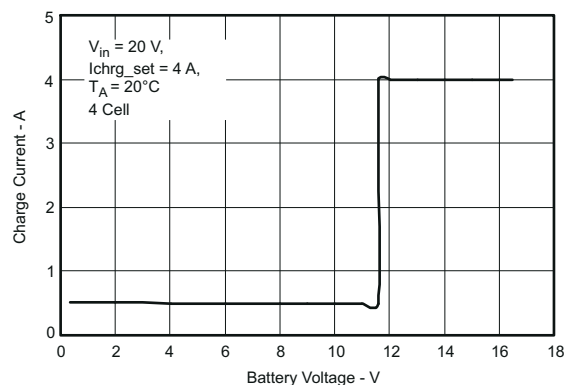


図 5-13. 充電電流レギュレーションと BAT 電圧との関係

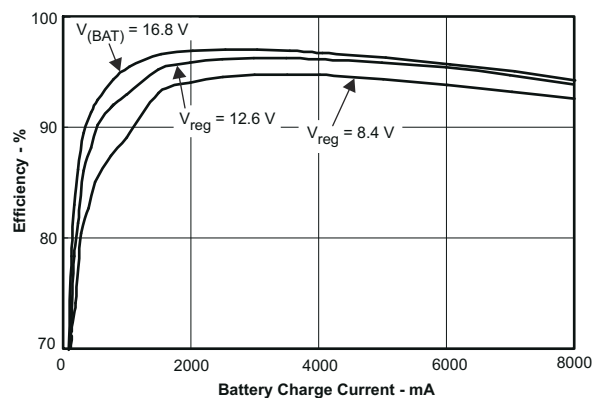


図 5-14. 効率とバッテリー充電電流との関係

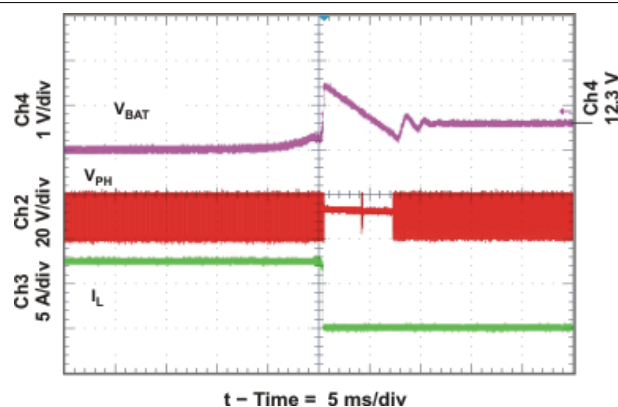


図 5-15. バッテリーの取り外し

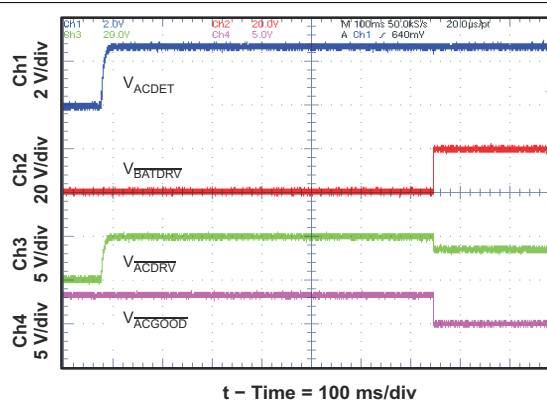


図 5-16. ACDRV と BATDRV の起動

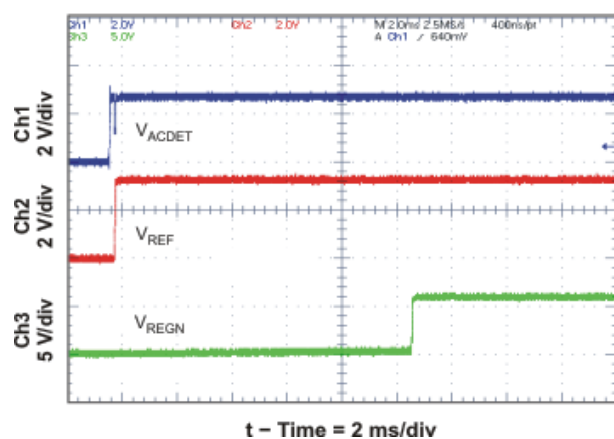


図 5-17. REF と REGN の起動

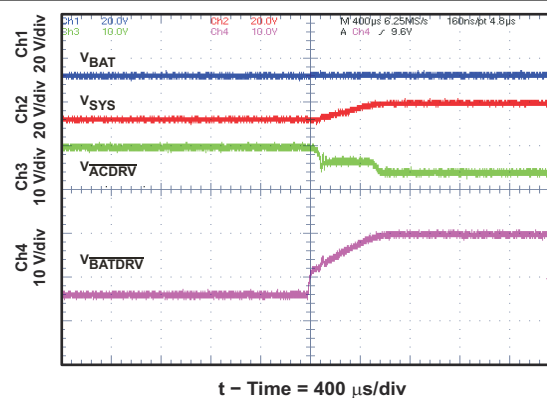


図 5-18. 390µF SYS-TO-PGND システム コンデンサを使用したアダプタ挿入時のシステム セレクタ

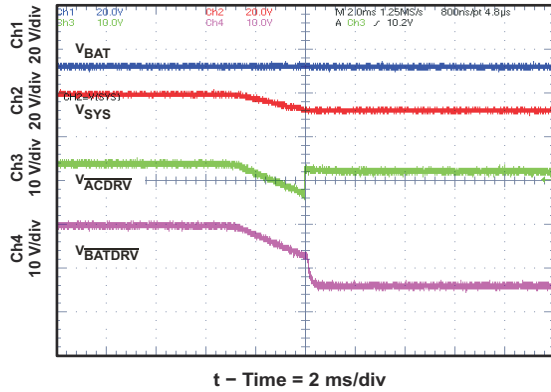


図 5-19. 390 μ F SYS-TO-PGND システム コンデンサを使用したアダプタ取り外し時のシステム セレクタ

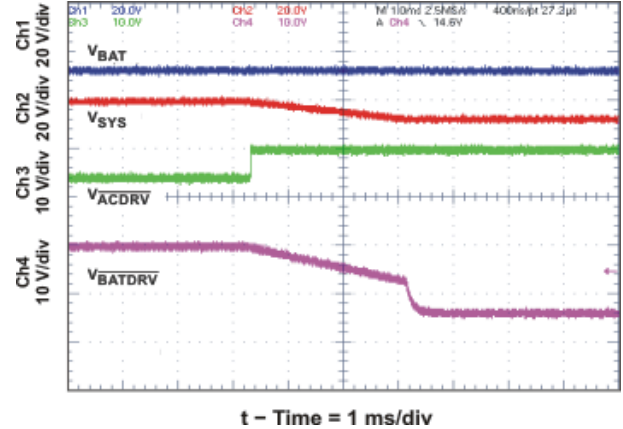


図 5-20. 390 μ F SYS-TO-PGND システム コンデンサを使用した LEARN ターンオン時のシステム セレクタ

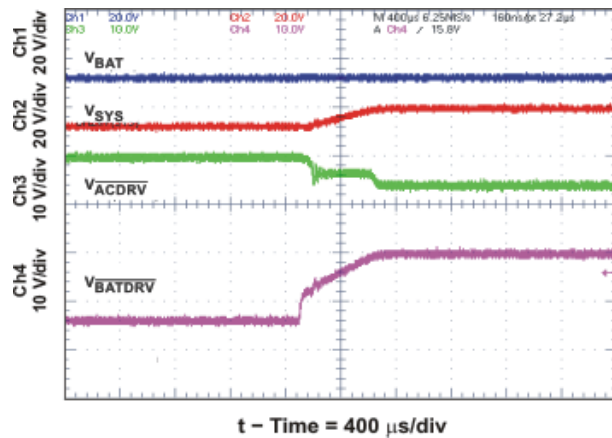


図 5-21. 390 μ F SYS-TO-PGND システム コンデンサを使用した LEARN ターンオフ時のシステム セレクタ

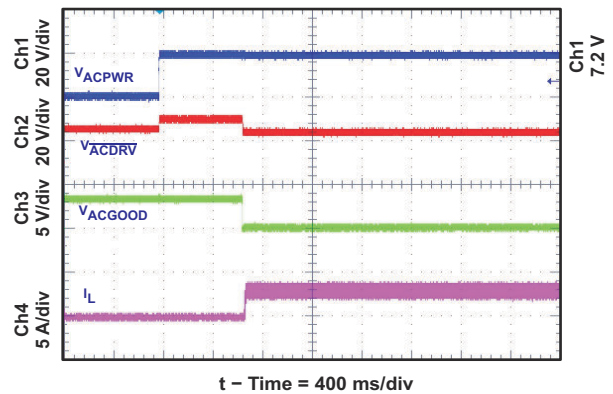


図 5-22. アダプタ挿入時のシステム セレクタ

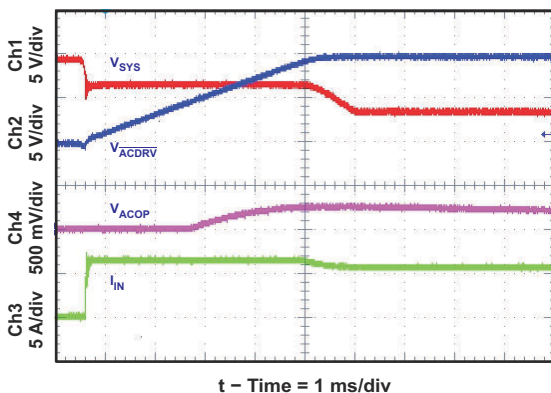


図 5-23. セレクタ ゲートの駆動電圧、ACDET 後 700ms の遅延

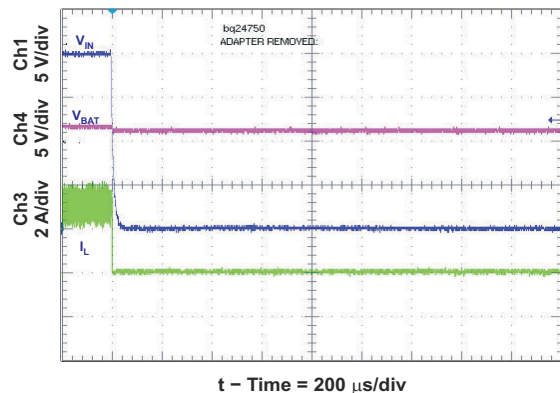


図 5-24. チャージャのオン / アダプタの取り外し

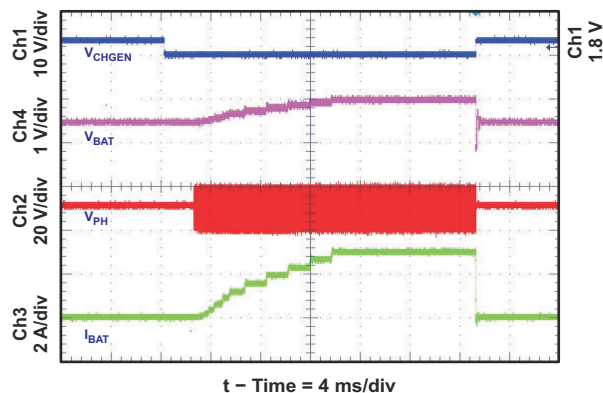


図 5-25. 充電の有効化 / 無効化と電流ソフトスタート

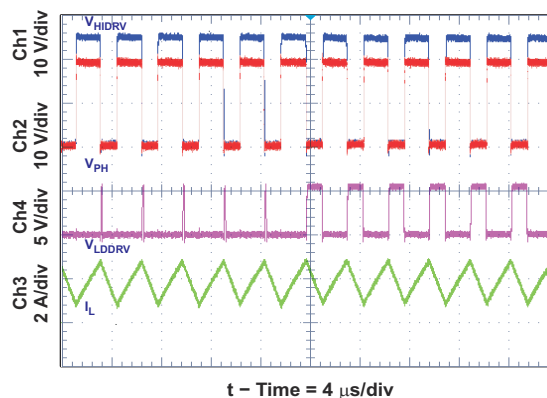


図 5-26. 非同期から同期への遷移

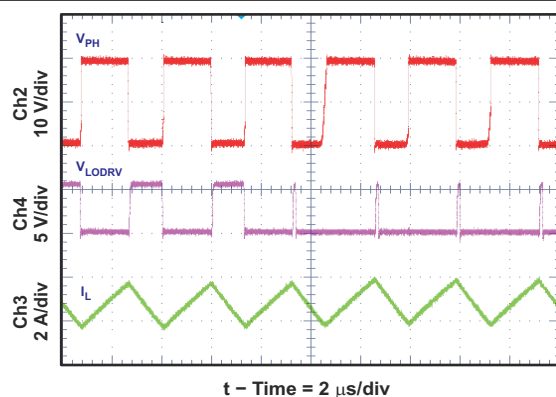


図 5-27. 同期から非同期への遷移

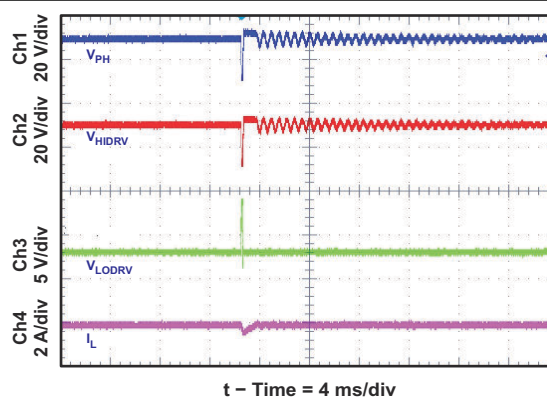


図 5-28. 100% に近いデューティ サイクルのブートストラップ再充電パルス

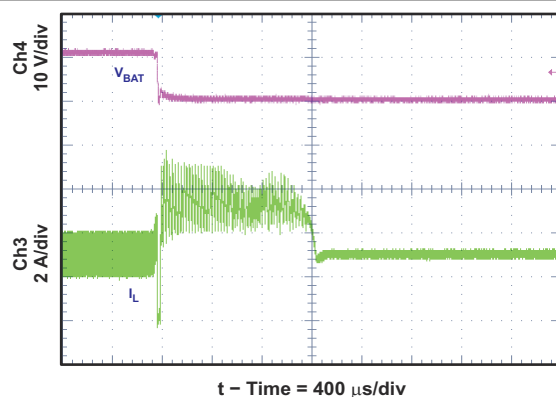


図 5-29. バッテリ短絡チャージャの応答、過電流保護 (OCP)、充電電流レギュレーション

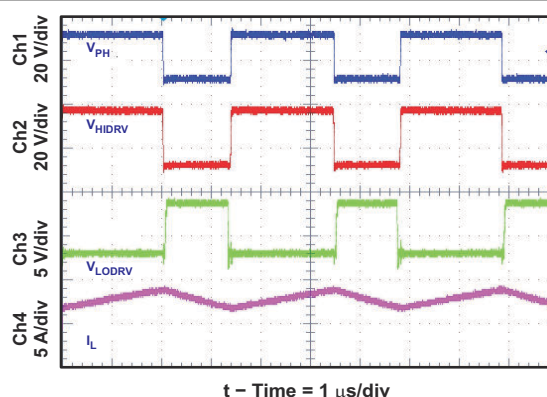


図 5-30. 連続導通モード (CCM) のスイッチング波形

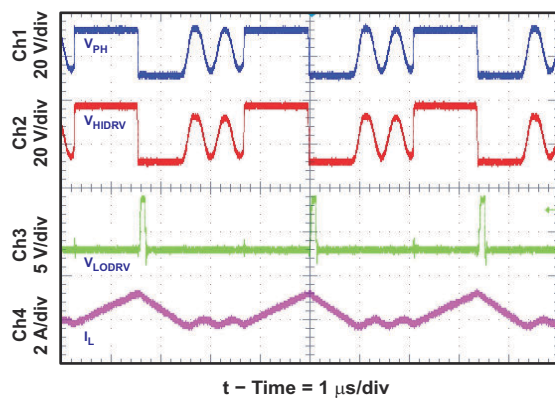
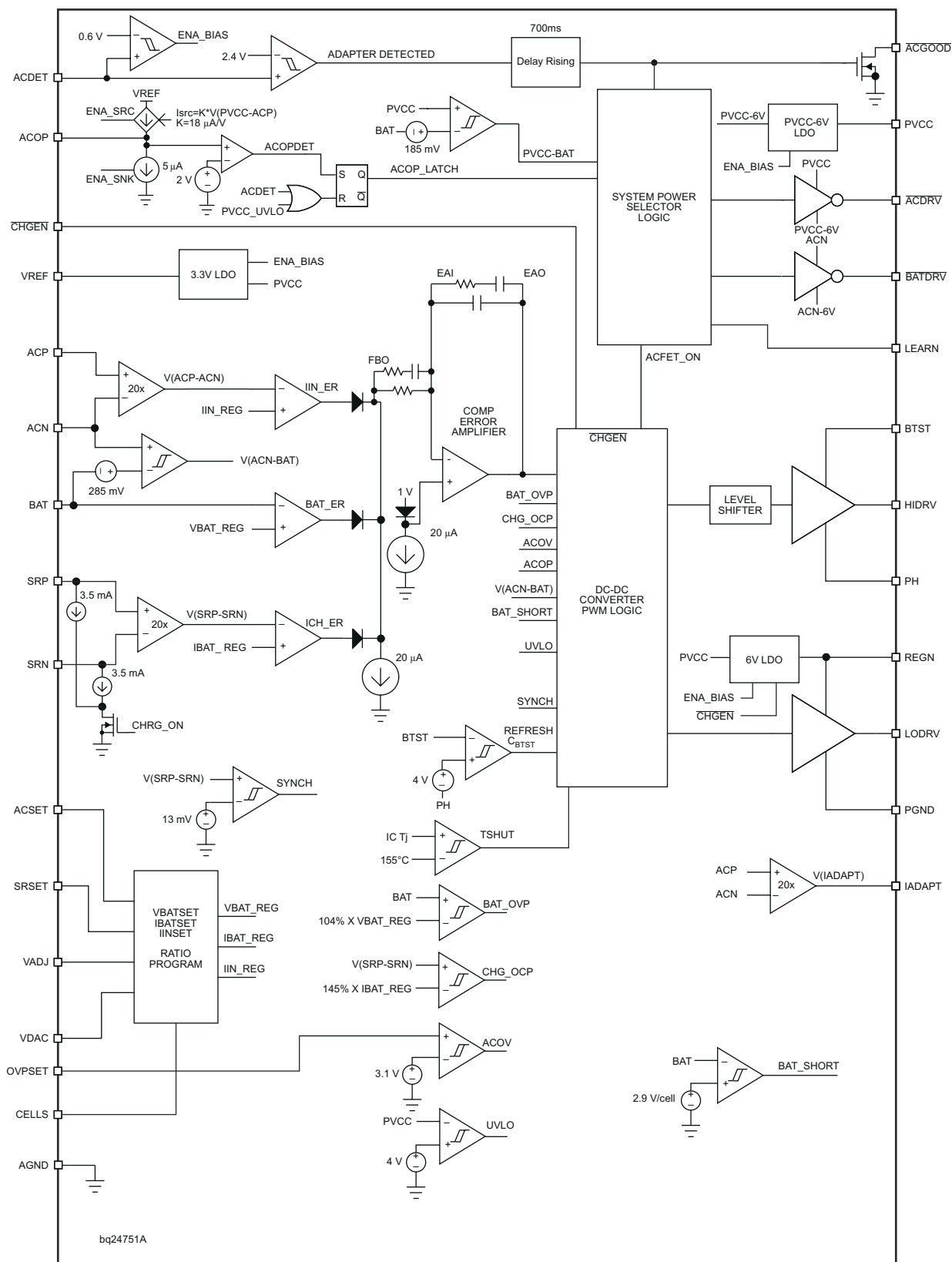


図 5-31. 不連続導通モード (DCM) のスイッチング波形

6 詳細説明

6.1 機能ブロック図



6.2 バッテリ電圧レギュレーション

bq24751A は充電電圧用に高精度の電圧レギュレータを使用しています。内部のデフォルトのバッテリー電圧設定は、 $V_{BATT} = 4.2V \times \text{セル数}$ です。レギュレーション電圧は、**VADC** を基準とするレシオメトリックです。**VADJ** と **VDAC** の比率により、 V_{BATT} レギュレーション電圧でさらに 12.5% の調整範囲が得られます。調整範囲をレギュレーション電圧の 12.5% に制限することで、外付け抵抗のミスマッチ誤差が $\pm 1\%$ から $\pm 0.1\%$ に低減されます。そのため、1% のミスマッチ抵抗を使用しながら、全体的に 0.5% という高い電圧精度が維持されています。また、レシオメトリック変換により、D/A やマイコン (μC) との互換性も確保されています。バッテリー電圧は、**式 1** を使用して **VADJ** と **VDAC** により設定されます。

$$V_{BATT} = \text{cell count} \times \left[4V + \left(0.512 \times \frac{V_{VADJ}}{V_{VDAC}} \right) \right] \quad (1)$$

VDAC の入力電圧範囲は 2.6V ~ 3.6V です。**VADJ** は 0 ~ **VDAC** の範囲に設定します。**VADJ** が **REGN** に接続されている場合、 V_{BATT} はデフォルトで $4.2V \times \text{セル数}$ になります。

CELLS ピンはセル数を選択するためのロジック入力です。**表 6-1** に示すように、2 個、3 個、4 個の Li+ セルを充電するために適切な電圧レベルに **CELLS** を接続します。他のセル ケミストリーを充電する場合、**CELLS** を使用してチャージャの出力電圧範囲を選択します。

表 6-1. セルカウントの選択

セル	CELL 数
浮動	2
AGND	3
VREF	4

セルごとの充電終了電圧は、バッテリー ケミストリーによって決まります。この電圧を確認するには、バッテリーのメーカーにお問い合わせください。

BAT ピンは電圧レギュレーション用のバッテリー電圧検出に使用されるため、できるだけバッテリーの近くに接続するか、出力コンデンサに直接接続する必要があります。高周波ノイズを分離するため、**BAT** から **AGND** への 0.1 μF セラミックコンデンサは、**BAT** ピンのできるだけ近くに配置することをお勧めします。

6.3 バッテリ電流レギュレーション

SRSET 入力、最大充電電流を設定します。バッテリー電流は、**SRP** と **SRN** の間に接続された抵抗 R_{SR} によって検出されます。**SRP** と **SRN** の間のフルスケールの差動電圧は 100mV です。したがって、0.010 Ω のセンス抵抗の場合、最大充電電流は 10A です。**SRSET** は、**式 2** を使用して **VDAC** を基準とするレシオメトリックです。

$$I_{CHARGE} = \frac{V_{SRSET}}{V_{VDAC}} \times \frac{0.10}{R_{SR}} \quad (2)$$

SRSET の入力電圧範囲は 0 ~ V_{DAC} の間で、最大 3.6V です。

SRP ピンと **SRN** ピンを使用して R_{SR} 全体を検出します。デフォルト値は 10m Ω です。ただし、これ以外の値の抵抗を使用することもできます。センス抵抗の値が大きいと、検出電圧が大きくなり、レギュレーション精度が高くなります。ただし、その代わりに導通損失も大きくなります。

6.4 入力アダプタ電流レギュレーション

AC アダプタまたはその他の DC 電源からの総合計入力電流は、システムの電源電流とバッテリーの充電電流の関数です。システム電流は通常、システムの一部の電源がオンまたはオフになると変動します。動的なパワー マネージメント (DPM) がない場合、ソースは最大システム電流と最大充電器入力電流を同時に供給できる必要があります。DPM を使

用することで、入力電流が **ACSET** によって設定された入力電流制限を超えると、入力電流レギュレータにより充電電流が低減されます。これにより、**AC** アダプタの電流容量を低減し、システムコストを低減することができます。

バッテリーレギュレーション電流の設定と同様に、**ACP** と **ACN** の間に接続された抵抗 R_{AC} によってアダプタ電流が検出されます。その最大値は **ACSET** によって設定されます。**ACSET** は、式 3 を使用して、**VDAC** を基準としたレシオメトリックです。

$$I_{ADAPTER} = \frac{V_{ACSET}}{V_{VDAC}} \times \frac{0.10}{R_{AC}} \quad (3)$$

ACSET の入力電圧範囲は $0 \sim V_{DAC}$ で、最大 **3.6V** です。

ACP ピンと **ACN** ピンは、デフォルト値の $10m\Omega$ で R_{AC} を検出するために使用されます。ただし、これ以外の値の抵抗を使用することもできます。センス抵抗の値が大きいと、検出電圧が大きくなり、レギュレーション精度が高くなります。ただし、その代わりに導通損失も大きくなります。

6.5 アダプタの検出と電源投入

外部抵抗分圧器は、アダプタの電圧を **ACDET** ピンに向けて減衰させます。アダプタ検出スレッショルドは通常、最大バッテリー電圧より高く、かつアダプタの最小許容電圧より低い値に設定する必要があります。**ACDET** 分圧回路は、**ACFET** がオンかオフに関わらず、真のアダプタ入力電圧を検出するために、**ACFET** の前に配置する必要があります。アダプタが検出される前は、**BATFET** はオンのままで、**ACFET** はオフになります。

PVCC が **4V** よりも低くなると、デバイスは無効化されます。

ACDET が **0.6V** 以下で **PVCC** が **4V** 以上になると、簡易バンドギャップリファレンス、**ACFET** ドライブ、**BATFET** ドライブを含む、バイアスの一部が有効になります。**IADAPT** は無効化され、**GND** にプルダウンされます。合計静止電流は $10\mu A$ 未満です。

ACDET が **0.6V** を上回り、**PVCC** が **4V** を上回ると、すべてのバイアス回路が有効になり、**VREF** が **3.3V** に移行します。**CHGEN** が **Low** の場合、**REGN** 出力は **6V** に上昇します。**IADAPT** はアダプタ電流に比例して有効になります。

ACDET が上昇を続けて **2.4V** を超えると、有効な **AC** アダプタの存在が確認されます。**500 ms** 後、次のことが起こります。

- $\overline{ACGOOD}$ は外部プルアップ抵抗を介してホストのデジタル電圧レールに接続され、**High** になる
- **ACFET** がオンになることが許可され、その結果 **BATFET** がオフになる (「システム電源セレクト」を参照)
- すべての条件が満たされ、**STAT** が有効になると、充電が開始される (「充電の有効化と無効化」を参照)

6.6 イネーブルおよびディスエーブル充電

充電機能をイネーブルにする前に、以下の条件が有効である必要があります。

- $\overline{CHGEN}$ は **Low**
- $PVCC > UVLO$
- アダプタが検出済み
- アダプタ電圧が **BAT** の **185mV** より高い
- アダプタが過電圧ではない (**ACOV**)
- アダプタを検出後、**10 ms** の **ACOC** 時間を加えた **700 ms** の遅延が完了
- サーマルシャットダウン (**TSHUT**) が無効
- **TS** は温度認定ウィンドウの範囲内
- $VDAC > 2.4V$
- **LEARN** が **Low**

6.7 システム電源セレクト

bq24751A は、アダプタまたはバッテリー電源の接続とシステム負荷の接続を自動的に切り替えます。デフォルトでは、電源投入時または有効なアダプタが接続されていない場合、バッテリーがシステムに接続されます。アダプタが検出されると、まずバッテリーがシステムから切断されてから、アダプタが接続されます。自動のブレイク ビフォー メイク アルゴリズムにより、セレクトトランジスタの切り替え時のシュート スルー電流が防止されます。

$\overline{\text{ACDRV}}$ 信号は、アダプタと ACP の間に接続された 1 対の双方向 P チャネルパワー MOSFET (電源を互いに接続し、PVCC に接続) を駆動します。アダプタに接続された FET は、電源がオフになったときのバッテリーからアダプタへの逆放電を防止します。アダプタ入力に接続されたドレイン付きの P チャネル FET は、オフ時にバッテリーの逆放電保護を提供するとともに、ショットキー ダイオードに比べて R_{dson} が低いいため、システムの消費電力も最小化できます。ACP に接続されたもう 1 つの p チャネル FET は、バッテリーをアダプタから分離し、ACOC 電流制限と ACOP 電力制限を提供する機能を備えています。 $\overline{\text{BATDRV}}$ 信号は、BAT とシステムとの間に配置された P チャネル パワー MOSFET を制御します。

アダプタが検出されない場合、 $\overline{\text{ACDRV}}$ 出力が PVCC にプルされ、ACFET がオフになり、アダプタがシステムから切断されます。 $\overline{\text{BATDRV}}$ は ACN – 6V のままで、バッテリーがシステムに接続されます。

アダプタが検出されてから 700 ms 後、バッテリーからアダプタへの切り替えが開始されます。切り替えを有効にするには、PVCC 電圧が BAT よりも 185mV 高くなっている必要があります。ACFET がオンになる前に、ブレイク ビフォー メイク ロジックにより 10 μ s の間、ACFET と BATFET の両方がオフになります。これにより、バッテリーがシュート スルー電流または大きな放電電流から絶縁されます。 $\overline{\text{BATDRV}}$ 出力は ACN にプルアップされ、 $\overline{\text{ACDRV}}$ ピンは内部レギュレータによって PVCC – 6 V に設定され、P チャネル ACFET がオンになり、アダプタがシステムに接続されます。

アダプタが取り外されると、ACN の電圧が BAT の電圧 + 285 mV 以内まで下がった後に、アダプタからバッテリーに切り替えられます。ブレイク ビフォー メイク ロジックにより、10- μ s のデッド タイムが確保されます。 $\overline{\text{ACDRV}}$ 出力は PVCC にプルアップされ、 $\overline{\text{BATDRV}}$ ピンは内部レギュレータによって ACN – 6V に設定され、P チャネル BATFET がオンになり、バッテリーがシステムに接続されます。

$\overline{\text{ACDRV}}$ および $\overline{\text{BATDRV}}$ ドライバの非対称ゲートドライブは、ACFET と BATFET の高速ターンオフと低速ターンオンに対応し、ブレイク ビフォー メイク ロジックをサポートし、どちらかの FET のターンオン時にソフトスタートを可能にします。ソフトスタートの時間をさらに長くするには、P チャネル パワー MOSFET のソースとゲートの間にコンデンサを設置します。

6.8 バッテリー学習サイクル

バッテリー学習サイクルは LEARN ピンを使用して実行できます。LEARN がロジック Low になると、システム電源セレクトロジックは、アダプタに応じてデフォルトの状態を維持します。アダプタが検出されない場合、ACFET はオフを維持し、BATFET はオンを維持します。アダプタが検出されると、BATFET はオフを維持し、ACFET はオンを維持します。

LEARN ピンがロジック High の場合、システム電源セレクトロジックはオーバーライドされ、アダプタが存在する場合に ACFET はオフを維持し、BATFET はオンを維持します。これを使用して、放電 / 充電サイクルの全体にわたってバッテリー残量計のキャリブレーションを行い、バッテリーを放電することができます。LEARN が High の場合、充電はオフになります。セルあたり BAT < 2.9V になると、コントローラは自動的に学習サイクルを終了します。 $\overline{\text{BATDRV}}$ はオフに、 $\overline{\text{ACDRV}}$ はオンになります。

6.9 自動内部ソフトスタート チャージャ電流

チャージャは、チャージャが有効になるたびにチャージャのレギュレーション電流を自動的にソフトスタートし、出力コンデンサやパワー コンバータにオーバーシュートやストレスが生じないようにします。ソフトスタートは、充電レギュレーション電流を 8 段階に均等に分割し、設定済みの充電電流に達するまでの段階的な引き上げで構成されています。各段階は約 1.7ms 続き、標準的な立ち上がり時間は 13.6ms です。この機能に外付け部品は必要ありません。

6.10 コンバータの動作

同期整流降圧 PWM コンバータは、フィードフォワード制御方式による固定周波数 (300kHz) 電圧モードを使用しています。タイプ III 補償ネットワークを採用することで、コンバータの出力にセラミック コンデンサを使用できます。補償入力段

は、帰還出力 (FBO) とエラー アンプ入力 (EAI) の間に内部で接続されています。帰還補償段は、エラー アンプ入力 (EAI) とエラー アンプ出力 (EAO) の間に接続されています。LC 出力フィルタは、公称共振周波数が 8 ~ 12.5kHz である場合に選択されます。

フィルタの共振周波数 f_0 は、次の式で与えられます。
$$f_0 = \frac{1}{2\pi\sqrt{L_O C_O}}$$
 ここで (代表的なシステム回路図、DAC で設定した電圧と電流 回路図から)

- $C_O = C_{11} + C_{12}$
- $L_O = L_1$

内部ののこぎり歯状ランプが内部 EAO エラー制御信号と比較され、コンバータのデューティ サイクルが変動変化します。ランプの高さは入力アダプタ電圧の 15 分の 1 で、常に入力アダプタ電圧に正比例します。これにより、入力電圧の変化によるループゲイン変動が相殺され、ループ補償を簡素化します。EAO 信号がランプを下回ったときに 0% のデューティ サイクルを許容するため、ランプは 200mV オフセットします。また、100% デューティサイクルの PWM 要求で動作させるため、EAO 信号はのこぎり歯状ランプ信号を上回ることもできます。内部ゲート駆動ロジックにより 99.98% のデューティサイクルを実現すると同時に、N チャネルの上側デバイスが常に完全にオン状態を維持するのに十分な電圧が確保されます。BTST から PH への電圧が 3 サイクル以上にわたって 4V を下回ると、ハイサイド N チャネル パワー MOSFET がオフに、ローサイド N チャネル パワー MOSFET がオンになり、PH ノードをプルダウンし、BTST コンデンサを再充電します。その後、BTST コンデンサを 4V 未満で放電するリーク電流により、(BTST-PH) 電圧が再度 Low に低下して検出され、リセットパルスが再発行されるまで、ハイサイドドライバは 100% デューティサイクル動作に戻ります。

300kHz 固定周波数発振器は、入力電圧、バッテリー電圧、充電電流、温度のあらゆる条件下でスイッチング周波数を厳密に制御します。これにより、出力フィルタの設計が簡素化され、可聴ノイズ領域にさらされなくなります。充電電流センス抵抗 R_{SR} の設計にあたっては、総出力キャパシタンスの少なくとも半分以上をセンス抵抗の手前に配置し、センス抵抗と出力インダクタの両方に接触した状態で、残りの半分、すなわち残りのキャパシタンスをセンス抵抗の後ろに配置する必要があります。出力キャパシタンスは分割して充電電流センス抵抗の両側に配置する必要があります。50:50 パーセントの比率を使用すると最高の性能が得られますが、出力インダクタとセンス抵抗を接続するノードは、総キャパシタンスの 50% 以上にする必要があります。このキャパシタンスにより、スイッチング ノイズを除去し、電流センスの精度を向上させるのに十分なフィルタリングが可能になります。タイプ III 補償は、クロスオーバー周波数付近での位相ブーストを実現し、十分な位相マージンが得られます。

6.11 同期 / 非同期動作

検出された充電電流が ISYNSET 値を下回っている場合、充電器は非同期モードで動作します。それ以外の場合、充電器は同期モードで動作します。

同期モードでは、ハイサイド N チャネル パワー MOSFET がオフのとき、ローサイド N チャネル パワー MOSFET はオンになります。内部ゲートドライブ ロジックは、ブレイク ビフォー メイクのスイッチングを使用して、シュート スルー電流を防止します。30ns のデッドタイム中に両方の FET がオフになると、ローサイド パワー MOSFET のバック ダイオードがインダクタ電流を導通します。ローサイド FET をオンにすることで、消費電力を低く保ち、大電流時に安全に充電することができます。同期モードでは、インダクタ電流が常に流れ、デバイスは連続導通モード (CCM) で動作し、固定 2 極システムが形成されます。

非同期動作中は、ハイサイド N チャネル パワー MOSFET がオフになり、ブレイク ビフォー メイクのデッドタイムの後、ローサイド N チャネル パワー MOSFET が約 80ns にわたってオンになると、ローサイド パワー MOSFET はオフになり、次のサイクルの開始時にハイサイドパワー MOSFET が再度オンになるまで、オフに保持されます。ブートストラップ コンデンサが常に再充電され、次のサイクル中にハイサイド パワー MOSFET をオンに維持できるようにするには、80ns のローサイド MOSFET オン時間が必要です。これは、バッテリー チャージャにとって重要です。ここには、通常の DC/DC コンバータとは異なり、電圧を維持し、電流のソースとシンクの両方を実行できるバッテリー負荷があるためです。80ns のローサイド パルスにより、PH ノード (ハイサイド MOSFET とローサイド MOSFET の間の接続) がプルダウンされ、ブートストラップ コンデンサが REGN LDO 値まで再充電されます。80ns 後、負のインダクタ電流が流れないように、ローサイド MOSFET がオフに保持されます。インダクタ電流はオフになったローサイド MOSFET によってブロックされ、インダクタ電流は不連続になります。このモードを不連続導通モード (DCM) といいます。

DCM モードでは、ループ応答は自動的に変化し、シングル ポール システムが存在します。このシングル ポール システムでは、コンバータは電流をシンクせず、負荷のみが電流シンクを供給するため、ポールは負荷電流に比例します。つまり、電流が非常に小さい場合、出力電圧を放電するために利用できるシンク電流が少ないため、ループ応答が遅くなります。非同期動作時に電流が非常に小さい場合、80ns の再充電パルスの間に少量の負のインダクタ電流が発生する可能性があります。電荷は、入力容量によって吸収される程度に低くなければなりません。

BTST-PH が 4V 未満の場合、LODRV で 80ns の再充電パルスが発生し、ハイサイド MOSFET はオンにならず、ローサイド MOSFET もオンになりません (80ns の再充電パルスのみ)。

bq24751A では、 $V_{ISYNSET} = I_{SYN} \times R_{SR}$ は、充電器が非同期動作から同期動作に変わる充電電流スレッショルドとして内部で 13mV に設定されます。ローサイドドライバが 80ns だけオンになり、ブースト コンデンサを充電します。これは、バッテリから入力コンデンサに電力が転送されるときに入力電圧が上昇する昇圧効果を誘発する可能性がある負のインダクタ電流を防止する上で重要です。この昇圧効果は、PVCC ノードで過電圧を引き起こし、システムを損傷させる可能性があります。インダクタのリプル電流は、次の式で計算できます。

$$\frac{I_{RIPPLE_MAX}}{2} \leq I_{SYN} \leq I_{RIPPLE_MAX}$$

and

$$I_{RIPPLE} = \frac{(V_{IN} - V_{BAT}) \times \frac{V_{BAT}}{V_{IN}} \times \frac{1}{f_s}}{L} = \frac{V_{IN} \times (1-D) \times D \times \frac{1}{f_s}}{L} \quad (4)$$

ここで

V_{IN} = アダプタ電圧
 V_{BAT} = BAT 電圧
 f_s = スイッチング周波数
 L = 出力インダクタ
 D = デューティ サイクル

I_{RIPPLE_MAX} は、与えられた V_{IN} 、 f_s 、 L でデューティ サイクル (D) が 0.5 に非常に近い場合に発生します。

ISYNSET コンパレータ (充電低電流コンパレータ) は、SRP-SRN と内部スレッショルドの電圧を比較します。立ち下がりエッジでスレッショルドは 13mV に設定され、立ち上がりエッジで 10% の変動のある 8mV のヒステリシスが設定されています。

6.12 電流センス アンプ (CSA) を使用した高精度 IADAPT

業界標準の高精度電流センス アンプ (CSA) がホストまたは一部のディスクリート ロジックによって使用され、IADAPT ピンのアナログ電圧出力を通じて入力電流を監視します。CSA は IADAPT ピンを使用して、ACP-ACN で検出された入力電圧を 20x 増幅します。IADAPT の出力は、入力差動電圧の 20 倍の電圧源です。PVCC が 5V を超えて ACDET が 0.6V を上回ると、IADAPT はグラウンドから離れ、アクティブになります。電圧を低くしたい場合、IOUT から AGND への抵抗デバイダを使用できますが、熱係数に応じて抵抗をマッチングできるため、温度範囲全体にわたっても精度を維持できます。

高周波ノイズを分離するには、出力に 200pF のコンデンサを接続することをお勧めします。さらにフィルタリングが必要な場合は、200pF のコンデンサの後にオプションで RC フィルタを追加できます。フィルタリングを追加すると、応答遅延も増えることに注意してください。

6.13 入力過電圧保護 (ACOV)

ACOV は、高い入力電圧によるシステムの損傷を防止する保護機能を提供します。アダプタの電圧がプログラム可能な OVPSET 電圧 (3.1V) を上回ると、充電がディスエーブルになり、ACDRV がオフになってアダプタがシステムから切断さ

れ、 $\overline{\text{BATDRV}}$ がオンになってバッテリーがシステムに接続されます。ACOV はラッチされません。OVPSET 電圧が 3.1V 未満に戻ると、通常動作が再開されます。

6.14 入力低電圧誤動作防止 (UVLO)

システムを適切に動作させるには、最低 5V の PVCC 電圧が必要です。この PVCC 電圧は、ダイオード OR 入力を使用して、入力アダプタまたはバッテリーから供給できます。PVCC 電圧が 5V 未満の場合、ACDET が 0.6V を超えても、バイアス回路 REGN、VREF、および ACFET と BATFET へのゲートドライブ バイアスは非アクティブのままです。

注

bq24751A では、 $\text{ACP} < 3\text{V}$ かつ $\text{PVCC} > \text{UVLO}$ という固有の状態が発生しても、 $\overline{\text{ACDRV}}$ をオンにすることはできません。この状態では、ブレイク ビフォー メイク保護ラッチは、 $\overline{\text{BATDRV}}$ がオンであると認識されて $\overline{\text{ACDRV}}$ をオンにできない状態に固定されます。

6.15 バッテリ過電圧保護

BAT 電圧がレギュレーション電圧の 104% を上回ると、コンバータはスイッチングを停止します。BAT 電圧がレギュレーション電圧の 102% を下回るまで、コンバータはハイサイド FET をオンにしません。これにより、負荷が解消された場合やバッテリーが切断された場合などに、過電圧条件に対して 1 サイクル応答が可能になります。BAT から PGND への 10mA の電流シンクは充電中のみオンになり、出力インダクタに蓄積されたエネルギーを出力コンデンサに放電できるようになります。

6.16 バッテリ短絡 (バッテリ低電圧) 保護

bq24751A には出力バッテリー電圧 (BAT) を監視する BAT SHORT コンパレータが搭載されています。電圧がセルあたり 2.9V (2 セルで 5.8V、3 セルで 8.7V、4 セルで 11.6V) を下回ると、バッテリー短絡ステータスが検出されます。BAT_SHORT スレッシュホールドを下回ると、チャージャは充電電流を設定された充電電流の $1/8$ ($0.1 \times \text{SRSET} / \text{VDAC}$) / 8 = C/8 に減らし、BAT ピンの電圧をゼロボルトまで下げます。この低電流は、過放電したバッテリー パックのプリチャージ電流として使われます。BAT_SHORT スレッシュホールド (ヒステリシスを加えた値) を上回ると、充電電流は設定された値 ($0.1 \times \text{SRSET} / \text{VDAC}$) で再開されます。

BAT_SHORT コンパレータは、LEARN サイクルの間はバッテリー残量低下アラームとしても機能します。セレクトが LEARN サイクル中で、バッテリー電圧が BAT_SHORT スレッシュホールドを下回った場合、セレクトはバッテリーをシステムから切り離し、アダプタをシステムに接続してバッテリー パックを保護します。バッテリー電圧が上昇し、LEARN がまだロジック High の場合、セレクトはアダプタをシステムから切断し、バッテリーをシステムに再接続します。

6.17 充電過電流保護

このチャージャには第二の過電流保護機能が搭載されています。この機能は充電電流を監視し、電流がレギュレーション済み充電電流の 145% を超えることを防止します。過電流が検出されると、ハイサイド ゲートドライブはオフになり、電流が過電流スレッシュホールドを下回ると自動的に再開されます。

6.18 サーマル シャットダウン保護

QFN パッケージは熱インピーダンスが低いため、シリコンから周囲に熱を伝え、接合部温度が低く保たれます。追加の保護レベルとして、接合部温度が 155°C の TSHUT スレッシュホールドを超えると、チャージャ コンバータがオフになり、自己保護が行われます。チャージャは、接合部温度が 135°C を下回るまで、オフ状態を維持します。

6.19 アダプタ検出ステータス レジスタ (ACGOOD ピン)

1 つのステータス出力を使用できますが、この出力ピンをシステム デジタル レールに High レベルでプルするには、外付けプルアップ抵抗が必要です。

ACDET が 2.4V を上回り、700ms の遅延時間が経過すると、 $\overline{\text{ACGOOD}}$ は Low になります。これは、アダプタの電圧が正常に動作するのに十分な高さであることを示しています。

6.20 入力過電力電圧保護 (ACOP)

ACOC/ACOP 回路は、他の安全対策を補完する信頼性の高いさまざまな安全保護手段を備えています。ACOC/ACOP は、以下のようなさまざまな条件による入力電流サージから保護するのに役立ちます。

- システム コンデンサの充電が必要なシステムにアダプタを接続するシステム セレクタとアダプタの挿入
- アダプタをシステムに再接続したときの学習モードの終了。システム負荷の過電流サージ
- システムがグラウンドに短絡
- バッテリがグラウンドに短絡
- 位相がグラウンドに短絡
- ハイサイド FET がドレインからソースに短絡 (SYSTEM が PH に短絡)
- BATFET がドレインからソースに短絡 (SYSTEM が BAT に短絡)

以下に、これらの故障条件から保護する回路の例をいくつか示します。

セレクタ機能を使用した設計では、入力過電流 (ACOC) と入力過電力保護機能 (ACOP) が用意されています。スレッシュホールドは、ACOP ピンと AGND の間に配置された外部コンデンサによって設定されます。アダプタが検出された後 (ACDET ピン > 2.4V)、ACGOOD が Low にアサートされて Q3 (BATFET) がオフになるまでに 700ms の遅延が発生します。その後、ACDRV ピンによって Q1/Q2 (ACFET) がオンに切り替えられます。Q1/Q2 (ACFET) がオンになると、ACFET により、最大入力電流 ACOC を安全なレベルに制限するためのリニアレギュレーションモードでの動作が可能になります。ACOC 電流制限は、ACSET/VDAC の比で設定される、プログラム済みの DPM 入力電流制限の 1.5 倍です。最大許容電流制限は、ACP-ACN の両端で 100mV です (10-mΩ センス抵抗の場合は 10A)。

ACDRV 信号がオンになってから最初の 2ms の経過後に、ACOC が電流を制限する場合がありますが、システム電圧の上昇のための妥当な時間を確保するためにコントローラをラッチ オフすることはできません。

2ms 後に、ACOP が有効になります。ACOP により、過剰な熱放散によって ACFET が損傷する前に ACFET をラッチ オフできます。コントローラによりラッチされるのは、ACOP ピンの電圧が AGND に対して 2V を超えた場合のみです。ACOP では、入力電流が ACOC によって制限されると、電流源により ACOP コンデンサの充電が開始されます。この電流源は、ACFET のソースドレインにかかる電圧 ($V_{PVCC-ACP}$) に $18\mu A/V$ の比率で比例します。この依存性により、電圧がより大きい (消費電力が多い) 場合に、コンデンサを高速に充電できます。これにより、選択された ACOP コンデンサによって時間をプログラムできます。コントローラにより電流が制限されない場合、ACOP ピンに流れ込む $5\mu A$ の固定シンク電流により、ACOP コンデンサを放電します。充電と放電の効果は、電流制限状態が存在するかどうかによって決まります。また、時間の経過とともに電力を平均化するメモリ効果があるため、潜在的に危険な反復障害からシステムを保護します。ACOP スレッシュホールドを超えると、充電が無効になり、ACFET とシステム全体を保護するためにアダプタがシステムから切断されます。ACFET がオフにラッチされると、BATFET がオンになり、バッテリーがシステムに接続されます。

コンデンサでは、ACFET の消費電力を制限するための予測可能な時間が得られます。入力電流は ACOC 電流制限では一定であるため、設計者は ACFET の消費電力を計算できます。

ACOC 電流制限スレッシュホールドは $Power = I_d \cdot V_{sd} = I_{ACOC_LIM} \cdot V(PVCC - ACP)$ と等しくなります。

2V までの充電に要する時間は、次の式で計算できます。

$$\Delta t = \frac{C_{ACOP} \cdot \Delta V_{ACOP}}{I_{ACOP}} = \frac{C_{ACOP} \cdot 2V}{18\mu A/V \cdot V(PVCC - ACP)} \quad (5)$$

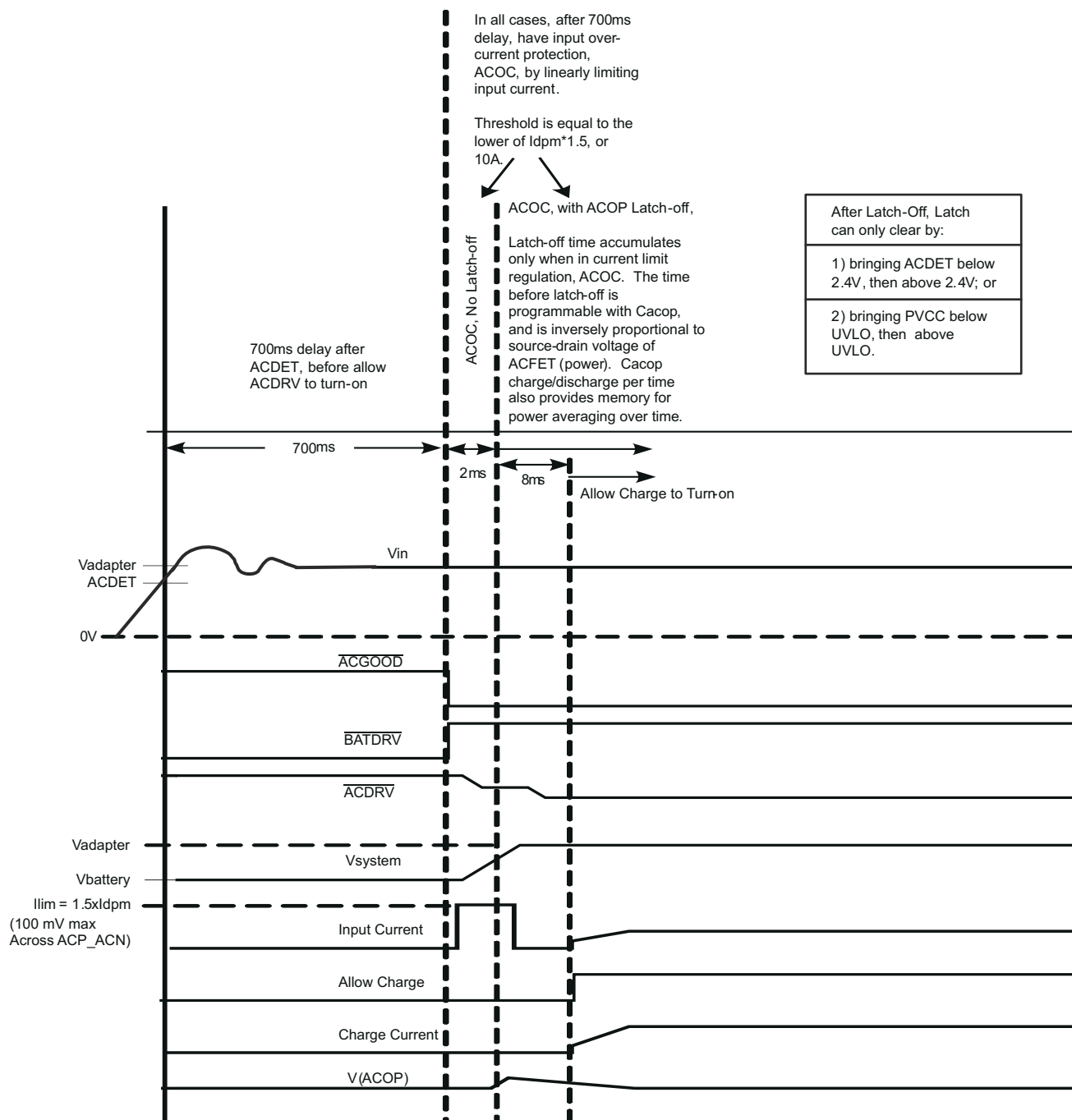
ACOP フォルト ラッチオフをクリアするには、ACDET ピンの電圧が 2.4V 未満になってから 2.4V を超えるようにする (アダプタを取り外して再挿入) か、PVCC 電圧を UVLO スレッシュホールドより低くしてから上げます。

6.20.1 ACOP ラッチオフの条件：

ACDET (アダプタの検出) から 702ms 後、さらに

1. ACOP 電圧は 2V 以上。ACOC 電流制限状態の場合、ACOP ピンはセラミックコンデンサを充電します。ACOC 電流制限状態でない場合、ACOP ピンはコンデンサを放電します。

2. ACOP は、ACFET の持続時間とソースドレイン電圧に応じて、シングルパルスの ACOC 状態条件から保護します。ACFET の両端にかかる電圧が大きくなると消費電力が増えるため、ACOP ピンからの電流源を増やすことで、ラッチオフ保護がより早く作動します。
3. メモリ効果 (コンデンサの充電と放電) により、持続時間と周波数に応じて、繰り返される ACOC 状態から保護することができます。(図 6-2)
4. 最初の 2ms の ACDET 後に、システムがグランド ($ACN < 2.4V$) に短絡した状態。



A. ACFET 過電力保護。初期電流制限により、システム電圧が降下せずに安全なソフトスタートが可能です。

図 6-1. アダプタ挿入時の ACOC 保護

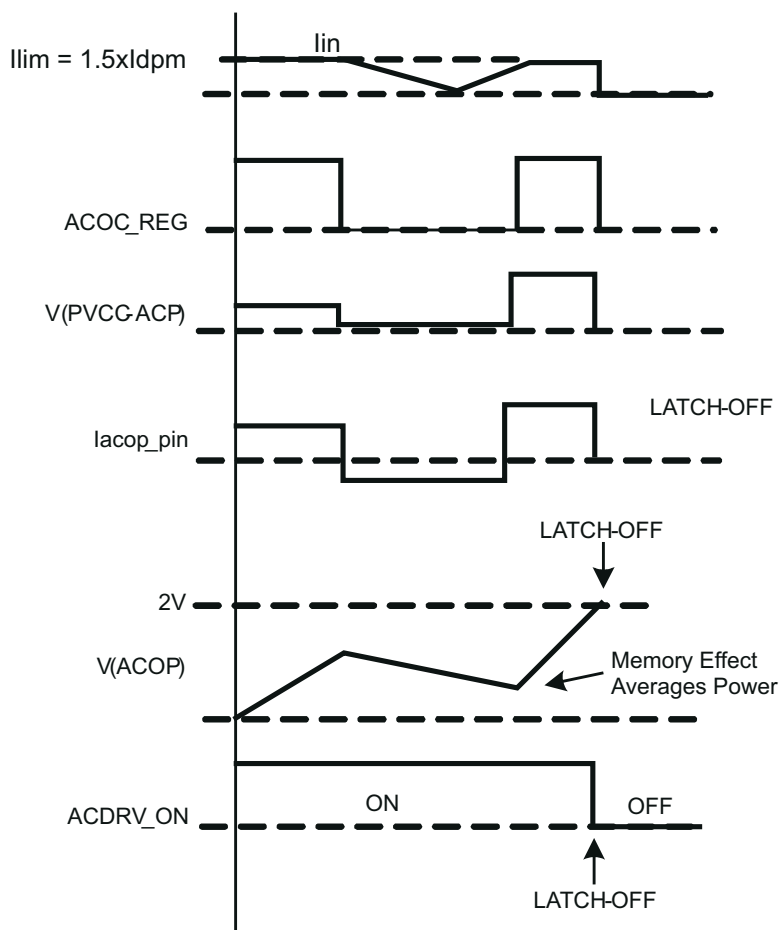


図 6-2. メモリ効果付きの ACOC 保護と ACOP ラッチオフの例

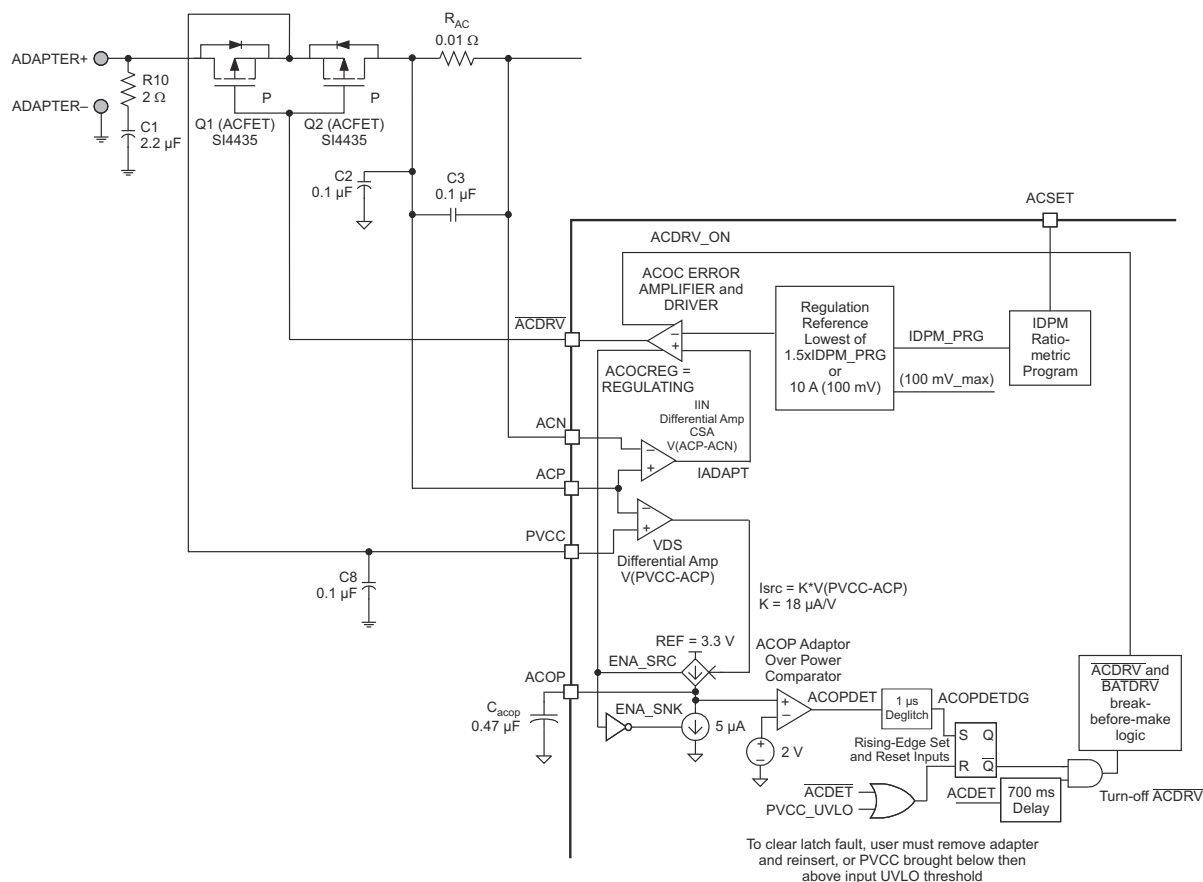


図 6-3. ACOC/ACOP 回路の機能ブロック図

表 6-2. 代表的なシステム回路図、DAC で設定した電圧と電流 の代表的なシステム回路の部品リスト

部品番号	数量	説明
Q1、Q2、Q3	3	P チャネル MOSFET、-30V、-6A、SO-8、Vishay-Siliconix、Si4435
Q4、Q5	2	N チャネル MOSFET、30V、12.5A、SO-8、Fairchild、FDS6680A
D1	1	ダイオード、デュアル ショットキー、30V、200mA、SOT23、Fairchild、BAT54C
R _{AC} 、R _{SR}	2	センス抵抗、10mΩ、1%、1W、2010、Vishay-Dale、WSL2010R0100F
L1	1	インダクタ、8.2μH、8.5A、24.8mΩ、Vishay-Dale、IHLP5050CE-01
C1	1	コンデンサ、セラミック、2.2μF、25V、20%、X5R、1206、Panasonic、ECJ-3YB1E225M
C6、C7、C11、C12	4	コンデンサ、セラミック、10μF、35V、20%、X5R、1206、Panasonic、ECJ-3YB1E106M
C4、C10	2	コンデンサ、セラミック、1μF、25V、10%、X7R、2012、TDK、C2012X7R1E105K
C2、C3、C8、C9、C13、C14、C15	7	コンデンサ、セラミック、0.1μF、50V、10%、X7R、0805、Kemet、C0805C104K5RACTU
C5	1	コンデンサ、セラミック、100pF、25V、10%、X7R、0805、Kemet
C16	1	コンデンサ、セラミック、0.47μF、25V、10%、X7R、0805、Kemet
R1	1	抵抗、チップ、432kΩ、1/16 W、1%、0402
R2	1	抵抗、チップ、66.5kΩ、1/16 W、1%、0402
R3	1	抵抗、チップ、422kΩ、1/16 W、1%、0402
R4	1	抵抗、チップ、71kΩ、1/16 W、5%、0402
R10	1	抵抗、チップ、2Ω、1W、5%、2010
R _{PVCC}	1	抵抗、チップ、10Ω、1/4W、5%、2016

7 使用上の注意

7.1 入力容量の計算

アダプタのホットプラグイン中、 $\overline{\text{ACDRV}}$ は有効になっていません。AC スイッチはオフであり、入力の等価回路の概略図を 図 7-1 に示します。

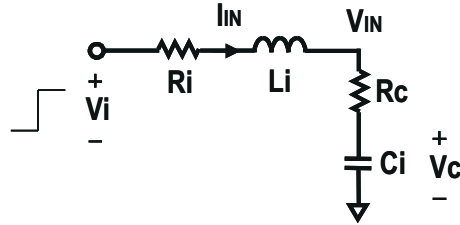


図 7-1. アダプタ挿入時の等価回路の概略図

入力コンデンサの電圧は、次の式で求められます。

$$V_{IN}(t) = I_{IN}(t) \times R_C + V_{Ci}(t) = V_i e^{\frac{R_t}{2L_i}t} \left[\frac{R_i - R_C}{\omega L_i} \sin \omega t + \cos \omega t \right] \quad (6)$$

ここで、

$$R_t = R_i + R_C \quad \omega = \sqrt{\frac{1}{L_i C_i} - \left(\frac{R_t}{2L_i} \right)^2} \quad I_{IN}(t) = \frac{V_i}{\omega L_i} e^{\frac{R_t}{2L_i}t} \sin \omega t \quad (7)$$

$$V_{Ci}(t) = V_i - V_i e^{\frac{R_t}{2L_i}t} \left(\frac{R_t}{2\omega L_i} \sin \omega t + \cos \omega t \right) \quad (8)$$

減衰条件は次のとおりです。

$$R_i = R_C > 2\sqrt{\frac{L}{C}} \quad (9)$$

図 7-2 (a) は、 C_i が高いほど電圧スパイクを減衰させるのに役立つことを示しています。図 7-2 (b) は、入力電圧スパイクに対する入力浮遊インダクタンス L_i の影響を示しています。図 7-2 (c) は、抵抗の増加が入力電圧スパイクの抑制にどのように役立つかを示しています。

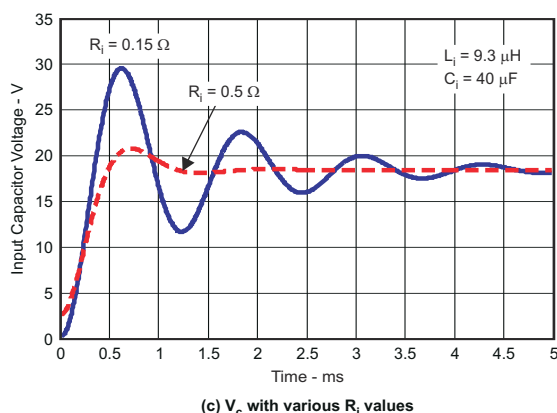
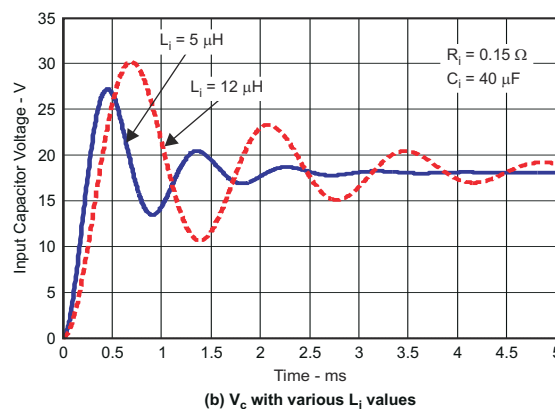
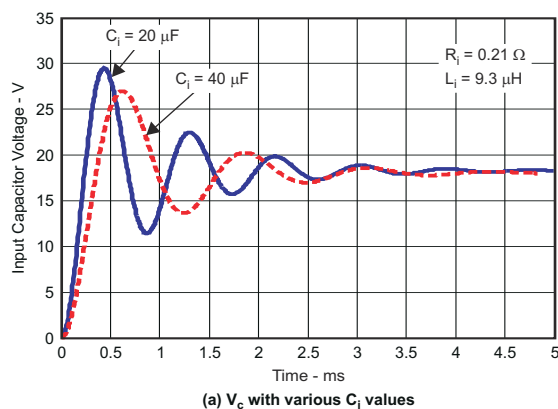


図 7-2. 入力電圧のパラメトリック スタディ

図 7-2 に示すように、入力浮遊インダクタンスを最小化し、入力容量を大きくし、抵抗を追加する (より高い ESR のコンデンサを使用することを含む) と、入力電圧スパイクを抑制するのに役立ちます。ただし、多くの場合、入力浮遊インダクタンスを制御できず、容量を大きくすることでコストが増加します。したがって、最も効率的でコスト効率の高いアプローチは、外付けの抵抗を追加することです。

図 7-3 に、入力フィルタの推奨設計を示します。測定入力電圧と電流波形を図 7-4 に示します。入力電圧スパイクは、 2Ω の抵抗を追加して容量を小さく維持することで、十分に減衰しました。

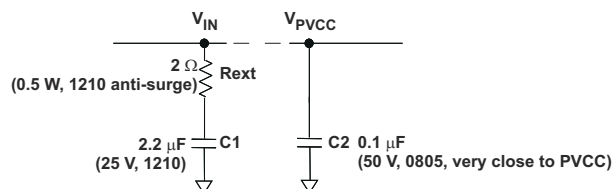


図 7-3. 入力フィルタの推奨設計

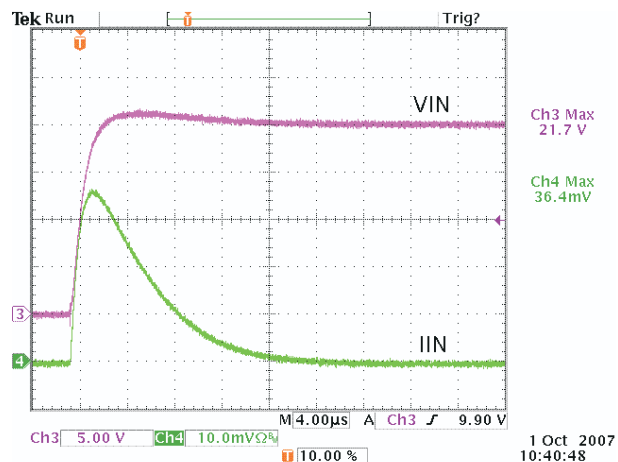


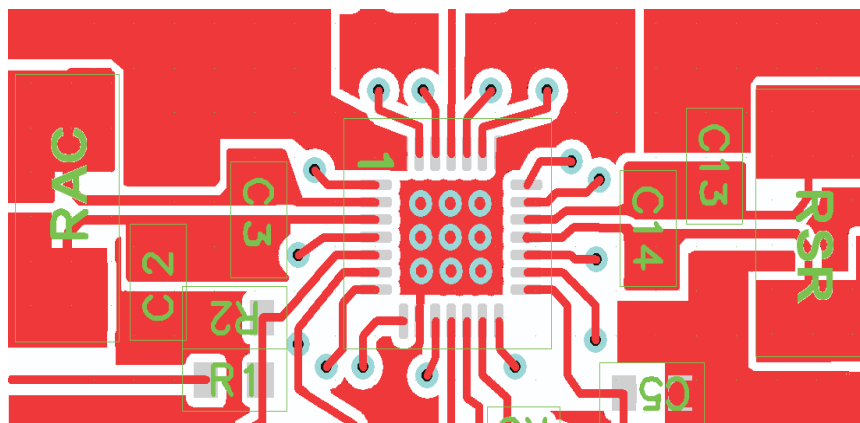
図 7-4. アダプタの DC 側ホット プラグインのテスト
波形

7.2 PCB レイアウト設計のガイドライン

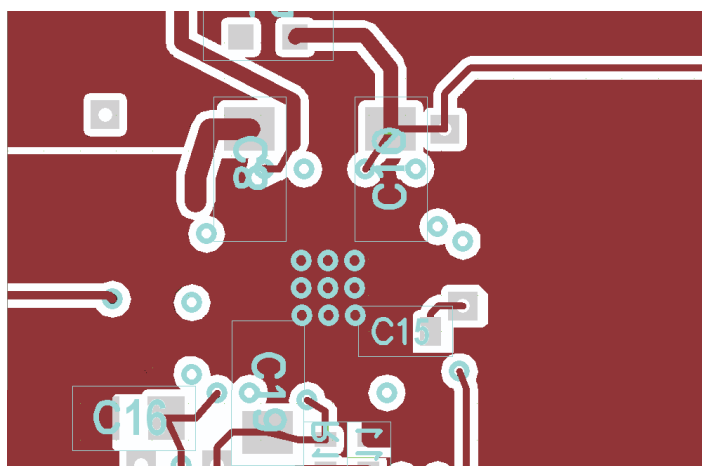
1. IC パッケージの裏面にある露出したパワー パッドを PCB グランドに半田付けすることが重要です。IC の直下に十分なサーマル ビアがあり、他の層のグラウンド プレーンに接続されていることを確認します。
2. 制御段と電力段は個別に配線する必要があります。各層では、信号グラウンドと電源グラウンドはパワーパッドでのみ接続されます。
3. AC 電流センス抵抗は、ケルビン接点で ACP (ピン 3) と ACN (ピン 2) に接続する必要があります。このループの面積は最小限に抑える必要があります。このループが大きい場合、ACN 用に $0.1\mu\text{F}$ のデカップリング コンデンサを追加する必要があります。これらのピン用のデカップリング コンデンサは、可能な限り IC の近くに配置する必要があります。
4. 充電電流センス抵抗は、ケルビン接点で SRP (ピン 19) と SRN (ピン 18) に接続する必要があります。このループの面積は最小限に抑える必要があります。このループが大きい場合、SRN 用に $0.1\mu\text{F}$ のデカップリング コンデンサを追加する必要があります。これらのピン用のデカップリング コンデンサは、可能な限り IC の近くに配置する必要があります。
5. PVCC (ピン 28)、VREF (ピン 10)、REGN (ピン 24) のデカップリング コンデンサは、IC の下 (下層) に配置し、IC への相互接続をできる限り短くする必要があります。
6. BAT (ピン 17)、IADAPT (ピン 15) のデカップリング コンデンサは、対応する IC ピンの近くに配置し、IC との相互接続をできる限り短くする必要があります。
7. チャージャ入力用のデカップリング コンデンサ CX は、Q4 ドレインと Q5 ソースのすぐ近くに配置する必要があります。

図 7-5 に、パターンとビアの位置を使用した部品配置の推奨事項を示します。

QFN の情報については、以下のリンクを参照してください。SCBA017 および SLUA271



(a) Top Layer



(b) Bottom Layer

図 7-5. レイアウト例

8 デバイスおよびドキュメントのサポート

8.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision C (March 2009) to Revision D (June 2026)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
BQ24751ARHDR	Active	Production	VQFN (RHD) 28	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	BQ 24751A
BQ24751ARHDR.B	Active	Production	VQFN (RHD) 28	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	BQ 24751A
BQ24751ARHDT	Active	Production	VQFN (RHD) 28	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	BQ 24751A
BQ24751ARHDT.B	Active	Production	VQFN (RHD) 28	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	BQ 24751A

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
BQ24751ARHDR	VQFN	RHD	28	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
BQ24751ARHDT	VQFN	RHD	28	250	180.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
BQ24751ARHDR	VQFN	RHD	28	3000	346.0	346.0	33.0
BQ24751ARHDT	VQFN	RHD	28	250	210.0	185.0	35.0

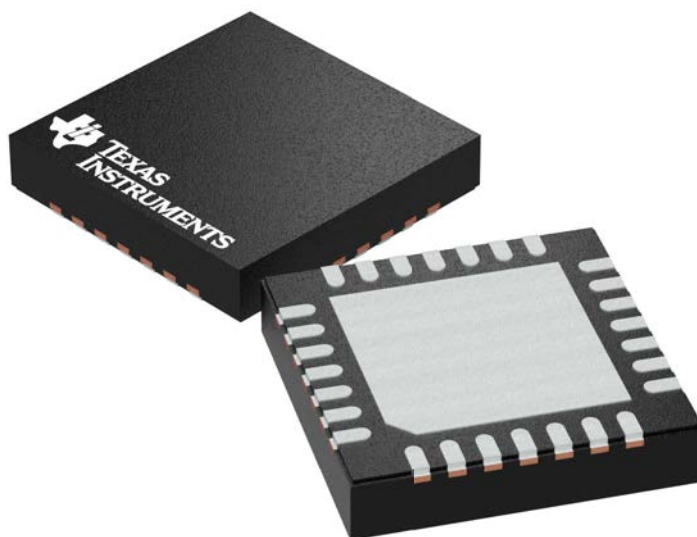
GENERIC PACKAGE VIEW

RHD 28

VQFN - 1 mm max height

5 x 5 mm, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

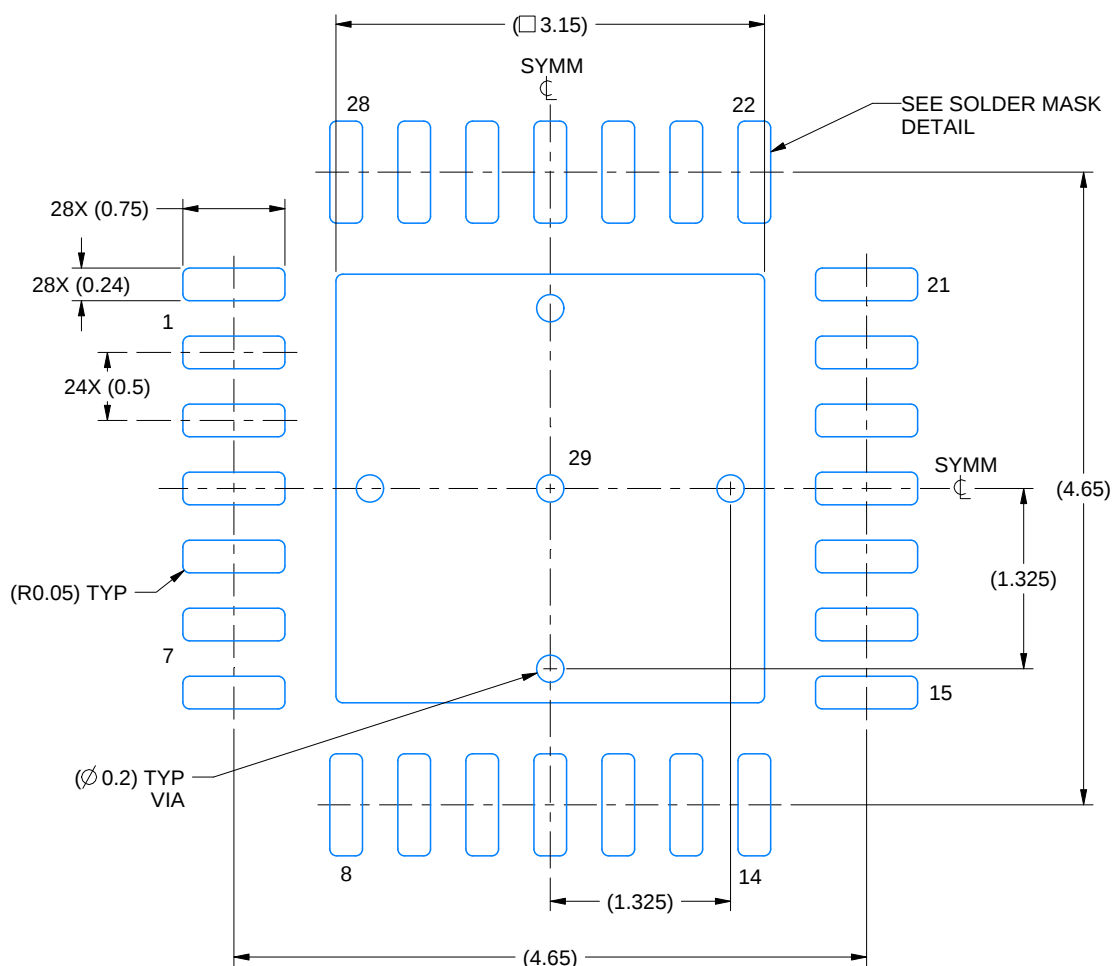
4204400/G

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

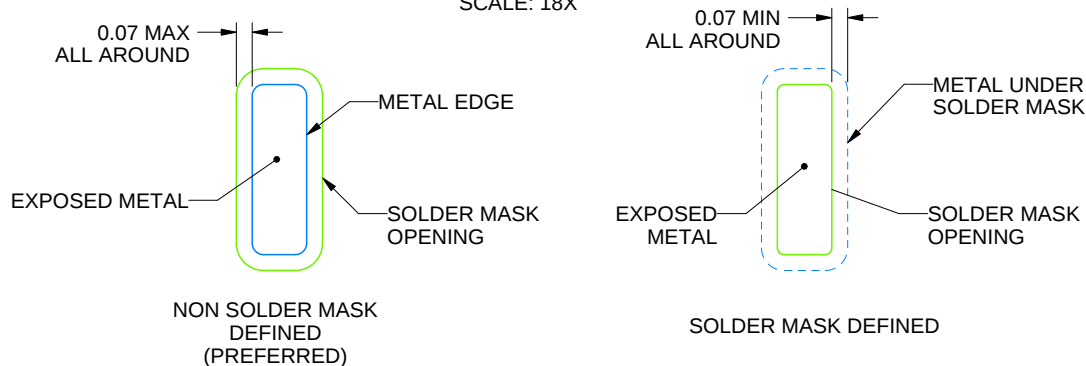
RHD0028B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 18X



SOLDER MASK DETAILS

4226146/A 08/2020

NOTES: (continued)

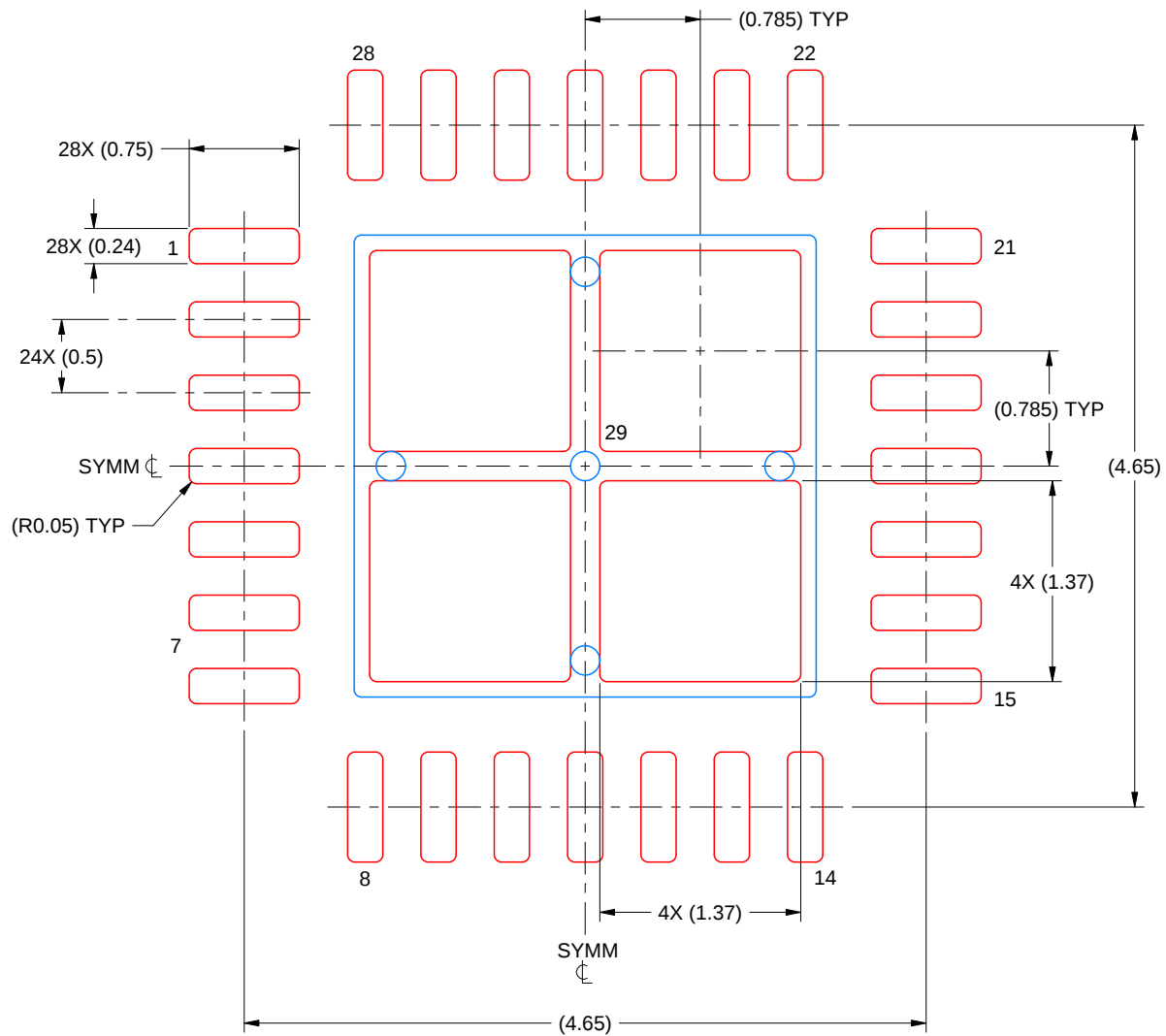
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RHD0028B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 20X

EXPOSED PAD 29
76% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4226146/A 08/2020

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月