

## BQ40Z80 2~6 直列リチウムイオン・バッテリ・パック・マネージャ

### 1 特長

- 完全に統合された 2 ~ 6 直列リチウムイオンまたはリチウムポリマセルバッテリパックマネージャおよび保護
- 特許取得済みの次世代 Impedance Track™ テクノロジーにより、リチウムイオンおよびリチウムポリマバッテリ内の利用可能な電荷量を正確に計測
- マルチファンクション ピンの設定により、各種のアプリケーションをサポート
- 楕円曲線暗号 (ECC) または SHA-1 認証をサポート
- ハイサイドの N チャネル保護 FET ドライブ
- 充電中または休止時のセル バランス機能を内蔵
- 29Ah のバッテリをネイティブにサポートし、スケーリングによりさらに大きな容量に対応可能
- 多様なプログラマブル保護機能
  - 電圧
  - 電流
  - 温度
  - 充電タイムアウト
  - CHG/DSG FET
  - AFE
- 洗練された充電アルゴリズム
  - JEITA
  - 拡張充電
  - 適応型の充電機能
  - セル バランス
- TURBO モード 2.0 / Intel® DBPTv2 (Dynamic Battery Power Technology) をサポート
- 診断用の寿命データ モニタとブラック ボックス レコーダ
- LED ディスプレイ
- 2 線式 SMBus v1.1 インターフェイスをサポート
- ATA のサポート
- 小型パッケージ: 32 リードの QFN (RSM)

### 2 アプリケーション

- 産業用電気機器およびロボット
- ハンドヘルドの園芸用具および電動工具
- バッテリ駆動の掃除機
- エネルギーストレージシステムおよび UPS

### 3 説明

BQ40Z80 デバイスは、特許申請済みのインピーダンス追跡テクノロジーを採用した、完全統合型シングルチップオプションです。BQ40Z80 デバイスは、2 ~ 6 直列セルのリチウムイオンおよびリチウムポリマバッテリパックをサポートする、残量計、保護、認証などの幅広い機能を備えています。

BQ40Z80 デバイスは、統合型の高性能アナログペリフェラルを使用して、リチウムイオンまたはリチウムポリマバッテリの使用可能な容量、電圧、電流、温度、その他の重要なパラメータに関する高精度記録の測定と維持を行います。この記録は、SMBus v1.1 互換のインターフェイスを経由してシステムホストコントローラに通知されます。

楕円曲線暗号 (ECC) または SHA-1 認証と、認証キー用のセキュアなメモリにより、純正品のバッテリパックを識別できます。

BQ40Z80 デバイスは、利用可能な最大電力と最大電流をホスト システムへ供給し、TURBO モード 2.0 / Intel Dynamic Battery Power Technology (DBPTv2) をサポートします。このデバイスには 8 本のマルチファンクション ピンがあり、サーマル入力、ADC 入力、汎用入出力 (GPIO) ピン、存在ピン、LED 機能、ディスプレイ ボタン入力、その他の機能に設定できます。ステータスおよびフラグ レジスタは GPIO にマップでき、ホスト プロセッサへの割り込みとして使用されます。

BQ40Z80 デバイスは、ソフトウェアベースで 1 次レベルと 2 次レベルの安全保護機能を実現し、過電圧、低電圧、過電流、短絡電流、過負荷、過熱の各状況、およびパック 関連やセル関連の他の障害に対処します。小型の 32 リード QFN パッケージにより、スマートバッテリのコストおよびサイズを最小限に抑えながら、バッテリ計測アプリケーションで最大限の機能と安全性を確保できます。

#### パッケージ情報

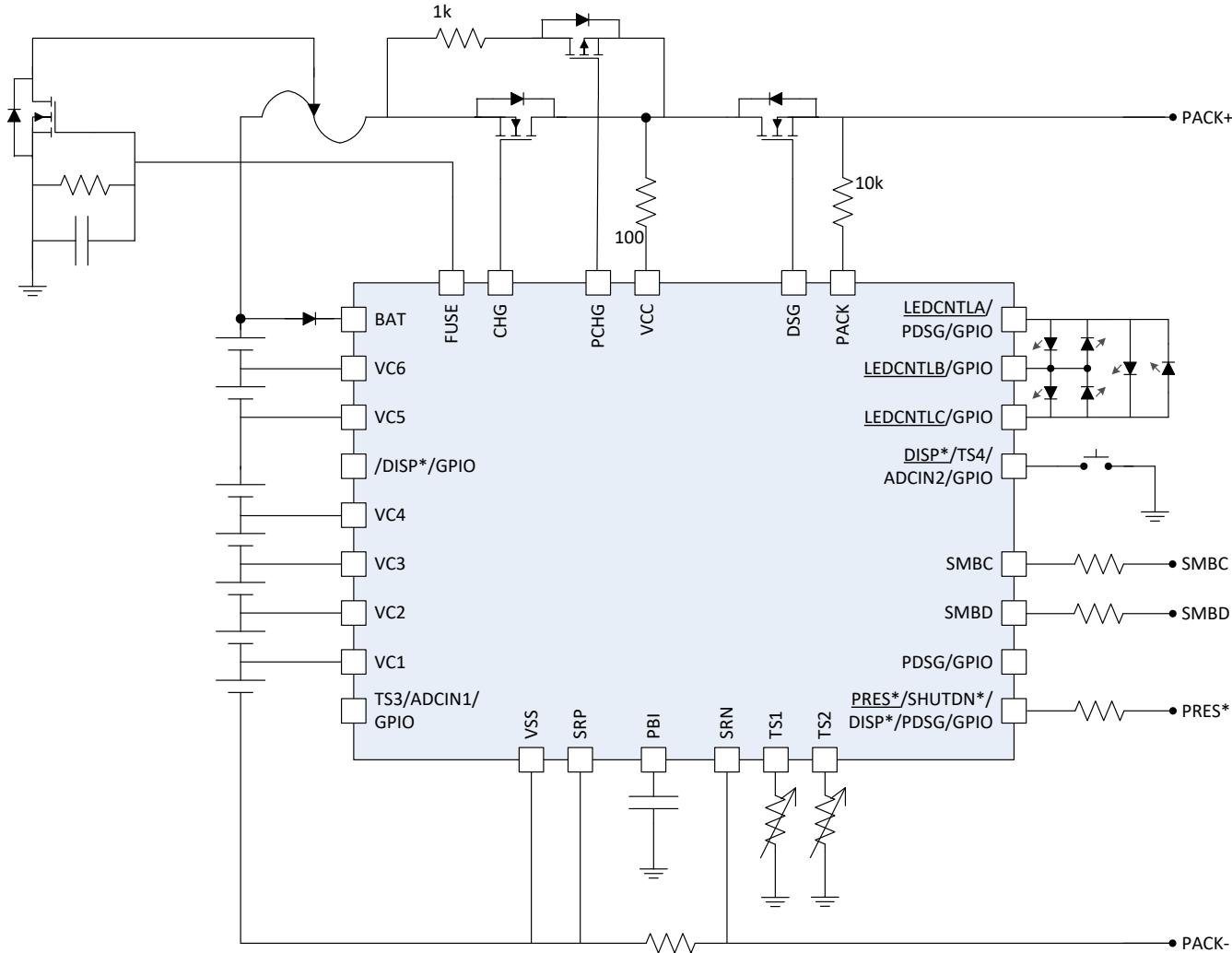
部品番号	パッケージ <sup>(1)</sup>	パッケージ サイズ <sup>(2)</sup>
BQ40Z80	VQFN (RSM, 32)	4.00mm × 4.00mm

(1) 詳細については、[メカニカル、パッケージ、および注文情報](#) を参照してください。

(2) パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はビンを含みます。



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、[ti.com](http://ti.com) で必ず最新の英語版をご参照くださいますようお願いいたします。



概略回路図

## 目次

1 特長	1	7 アプリケーションと実装	28
2 アプリケーション	1	7.1 アプリケーション情報に関する免責事項	28
3 説明	1	7.2 アプリケーション情報	28
4 ピン構成および機能	3	7.3 代表的なアプリケーション	29
5 仕様	8	7.4 電源に関する推奨事項	34
5.1 絶対最大定格	8	7.5 レイアウト	34
5.2 ESD 定格	8	8 デバイスおよびドキュメントのサポート	40
5.3 推奨動作条件	8	8.1 デバイスサポート	40
5.4 熱に関する情報	9	8.2 ドキュメントのサポート	40
5.5 電気的特性	9	8.3 ドキュメントの更新通知を受け取る方法	40
5.6 代表的特性	19	8.4 サポート・リソース	40
6 詳細説明	21	8.5 商標	40
6.1 概要	21	8.6 静電気放電に関する注意事項	40
6.2 機能ブロック図	21	8.7 用語集	40
6.3 機能説明	22	9 改訂履歴	40
6.4 デバイスの機能モード	26	10 メカニカル、パッケージ、および注文情報	41

## 4 ピン構成および機能

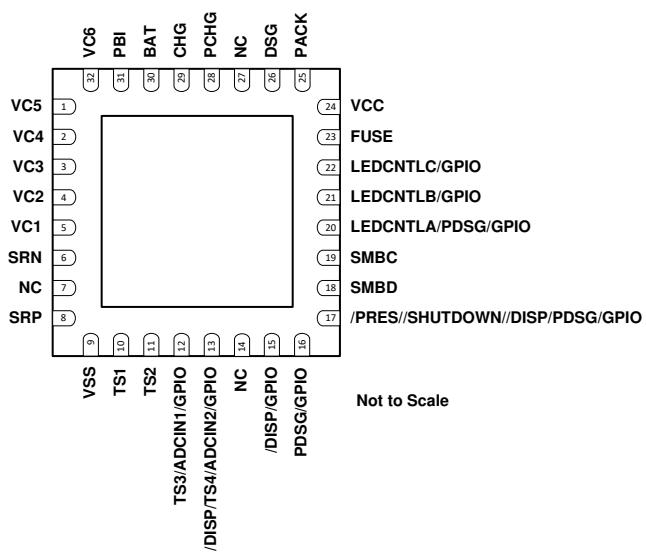


図 4-1. RSM パッケージ 32 ピン VQFN (露出サーマルパッド付き) 上面図

表 4-1. ピンの機能

ピン		タイプ	説明
名称	番号		
VC5	1	AI <sup>(1)</sup>	スタックの最下部から 5 番目のセルのセンス電圧入力ピン、スタックの最下部から 5 番目のセルのバランス電流入力、スタックの最下部から 6 番目のセルの復帰バランス電流。スタックの最下部から 5 番目のセルの正端子に $100\Omega$ の直列抵抗と $0.1\mu\text{F}$ のコンデンサを使用して VC4 に接続します。使用しない場合は、VC4 ピンに接続します。
VC4	2	AI	スタックの最下部から 4 番目のセルのセンス電圧入力ピン、スタックの最下部から 4 番目のセルのバランス電流入力、スタックの最下部から 5 番目のセルの復帰バランス電流。スタックの最下部から 4 番目のセルの正端子に $100\Omega$ の直列抵抗と $0.1\mu\text{F}$ のコンデンサを使用して VC3 に接続します。使用しない場合は、VC3 ピンに接続します。

表 4-1. ピンの機能 (続き)

ピン		タイプ	説明
名称	番号		
VC3	3	AI	スタックの最下部から 3 番目のセルのセンス電圧入力ピン、スタックの最下部から 3 番目のセルのバランス電流入力、スタックの最下部から 4 番目のセルの復帰バランス電流。スタックの最下部から 3 番目のセルの正端子に $100\Omega$ の直列抵抗と $0.1\mu\text{F}$ のコンデンサを使用して VC2 に接続します。使用しない場合は、VC2 ピンに接続します。
VC2	4	AI	スタックの最下部から 2 番目のセルのセンス電圧入力ピン、スタックの最下部から 2 番目のセルのバランス電流入力、スタックの最下部から 3 番目のセルの復帰バランス電流。スタックの最下部から 2 番目のセルの正端子に $100\Omega$ の直列抵抗と $0.1\mu\text{F}$ のコンデンサを使用して VC1 に接続します。使用しない場合は、VC1 ピンに接続します。
VC1	5	AI	スタックの最下部から 1 番目のセルのセンス電圧入力ピン、スタックの最下部から 1 番目のセルのバランス電流入力、スタックの最下部から 2 番目のセルの復帰バランス電流。スタックの最下部から 1 番目のセルの正端子に $100\Omega$ の直列抵抗と $0.1\mu\text{F}$ のコンデンサを使用して VSS に接続します。
SRN	6	I	SRP と SRN の間のわずかな電圧を統合するために、内部クーロンカウンタペリフェラルに接続したアナログ入力ピンです。ここで SRP はセンス抵抗の最上部で、充電電流は SRP から SRN に流れます。RC フィルタを介して、PACK- (CELL- ではない) に接続されたセンス抵抗端子に接続します。
NC	7	—	内部接続なし
SRP	8	I	SRP と SRN の間のわずかな電圧を統合するために、内部クーロンカウンタペリフェラルに接続したアナログ入力ピンです。ここで SRP はセンス抵抗の最上部で、充電電流は SRP から SRN に流れます。RC フィルタを介して、最も小さい正セルの負端子に接続された、センス抵抗の正端子に接続します。
VSS	9	P	デバイスのグラウンド
TS1	10	AI	温度センサ 1 のサーミスタ入力ピン。サーミスタ 1 に接続します。使用しない場合は、VSS に直接接続し、それに応じてデータフラッシュを構成します。
TS2	11	AI	温度センサ 2 のサーミスタ入力ピン。サーミスタ 2 に接続します。使用しない場合は、VSS に直接接続し、それに応じてデータフラッシュを構成します。
TS3/ADCIN1/ GPIO	12	IO	TS3: ADCIN1, GPIO のマルチファンクションピン。制御レジスタで構成できます。使用しない場合は、VSS に直接接続し、それに応じてデータフラッシュを構成します。 TS3: 温度センサ 3 のサーミスタ入力ピン。サーミスタ 3 に接続します。 ADCIN1: 汎用 ADCIN ピン。適切にスケーリングされた入力をこのピンに接続します。 GPIO: カスタマイズ可能な GPIO
DISP/TS4/ADCIN2/GPIO	13	IO	ディスプレイボタン、温度センサ入力、ADC 入力、または GPIO 用のマルチファンクションピン。制御レジスタで構成できます。使用しない場合は、VSS に直接接続し、それに応じてデータフラッシュを構成します。 DISP: ディスプレイボタンまたは LED に接続します。 TS4: 温度センサ 4 のサーミスタ入力ピン。サーミスタ 4 に接続します。 ADCIN2: 汎用 ADCIN ピン。適切にスケーリングされた入力をこのピンに接続します。 GPIO: カスタマイズ可能な GPIO
NC	14	—	内部接続なし
DISP/GPIO	15	I/O	ディスプレイボタン、または GPIO 用のマルチファンクションピン。制御レジスタで構成できます。使用しない場合は、VSS に直接接続し、それに応じてデータフラッシュを構成します。 DISP: ディスプレイボタンまたは LED に接続します。 GPIO: カスタマイズ可能な GPIO
PDSG/GPIO	16	I/O	事前放電 FET 制御、または GPIO 用のマルチファンクションピン。制御レジスタで構成できます。使用しない場合は、VSS に直接接続し、それに応じてデータフラッシュを構成します。 PDSG: N チャネル FET に接続して、事前放電モードを制御します。 GPIO: カスタマイズ可能な GPIO

**表 4-1. ピンの機能 (続き)**

ピン		タイプ	説明
名称	番号		
PRES/SHUTDN/DISP/ PDSG/GPIO	17	I/O	ホストシステム存在入力、緊急システムシャットダウン、LED ボタン制御、事前放電制御、または GPIO 用のマルチファンクションピン。制御レジスタで構成できます。使用しない場合は、VSS に直接接続し、それに応じてデータフラッシュを構成します。 PRES:取り外し可能なバッテリバックのシステム存在入力を検出するため、ホストに接続します。このピンはプルアップしないでください。 SHUTDN:内蔵バッテリバック用の緊急シャットダウン入力 DISP:ディスプレイボタンまたは LED に接続します。 PDSG:N チャネル FET に接続して、事前放電モードを制御します。 GPIO:カスタマイズ可能な GPIO
SMBD	18	I/O	SMBus データピン
SMBC	19	I/O	SMBus クロックピン
LEDCNTLA/PDSG/GPIO	20	O	LED ディスプレイ、事前放電、または GPIO 用のマルチファンクションピン。使用しない場合は、20kΩ の抵抗を使用して VSS に接続します。 LEDCNTLA:ファームウェア構成に応じて、外部 LED を駆動する LED ディスプレイセグメント。 PDSG:N チャネル FET に接続して、事前放電モードを制御します。 GPIO:カスタマイズ可能な GPIO
LEDCNTLB/GPIO	21	O	LED ディスプレイまたは GPIO 用のマルチファンクションピン。使用しない場合は、20kΩ の抵抗を使用して VSS に接続します。 LEDCNTLB:ファームウェア構成に応じて、外部 LED を駆動する LED ディスプレイセグメント。 GPIO:カスタマイズ可能な GPIO
LEDCNTLC/GPIO	22	O	LED ディスプレイまたは GPIO 用のマルチファンクションピン。使用しない場合は、20kΩ の抵抗を使用して VSS に接続します。 LEDCNTLC:ファームウェア構成に応じて、外部 LED を駆動する LED ディスプレイセグメント。 GPIO:カスタマイズ可能な GPIO
FUSE	23	O	ヒューズ駆動出力ピン。2 次側保護装置を搭載しているヒューズ N チャネル FET ゲートドライブ内に OR 接続できます。使用しない場合は、VSS に直接接続します。
VCC	24	P	2 次側電源入力。直列抵抗を介して保護用 FET の中間に接続します。
PACK	25	AI	パックセンス入力ピン。直列抵抗を介して PACK+ に接続します。
DSG	26	O	NMOS 放電 FET ドライブ出力ピン。DSG FET ゲートに接続します。
NC	27	—	内部接続なし。
PCHG	28	O	PMOS 事前充電 FET 駆動出力ピン。事前充電機能を使用する場合は、PCHG FET ゲートに接続します。未使用時はフローティングのままにします。
CHG	29	O	NMOS 充電 FET ドライブ出力ピン。CHG FET ゲートに接続します。
BAT	30	P	1 次電源入力ピン。ダイオードと直列抵抗を介してセルスタックの最上部に接続します。
PBI	31	P	電源バックアップ入力ピン。2.2μF のコンデンサを VSS に接続します。
VC6	32	AI	スタックの最下部から 6 番目のセルのセンス電圧入力ピン、スタックの最下部から 6 番目のセルのバランス電流入力。スタックの最下部から 6 番目のセルの正端子に 100Ω の直列抵抗と 0.1μF のコンデンサを使用して VC5 に接続します。使用しない場合は、VC5 ピンに接続します。

(1) P = 電源接続、O = デジタル出力、AI = アナログ入力、I = デジタル入力、I/O = デジタル入力/出力

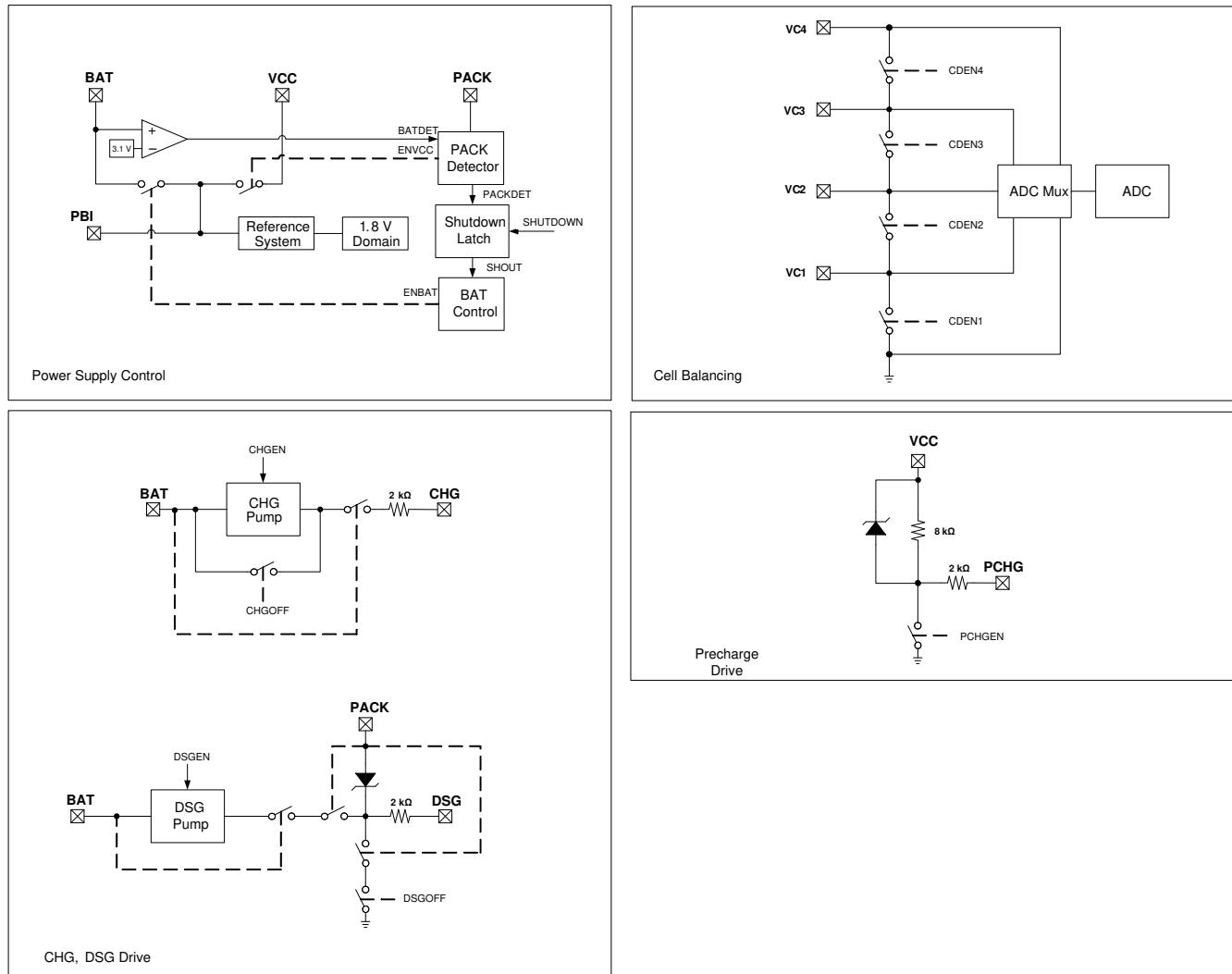


図 4-2. ピン互換の図 1

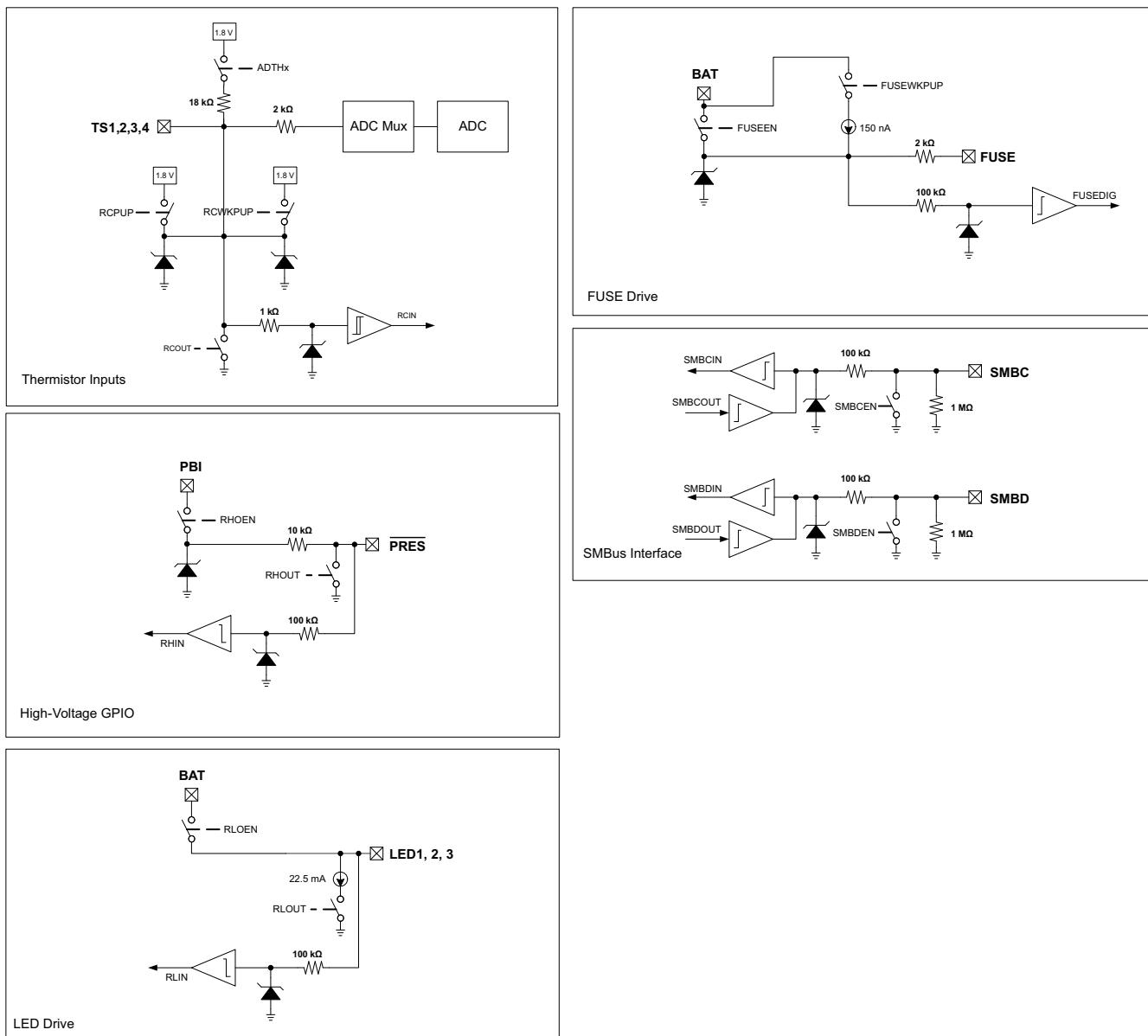


図 4-3. ピン互換の図 2

## 5 仕様

### 5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)<sup>(1)</sup>

		最小値	最大値	単位
電源電圧範囲、 $V_{CC}$	BAT <sup>(2)</sup> 、VCC <sup>(2)</sup> 、PBI <sup>(2)</sup> 、PACK <sup>(2)</sup>	-0.3	35	V
入力電圧範囲、 $V_{IN}$	SMBC、SMBD、DISP/GPIO、PDSG/GPIO、PRES/SHUTDN/DISP/PDSG/GPIO <sup>(2)</sup>	-0.3	35	V
	TS1、TS2、TS3/ADCIN1/GPIO、DISP/TS4/ADCIN2/GPIO	-0.3	$V_{REG} + 0.3$	V
	LEDCNTLA/PDSG/GPIO、LEDCNTLB/GPIO、LEDCNTLC/GPIO <sup>(2)</sup>	-0.3	$V_{BAT} + 0.3$	V
	SRP、SRN	-0.3	$V_{REG} + 0.3$	V
	VC6	VC5 - 0.3	VSS + 35	V
	VC5	VC4 - 0.3	VSS + 35	V
	VC4	VC3 - 0.3	VSS + 35	V
	VC3	VC2 - 0.3	VSS + 35	V
	VC2	VC1 - 0.3	VSS + 35	V
	VC1	VSS - 0.3	VSS + 35	V
出力電圧範囲、 $V_O$	CHG、DSG <sup>(2)</sup>	-0.3	43	
	PCHG、FUSE	-0.3	35	V
最大出力電流、 $I_{SS}$			50	mA
機能温度 $T_{FUNC}$		-40	110	
保管温度、 $T_{STG}$		-65	150	°C
リード温度 (半田付け、10 秒)、 $T_{SOLDER}$			300	°C

- (1) 絶対最大定格を超えた動作は、デバイスに恒久的な損傷を与える可能性があります。絶対最大定格は、これらの条件において、または推奨動作条件に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
- (2) 28V を超える電圧を印加する場合、50Ω 以上の直列抵抗が必要です。

### 5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 <sup>(1)</sup>	$\pm 2000$	V
		デバイス帶電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠 <sup>(2)</sup>	$\pm 500$	

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

### 5.3 推奨動作条件

標準値は  $T_A = 25^\circ\text{C}$ 、 $VCC = 25.2\text{V}$  の場合、最小値 / 最大値は  $T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$ 、 $VCC = 2.2\text{V} \sim 32\text{V}$  の場合 (特に記述のない限り)

			最小値	公称値	最大値	単位
$V_{CC}$	電源電圧	BAT <sup>(1)</sup> 、VCC <sup>(1)</sup> 、PBI <sup>(1)</sup> 、PACK <sup>(1)</sup>	2.2		32	V
$V_{SHUTDOWN-}$	シャットダウン電圧	$V_{PACK} < V_{SHUTDOWN-}$	1.8	2.0	2.2	V
$V_{SHUTDOWN+}$	スタートアップ時の電圧	$V_{PACK} > V_{SHUTDOWN-} + V_{HYS}$	2.05	2.25	2.45	V
$V_{HYS}$	シャットダウン電圧ヒステリシス	$V_{SHUTDOWN+} - V_{SHUTDOWN-}$		250		mV

### 5.3 推奨動作条件 (続き)

標準値は  $T_A = 25^\circ\text{C}$ 、 $VCC = 25.2\text{V}$  の場合、最小値 / 最大値は  $T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$ 、 $VCC = 2.2\text{V} \sim 32\text{V}$  の場合 (特に記述のない限り)

			最小値	公称値	最大値	単位
$V_{IN}$	入力電圧範囲	SMBC、SMBD、 $\overline{\text{DISP}}/\text{GPIO}$ 、 $\overline{\text{PDSG}}/\text{GPIO}$ 、 $\overline{\text{PRES}}/\text{SHUTDN}/$ 、 $\overline{\text{DISP}}/\text{PDSG}/\text{GPIO}$ <sup>(1)</sup>			32	V
		TS1、TS2、TS3/ADCIN1/GPIO、 $\overline{\text{DISP}}/\text{TS4}/\text{ADCIN2}/\text{GPIO}$			$V_{REG}$	
		LEDCNTLA/PDSG/GPIO、LEDCNTLB/GPIO、LEDCNTLC/GPIO <sup>(1)</sup>			$V_{BAT}$	
		SRP、SRN	-0.2		0.2	
		VC6	$V_{VC5}$		$VC5 + 5$	
		VC5	$V_{VC4}$		$VC4 + 5$	
		VC4	$V_{VC3}$		$VC3 + 5$	
		VC3	$V_{VC2}$		$VC2 + 5$	
		VC2	$V_{VC1}$		$VC1 + 5$	
		VC1	$V_{VSS}$		$VSS + 5$	
$V_O$	出力電圧範囲	PCHG、FUSE <sup>(1)</sup>			32	V
$C_{PBI}$	外付け PBI コンデンサ		2.2			$\mu\text{F}$
$T_{OPR}$	動作温度		-40		85	°C

(1) 28V を超える電圧を印加する場合、50Ω 以上の直列抵抗が必要です。

### 5.4 热に関する情報

熱評価基準 <sup>(1)</sup>		BQ40Z80	単位
		RSM (QFN)	
		32 ピン	
$R_{\theta JA, \text{High K}}$	接合部から周囲への熱抵抗	47.4	°C/W
$R_{\theta JC(\text{top})}$	接合部からケース (上面) への熱抵抗	40.3	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	14.7	°C/W
$\Psi_{JT}$	接合部から上面への特性パラメータ	0.8	°C/W
$\Psi_{JB}$	接合部から基板への特性パラメータ	14.4	°C/W
$R_{\theta JC(\text{bottom})}$	接合部からケース (底面) への熱抵抗	3.8	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

### 5.5 電気的特性

標準値は  $T_A = 25^\circ\text{C}$ 、 $VCC = 21.6\text{V}$  の場合、最小値/最大値は  $T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$ 、 $VCC = 2.2\text{V} \sim 32\text{V}$  の場合 (特に記述のない限り)

パラメータ		条件	最小値	標準値	最大値	単位
<b>電源電流</b>						
$I_{NORMAL}$	NORMAL モード	CPU 非アクティブ、CHG オン、DSG オン、高周波発振器オン、低周波発振器オン、REG18 オン、ADC オン、 $\text{ADC}_\text{Filter}$ オン、 $\text{CC}_\text{Filter}$ オン、CC オン、LED/ボタン/GPIO オフ、SMBus 非アクティブ、フラッシュ書き込みなし		663		$\mu\text{A}$

## 5.5 電気的特性 (続き)

標準値は  $T_A = 25^\circ\text{C}$ 、 $VCC = 21.6\text{V}$  の場合、最小値/最大値は  $T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$ 、 $VCC = 2.2\text{V} \sim 32\text{V}$  の場合 (特に記述のない限り)

パラメータ		条件	最小値	標準値	最大値	単位
$I_{SLEEP}$	SLEEP モード	CPU 非アクティブ、CHG オン、DSG オン、高周波発振器オフ、低周波発振器オン、REG18 オン、ADC オフ、 ADC_Filter オフ、CC_Filter オフ、LED/ボタン/GPIO オフ、SMBus 非アクティブ、フラッシュ書き込みなし	96			$\mu\text{A}$
		CPU 非アクティブ、CHG オフ、DSG オン、高周波発振器オフ、低周波発振器オン、REG18 オン、ADC オフ、 ADC_Filter オフ、CC_Filter オフ、LED/ボタン/GPIO オフ、SMBus 非アクティブ、フラッシュ書き込みなし、 $BAT = 14.4\text{V}$				
$I_{SHUTDOWN}$	シャットダウン モード	CPU 非アクティブ、CHG オフ、DSG オフ、高周波発振器オフ、低周波発振器オフ、REG18 オフ、ADC オフ、 ADC_Filter オフ、CC_Filter オフ、LED/ボタン/GPIO オフ、SMBus 非アクティブ、フラッシュ書き込みなし、 $BAT = 14.4\text{V}$	1.4		$\mu\text{A}$	

### 電源制御

$V_{SWITCHOVER-}$	BAT から $VCC$ への切り替え電圧	$V_{BAT} < V_{SWITCHOVER-}$	1.95	2.1	2.2	V
$V_{SWITCHOVER+}$	$VCC$ から BAT への切り替え電圧	$V_{BAT} > V_{SWITCHOVER-} + V_{HYS}$	2.9	3.1	3.25	V
$V_{HYS}$	切り替え電圧ヒステリシス	$V_{SWITCHOVER+} - V_{SWITCHOVER-}$	1000			mV
$I_{LKG}$	入力リーク電流	BAT ピン、 $BAT = 0\text{V}$ 、 $VCC = 32\text{V}$ 、PACK = 32V	1		$\mu\text{A}$	
		PACK ピン、 $BAT = 32\text{V}$ 、 $VCC = 0\text{V}$ 、PACK = 0V	1			
		BAT 端子および PACK 端子、 $BAT = 0\text{V}$ 、 $VCC = 0\text{V}$ 、 PACK = 0V、PBI = 32V	1			
$R_{PD}$	内部プルダウン抵抗	PACK	30	40	50	$\text{k}\Omega$

### AFE パワーオンリセット

$V_{REGIT-}$	負方向の電圧入力	$V_{REG}$	1.51	1.55	1.59	V
$V_{HYS}$	パワー オンリセットヒステリシス	$V_{REGIT+} - V_{REGIT-}$	70	100	130	mV
$t_{RST}$	パワーオンリセット時間		200	300	400	$\mu\text{s}$

### AFE ウオッヂドッグ リセットおよびウェーク タイマ

$t_{WDT}$	AFE ウオッヂドッグのタイムアウト	$t_{WDT} = 500$	372	500	628	ms
		$t_{WDT} = 1000$	744	1000	1256	ms
		$t_{WDT} = 2000$	1488	2000	2512	ms
		$t_{WDT} = 4000$	2976	4000	5024	ms
$t_{WAKE}$	AFE ウェークタイマ	$t_{WAKE} = 250$	186	250	314	ms
		$t_{WAKE} = 500$	372	500	628	ms
		$t_{WAKE} = 1000$	744	1000	1256	ms
		$t_{WAKE} = 2000$	1488	2000	2512	ms
$t_{FETOFF}$	リセット後の FET オフ遅延	$t_{FETOFF} = 512$	409	512	614	ms

### 内部 1.8V LDO

$V_{REG}$	レギュレータ電圧		1.6	1.8	2	V
$\Delta V_{O(TEMP)}$	温度によるレギュレータ出力	$\Delta V_{REG} / \Delta T_A$ 、 $I_{REG} = 10\text{mA}$	$\pm 0.25\%$			
$\Delta V_{O(LINE)}$	ライン レギュレーション	$\Delta V_{REG} / \Delta V_{BAT}$ 、 $I_{BAT} = 10\text{mA}$	-0.6%			0.5%
$\Delta V_{O(LOAD)}$	ロードレギュレーション	$\Delta V_{REG} / \Delta I_{REG}$ 、 $I_{REG} = 0\text{mA} \sim 10\text{mA}$	-1.5%			1.5%
$I_{REG}$	レギュレータ出力電流制限	$V_{REG} = 0.9 \times V_{REG(NOM)}$ 、 $V_{IN} > 2.2\text{V}$	20			$\text{mA}$

## 5.5 電気的特性 (続き)

標準値は  $T_A = 25^\circ\text{C}$ 、 $V_{\text{CC}} = 21.6\text{V}$  の場合、最小値/最大値は  $T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$ 、 $V_{\text{CC}} = 2.2\text{V} \sim 32\text{V}$  の場合 (特に記述のない限り)

パラメータ		条件	最小値	標準値	最大値	単位
$I_{\text{SC}}$	レギュレータ短絡電流制限	$V_{\text{REG}} = 0 \times V_{\text{REG(NOM)}}$		25	40	55
$\text{PSRR}_{\text{REG}}$	電源除去比	$\Delta V_{\text{BAT}} / \Delta V_{\text{REG}}, I_{\text{REG}} = 10\text{mA}, V_{\text{IN}} > 2.5\text{V}, f = 10\text{Hz}$		40		dB
$V_{\text{SLEW}}$	スルーレート拡張電圧スレッショルド	$V_{\text{REG}}$		1.58	1.65	V
<b>電圧リファレンス 1</b>						
$V_{\text{REF1}}$	内部リファレンス電圧	$T_A = 25^\circ\text{C}$ 、調整後	1.215	1.22	1.225	V
$V_{\text{REF1(DRIFT)}}$	内部リファレンス電圧ドリフト	$T_A = 0^\circ\text{C} \sim 60^\circ\text{C}$ 、調整後	$\pm 50$		PPM/°C	
		$T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$ 、調整後	$\pm 80$		PPM/°C	
<b>電圧リファレンス 2</b>						
$V_{\text{REF2}}$	内部リファレンス電圧	$T_A = 25^\circ\text{C}$ 、調整後	1.22	1.225	1.23	V
$V_{\text{REF2(DRIFT)}}$	内部リファレンス電圧ドリフト	$T_A = 0^\circ\text{C} \sim 60^\circ\text{C}$ 、調整後	$\pm 50$		PPM/°C	
		$T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$ 、調整後	$\pm 80$		PPM/°C	
<b>VC1、VC2、VC3、VC4、VC5、VC6、BAT、PACK</b>						
K	スケーリングファクタ	VC1–VSS、VC2–VC1、VC3–VC2、VC4–VC3、VC5–VC4、VC6–VC5	0.198	0.2	0.202	-
		VC6–VSS	0.032	0.0333	0.034	
		BAT–VSS、PACK–VSS	0.0275	0.0286	0.0295	
		$V_{\text{REF2}}$	0.49	0.5	0.51	
V <sub>IN</sub>	入力電圧範囲	VC1–VSS、VC2–VC1、VC3–VC2、VC4–VC3、VC5–VC4、VC6–VC5	-0.2		5	V
		VC6–VSS	-0.2		30	
		PACK–VSS	-0.2		32	
I <sub>LKG</sub>	入力リーク電流	VC1、VC2、VC3、VC4、VC5、VC6、セルバランシングオフ、セル取り外し検出オフ、ADC マルチプレクサオフ			1	μA
<b>セルバランシングとセル取り外し検出</b>						
R <sub>CB</sub>	内部セルバランシング抵抗	2V < V <sub>DSD</sub> < 4V のときの内部 FET スイッチの $R_{\text{DS(ON)}}$		200		Ω
I <sub>CD</sub>	内部セル分離チェック電流	$V_{\text{Cx}} > V_{\text{SS}} + 0.8\text{V}$	30	50	70	μA
<b>ADC</b>						
V <sub>IN</sub>	入力電圧範囲	内部リファレンス ( $V_{\text{REF1}}$ )	-0.2	1		V
		外部リファレンス ( $V_{\text{REG}}$ )	-0.2	$0.8 \times V_{\text{REG}}$		
	フルスケール レンジ	$V_{\text{FS}} = V_{\text{REF1}}$ または $V_{\text{REG}}$	$-V_{\text{FS}}$	$V_{\text{FS}}$		V
INL	積分非直線性 (1LSB = $V_{\text{REF1}}/(10 \times 2^N) = 1.225/(10 \times 2^{15}) = 37.41\text{μV}$ )	16 ビット、最適値、 $-0.1\text{V} \sim 0.8 \times V_{\text{REF1}}$			$\pm 8.5$	LSB
		16 ビット、最適値、 $-0.2\text{V} \sim -0.1\text{V}$			$\pm 13.1$	
OE	オフセット エラー	16 ビット、較正後、 $V_{\text{FS}} = V_{\text{REF1}}$		$\pm 67$	$\pm 157$	μV
OED	オフセット誤差のドリフト	16 ビット、較正後、 $V_{\text{FS}} = V_{\text{REF1}}$		0.6	3	μV/°C
GE	ゲイン誤差	16 ビット、 $-0.1\text{V} \sim 0.8 \times V_{\text{FS}}$		$\pm 0.2\%$	$\pm 0.8\%$	/FSR
GED	ゲインドリフト	16 ビット、 $-0.1\text{V} \sim 0.8 \times V_{\text{FS}}$			150	PPM/°C
EIR	実効入力抵抗				8	MΩ
<b>ADC デジタルフィルタ</b>						

## 5.5 電気的特性 (続き)

標準値は  $T_A = 25^\circ\text{C}$ 、 $VCC = 21.6\text{V}$  の場合、最小値/最大値は  $T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$ 、 $VCC = 2.2\text{V} \sim 32\text{V}$  の場合 (特に記述のない限り)

パラメータ		条件	最小値	標準値	最大値	単位
$t_{\text{CONV}}$	変換時間	$\text{ADCTL}[\text{SPEED1, SPEED0}] = 0, 0$	31.25			ms
		$\text{ADCTL}[\text{SPEED1, SPEED0}] = 0, 1$	15.63			
		$\text{ADCTL}[\text{SPEED1, SPEED0}] = 1, 0$	7.81			
		$\text{ADCTL}[\text{SPEED1, SPEED0}] = 1, 1$	1.95			
Res	分解能	ノーミッシングコード、 $\text{ADCTL}[\text{SPEED1, SPEED0}] = 0, 0$	16			ビット
Eff_Res	有効分解能	符号あり、 $\text{ADCTL}[\text{SPEED1, SPEED0}] = 0, 0$	14	15		ビット
		符号あり、 $\text{ADCTL}[\text{SPEED1, SPEED0}] = 0, 1$	13	14		
		符号あり、 $\text{ADCTL}[\text{SPEED1, SPEED0}] = 1, 0$	11	12		
		符号あり、 $\text{ADCTL}[\text{SPEED1, SPEED0}] = 1, 1$	9	10		
電流ウェークコンパレータ						
$V_{\text{WAKE}}$	ウェーク電圧スレッショルド	$V_{\text{WAKE}} = V_{\text{SRP}} - V_{\text{SRN}} = \pm 0.625\text{mV}$	$\pm 0.3$	$\pm 0.625$	$\pm 0.9$	mV
		$V_{\text{WAKE}} = V_{\text{SRP}} - V_{\text{SRN}} = \pm 1.25\text{mV}$	$\pm 0.6$	$\pm 1.25$	$\pm 1.8$	
		$V_{\text{WAKE}} = V_{\text{SRP}} - V_{\text{SRN}} = \pm 2.5\text{mV}$	$\pm 1.2$	$\pm 2.5$	$\pm 3.6$	
		$V_{\text{WAKE}} = V_{\text{SRP}} - V_{\text{SRN}} = \pm 5\text{mV}$	$\pm 2.4$	$\pm 5.0$	$\pm 7.2$	
$V_{\text{WAKE(DRIFT)}}$	$V_{\text{WAKE}}$ 精度の温度ドリフト			0.5%		$^\circ\text{C}$
$t_{\text{WAKE}}$	電流が印加されてからウェーク割り込みまでの時間			250	700	$\mu\text{s}$
$t_{\text{WAKE(SU)}}$	ウェークコンパレータの起動時間			500	1000	$\mu\text{s}$
クーロン カウンタ						
$V_{\text{INPUT}}$	入力電圧範囲		-0.1	0.1		V
$V_{\text{RANGE}}$	フルスケール レンジ		$-V_{\text{REF1}}/10$	$V_{\text{REF1}}/10$		V
INL	積分非直線性 ( $1\text{LSB} = V_{\text{REF1}}/(10 \times 2^N) = 1.215/(10 \times 2^{15}) = 3.71\mu\text{V}$ )	16 ビット、入力電圧範囲全体にわたって最善の適合		$\pm 5.2$	$\pm 22.3$	LSB
OE	オフセット エラー	16 ビット、較正後		$\pm 5.0$	$\pm 10$	$\mu\text{V}$
OED	オフセット誤差のドリフト	15 ビット + 符号、較正後		0.2	0.3	$\mu\text{V}/^\circ\text{C}$
GE	ゲイン誤差	15 ビット + 符号、入力電圧範囲全体		$\pm 0.2\%$	$\pm 0.8\%$	/FSR
GED	ゲインドリフト	15 ビット + 符号、入力電圧範囲全体			150	PPM/ $^\circ\text{C}$
EIR	実効入力抵抗			2.5		$\text{M}\Omega$
$t_{\text{CONV}}$	変換時間	シングル変換		250		ms
Eff_Res	有効分解能	シングル変換		15		ビット
電流保護スレッショルド						
$V_{\text{OCD}}$	OCD 検出スレッショルド電圧範囲	$V_{\text{OCD}} = V_{\text{SRP}} - V_{\text{SRN}}$ 、 $\text{PROTECTION\_CONTROL}[\text{RSNS}] = 1$		-16.6	-100	mV
		$V_{\text{OCD}} = V_{\text{SRP}} - V_{\text{SRN}}$ 、 $\text{PROTECTION\_CONTROL}[\text{RSNS}] = 0$		-8.3	-50	mV
$\Delta V_{\text{OCD}}$	OCD 検出スレッショルド電圧のプログラム手順	$V_{\text{OCD}} = V_{\text{SRP}} - V_{\text{SRN}}$ 、 $\text{PROTECTION\_CONTROL}[\text{RSNS}] = 1$		-5.56		mV
		$V_{\text{OCD}} = V_{\text{SRP}} - V_{\text{SRN}}$ 、 $\text{PROTECTION\_CONTROL}[\text{RSNS}] = 0$		-2.78		mV

## 5.5 電気的特性 (続き)

標準値は  $T_A = 25^\circ\text{C}$ 、 $VCC = 21.6\text{V}$  の場合、最小値/最大値は  $T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$ 、 $VCC = 2.2\text{V} \sim 32\text{V}$  の場合 (特に記述のない限り)

パラメータ		条件	最小値	標準値	最大値	単位
$V_{SCC}$	SCC 検出スレッショルド電圧範囲	$V_{SCC} = V_{SRP} - V_{SRN}$ 、 PROTECTION_CONTROL[RSNS] = 1	44.4	200		mV
		$V_{SCC} = V_{SRP} - V_{SRN}$ 、 PROTECTION_CONTROL[RSNS] = 0	22.2	100		mV
$\Delta V_{SCC}$	SCC 検出スレッショルド電圧のプログラム手順	$V_{SCC} = V_{SRP} - V_{SRN}$ 、 PROTECTION_CONTROL[RSNS] = 1		22.2		mV
		$V_{SCC} = V_{SRP} - V_{SRN}$ 、 PROTECTION_CONTROL[RSNS] = 0		11.1		mV
$V_{SCD1}$	SCD1 検出スレッショルド電圧範囲	$V_{SCD1} = V_{SRP} - V_{SRN}$ 、 PROTECTION_CONTROL[RSNS] = 1	-44.4	-200		mV
		$V_{SCD1} = V_{SRP} - V_{SRN}$ 、 PROTECTION_CONTROL[RSNS] = 0	-22.2	-100		mV
$\Delta V_{SCD1}$	SCD1 検出スレッショルド電圧プログラム手順	$V_{SCD1} = V_{SRP} - V_{SRN}$ 、 PROTECTION_CONTROL[RSNS] = 1		-22.2		mV
		$V_{SCD1} = V_{SRP} - V_{SRN}$ 、 PROTECTION_CONTROL[RSNS] = 0		-11.1		mV
$V_{SCD2}$	SCD2 検出スレッショルド電圧範囲	$V_{SCD2} = V_{SRP} - V_{SRN}$ 、 PROTECTION_CONTROL[RSNS] = 1	-44.4	-200		mV
		$V_{SCD2} = V_{SRP} - V_{SRN}$ 、 PROTECTION_CONTROL[RSNS] = 0	-22.2	-100		mV
$\Delta V_{SCD2}$	SCD2 検出スレッショルド電圧プログラム手順	$V_{SCD2} = V_{SRP} - V_{SRN}$ 、 PROTECTION_CONTROL[RSNS] = 1		-22.2		mV
		$V_{SCD2} = V_{SRP} - V_{SRN}$ 、 PROTECTION_CONTROL[RSNS] = 0		-11.1		mV
$V_{OFFSET}$	OCD、SCC、SCDx のオフセット誤差	調整後	-2.5	2.5		mV
$V_{SCALE}$	OCD、SCC、SCDx のスケール誤差	調整なし	-10%	10%		
		調整後	-5%	5%		

### 電流保護のタイミング

$t_{OCD}$	OCD 検出遅延時間		1	31	ms
$\Delta t_{OCD}$	OCD 検出遅延時間プログラム手順		2		ms
$t_{SCC}$	SCC 検出遅延時間		0	915	μs
$\Delta t_{SCC}$	SCC 検出遅延時間プログラム手順		61		μs
$t_{SCD1}$	SCD1 検出遅延時間	PROTECTION_CONTROL[SCDDx2] = 0	0	915	μs
		PROTECTION_CONTROL[SCDDx2] = 1	0	1850	μs
$\Delta t_{SCD1}$	SCD1 検出遅延時間のプログラム手順	PROTECTION_CONTROL[SCDDx2] = 0	61		μs
		PROTECTION_CONTROL[SCDDx2] = 1	121		μs
$t_{SCD2}$	SCD2 検出遅延時間	PROTECTION_CONTROL[SCDDx2] = 0	0	458	μs
		PROTECTION_CONTROL[SCDDx2] = 1	0	915	μs
$\Delta t_{SCD2}$	SCD2 検出遅延時間のプログラム手順	PROTECTION_CONTROL[SCDDx2] = 0	30.5		μs
		PROTECTION_CONTROL[SCDDx2] = 1	61		μs
$t_{DETECT}$	電流故障検出時間	OCD、SCD1、SCD2 の場合は $V_{SRP} - V_{SRN} = V_T - 3\text{mV}$ 、SCC の場合は $V_{SRP} - V_{SRN} = V_T - 3\text{mV}$		160	μs
$t_{ACC}$	電流故障遅延時間精度	最大遅延設定	-10%	10%	

## 5.5 電気的特性 (続き)

標準値は  $T_A = 25^\circ\text{C}$ 、 $V_{\text{CC}} = 21.6\text{V}$  の場合、最小値/最大値は  $T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$ 、 $V_{\text{CC}} = 2.2\text{V} \sim 32\text{V}$  の場合 (特に記述のない限り)

パラメータ		条件	最小値	標準値	最大値	単位
<b>内部温度センサ</b>						
$V_{\text{TEMPT}}$	内部温度センサ電圧ドリフト	$V_{\text{TEMPP}}$	-1.9	-2.1		$\text{mV}/^\circ\text{C}$
		$V_{\text{TEMPP}} - V_{\text{TEMPN}}$ 、設計により規定	0.177	0.178	0.179	$\text{mV}/^\circ\text{C}$
<b>NTC サーミスタ測定のサポート (TS1、TS2、ピン 12 および 13 を TS3 および TS4 として構成)</b>						
$R_{\text{NTC(PI)}}$	内部プルアップ抵抗	TS1	14.4	18	21.6	$\text{k}\Omega$
		TS2	14.4	18	21.6	$\text{k}\Omega$
		TS3	14.4	18	21.6	$\text{k}\Omega$
		TS4	14.4	18	21.6	$\text{k}\Omega$
$R_{\text{NTC(DRIFT)}}$			-360	-280	-200	$\text{PPM}/^\circ\text{C}$
<b>低電圧汎用 I/O (マルチファンクションピン 12 および 13 を GPIO として構成)</b>						
$V_{\text{IH}}$	ハイ レベル入力		$0.65 \times V_{\text{REG}}$			V
$V_{\text{IL}}$	ロー レベル入力		$0.35 \times V_{\text{REG}}$			V
$V_{\text{OH}}$	出力電圧 High	出力 High、プルアップイネーブル、 $I_{\text{OH}} = -1.0\text{mA}$	$0.75 \times V_{\text{REG}}$			V
		出力 High、プルアップイネーブル、 $I_{\text{OH}} = -10\mu\text{A}$				
$V_{\text{OL}}$	出力電圧 Low	出力 Low、 $I_{\text{OL}} = 1\text{mA}$	$0.2 \times V_{\text{REG}}$			V
$C_{\text{IN}}$	入力容量			5		$\text{pF}$
$I_{\text{LKG}}$	入力リーク電流				1	$\mu\text{A}$
<b>高電圧汎用 I/O (マルチファンクションピン 15、16、17 は GPIO として構成、PRES、DISP、または SHUTDN ピン 15 は GPIO として構成、ピン 16 は PDSG として構成)</b>						
$V_{\text{IH}}$	ハイ レベル入力		1.3			V
$V_{\text{IL}}$	ロー レベル入力			0.55		V
$V_{\text{OH}}$	出力電圧 High	出力イネーブル、 $V_{\text{BAT}} > 5.5\text{V}$ 、 $I_{\text{OH}} = -0\mu\text{A}$	3.5			V
		出力イネーブル、 $V_{\text{BAT}} > 5.5\text{V}$ 、 $I_{\text{OH}} = -10\mu\text{A}$	1.8			
$V_{\text{OL}}$	出力電圧 Low	出力ディスエーブル、 $I_{\text{OL}} = 1.5\text{mA}$		0.4		V
$C_{\text{IN}}$	入力容量			5		$\text{pF}$
$I_{\text{LKG}}$	入力リーク電流				3	$\mu\text{A}$
$R_{\text{O}}$	出力逆抵抗	GPIO、PRES、DISP、SHUTDN、PDSG、PBI の間	8			$\text{k}\Omega$
<b>定電流シンク付きの汎用 I/O (マルチファンクションピン 20、21、22 は LEDCNTLx として構成)</b>						
$V_{\text{IH}}$	ハイ レベル入力	LEDCNTLx	1.45			V
$V_{\text{IL}}$	ロー レベル入力	LEDCNTLx		0.55		V
$V_{\text{OH}}$	出力電圧 High	LEDCNTLx、出力イネーブル、 $V_{\text{BAT}} > 3.0\text{V}$ 、 $I_{\text{OH}} = -22.5\text{mA}$	$V_{\text{BAT}} - 1.6$			V
		LEDCNTLx、出力ディスエーブル、 $V_{\text{BAT}} > 3.0\text{V}$ 、 $I_{\text{OH}} = 3\text{mA}$		0.4		V
$I_{\text{SC}}$	High レベル出力電流保護	LEDCNTLx	-30	-45	-60	$\text{mA}$
$I_{\text{OL}}$	Low レベル出力電流	LEDCNTLx、 $V_{\text{BAT}} > 3.0\text{V}$ 、 $V_{\text{OL}} > 0.4\text{V}$	15.75	22.5	29.25	$\text{mA}$
$I_{\text{LEDCNTLx}}$	出力間の電流マッチング	LEDCNTLx、 $V_{\text{BAT}} = V_{\text{LED}} + 2.5\text{V}$		+/-1%		
$C_{\text{IN}}$	入力容量	LEDCNTLx		20		$\text{pF}$
$I_{\text{LKG}}$	入力リーク電流	LEDCNTLx			1	$\mu\text{A}$
$f_{\text{LED}}$	LED パターンの周波数	LEDCNTLx		124		Hz

## 5.5 電気的特性 (続き)

標準値は  $T_A = 25^\circ\text{C}$ 、 $V_{CC} = 21.6\text{V}$  の場合、最小値/最大値は  $T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$ 、 $V_{CC} = 2.2\text{V} \sim 32\text{V}$  の場合 (特に記述のない限り)

パラメータ		条件	最小値	標準値	最大値	単位
$t_{SHUTDOWN}$	サーマル シャットダウン	LED_CNTLx、設計により規定	120	135	150	°C
<b>汎用 I/O (マルチファンクションピン 20, 21, 22 を GPIO として構成) (ピン 20 を PDSG として構成)</b>						
$V_{IH}$	ハイ レベル入力		1.45			V
$V_{IL}$	ロー レベル入力			0.55		V
$V_{OH}$	出力電圧 High	出力イネーブル、 $V_{BAT} > 3.0\text{V}$ 、 $I_{OH} = -22.5\text{mA}$	$V_{BAT} - 1.6$			V
		出力ディスエーブル、 $I_{OL} = 3\text{mA}$		0.4		V
$I_{SC}$	High レベル出力電流保護		-30	-45	-60	mA
$I_{OL}$	Low レベル出力電流	$V_{BAT} > 3.0\text{V}$ 、 $V_{OL} > 0.4\text{V}$	15.75	22.5	29.25	mA
$C_{IN}$	入力容量			20		pF
$I_{LKG}$	入力リーク電流				1	μA
<b>SMBD、SMBC 高電圧 I/O</b>						
$V_{IH}$	高入力電圧	SMBD、SMBC、 $V_{REG} = 1.8\text{V}$	1.3			V
$V_{IL}$	低入力電圧	SMBD、SMBC、 $V_{REG} = 1.8\text{V}$		0.8		V
$V_{OL}$	出力 LOW 電圧	SMBD、SMBC、 $V_{REG} = 1.8\text{V}$ 、 $I_{OL} = 1.5\text{mA}$		0.4		V
$C_{IN}$	入力容量			5		pF
$I_{LKG}$	入力リーク電流				1	μA
$R_{PD}$	ブルダウン抵抗		0.7	1	1.3	MΩ
<b>SMBus</b>						
$f_{SMB}$	SMBus の動作周波数	スレーブモード、SMBC 50% デューティサイクル	10	100		kHz
$f_{MAS}$	SMBus マスタークロック周波数	マスター モード、クロック Low スレーブ拡張なし		51.2		kHz
$t_{BUF}$	開始条件と停止間のバス開放時間		4.7			μs
$t_{HD(START)}$	(リピート) スタート後のホールド時間		4			μs
$t_{SU(START)}$	繰り返しスタートのセットアップ時間		4.7			μs
$t_{SU(STOP)}$	ストップのセットアップ時間		4			μs
$t_{HD(DATA)}$	データ ホールド時間		300			ns
$t_{SU(DATA)}$	データ セットアップ時間		250			ns
$t_{TIMEOUT}$	エラー信号検出時間		25	35		ms
$t_{LOW}$	クロックの Low 期間		4.7			μs
$t_{HIGH}$	クロックの High 期間		4	50		μs
$t_R$	クロック立ち上がり時間	10%~90%		1000		ns
$t_F$	クロック立ち下がり時間	90%~10%		300		ns
$t_{LOW(SEXT)}$	累積クロック Low のスレーブ拡張時間			25		ms
$t_{LOW(MEXT)}$	累積クロック Low のマスター拡張時間			10		ms
<b>SMBus XL</b>						
$f_{SMBXL}$	SMBus XL の動作周波数	スレーブモード、SMBC 50% デューティサイクル	40	400		kHz
$t_{BUF}$	開始条件と停止間のバス開放時間		4.7			μs

## 5.5 電気的特性 (続き)

標準値は  $T_A = 25^\circ\text{C}$ 、 $VCC = 21.6\text{V}$  の場合、最小値/最大値は  $T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$ 、 $VCC = 2.2\text{V} \sim 32\text{V}$  の場合 (特に記述のない限り)

パラメータ		条件	最小値	標準値	最大値	単位
$t_{HD(\text{START})}$		(リピート) スタート後のホールド時間		4		$\mu\text{s}$
$t_{SU(\text{START})}$		繰り返しスタートのセットアップ時間		4.7		$\mu\text{s}$
$t_{SU(\text{STOP})}$		ストップのセットアップ時間		4		$\mu\text{s}$
$t_{\text{TIMEOUT}}$		エラー信号検出時間		5	20	ms
$t_{\text{LOW}}$		クロックの Low 期間			20	$\mu\text{s}$
$t_{\text{HIGH}}$		クロックの High 期間			20	$\mu\text{s}$

### FUSE 駆動 (ADEFUSE)

$V_{OH}$	出力電圧 High	$V_{BAT} \geq 8\text{V}$ , $C_L = 1\text{nF}$ , $I_{ADEFUSE} = 0\mu\text{A}$	6	7	8.65	V
		$V_{BAT} < 8\text{V}$ , $C_L = 1\text{nF}$ , $I_{ADEFUSE} = 0\mu\text{A}$	$V_{BAT} - 0.1$		$V_{BAT}$	V
$V_{IH}$	ハイレベル入力		1.5	2	2.5	V
$I_{ADEFUSE(\text{PU})}$	内部プルアップ電流	$V_{BAT} < 8\text{V}$ , $V_{ADEFUSE} = VSS$		150	330	nA
$R_{ADEFUSE}$	出力インピーダンス		2	2.6	3.2	k $\Omega$
$C_{IN}$	入力容量			5		pF
$t_{\text{DELAY}}$	ヒューズトリム検出遅延		128		256	$\mu\text{s}$
$t_{\text{RISE}}$	ヒューズ出力立ち上がり時間			5	20	$\mu\text{s}$

### N チャネル FET ドライブ (CHG、DSG)

	出力電圧比	$\text{Ratio}_{\text{DSG}} = (V_{\text{DSG}} - V_{\text{BAT}})/V_{\text{BAT}}$ , $2.2\text{V} < V_{\text{BAT}} < 4.92\text{V}$ , PACK と DSG 間に $10\text{M}\Omega$	2.133	2.333	2.45	—
		$\text{Ratio}_{\text{CHG}} = (V_{\text{CHG}} - V_{\text{BAT}})/V_{\text{BAT}}$ , $2.2\text{V} < V_{\text{BAT}} < 4.92\text{V}$ , BAT と CHG 間に $10\text{M}\Omega$	2.133	2.333	2.433	—
$V_{\text{FETON}}$	出力電圧、CHG と DSG がオン	$V_{\text{DSG}(\text{ON})} = (V_{\text{DSG}} - V_{\text{BAT}})$ , $V_{\text{BAT}} \geq 4.92\text{V}$ (最大 $32\text{V}$ )、PACK と DSG 間に $10\text{M}\Omega$	10.5	11.5	12.5	V
		$V_{\text{CHG}(\text{ON})} = (V_{\text{CHG}} - V_{\text{BAT}})$ , $V_{\text{BAT}} \geq 4.92\text{V}$ (最大 $32\text{V}$ )、BAT と CHG 間に $10\text{M}\Omega$	10.5	11.5	12.5	V
$V_{\text{FETOFF}}$	出力電圧、CHG と DSG がオフ	$V_{\text{DSG}(\text{OFF})} = (V_{\text{DSG}} - V_{\text{PACK}})$ , PACK と DSG 間に $10\text{M}\Omega$	-0.4		0.4	V
		$V_{\text{CHG}(\text{OFF})} = (V_{\text{CHG}} - V_{\text{BAT}})$ , BAT と CHG 間に $10\text{M}\Omega$	-0.4		0.4	V
$t_R$	立ち上がり時間	$V_{\text{DSG}}$ 0% ~ 35% まで $V_{\text{DSG}(\text{ON})\text{(TYP)}} = V_{\text{DSG}} - V_{\text{BAT}}$ , $V_{\text{BAT}} \geq 2.2\text{V}$ , DSG と PACK 間 $C_L = 4.7\text{nF}$ , DSG と $C_L$ 間 $5.1\text{k}\Omega$ , PACK と DSG 間 $10\text{M}\Omega$		200	500	$\mu\text{s}$
		$V_{\text{CHG}}$ 0% ~ 35% まで $V_{\text{CHG}(\text{ON})\text{(TYP)}} = V_{\text{CHG}} - V_{\text{BAT}}$ , $V_{\text{BAT}} \geq 2.2\text{V}$ , CHG と BAT 間 $C_L = 4.7\text{nF}$ , CHG と $C_L$ 間 $5.1\text{k}\Omega$ , BAT と CHG 間 $10\text{M}\Omega$		200	500	$\mu\text{s}$
$t_F$	立ち下がり時間	$V_{\text{DSG}}$ $V_{\text{DSG}(\text{ON})\text{(TYP)}} \sim 1\text{V}$ まで, $V_{\text{BAT}} \geq 2.2\text{V}$ , DSG と PACK 間 $C_L = 4.7\text{nF}$ , DSG と $C_L$ 間 $5.1\text{k}\Omega$ , PACK と DSG 間 $10\text{M}\Omega$		40	300	$\mu\text{s}$
		$V_{\text{CHG}}$ $V_{\text{CHG}(\text{ON})\text{(TYP)}} \sim 1\text{V}$ まで, $V_{\text{BAT}} \geq 2.2\text{V}$ , CHG と BAT 間 $C_L = 4.7\text{nF}$ , CHG と $C_L$ 間 $5.1\text{k}\Omega$ , BAT と CHG 間 $10\text{M}\Omega$		40	200	$\mu\text{s}$

### P チャネル FET 駆動 (PCHG)

$V_{\text{FETON}}$	出力電圧、PCHG オン	$V_{\text{PCHG}(\text{ON})} = V_{\text{CC}} - V_{\text{PCHG}}$ , VCC と CHG 間 $10\text{M}\Omega$ , $V_{\text{BAT}} \geq 8\text{V}$	6	7	8	V
$V_{\text{FETOFF}}$	出力電圧、PCHG オフ	$V_{\text{PCHG}(\text{OFF})} = V_{\text{CC}} - V_{\text{PCHG}}$ , VCC と CHG 間 $10\text{M}\Omega$	-0.4		0.4	V

## 5.5 電気的特性 (続き)

標準値は  $T_A = 25^\circ\text{C}$ 、 $VCC = 21.6\text{V}$  の場合、最小値/最大値は  $T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$ 、 $VCC = 2.2\text{V} \sim 32\text{V}$  の場合 (特に記述のない限り)

パラメータ		条件	最小値	標準値	最大値	単位
$t_R$	立ち上がり時間	$V_{PCHG} 10\% \sim 90\% \text{まで } V_{PCHG(ON)(TYP)}, V_{SS} \geq 8\text{V}, PCHG \text{と } VCC \text{ 間 } C_L = 4.7\text{nF}, PCHG \text{と } C_L \text{ 間 } 5.1\text{k}\Omega, VCC \text{と } CHG \text{ 間 } 10\text{M}\Omega$		40	200	$\mu\text{s}$
$t_F$	立ち下がり時間	$V_{PCHG} 90\% \sim 10\% \text{まで } V_{PCHG(ON)(TYP)}, V_{SS} \geq 8\text{V}, PCHG \text{と } VCC \text{ 間 } C_L = 4.7\text{nF}, PCHG \text{と } C_L \text{ 間 } 5.1\text{k}\Omega, VCC \text{と } CHG \text{ 間 } 10\text{M}\Omega$		40	200	$\mu\text{s}$
<b>高周波発振器</b>						
$f_{HFO}$	動作周波数			16.78	MHz	
$f_{HFO(ERR)}$	周波数誤差	$T_A = -20^\circ\text{C} \sim 70^\circ\text{C}$ 、周波数ドリフトを含む		-2.5% $\pm 0.25\%$	2.5%	
		$T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$ 、周波数ドリフトを含む		-3.5% $\pm 0.25\%$	3.5%	
$t_{HFO(SU)}$	起動時間	$T_A = -20^\circ\text{C} \sim 85^\circ\text{C}$ 、 <b>CLKCTL[HFRAMP]</b> = 1、発信機の周波数は公称の $\pm 3\%$ 内			4	ms
		$T_A = -20^\circ\text{C} \sim 85^\circ\text{C}$ 、 <b>CLKCTL[HFRAMP]</b> = 0、発信機の周波数は公称の $\pm 3\%$ 内			100	$\mu\text{s}$
<b>低周波発振器</b>						
$f_{LFO}$	動作周波数			262.14 4	kHz	
$f_{LFO(FAIL)}$	周波数誤差	$T_A = -20^\circ\text{C} \sim 70^\circ\text{C}$ 、周波数ドリフトを含む		-1.5% $\pm 0.25\%$	1.5%	
		$T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$ 、周波数ドリフトを含む		-2.5% $\pm 0.25\%$	2.5%	
$t_{LFO(FAIL)}$	障害検出周波数		30	80	100	kHz
<b>命令フラッシュ</b>						
	データ保持期間			10	年	
	フラッシュプログラミングの書き込みサイクル			1000	サイクル	
$t_{PROGWORD}$	ワードプログラミング時間			40	$\mu\text{s}$	
$t_{MASSEERASE}$	一括消去時間			40	ms	
$t_{PAGEERASE}$	ページ消去時間			40	ms	
$t_{FLASHREAD}$	フラッシュ読み取り電流			2	mA	
$t_{FLASHWRITE}$	フラッシュ書き込み電流			5	mA	
$I_{FLASHERASE}$	フラッシュ消去電流			15	mA	
<b>データフラッシュ</b>						
	データ保持期間			10	年	
	フラッシュプログラミングの書き込みサイクル			20000	サイクル	
$t_{PROGWORD}$	ワードプログラミング時間			40	$\mu\text{s}$	
$t_{MASSEERASE}$	一括消去時間			40	ms	
$t_{PAGEERASE}$	ページ消去時間			40	ms	
$t_{FLASHREAD}$	フラッシュ読み取り電流			1	mA	
$t_{FLASHWRITE}$	フラッシュ書き込み電流			5	mA	
$I_{FLASHERASE}$	フラッシュ消去電流			15	mA	
<b>ECC 認証</b>						
$I_{NORMAL+AUTH}$	通常モード + 認証	CPU アクティブ、CHG オン。DSG オン、高周波発振器オン、低周波発振器オン、REG18 オン、ADC オン、ADC_Filter オン、CC_Filter オン、CC オン、SMBus 非アクティブ、認証開始		1350	$\mu\text{A}$	

## 5.5 電気的特性 (続き)

標準値は  $T_A = 25^\circ\text{C}$ 、 $VCC = 21.6\text{V}$  の場合、最小値/最大値は  $T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$ 、 $VCC = 2.2\text{V} \sim 32\text{V}$  の場合 (特に記述のない限り)

パラメータ		条件	最小値	標準値	最大値	単位
$t_{SIGN}$		EC-KCDSA シグネチャ署名時間	$3.8\text{V} < VCC$ または $BAT < 32\text{V}$		375	ms
認証操作の数			20000		動作	

## 5.6 代表的特性

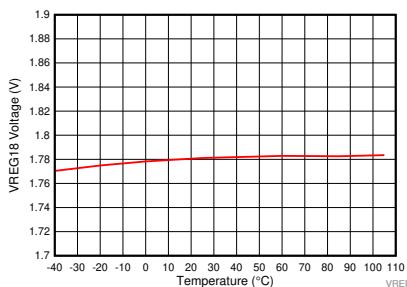


図 5-1. VREG 1.8V 電圧と温度との関係

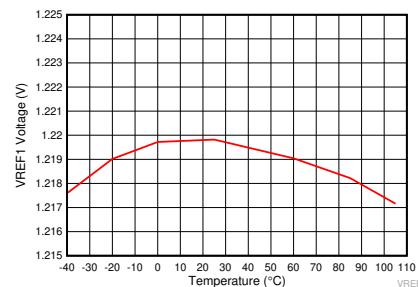


図 5-2. VREF 1 電圧と温度との関係

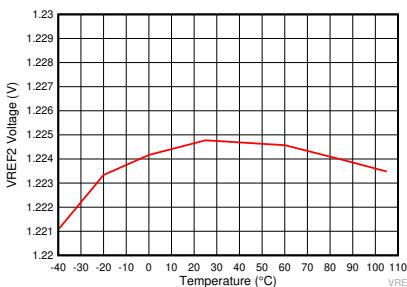


図 5-3. VREF 2 電圧と温度との関係

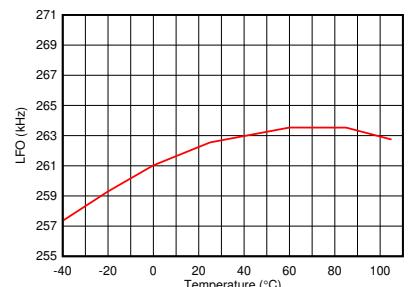


図 5-4. 低周波発振器と温度との関係

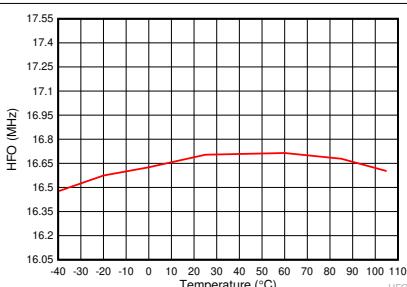


図 5-5. 高周波発振器と温度との関係

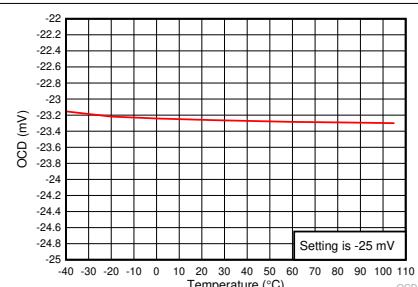


図 5-6. 放電時の過電流保護スレッショルドと温度との関係

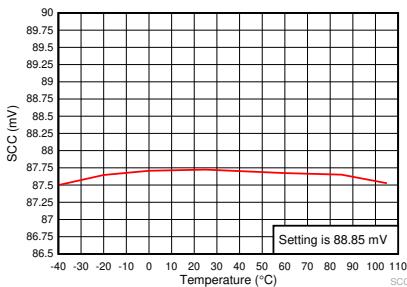


図 5-7. 充電時の短絡保護回路スレッショルドと温度との関係

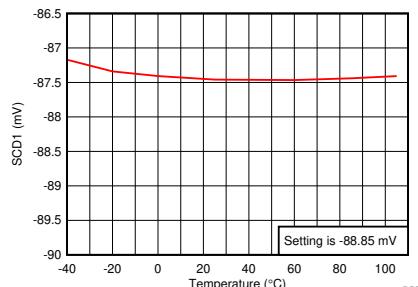
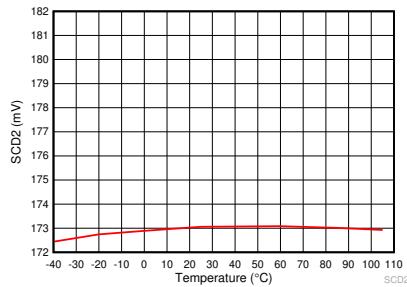


図 5-8. 放電 1 の短絡保護回路スレッショルドと温度との関係



スレッショルドの設定は -177.7mV です。

図 5-9. 放電 2 の短絡保護回路スレッショルドと温度との関係

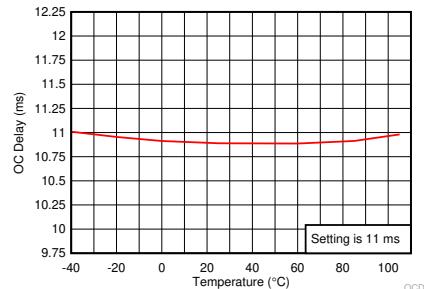


図 5-10. 過電流遅延時間と温度との関係

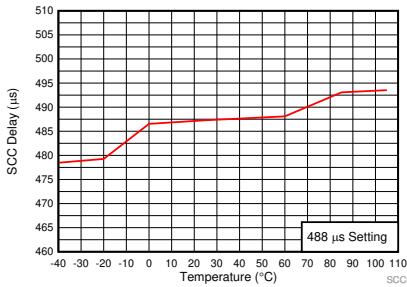


図 5-11. 充電時短絡電流遅延時間と温度との関係

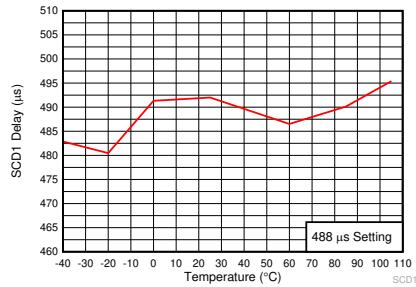


図 5-12. 放電 1 の短絡遅延時間と温度との関係

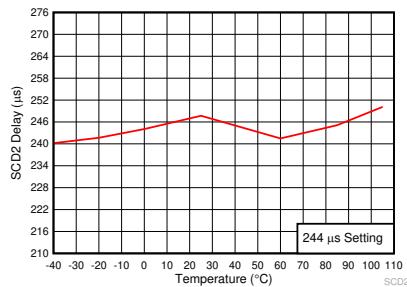


図 5-13. 放電 2 の短絡遅延時間と温度との関係

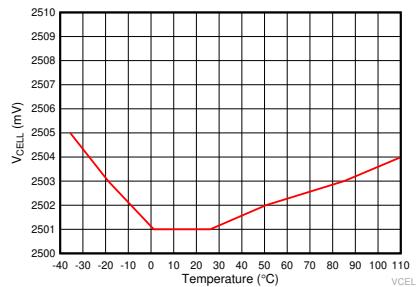
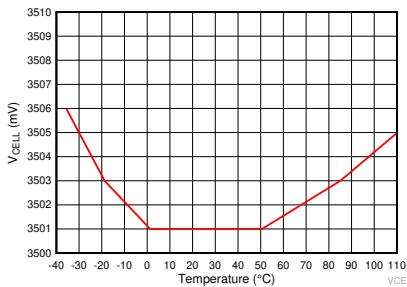
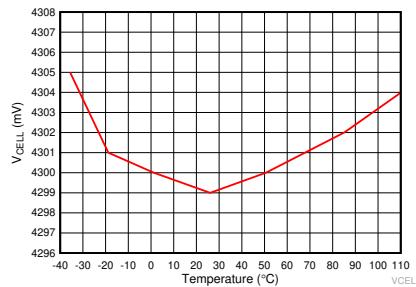


図 5-14. 2.5V での  $V_{CELL}$  測定と温度との関係



これは、シングルセルの  $V_{CELL}$  平均です。

図 5-15. 3.5V での  $V_{CELL}$  測定と温度との関係



これは、シングルセルの  $V_{CELL}$  平均です。

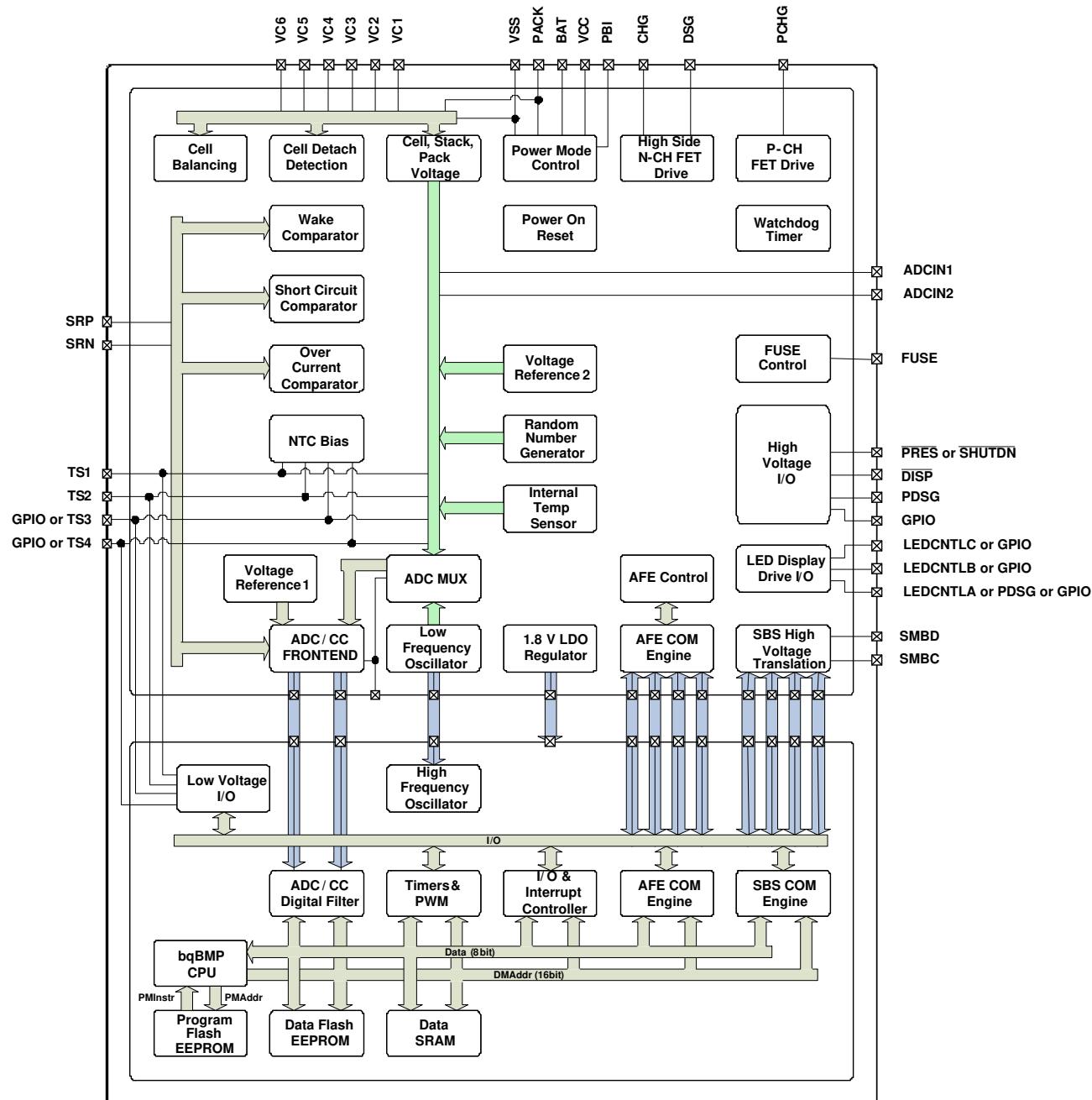
図 5-16. 4.3V での  $V_{CELL}$  測定と温度との関係

## 6 詳細説明

### 6.1 概要

特許取得済みのインピーダンス追跡テクノロジーを採用した BQ40Z80 デバイスは、充電中または休止時のセルバランシングを実現します。この完全に統合されたシングルチップ、パックベースの選択肢には、2 直列から 7 直列セルのリチウムイオンおよびリチウムポリマーパッテリパックの残量計測、保護、認証のための豊富な機能が用意されています。これには診断用の寿命データやブラックボックスレコーダが含まれます。

### 6.2 機能ブロック図



## 6.3 機能説明

### 6.3.1 次側(第1 レベル) 安全機能

BQ40Z80 は、容易に構成できる、幅広いバッテリおよびシステム保護機能をサポートしています。各保護機能の詳細については、『**BQ40Z80 テクニカルリファレンスマニュアル**』([SLUUBT5](#)) を参照してください。

1 次側安全機能には以下のものが含まれます：

- セル過電圧の保護
- セル低電圧の保護
- セル低電圧の保護補償
- 充電時の過電流保護
- 放電時の過電流保護
- 放電時の過負荷保護
- 充電時の短絡保護
- 放電時の短絡保護
- 充電時の過熱保護
- 放電時の過熱保護
- 充電時の温度不足保護
- 放電時の温度不足保護
- FET の過熱保護
- 事前充電タイムアウト保護
- ホストウォッチドッグのタイムアウト保護
- 高速充電タイムアウト保護
- 過充電保護
- 過充電電圧保護
- 過充電電流保護
- 事前充電の過電流保護

### 6.3.2 次側(第2 レベル) 安全機能

BQ40Z80 の 2 次側安全機能は、FUSE ピンを使用して、より深刻な障害を通知するために使用できます。このピンを使用して、インラインヒューズを切断し、バッテリ パックの充電または放電を永続的に無効にできます。各保護機能の詳細については、『**BQ40Z80 テクニカルリファレンスマニュアル**』([SLUUBT5](#)) を参照してください。

2 次側安全機能は、以下に対する保護を提供します。

- 安全性過電圧の永続的障害
- 安全性低電圧の永続的障害
- 安全性過熱の永続的障害
- 安全性 FET 過熱の永続的障害
- $Q_{max}$  不均衡の永続的障害
- インピーダンス不均衡の永続的障害
- キャパシティ低下の永続的障害
- セルバランスの永続的障害
- ヒューズ故障の永続的障害
- 静止状態での電圧不均衡の永続的障害
- 電圧不均衡がアクティブな永続的障害
- FET 充電の永続的障害
- FET 放電の永続的障害
- AFE レジスタの永続的障害
- AFE 通信の永続的障害
- 2 次レベルプロテクタの永続的障害

- 命令フラッシュチェックサムの永続的障害
- オープンセル接続の永続的障害
- データフラッシュの永続的障害
- オープンサーミスタの永続的障害

### 6.3.3 充電制御機能

BQ40Z80 充電制御には、次の機能が含まれます。

- JEITA 用温度範囲をサポートアクティブ温度範囲に応じて充電電圧と充電電流を報告します
- より複雑な充電プロファイルを処理します。標準温度範囲を 2 つのサブ範囲に分割し、セル電圧に応じて充電電流を変化させます
- SMBus ブロードキャストを使用して、定電流充電に必要な適切な充電電流と、定電圧充電に必要な適切な充電電圧を報告します
- 充電中に電圧ベースのセル バランシング アルゴリズムを使用して、バッテリ パックのフル充電状態でのバッテリ セルの充電差を徐々に小さくします。電圧スレッショルドを設定して、セル バランシングをアクティブにすることができます。これにより、完全に充電されたセルが過充電され、過度の劣化を引き起こすことを防ぎ、早期の充電終了を防ぐことで使用可能なパックのエネルギーを増加させることができます。
- バッテリ パックの温度が温度範囲外である場合に、充電禁止と充電中断をサポートします
- 充電障害を報告し、充電 / 放電アラームによって充電ステータスを表示します

### 6.3.4 バッテリ残量計

BQ40Z80 は、インピーダンス追跡アルゴリズムを使用して、バッテリセルで使用可能な容量を測定し、計算します。BQ40Z80 は、充電電流と放電電流の測定値を蓄積し、バッテリの温度、充電状態に関する充電電流の測定値を補償します。BQ40Z80 は、バッテリの自己放電を推定するほか、温度に基づく自己放電の推定値も調整します。また、このデバイスはターボモード 2.0/DBPTv2 のサポートも備えているため、BQ40Z80 がマイコンに必要なデータを提供して、システムリセットや過渡バッテリ電圧レベルのスパイクで終端フラグをトリガすることなく、印加できるピーク消費電力のレベルをマイコンが判断できます。詳細については、『**BQ40Z80 テクニカルリファレンスマニュアル**』(SLUUBT5) を参照してください。

### 6.3.5 多機能ピン

BQ40Z80 には、さまざまな機能を実装するためにファームウェアが使用する、複数のマルチファンクションピンが含まれています。図 6-1 は、事前充電モード付きの 6 直列パック、6 個の LED、2 つのサーミスタ、システム存在機能を使用した、システム実装例の概略回路図を示しています。

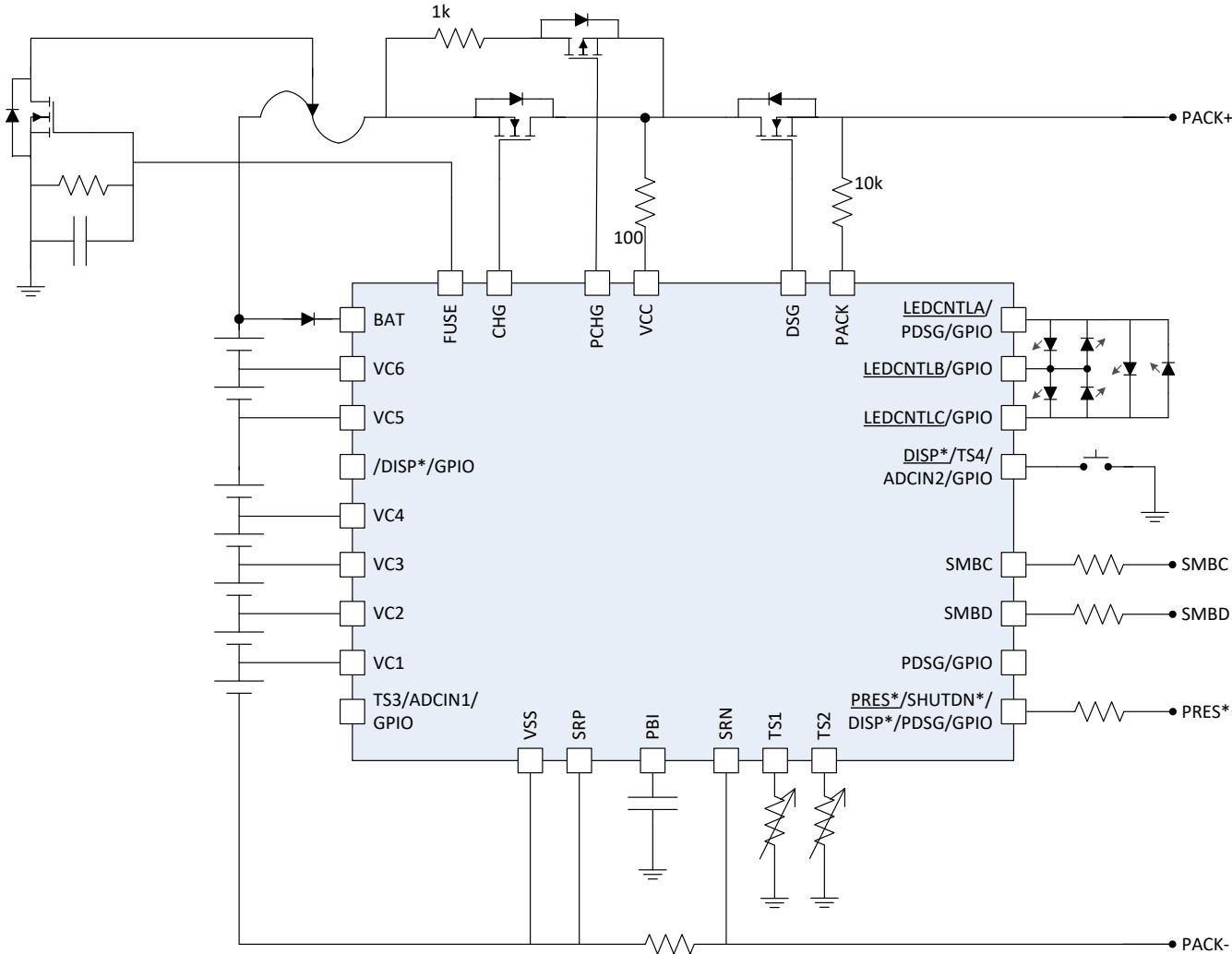


図 6-1. BQ40Z80 構成の概略回路図

表 6-1 に、その他の一般的な構成の概要を示します。

表 6-1. BQ40Z80 多機能ピンの組み合わせ

セル数 (パラ ンシングあり)	サーミスタの数	LED	LED ボタン	事前放電	SYSPRES
2S-6S	4	あり	あり ( $\overline{\text{DISP}}$ を使用)	あり (PDSG を使用)	あり

### 6.3.6 構成

#### 6.3.6.1 オシレータ機能

BQ40Z80 はシステム発振器を完全に統合しており、この機能をサポートするための外部部品は必要ありません。

#### 6.3.6.2 システム存在作動

BQ40Z80 は  $\overline{\text{PRES}}$  ピンを定期的に (1 秒) チェックします。外部システムによって  $\overline{\text{PRES}}$  入力がグランドにプルされると、BQ40Z80 はこれをシステムの存在として検出します。

#### 6.3.6.3 緊急シャットダウン

バッテリメンテナンスの場合、緊急シャットダウン機能を使用すると、バッテリを取り外す前に、 $\overline{\text{SHUTDN}}$  ピンを接続して内蔵バッテリパックシステムをシャットダウンするプッシュボタン操作が可能になります。 $\overline{\text{SHUTDN}}$  ピンの High から Low へ

の遷移は、BQ40Z80 に CHG と DSG の両方の FET をオフにするよう信号を送信し、バッテリ パックを安全に取り外すためにシステムから電源を切断します。SHUTDN ピンで検出される別の High から Low への遷移によって、またはデータ フラッシュの構成可能なタイムアウトに達したときに、CHG および DSG FET を再度オンにできます。

#### 6.3.6.4 2 直列、3 直列、4 直列、5 直列、または 6 直列セルの構成

2 直列セル構成では、VC6 は VC5、VC4、VC3 および VC2 に短絡します。3 直列セル構成では、VC6 は VC5、VC4 および VC3 に短絡します。4 直列セル構成では、VC6 は VC5 および VC4 に短絡します。5 直列セル構成では、VC6 が VC5 に短絡しています。

#### 6.3.6.5 セル バランシング

最大 6 直列セル構成では、充電中または休止時に各セルの電流をバイパスすることにより、セル バランシングをサポートします。デバイスの内部バイパスを使用すると、最大 10mA をバイパスでき、複数のセルを同時にバイパスできます。外部のセル バランシング回路を使用して、より大きいセル バランス電流を実現できます。外部セル バランシングモードでは、一度に 1 つのセルのみを バランシングできます。

セル バランシング アルゴリズムは、すべてのセルの容量を均衡させるためにバイパスする必要のある電荷量を決定します。

#### 6.3.7 バッテリ パラメータの測定値

##### 6.3.7.1 充電および放電のカウント

BQ40Z80 は、電流の測定用のデルタシグマ A/D コンバータ (ADC) と、個別セルおよびバッテリの電圧および温度の測定用に 2 番目のデルタシグマ ADC を内蔵しています。

内蔵のデルタシグマ ADC は、SRP 端子と SRN 端子の間の小さな値のセンス抵抗の電圧降下を測定することで、バッテリの充電フローと放電フローを測定します。統合型 ADC は、-0.1V ~ 0.1V のバイポーラ信号を測定します。BQ40Z80 は、 $V_{SR} = V_{(SRP)} - V_{(SRN)}$  が正のときの充電、 $V_{SR} = V_{(SRP)} - V_{(SRN)}$  が負のショートバージョンときの放電を検出します。BQ40Z80 は、内部カウンタを使用して、時間の経過に伴う信号を継続的に統合します。カウンタの基本レートは 0.26nVh です。

#### 6.3.8 寿命データに関する記録機能

BQ40Z80 は、いくつかの重要なバッテリ パラメータについて寿命データ ロギングを提供します。RAM とデータ フラッシュの値の差が検出されると、次のパラメータは 10 時間ごとに更新されます。

- 最大および最小セル電圧
- 最大デルタセル電圧
- 最大充電電流
- 最大放電電流
- 最大平均放電電流
- 最大平均放電電力
- 最大および最小セル温度
- 最大デルタセル温度
- 最大および最小内部センサ温度
- 最大 FET 温度
- 安全イベントの発生回数と発生の最後のサイクル
- 有効な充電終了の数と有効な充電終了の最後のサイクル
- Qmax と Ra アップデートの数、および Qmax と Ra アップデートの最後のサイクル
- シャットダウンイベントの数
- 各セルのセル バランシング時間 (差異が検出されるとこのデータは 2 時間ごとに更新)
- 各温度範囲での合計 FW ランタイムと所要時間 (差異が検出されるとこのデータは 2 時間ごとに更新)

### 6.3.9 認証

ホスト認証をサポートするために、BQ40Z80 は楕円曲線暗号システム (ECC) を使用しています。これは、認証プロセスに強力な 163 ビット鍵システムを必要とします。さらに、秘密鍵は BQ40Z80 バッテリパックマネージャにのみ保存する必要があるため、鍵管理がよりシンプルで安全になります。詳細については、『[BQ40Z80 テクニカルリファレンスマニュアル](#)』(SLUUBT5) を参照してください。

### 6.3.10 改ざん防止

BQ40Z80 デバイスは改ざん防止安全機能を搭載しています。この機能は、バッテリ認証で使用されるセキュリティキーのハッキングを防止することを目的としています。この安全機能は、TS1、TS2、TS3、または TS4 ピンで絶対最大電圧を超えるとトリガされて、デバイスのデータフラッシュを消去し、デバイスとの通信を終了させます。改ざん防止安全機能は、この電圧が 1 $\mu$ s 以上観測された場合にのみトリガされます。

### 6.3.11 LED ディスプレイ

BQ40Z80 は、残量表示や永続的故障 (PF) のエラーコード表示のための 3、4、5 セグメント LED ディスプレイを駆動します。

### 6.3.12 IATA サポート

BQ40Z80 は、複数の新しいコマンドと手順を使用して IATA をサポートします。詳細については、『[BQ40Z80 テクニカルリファレンスマニュアル](#)』を参照してください。

### 6.3.13 電圧

BQ40Z80 は、個々の直列セルの電圧を 1 秒間隔で更新します。BQ40Z80 の内蔵 ADC は、電圧を測定した後、電圧をスケーリングおよび較正するように設計されています。また、このデータを使用して、インピーダンストラックガス計量のためにセルのインピーダンスを計算します。

### 6.3.14 電流

は BQ40Z80、SRP および SRN 入力を使用して、1m $\Omega$  から 3m $\Omega$  への標準的なセンス抵抗を使用して、バッテリの充電および放電電流の測定と計算を行います。

### 6.3.15 温度

BQ40Z80 は、内部温度センサと、最大 4 つの外部温度センサ用の入力を内蔵しています。5 つの温度センサ オプションはすべて個別にイネーブルにでき、セルまたは FET の温度使用量に合わせて構成することができます。構成可能な 2 つのサーミスタ モデルが用意されており、FET 温度に加えてセルの温度を監視でき、異なるサーミスタ プロファイルを使用できます。

### 6.3.16 通信

BQ40Z80 は、SBS 仕様に従うパケットエラーチェック (PEC) オプションとマスター モードを備えた SMBus v1.1 を使用します。

#### 6.3.16.1 SMBus のオンおよびオフ状態

BQ40Z80 は、SMBC と SMBD が 2 秒以上 Low のとき、SMBus オフ状態を検出します。オフ状態をクリアするには、SMBC と SMBD のどちらかが High に遷移する必要があります。通信バスは 1ms 以内にアクティビティを再開します。

#### 6.3.16.2 SBS コマンド

詳細については、『[BQ40Z80 テクニカルリファレンスマニュアル](#)』(SLUUBT5) を参照してください。

## 6.4 デバイスの機能モード

BQ40Z80 は 3 つの電力モードをサポートしており、消費電力を低減します。

- 通常モードでは、BQ40Z80 は、測定、計算、保護の決定、およびデータの更新を 250ms 間隔で実行します。これらの間隔の間に、BQ40Z80 は、低電力段に組み込まれています。

- SLEEP モードでは、BQ40Z80 は、測定、計算、保護の決定、およびデータの更新を調整可能な時間間隔で実行します。これらの間隔の間に、BQ40Z80 は、低電力段に組み込まれています。BQ40Z80 には、電流または障害が検出された際にスリープ モードの終了を有効にするウェークアップ機能があります。
- シャットダウン モードでは、BQ40Z80 は完全にディセーブルされます。

## 7 アプリケーションと実装

### 7.1 アプリケーション情報に関する免責事項

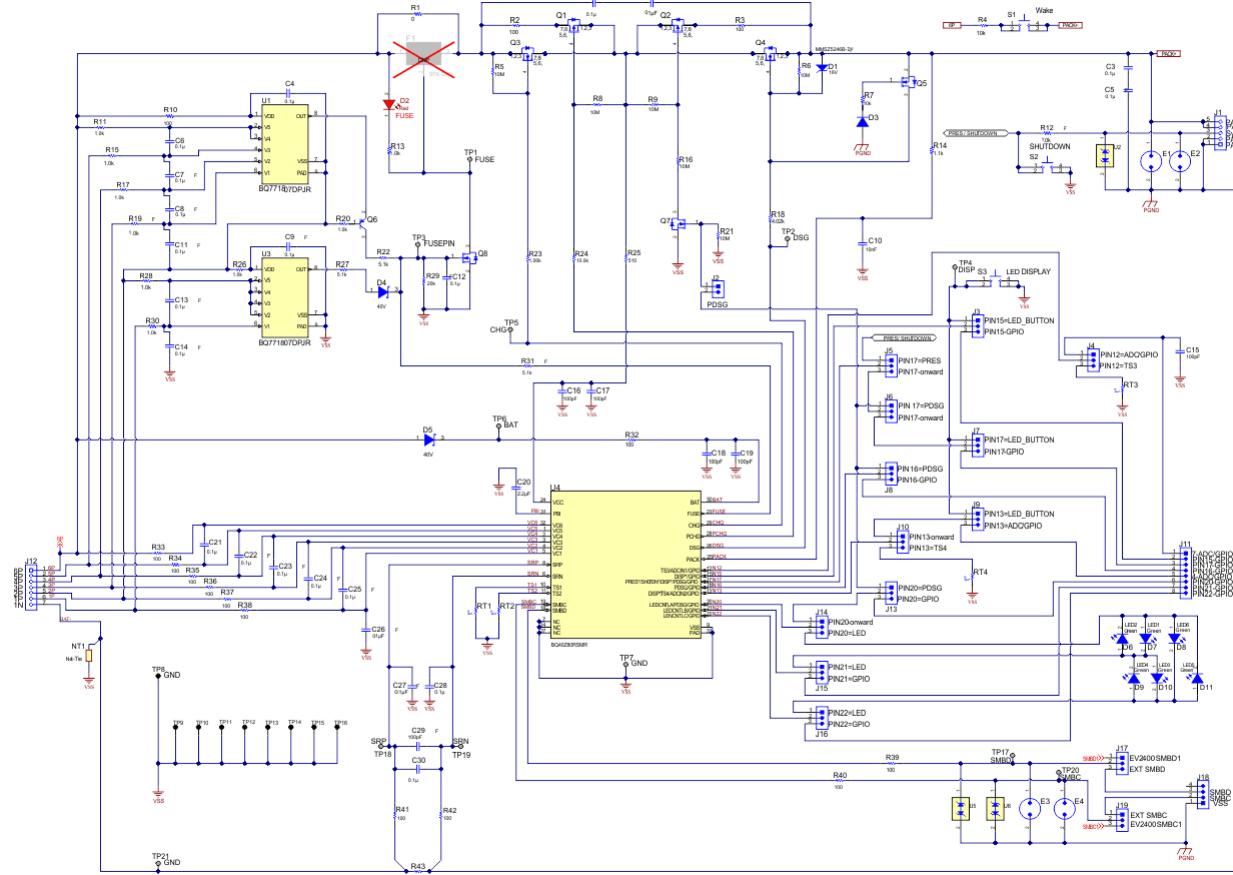
#### 注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 7.2 アプリケーション情報

BQ40Z80 は、1 次側保護サポートを搭載したバッテリ残量計であり、2 ~ 6 直列のリチウムイオン/リチウムポリマバッテリパックと組み合わせて使用できます。特定のバッテリパック用の包括的なパラメータセットを実装および設計するため、開発時に、グラフィカルユーザーインターフェイスツールであるバッテリマネジメントスタジオ ([BQSTUDIO](#)) を PC にインストールします。

## 7.3 代表的なアプリケーション



### 7.3.1 設計要件

表 7-1 に、メインパラメータのデフォルト設定を示します。BQSTUDIO ツールを使用して、具体的なアプリケーションやバッテリパックの構成要件に合わせて設定を更新します。

残量計テストの前にデバイスを較正します。BQSTUDIO 較正ページに従ってデバイスを較正し、BQSTUDIO ケミストリページを使用して、一致するケミストリプロファイルをデバイスに更新します。「[設計パラメータ](#)」に、BQSTUDIO および BQ40Z80 フームウェアで構成可能なすべての設定を示します。

**表 7-1. 設計パラメータ**

設計パラメータ	例
セルの構成	6s (6 直列) <sup>(1)</sup>
設計容量	6000mAh
デバイスケミストリ	1210 (LiCoO <sub>2</sub> /黒鉛化カーボン)
標準温度でのセル過電圧	4300mV
セル低電圧	2500mV
シャットダウン電圧	2300mV
充電モードでの過電流	6000mA
放電モードでの過電流	-6000mA
充電モードでの短絡	SRP、SRN 間で 0.1V/Rsense
放電モードでの短絡	SRP、SRN 間で 0.1V/Rsense
安全性過電圧	4500mV
セル バランス	ディセーブル
内部および外部温度センサ	外部温度センサが使用されています
低温充電	0°C
低温放電	0°C
ブロードキャストモード	ディセーブル

(1) 1s または 2s バッテリパックで本デバイスを初めて使用する場合は、デバイスのシャットダウンを防ぐために、PACK+ 端子にチャージャまたは電源を接続してください。チャージャのショートバージョン接続を解除する前に、セルの構成を更新してください (詳細については、『[BQ40Z80 テクニカルリファレンスマニュアル](#)』を参照してください)。

### 7.3.2 詳細な設計手順

このアプリケーションセクションでは、『[BQ40Z80 リチウムイオンバッテリパックマネージャ評価基板 EVM ユーザーガイド](#)』とジャンパ構成を使用して、BQ40Z80 の多くの機能を評価できます。

#### 7.3.2.1 BQSTUDID と組み合わせて BQ40Z80EVM を使用

BQSTUDIO ツールにインストールされたフームウェアは BQ40Z80 のデフォルト値を使用します。概要は『[BQ40Z80 テクニカルリファレンスマニュアル](#)』(SLUUBT5) に記載されています。システムパラメータが判明したら、BQSTUDIO ツールを使用して、開発中の特定のアプリケーション要件に応じてデフォルト値を変更します。システムパラメータのオプションには、保護用の故障トリガスレッショルド、動作に関する特定の機能の有効化と無効化、セルの構成、セルに最適なケミストリを挙げることができます。

#### 7.3.2.2 大電流経路

大電流バスは、バッテリパックの PACK+ 端子から開始されます。パックから充電電流が流れると、充電電流は保護 FET、ケミカルヒューズ、リチウムイオンセル、セル接続、センス抵抗を経由して PACK- 端子に戻ります。さらに、静電放電による影響を低減するため、PACK+ 端子と PACK- 端子の間に一部の部品を配置しています。

##### 7.3.2.2.1 保護用 FET

特定のアプリケーションに合わせて、N チャネルの充電 FET と放電 FET を選択します。7 直列セルアプリケーションの場合、FET の充電は最大電圧を上回っていると評価される必要があり、この理由から、TI の CSD18504Q5A を使用しま

す。TI の CSD18504Q5A は 50A の 40V デバイスで、ゲートドライブ電圧が 10V のとき、 $5.3\text{m}\Omega$  の  $\text{R}_{\text{ds(on)}}$  を実装しています。FET の放電では電圧がより高くなる可能性があります。TI の CSD18540Q5B を使用してください。TI の CSD18540Q5B は 100A の 60V デバイスで、ゲートドライブ電圧が 10V のとき、 $1.8\text{m}\Omega$  の  $\text{R}_{\text{ds(on)}}$  を実装しています。

事前充電 FET を使用する場合は、 $\text{R}_2$  を計算して、事前充電電流を目的のレートに制限します。直列抵抗の消費電力を必ず考慮してください。事前充電電流は  $(V_{\text{CHARGER}} - V_{\text{BAT}})/\text{R}_2$  に制限され、最大消費電力は  $(V_{\text{CHARGER}} - V_{\text{BAT}})^2/\text{R}_2$  となります。

すべての保護 FET のゲートをソースにプルして、ゲート駆動がオープンの場合に FET が確実にオフになるように、ゲートとソースの間に値の大きい抵抗を使用しています。

コンデンサ  $\text{C}_1$  と  $\text{C}_2$  は、ESD 事象発生時に FET を保護するのに役立ちます。2 個のデバイスを使用することで、片方が短絡した場合の通常動作を確保します。適切な ESD 保護を実現するため、コンデンサのリードの銅のパターンインダクタンスをできるだけ短く、幅広くするように設計します。片方のコンデンサが短絡した場合に、 $\text{C}_1$  と  $\text{C}_2$  の両方の電圧定格が印加電圧をオフにするのに十分な値であることを確認します。

### 7.3.2.2 ケミカル ヒューズ

化学ヒューズ (Dexterials、Uchihashi など) は、bq771800 2 次側電圧保護 IC またはバッテリ残量計の FUSE ピンのコマンドで点火されます。これらの点火イベントのどちらかにより、 $\text{Q}_9$  のゲートに正の電圧が印加されると、ヒューズの 3 番目の端子から電流がシンクされ、点火して永続的にオープンします。

ヒューズの仕様をよく確認し、必要なイグニッション電流を  $\text{N}$  チャネル FET から得られるものに一致させることが重要です。このデバイスの適切な電圧、電流、 $\text{R}_{\text{ds(on)}}$  定格を使用していることを確認します。ヒューズ制御回路については、[セクション 7.3.2.3.5](#) で詳細に説明しています。

### 7.3.2.2.3 リチウムイオン電池の接続

セル接続で重要な点は、大電流が上側と下側の接続を流れることです。したがって、大電流の銅パターンの電圧降下による誤差を避けるため、これらのポイントの電圧検出リードはケルビン接続で行う必要があります。 $\text{6P}$  とマークされている位置は、最も正の直接測定されたバッテリノードのケルビン接続を示しています。バッテリ残量計がボトム セル電圧を測定するのに対し、長い配線を通して望ましくない電圧降下を防止するため、 $\text{1N}$  のシングル ポイント接続が必要です。

### 7.3.2.2.4 センス抵抗

セル接続と同様に、センス抵抗でのケルビン接続の品質は重要です。温度による電流測定ドリフトを最小限に抑えるため、センス抵抗の温度係数を  $50\text{ppm}$  以下にする必要があります。センス抵抗の値は、BQ40Z80 で許容できる過電流および短絡範囲に対応するように選択してください。短絡時に BQ40Z80  $\text{V}_{\text{SS}}$  ノードに発生する負電圧を最小限に抑えるよう、可能な限り小さい値を選択してください。このピンの絶対最小値は  $-0.3\text{V}$  です。良好なケルビン検出を維持できれば、並列抵抗を使用できます。このデバイスは  $1\text{m}\Omega \sim 3\text{m}\Omega$  のセンス抵抗をサポートするように設計されており、 $1\text{m}\Omega$  のセンス抵抗 ( $\text{R}_{52}$  として表示) を使用します。 $1\text{m}\Omega$  を使用する場合、短絡イベント中に大電流が発生して、検出抵抗の両端の電圧がピンの絶対最大定格を超える可能性があります。そのため、回路図に示すように、 $100\Omega$  の直列抵抗  $\text{R}_{47}$  および  $\text{R}_{48}$  を配置する必要があります。

### 7.3.2.2.5 ESD 軽減

PACK+ 端子と PACK- 端子の間に直列  $0.1\mu\text{F}$  セラミックコンデンサ 1 対を配置することで、外部の静電放電を低減します。2 個のデバイスを直列に接続することで、いずれかのコンデンサが短絡した場合でもパックの動作を継続できます。

オプションで、SMBJ2A のようなトランゾーブを端子間に配置して、ESD 耐性を高めることもできます。

### 7.3.2.3 バッテリ残量管理回路

バッテリ残量計の回路は、BQ40Z80 とペリフェラルコンポーネントを搭載しています。ペリフェラルコンポーネントは、次のグループに分かれています：

- 差動ローパスフィルタ
- PBI

- システムの有無
- SMBus 通信
- ヒューズ回路
- LED

### 7.3.2.3.1 クーロン計数インターフェイス

BQ40Z80 は、電流測定に内蔵のデルタシグマ ADC を使用します。デバイスの SRP および SRN 入力へ、センス抵抗から  $100\Omega$  の抵抗を追加します。SRP と SRN 入力との間に、 $100\text{pF}$  (C29) のフィルタリングコンデンサを配置します。回路で必要であれば、さらにノイズフィルタリングするために  $0.1\mu\text{F}$  フィルタコンデンサ (C26 と C27) を追加してください。

### 7.3.2.3.2 電源のデカップリングと PBI

BQ40Z80 には、内部的に補償された LDO が内蔵されており、外付けのデカップリングコンデンサは必要ありません。

PBI ピンは電源バックアップ入力ピンとして使用され、短時間の過渡的な停電が発生したときに電力を供給します。標準の  $2.2\mu\text{F}$  セラミックコンデンサを PBI ピンとグランドの間に接続します。

### 7.3.2.3.3 システムの有無

システムの存在信号は、パックがシステムに取り付けられているか、システムから取り外されているかをバッテリ残量計に通知するために使用されます。ホストシステムでは、このピンはグランドに接続されています。BQ40Z80 の PRES ピンは、J5[1, 2] ジャンパを取り付けている場合に使用し、時々サンプリングして、システムが存在するかどうかをテストします。電力を節約するため、毎秒 1 回  $4\mu\text{s}$  サンプリングパルスが発生している間に、バッテリ残量計により内部プルアップを供給します。抵抗を使用して信号を Low にプルします。テストパルスが VIL 制限値よりも低いことを確認するには、抵抗を  $20\text{k}\Omega$  以下にする必要があります。プルアップ電流源は通常、 $10\mu\text{A} \sim 20\mu\text{A}$  です。

システムの存在信号は、外部に対するパックコネクタインターフェイスの一部であるため、外部の静電放電イベントから保護する必要があります。PRES デバイスピンに ESD 保護が内蔵されているため、 $8\text{kV}$  ESD 接触定格では外部保護要件が R12 に減少します。システム存在信号が PACK+ に短絡する可能性がある場合は、高電圧保護用の E2 スパークギャップを含めます。

### 7.3.2.3.4 SMBus 通信

SMBus クロックとデータピンには高電圧 ESD 保護回路が内蔵されていますが、ESD 保護デバイスの TPD1E10B06D (U5 と U6) と直列抵抗 (R50 と R51) を追加すると、より堅牢な ESD 性能が得られます。

SMBus クロックおよびデータラインは、内部プルダウンを備えています。バッテリ残量計が両方のラインが Low であることを検出すると (パックの取り外し時など)、デバイスは自動オフセット キャリブレーションを実行し、その後電力節約のためにスリープ モードに移行します。

### 7.3.2.3.5 FUSE 回路

BQ40Z80 の FUSE ピン、さまざまな安全基準のいずれかに違反した場合に化学ヒューズに点火するように設計されています。FUSE ピンは、2 次電圧保護 IC の状態も監視します。Q9 は Q9 が High になるとケミカルヒューズに点火します。bq7718xx の出力は R22 と R30 で分周されています。これにより、Q9 に十分なゲート駆動が可能になると同時に、FUSE 信号が High の場合に bq7718xx に流れ込む過剰な逆電流を防止できます。

一般的に、C8 を使用することが推奨されます。特に RFI 耐性の場合です。C8 を取り外すこともできます。化学ヒューズは比較的低速なデバイスであり、セル接続プロセス中の FUSE 出力から生じるマイクロ秒未満のグリッチの影響を受けないためです。

AEFUSE 出力を使用しない場合は、出力を VSS に接続してください。

BQ40Z80 がケミカルヒューズに点火するよう命令されると、FUSE ピンがアクティブになり、標準的な 8V 出力が解放されます。

### 7.3.2.4.2 次電流保護

BQ40Z80 は、2 次側過電流および短絡保護、セル バランシング、セル電圧多重化、電圧変換を実現します。以下の説明では、セルとバッテリの入力、パックと FET の制御、温度出力、セル バランシングについて説明します。

#### 7.3.2.4.1 セルおよびバッテリ入力

各セル入力は単純な RC フィルタでコンディショニングされ、セル接続時に ESD 保護を行い、不要な電圧過渡をフィルタ処理します。この抵抗値を使用すると、セル バランシングと安全保護の間である程度のレードオフを設定できます。

BQ40Z80 はセルバランシング FET を内蔵しています。内部のセルバランシング FET により、AFE は特定のセルまたは多数のセルの周囲のセル電流をバイパスできます。セル接続と VCx I/O ピンの間に外付けの直列抵抗を配置すると、バランシング電流の大きさが設定されます。内部 FET は  $200\Omega$  の抵抗を備えています ( $2V < VDS < 4V$ )。効果的なセルバランシングを実現するため、 $100\Omega \sim 1k\Omega$  の直列入力抵抗を推奨します。

BAT 入力では、短絡イベントによって電圧が過渡的に低下した場合にダイオード (D6) を使用してセルを絶縁し、セルから入力をデカップリングします。

#### 7.3.2.4.2 外部セルバランシング

最大  $10mA$  の内部セル バランシングのみをサポート外部セルバランシングは、より高速なセルバランシングを実現するための別のオプションになります。詳細については、『[外部 MOSFET を使用した高速セルバランシングアプリケーションノート](#)』を参照してください。

#### 7.3.2.4.3 PACK および FET 制御

PACK および  $V_{CC}$  入力は、チャージャから BQ40Z80 に電力を供給します。また、PACK 入力は、チャージャの存在を測定および検出する方法も提供します。PACK 入力は  $100\Omega$  の抵抗を使用します。 $V_{CC}$  入力はダイオードを使用して入力過渡を防ぎ、短絡イベント中の日付ドライバの誤動作を防止します。

N チャネルの充電 FET と放電 FET は、 $10k\Omega$  直列ゲート抵抗を使用して制御され、スイッチング時定数 (数  $\mu s$ )を実現します。 $10M\Omega$  抵抗により、FET ドライバへの開放接続が発生した場合に FET がオフになります。Q4 は、充電器が逆接続された際に放電 FET (Q3) を保護するために実装されています。Q4 を使用しない場合、Q3 はリニア領域で駆動でき、PACK+ 入力がわずかに負になった場合に大きな損傷を受ける可能性があります。この場合、Q4 がオンになり、ゲートをソースに短絡して Q3 を保護します。単純なグランド ゲート回路を使用するには、FET を低いゲート ターンオン スレッショルドにする必要があります。リファレンス回路図にある 2N7002 など、より標準的なデバイスを使用する必要がある場合は、高い値の抵抗を使用してゲートを最大  $3.3V$  にバイアスします。BQ40Z80 デバイスは、通常、バッテリ電圧が低いまたは低温の充電に使用される電流制限された充電パスを提供する機能を備えています。BQ40Z80 デバイスは、PCHG で制御する外部 P チャネルおよび事前充電 FET を使用しています。

#### 7.3.2.4.4 予備放電制御

一部のアプリケーションには大きな容量性負荷があるため、ゆっくりとコンデンサを充電し、OC 保護をトリップできる大電流を回避する、事前放電機能が必要になります。BQ40Z80 デバイスは、ピン 16、17、または 20 の PDSG 出力を使用して N チャネル FET Q7 を駆動し、事前放電 P チャネル FET Q5 をオンにする構成できます。抵抗 R9 を調整して、事前充電率を設定します。

#### 7.3.2.4.5 温度出力

BQ40Z80 デバイスでは、最大 4 つのサーミスタ入力を構成できます。TS1、TS2、TS3、TS4 はサーミスタドライブアンダープログラム制御を提供します。各ピンは、三菱™ BN35-3H103 などの  $25^\circ C$  (103) NTC 外部サーミスタで  $10k\Omega$  を使用できるように、内蔵の  $18k\Omega$  (標準値) 線形化プルアップ抵抗でイネーブルできます。このリファレンス デザインには  $10k\Omega$  サーミスタ、

- RT1
- RT2
- RT3
- RT4

#### 7.3.2.4.6 LED

多機能ピン 20、21、22 は、3 つの LED 制御出力として構成でき、外部 LED を駆動するための一定の電流シンクを供給できます。これらの出力は、最大 6 個の LED に電圧を供給し、制御を行うよう構成されています。外部バイアス電圧は不要ありません。未使用の LEDCNTL ピンは、オープンのままにするか、 $V_{SS}$  に接続できます。LED 機能を使用しない場合は、DISP ピンを  $V_{SS}$  に接続します。

#### 7.3.3 アプリケーション曲線

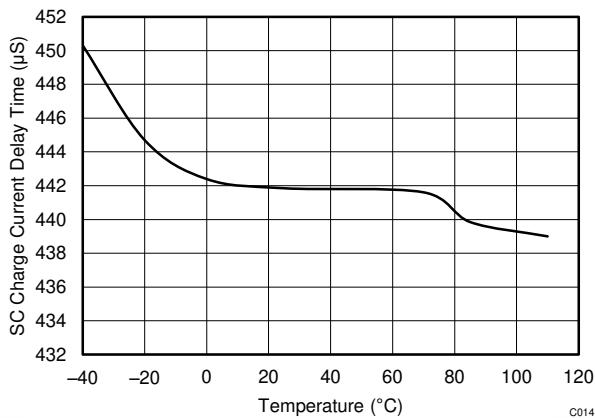


図 7-2. 充電時短絡電流遅延時間と温度との関係

### 7.4 電源に関する推奨事項

デバイスは、動作条件に応じて電源電圧を動的に管理します。通常、BAT 入力はデバイスへの主な電力源です。BAT ピンをバッテリスタックの正端子に接続します。BAT ピンの入力電圧範囲は 2.2V ~ 32V です。

VCC ピンは 2 次電源入力であり、BAT 電圧が最小  $V_{CC}$  を下回るとアクティブになります。有効になると、本デバイスは PACK ピンに接続されているチャージャ (存在する場合) から電力を供給できます。VCC ピンを CHG および DSG FET の共通ドレインに接続します。チャージャ入力を PACK ピンに接続します。

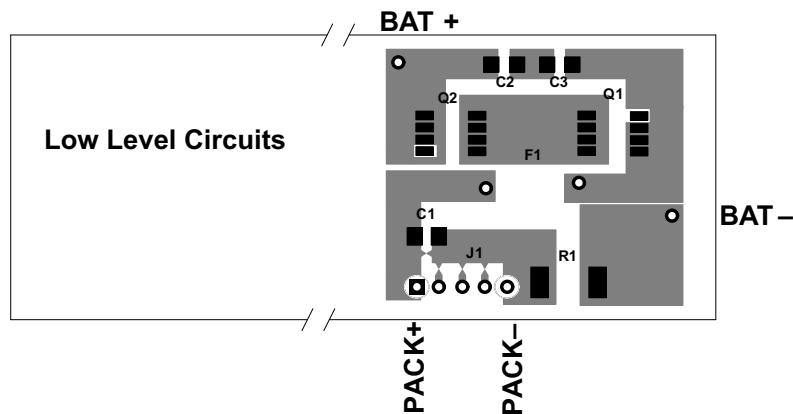
### 7.5 レイアウト

#### 7.5.1 レイアウトのガイドライン

バッテリ残量計の回路基板は、大電流の配線と超低電流の半導体デバイスの基本的な非互換性により、困難な環境です。望ましくない配線間の結合を防止する最善の方法は、大電流セクションが電子デバイスから基板の反対側になるように部品配置を行うことです。図 7-3 に部品の配置を示します。この部品配置は機械的な制約のために多くの状況では不可能です。大電流トレースを信号トレースから離して配線し、BQ40Z80 に直接入るように試みてください。IC 基準電圧およびレジスタは、ほとんどの場合、大電流パスからの磁気および容量結合によって損傷することがあります。

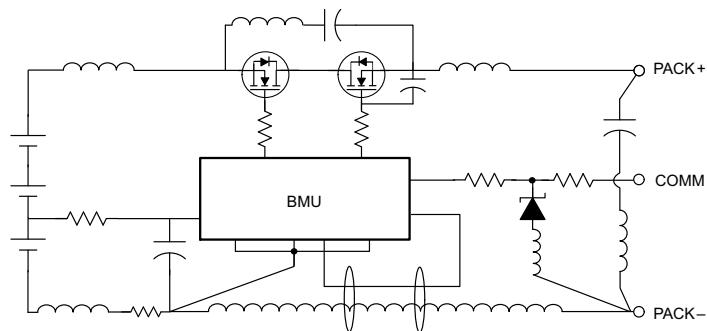
#### 注

図 7-4 に示すように、サージ電流および ESD イベント中は、大電流パターンは誘導性のように見え、不要なノイズがバッテリ残量計の電子機器の敏感なノードに結合される可能性があります。



Copyright © 2016, Texas Instruments Incorporated

図 7-3. 高電流セクションと低電流セクションを分離することで、ノイズ耐性の点で有利になります



Copyright © 2016, Texas Instruments Incorporated

図 7-4. 大電流と低レベルの信号ラインの間にはクローズ間隔を避けてください

電流とセルの上限電圧と下限電圧を高精度測定するには、ケルビン電圧センシングが重要です。フィルタ回路の部品はすべて、各デバイスピンのできるだけ近くに配置します。センス抵抗からのトレスは、フィルタ回路と並列に配線します。フィルタ回路の周囲にグランドプレーンを追加すると、ノイズ耐性を高めることができます。図 7-5 と図 7-6 は、正しいケルビン電流センシングを示します。

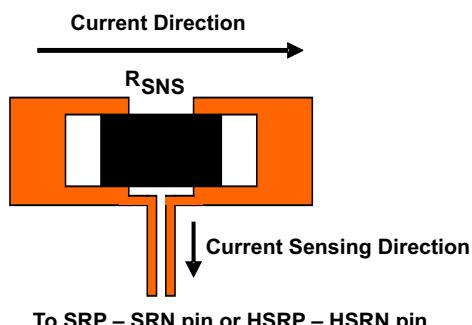


図 7-5. 検出抵抗の PCB レイアウト

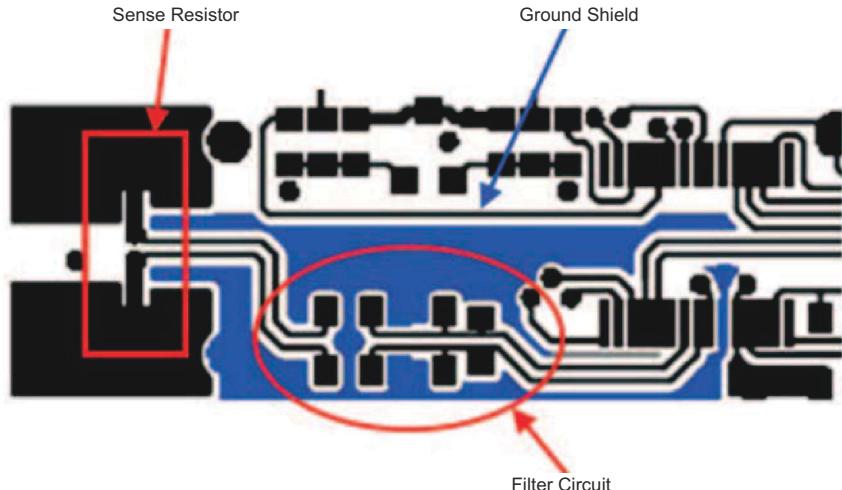
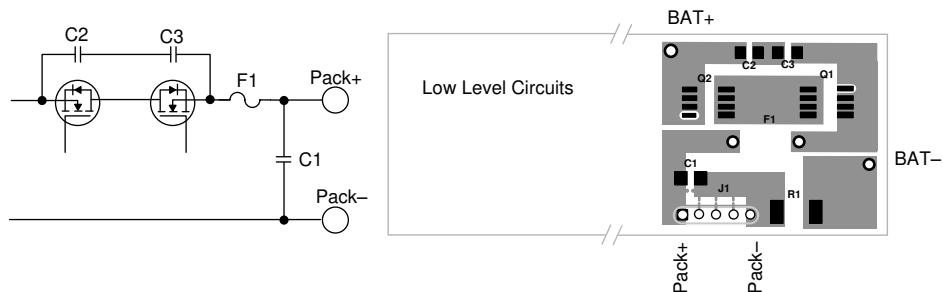


図 7-6. センス抵抗、グランドシールド、フィルタ回路のレイアウト

#### 7.5.1.1 プロテクタ FET のバイパスコンデンサとパック端子のバイパスコンデンサ

広い銅のパターンを使用して、バイパスコンデンサ回路のインダクタンスを低減します。この手法は、図 7-7 のレイアウト例で示しています。BQ40Z80EVM-Rev A 回路図では、これらのコンデンサは C1、C2、C3、C4 であることに注意してください。



Copyright © 2016, Texas Instruments Incorporated

図 7-7. 銅のパターンが広いと、バイパスコンデンサ C1、C2、C3 のインダクタンスを小さくできます

#### 7.5.1.2 ESD スパークギャップ

コネクタのスパークギャップを使用して、SMBus クロック、データ、他の通信ラインを ESD から保護します。図 7-8 のパターンを推奨します。ポイント間に 0.2mm の間隔を設定します。



図 7-8. 推奨されるスパークギャップパターンは、通信ラインを ESD から保護するのに役立ちます

### 7.5.2 レイアウト例

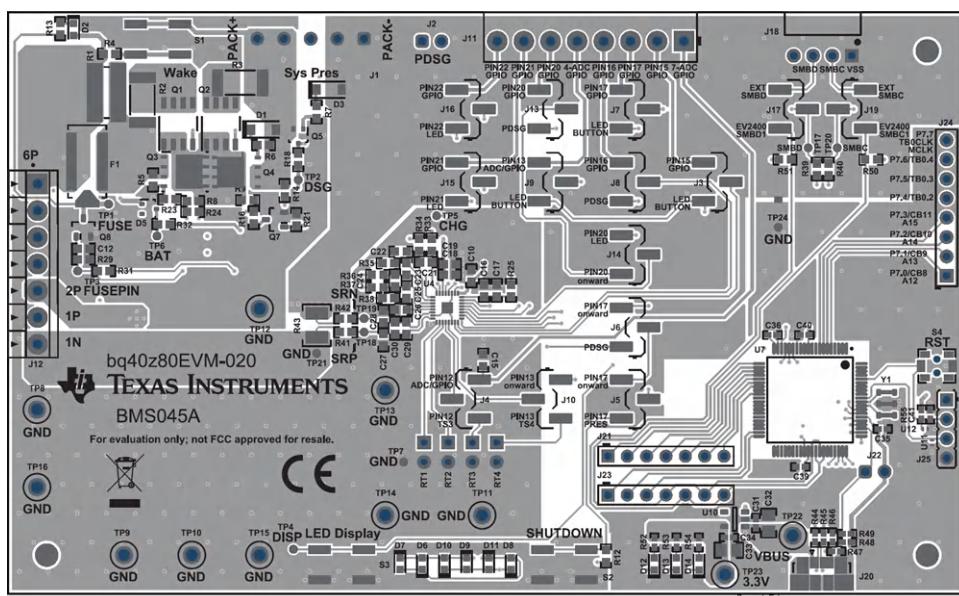


図 7-9. BQ40Z80EVM 最上部コンポジット

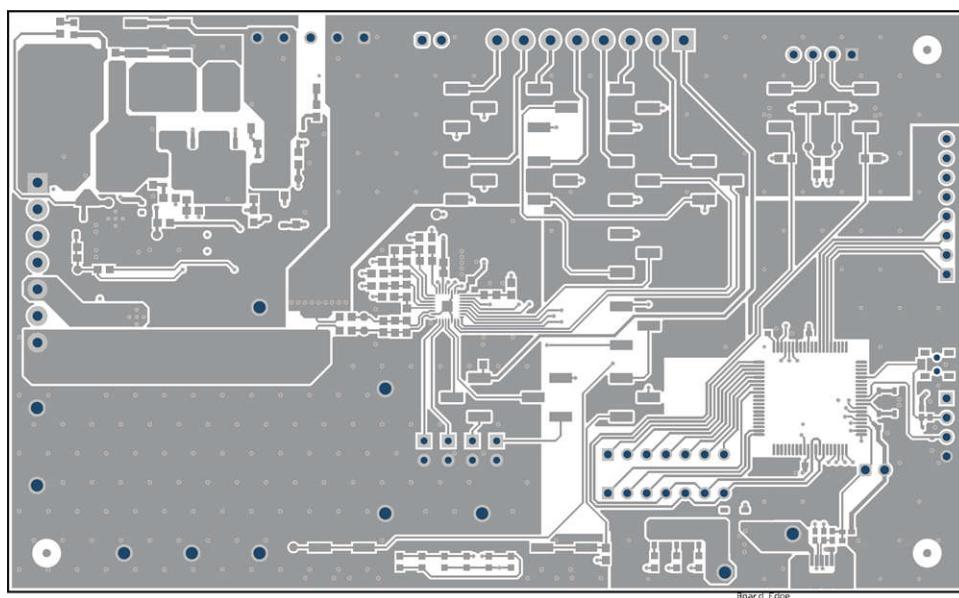


図 7-10. BQ40Z80EVM 最上層

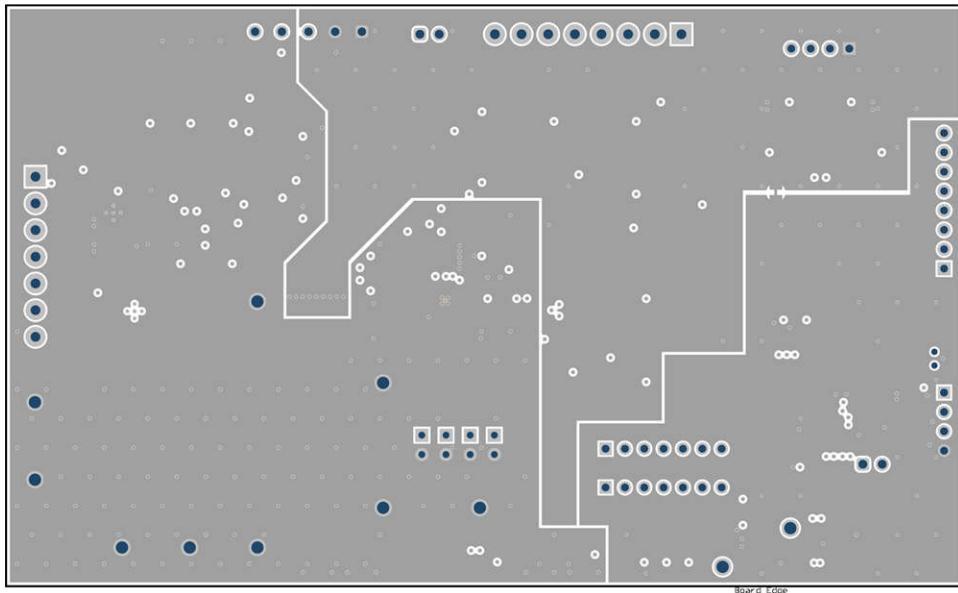


図 7-11. BQ40Z80EVM GND 層

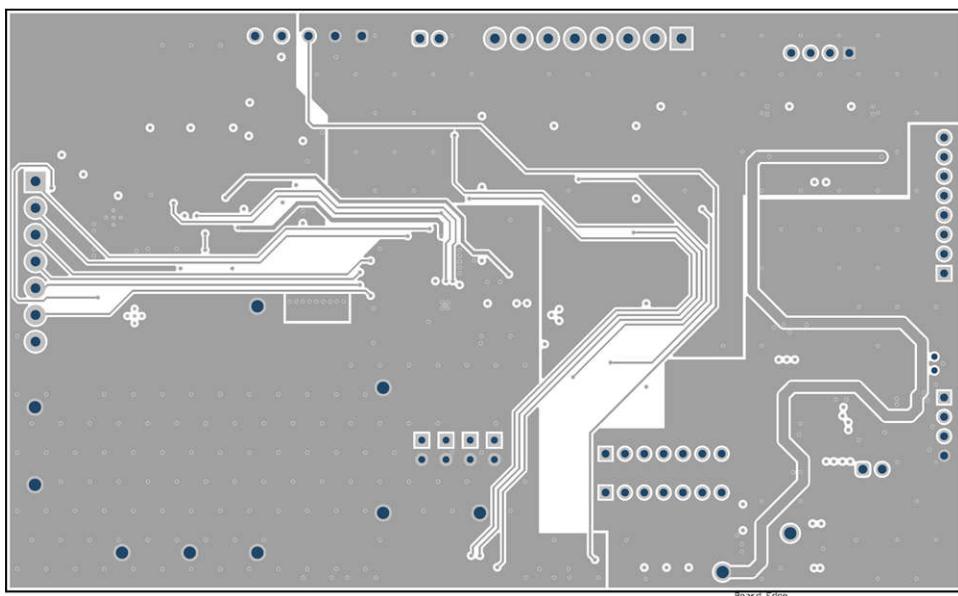


図 7-12. BQ40Z80EVM 信号層

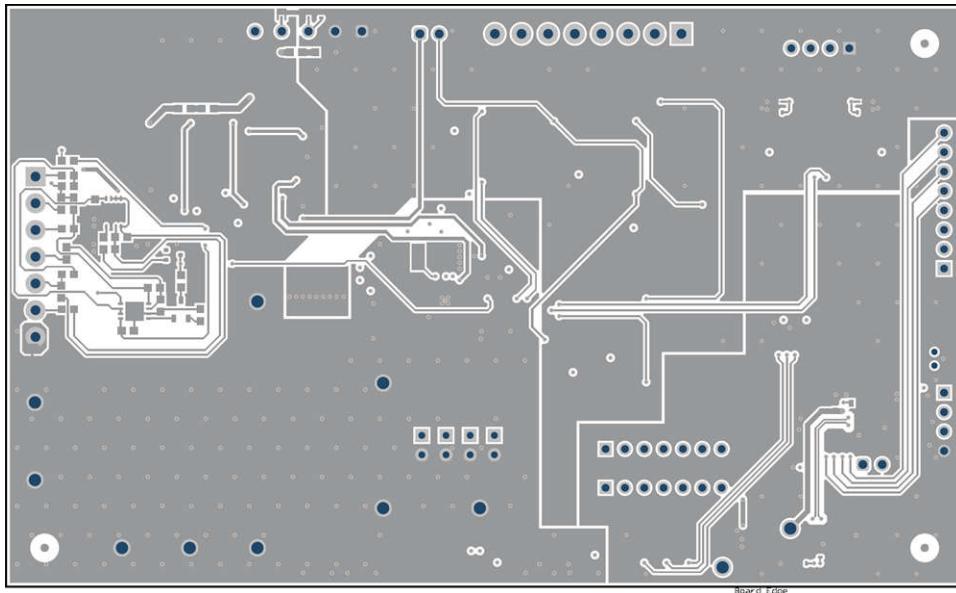


図 7-13. BQ40Z80EVM 最下層

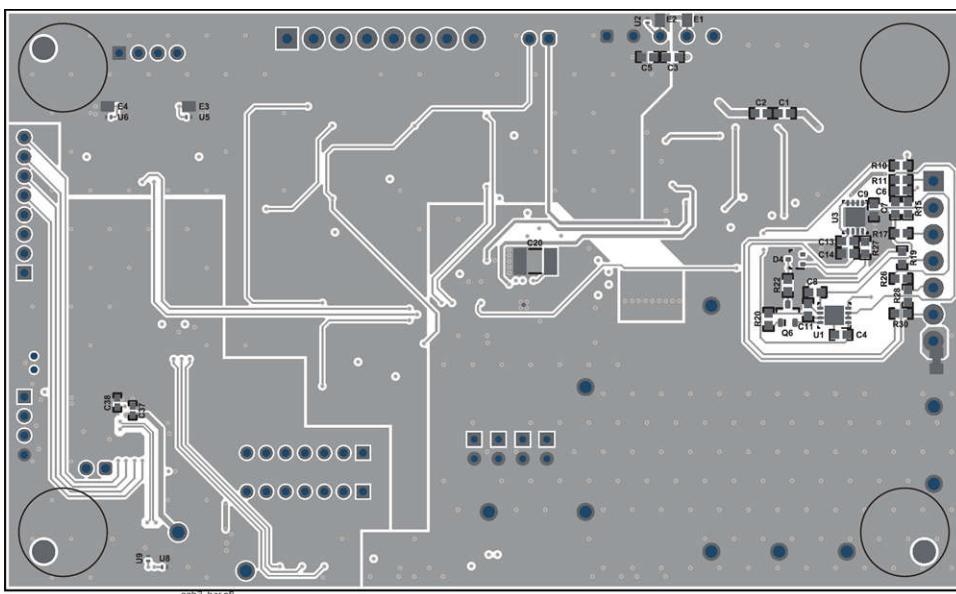


図 7-14. BQ40Z80EVM 最下部コンポジット

## 8 デバイスおよびドキュメントのサポート

### 8.1 デバイス サポート

#### 8.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

### 8.2 ドキュメントのサポート

#### 8.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『[BQ40Z80 テクニカルリファレンスマニュアル](#)』
- テキサス・インスツルメンツ、『[BQ40Z80 製造、量産、較正アプリケーションノート](#)』
- テキサス・インスツルメンツ、『[BQ40Z80EVM リチウムイオンバッテリパックマネージャ評価基板 EVM ユーザーガイド](#)』
- テキサス・インスツルメンツ、『[BQ40Z80 の正しい学習サイクルの完了方法アプリケーションノート](#)』
- テキサス・インスツルメンツ、『[TI 燃料計認証のキーパッケージャおよびプログラマツールユーザーガイド](#)』

### 8.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。右上の【アラートを受け取る】をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

### 8.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

### 8.5 商標

Impedance Track™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

三菱™ is a trademark of Mitsubishi Corporation.

Intel® is a registered trademark of Intel Corporation.

すべての商標は、それぞれの所有者に帰属します。

### 8.6 静電気放電に関する注意事項

 この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 8.7 用語集

#### テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

## 9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

---

<b>Changes from Revision B (September 2020) to Revision C (June 2025)</b>	<b>Page</b>
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• TI の技術文書の基準を反映するようにドキュメントを更新.....	1
• 改ざん防止セクションを追加.....	26

---

<b>Changes from Revision A (June 2018) to Revision B (September 2020)</b>	<b>Page</b>
• データシートの 7 直列デバイス オプションを削除.....	1
• 高電圧 GPIO のデフォルトを 7 直列セルオプションから GPIO に変更.....	9
• 7 直列セルオプションと BQ40Z80 マルチファンクションピンの組み合わせを削除.....	23
• 6 直列の EVM 回路図に使われていた 7 直列の EVM 回路図を変更.....	29
• レイアウト例を更新.....	37

---

## 10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのプラウザ版を使用されている場合は、画面左側の説明をご覧ください。

## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](http://ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

**PACKAGING INFORMATION**

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
BQ40Z80RSMR	Active	Production	VQFN (RSM)   32	3000   LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	BQ40Z80
BQ40Z80RSMR.A	Active	Production	VQFN (RSM)   32	3000   LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	BQ40Z80
BQ40Z80RSMT	Active	Production	VQFN (RSM)   32	250   SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	BQ40Z80
BQ40Z80RSMT.A	Active	Production	VQFN (RSM)   32	250   SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	BQ40Z80
BQ40Z80RSMTG4	Active	Production	VQFN (RSM)   32	250   SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	BQ40Z80
BQ40Z80RSMTG4.A	Active	Production	VQFN (RSM)   32	250   SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	BQ40Z80

<sup>(1)</sup> **Status:** For more details on status, see our [product life cycle](#).

<sup>(2)</sup> **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

<sup>(3)</sup> **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

<sup>(4)</sup> **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

<sup>(5)</sup> **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

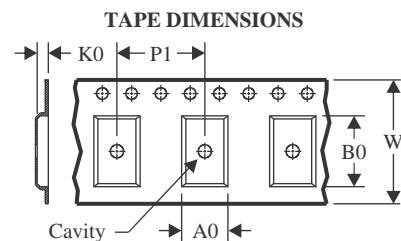
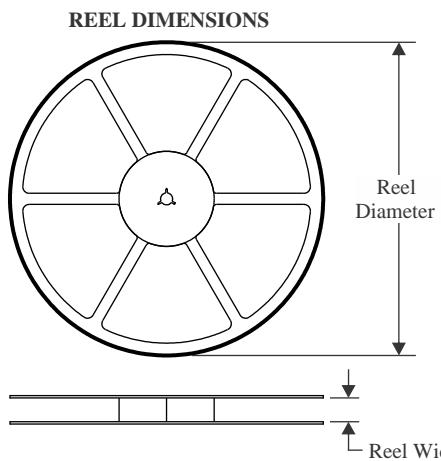
<sup>(6)</sup> **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

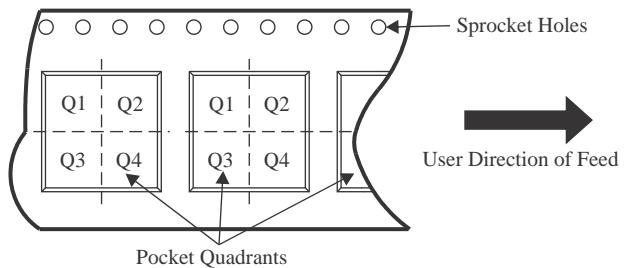
**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.



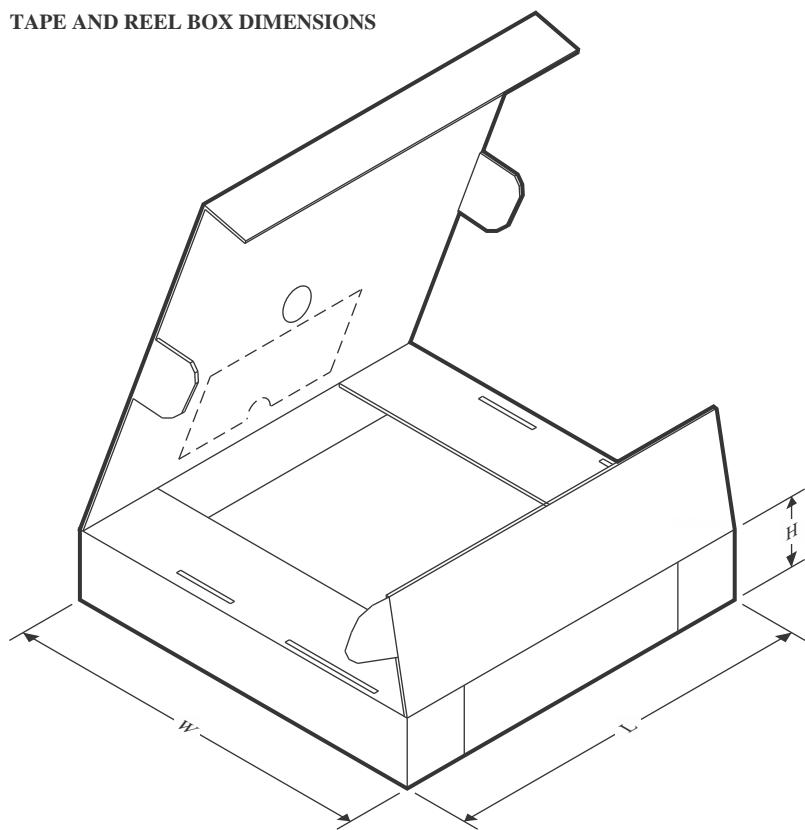
**TAPE AND REEL INFORMATION**


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
BQ40Z80RSMR	VQFN	RSM	32	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
BQ40Z80RSMT	VQFN	RSM	32	250	180.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
BQ40Z80RSMTG4	VQFN	RSM	32	250	180.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
BQ40Z80RSMR	VQFN	RSM	32	3000	367.0	367.0	35.0
BQ40Z80RSMT	VQFN	RSM	32	250	210.0	185.0	35.0
BQ40Z80RSMTG4	VQFN	RSM	32	250	210.0	185.0	35.0

# GENERIC PACKAGE VIEW

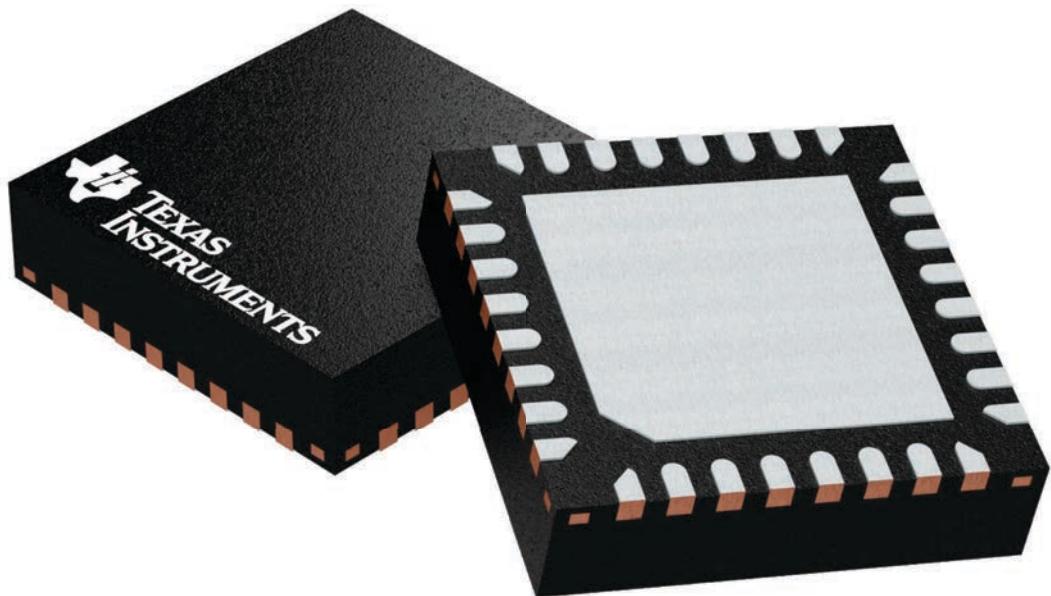
## RSM 32

## VQFN - 1 mm max height

4 x 4, 0.4 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

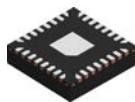
This image is a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.



4224982/A

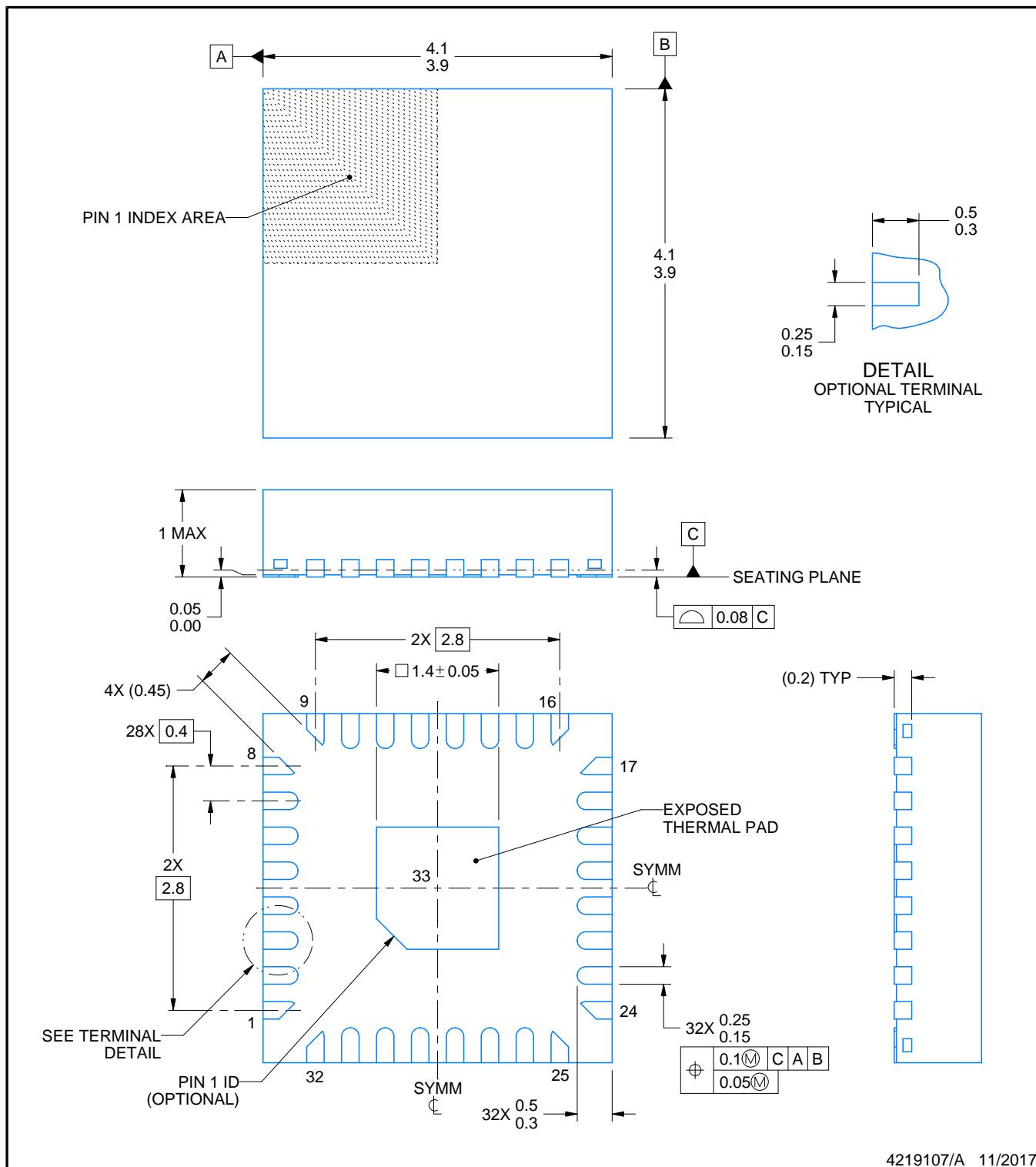
## PACKAGE OUTLINE

**RSM0032A**



## **VQFN - 1 mm max height**

#### PLASTIC QUAD FLATPACK - NO LEAD



4219107/A 11/2017

## NOTES:

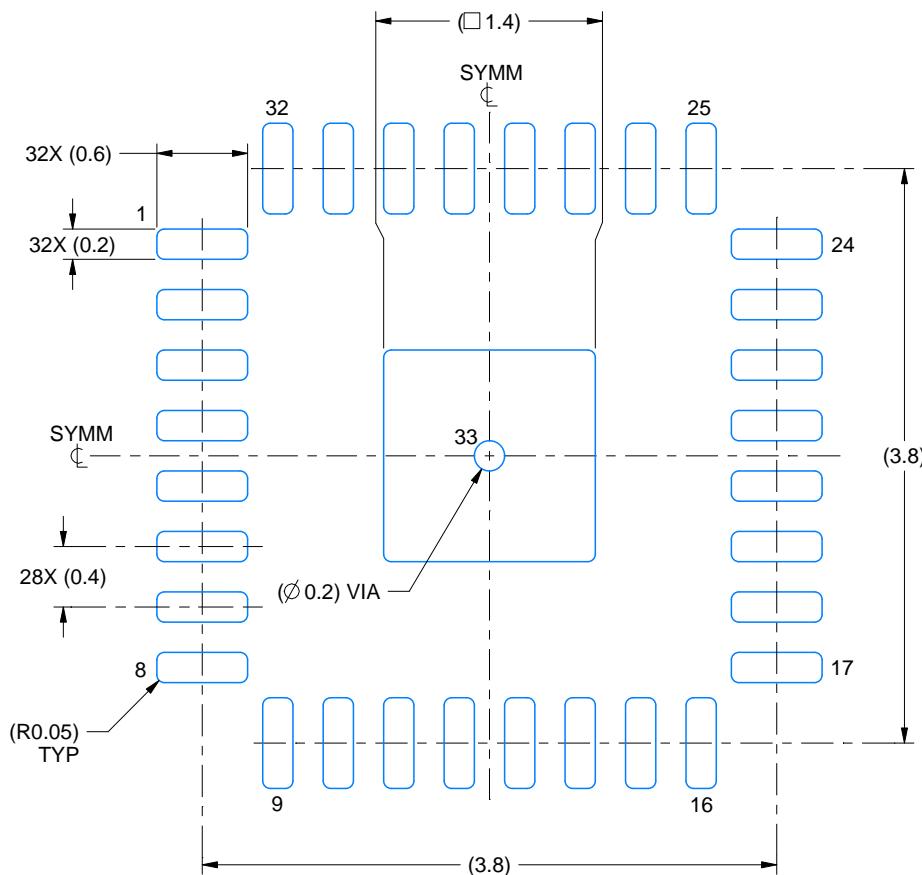
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
  2. This drawing is subject to change without notice.
  3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

# EXAMPLE BOARD LAYOUT

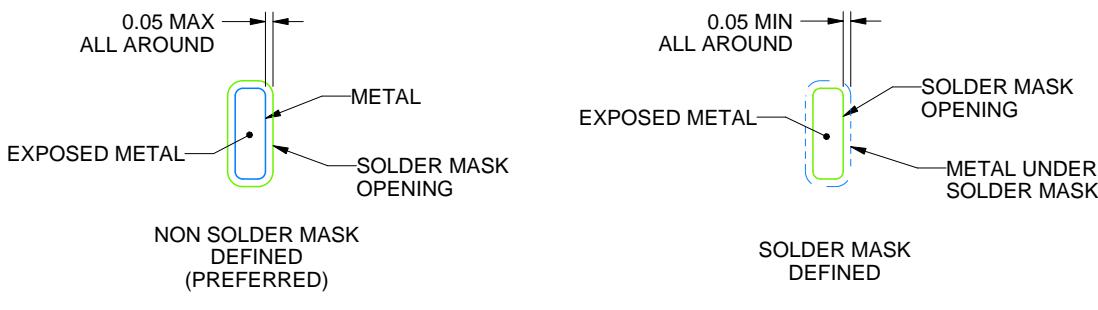
RSM0032A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE:20X



SOLDER MASK DETAILS

4219107/A 11/2017

NOTES: (continued)

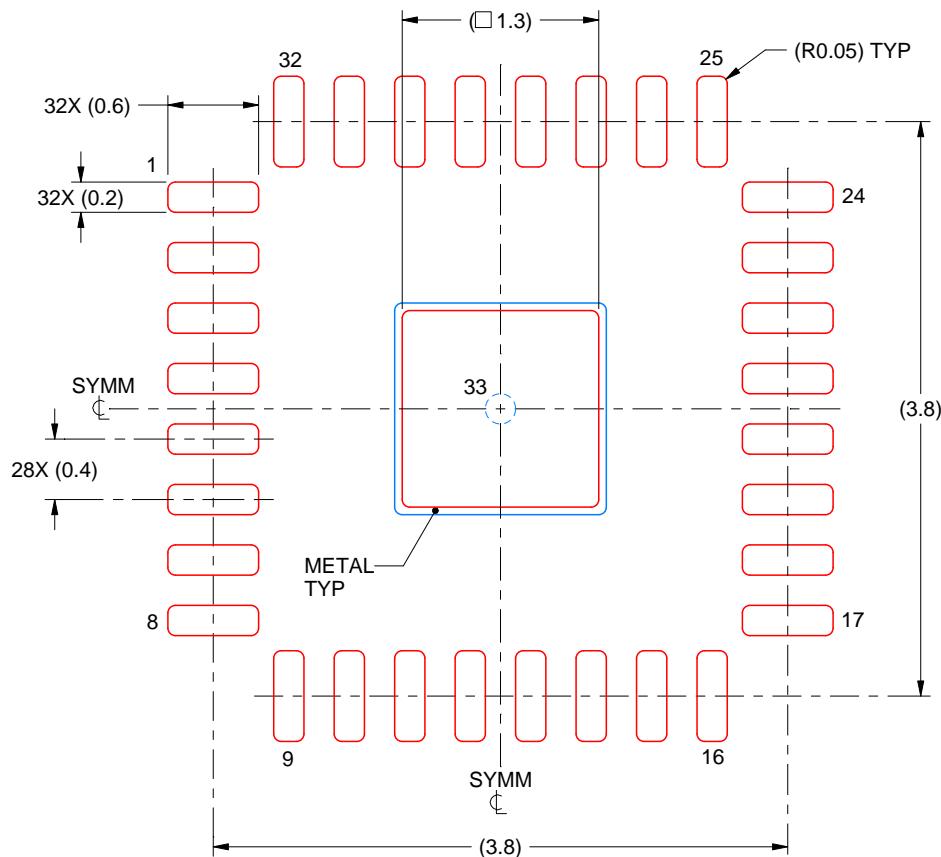
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/slua271](http://www.ti.com/lit/slua271)).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

# EXAMPLE STENCIL DESIGN

RSM0032A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



**SOLDER PASTE EXAMPLE**  
BASED ON 0.1 mm THICK STENCIL

EXPOSED PAD 33:  
86% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE  
SCALE:20X

4219107/A 11/2017

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月