



## 目次

<b>1 特長</b> .....	1	6.30 タイミング要件 - I <sup>2</sup> C インターフェイス、400kHz モード	23
<b>2 アプリケーション</b> .....	1	6.31 タイミング要件 - HDQ インターフェイス	23
<b>3 説明</b> .....	1	6.32 タイミング要件 - SPI インターフェイス	24
<b>4 デバイス比較表</b> .....	3	6.33 インターフェイスのタイミング図	24
<b>5 ピン構成および機能</b> .....	3	6.34 代表的特性	26
<b>6 仕様</b> .....	6	<b>7 詳細説明</b> .....	31
6.1 絶対最大定格	6	7.1 概要	31
6.2 ESD 定格	8	7.2 機能ブロック図	31
6.3 推奨動作条件	8	7.3 診断	32
6.4 熱に関する情報 (BQ76972-Q1)	9	7.4 デバイス設定	32
6.5 電源電流	9	7.5 測定サブシステム	33
6.6 デジタル I/O	10	7.6 1 次および 2 次保護サブシステム	42
6.7 LD ピン	11	7.7 デバイス ハードウェア機能	46
6.8 プリチャージ (PCHG) およびプリディスチャージ (PDSG) FET ドライブ	11	7.8 デバイスの機能モード	51
6.9 FUSE ピンの機能	11	7.9 シリアル通信インターフェイス	54
6.10 REG18 LDO	12	7.10 セル バランシング	62
6.11 REG0 プリレギュレータ	12	<b>8 アプリケーションと実装</b> .....	63
6.12 REG1 LDO	12	8.1 使用上の注意	63
6.13 REG2 LDO	13	8.2 代表的なアプリケーション	63
6.14 基準電圧	13	8.3 ランダム セル接続のサポート	69
6.15 クーロン カウンタ	14	8.4 スタートアップ タイミング	70
6.16 クーロン カウンタ デジタル フィルタ (CC1)	14	8.5 FET ドライバ ターンオフ	71
6.17 電流測定デジタル フィルタ (CC2)	15	8.6 未使用のピン	74
6.18 電流ウェイク検出器	15	8.7 電源要件	74
6.19 A/D コンバータ	15	8.8 レイアウト	75
6.20 セル電圧の測定精度	17	<b>9 デバイスおよびドキュメントのサポート</b> .....	78
6.21 マルチファンクションピン ADC 測定	17	9.1 ドキュメントのサポート	78
6.22 セル バランシング	18	9.2 サポート・リソース	78
6.23 セル開路検出器	18	9.3 商標	78
6.24 内部温度センサ	18	9.4 静電気放電に関する注意事項	78
6.25 サーマスタ測定	18	9.5 用語集	78
6.26 内部発振器	19	<b>10 改訂履歴</b> .....	78
6.27 ハイサイド NFET ドライバ	19	<b>11 メカニカル、パッケージ、および注文情報</b> .....	78
6.28 コンパレータ ベースの保護サブシステム	20		
6.29 タイミング要件 - I <sup>2</sup> C インターフェイス、100kHz モード	22		

## 4 デバイス比較表

BQ76972-Q1 デバイス ファミリ			
部品番号	通信インターフェイス	CRC イネーブル	REG1 LDO のデフォルト
BQ76972-Q1	I <sup>2</sup> C	N	ディセーブル
BQ7697202-Q1	I <sup>2</sup> C	Y	イネーブル、3.3V に設定
BQ7697204-Q1	SPI	Y	イネーブル、3.3V に設定

## 5 ピン構成および機能

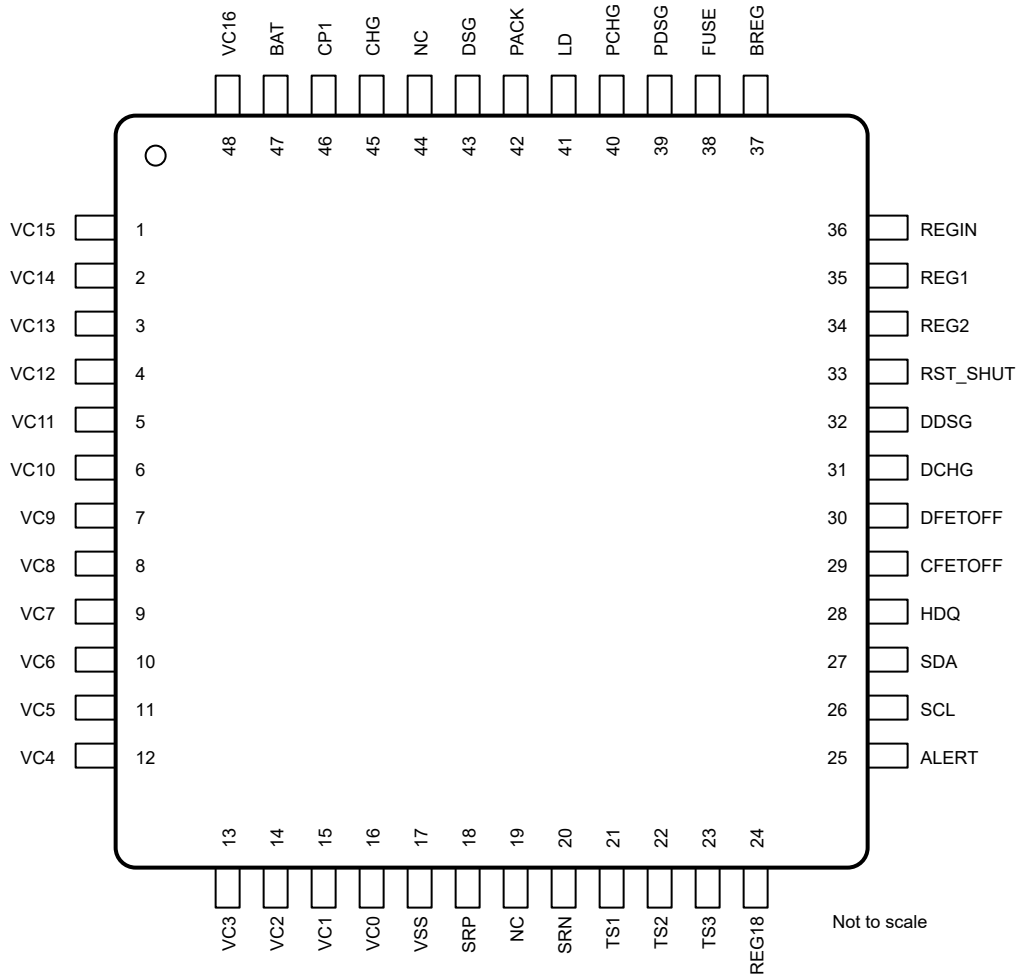


表 5-1. BQ76972-Q1 TQFP パッケージ (PFB) ピン機能

番号	ピン		I/O	タイプ	説明
	名称				
1	VC15	I	IA	スタックの最下部から 15 番目のセルのセンス電圧入力ピン、スタックの最下部から 15 番目のセルのバランス電流入力、スタックの最下部から 16 番目のセルの復帰バランス電流	
2	VC14	I	IA	スタックの最下部から 14 番目のセルのセンス電圧入力ピン、スタックの最下部から 14 番目のセルのバランス電流入力、スタックの最下部から 15 番目のセルの復帰バランス電流	
3	VC13	I	IA	スタックの最下部から 13 番目のセルのセンス電圧入力ピン、スタックの最下部から 13 番目のセルのバランス電流入力、スタックの最下部から 14 番目のセルの復帰バランス電流	
4	VC12	I	IA	スタックの最下部から 12 番目のセルのセンス電圧入力ピン、スタックの最下部から 12 番目のセルのバランス電流入力、スタックの最下部から 13 番目のセルの復帰バランス電流	
5	VC11	I	IA	スタックの最下部から 11 番目のセルのセンス電圧入力ピン、スタックの最下部から 11 番目のセルのバランス電流入力、スタックの最下部から 12 番目のセルの復帰バランス電流	
6	VC10	I	IA	スタックの最下部から 10 番目のセルのセンス電圧入力ピン、スタックの最下部から 10 番目のセルのバランス電流入力、スタックの最下部から 11 番目のセルの復帰バランス電流	
7	VC9	I	IA	スタックの最下部から 9 番目のセルのセンス電圧入力ピン、スタックの最下部から 9 番目のセルのバランス電流入力、スタックの最下部から 10 番目のセルの復帰バランス電流	
8	VC8	I	IA	スタックの最下部から 8 番目のセルのセンス電圧入力ピン、スタックの最下部から 8 番目のセルのバランス電流入力、スタックの最下部から 9 番目のセルの復帰バランス電流	
9	VC7	I	IA	スタックの最下部から 7 番目のセルのセンス電圧入力ピン、スタックの最下部から 7 番目のセルのバランス電流入力、スタックの最下部から 8 番目のセルの復帰バランス電流	
10	VC6	I	IA	スタックの最下部から 6 番目のセルのセンス電圧入力ピン、スタックの最下部から 6 番目のセルのバランス電流入力、スタックの最下部から 7 番目のセルの復帰バランス電流	
11	VC5	I	IA	スタックの最下部から 5 番目のセルのセンス電圧入力ピン、スタックの最下部から 5 番目のセルのバランス電流入力、スタックの最下部から 6 番目のセルの復帰バランス電流	
12	VC4	I	IA	スタックの最下部から 4 番目のセルのセンス電圧入力ピン、スタックの最下部から 4 番目のセルのバランス電流入力、スタックの最下部から 5 番目のセルの復帰バランス電流	
13	VC3	I	IA	スタックの最下部から 3 番目のセルのセンス電圧入力ピン、スタックの最下部から 3 番目のセルのバランス電流入力、スタックの最下部から 4 番目のセルの復帰バランス電流	
14	VC2	I	IA	スタックの最下部から 2 番目のセルのセンス電圧入力ピン、スタックの最下部から 2 番目のセルのバランス電流入力、スタックの最下部から 3 番目のセルの復帰バランス電流	
15	VC1	I	IA	スタックの最下部から 1 番目のセルのセンス電圧入力ピン、スタックの最下部から 1 番目のセルのバランス電流入力、スタックの最下部から 2 番目のセルの復帰バランス電流	
16	VC0	I	IA	スタックの最下部から 1 番目のセルの負端子のセンス電圧入力、スタックの最下部から 1 番目のセルの復帰バランス電流	
17	VSS	—	P	デバイスのグラウンド	
18	SRP	I	IA	SRP と SRN の間のわずかな電圧を積分するために、内部クーロン カウンタ ペリフェラルに接続したアナログ入力ピンで、SRP はセンス抵抗の最上部です。充電電流により、SRN に対して SRP で正の電圧が生成されます。	
19	NC	—	—	このピンは、シリコンには接続されていません。	
20	SRN	I	IA	SRP と SRN の間のわずかな電圧を積分するために、内部クーロン カウンタ ペリフェラルに接続したアナログ入力ピンで、SRN はセンス抵抗の最下部です。充電電流により、SRN に対して SRP で正の電圧が生成されます。	
21	TS1	I/O	OD、I/OA	サーミスタ入力または汎用 ADC 入力	
22	TS2	I/O	OD、I/OA	サーミスタ入力およびシャットダウンからのウェークアップ機能、または汎用 ADC 入力として機能します	
23	TS3	I/O	OD、I/OA	サーミスタ入力または汎用 ADC 入力	
24	REG18	O	P	内部 1.8V LDO 出力 (内部使用のみ)	
25	ALERT	I/O	I/OD、I/OA	マルチファンクション ピンは、ALERT 出力、HDQ I/O、サーミスタ入力、汎用 ADC 入力、または汎用デジタル出力に設定できます	
26	SCL	I/O	I/OD	マルチファンクション ピンは、SCL または SPI_SCLK に設定できます	

表 5-1. BQ76972-Q1 TQFP パッケージ (PFB) ピン機能 (続き)

ピン		I/O	タイプ	説明
番号	名称			
27	SDA	I/O	I/OD	マルチファンクション ピンは、SDA または SPI_MISO に設定できます
28	HDQ	I/O	I/OD、I/OA	マルチファンクション ピンは、HDQ I/O、SPI_MOSI、サーミスタ入力、汎用 ADC 入力、または汎用デジタル出力に設定できます
29	CFETOFF	I/O	I/OD、I/OA	マルチファンクション ピンは、CFETOFF、SPI_CS、サーミスタ入力、汎用 ADC 入力、または汎用デジタル出力に設定できます
30	DFETOFF	I/O	I/OD、I/OA	マルチファンクション ピンは、DFETOFF、BOTHOFF、サーミスタ入力、汎用 ADC 入力、または汎用デジタル出力に設定できます
31	DCHG	I/O	OD、I/OA	マルチファンクションピンは、DCHG、サーミスタ入力、汎用 ADC 入力、汎用デジタル出力に設定できます
32	DDSG	I/O	OD、I/OA	マルチファンクションピンは、DDSG、サーミスタ入力、汎用 ADC 入力、汎用デジタル出力に設定できます
33	RST_SHUT	I	ID	リセットまたはシャットダウン用のデジタル入力ピン
34	REG2	O	P	2 番目の LDO (REG2) 出力で、1.8V、2.5V、3.0V、3.3V、5.0V にプログラム可能です。
35	REG1	O	P	1 番目の LDO (REG1) 出力で、1.8V、2.5V、3.0V、3.3V、5.0V にプログラム可能です。
36	REGIN	I	IA	REG1 および REG2 LDO の入力ピン
37	BREG	O	OA	外部プリレギュレータトランジスタのベース制御信号
38	FUSE	I/O	I/OA	ヒューズ センスとドライブ
39	PDSG	O	OA	プリディスチャージ PFET 制御
40	PCHG	O	OA	プリチャージ PFET 制御
41	LD	I/O	I/OA	負荷検出ピン
42	PACK	I	IA	バック センス入力ピン
43	DSG	O	OA	NMOS 放電 FET ドライブ出力ピン
44	NC	—	—	このピンは、シリコンには接続されていません。
45	CHG	O	OA	NMOS 充電 FET ドライブ出力ピン
46	CP1	I/O	I/OA	チャージ ポンプ コンデンサ
47	BAT	I	P	1 次電源入力ピン
48	VC16	I	IA	スタックの最下部から 16 番目のセルのセンス電圧入力ピン、スタックの最下部から 16 番目のセルのバランス電流入力、スタックの最上部の測定ポイント

## 6 仕様

### 6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) <sup>(1)</sup>

説明	ピン	最小値	最大値	単位
電源電圧範囲	BAT	VSS-0.3	VSS+85	V
入力電圧範囲、V <sub>IN</sub>	PACK, LD	VSS-0.3	VSS+85	V
入力電圧範囲、V <sub>IN</sub>	PCHG, PDSG	V <sub>BAT</sub> - 10 または V <sub>LD</sub> - 10 の最大値	VSS+85	V
入力電圧範囲、V <sub>IN</sub>	REGIN	VSS - 0.3 または V <sub>BREG</sub> - 5.5 の最大値	VSS + 6 または V <sub>BAT</sub> + 0.3 または V <sub>BREG</sub> + 0.3 の最小値	V
入力電圧範囲、V <sub>IN</sub>	FUSE <sup>(2)</sup>	VSS-0.3	VSS + 20 または V <sub>BAT</sub> + 0.3 の最小値	V
入力電圧範囲、V <sub>IN</sub>	BREG	VSS - 0.3 または V <sub>REGIN</sub> - 0.3 の最大値	V <sub>REGIN</sub> + 5.5	V
入力電圧範囲、V <sub>IN</sub>	REG1, REG2	VSS-0.3	VSS + 6 または V <sub>REGIN</sub> + 0.3 の最小値	V
入力電圧範囲、V <sub>IN</sub>	ALERT、SCL、SDA、HDQ、CFETOFF、DFETOFF、DCHG、DDSG、RST_SHUT <sup>(3)</sup>	VSS-0.3	VSS+6	V
入力電圧範囲、V <sub>IN</sub>	TS1、TS2、TS3、ALERT、CFETOFF、DFETOFF、HDQ、DCHG、DDSG (サーミスタまたは汎用 ADC 入力として使用する場合)	VSS-0.3	V <sub>REG18</sub> + 0.3	V
入力電圧範囲、V <sub>IN</sub>	SRP, SRN	VSS-0.3	V <sub>REG18</sub> + 0.3	V
入力電圧範囲、V <sub>IN</sub>	VC16	VSS - 0.3 および VC15 - 0.3 の最大値	VSS+85	V
入力電圧範囲、V <sub>IN</sub>	VC15	VSS - 0.3 および VC14 - 0.3 の最大値	VSS+85	V
入力電圧範囲、V <sub>IN</sub>	VC14	VSS - 0.3 および VC13 - 0.3 の最大値	VSS+85	V
入力電圧範囲、V <sub>IN</sub>	VC13	VSS - 0.3 および VC12 - 0.3 の最大値	VSS+85	V
入力電圧範囲、V <sub>IN</sub>	VC12	VSS - 0.3 および VC11 - 0.3 の最大値	VSS+85	V
入力電圧範囲、V <sub>IN</sub>	VC11	VSS - 0.3 および VC10 - 0.3 の最大値	VSS+85	V
入力電圧範囲、V <sub>IN</sub>	VC10	VSS - 0.3 および VC9 - 0.3 の最大値	VSS+85	V
入力電圧範囲、V <sub>IN</sub>	VC9	VSS - 0.3 および VC8 - 0.3 の最大値	VSS+85	V

自由気流での動作温度範囲内 (特に記述のない限り) (1)

説明	ピン	最小値	最大値	単位
入力電圧範囲、 $V_{IN}$	VC8	$V_{SS} - 0.3$ および VC7 - 0.3 の最大値	$V_{SS} + 85$	V
入力電圧範囲、 $V_{IN}$	VC7	$V_{SS} - 0.3$ および VC6 - 0.3 の最大値	$V_{SS} + 85$	V
入力電圧範囲、 $V_{IN}$	VC6	$V_{SS} - 0.3$ および VC5 - 0.3 の最大値	$V_{SS} + 85$	V
入力電圧範囲、 $V_{IN}$	VC5	$V_{SS} - 0.3$ および VC4 - 0.3 の最大値	$V_{SS} + 85$	V
入力電圧範囲、 $V_{IN}$	VC4	$V_{SS} - 0.3$ および VC3 - 0.3 の最大値	$V_{SS} + 85$	V
入力電圧範囲、 $V_{IN}$	VC3	$V_{SS} - 0.3$ および VC2 - 0.3 の最大値	$V_{SS} + 85$	V
入力電圧範囲、 $V_{IN}$	VC2	$V_{SS} - 0.3$ および VC1 - 0.3 の最大値	$V_{SS} + 85$	V
入力電圧範囲、 $V_{IN}$	VC1	$V_{SS} - 0.3$ および VC0 - 0.3 の最大値	$V_{SS} + 85$	V
入力電圧範囲、 $V_{IN}$	VC0	$V_{SS} - 0.3$	$V_{SS} + 6$	V
出力電圧範囲、 $V_O$	CP1	$V_{BAT} - 0.3$	$V_{SS} + 85$ または $V_{BAT} + 15$ の最小値	V
出力電圧範囲、 $V_O$	CHG	$V_{SS} - 0.3$	$V_{SS} + 85$	V
出力電圧範囲、 $V_O$	DSG	$V_{SS} - 0.3$	$V_{SS} + 85$	V
出力電圧範囲、 $V_O$	REG1、REG2、TS2 (ウェークアップ機能用)、ALERT、CFETOFF、DFETOFF、HDQ、DCHG、DDSG、デジタル出力を駆動するように構成されている場合	$V_{SS} - 0.3$	$V_{SS} + 6$	V
出力電圧範囲、 $V_O$	REG18	$V_{SS} - 0.3$	$V_{SS} + 2$	V
シングルセルを流れる最大セルバランシング電流	VC0 ~ VC16		100	mA
最大出力電流、 $I_{SS}$			75	mA
機能温度、 $T_{FUNC}$		-40	125	°C
接合部温度、 $T_J$		-55	150	°C
保管温度、 $T_{STG}$		-55	150	°C

- (1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。絶対最大定格の範囲内であっても推奨動作条件の範囲外の場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
- (2) FUSE ピンに流れる電流は、(外付け直列抵抗を使用するなど) 2mA 以下に制限する必要があります。
- (3) ALERT、HDQ、CFETOFF、DFETOFF、DCHG、または DDSG ピンがサーミスタ入力または汎用 ADC 入力用に選択されている場合、それらの電圧は  $V_{REG18} + 0.3V$  に制限されます。デジタル入力など、他の用途向けに構成した場合、これらのピンは最大 6V まで対応できます。

## 6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン <sup>(1)</sup>	±2000	V
$V_{(ESD)}$	静電放電	デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠、すべてのピン <sup>(2)</sup>	±500	V

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

## 6.3 推奨動作条件

標準値は  $T_A = 25^\circ\text{C}$  の場合、最小値 / 最大値は  $T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$  および  $V_{BAT} = 4.7\text{V} \sim 70\text{V}$  の場合 (特に記述のない限り)

(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{BAT}$	電源電圧	BAT ピンの電圧 (通常動作)	4.7		70	V
$V_{BAT}$	電源電圧 <sup>(2)</sup>	BAT ピンの電圧 (OTP プログラミング)	10		12	V
$T_{OTP}$	OTP プログラミング温度 <sup>(2)</sup>		-40		45	°C
$V_{PORA}$	パワーオンリセット	BAT の立ち上がりスレッシュホールド	2.5		4	V
$V_{PORA\_HYS}$	パワー オンリセットヒステリシス	$BAT < V_{PORA} - V_{PORA\_HYS}$ のとき、デバイスはシャットダウンします		170		mV
$V_{WAKEONLD}$	LD 電圧でウェーク	LD での立ち上がりエッジ、BAT はすでに有効範囲内の場合	0.6	1.45	2.25	V
$V_{WAKEONTS2}$	TS2 電圧でウェーク	TS2 での立ち下がりエッジ、BAT はすでに有効範囲内の場合。TS2 は、シャットダウン中に約 5V のレベルで弱く駆動されます。	0.6		1.3	V
$V_{IN}$	入力電圧範囲 <sup>(2)</sup>	PACK, LD	0		45	V
$V_{IN}$	入力電圧範囲 <sup>(2)</sup>	PCHG, PDSG			$V_{BAT} - 9$ または $V_{LD} - 19$ の最大値	V
$V_{IN}$	入力電圧範囲 <sup>(2)</sup>	REG1, REG2, RST_SHUT, ALERT, SCL, SDA, HDQ, CFETOFF, DFETOFF, DCHG, DDSG (ただし、このピンが汎用 ADC 入力またはサーミスタ測定に使用されている場合を除く)。	0		5.5	V
$V_{IN}$	入力電圧範囲 <sup>(2)</sup>	TS1, TS2, TS3, CFETOFF, DFETOFF, DCHG, DDSG, ALERT, HDQ (このピンが汎用 ADC 入力またはサーミスタ測定用に構成されている場合)。	0		$V_{REG18}$	V
$V_{IN}$	入力電圧範囲 <sup>(2)</sup>	SRP, SRN, SRP-SRN (電流測定中)	-0.2		0.2	V
$V_{IN}$	入力電圧範囲 <sup>(2)</sup>	SRP, SRN (電流測定なし)	-0.2		0.75	V
$V_{IN}$	入力電圧範囲 <sup>(2) (3)</sup>	$V_{VC(0)}$	-0.2		0.5	V
$V_{IN}$	入力電圧範囲 <sup>(2)</sup>	$V_{VC(x)}, 1 \leq x \leq 4$	$V_{VC(x-1)} - 0.2$ または $V_{SS} - 0.2$ の最大値		$V_{VC(x-1)} + 5.5$ または $V_{SS} + 45$ の最小値	V
$V_{IN}$	入力電圧範囲 <sup>(2)</sup>	$V_{VC(x)}, x \geq 5$	$V_{VC(x-1)} - 0.2$ または $V_{SS} + 2.0$ の最大値		$V_{VC(x-1)} + 5.5$ または $V_{SS} + 45$ の最小値	V

標準値は  $T_A = 25^\circ\text{C}$  の場合、最小値 / 最大値は  $T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$  および  $V_{\text{BAT}} = 4.7\text{V} \sim 70\text{V}$  の場合 (特に記述のない限り)  
(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$R_C$	外部セル入力抵抗 <sup>(2)</sup> (5)		20		100	$\Omega$
$C_C$	外部セル入力キャパシタンス <sup>(2)</sup> (5)		0.1	0.22	1	$\mu\text{F}$
$V_O$	出力電圧範囲	LD			70	V
$V_O$	出力電圧範囲 <sup>(1)</sup>	CHG, DSG, CP1			80	V
$T_{\text{OPR}}$	動作温度 <sup>(4)</sup>		-40		125	$^\circ\text{C}$

- チャージポンプが動作していない場合、VBAT が最大規定電圧までの動作をサポートします。チャージポンプが動作している場合は常に (5.5V または 11V モード)、CP1、CHG、DSG の電圧が最大規定電圧を超えないように、VBAT の最大電圧を下げる必要があります。
- 設計により規定されています。
- VC0 の電圧は、セル バランシング中により高い値まで拡張できます (絶対最大仕様によって制限)。
- 特性評価によって仕様規定されています。デバイス内で消費される電力は、動作中に接合部温度が仕様範囲内に保たれるように制限する必要があります。
- 最高の性能を実現するには、システム設計時や評価時に値を最適化する必要があります

## 6.4 熱に関する情報 (BQ76972-Q1)

熱評価基準 <sup>(1)</sup>		BQ76972-Q1	単位
		PFB (TQFP)	
		48 ピン	
$R_{\theta\text{JA}}$	接合部から周囲への熱抵抗	66.0	$^\circ\text{C}/\text{W}$
$R_{\theta\text{JC(top)}}$	接合部からケース (上面) への熱抵抗	19.6	$^\circ\text{C}/\text{W}$
$R_{\theta\text{JB}}$	接合部から基板への熱抵抗	29.3	$^\circ\text{C}/\text{W}$
$\Psi_{\text{JT}}$	接合部から上面への特性パラメータ	0.8	$^\circ\text{C}/\text{W}$
$\Psi_{\text{JB}}$	接合部から基板への特性パラメータ	29.1	$^\circ\text{C}/\text{W}$

- 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。  
[SPRA953](#)

## 6.5 電源電流

標準値は  $T_A = 25^\circ\text{C}$  の場合、最小値 / 最大値は  $T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$  および  $V_{\text{BAT}} = 4.7\text{V} \sim 70\text{V}$  の場合 (特に記述のない限り)  
(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$I_{\text{NORMAL}}$	通常モード	通常の測定および保護機能がアクティブ、無負荷時の REG1 = 3.3V、REG2 = OFF、11V オーバードライブ モードで CHG = ON、11V オーバードライブ モードで DSG = ON、 <b>Settings: Configuration: Power Config[FASTADC] = 0</b> 、通信なし		286		$\mu\text{A}$
$I_{\text{SLEEP}_1}$	SLEEP モード	定期的な保護および監視、バック電流なし、REG1 = OFF、REG2 = OFF、CHG = OFF、11V オーバードライブ モードで DSG = ON、通信なし、 <b>Power: Sleep: Voltage Time = 5s</b>		41		$\mu\text{A}$
$I_{\text{SLEEP}_2}$	SLEEP モード	定期的な保護および監視、バック電流なし、REG1 = OFF、REG2 = OFF、CHG = OFF、DSG = ソースフォロワ モード、通信なし、 <b>Power: Sleep: Voltage Time = 5s</b>		24		$\mu\text{A}$
$I_{\text{DEEPSLEEP}_1}$	DEEPSLEEP モード	監視または保護なし、無負荷時の REG1 = 3.3V、REG2 = OFF、LFO = ON、通信なし		10.7		$\mu\text{A}$
$I_{\text{DEEPSLEEP}_2}$	DEEPSLEEP モード	監視または保護なし、無負荷時の REG1 = 3.3V、REG2 = OFF、LFO = OFF、通信なし		9.2		$\mu\text{A}$

標準値は  $T_A = 25^\circ\text{C}$  の場合、最小値 / 最大値は  $T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$  および  $V_{\text{BAT}} = 4.7\text{V} \sim 70\text{V}$  の場合 (特に記述のない限り)  
(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
I <sub>SHUTDOWN</sub>	シャットダウン モード	TS2 ウェークアップ回路を除き、すべてのブロックが パワーダウン、監視または保護なし、通信なし		1.2	3.6	μA

(1) チャージポンプが動作していない場合、VBAT が最大規定電圧までの動作をサポートします。チャージポンプが動作している場合は常に (5.5V または 11V モード)、CP1、CHG、DSG の電圧が最大規定電圧を超えないように、VBAT の最大電圧を下げる必要があります。

## 6.6 デジタル I/O

標準値は  $T_A = 25^\circ\text{C}$  の場合、最小値 / 最大値は  $T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$  および  $V_{\text{BAT}} = 4.7\text{V} \sim 70\text{V}$  の場合 (特に記述のない限り)  
(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V <sub>IH</sub>	ハイレベル入力	ALERT (HDQ として構成)、SCL、SDA、 HDQ、CFETOFF、DFETOFF、 RST_SHUT	1.24			V
V <sub>IL</sub>	ローレベル入力	ALERT (HDQ として構成)、SCL、SDA、 HDQ、CFETOFF、DFETOFF、 RST_SHUT			0.53	V
V <sub>OH</sub>	出力電圧 High、TS2	シャットダウン モード 時の TS2、 $V_{\text{BAT}} > 8\text{V}$	4.2		6.5	V
V <sub>OH</sub>	出力電圧 High、5V ケース	ALERT、SDA (SPI_MISO として構成)、 SCL (SPI_SCLK として構成)、CFETOFF (GPO として構成)、DFETOFF (GPO として 構成)、DCHG、DDSG、REG1 から駆動す るピン、 $V_{\text{REG1}}$ は公称設定 5V に設定、 $V_{\text{BAT}}$ > 8V、 $I_{\text{OH}} = -3.0\text{mA}$ 、10pF 負荷	4		5.5	V
V <sub>OL</sub>	出力電圧 Low、5V ケース	ALERT、SCL、SDA、HDQ、DCHG、 DDSG、CFETOFF (GPO として構成)、 DFETOFF (GPO として構成)、REG1 から 駆動されるピン、 $V_{\text{REG1}}$ は公称設定 5V に設 定、 $V_{\text{BAT}} > 8\text{V}$ 、 $I_{\text{OL}} = 3\text{mA}$ 、10pF 負荷、 $-$ $40^\circ\text{C} \leq T_A \leq 95^\circ\text{C}$			0.42	V
		ALERT、SCL、SDA、HDQ、DCHG、 DDSG、CFETOFF (GPO として構成)、 DFETOFF (GPO として構成)、REG1 から 駆動されるピン、 $V_{\text{REG1}}$ は公称設定 5V に設 定、 $V_{\text{BAT}} > 8\text{V}$ 、 $I_{\text{OL}} = 3\text{mA}$ 、10pF 負荷、 $-$ $40^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$			0.46	V
R <sub>OH</sub>	高抵抗による弱出力	シャットダウン モード 時の TS2		4600		kΩ
C <sub>IN</sub>	入力容量 <sup>(2)</sup>	ALERT、SCL、SDA、HDQ、CFETOFF、 DFETOFF、DCHG、DDSG、REGIN、 TS1、TS2、TS3		2		pF
I <sub>LKG</sub>	入力リーク電流	ALERT、SCL、SDA、HDQ、CFETOFF、 DFETOFF、DCHG、DDSG、デバイスはシ ャットダウン モード			0.6	μA

(1) チャージポンプが動作していない場合、VBAT が最大規定電圧までの動作をサポートします。チャージポンプが動作している場合は常に (5.5V または 11V モード)、CP1、CHG、DSG の電圧が最大規定電圧を超えないように、VBAT の最大電圧を下げる必要があります。

(2) 設計により規定されています。

## 6.7 LD ピン

標準値は  $T_A = 25^\circ\text{C}$  の場合、最小値 / 最大値は  $T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$  および  $V_{\text{BAT}} = 4.7\text{V} \sim 70\text{V}$  の場合 (特に記述のない限り)  
(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$I_{\text{(PULLUP)}}$	BAT ピンから LD ピンへの内部プルアップ電流、負荷検出機能に使用	$V_{\text{BAT}} \geq 4.7\text{V}$ , $V_{\text{LD}} = \text{VSS}$	45	100	175	$\mu\text{A}$
$R_{\text{PD}}$	シャットダウン モード時の LD ピンの内部プルダウン抵抗	$V_{\text{BAT}} \geq 4.7\text{V}$		79		$\text{k}\Omega$

(1) チャージポンプが動作していない場合、 $V_{\text{BAT}}$  が最大規定電圧までの動作をサポートします。チャージポンプが動作している場合は常に (5.5V または 11V モード)、CP1、CHG、DSG の電圧が最大規定電圧を超えないように、 $V_{\text{BAT}}$  の最大電圧を下げる必要があります。

## 6.8 プリチャージ (PCHG) およびプリディスチャージ (PDSG) FET ドライブ

標準値は  $T_A = 25^\circ\text{C}$  の場合、最小値 / 最大値は  $T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$  および  $V_{\text{BAT}} = 4.7\text{V} \sim 70\text{V}$  の場合 (特に記述のない限り)  
(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{\text{(PCHG\_ON)}}$	出力電圧、PCHG オン <sup>(2)</sup>	最大 ( $V_{\text{PACK}}$ , $V_{\text{BAT}}$ ) - $V_{\text{PCHG}}$ , $V_{\text{PACK}} \geq 8\text{V}$ , $V_{\text{BAT}} \geq 4.7\text{V}$	7.2	8.4	10	V
$V_{\text{(PCHG\_ON)}}$	出力電圧、PCHG オン <sup>(2)</sup>	$V_{\text{PACK}} - V_{\text{PCHG}}$ , $4.7\text{V} \leq V_{\text{PACK}} < 8\text{V}$ , $V_{\text{BAT}} \geq 4.7\text{V}$ , $V_{\text{PACK}} > V_{\text{BAT}}$		$V_{\text{PACK}}$		V
$V_{\text{(PDSG\_ON)}}$	出力電圧、PDSG オン <sup>(2)</sup>	最大 ( $V_{\text{LD}}$ , $V_{\text{BAT}}$ ) - $V_{\text{PDSG}}$ , $V_{\text{BAT}} \geq 8\text{V}$	7.2	8.4	10	V
$V_{\text{(PDSG\_ON)}}$	出力電圧、PDSG オン <sup>(2)</sup>	$V_{\text{BAT}} - V_{\text{PDSG}}$ , $4.7\text{V} \leq V_{\text{BAT}} < 8\text{V}$ , $V_{\text{BAT}} \geq V_{\text{LD}}$		$V_{\text{BAT}}$		V
$I_{\text{(PULLDOWN)}}$	電流シンク能力、PCHG および PDSG	PCHG および PDSG 有効, $V_{\text{BAT}} = 59.2\text{V}$		30		$\mu\text{A}$

(1) チャージポンプが動作していない場合、 $V_{\text{BAT}}$  が最大規定電圧までの動作をサポートします。チャージポンプが動作している場合は常に (5.5V または 11V モード)、CP1、CHG、DSG の電圧が最大規定電圧を超えないように、 $V_{\text{BAT}}$  の最大電圧を下げる必要があります。  
(2) 特性評価と製造試験の組み合わせによる仕様

## 6.9 FUSE ピンの機能

標準値は  $T_A = 25^\circ\text{C}$  の場合、最小値 / 最大値は  $T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$  および  $V_{\text{BAT}} = 4.7\text{V} \sim 70\text{V}$  の場合 (特に記述のない限り)  
(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{\text{(OH)}}$	高出力電圧 (ヒューズを駆動している場合)	$V_{\text{BAT}} \geq 8\text{V}$ , $C_L = 1\text{nF}$ , $5\text{k}\Omega$ 負荷。	6	7	10	V
$V_{\text{(OH)}}$	高出力電圧 (ヒューズを駆動している場合) <sup>(2)</sup>	$4.7\text{V} \leq V_{\text{BAT}} < 8\text{V}$ , $C_L = 1\text{nF}$ , $5\text{k}\Omega$ 負荷。	$V_{\text{BAT}} - 1.75\text{V}$	$V_{\text{BAT}}$		V
$V_{\text{(IH)}}$	High レベル入力 (ヒューズ検出用)	デバイスのピンへの電流は、最大 2mA に制限する必要があります	2		12	V
$V_{\text{(IL)}}$	Low レベル入力 (ヒューズ検出用)				0.7	V
$t_{\text{(RISE)}}$	出力立ち上がり時間 (ヒューズを駆動している場合) <sup>(3)</sup>	$V_{\text{BAT}} \geq 8\text{V}$ , $C_L = 1\text{nF}$ , $R_{\text{LOAD}} = 5\text{k}\Omega$ , $V_{\text{(OH)}}$ = 最終的なセトリング電圧の 10% ~ 90%		0.5		$\mu\text{s}$

(1) チャージポンプが動作していない場合、 $V_{\text{BAT}}$  が最大規定電圧までの動作をサポートします。チャージポンプが動作している場合は常に (5.5V または 11V モード)、CP1、CHG、DSG の電圧が最大規定電圧を超えないように、 $V_{\text{BAT}}$  の最大電圧を下げる必要があります。  
(2) 特性評価と製造試験の組み合わせによる仕様  
(3) 設計により規定されています。

## 6.10 REG18 LDO

標準値は  $T_A = 25^\circ\text{C}$  の場合、最小値 / 最大値は  $T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$  および  $V_{\text{BAT}} = 4.7\text{V} \sim 70\text{V}$  の場合 (特に記述のない限り)  
(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$C_{\text{REG18}}$	外付けコンデンサ、REG18 から VSS <sup>(3)</sup>		1.8	2.2	22	$\mu\text{F}$
$V_{\text{REG18}}$	レギュレータ電圧		1.6	1.8	2	V
$\Delta V_{\text{O(TEMP)}}$	温度によるレギュレータ出力	$\Delta V_{\text{REG18}}$ と ( $25^\circ\text{C}$ における $V_{\text{REG18}}$ )、 $I_{\text{REG18}} = 1\text{mA}$ 、 $V_{\text{BAT}} = 55\text{V}$ との関係	±0.15%			
$\Delta V_{\text{O(LINE)}}$	ラインレギュレーション <sup>(2)</sup>	$\Delta V_{\text{REG18}}$ と ( $25^\circ\text{C}$ における $V_{\text{REG18}}$ 、 $V_{\text{BAT}} = 55\text{V}$ )、 $I_{\text{REG18}} = 1\text{mA}$ との関係、 $V_{\text{BAT}}$ が仕様範囲内で変動する場合	-0.6		0.5	%
$\Delta V_{\text{O(LOAD)}}$	負荷レギュレーション <sup>(2)</sup>	$\Delta V_{\text{REG18}}$ と ( $V_{\text{REG18}}$ 、 $V_{\text{BAT}} = 55\text{V}$ ) の関係、 $I_{\text{REG18}} = 0\text{mA} \sim 1\text{mA}$ 、 $25^\circ\text{C}$ 時	-1.1		-0.3	%
$I_{\text{SC}}$	レギュレータ短絡電流制限	$V_{\text{REG18}} = 0\text{V}$	1		17	mA

- (1) チャージポンプが動作していない場合、VBAT が最大規定電圧までの動作をサポートします。チャージポンプが動作している場合は常に (5.5V または 11V モード)、CP1、CHG、DSG の電圧が最大規定電圧を超えないように、VBAT の最大電圧を下げる必要があります。
- (2) 特性評価によって仕様規定されています
- (3) 設計により規定されています。

## 6.11 REG0 プリレギュレータ

標準値は  $T_A = 25^\circ\text{C}$  の場合、最小値 / 最大値は  $T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$  および  $V_{\text{BAT}} = 4.7\text{V} \sim 70\text{V}$  の場合 (特に記述のない限り)  
(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{\text{BREG\_HDRM}}$	プリレギュレータ制御電圧ヘッドルーム (最小値 ( $V_{\text{BAT}} - V_{\text{BREG}}$ )) <sup>(4)</sup>	$V_{\text{BAT}} \geq 4.7\text{V}$		1.5		V
$V_{\text{REGIN\_INT}}$	プリレギュレータ電圧、BREG を使用して生成される場合	$V_{\text{BAT}} > 8\text{V}$ 。ただし、具体的な要件は、選択した外部デバイスによって異なります	4.9	5.5	5.9	V
$V_{\text{REGIN\_EXT}}$	外部から供給される REGIN を使用する際のプリレギュレータ電圧 <sup>(4)</sup>	REG1 と REG2 の設定に基づく要件を参照してください			5.5	V
$\Delta V_{\text{O(TEMP)}}$	温度によるレギュレータ出力	$25^\circ\text{C}$ における $\Delta V_{\text{REGIN}}$ と $V_{\text{REGIN}}$ との関係、 $I_{\text{REGIN}} = 50\text{mA}$ 、 $V_{\text{BAT}} > 8\text{V}$	±0.05%			
$I_{\text{Max}}$	BREG から出力される最大電流 <sup>(4)</sup>	短絡条件の場合 ( $V_{\text{REGIN}} = 0\text{V}$ )	1.8	3.8		mA
$C_{\text{EXT}}$	REGIN から VSS への外付けコンデンサ <sup>(3) (4)</sup>		15	22	27	nF
$C_{\text{BREG}}$	BREG から VSS への外付けコンデンサ <sup>(4)</sup>				150	pF

- (1) チャージポンプが動作していない場合、VBAT が最大規定電圧までの動作をサポートします。チャージポンプが動作している場合は常に (5.5V または 11V モード)、CP1、CHG、DSG の電圧が最大規定電圧を超えないように、VBAT の最大電圧を下げる必要があります。
- (2) サポートされている出力電流は、 $V_{\text{STACK}} < 5.5\text{V}$  の場合に制限されます。 $V_{\text{REGIN}}$  は、 $V_{\text{BAT}}$  より約 2.5V 低く制限されます。
- (3) 経年劣化とディレーティングを考慮した後、静電容量は 7nF を上回る必要があります。
- (4) 設計により規定されています。

## 6.12 REG1 LDO

標準値は  $T_A = 25^\circ\text{C}$  の場合、最小値 / 最大値は  $T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$  および  $V_{\text{BAT}} = 4.7\text{V} \sim 70\text{V}$  の場合 (特に記述のない限り)  
(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{\text{REG1\_1.8}}$	レギュレータ電圧 (公称 1.8V の設定)	$V_{\text{REGIN}} \geq 3.0\text{V}$ 、 $I_{\text{REG1}} = 0\text{mA} \sim 45\text{mA}$	1.55	1.84	2.05	V
$V_{\text{REG1\_2.5}}$	レギュレータ電圧 (公称 2.5V の設定)	$V_{\text{REGIN}} \geq 3.5\text{V}$ 、 $I_{\text{REG1}} = 0\text{mA} \sim 45\text{mA}$	2.20	2.55	2.80	V
$V_{\text{REG1\_3.0}}$	レギュレータ電圧 (公称 3.0V の設定)	$V_{\text{REGIN}} \geq 3.8\text{V}$ 、 $I_{\text{REG1}} = 0\text{mA} \sim 45\text{mA}$	2.65	3.05	3.35	V
$V_{\text{REG1\_3.3}}$	レギュレータ電圧 (公称 3.3V の設定)	$V_{\text{REGIN}} \geq 4.1\text{V}$ 、 $I_{\text{REG1}} = 0\text{mA} \sim 45\text{mA}$	2.95	3.36	3.65	V

標準値は  $T_A = 25^\circ\text{C}$  の場合、最小値 / 最大値は  $T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$  および  $V_{\text{BAT}} = 4.7\text{V} \sim 70\text{V}$  の場合 (特に記述のない限り)  
(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{\text{REG1}_5.0}$	レギュレータ電圧 (公称 5.0V の設定)	$V_{\text{REGIN}} \geq 5.0\text{V}$ , $I_{\text{REG1}} = 0\text{mA} \sim 45\text{mA}$	4.28	5.19	5.65	V
$\Delta V_{\text{O(TEMP)}}$	温度によるレギュレータ出力	$\Delta V_{\text{REG1}}$ と ( $25^\circ\text{C}$ における $V_{\text{REG1}}$ , $I_{\text{REG1}} = 20\text{mA}$ , $V_{\text{REGIN}} = 5.5\text{V}$ , $V_{\text{REG1}}$ は公称 3.3V に設定) との関係	±0.25%			
$\Delta V_{\text{O(LINE)}}$	ラインレギュレーション	$\Delta V_{\text{REG1}}$ と ( $25^\circ\text{C}$ における $V_{\text{REG1}}$ , $V_{\text{REGIN}} = 5.5\text{V}$ , $I_{\text{REG1}} = 20\text{mA}$ ) との関係、 $V_{\text{REGIN}}$ は 5V ~ 6V に変化、 $V_{\text{REG1}}$ は公称 3.3V に設定	-1.5%		1.5%	
$I_{\text{SC}}$	レギュレータ短絡電流制限	$V_{\text{REG1}} = 0\text{V}$ , REG1 は 3.3V 出力に設定、 $-40^\circ\text{C} \sim 25^\circ\text{C}$	42		75	mA
		$V_{\text{REG1}} = 0\text{V}$ , REG1 は 3.3V 出力に設定、 $25^\circ\text{C} \sim 125^\circ\text{C}$	45		75	mA
$C_{\text{EXT}}$	REG1 から VSS への外付けコンデンサ <sup>(2)</sup>		1			µF

- (1) チャージポンプが動作していない場合、VBAT が最大規定電圧までの動作をサポートします。チャージポンプが動作している場合は常に (5.5V または 11V モード)、CP1、CHG、DSG の電圧が最大規定電圧を超えないように、VBAT の最大電圧を下げる必要があります。  
(2) 設計により規定されています。

### 6.13 REG2 LDO

標準値は  $T_A = 25^\circ\text{C}$  の場合、最小値 / 最大値は  $T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$  および  $V_{\text{BAT}} = 4.7\text{V} \sim 70\text{V}$  の場合 (特に記述のない限り)  
(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{\text{REG2}_1.8}$	レギュレータ電圧 (公称 1.8V の設定)	$V_{\text{REGIN}} \geq 3.0\text{V}$ , $I_{\text{REG2}} = 0\text{mA} \sim 40\text{mA}$	1.55	1.84	2.05	V
$V_{\text{REG2}_2.5}$	レギュレータ電圧 (公称 2.5V の設定)	$V_{\text{REGIN}} \geq 3.5\text{V}$ , $I_{\text{REG2}} = 0\text{mA} \sim 40\text{mA}$	2.20	2.55	2.80	V
$V_{\text{REG2}_3.0}$	レギュレータ電圧 (公称 3.0V の設定)	$V_{\text{REGIN}} \geq 3.8\text{V}$ , $I_{\text{REG2}} = 0\text{mA} \sim 40\text{mA}$	2.65	3.06	3.35	V
$V_{\text{REG2}_3.3}$	レギュレータ電圧 (公称 3.3V の設定)	$V_{\text{REGIN}} \geq 4.1\text{V}$ , $I_{\text{REG2}} = 0\text{mA} \sim 40\text{mA}$	2.95	3.38	3.65	V
$V_{\text{REG2}_5.0}$	レギュレータ電圧 (公称 5.0V の設定)	$V_{\text{REGIN}} \geq 5.0\text{V}$ , $I_{\text{REG2}} = 0\text{mA} \sim 40\text{mA}$	4.45	5.23	5.55	V
$\Delta V_{\text{O(TEMP)}}$	温度によるレギュレータ出力	$\Delta V_{\text{REG2}}$ と ( $25^\circ\text{C}$ における $V_{\text{REG2}}$ , $I_{\text{REG2}} = 20\text{mA}$ , $V_{\text{REGIN}} = 5.5\text{V}$ , $V_{\text{REG2}}$ は公称 3.3V に設定) との関係	±0.25%			
$\Delta V_{\text{O(LINE)}}$	ラインレギュレーション	$\Delta V_{\text{REG2}}$ と ( $25^\circ\text{C}$ における $V_{\text{REG2}}$ , $V_{\text{REGIN}} = 5.5\text{V}$ , $I_{\text{REG2}} = 20\text{mA}$ ) との関係、 $V_{\text{REGIN}}$ は 5V ~ 6V に変化、 $V_{\text{REG2}}$ は公称 3.3V に設定	-1.5%		1.5%	
$I_{\text{SC}}$	レギュレータ短絡電流制限	$V_{\text{REG2}} = 0\text{V}$ , REG2 は 3.3V 出力に対して設定	41		76	mA
$C_{\text{EXT}}$	REG2 から VSS への外付けコンデンサ <sup>(2)</sup>		1			µF

- (1) チャージポンプが動作していない場合、VBAT が最大規定電圧までの動作をサポートします。チャージポンプが動作している場合は常に (5.5V または 11V モード)、CP1、CHG、DSG の電圧が最大規定電圧を超えないように、VBAT の最大電圧を下げる必要があります。  
(2) 設計により規定されています。

### 6.14 基準電圧

標準値は  $T_A = 25^\circ\text{C}$  の場合、最小値 / 最大値は  $T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$  および  $V_{\text{BAT}} = 4.7\text{V} \sim 70\text{V}$  の場合 (特に記述のない限り)  
(1)

パラメータ	テスト条件	最小値	標準値	最大値	単位
電圧リファレンス 1					

標準値は  $T_A = 25^\circ\text{C}$  の場合、最小値 / 最大値は  $T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$  および  $V_{\text{BAT}} = 4.7\text{V} \sim 70\text{V}$  の場合 (特に記述のない限り)  
(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{(\text{REF}1)}$	内部リファレンス電圧 <sup>(2) (4)</sup>	$T_A = 25^\circ\text{C}$	1.2107	1.2118	1.2129	V
		$T_A = -20^\circ\text{C} \sim 65^\circ\text{C}$	1.210		1.2131	V
		$T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$	1.2095		1.2145	V
<b>電圧リファレンス 2</b>						
$V_{(\text{REF}2)}$	内部リファレンス電圧 <sup>(3) (4)</sup>	$T_A = 25^\circ\text{C}$	1.238	1.2396	1.242	V
		$T_A = -20^\circ\text{C} \sim 65^\circ\text{C}$	1.234		1.245	V
		$T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$	1.230		1.247	V

- (1) チャージポンプが動作していない場合、VBAT が最大規定電圧までの動作をサポートします。チャージポンプが動作している場合は常に (5.5V または 11V モード)、CP1、CHG、DSG の電圧が最大規定電圧を超えないように、VBAT の最大電圧を下げる必要があります。
- (2)  $V_{(\text{REF}1)}$  は ADC リファレンスに使用します。その実効値は、ADC を使用した間接測定と VC1 ~ VC0 の差動電圧を測定することにより決定されます。
- (3)  $V_{(\text{REF}2)}$  は、LDO、クーロンカウンタ、電流測定に使用されます
- (4) 特性評価によって仕様規定されています

## 6.15 クーロンカウンタ

標準値は  $T_A = 25^\circ\text{C}$  の場合、最小値 / 最大値は  $T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$  および  $V_{\text{BAT}} = 4.7\text{V} \sim 70\text{V}$  の場合 (特に記述のない限り)  
(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{(\text{CC\_IN})}$	測定の入力電圧範囲 <sup>(4)</sup>	$V_{\text{SRP}} - V_{\text{SRN}}$	-0.2		0.2	V
$V_{(\text{CC\_IN})}$	測定の入力電圧範囲 <sup>(4)</sup>	$V_{\text{SRP}}, V_{\text{SRN}}$	-0.2		0.2	V
$B_{(\text{CC\_INL})}$	積分非線形性 <sup>(3)</sup>	16 ビット、 $\pm 150\text{mV}$ 差動入力電圧範囲内で最適な適合を実現し、0V の同相電圧を使用しています。		$\pm 3.5$	$\pm 7.5$	LSB <sup>(2)</sup>
$V_{(\text{CC\_OFF})}$	オフセット誤差 <sup>(3)</sup>	16 ビット、キャリブレーションなし	-1		11	$\mu\text{V}$ <sup>(2)</sup>
$V_{(\text{CC\_OFF\_DRIFT})}$	オフセット誤差のドリフト <sup>(3)</sup>	16 ビット、ポスト キャリブレーション	-60		60	$\text{nV}/^\circ\text{C}$ <sup>(2)</sup>
$B_{(\text{CC\_GAIN})}$	ゲイン <sup>(3)</sup>	16 ビット、規定入力電圧範囲、 $-20^\circ\text{C} \sim +65^\circ\text{C}$	131019	131552	132183	LSB/V <sup>(2)</sup>
		16 ビット、規定入力電圧範囲、 $-40^\circ\text{C} \sim +125^\circ\text{C}$	130834	131552	132457	LSB/V <sup>(2)</sup>
$R_{(\text{CC\_IN})}$	実効入力抵抗 <sup>(4)</sup>			2		M $\Omega$

- (1) チャージポンプが動作していない場合、VBAT が最大規定電圧までの動作をサポートします。チャージポンプが動作している場合は常に (5.5V または 11V モード)、CP1、CHG、DSG の電圧が最大規定電圧を超えないように、VBAT の最大電圧を下げる必要があります。
- (2) 1LSB (16 ビット モード、CC1 フィルタを使用) =  $V_{\text{REF}2} / (5 \times 2^{N-1}) \approx 1.24 / (5 \times 2^{15}) = 7.6\mu\text{V}$
- (3) 特性評価によって仕様規定されています
- (4) 設計により規定されています

## 6.16 クーロンカウンタ デジタルフィルタ (CC1)

標準値は  $T_A = 25^\circ\text{C}$  の場合、最小値 / 最大値は  $T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$  および  $V_{\text{BAT}} = 4.7\text{V} \sim 70\text{V}$  の場合 (特に記述のない限り)  
(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{(\text{CC}1\_ \text{CONV\_FA} \text{ST})}$	変換時間	シングル変換 (262.144kHz モードで LFO から動作する場合)		250		ms
$t_{(\text{CC}1\_ \text{CONV\_SL} \text{OW})}$	変換時間	シングル変換 (32.768kHz モードで LFO から動作する場合)		4		s

標準値は  $T_A = 25^\circ\text{C}$  の場合、最小値 / 最大値は  $T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$  および  $V_{\text{BAT}} = 4.7\text{V} \sim 70\text{V}$  の場合 (特に記述のない限り)  
(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$B_{(\text{CC1\_RSL})}$	有効分解能 <sup>(2) (3)</sup>	262.144kHz モードで LFO から動作		15.6		ビット

- (1) チャージポンプが動作していない場合、VBAT が最大規定電圧までの動作をサポートします。チャージポンプが動作している場合は常に (5.5V または 11V モード)、CP1、CHG、DSG の電圧が最大規定電圧を超えないように、VBAT の最大電圧を下げる必要があります。
- (2) 有効分解能は、データが  $\pm 1\text{LSB}$  内で 1 シグマの変動を示す分解能として定義されます。
- (3) 設計と製造試験の組み合わせによる仕様

## 6.17 電流測定デジタルフィルタ (CC2)

標準値は  $T_A = 25^\circ\text{C}$  の場合、最小値 / 最大値は  $T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$  および  $V_{\text{BAT}} = 4.7\text{V} \sim 70\text{V}$  の場合 (特に記述のない限り)  
(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{(\text{CC2\_CONV})}$	変換時間	シングル変換、通常モード、 <b>Settings:Configuration:Power Config[FASTADC] = 0</b>		2.93		ms
$t_{(\text{CC2\_CONV\_FAST})}$	高速モードでの変換時間	シングル変換、通常モード、 <b>Settings:Configuration:Power Config[FASTADC] = 1</b>		1.46		ms
$B_{(\text{CC2\_RES})}$	有効分解能 <sup>(2) (3)</sup>	通常モード、 <b>Settings:Configuration:Power Config[FASTADC] = 0</b>	14			ビット
$B_{(\text{CC2\_RES\_FAST})}$	高速モードでの有効分解能 <sup>(2)</sup>	通常モード、 <b>Settings:Configuration:Power Config[FASTADC] = 1</b>		13.5		ビット

- (1) チャージポンプが動作していない場合、VBAT が最大規定電圧までの動作をサポートします。チャージポンプが動作している場合は常に (5.5V または 11V モード)、CP1、CHG、DSG の電圧が最大規定電圧を超えないように、VBAT の最大電圧を下げる必要があります。
- (2) 有効分解能は、データが  $\pm 1\text{LSB}$  内で 1 シグマの変動を示す分解能として定義されます。
- (3) 特性評価によって仕様規定されています

## 6.18 電流ウェイク検出器

標準値は  $T_A = 25^\circ\text{C}$  の場合、最小値 / 最大値は  $T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$  および  $V_{\text{BAT}} = 4.7\text{V} \sim 70\text{V}$  の場合 (特に記述のない限り)  
(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{\text{WAKE\_THR}}$	ウェイクアップ電圧スレッシュホールド エラー <sup>(2)</sup>	$V_{\text{WAKE}} = V_{\text{SRP}} - V_{\text{SRN}}$ 、設定範囲 $\pm 0.5\text{mV} \sim \pm 5\text{mV}$ 。ノイズの影響を除去するために、平均化されたデータを使用して測定されます。	-100		100	$\mu\text{V}$
$V_{\text{WAKE\_THR}}$	ウェイクアップ電圧スレッシュホールド エラー <sup>(2)</sup>	$V_{\text{WAKE}} = V_{\text{SRP}} - V_{\text{SRN}}$ 、 $\pm 5\text{mV}$ 超に設定。ノイズの影響を除去するために、平均化されたデータを使用して測定されます。	-2%		2%	
$t_{\text{WAKE}}$	測定間隔 <sup>(2)</sup>			48		ms

- (1) チャージポンプが動作していない場合、VBAT が最大規定電圧までの動作をサポートします。チャージポンプが動作している場合は常に (5.5V または 11V モード)、CP1、CHG、DSG の電圧が最大規定電圧を超えないように、VBAT の最大電圧を下げる必要があります。
- (2) 設計により規定されています。設定 **Settings:Configuration:Power Config[WK\_SPD1:0] = 0x0** に基づきます。

## 6.19 A/D コンバータ

標準値は  $T_A = 25^\circ\text{C}$  の場合、最小値 / 最大値は  $T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$  および  $V_{\text{BAT}} = 4.7\text{V} \sim 70\text{V}$  の場合 (特に記述のない限り)  
(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{(\text{ADC\_IN\_CELLS})}$	入力電圧範囲 (差動セル入力モード) <sup>(8)</sup>	内部リファレンス ( $V_{\text{ref}} = V_{\text{REF1}}$ )	-0.2		5.5	V

標準値は  $T_A = 25^\circ\text{C}$  の場合、最小値 / 最大値は  $T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$  および  $V_{\text{BAT}} = 4.7\text{V} \sim 70\text{V}$  の場合 (特に記述のない限り)  
(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$B_{(\text{ADC\_GAIN})}$	ゲイン	セル入力の 5.5V 差動電圧を使用して 16 ビットで測定されたゲイン (キャリブレーションなし)。	5395		5416	LSB/V <sup>(8)</sup>
$R_{(\text{ADC\_IN\_CELL})}$	実効入力抵抗 <sup>(3)</sup>	VC16 ~ VC15 の差動セル入力モード <sup>(9)</sup>		10		MΩ
$R_{(\text{ADC\_IN\_LD})}$	実効入力抵抗	LD ピンでの分圧測定 (LD ピンの測定中のみアクティブ)		2		MΩ
$R_{(\text{ADC\_IN\_DIV})}$	実効入力抵抗	VC16 ピンと PACK ピンでの分圧測定 (ピンの測定中のみアクティブ)		600		kΩ
$B_{(\text{ADC\_RES})}$	有効分解能 <sup>(2) (4) (10)</sup>	シングル変換、通常モードとセル電圧の測定時、 <b>Settings:Configuration:Power Config[FASTADC] = 0</b>	12.25	14		ビット
$B_{(\text{ADC\_RES\_FAST})}$	高速モードでの有効分解能 <sup>(2) (10)</sup>	シングル変換、通常モード、 <b>Settings:Configuration:Power Config[FASTADC] = 1</b>		14		ビット
$t_{(\text{ADC\_CONV})}$	変換時間	シングル変換、通常モード、 <b>Settings:Configuration:Power Config[FASTADC] = 0</b>		2.93		ms
$t_{(\text{ADC\_CONV\_FAST})}$	高速モードでの変換時間	シングル変換、通常モード、 <b>Settings:Configuration:Power Config[FASTADC] = 1</b>		1.46		ms
$V_{\text{STACK(ACC)}}$	スタック電圧 (VC16 ~ VSS) 測定精度 <sup>(5) (6)</sup>	$4.7\text{V} < V_{\text{VC16}} - V_{\text{VSS}} < 70\text{V}, T_A = -20^\circ\text{C} \sim 65^\circ\text{C}$	-0.55		0.62	V
		$4.7\text{V} < V_{\text{VC16}} - V_{\text{VSS}} < 70\text{V}, T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$	-0.72		0.68	V
$V_{\text{PACK(ACC)}}$	PACK ピンの電圧測定精度 <sup>(5) (6)</sup>	$4.7\text{V} < V_{\text{PACK}} < 70\text{V}, T_A = -20^\circ\text{C} \sim 65^\circ\text{C}$	-0.36		0.18	V
		$4.7\text{V} < V_{\text{PACK}} < 70\text{V}, T_A = -40^\circ\text{C} \sim 110^\circ\text{C}$	-0.63		0.65	V
		$4.7\text{V} < V_{\text{PACK}} < 70\text{V}, T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$	-0.81		0.65	V
$V_{\text{LD(ACC)}}$	LD ピンの電圧測定精度 <sup>(5) (7)</sup>	$4.7\text{V} < V_{\text{LD}} < 70\text{V}, T_A = -20^\circ\text{C} \sim 65^\circ\text{C}$	-0.45		0.57	V
		$4.7\text{V} < V_{\text{LD}} < 70\text{V}, T_A = -40^\circ\text{C} \sim 110^\circ\text{C}$	-0.85		0.93	V
		$4.7\text{V} < V_{\text{LD}} < 70\text{V}, T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$	-0.86		1.2	V

- (1) チャージポンプが動作していない場合、VBAT が最大規定電圧までの動作をサポートします。チャージポンプが動作している場合は常に (5.5V または 11V モード)、CP1、CHG、DSG の電圧が最大規定電圧を超えないように、VBAT の最大電圧を下げる必要があります。
- (2) 有効分解能は、データが  $\pm 1\text{LSB}$  内で 1 シグマの変動を示す分解能として定義されます。
- (3) 設計により規定されています。
- (4) 特性評価によって仕様規定されています
- (5) 特性評価と製造試験の組み合わせによる仕様
- (6) デバイス ピンの電圧に基づいて規定されています。ピンに直列抵抗を使用する場合は、抵抗分圧回路の影響を考慮する必要があります。
- (7) デバイス ピンの電圧に基づいて規定され、測定後の値は 1.00625 倍にスケールリングされます。ピンに直列抵抗を使用する場合は、抵抗分圧回路の影響を考慮する必要があります。
- (8) 差動セル電圧測定用の 16 ビット LSB サイズは、 $1\text{LSB} = 5 \times V_{\text{REF1}} / 2^{15} \cong 5 \times 1.212\text{V} / 2^{15} = 185\mu\text{V}$
- (9) デバイスが通常モードで動作し、セル バランシングが無効、3 つ以上のサーミスタが使用されており、5V の差動電圧が印加された場合の平均実効差動入力抵抗。
- (10) スリープ モード中は、セル 1 の電圧測定を有効とみなす前に、検証することが重要です。詳細については、『スリープ モード時のセル 1 電圧検証』を参照してください。

## 6.20 セル電圧の測定精度

標準値は  $T_A = 25^\circ\text{C}$  の場合、最小値 / 最大値は  $T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$  および  $V_{\text{BAT}} = 4.7\text{V} \sim 70\text{V}$  の場合 (特に記述のない限り)  
(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
VCELL(A CC)	セル電圧測定精度、 $2\text{V} < V_{\text{VC}(x)} - V_{\text{VC}(x-1)} < 3.7\text{V}$ 、 $1 \leq x \leq 16$ 、 セル オフセット キャリブレーションあり(2) (3) (4)	$T_A = 25^\circ\text{C}$	-2.1		1.6	mV
		$-20^\circ\text{C} \leq T_A \leq 65^\circ\text{C}$	-3.4		3.7	mV
		$-40^\circ\text{C} \leq T_A \leq 95^\circ\text{C}$	-5.0		5.2	mV
		$-40^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$	-8.0		6.2	mV
VCELL(A CC)	セル電圧測定精度、 $2\text{V} < V_{\text{VC}(x)} - V_{\text{VC}(x-1)} < 4.5\text{V}$ 、 $1 \leq x \leq 16$ 、 セル オフセット キャリブレーションあり(2) (3) (4)	$T_A = 25^\circ\text{C}$	-2.8		1.6	mV
		$-20^\circ\text{C} \leq T_A \leq 65^\circ\text{C}$	-4.7		4.3	mV
		$-40^\circ\text{C} \leq T_A \leq 95^\circ\text{C}$	-6.5		6.1	mV
		$-40^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$	-9.6		7.1	mV
VCELL(A CC)	セル電圧測定精度、 $1\text{V} < V_{\text{VC}(x)} - V_{\text{VC}(x-1)} < 5.0\text{V}$ 、 $1 \leq x \leq 16$ 、 セル オフセット キャリブレーションあり(2) (3) (4)	$T_A = 25^\circ\text{C}$	-3.8		1.6	mV
		$-20^\circ\text{C} \leq T_A \leq 65^\circ\text{C}$	-6.3		4.8	mV
		$-40^\circ\text{C} \leq T_A \leq 95^\circ\text{C}$	-8.3		6.6	mV

- チャージポンプが動作していない場合、VBAT が最大規定電圧までの動作をサポートします。チャージポンプが動作している場合は常に (5.5V または 11V モード)、CP1、CHG、DSG の電圧が最大規定電圧を超えないように、VBAT の最大電圧を下げる必要があります。
- 特性評価と製造しけんの組み合わせによる仕様、16 直列スタック、入力ネットワーク直列抵抗 = 20Ω、差分キャパシタンス = 220nF、セルパラレンシングは非アクティブ
- 25°C で 3.7V / セルデータを用いてセル オフセット キャリブレーションを実行済み
- スリープモード中は、セル 1 の電圧測定を有効とみなす前に、検証することが重要です。詳細については、『スリープモード時のセル 1 電圧検証』を参照してください。

## 6.21 マルチファンクションピン ADC 測定

標準値は  $T_A = 25^\circ\text{C}$  の場合、最小値 / 最大値は  $T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$  および  $V_{\text{BAT}} = 4.7\text{V} \sim 70\text{V}$  の場合 (特に記述のない限り)  
(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$R_{\text{ADC\_IN\_LD}}$	実効入力抵抗	LD ピンでの分圧測定 (LD ピンの測定中のみアクティブ)		2		MΩ
$R_{\text{ADC\_IN\_DIV}}$	実効入力抵抗	VC16 ピンと PACK ピンでの分圧測定 (ピンの測定中のみアクティブ)		600		kΩ
V(MFPIN)	ADCIN またはサーミスタモードにおけるマルチファンクションピン (TS1、TS2、TS3、CFETOFF、DFETOFF、DCHG、DDSG、ALERT、HDQ) の入力電圧範囲(2)	内部基準電圧 ( $V_{\text{ref}} = V_{\text{REF1}}$ ) またはレギュレータ基準電圧 ( $V_{\text{ref}} = V_{\text{REG18}}$ )	-0.2		$V_{\text{REG18}}$	
VADCIN(ACC)	ADCIN モードにおけるマルチファンクションピン (TS1、TS2、TS3、CFETOFF、DFETOFF、DCHG、DDSG、ALERT、HDQ) の測定精度範囲、 $V_{\text{PIN}} = 0\text{V}$ (3)	$T_A = 25^\circ\text{C}$	-0.97		0.18	mV
		$-20^\circ\text{C} \leq T_A \leq 65^\circ\text{C}$	-1.04		0.19	mV
		$-40^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$	-1.46		0.40	mV
VADCIN(ACC)	ADCIN モードにおけるマルチファンクションピン (TS1、TS2、TS3、CFETOFF、DFETOFF、DCHG、DDSG、ALERT、HDQ) の測定精度範囲、 $V_{\text{PIN}} = 0.9\text{V}$ (3)	$T_A = 25^\circ\text{C}$	-0.97		0.16	mV
		$-20^\circ\text{C} \leq T_A \leq 65^\circ\text{C}$	-1.19		0.46	mV
		$-40^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$	-1.92		1.26	mV
VADCIN(ACC)	ADCIN モードにおけるマルチファンクションピン (TS1、TS2、TS3、CFETOFF、DFETOFF、DCHG、DDSG、ALERT、HDQ) の測定精度範囲、 $V_{\text{PIN}} = 1.8\text{V}$ (3)	$T_A = 25^\circ\text{C}$	-1.51		0.66	mV
		$-20^\circ\text{C} \leq T_A \leq 65^\circ\text{C}$	-1.93		1.08	mV
		$-40^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$	-3.26		2.46	mV

- チャージポンプが動作していない場合、VBAT が最大規定電圧までの動作をサポートします。チャージポンプが動作している場合は常に (5.5V または 11V モード)、CP1、CHG、DSG の電圧が最大規定電圧を超えないように、VBAT の最大電圧を下げる必要があります。
- 特性評価と製造試験の組み合わせによる仕様

(3) 特性評価と製造試験の組み合わせによる仕様では、デバイスから結果を読み取り、0.9979 でスケールリングする必要があります。

## 6.22 セル バランシング

標準値は  $T_A = 25^\circ\text{C}$  の場合、最小値 / 最大値は  $T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$  および  $V_{\text{BAT}} = 4.7\text{V} \sim 70\text{V}$  の場合 (特に記述のない限り)  
(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$R_{(\text{CB})}$	内部セル バランシング抵抗 <sup>(2)</sup>	$V_{\text{VC}(n)} - V_{\text{VC}(n-1)} = 1.5\text{V}, 1 \leq n \leq 16, V_{\text{BAT}} \geq 4.7\text{V}$ での内部 FET スイッチの $R_{\text{DS(ON)}}$	13	28	50	$\Omega$

- (1) チャージポンプが動作していない場合、VBAT が最大規定電圧までの動作をサポートします。チャージポンプが動作している場合は常に (5.5V または 11V モード)、CP1、CHG、DSG の電圧が最大規定電圧を超えないように、VBAT の最大電圧を下げる必要があります。
- (2) セル バランシングは、絶対最大許容電流に基づいて電流を制限し、デバイスの推奨動作温度を超えないように制御する必要があります。これは、オフチップセル入力抵抗のサイズを適切に設定し、同時にバランスをとることができるセル数を制限することで実現できます。

## 6.23 セル開路検出器

標準値は  $T_A = 25^\circ\text{C}$  の場合、最小値 / 最大値は  $T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$  および  $V_{\text{BAT}} = 4.7\text{V} \sim 70\text{V}$  の場合 (特に記述のない限り)  
(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$I_{(\text{OW})}$	VCx ピンから VSS への内部セルの断線チェック電流、 $1 \leq x \leq 16$	$\text{VCx} > \text{VSS} + 0.8\text{V}, 1 \leq x \leq 4, \text{VCx} > \text{VSS} + 2.8\text{V}, 5 \leq x \leq 16$	39	53	66	$\mu\text{A}$

- (1) チャージポンプが動作していない場合、VBAT が最大規定電圧までの動作をサポートします。チャージポンプが動作している場合は常に (5.5V または 11V モード)、CP1、CHG、DSG の電圧が最大規定電圧を超えないように、VBAT の最大電圧を下げる必要があります。

## 6.24 内部温度センサ

標準値は  $T_A = 25^\circ\text{C}$  の場合、最小値 / 最大値は  $T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$  および  $V_{\text{BAT}} = 4.7\text{V} \sim 70\text{V}$  の場合 (特に記述のない限り)  
(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{(\text{TEMP})}$	内部温度センサ電圧ドリフト	$\Delta V_{\text{BE}}$ 測定		0.410		mV/ $^\circ\text{C}$

- (1) チャージポンプが動作していない場合、VBAT が最大規定電圧までの動作をサポートします。チャージポンプが動作している場合は常に (5.5V または 11V モード)、CP1、CHG、DSG の電圧が最大規定電圧を超えないように、VBAT の最大電圧を下げる必要があります。

## 6.25 サーマスタ測定

標準値は  $T_A = 25^\circ\text{C}$  の場合、最小値 / 最大値は  $T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$  および  $V_{\text{BAT}} = 4.7\text{V} \sim 70\text{V}$  の場合 (特に記述のない限り)  
(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$R_{(\text{TS\_PU})}$	内部プルアップ抵抗 <sup>(2)</sup>	公称 18k $\Omega$ の設定	16	17.9	21	k $\Omega$
		公称 180k $\Omega$ の設定	160	175	200	k $\Omega$
$R_{(\text{TS\_PAD})}$	内部パッド抵抗 <sup>(3)</sup>			489		$\Omega$
$R_{(\text{TS\_PU\_DRIFT})}$	温度による内部プルアップ抵抗の変化	公称 18k $\Omega$ について、 $-40^\circ\text{C}/+125^\circ\text{C}$ と $25^\circ\text{C}$ での値との関係を変更		$\pm 310$		$\Omega$
		公称 180k $\Omega$ について、 $-40^\circ\text{C}/+125^\circ\text{C}$ と $25^\circ\text{C}$ での値との関係を変更		$\pm 2000$		$\Omega$

- (1) チャージポンプが動作していない場合、VBAT が最大規定電圧までの動作をサポートします。チャージポンプが動作している場合は常に (5.5V または 11V モード)、CP1、CHG、DSG の電圧が最大規定電圧を超えないように、VBAT の最大電圧を下げる必要があります。
- (2) 内部プルアップ抵抗には、REG18 ピンと、ADC によって電圧が検出されるポイントとの間の抵抗のみが含まれます。
- (3) 内部パッド抵抗には、ADC によって電圧が検出される点と、外部サーミスタが接続されているピン (TS1、TS2、TS3、ALERT、CFETOFF、DFETOFF、HDQ、DCHG、DDSG ピンを含む) との間の抵抗が含まれます。

## 6.26 内部発振器

標準値は  $T_A = 25^\circ\text{C}$  の場合、最小値 / 最大値は  $T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$  および  $V_{\text{BAT}} = 4.7\text{V} \sim 70\text{V}$  の場合 (特に記述のない限り)  
(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
<b>高周波発振器</b>						
$f_{\text{HFO}}$	HFO 動作周波数		16.0	16.85	17.5	MHz
$f_{\text{HFO(SU)}}$	起動時間 <sup>(2)</sup>	$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ 、シャットダウンからのパワーアップ時またはディープスリープモード終了時、発振器の周波数は公称値の $\pm 3\%$ 以内			4.4	ms
		$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ 、シャットダウンからのパワーアップまたはディープスリープモード終了以外のケース、発振器の周波数は公称値の $\pm 3\%$ 以内			150	$\mu\text{s}$
<b>低周波数発振器</b>						
$f_{\text{LFO(FULL)}}$	LFO 動作周波数、フルスピード設定	$T_A = -20^\circ\text{C} \sim +65^\circ\text{C}$	259	263.7	267	kHz
		$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$	256		270	kHz
$f_{\text{LFO(LOW)}}$	LFO 動作周波数、低速設定			32.8		kHz
$f_{\text{LFO(FAIL)}}$	障害検出周波数	LFO 周波数がこのレベルを下回った場合、発振器の障害を検出します。	9	12.3	15	kHz

- (1) チャージポンプが動作していない場合、VBAT が最大規定電圧までの動作をサポートします。チャージポンプが動作している場合は常に (5.5V または 11V モード)、CP1、CHG、DSG の電圧が最大規定電圧を超えないように、VBAT の最大電圧を下げる必要があります。  
(2) 設計により規定されています。

## 6.27 ハイサイド NFET ドライバ

標準値は  $T_A = 25^\circ\text{C}$  の場合、最小値 / 最大値は  $T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$  および  $V_{\text{BAT}} = 4.7\text{V} \sim 70\text{V}$  の場合 (特に記述のない限り)  
(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{(\text{FETON\_HI})}$	BAT を基準とした CHG ピンの電圧、BAT を基準とした DSG ピンの電圧、 $8\text{V} \leq V_{\text{BAT}}$ 、 $V_{\text{LD}} \leq V_{\text{DSG}}$ <sup>(2)</sup>	CHG/DSG $C_L = 20\text{nF}$ 、チャージポンプ High オーバードライブ設定	8.5	11.3	14	V
$V_{(\text{FETON\_HI\_LOBAT})}$	BAT を基準とした CHG ピンの電圧、BAT を基準とした DSG ピンの電圧、 $4.7\text{V} \leq V_{\text{BAT}} < 8\text{V}$ 、 $V_{\text{LD}} \leq V_{\text{DSG}}$ <sup>(2) (4)</sup>	CHG/DSG $C_L = 20\text{nF}$ 、チャージポンプ High オーバードライブ設定	7.5	10.4	13.7	V
$V_{(\text{FETON\_LO})}$	BAT を基準とした CHG ピンの電圧、BAT を基準とした DSG ピンの電圧、 $8\text{V} \leq V_{\text{BAT}}$ 、 $V_{\text{LD}} \leq V_{\text{DSG}}$ <sup>(2)</sup>	CHG/DSG $C_L = 20\text{nF}$ 、チャージポンプ Low オーバードライブ設定	4.2	5.9	7.8	V
$V_{(\text{FETON\_LO\_LOBAT})}$	BAT を基準とした CHG ピンの電圧、BAT を基準とした DSG ピンの電圧、 $4.7\text{V} \leq V_{\text{BAT}} < 8\text{V}$ 、 $V_{\text{LD}} \leq V_{\text{DSG}}$ <sup>(2) (4)</sup>	CHG/DSG $C_L = 20\text{nF}$ 、チャージポンプ Low オーバードライブ設定	4.0	4.9	6.0	V
$V_{(\text{SRCFOL\_FETON})}$	BAT を基準とした DSG オン電圧	CHG/DSG $C_L = 20\text{nF}$ 、ソース フォロウ モード		0		V
$V_{(\text{CHGFETOFF})}$	BAT を基準とした CHG オフ電圧	CHG/DSG $C_L = 20\text{nF}$ 、定常状態の値		0		V

標準値は  $T_A = 25^\circ\text{C}$  の場合、最小値 / 最大値は  $T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$  および  $V_{\text{BAT}} = 4.7\text{V} \sim 70\text{V}$  の場合 (特に記述のない限り)  
(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{\text{(DSGFETOFF)}}$	LD を基準とした DSG オフ電圧	CHG/DSG $C_L = 20\text{nF}$ 、定常状態の値		0		V
$t_{\text{(FET\_ON)}}$	CHG と DSG の立ち上がり時間	CHG/DSG $C_L = 20\text{nF}$ 、 $R_{\text{GATE}} = 100\Omega$ 、 $0.5\text{V} \sim 4\text{V}$ ゲートソース間オーバードライブ、チャージポンプの高オーバードライブ設定(4) (5)		22	40	$\mu\text{s}$
$t_{\text{(CHGFETOFF)}}$	BAT への CHG 立ち下がり時間	CHG $C_L = 20\text{nF}$ 、 $R_{\text{GATE}} = 100\Omega$ 、 $V_{\text{(FETON)}} = 5\text{V}$ 、 $4\text{V}$ から $1\text{V}$ (CHG $\sim$ BAT) への立ち下がり時間(5)		53	68	$\mu\text{s}$
		CHG $C_L = 20\text{nF}$ 、 $R_{\text{GATE}} = 100\Omega$ 、 $V_{\text{(FETON)}} = 11\text{V}$ 、 $4\text{V}$ から $1\text{V}$ (CHG $\sim$ BAT) への立ち下がり時間(5)		46	62	$\mu\text{s}$
$t_{\text{(DSGFETOFF)}}$	LD への DSG 立ち下がり時間	DSG $C_L = 20\text{nF}$ 、 $R_{\text{GATE}} = 100\Omega$ 、 $V_{\text{(FETON)}}$ の $90\% \sim 10\%$ (5)		3.8	20	$\mu\text{s}$
$t_{\text{(CP\_START)}}$	チャージポンプの起動時間(4)	$C_L = 20\text{nF}$ 、 $C_{\text{(CP1)}} = 470\text{nF}$ 、高オーバードライブ設定を使用した $V_{\text{(FETON)}}$ の $10\% \sim 90\%$ 、CHG および DSG ドライバは無効。		48	100	ms
$C_{\text{(CP1)}}$	チャージポンプコンデンサ(3)		100	470	2200	nF

- チャージポンプが動作していない場合、VBAT が最大規定電圧までの動作をサポートします。チャージポンプが動作している場合は常に (5.5V または 11V モード)、CP1、CHG、DSG の電圧が最大規定電圧を超えないように、VBAT の最大電圧を下げる必要があります。
- DSG ドライバが有効化されると、CHG ドライバが無効化され、LD ピンに  $V_{\text{LD}} > V_{\text{DSG}}$  になるように電圧が印加されると、DSG の電圧は約  $V_{\text{LD}} - 0.7\text{V}$  に上昇します
- 設計により規定されています。
- 特性評価によって仕様規定されています
- 最高の性能を実現するため、設計およびシステム評価中に  $R_{\text{GATE}}$  を最適化できます。FET ターンオフの過高速化を回避するため、より大きな値が必要な場合があります。この結果、セルおよびハーネスのインダクタンスによる大きな電圧過渡が発生する可能性があります。

## 6.28 コンパレータ ベースの保護サブシステム

標準値は  $T_A = 25^\circ\text{C}$  の場合、最小値 / 最大値は  $T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$  および  $V_{\text{BAT}} = 4.7\text{V} \sim 70\text{V}$  の場合 (特に記述のない限り)  
(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{\text{(OVP)}}$	過電圧検出範囲	公称設定 (50.6mV 刻み)		1.012V ~ 5.566V (50.6mV 刻み)		V
$V_{\text{(OVP\_ACC)}}$	過電圧検出の電圧スレッショルド精度(4)	$T_A = +25^\circ\text{C}$ 、公称設定は 1.012V ~ 4.9082V(2)		$\pm 2$		mV
		$T_A = +25^\circ\text{C}$ 、公称設定は 3.036V ~ 4.9082V(2)	-15		15	mV
		$T_A = -20^\circ\text{C} \sim +65^\circ\text{C}$ 、公称設定は 1.012V ~ 4.9082V(2)		$\pm 3$		mV
		$T_A = -20^\circ\text{C} \sim +65^\circ\text{C}$ 、公称設定は 3.036V ~ 4.9082V(2)	-28		25	mV
		$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ 、公称設定は 1.012V ~ 4.9082V(2)		$\pm 5$		mV
		$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ 、公称設定は 3.036V ~ 4.9082V(2)	-43		32	mV
$V_{\text{(OVP\_DLY)}}$	過電圧検出遅延(3)	公称設定 (3.3ms 刻み)		3.3ms 刻 みで 10ms ~ 6753ms		ms

標準値は  $T_A = 25^\circ\text{C}$  の場合、最小値 / 最大値は  $T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$  および  $V_{\text{BAT}} = 4.7\text{V} \sim 70\text{V}$  の場合 (特に記述のない限り)  
(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{(\text{UVP})}$	低電圧検出範囲	公称設定 (50.6mV 刻み)		1.012V ~ 4.048V (50.6mV 刻み)		V
$V_{(\text{UVP\_ACC})}$	低電圧検出の電圧スレッシュヨルド精度 <sup>(4)</sup>	$T_A = +25^\circ\text{C}$ 、公称設定は 1.012V ~ 4.048V <sup>(2)</sup>		±1.3		mV
		$T_A = +25^\circ\text{C}$ 、公称設定は 1.518V ~ 3.542V <sup>(2)</sup>	-15		15	mV
		$T_A = -20^\circ\text{C} \sim +65^\circ\text{C}$ 、公称設定は 1.012V ~ 4.048V <sup>(2)</sup>		±1.4		mV
		$T_A = -20^\circ\text{C} \sim +65^\circ\text{C}$ 、公称設定は 1.518V ~ 3.542V <sup>(2)</sup>	-23		20	mV
		$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ 、公称設定は 1.012V ~ 4.048V <sup>(2)</sup>		±1.6		mV
		$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ 、公称設定は 1.518V ~ 3.542V <sup>(2)</sup>	-33		23	mV
$V_{(\text{UVP\_DLY})}$	低電圧検出遅延 <sup>(3)</sup>	公称設定 (3.3ms 刻み)		3.3ms 刻 みで 10ms ~ 6753ms		ms
$V_{(\text{SCD})}$	放電電圧スレッシュヨルド範囲内の短絡	公称設定、 $V_{\text{SRP}} - V_{\text{SRN}}$ に基づくスレッシュ ヨルド		-10、 -20、 -40、 -60、 -80、 -100、 -125、 -150、 -175、 -200、 -250、 -300、 -350、 -400、 -450、 -500		mV
$V_{(\text{SCD\_ACC})}$	放電時の短絡の電圧スレッシュヨルド検出 精度 <sup>(4)</sup>	$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ 、 $V_{(\text{SCD})}$ 設定 = - 20mV ~ -500mV	-25%		25%	
		$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ 、 $V_{(\text{SCD})}$ 設定 = - 10mV	-48%		48%	
$V_{(\text{SCD\_DLY})}$	放電時の短絡検出遅延	最速設定 ( $V_{\text{SRN}} - V_{\text{SRP}}$ に 3mV を印加)		8		µs
		最速設定 ( $V_{\text{SRN}} - V_{\text{SRP}}$ に 25mV を印加)		600		ns
		公称設定 (15µs 刻み)		15µs ~ 450µs (15µs 刻 み)		µs
$V_{(\text{OCC})}$	充電時の過電流 (OCC) 電圧スレッシュ ヨルド範囲	公称設定、 $V_{\text{SRP}} - V_{\text{SRN}}$ に基づくスレッシュ ヨルド		4mV ~ 124mV (2mV 刻 み)		mV

標準値は  $T_A = 25^\circ\text{C}$  の場合、最小値 / 最大値は  $T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$  および  $V_{\text{BAT}} = 4.7\text{V} \sim 70\text{V}$  の場合 (特に記述のない限り)  
(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{(\text{OCD})}$	放電時の過電流 (OCD1、OCD2) 電圧スレッシュホールド範囲	公称設定、 $V_{\text{SRP}} - V_{\text{SRN}}$ に基づくスレッシュホールド		-4mV ~-200mV (2mV刻み)		mV
$V_{(\text{OC\_ACC})}$	過電流 (OCC、OCD1、OCD2) 検出電圧スレッシュホールドの精度 <sup>(4)</sup>	設定  < 20mV	-4		5	mV
		設定  = 20mV ~ 56mV	-5.2		6.4	mV
		設定  = 58mV ~ 100mV	-8.3		9.3	mV
		設定  > 100mV	-10.0		10.2	mV
$V_{(\text{OC\_DLY})}$	過電流 (OCC、OCD1、OCD2) の検出遅延 (各保護に独立した遅延設定)	公称設定 (3.3ms 刻み)		3.3ms 刻み みで 10ms ~ 425ms		ms

- チャージポンプが動作していない場合、VBAT が最大規定電圧までの動作をサポートします。チャージポンプが動作している場合は常に (5.5V または 11V モード)、CP1、CHG、DSG の電圧が最大規定電圧を超えないように、VBAT の最大電圧を下げる必要があります。
- 100ms の検出遅延を使用する故障トリガにより測定されます。
- セル バランシングはアクティブではありません。セル バランシングが実行中のときは、過電圧保護および低電圧保護チェックのタイミングが変更されます。
- 特性評価と製造試験の組み合わせによる仕様

## 6.29 タイミング要件 - I<sup>2</sup>C インターフェイス、100kHz モード

標準値は  $T_A = 25^\circ\text{C}$  の場合、最小値 / 最大値は  $T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$  および  $V_{\text{BAT}} = 4.7\text{V} \sim 70\text{V}$  の場合 (特に記述のない限り)  
(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$f_{\text{SCL}}$	クロック動作周波数 <sup>(2)</sup>	SCL デューティ サイクル = 50%			100	kHz
$t_{\text{HD\_STA}}$	スタート状態のホールド時間 <sup>(2)</sup>		4.0			$\mu\text{s}$
$t_{\text{LOW}}$	SCL クロックのロー期間 <sup>(2)</sup>		4.7			$\mu\text{s}$
$t_{\text{HIGH}}$	SCL クロック HIGH の 期間 <sup>(2)</sup>		4.0			$\mu\text{s}$
$t_{\text{SU\_STA}}$	セットアップ リピート スタート <sup>(2)</sup>		4.7			$\mu\text{s}$
$t_{\text{HD\_DAT}}$	データ ホールド時間 (SDA 入力) <sup>(2)</sup>		0			ns
$t_{\text{SU\_DAT}}$	データ セットアップ時間 (SDA 入力) <sup>(2)</sup>		250			ns
$t_r$	クロック 立ち上がり時間 <sup>(2)</sup>	10%~90%			1000	ns
$t_f$	クロック 立ち下がり時間 <sup>(2)</sup>	90%~10%			300	ns
$t_{\text{SU\_STO}}$	ストップ状態のセットアップ時間 <sup>(2)</sup>		4.0			$\mu\text{s}$
$t_{\text{BUF}}$	ストップからスタートのバス解放時間 <sup>(2)</sup>		4.7			$\mu\text{s}$
$t_{\text{RST}}$	I <sup>2</sup> C バスリセット <sup>(2)</sup>	この期間中に SCL がローであることが検出されると、バス インターフェイスがリセットされます	1.9		2.1	s
$R_{\text{PULLUP}}$	プルアップ抵抗 <sup>(3)</sup>	プルアップ電圧レール $\leq 5\text{V}$	1.9			k $\Omega$

- チャージポンプが動作していない場合、VBAT が最大規定電圧までの動作をサポートします。チャージポンプが動作している場合は常に (5.5V または 11V モード)、CP1、CHG、DSG の電圧が最大規定電圧を超えないように、VBAT の最大電圧を下げる必要があります。
- 設計により規定されています。
- 特性評価によって仕様規定されています

### 6.30 タイミング要件 - I<sup>2</sup>C インターフェイス、400kHz モード

標準値は T<sub>A</sub> = 25°C の場合、最小値 / 最大値は T<sub>A</sub> = -40°C ~ 125°C および V<sub>BAT</sub> = 4.7V ~ 70V の場合 (特に記述のない限り)  
(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
f <sub>SCL</sub>	クロック動作周波数 <sup>(2)</sup>	SCL デューティ サイクル = 50%			400	kHz
t <sub>HD:STA</sub>	スタート状態のホールド時間 <sup>(2)</sup>		0.6			μs
t <sub>LOW</sub>	SCL クロックのロー期間 <sup>(2)</sup>		1.3			μs
t <sub>HIGH</sub>	SCL クロック HIGH の 期間 <sup>(2)</sup>		600			ns
t <sub>SU:STA</sub>	セットアップ リピート スタート <sup>(2)</sup>		600			ns
t <sub>HD:DAT</sub>	データ ホールド時間 (SDA 入力) <sup>(2)</sup>		0			ns
t <sub>SU:DAT</sub>	データ セットアップ時間 (SDA 入力) <sup>(2)</sup>		100			ns
t <sub>r</sub>	クロック 立ち上がり時間 <sup>(2)</sup>	10%~90%			300	ns
t <sub>f</sub>	クロック 立ち下がり時間 <sup>(2)</sup>	90%~10%			300	ns
t <sub>SU:STO</sub>	ストップ状態のセットアップ時間 <sup>(2)</sup>		0.6			μs
t <sub>BUF</sub>	ストップからスタートのバス解放時間 <sup>(2)</sup>		1.3			μs
t <sub>RST</sub>	I <sup>2</sup> C バスリセット <sup>(2)</sup>	この期間中に SCL がローであることが検出されると、バス インターフェイスがリセットされます	1.9		2.1	s
R <sub>PULLUP</sub>	プルアップ抵抗 <sup>(3)</sup>	プルアップ電圧レール ≤ 5V	1.9			kΩ

- (1) チャージポンプが動作していない場合、VBAT が最大規定電圧までの動作をサポートします。チャージポンプが動作している場合は常に (5.5V または 11V モード)、CP1、CHG、DSG の電圧が最大規定電圧を超えないように、VBAT の最大電圧を下げる必要があります。  
(2) 設計により規定されています。  
(3) 特性評価によって仕様規定されています

### 6.31 タイミング要件 - HDQ インターフェイス

標準値は T<sub>A</sub> = 25°C の場合、最小値 / 最大値は T<sub>A</sub> = -40°C ~ 125°C および V<sub>BAT</sub> = 4.7V ~ 70V の場合 (特に記述のない限り)  
(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t <sub>B</sub>	ブレイク時間 <sup>(2)</sup>		190			μs
t <sub>BR</sub>	ブレイク復帰時間 <sup>(2)</sup>		40			μs
t <sub>HW1</sub>	ホスト書き込み 1 の時間 <sup>(2)</sup>	ホストが HDQ を駆動	0.5		50	μs
t <sub>HW0</sub>	ホスト書き込み 0 の時間 <sup>(2)</sup>	ホストが HDQ を駆動	86		145	μs
T <sub>CYCH</sub>	サイクル時間、ホストからデバイス <sup>(2)</sup>	デバイスが HDQ を駆動します	190			μs
t <sub>CYCD</sub>	サイクル時間、デバイスからホスト <sup>(2)</sup>	デバイスが HDQ を駆動します	190	205	250	μs
t <sub>DW1</sub>	デバイス書き込み 1 の時間 <sup>(2)</sup>	デバイスが HDQ を駆動します	32		50	μs
t <sub>DW0</sub>	デバイス書き込み 0 の時間 <sup>(2)</sup>	デバイスが HDQ を駆動します	80		145	μs
t <sub>RSPS</sub>	デバイスの応答時間 <sup>(2) (4)</sup>	デバイスが HDQ を駆動します	190			μs
t <sub>TRND</sub>	ホストのターンアラウンド時間 <sup>(2)</sup>	デバイスが HDQ を駆動した後、ホストが HDQ を駆動	210			μs
t <sub>RISE</sub>	HDQ ラインの立ち上がり時間からロジック 1 <sup>(2)</sup>				1.8	μs
t <sub>RST</sub>	HDQ バスリセット <sup>(2)</sup>	ホストはバスを Low に保持して、デバイス インターフェイスリセットを開始します	1.9		2.1	s
R <sub>PULLUP</sub>	プルアップ抵抗 <sup>(3)</sup>	プルアップ電圧レール ≤ 5V	1.9			kΩ

- (1) チャージポンプが動作していない場合、VBAT が最大規定電圧までの動作をサポートします。チャージポンプが動作している場合は常に (5.5V または 11V モード)、CP1、CHG、DSG の電圧が最大規定電圧を超えないように、VBAT の最大電圧を下げる必要があります。  
(2) 設計により規定されています。

- (3) 特性評価によって仕様規定されています  
 (4) 応答時間は、内部デバイスの処理によって異なります

### 6.32 タイミング要件 - SPI インターフェイス

標準値は  $T_A = 25^\circ\text{C}$  の場合、最小値 / 最大値は  $T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$  および  $V_{\text{BAT}} = 4.7\text{V} \sim 70\text{V}$  の場合 (特に記述のない限り)  
 (1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{\text{SCK}}$	SPI クロック周期 <sup>(2)</sup>		500 <sup>(5)</sup>			ns
$t_{\text{LEAD}}$	リードタイム有効 <sup>(2)</sup>		625			ns
$t_{\text{LAG}}$	遅延時間有効 <sup>(2)</sup>		50			ns
$t_{\text{TD}}$	シークンシャル転送遅延 <sup>(3)</sup>			50		$\mu\text{s}$
$t_{\text{SU}}$	データ セットアップ時間 <sup>(2) (6)</sup>		50			ns
$t_{\text{HI}}$	データ ホールド時間 (入力) <sup>(2) (6)</sup>		50			ns
$t_{\text{HO}}$	データ ホールド時間 (出力) <sup>(2)</sup>		0			ns
$t_{\text{A}}$	レスポンスのアクセス時間 <sup>(2)</sup>				500	ns
$t_{\text{DIS}}$	レスポンス DOUT の無効化時間 <sup>(2)</sup>				450	ns
$t_{\text{V}}$	データの有効性 <sup>(2)</sup>				235 <sup>(5)</sup>	ns
$t_{\text{R}}$	立ち上がり時間 <sup>(2)</sup>	最大 25pF の負荷			30	ns
$t_{\text{F}}$	立ち下がり時間 <sup>(2)</sup>	最大 25pF の負荷			30	ns
$t_{\text{RST}}$	SPI バスリセット <sup>(2)</sup>	この期間中に SPI_CS は Low であり、SPI_SCLK に変化が検出されない場合、バスインターフェイスはリセットされます	1.8		2.2	s

- (1) チャージポンプが動作していない場合、VBAT が最大規定電圧までの動作をサポートします。チャージポンプが動作している場合は常に (5.5V または 11V モード)、CP1、CHG、DSG の電圧が最大規定電圧を超えないように、VBAT の最大電圧を下げる必要があります。  
 (2) 設計により規定されています。  
 (3) 詳細については、データシートでの後述の説明を参照してください  
 (4) 特性評価によって仕様規定されています  
 (5) これは、MISO 用 SPI コントローラのセットアップ時間を 15ns と想定しています。追加のセットアップ時間が必要な場合は、それに応じてクロック周期を延長する必要があります。  
 (6) SPI ピンのフィルタリングが有効なとき、200ns 未満の時間における入力ピンのパルスをフィルタ処理できます。

### 6.33 インターフェイスのタイミング図

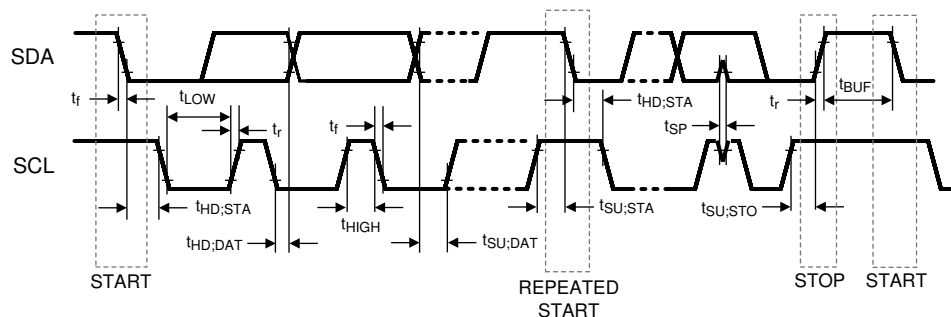


図 6-1. I<sup>2</sup>C 通信インターフェイスのタイミング

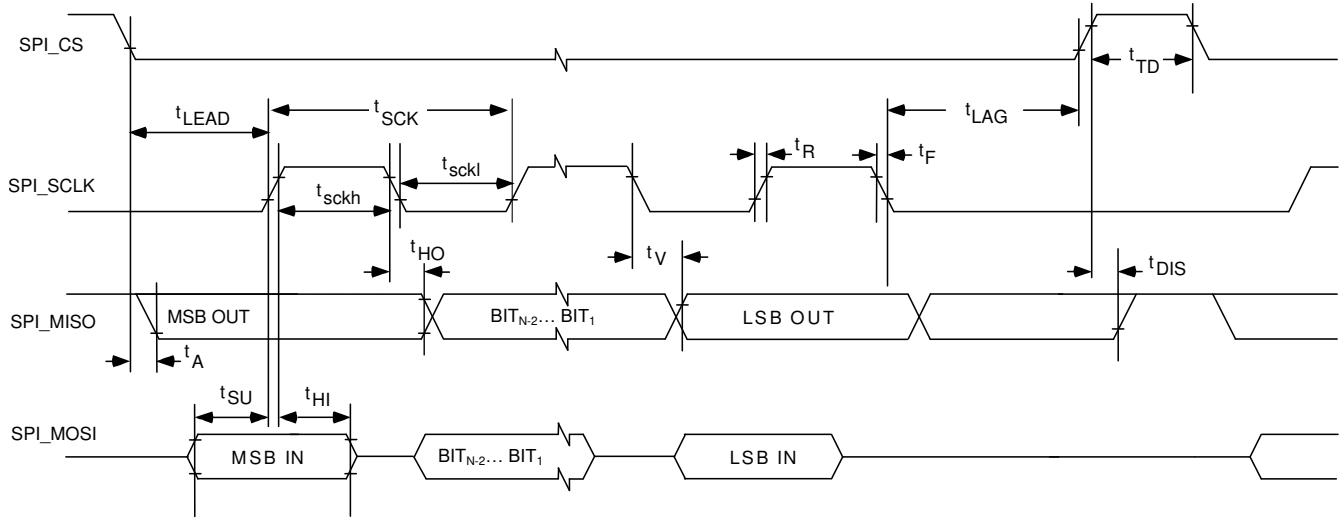
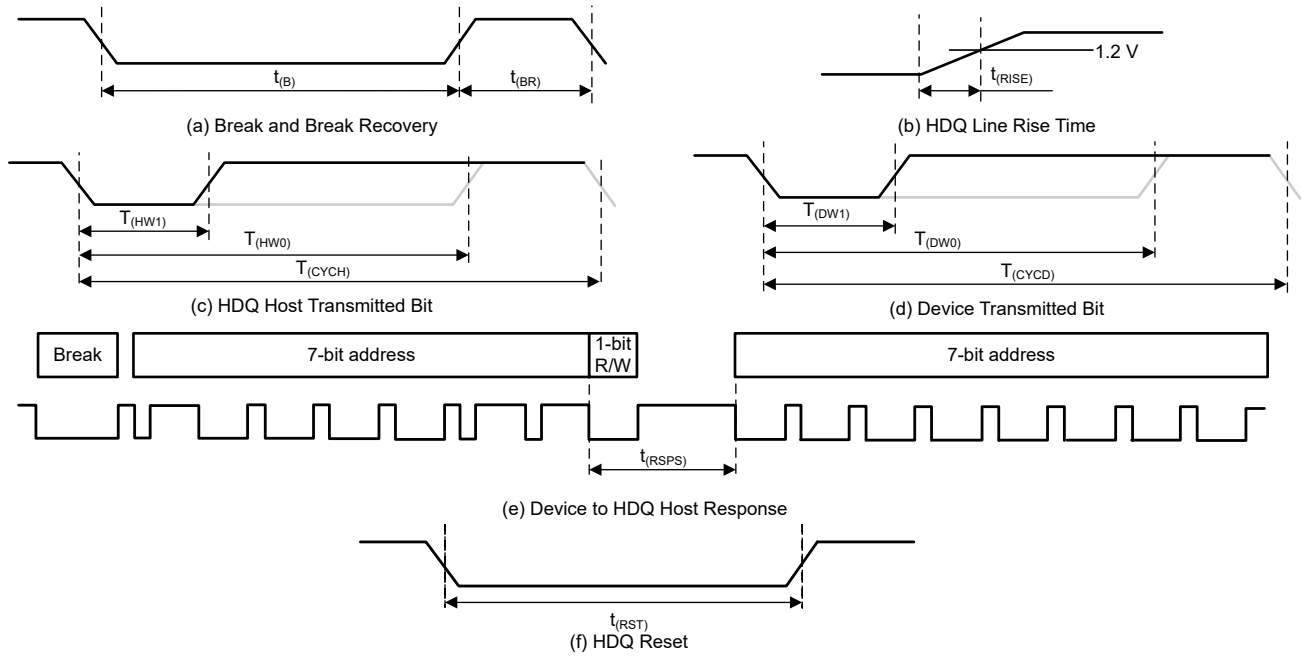


図 6-2. SPI 通信インターフェースのタイミング



- a. HDQ Breaking
- b. Rise time of HDQ line
- c. HDQ Host to Device communication
- d. Device to HDQ Host communication
- e. Device to HDQ Host response format
- f. HDQ Host to Device

図 6-3. HDQ 通信インターフェースのタイミング

### 6.34 代表的特性

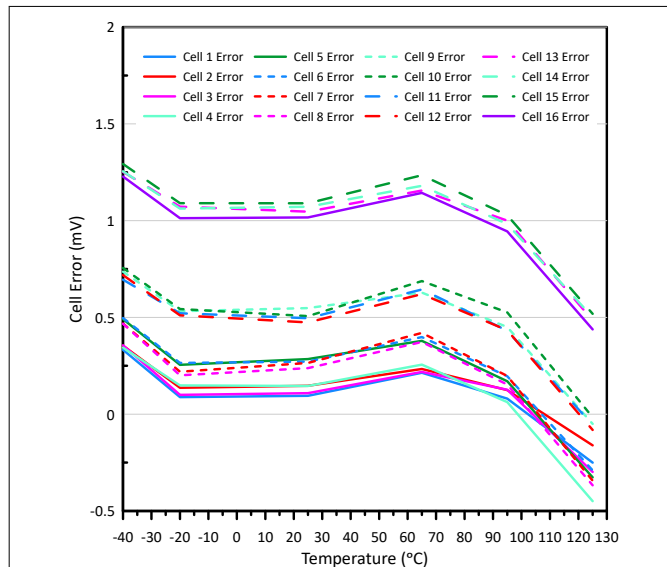


図 6-4. 1V 入力でのキャリブレーション済みセル電圧測定誤差と温度との関係

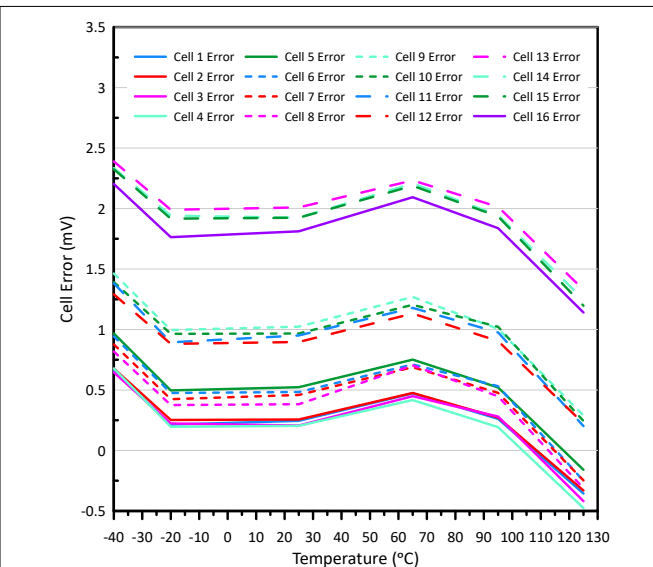


図 6-5. 2V 入力でのキャリブレーション済みセル電圧測定誤差と温度との関係

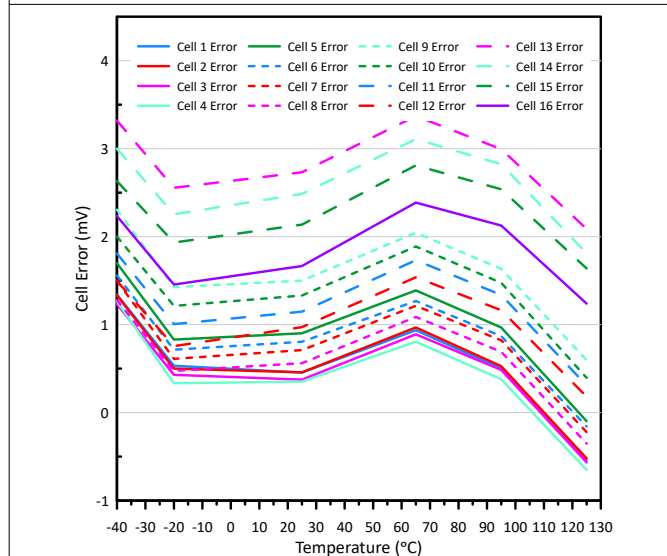


図 6-6. 3.7V 入力でのキャリブレーション済みセル電圧測定誤差と温度との関係

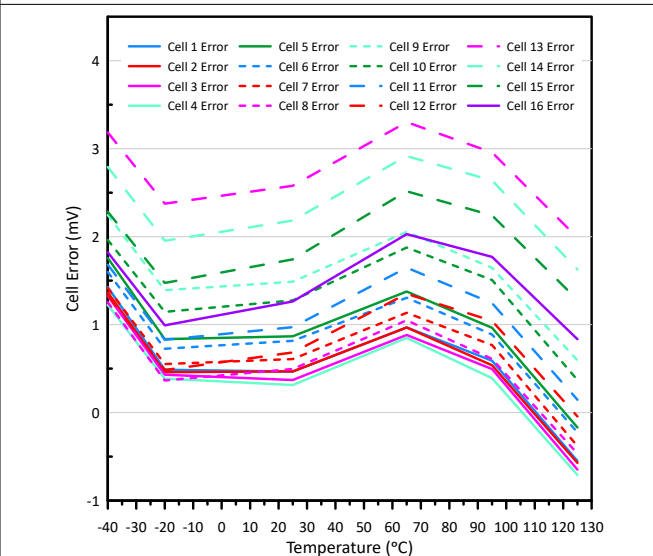


図 6-7. 4V 入力でのキャリブレーション済みセル電圧測定誤差と温度との関係

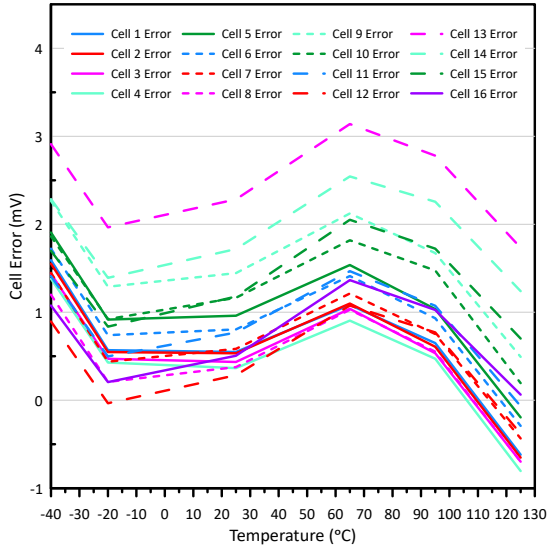


図 6-8. 4.5V 入力でのキャリブレーション済みセル電圧測定誤差と温度との関係

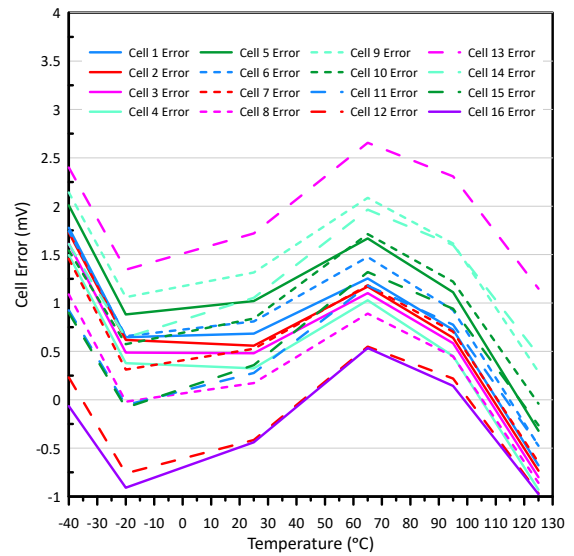


図 6-9. 5V 入力でのキャリブレーション済みセル電圧測定誤差と温度との関係

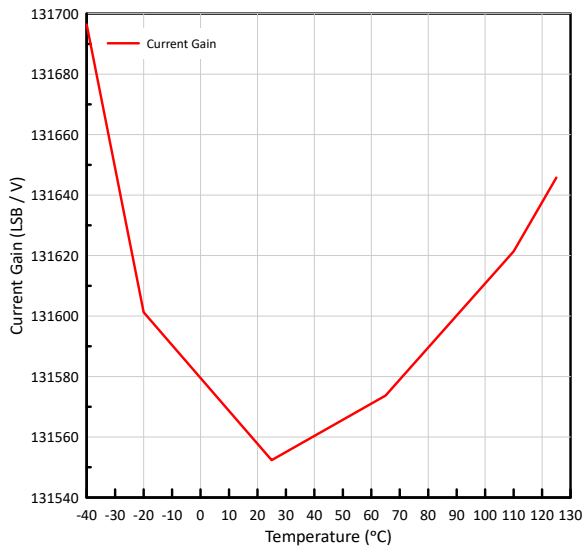


図 6-10. 電流ゲインと温度との関係

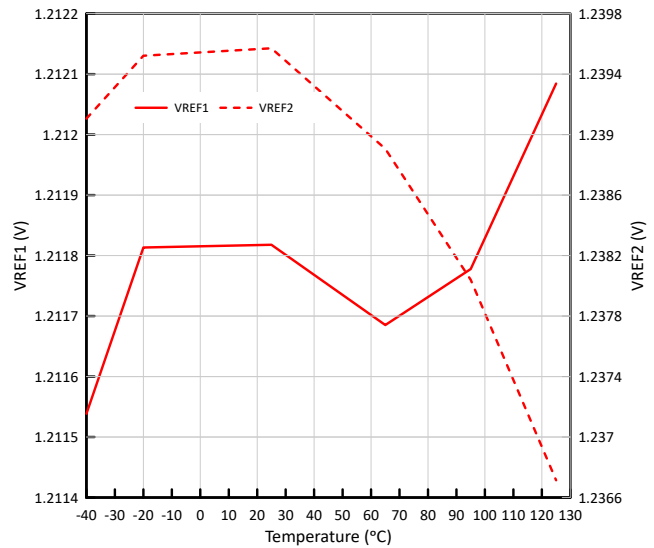


図 6-11. 内部電圧リファレンスと温度との関係 (VREF1 および VREF2)

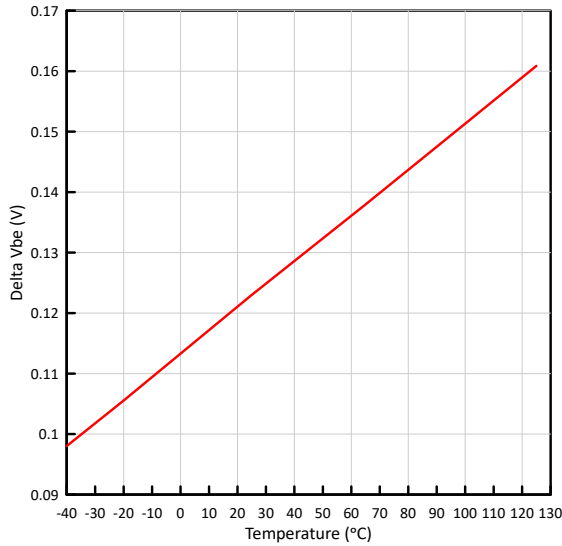


図 6-12. 内部温度センサ ( $\Delta V_{be}$ ) と温度との関係

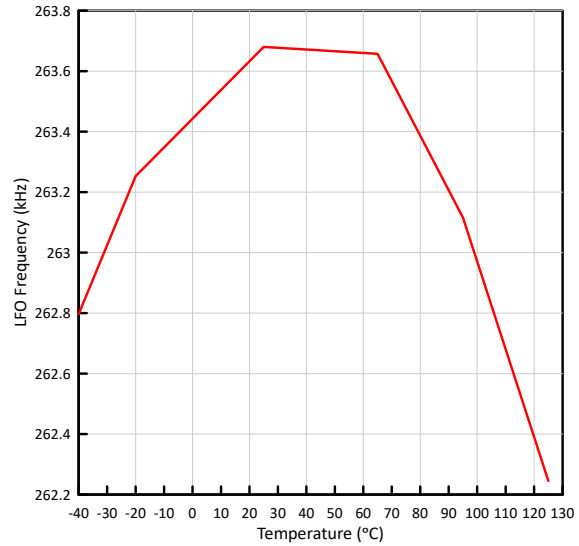


図 6-13. 低周波発振器 (LFO) 周波数と温度との関係

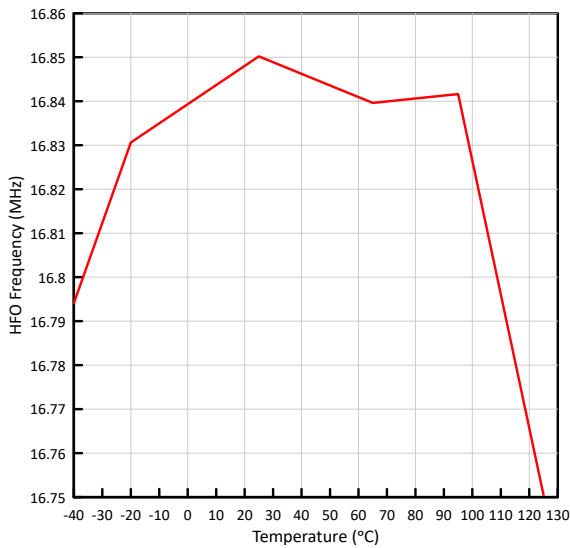


図 6-14. 高周波発振器 (HFO) 周波数と温度との関係

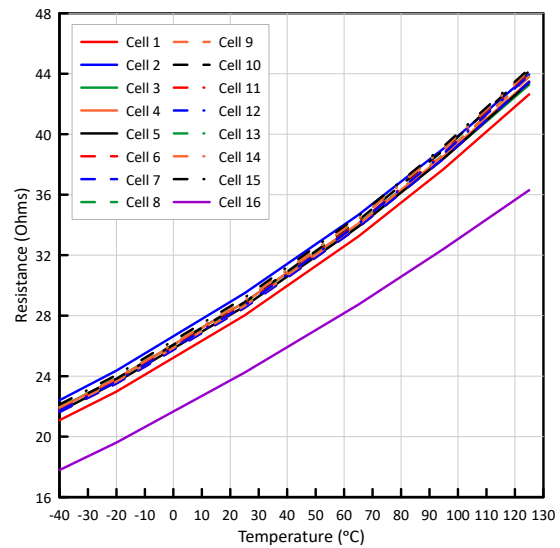


図 6-15. セル バランシング抵抗と温度の関係

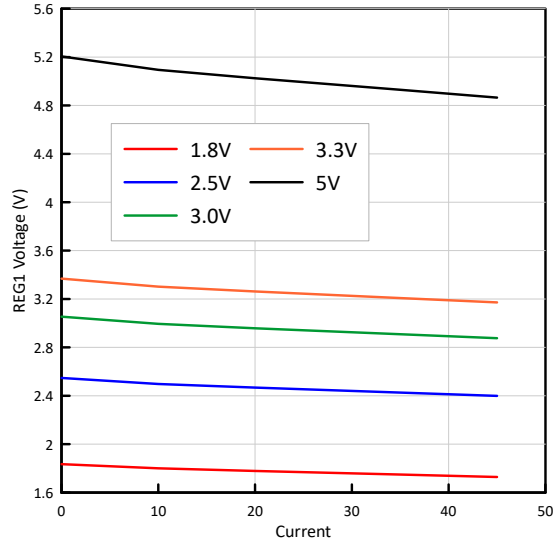


図 6-16. REG1 LDO 電圧と負荷電流との関係

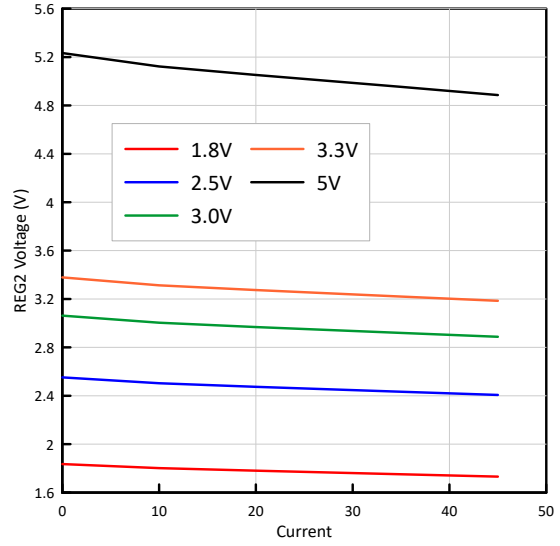


図 6-17. REG2 LDO 電圧と負荷電流との関係

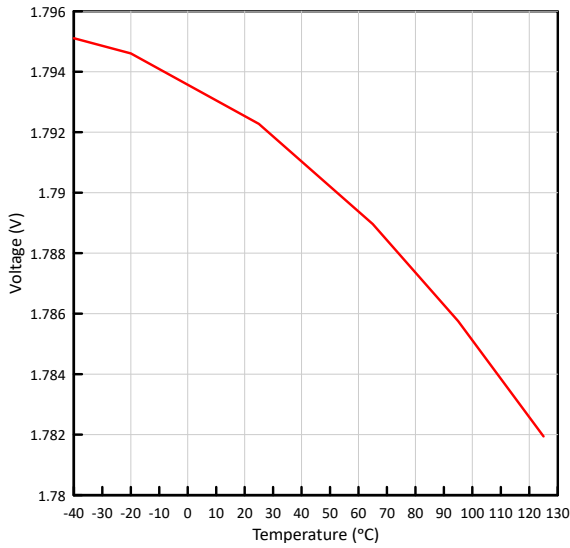


図 6-18. REG18 LDO 電圧と温度との関係

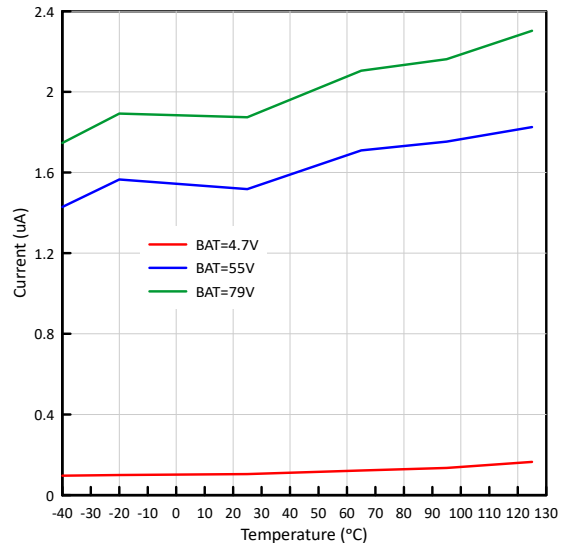


図 6-19. シャットダウン電流と温度との関係

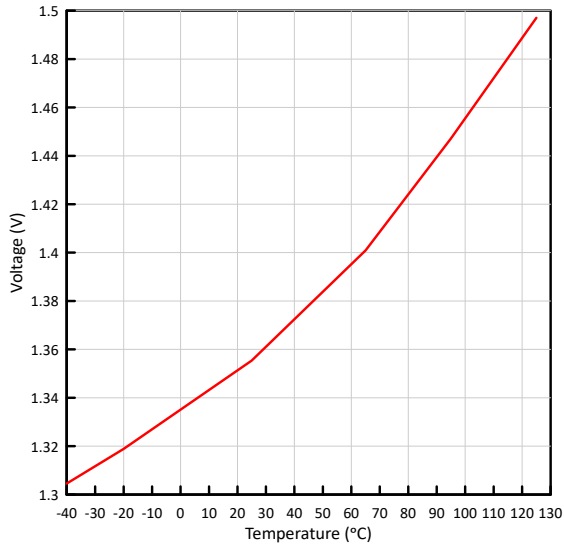


図 6-20. LD ウェーク スレッシュホールドと温度との関係

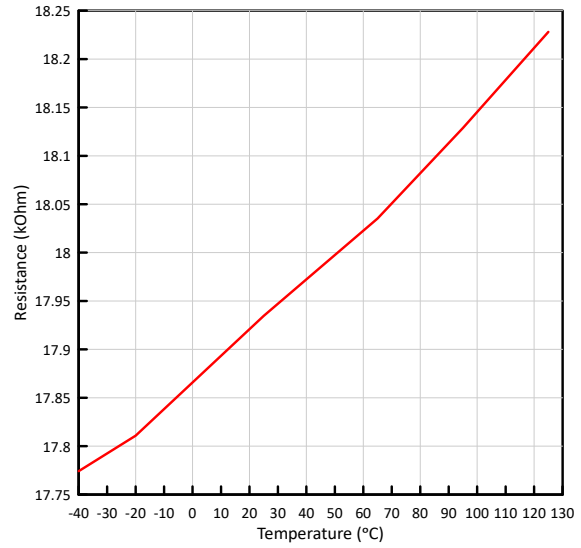


図 6-21. 18kΩ プルアップ抵抗と温度との関係

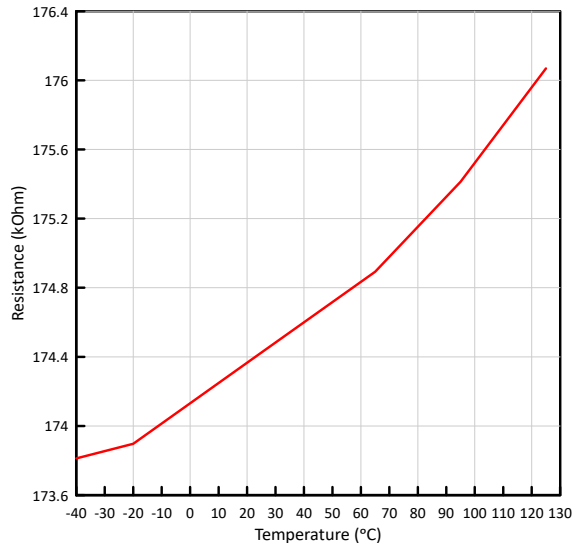


図 6-22. 180kΩ プルアップ抵抗と温度との関係

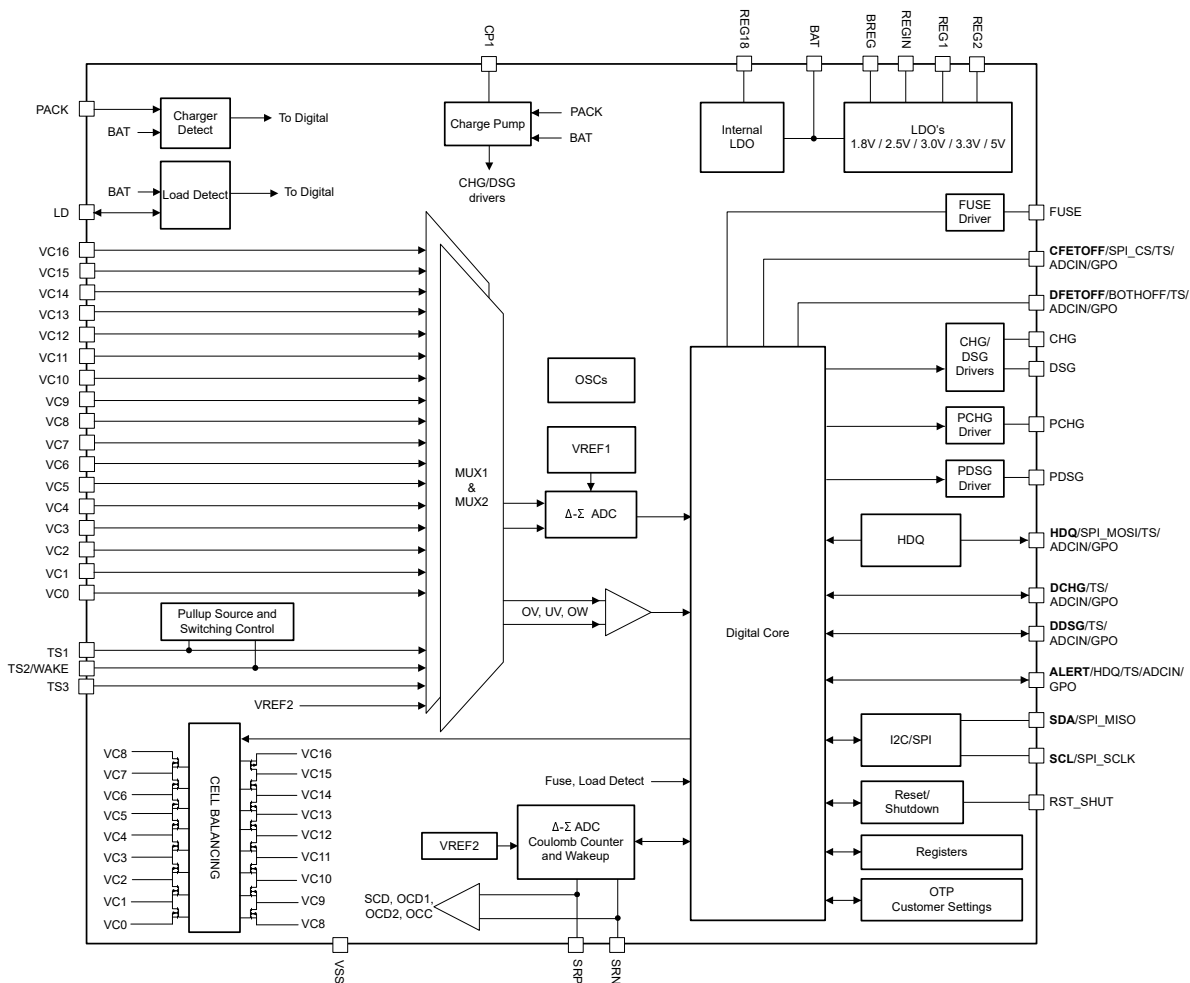
## 7 詳細説明

### 7.1 概要

BQ76972-Q1 デバイスは、3 直列 ~ 16 直列リチウムイオン、リチウムポリマ、LiFePO<sub>4</sub> バッテリ、およびスーパーキャパシタパック用の高集積、高精度バッテリー モニタおよびプロテクタです。電圧、電流、温度を高精度で測定し、ホストベースのアルゴリズムと制御のためのデータを取得します。機能が豊富で、高度に構成可能な保護サブシステムは、デバイスにより、またはホストプロセッサの完全な制御下で、完全に自律的にトリガおよび回復が可能で、一連の保護機能を提供します。ハイサイド保護 NFET ドライバを備えた内蔵チャージポンプにより、パックへのグラウンド接続が維持され、FET がオフになった場合でもデバイスとのホスト通信が可能です。外部システム用にプログラマブルデュアル LDO が組み込まれており、それぞれ電圧を 1.8V、2.5V、3.0V、3.3V、5.0V に個別にプログラムでき、それぞれ最大 42mA を供給可能です。

BQ76972-Q1 デバイスは、ワンタイムプログラマブル (OTP) メモリを搭載しており、お客様は独自の製造ラインでデバイス動作を設定できます。400kHz I<sup>2</sup>C、SPI、HDQ 1 線式規格など、複数の通信インターフェイスがサポートされています。デバイスの複数のマルチファンクションピンで、ホストプロセッサへの割り込みや、各ハイサイド保護 NFET のホストオーバーライド用に独立した制御など、複数のデジタル制御およびステータスデータを利用できます。3 本の専用ピンにより、外部サーミスタを使用した温度測定が可能です。また、マルチファンクションピンは、追加サーミスタに使用するように設定でき、内部ダイ温度測定に加えて、合計で最大 9 つのサーミスタに対応します。

### 7.2 機能ブロック図



## 7.3 診断

BQ76972-Q1 デバイスは、システムが動作の堅牢性を向上させるために使用できる一連の診断テストを搭載しています。これには、デバイスに内蔵されている 2 つの電圧リファレンスの比較、LFO 周波数のハードウェア モニタ、パワーアップまたはリセット時のメモリ チェック、組込みプロセッサの内部ウォッチドッグなどが含まれます。『[BQ76972 テクニカル リファレンス マニュアル](#)』には、これらの診断機能の詳細が記載されています。

## 7.4 デバイス設定

### 7.4.1 コマンドとサブコマンド

BQ76972-Q1 デバイスはダイレクト コマンドとサブコマンドをサポートしています。ダイレクト コマンドは、デバイスのシリアル通信インターフェイス経由でホストから送信される 7 ビットのコマンド アドレスを使用してアクセスされ、アクションをトリガするか、デバイスに書き込まれるデータの値を提供するか、データをホストに報告するようデバイスに指示します。サブコマンドは 7 ビットのコマンド アドレス空間を使って間接的にアクセスされる追加コマンドで、ブロック データの転送機能を提供します。デバイスでサポートされているコマンドおよびサブコマンドの詳細については、『[BQ76972 テクニカル リファレンス マニュアル](#)』を参照してください。

### 7.4.2 OTP またはレジスタを使用した構成

BQ76972-Q1 デバイスは RAM に保存される値を有するレジスタを搭載しており、ワンタイム プログラマブル (OTP) メモリから自動的にロードできます。最初の電源投入時に、デバイスは OTP 設定をレジスタにロードし、動作中にデバイス ファームウェアにより使用されます。顧客が製造ラインで OTP に設定を書き込む手順が推奨されます。この場合、デバイスはパワーアップのたびにこれらの設定を使用します。一方、ホスト プロセッサは、パワーアップ後に OTP メモリを使用せずにレジスタを初期化できますが、デバイスの各パワーサイクル後にレジスタを再初期化する必要があります。レジスタ値は、デバイスが通常、スリープ、DEEPSLEEP の各モードで動作している間に保持されます。デバイスがシャットダウン モードに移行すると、すべてのレジスタ メモリはクリアされ、再度電源を投入すると、デバイスはデフォルト パラメータ (またはプログラムされている場合は OTP 構成) に戻ります。詳細は、『[BQ76972 テクニカル リファレンス マニュアル](#)』を参照してください。

### 7.4.3 デバイスのセキュリティ

BQ76972-Q1 デバイスは次の 3 つのセキュリティ モードを搭載しています: SEALED、UNSEALED、および FULLACCESS は、設定の表示または変更を制限するために使用できます。

- SEALED モードでは、ほとんどのデータとステータスをコマンドおよびサブコマンドを使用して読み取ることができますが、選択済みの設定のみを変更できます。データ メモリの設定は直接変更できません。
- UNSEALED モードには SEALED 機能が含まれ、追加のサブコマンドを実行し、データ メモリの読み書きを実行する機能も追加されています。
- FULLACCESS モードでは、OTP メモリへの書き込みを含め、すべてのデバイス設定を読み取り、変更できます。

デバイスで選択した設定は、デバイスの動作中にサポートされているコマンドやサブコマンドを使用して変更できますが、すべての設定を変更するには、デバイスを CONFIG\_UPDATE モード (『[セクション 7.8.6](#)』を参照) に移行する必要があります。このモードでは、設定更新中はデバイスの動作が停止します。更新が完了すると、新しい設定を使用して動作が再開します。CONFIG\_UPDATE モードは FULLACCESS モードでのみ利用できます。

BQ76972-Q1 デバイスは、SEALED、UNSEALED、および FULLACCESS モードを切り替えるためのキー アクセス スキームを搭載しています。各遷移には、サブコマンドを介して一連の一意のキーをデバイスに送信する必要があります。詳細は、『[BQ76972 テクニカル リファレンス マニュアル](#)』を参照してください。

このデバイスには、システムの堅牢性を最適化するため使用できる追加のチェック機能があります。たとえば、内蔵命令 ROM およびデータ ROM のデジタル署名を計算するサブコマンドなどです。これらの署名は、特定の製品では絶対に変更しないでください。これらの署名が変更された場合、ROM の破損、または ROM の読み戻しや署名の計算でエラーが発生したことを示します。追加のサブコマンドは、静的な構成データ (キャリブレーション値は含まれません) のデジタル署名を計算し、保存された値と比較します。結果が一致しない場合はフラグを返します。

#### 7.4.4 スクラッチパッド メモリ

BQ76972-Q1 デバイスには 32 バイトのスクラッチパッド メモリが内蔵されており、シリアル番号、製造日、テスト日などの製造データを保存するために顧客が使用できます。スクラッチパッドのデータは、顧客の製造ラインで OTP メモリに書き込むことができます。このデータは、すべてのモードで読み取ることができますが、書き込みができるのは FULLACCESS モードのみです。

### 7.5 測定サブシステム

#### 7.5.1 電圧測定

BQ76972-Q1 デバイスは、セル電圧の測定間で多重化される電圧 ADC、内部温度センサ、最大 9 個の外部サーミスタを統合し、VC16 ピン、PACK ピン、LD ピンの電圧、内部 REG18 LDO 電圧、VSS レールの測定を実行します (診断用です)。BQ76972-Q1 デバイスは、3 直列セルから 16 直列セルまでの直列構成で、個々の差動セル電圧の測定をサポートしています。各セルの電圧測定は、VC1 ~ VC0、VC2 ~ VC1 などの隣接する 2 つのセル入力ピン間の電圧の差動測定です。セル電圧の測定値は、トリム修正とキャリブレーション修正に基づいて処理され、1mV の単位を使用して 16 ビット分解能で報告されます。ADC の生の 24 ビット デジタル出力は、32 ビットのサブコマンドを使って読み出すことも可能です。セル電圧測定は -0.2V ~ 5.5V の推奨電圧範囲に対応できます。電圧 ADC はセル電圧の測定時に 5 × VREF1 (約 6.06V) のレベルで飽和しますが、性能を最大限に高めるため、最大入力の 5.5V を維持することを推奨します。

##### 7.5.1.1 電圧測定スケジュール

BQ76972-Q1 の電圧測定は、複数の測定スロットで構成される測定ループで実行されます。16 セルの電圧はすべて各グループで測定され、VC16 ピン、PACK ピン、または LD ピン電圧のいずれかに対して 1 つのスロットが使用され、内部温度測定、Vref 測定、または VSS 測定に 1 つのスロットが使用され、最大 3 つのスロットがサーミスタまたはマルチファンクション ピン電圧の測定に使用されます (ADCIN 機能)。3 つのループを経て、一連の全測定が完了します。1 つの測定ループは、18 (サーミスタまたは ADCIN が有効化されていない場合)、19 (1 つのサーミスタまたは ADCIN が有効化されている場合)、20 (2 つのサーミスタまたは ADCIN が有効化されている場合)、または 21 (3 つ以上のサーミスタまたは ADCIN が有効化されている場合) の測定スロットで構成されます。

測定ループの速度は、設定により制御できます。各電圧測定 (スロット) には 3ms (または設定に応じて 1.5ms) かかるため、ループごとに 21 スロットを用いる標準的な測定ループは 63ms (または設定に応じて 31.5ms) かかります。測定データが迅速に必要な場合、測定ループのタイミングを低速にプログラムできます。これにより、測定スロットの後、各ループにアイドル スロットが注入されます。ループ サイクル時間を遅くすると、通常モードでのデバイスの消費電力が減少します。

##### 7.5.1.2 VC ピンのセル用途と相互接続用途での比較

BQ76972-Q1 デバイスを 16 直列セルより少ないシステムで使用する場合、追加のセル入力を使用して測定性能を向上できます。たとえば、パック内の 2 つのセル間に長い接続が存在する場合があります。その結果、図 7-1 に示す CELL-A と CELL-B 間のように、セル間の相互接続抵抗がかなり大きくなる可能性があります。VC12 を CELL-B の正端子の近くに接続し、VC13 を CELL-A の負端子の近くに接続することで、セル間の相互接続抵抗の I·R 電圧がどちらのセル電圧測定にも含まれないため、CELL-A と CELL-B に対してより正確なセル電圧測定値が得られます。デバイスが相互接続抵抗と同期電流の両端の電圧を報告するため、CELL-A と CELL-B の間の相互接続抵抗も動作中に計算して監視することができます。以下に示すように、この方法で接続されたセル入力に直列抵抗とバイパス コンデンサを配置することを推奨します。

#### 注

推奨される最小電圧 -0.2V を使用して、各セル入力の差動入力が -0.3V (絶対最大値データシートの制限値) を下回らないようにすることが重要です。したがって、相互接続抵抗の両端での I·R の電圧降下がこの要件に違反しないことが重要です。

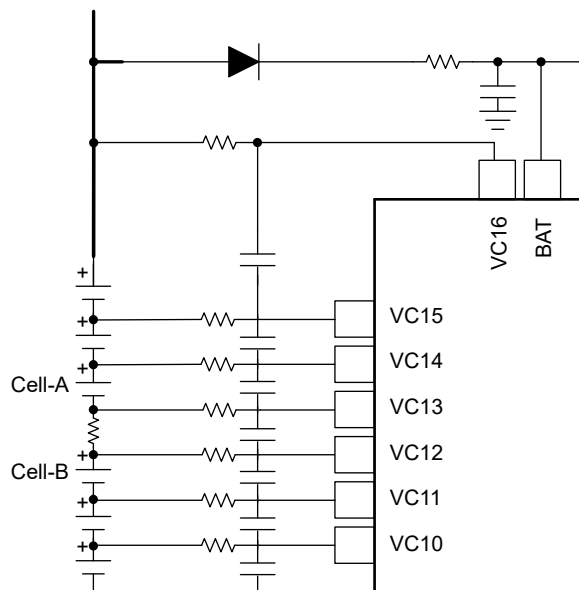


図 7-1. セル入力ピンを使用した相互接続測定

この相互接続を介した接続が不要な場合 (または、追加の抵抗とコンデンサを避けることが望ましい場合)、図 7-2 の VC13 に示すように、未使用のセル入力ピンを隣接するセル入力ピンに短絡する必要があります。

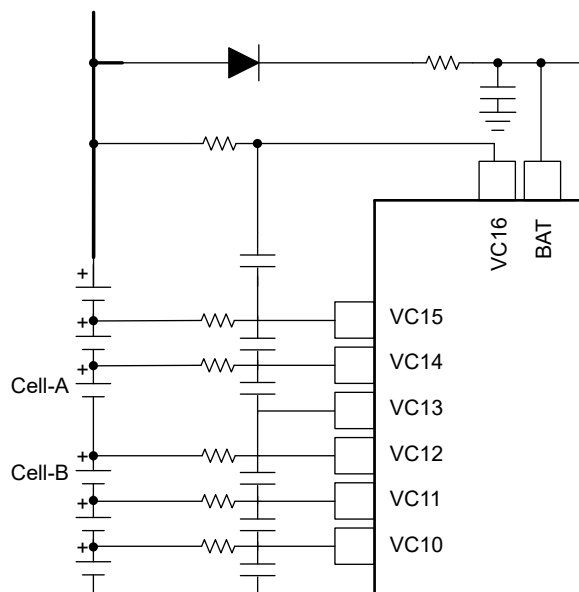


図 7-2. 未使用セル入力ピンの終端処理

構成レジスタを使用して、実際のセルに使用するセル入力を指定できます。デバイスはこの情報を使用して、相互接続の測定に使用される、またはまったく使用されない入力に関連するセル電圧保護機能を無効化します。すべての入力の電圧測定値は、セルに使用されているかどうかにかかわらず、16 ビット形式 (mV 単位) と 32 ビット形式 (未加工の ADC カウント数単位) で報告されます。

### 7.5.1.3 スリープモード時のセル 1 電圧検証

まれに、一部のデバイスでスリープモード中に無効な Cell 1 Voltage() 読み取り値が観測されています。

デバイスがスリープモードのときは、Cell 1 Voltage() の読み取りから得られた各結果を、有効とみなす前に検証する必要があります。スリープモード中、電流はプログラム可能なスレッシュホールドを下回っているため、通常、大きな電流レベルでは、パックの充電や放電は行われません。したがって、セル電圧は一般的に大きく変化しません。

スリープモード中に取得した Cell 1 Voltage() の測定値が有効かどうかを判定するには、各測定値を、特定の測定値の前後に取得した測定値と比較する必要があります。これらの 3 つの読み取り値が、Cell 1 Voltage() に対する 3 つの異なる測定値であることが重要です。読み取り値が前後の異なる読み取り値と大幅に差がある場合、その読み取り値は無効と見なされ、破棄する必要があります。

デバイスから読み出された 3 つの測定値が本当に異なる測定値であることを確認するため、ホストはデバイスがスリープモードの間に、Power:Sleep:Voltage Time を超える間隔で測定値を読み取ることができます。これは、新しい測定が行われ読み出しに使用できるようにする前に、ホストが既存の測定値を複数回読み取ることを避けるために必要です。

Cell 1 Voltage() の読み取り値が無効な場合、SUV PF アラートが設定される可能性があります。SUV 遅延が 1 秒以上に設定されている場合は SUV PF ステータスフォルトの発生はありません。また、セル低電圧 (CUV) 保護アラートやステータスフォルトもトリガしません。この保護機能では、検出にコンパレータを使用しているためです。Cell 1 Voltage () によって報告された読み取り値が Protections:CUV:Threshold レベルを下回っており、CUV 保護が有効になっているにもかかわらず、CUV アラートがトリガされない場合、これも読み取り値が無効であることを示すためにも使用できます。CUV アラートが発動しない場合、これも測定値が無効であることの見直しとして使用できます。

この検証プロセスは、有効な Cell 1 Voltage() 結果を確実に測定するために必要です。

### 7.5.2 汎用 ADCIN 機能

BQ76972-Q1 デバイスの複数のマルチファンクションピンは、他の目的に使用されない場合、汎用 ADC 入力 (ADCIN) の測定に使用できます。これには、TS1、TS2、TS3、CFETOFF、DFETOFF、HDQ、DCHG、DDSG、および ALERT ピンが含まれます。ADCIN 機能に対して使用する場合、内部バンドギャップリファレンスが ADC によって使用され、ADC の入力範囲は REG18 ピン電圧に制限されます。ADC のデジタルフルスケールレンジは実質的に  $1.6667 \times VREF1$  であり、通常動作時は約 2.02V です。

BQ76972-Q1 デバイスは、TS1 ピンを使用して測定を行ったときに、未加工の ADC カウント数も報告します。このデータを製造中に使用して、ADCIN 機能をより適切にキャリブレーションできます。

### 7.5.3 クーロンカウンタとデジタルフィルタ

BQ76972-Q1 デバイスは、外部 RC フィルタを介して SRP と SRN ピンに接続されるローサイドセンス抵抗を使用してパック電流を監視します。この抵抗は、充電電流によって SRN を基準として SRP に正の電圧が生成されるように接続する必要があります。SRP と SRN の間の差動電圧は、内蔵のクーロンカウンタ ADC によってデジタル化されます。この ADC は  $\pm 200\text{mV}$  の範囲の電圧をデジタル化でき、複数のデジタルフィルタを使用して、瞬時電流、平均電流、および積分電流の最適化測定を提供します。このデバイスは広範囲のセンス抵抗値をサポートしており、より大きい値を使用することでデジタル化された結果の分解能が向上します。電流測定が必要な場合、差動電圧がシステム動作のための  $\pm 200\text{mV}$  の範囲内に留まるように、センス抵抗の最大値を制限する必要があります。たとえば、通常動作中の (故障状態ではない) 最大放電電流が 200A のシステムでは、センス抵抗を  $1\text{m}\Omega$  以下に制限する必要があります。

SRP ピンと SRN ピンは、過電流または放電状態での短絡時に発生し得る VSS より高い正の電圧もサポートでき、この場合に電流が正確にデジタル化されなくても、デバイスに損傷を与えることはありません。たとえば、 $1\text{m}\Omega$  のセンス抵抗を使用し、放電時の短絡保護のスレッシュホールドが  $500\text{mV}$  レベルにプログラムされたシステムでは、500A の放電電流が検出されると SCD 故障保護をトリガできます。

シリアル通信インターフェースを介して複数のデジタル化された電流値を読み出すことができます。これには、個別のハードウェアデジタルフィルタ CC1 および CC2 を用いた 2 つの値に加え、ファームウェアフィルタ CC3 を用いた値も含まれます。

CC1 フィルタは、充電積分や他の決定目的に使用される 16 ビットの電流測定値を生成し、デバイスが通常モードで動作しているときは 250ms ごとに 1 つの出力が生成されます。

CC2 フィルタは、電流レポートに使用される 24 ビットの電流測定値を生成します。デバイスが通常モードで動作しているときは、3ms ごとに 1 つの出力が生成されます (設定に基づいて 1.5ms ごとに 1 つの出力に低減でき、その際は測定分解能も低下します)。これは 16 ビット形式で報告され、24 ビットの CC2 データは、32 ビット形式 (下位 24 ビットにデータが含まれ、上位 8 ビットは符号拡張される) で提供される未加工のクーロン カウンタ ADC カウント数としても利用できます。

CC3 フィルタ出力は、構成設定に基づいたプログラム可能な CC2 電流サンプル数 (最大 255) の平均値です。CC3 出力は、32 ビット形式で報告されます。

積分通過電荷は 64 ビットの値として利用できます。この値には、整数部として積算電荷の上位 32 ビット、小数部として積算電荷の下位 32 ビット、および電荷が積分された積算時間 (秒単位) を示す 32 ビットの値が含まれます。積算された電荷積分とタイマは、デジタル通信インターフェイス経由で、ホストからのコマンドによりリセットできます。

#### 7.5.4 同期した電流 / 電圧測定

通常動作中、単一のマルチプレクサ内蔵 ADC を使用してセルの電圧が順次デジタル化されますが、電流は専用のクーロン カウンタ ADC によって連続的にデジタル化されます。電流は各セル電圧測定と同期して測定されるため、個別のセルインピーダンス分析に使用できます。継続的な周期的電流測定はデジタル通信インターフェイスを介して読み出すことができ、特定のセル電圧測定値と同期して取得された測定値は、関連するセル電圧測定値と対になって保存され、個別の読み出しが可能になります。これらの値を、ブロック サブコマンドを使用して読み取れます。この場合、同期して整理された電圧および電流データを確実に一緒に読み出すことができます。

#### 7.5.5 内部温度測定

BQ76972-Q1 デバイスは、内部トランジスタのベース エミッタ電圧の差 ( $\Delta V_{BE}$ ) をデジタル化することで内部ダイ温度を測定する機能を内蔵しています。この電圧は測定ループの一部として定期的に測定され、デジタル通信インターフェイス経由で温度値を報告できるように処理されます。この内部温度測定は、セルまたは FET の温度保護や、構成設定に基づくロジックに使用できます。

#### 7.5.6 サーミスタ温度測定

BQ76972-Q1 デバイスには、オンチップの温度測定機能が搭載されています。さらに、マルチファンクション端子 (TS1、TS2、TS3、CFETOFF、DFETOFF、ALERT、HDQ、DCHG、DDSG) 上で最大 9 個の外付けサーミスタをサポートできます。このデバイスは、測定中にサーミスタにバイアスを印加するためのプルアップ抵抗を内蔵しています。

内部プルアップ抵抗には、18k $\Omega$  または 180k $\Omega$  (または全くなし) のいずれかのプルアップ抵抗を設定できる 2 つのオプションがあります。18k $\Omega$  オプションは、室温での 10k $\Omega$  抵抗を備えた Semitec 103AT などのサーミスタでの使用を目的としています。180k $\Omega$  は、室温で 200k $\Omega$  抵抗を備えた Semitec 204AP-2 など、抵抗値の大きいサーミスタでの使用を想定しています。抵抗値は工場出荷時の製造工程で測定され、温度計算時に使用するためデバイス内部に保存されています。個別のピン構成レジスタにより、サーミスタ測定に使用するピン、使用するプルアップ抵抗の値、サーミスタ測定をセル温度と FET 温度のどちらの読み取りに使用するかが決定されます。

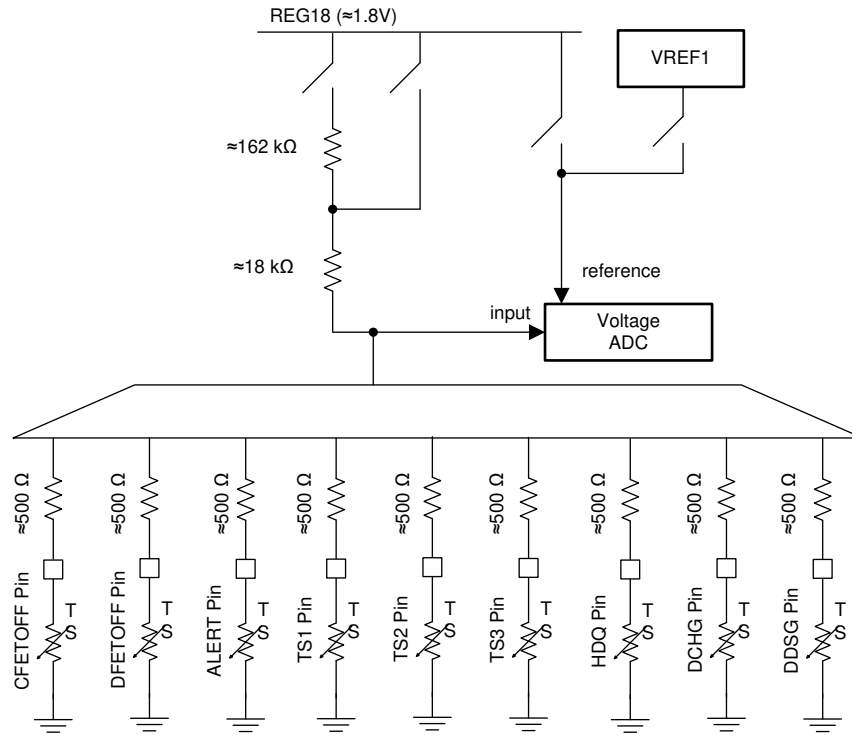


図 7-3. 外部サーミスタのバイアス印加

高精度の温度結果を得るため、デバイスは、サーミスタのプルアップ抵抗のバイアスに使用する ADC リファレンスと同じ 1.8V LDO 電圧を使用します。これにより、LDO 電圧レベルから誤差の影響を取り除くレシオメトリック測定が実行されます。このデバイスは、デジタル化されたサーミスタ電圧を処理して、多次多項式に基づいて温度を計算します。この多項式は、選択した特定のサーミスタに基づいてユーザーがプログラムできます。

### 7.5.7 電圧 ADC の工場出荷時トリム調整

BQ76972-Q1 デバイスは、セル電圧 ADC 測定用に工場出荷時トリム調整が行われており、お客様が追加のキャリブレーションを行わなくても電圧測定性能を最適化できます。製造ラインでお客様がキャリブレーションを実行することで、システムの性能をさらに最適化できます。トリム情報は、未加工の ADC 読み取り値を補正するために使用され、その後補正された値は 16 ビットの値として報告されます。32 ビット ADC 電圧データは、ADC カウント単位で生成され、保存されているオフセットトリム値を減算することで報告前に変更されます。結果として報告されるデータには、(ゲイン用などの) 追加補正は含まれていないため、お客様は使用前に処理する必要があります。

このデバイスは、マルチファンクションピン、TS1、TS2、TS3 ピンの汎用 ADC 入力機能を使用して実行される電圧測定用に工場出荷時ゲイン調整が行われています。また、PACK ピン、LD ピン、スタック最上位 (VC16) ピンの電圧測定に対する工場出荷時ゲイン調整も含まれます。

### 7.5.8 セル電圧の測定精度

最終的なセル電圧値を生成するため、BQ76972-Q1 で報告された各測定値からオフセット電圧値を減算することで、BQ76972-Q1 は最適化されたセル電圧測定精度を実現します。キャリブレーション後の規定精度については、[セクション 6.20](#) を参照してください。

#### 7.5.8.1 セル オフセット キャリブレーション

セル オフセット キャリブレーションにより、キャリブレーションなしにする場合より精度が向上します。フィールド動作中、このキャリブレーションには、デバイスからの各セル電圧の読み取り値に対するオフセット調整が含まれます。ただし、セルオフセットキャリブレーションでは、お客様の製造ラインで各デバイスを測定する必要もあります。

お客様は、予測されるセル電圧範囲のほぼ中央の公称電圧で、16 種類のシミュレートされたセル電圧を生成する製造ライン用の治具を準備する必要があります。たとえば、セルあたり 2.7V ~ 3.7V の範囲で LFP セルを使用する場合、セルあたり 3.2V の出力を供給する治具を用意できます。代わりに、3.0V ~ 4.3V の範囲でリチウムイオンセルを使用する場合、セルあたり 3.7V の出力を供給する治具を用意できます。図 7-4 に、この治具の一例を図示します。

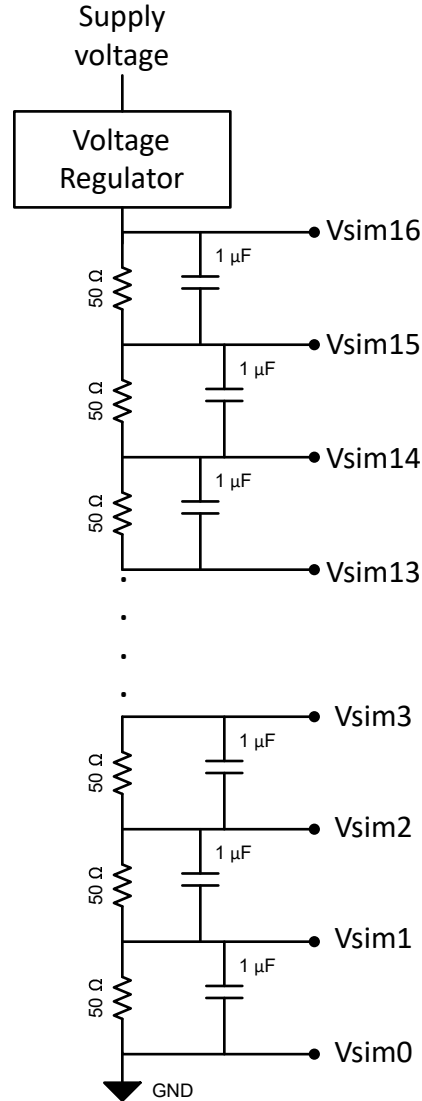


図 7-4. セル オフセット キャリブレーションの治具の例

シミュレーションされた各セル出力の差動電圧は、高精度の電圧計 (Vsim1 – Vsim0、Vsim2 – Vsim1 など) を使って測定され、生成される各電圧を判定します。各出力が正確に目標電圧であることは重要ではなく、その値を正確に知ることだけが重要です。高品質の電圧レギュレータを使用する場合、お客様は、治具の出力を組み立て後 1 回だけ測定する必要があります。

製造ラインでは、セルを取り付ける前に室温で組み立てた後、治具を各 PCB に接続します (図 7-5 を参照)。BQ76972-Q1 に電力供給され、各セル電圧の測定値が読み取られて保存されます (Cell 1 Voltage(), Cell 2 Voltage() など)。製造ラインに存在する可能性のあるノイズの影響を低減するため、各セル電圧について複数の読み取り値を収集し、平均化できます。

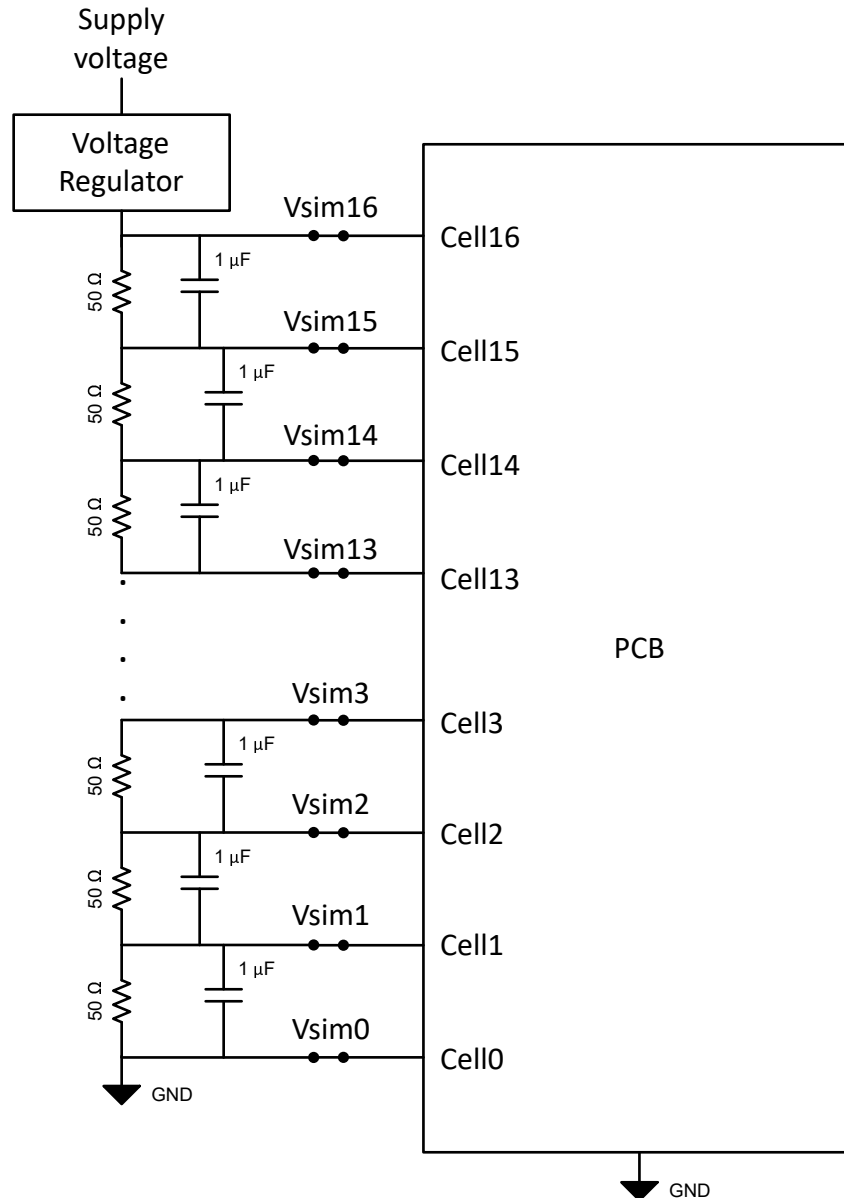


図 7-5. キャリブレーション中に使用中の治具

各セルのオフセットは次のように計算されます：

- セル 1 オフセット = Cell 1 Voltage() – (Vsim1 – Vsim0)
- セル 2 オフセット = Cell 2 Voltage() – (Vsim2 – Vsim1)
- ... 以下、同様に続く

セル # オフセットの 16 種類の値はデバイスごとに一意であり、ホスト プロセッサに保存されます。フィールド動作中、報告される各セル電圧測定値は、ホスト プロセッサによって保存されているセル # オフセット値を使用してオフセットされます：

- 最終セル 1 電圧 = Cell 1 Voltage() – セル 1 オフセット
- 最終セル 2 電圧 = Cell 2 Voltage() – セル 2 オフセット
- ... 以下、同様に続く

または、お客様は複数のデバイスでオフセットデータを収集し、結果として得られたオフセットを分析して、一連の固定オフセットを使用しても十分なセル測定精度を実現できるかどうかを判断できます。これは、前述の固定オフセット調整と同じですが、代わりにお客様の基板と設計から一連の固定オフセットを使用します。

### 7.5.9 電圧のキャリブレーション (ADC 測定)

BQ76972-Q1 デバイスには、各セルの電圧ゲインとスタック電圧のゲイン、PACK ピンの電圧、LD ピンの電圧を個別に較正し、マルチファンクション ピンの一般的な ADC 測定を行う顧客向けのオプション機能があります。オフセットキャリブレーション値 **Calibration:Vcell Offset:Vcell Offset** は、セル電圧測定に使用するために含まれており、**Calibration:Vdiv Offset:Vdiv Offset** は、TOS (スタック)、PACK、LD の各電圧測定値とともに使用されます。キャリブレーション時に決定されたセル電圧ゲインは、**Calibration:Voltage:Cell 1 Gain – Cell 16 Gain** に書き込まれます。ここで、**Cell 1 Gain** は VC1 ~ VC0 の測定に使用され、**Cell 2 Gain** は VC2 ~ VC1 の測定に使用され、以下同様に続きます。同様に、TOS 電圧のキャリブレーション電圧ゲインは **Calibration:Voltage:TOS Gain** に、PACK ピン電圧ゲインは **Calibration:Voltage:Pack Gain** に、LD ピン電圧ゲインは **Calibration:Voltage:LD Gain** に、マルチファンクション ピンの汎用 ADCIN 測定ゲインは **Calibration:Voltage:ADC Gain** に書き込まれる必要があります。

キャリブレーション ゲイン構成の値が書き込まれていない場合、BQ76972-Q1 デバイスはそれぞれのゲイン値に対して工場出荷時の調整値またはデフォルト値を使用します。キャリブレーション ゲイン構成の値を書き込むと、デバイスでは工場出荷時の調整値またはデフォルトゲインの代わりにその値が使用されます。未加工の ADC 測定データ (単位:カウント) は、まず保存されたオフセット調整値を減算することで補正され、その後ゲインが適用されてから、**Calibration:Vcell Offset:Vcell Offset** (セル電圧測定の場合) または **Calibration:Vdiv Offset:Vdiv Offset** (TOS、PACK、LD 電圧測定の場合) が減算された後、最終的な電圧値が報告されます。

セル ゲイン パラメータの工場出荷時の調整値は、データ メモリ値が上書きされていない場合、FULLACCESS モードのときはセル ゲイン データ メモリレジスタから読み出すことができます。CONFIG\_UPDATE モードのときは読み出しできません。CONFIG\_UPDATE モードでは、セル ゲインの値は、上書きされていない場合はすべてゼロで読み出され、上書きされている場合は、これらのレジスタに書き込まれた値が読み出されます。CONFIG\_UPDATE モードを終了するとき、セル ゲイン パラメータの読み出し値は、現在動作中に使用されている値を提供します。

キャリブレーション手順の詳細については、『[BQ76972 テクニカル リファレンス マニュアル](#)』を参照してください。

セル測定の実効フルスケール デジタル範囲は  $5 \times VREF1$  で、ADCIN 測定の実効フルスケール デジタル範囲は  $1.667 \times VREF1$  ですが、これらの測定に印加される電圧は、[セクション 6](#) の仕様に基づいて制限される必要があります。VREF1 の値を 1.212V とした場合、セル測定の公称ゲインは 12120、ADCIN 測定の公称ゲインは 4040 です。報告される電圧は次のように計算されます:

$$\begin{aligned} \text{Cell \# Voltage}() &= \text{Calibration:Voltage:Cell \# Gain} \times (16 \text{ ビット ADC カウント数}) / 65536 - \text{Calibration:Vcell Offset:Vcell Offset} \\ \text{Stack Voltage}() &= \text{Calibration:Voltage:TOS Gain} \times (16 \text{ ビット ADC カウント数}) / 65536 - \text{Calibration:Vdiv Offset:Vdiv Offset} \\ \text{PACK Pin Voltage}() &= \text{Calibration:Voltage:Pack Gain} \times (16 \text{ ビット ADC カウント数}) / 65536 - \text{Calibration:Vdiv Offset:Vdiv Offset} \\ \text{LD Pin Voltage}() &= \text{Calibration:Voltage:LD Gain} \times (16 \text{ ビット ADC カウント数}) / 65536 - \text{Calibration:Vdiv Offset:Vdiv Offset} \\ \text{ADCIN 電圧} &= \text{Calibration:Voltage:ADC Gain} \times (16 \text{ ビット ADC カウント数}) / 65536 \end{aligned}$$

#### 注

Cell # Voltage() および **Calibration:Vcell Offset:Vcell Offset** はどちらも mV 単位です。分圧器電圧 (Stack Voltage(), PACK Pin Voltage(), LD Pin Voltage()) および **Calibration:Vdiv Offset:Vdiv Offset** はすべてにユーザーの電圧の単位が設定されています。

### 7.5.10 電圧キャリブレーション (COV および CUV 保護)

BQ76972-Q1 デバイスには、製造ラインで COV (セル過電圧) および CUV (セル低電圧) 保護スレッショルドのキャリブレーション、システムのスレッショルド精度の向上、またはデバイスから利用可能なプリセットされたスレッショルド間のスレッショルドを実現するために、お客様に向けたオプション機能が搭載されています。

このキャリブレーションは、デバイスが CONFIG\_UPDATE モードの間に実行されます。COV スレッシュホールドを較正するには、まず VC16 と VC15 との間に、目的の COV スレッシュホールドと等しい外部電圧を印加します。次に、ホストが CAL\_COV () サブコマンドを送信することで、BQ76972-Q1 デバイスは適切な較正係数を検索して、印加される電圧レベルと同等またはそれに近い COV スレッシュホールドを実現します。この検索が完了すると、結果として得られる較正係数がサブコマンドによって返され、自動的に **Protections:COV:COV Threshold Override** 構成パラメータに書き込まれます。このパラメータがゼロ以外の場合、デバイスは工場出荷時のトリム調整設定を使用せず、代わりにこの値を使用します。

CUV スレッシュホールドも同様に較正され、VC16 と VC15 との間に目的の CUV スレッシュホールドと等しい外部電圧を印加します。次に、CONFIG\_UPDATE モード中に、ホストから CAL\_CUV () サブコマンドが送信されるため、BQ76972-Q1 デバイスは適切な較正係数を検索して、印加される電圧レベルと同等またはそれに近い CUV スレッシュホールドを実現します。この検索が完了すると、結果として得られる較正係数がサブコマンドによって返され、自動的に **Protections:CUV:CUV Threshold Override** 構成パラメータに書き込まれます。

### 7.5.11 電流キャリブレーション

BQ76972-Q1 デバイス クーロン カウンタ ADC は、SRP ピンと SRN ピンとの間の差動電圧を測定して、システム電流を計算できます。このデバイスには、製造ラインでクーロン カウンタ オフセットと電流ゲインを較正するための顧客向けオプション機能があります。

**Calibration:Current Offset:CC Offset** 構成レジスタには、「32 ビットのクーロン カウンタ ADC カウント数 / **Calibration:Current Offset:Coulomb Counter Offset Samples**」の単位で表されるオフセット値が格納されています。**Calibration:Current Offset:CC Offset / Calibration:Current Offset:Coulomb Counter Offset Samples** の値は、未加工クーロン カウンタ ADC カウント数から差し引かれた後、その結果に **Calibration:Current:CC Gain** を乗算し、ユーザー A の単位で最終結果が得られるようにスケールされます。

BQ76972-Q1 デバイスは、**Calibration:Current:CC Gain** および **Calibration:Current:Capacity Gain** 構成の値を使用して、ADC の値から電流に変換します。**CC Gain** は、システムで使用されるセンス抵抗の値を反映します。一方、**Capacity Gain** は、単純に **CC Gain** に 298261.6178 を乗算した値です。

**CC Gain** と **Capacity Gain** はどちらも、32 ビットの IEEE-754 浮動小数点形式を使用してエンコードされます。センス抵抗の実効値は次の式で求められます：

$$CC\ Gain = 7.4768 / (R_{sense} \text{ 単位: m}\Omega)$$

### 7.5.12 温度キャリブレーション

BQ76972-Q1 デバイスでは、計算された測定値に加算されるオフセット値を報告の前に保存することで、製造ラインでの内部温度および外部温度の測定を較正できます。各温度測定ごとに個別のオフセットを、以下に示す構成レジスタに保存できます。

**表 7-1. 温度キャリブレーション設定**

セクション	サブセクション	レジスタの説明	コメント	単位
キャリブレーション	温度	内部温度オフセット		0.1K
キャリブレーション	温度	CFETOFF 温度オフセット	CFETOFF ピン サーマスタ	0.1K
キャリブレーション	温度	DFETOFF 温度オフセット	DFETOFF ピン サーマスタ	0.1K
キャリブレーション	温度	ALERT 温度オフセット	ALERT ピン サーマスタ	0.1K
キャリブレーション	温度	TS1 温度オフセット	TS1 ピン サーマスタ	0.1K
キャリブレーション	温度	TS2 温度オフセット	TS2 ピン サーマスタ	0.1K
キャリブレーション	温度	TS3 温度オフセット	TS3 ピン サーマスタ	0.1K
キャリブレーション	温度	HDQ 温度オフセット	HDQ ピン サーマスタ	0.1K
キャリブレーション	温度	DCHG 温度オフセット	DCHG ピン サーマスタ	0.1K
キャリブレーション	温度	DDSG 温度オフセット	DDSG ピン サーマスタ	0.1K

## 7.6 1 次および 2 次保護サブシステム

### 7.6.1 保護の概要

BQ76972-Q1 は拡張保護サブシステムを内蔵しており、さまざまなパラメータの監視、保護動作の開始、条件に基づいた自律的な回復を実行できます。また、このデバイスには広範な柔軟性があり、保護動作を監視および開始し、回復はホストプロセッサによって制御されるようにデバイスを構成できます。または、保護動作を開始する条件を満たしている場合のみデバイスがホストプロセッサを開始してアラートを発し、動作および回復はホストプロセッサにより完全に制御されるように構成できます。

1 次保護サブシステムには、セルの低電圧と過電圧、充電時の過電流、放電時の 3 つの個別の過電流保護、放電時の短絡電流、充電および放電時のセルの過熱と温度不足、FET の過熱、ホストプロセッサの通信ウォッチドッグ タイムアウト、およびプリチャージモードのタイムアウトなど、個別に有効化および構成可能な一連の個別の保護機能が含まれています。セルの低電圧と過電圧、充電時の過電流、放電 1 および 2 における過電流、放電保護時の短絡は、コンパレータのスレッシュホルドに基づいており、残りの保護機能 (温度、ホストウォッチドッグ、プリチャージなど) は、内部コントローラのファームウェアに基づいています。

このデバイスは、ハイサイド CHG および DSG 保護 FET 用の NFET ドライバを内蔵しており、直列または並列構成で設定できます。内蔵チャージポンプは、ホストコマンドまたはオンチップ保護サブシステムの設定に基づいて、NFET ゲートに駆動される電圧を生成します。また、プリチャージとプリディスチャージの機能を実装する目的で、ハイサイド PFET をサポートすることもできます。

BQ76972-Q1 デバイス内の 2 次保護スイートは、より深刻な故障にตอบสนองし、永続的な故障 (PF) エラーを開始することで、このパックを永続的に無効化するためのアクションを実行できます。2 次安全性機能は、セルの低電圧と過電圧、充電および放電時の過電流、セルと FET の過熱、過剰なセル電圧不均衡、内部メモリ故障、内部診断障害に対する保護機能を備えています。

永続的な故障が発生した場合、BQ76972-Q1 デバイスは、単にフラグを指定するだけか、保護 FET を無期限に無効化するか、FUSE ピンをアサートしてこのパックを永続的に無効化するかのいずれかを構成できます。FUSE ピンは、インラインヒューズを遮断するために使用できます。また、個別の 2 次プロテクタ IC がヒューズを遮断しようとしたかどうかを監視することもできます。

### 7.6.2 1 次保護

BQ76972-Q1 デバイスはバッテリー管理のための一連の広範な保護機能を内蔵しており、個別の保護機能を実現するとともに、FET の自律制御を実現するための保護選択機能が用意されています。各保護機能の詳細については、『[BQ76972 テクニカルリファレンス マニュアル](#)』を参照してください。1 次保護機能には以下のものが含まれます：

- セル低電圧の保護
- セル過電圧の保護
- セル過電圧ラッチ保護
- 充電時の過電流保護
- 放電時の過電流保護 (3 層)
- 放電時の過電流ラッチ保護
- 放電時の短絡保護
- 放電時の短絡ラッチ保護
- 充電時の温度不足保護
- 放電時の温度不足保護
- 内部低温保護
- 充電時の過熱保護
- 放電時の過熱保護
- 内部過熱保護
- FET 過熱保護
- プリチャージ タイムアウト保護
- ホストウォッチドッグ故障保護

### 7.6.3 2 次保護

BQ76972-Q1 デバイスには、バッテリーの動作とステータスに関する一連の 2 次保護機能が内蔵されており、パックが永続的に無効になる極めて深刻な状態とみなされる場合、永続的な故障 (PF) をトリガできます。各種の PF チェックは、構成設定に基づいて個別に有効化でき、ほとんどのチェックに関連するスレッシュホールドおよび遅延も含まれます。永続的な故障が発生した場合、BQ76972-Q1 デバイスは、単にフラグを指定するだけか、保護 FET を無期限に無効化するか、FUSE ピンをアサートしてこのパックを永続的に無効化するかのいずれかを構成できます。FUSE ピンは、インライン ヒューズを遮断するために使用できます。また、個別の 2 次プロテクタ IC がヒューズを遮断しようとしたかどうかを監視することもできます。

デバイスは永続的な故障ステータスを RAM に格納するため、デバイスがリセットされるとそのステータスは失われます。これを軽減するため、デバイスは構成設定に基づいて OTP に永続的な故障ステータスを書き込みます。OTP のプログラミングを確実に実行できるようになるまで、低電圧および高温の条件では OTP のプログラミングが遅延することがあります。

通常、永続的な故障が発生した場合、FET が無期限にオフのままになり、ヒューズが遮断される可能性があります。その場合、さらなる監視操作は行われず、充電は不可能になります。バッテリーの急速な消費を防ぐために、永続的な故障が発生した場合にデバイスをディープスリープ モードに移行するように構成できます。ディープスリープ モードへの移行は、ヒューズが切断され、OTP プログラミングが完了するまで遅延されます (これらのオプションが有効な場合)。

永続的な故障が発生した場合、REG1 および REG2 LDO をオフにするか、またはそれらを現在の状態のままにするようにデバイスを構成できます。無効にしても、コマンドを使用して再度有効にすることができます。

永続的な故障チェックには、間欠状態または測定時に PF フォルトがトリガされないようにするため、プログラマブルな遅延が組み込まれています。有効化された PF チェックによってスレッシュホールドに達したか超過していると最初に検出された場合、デバイスは PF アラート信号を設定します。この信号は、コマンドを使用して監視でき、ALERT ピンで割り込みをトリガすることもできます。

#### 注

このデバイスは、通常モードおよびスリープ モード中の永続的な故障の条件を 1 秒間隔で評価するのみであり、その測定値を測定間隔の合間に永続的な故障フォルトのスレッシュホールドと連続的に比較することはありません。したがって、ある状態によってスレッシュホールド超えを検出された場合に PF アラートをトリガする可能性があります。1 秒間隔のチェックの間にその状態によってスレッシュホールドを短時間下回った場合でも、定期的なチェックでスレッシュホールド未満と検出されるまで、PF アラートはクリアされません。

BQ76972-Q1 に実装されている永続的な故障チェックの詳細については、『[BQ76972 テクニカル リファレンス マニュアル](#)』を参照してください。2 次保護チェックには、以下が含まれます：

- 安全セル低電圧による永続的な故障
- 安全セル過電圧による永続的な故障
- 充電時の安全過電流による永続的な故障
- 放電時の安全過電流による永続的な故障
- 安全性過熱による永続的な故障
- 安全性過熱 FET による永続的な故障
- 銅蒸着による永続的な故障
- 放電ラッチ時の短絡による永続的な故障
- 電圧不均衡がアクティブによる永続的な故障
- 静止状態での電圧不均衡による永続的な故障
- 第 2 レベル プロテクタによる永続的な故障
- FET 放電による永続的な故障
- FET 充電による永続的な故障
- OTP メモリによる永続的な故障

- データ ROM による永続的な故障
- 命令 ROM による永続的な故障
- 内部 LFO による永続的な故障
- 内部電圧リファレンスによる永続的な故障
- 内部 VSS 測定による永続的な故障
- 内部スタック ハードウェア マルチプレクサによる永続的な故障
- コマンドによる永続的な故障
- スタックの最上位とセル合計の不一致による永続的な故障

#### 7.6.4 ハイサイド NFET ドライバ

BQ76972-Q1 デバイスには、CHG および DSG 保護 FET を駆動するためのチャージ ポンプとハイサイド NFET ドライバが内蔵されています。チャージ ポンプは、BAT ピンと CP1 ピンとの間に接続され、チャージ ポンプが有効なときにオーバードライブ電圧まで充電される外付けコンデンサを使用します。チャージ ポンプが外部 CP1 ピンのオーバードライブ電圧を最大電圧まで上げるのに必要な時間があるため、CHG または DSG FET を迅速に駆動する必要がある場合は常に、チャージ ポンプに電力を供給したままにすることを推奨します。

DSG FET ドライバには、スリープ モード中に BAT ピン電圧で DSG FET を駆動するための特別なオプション (ソース フォロウ モード) があります。この機能は、大きな充電電流または放電電流が流れないスリープ モードで低消費電力を実現するために搭載されています。ソース フォロウ モードが有効化されていても、チャージ ポンプを有効化したままにすることを推奨します。これにより、放電電流が検出されるたびに、デバイスはチャージ ポンプ電圧を使用して DSG FET の駆動に迅速に移行できます。ソース フォロウ モードは構成設定を使用して有効になりますが、大きな充電電流または放電電流が流れる場合での使用は想定されていません。FET に大きなドレイン ソース間電圧が発生し、過度な発熱を招くおそれがあるためです。

チャージ ポンプ電圧のオーバードライブ レベルは、構成設定に基づいて 5.5V または 11V に設定できます。一般に、5.5V の設定では FET が駆動されているときの消費電力が低くなり、11V オーバードライブが高いほど FET のオン抵抗が低減されます。FET を高いオーバードライブ レベルで駆動したときに大きなゲートリーク電流が発生すると、チャージ ポンプでこれをサポートするためのデバイス電流が大きくなる可能性があります。この場合、低いオーバードライブ レベルを使用すると、リーク電流が低減され、デバイス電流が低減されます。

BQ76972-Q1 デバイスは、直列または並列構成で FET を搭載したシステムをサポートしており、並列構成には充電器接続と放電 (負荷) 接続について別のパスが含まれます。これら 2 つの場合において、デバイスの制御ロジックはわずかに異なる動作をします。これらは、構成設定に基づいて設定されます。

BQ76972-Q1 デバイスの FET ドライバは、顧客の要件に応じて、以下の複数の方法で制御できます：

##### 完全自律型

BQ76972-Q1 デバイスは、保護フォルトを検出し、FET を自律的に無効化し、回復状態を監視して、ホストプロセッサの関与を必要とせずに FET を自律的に再有効化できます。

##### 部分的に自律型

BQ76972-Q1 デバイスは、保護フォルトを検出し、FET を自律的に無効化できます。ホストが割り込みを受信してフォルトを認識すると、ホストはデジタル通信インターフェイス経由でコマンドを送信して、ホストが解除を決定するまで FET をオフ状態に維持できます。

または、ホストが CFETOFF ピンまたは DFETOFF ピンをアサートして FET をオフに維持することもできます。これらのピンがアサートされている間は、FET の再有効化はブロックされます。これらのピンがデアサートされると、再有効化をブロックしていない場合 (フォルト状態が引き続き存在する場合、CFETOFF ピンまたは DFETOFF ピンがアサートされる場合など)、BQ76972-Q1 は FET を再度有効にします。

##### 手動制御

BQ76972-Q1 デバイスは、保護フォルトを検出し、ALERT ピンを介してホスト プロセッサに割り込みを送信できます。ホスト プロセッサは、(必要に応じて) 通信バス上を介してフォルトのステータス情報を読み取ることができ、ホスト プロセッサから CFETOFF ピンまたは DFETOFF ピンを駆動するか、デジタル通信インターフェイス経由のコマンドによって、CHG または DSG FET を迅速にオフにすることができます。

ホストが FET を再度オンにすることを決定すると、適切なコマンドを書き込むか、CFETOFF ピンと DFETOFF ピンをデアサートします。これにより、BQ76972-Q1 デバイスは、再有効化を妨げるものがない場合、FET を再有効化します。

## 7.6.5 保護 FET 構成および制御

### 7.6.5.1 FET の構成

BQ76972-Q1 デバイスは、システム内の保護 FET に対する直列構成と並列構成の両方をサポートしており、さらに、1 つまたは両方の FET を使用しないシステムにも対応しています。直列 FET 構成を使用する場合、BQ76972-Q1 デバイスは、1 つの FET がオフで 1 つの FET がオンのときにボディダイオードを保護します。

CHG FET がオフで、DSG または PDSG FET がオンで、プログラマブル スレッシュホールドを上回る放電電流 (非常に大きな放電電流) が検出された場合、デバイスは CHG FET をオンにして、CHG FET ボディダイオードを流れて FET を損傷させる電流を防止します。電流がスレッシュホールドを上回ると (つまり、放電電流が減少した場合)、オフ状態の理由が依然として存在する場合、CHG FET は再度オフになります。

DSG FET がオフで、CHG または PCHG FET がオンで、プログラマブル スレッシュホールドを超える電流 (非常に大きな充電電流) が検出された場合、デバイスは DSG FET をオンにし、DSG FET ボディダイオードを流れて FET を損傷させる電流を防止します。電流がスレッシュホールドを下回ると (つまり、充電電流が減少した場合)、オフ状態の理由が依然として存在する場合、DSG FET は再度オフになります。

並列構成を使用すると、ボディダイオード保護は無効化されます。

### 7.6.5.2 プリチャージモードとプリディスチャージモード

BQ76972-Q1 デバイスにはプリチャージ機能が搭載されており、この機能を使用して、バッテリーがプログラマブルな電圧レベルに達するまでハイサイド PCHG PFET (PCHG ピンから駆動) を直列抵抗で充電することで、低電圧バッテリーの充電電流を低減できます。最小セル電圧がプログラマブル スレッシュホールドを下回ると、PCHG FET が充電に使用されます。

このデバイスはプリディスチャージ機能もサポートしており、この機能で負荷に電力供給を開始したときに突入電流を低減するために、まず直列抵抗でハイサイド PDSG PFET (PDSG ピンから駆動) を有効にして、負荷を徐々に充電させることができます。プリディスチャージモードが有効な場合、DSG FET がオンになって負荷に電力供給されるたびに、デバイスは最初に PDSG FET を有効にし、次に DSG FET をオンにして PDSG FET をオフにするよう遷移します。

PCHG および PDSG ドライバは、有効化されている間、シンクできる電流に制限があります。そのため、FET ゲートソース間に 1MΩ 以上の抵抗を使用することを推奨します。

## 7.6.6 負荷検出機能

放電ラッチ中の短絡または放電ラッチ保護フォルト中の過電流が発生し、DSG FET がオフの場合、負荷の除去が検出されたときにデバイスを回復するように構成できます。この機能は、システムに取り外し可能なパックがある場合に役立ちます。たとえば、フォルトが発生したときにユーザーがパックをシステムから取り外すことができる場合、または DSG FET が無効化されたときにバッテリーパックに残っている実効システム負荷が約 20kΩ よりも大きい場合に役立ちます。このデバイスは、LD ピンから電流源を定期的に有効にし、LD ピンで 4V レベルを超える電圧が検出された場合にフォルトを回復します。パックに低インピーダンス負荷が依然として存在する場合、デバイスの測定電圧は通常 LD ピンで 4V を下回り、負荷検出に基づく回復を防止します。パックがシステムから取り外されていて、実効負荷が高く、電流源が LD ピンに 4V レベルを超える電圧を生成する場合、デバイスはフォルトから回復できます。

### 注

通常、10kΩ 抵抗は PACK+ 端子と LD ピンとの間に接続されています。負荷インピーダンスを考慮するとき、この抵抗を把握しておく必要があります。負荷検出電流は、プログラム可能な期間にわたって有効化され、別のプログラム可能な期間には無効化されます。このシーケンスは、負荷が除去されたとして検出されるか、タイムアウトするまで繰り返されます。

## 7.7 デバイス ハードウェア機能

### 7.7.1 基準電圧

BQ76972-Q1 デバイスは  $V_{REF1}$  と  $V_{REF2}$  の 2 つの電圧リファレンスを搭載しており、 $V_{REF1}$  は外部サーミスタを除くほとんどの測定において、電圧 ADC で使用されます。 $V_{REF2}$  は、内蔵の 1.8V LDO、内部発振器、内蔵のクーロン カウンタ ADC によって使用されます。 $V_{REF2}$  の値は、診断目的で  $V_{REF1}$  を使用して、REG18 LDO 電圧の ADC 電圧測定によって間接的に測定できます。

### 7.7.2 ADC マルチプレクサ

ADC マルチプレクサは、個別の差動セル電圧ピン、オンチップ温度センサ、バイアス サーミスタ ピン、REG18 LDO 電圧、VSS ピン電圧、VC16 ピン、PACK ピン、LD ピンに接続された内部デバイダなど、さまざまな信号を電圧 ADC に接続します。

### 7.7.3 LDO

BQ76972-Q1 デバイスには、デバイスの内部回路とデジタル ロジックに 1.8V の安定化電源電圧を供給する、内蔵の 1.8V LDO (REG18) が搭載されています。このレギュレータは、REG18 ピンに接続された外付けコンデンサを使用して、内部回路でのみ使用する必要があります。

このデバイスには、ホスト プロセッサや外部トランシーバ回路などの外部回路用に、個別にプログラム可能な 2 つの LDO (REG1 および REG2) も内蔵されており、それぞれ独立した出力電圧に設定できます。REG1 および REG2 LDO は、REGIN ピンから入力を受け取ります。この電圧は外部から供給されるか、オンチップの (REG0 と呼ばれる) プリレギュレータによって生成されます。REG1 および REG2 LDO は、それぞれ最大 45mA の出力電流を供給できます。

#### 7.7.3.1 プリレギュレータ制御

REG1 および REG2 LDO は REGIN ピンから入力を受け取りますが、このピンの電圧は約 5.5V である必要があります。この REGIN ピン電圧は、(別の DC/DC コンバータなど) 外部から供給されるか、(REG0 と呼ばれる) 内蔵電圧プリレギュレータを使用して供給されます。このプリレギュレータは、(BREG ピンを使用して) 外部 NPN BJT のベースを駆動して、5.5V の REGIN ピン電圧を供給できます。プリレギュレータを使用する場合、「仕様」に記載されている仕様に従って、デバイスが BAT ピンに十分な電圧を維持できるように特に注意を払う必要があります。

### 注

システム設計者は、REG1 および REG2 で予測される最大負荷下で消費されるピーク電力を、外付け BJT が許容できることを確認する必要があります。最大スタック電圧が 45V の場合、BJT には約 40V のコレクタ エミッタ間電圧が印加され、REG1 と REG2 の両方を使用して 40mA 負荷をサポートしている場合、消費電力は 3.2W となります。

### 注

REGIN ピン (アノード) と BAT ピン (カソード) との間にはダイオード接続があるため、REGIN の電圧が BAT の電圧を超えないようにする必要があります。

#### 7.7.3.2 REG1 および REG2 LDO 制御

BQ76972-Q1 デバイスの REG1 および REG2 LDO はお客様による利用を目的としており、出力電圧を 1.8V、2.5V、3.0V、3.3V、5.0V に個別にプログラムできます。BQ76972-Q1 デバイスでは、REG1 および REG2 LDO および REG0 プリレギュレータは、デフォルトで無効になっています。シャットダウン モード中、REG1 ピンと REG2 ピンの抵抗は VSS

に対して約 10MΩ であり、これにより任意の出力キャパシタンスを放電できます。他の電力モードでは、REG1 と REG2 がパワーダウンすると、約 2.5kΩ の内部抵抗で VSS にプルダウンされます。シリアル通信用のプルアップ抵抗が REG1 電圧出力に接続されている場合、REG1 電圧は製造ラインの外部電源電圧からオーバードライブされ、デバイスとの通信が可能になります。その後、BQ76972-Q1 デバイスを、目的の構成で REG0 と REG1 を有効にするようプログラムでき、この設定を OTP メモリにプログラムできます。したがって、その後の各パワーアップ時にデバイスは最初に通信を行う必要なく、OTP 設定を自動的にロードし、構成どおりに LDO を有効にします。

#### 7.7.4 スタンドアロンとホスト インターフェイス

BQ76972-Q1 デバイスは、システム内にホスト プロセッサを使用せずに、またはホスト プロセッサと一緒に、完全にスタンドアロン モードで動作するように構成できます。スタンドアロン モードの場合、デバイスは外部プロセッサとの相互作用を必要とせずに、状態を監視し、スレッシュホールド設定に基づいて FET とインラインヒューズを制御し、条件が許す限り FET を回復できます。ホスト プロセッサが存在する場合でも、ホスト プロセッサが測定値を読み取り必要に応じて制御しながら、完全に自律的に動作するようデバイスを構成できます。さらに、保護アラートまたは故障が発生したときにデバイスが監視してフラグを立てる一方で、FET の無効化はホスト側が行うよう、手動ホスト制御用にデバイスを構成することもできます。

ホスト プロセッサは、シリアル バスを介して BQ76972-Q1 デバイスと接続でき、選択したピン制御も可能です。I<sup>2</sup>C (最大 400kHz の速度をサポート)、SPI、または HDQ によるシリアル バス通信が利用可能で、BQ76972-Q1 ではデフォルトで I<sup>2</sup>C 用にシリアル バスが構成されていますが、デフォルト通信モードは、デバイスの他のバージョンでは異なる場合があります。利用可能なピン制御には、RST\_SHUT、ALERT、CFETOFF、DFETOFF、DDSG、および DCHG などがあり、これらについては以下で詳細に説明します。

#### 7.7.5 多機能ピン制御

BQ76972-Q1 デバイスには、TS1、TS2、TS3、CFETOFF、DFETOFF、ALERT、HDQ、DCHG、DDSG ピンなど、デバイスのマルチファンクション ピンに関する柔軟性があります。いくつかのピンは、出力レベルを構成可能なアクティブ High 出力として使用できます。これらのピンのデジタル出力カドライバは、REG1 LDO または内部 REG18 LDO から電力供給される出力を駆動するように構成でき、アクティブ High にアサートされると、選択された LDO の電圧が駆動されます。

#### 注

REG18 LDO は大電流レベルを駆動できないため、非常に高い抵抗 (1MΩ 超など) または軽容量性負荷を駆動する場合のみ、この LDO を使用してデジタル出力を供給することをお勧めします。それ以外の場合、REG1 に電力供給し、出力信号を駆動するために REG1 を使用する必要があります。

各ピンでサポートされているオプションは次のとおりです：

#### ALERT

アラーム割り込み出力

HDQ 通信

#### CFETOFF

CHG FET を制御するための入力 (CFETOFF 機能)

#### DFETOFF

DSG FET を制御する入力 (DFETOFF 機能)

DSG と CHG の両方の FET を制御する入力 (BOTHOFF 機能)

#### HDQ

HDQ 通信

SPI MOSI ピン

#### DCHG

DCHG 機能 — 通常は CHG ドライバを無効にする原因となるフォルトに対応するロジック レベル出力

#### DDSG

DDSG 機能 — 通常は DSG ドライバを無効にする原因となるフォルトに対応するロジック レベル出力

#### ALERT、CFETOFF、DFETOFF、HDQ、DCHG、および DDSG

汎用デジタル出力

コマンドによって High または Low に駆動できます

アクティブ High 出力を、REG1 LDO または REG18 LDO から駆動するように構成できます

VSS への弱いプルダウンを行うか、REG1 への弱いプルアップを連続的に有効化するように構成できます

#### ALERT、CFETOFF、DFETOFF、TS1、TS2、TS3、HDQ、DCHG、および DDSG

サーミスタ温度測定

ピンと VSS との間にサーミスタを接続できます

ADCIN

ピンを汎用 ADC 測定に使用できます

### 7.7.6 RST\_SHUT ピンの動作

RST\_SHUT ピンを使用すると、シリアル バス通信を使用せずに、BQ76972-Q1 デバイスをリセットまたはシャットダウンするための簡単な方法を実現できます。通常動作中、RST\_SHUT ピンを Low に駆動する必要があります。ピンが High に駆動されると、デバイスは、シリアル通信バスに関連するデジタル ロジックの大部分を直ちにリセットします。ただし、保護 FET と FUSE の状態を保持するロジックはリセットされません。これらはピンが High に駆動される前の状態に維持されます。ピンが 1 秒間 High に駆動され続けると、デバイスはシャットダウン モードに移行します。このモードでは、外部保護 FET を無効にし、内部発振器、REG18 LDO、オンチップ プリレギュレータ、REG1 および REG2 LDO の電源をオフにします。

### 7.7.7 CFETOFF、DFETOFF、BOTHOFF ピン機能

BQ76972-Q1 デバイスには 2 つのピン (CFETOFF と DFETOFF) があり、ホスト シリアル通信インターフェイスを経由せずに、保護 FET ドライバを迅速に無効化するために使用できます。選択されたピンがアサートされると、デバイスはそれぞれの保護 FET を無効化します。注: 選択したピンがデアサートされても、ホストが選択したピンを設定した後にシリアル通信インターフェイスを使用して FET を無効化するコマンドを送信した場合など、FET の再有効化を妨げる他の項目がない場合にのみ、それぞれの FET は有効になります。FET ターンオフ機能が不要な場合、CFETOFF ピンと DFETOFF ピンは両方とも、他の機能に使用できます。

オプションとして、CFETOFF ピンを使用して CHG および PCHG FET を無効化できます。また、DFETOFF ピンを使用して DSG および PDSG FET を無効化することもできます。このデバイスには、DFETOFF ピンを BOTHOFF 機能として構成するオプションも含まれており、そのピンがアサートされると CHG、PCHG、DSG、PDSG FET が無効化されます。これにより、CFETOFF ピンをシステムの追加サーミスタに使用しながら、FET を無効化するためのピン制御も維持できます。

CFETOFF または BOTHOFF 機能は、アサートされると CHG FET と PCHG FET の両方を無効化します。

DFETOFF または BOTHOFF 機能は、アサートされると DSG FET と PDSG FET の両方を無効化します。

### 7.7.8 ALERT ピンの動作

ALERT ピンはマルチファンクション ピンであり、ALERT (ホスト プロセッサへの割り込みを提供)、サーミスタ入力、汎用 ADC 入力、汎用デジタル出力、または HDQ シリアル通信インターフェイスとして構成できます。このピンは、さまざまなシ

システム設計の基本設定に合わせて、アクティブ High、アクティブ Low、またはオープンドレインとして構成できます。HDQ インターフェイスピンとして構成すると、このピンはオープンドレインモードで動作します。

このピンがアクティブ High 出力を駆動するよう構成されている場合、REG18 1.8V LDO または REG1 LDO (1.8V ~ 5.0V にプログラム可能) から出力電圧を駆動します。注:DC または大きな過渡電流をこのピンによって駆動する必要がある場合、REG18 LDO ではなく REG1 LDO を使用して出力を駆動するように構成する必要があります。

BQ76972-Q1 デバイスには ALERT ピンでアラーム信号を生成する機能が含まれており、ホストプロセッサへの割り込みとして使用できます。このピンをアラーム機能に使用する場合、アクティブ Low またはハイインピーダンス信号、アクティブ High または Low 信号、アクティブ Low または High 信号 (反転極性) として信号を駆動するようにプログラムできます。BQ76972-Q1 デバイスのアラーム機能にはプログラマブルマスクが含まれているため、顧客は、数あるフラグやイベントからどれがアラームをトリガできるかを決定できます。

### 7.7.9 DDSG および DCHG ピンの動作

BQ76972-Q1 デバイスには 2 つのマルチファンクションピン DDSG および DCHG があります。これらのピンは、ロジックレベルの出力として構成してホストプロセッサや外部回路 (すなわち、DDSG および DCHG 機能) にフォルト関連の信号を供給でき、サーミスタ入力、汎用 ADC 入力、または汎用デジタル出力として構成できます。

デジタル出力として使用する場合、これらのピンをアクティブ High 出力を駆動するように構成できます。その際、REG18 1.8V LDO または REG1 LDO (1.8V ~ 5.0V にプログラム可能) のいずれかから出力電圧を駆動します。

#### 注

DC または大きな過渡電流をピンによって駆動する場合、REG18 LDO ではなく REG1 LDO を使用して出力を駆動するように構成する必要があります。

ピンが DDSG および DCHG 機能用に構成されている場合、(DCHG ピン上で) 通常時に CHG ドライバが無効になるか、(DDSG ピン上で) 通常時に DSG ドライバが無効になる原因となる保護フォルトに関連する信号を送信します。内蔵ハイサイド NFET ドライバをシステムで使用できない場合、これらの信号を使用して外部保護回路を制御できます。また、手動 FET 制御モードで割り込みとしてもこれらを使用でき、これにより FET を無効化するのにコマンドを介すか、CFETOFF ピンおよび DFETOFF ピンを使用するかをホストプロセッサが決定できます。

### 7.7.10 ヒューズドライブ

BQ76972-Q1 デバイスの FUSE ピンを使用して、永続的な故障 (PF) が発生している化学ヒューズを遮断したり、システム内の外付け 2 次プロテクタが故障を検出し、ヒューズ自体を遮断しようとしているかどうかを判断したりできます。このピンは、NFET のゲートを駆動でき、そのゲートを外部の 2 次プロテクタのドライブと組み合わせることができます (図 7-6 を参照)。BQ76972-Q1 デバイスによって FUSE ピンがアサートされていない場合、FUSE ピンはハイインピーダンス状態を維持し、2 次プロテクタによってピンに印加される電圧を検出します。FUSE ピンで High 信号を検出した場合に、PF を生成するようにデバイスを構成できます。

デバイスは、PF が発生したときにヒューズを遮断するように構成できます。この場合、デバイスはスタックの最上部とハイサイド保護 FET との間にヒューズを配置したシステム構成に基づいて、スタック電圧が設定されたスレッシュホールドを上回った場合にのみヒューズを遮断しようとします。代わりにヒューズを FET と PACK+ コネクタとの間に配置する場合、デバイスは (構成設定に基づいて) PACK ピンの電圧に基づいてヒューズ遮断を決定します。この電圧スレッシュホールドチェックは、『BQ76972 テクニカルリファレンスマニュアル』に記載されているように、特定の特別な場合は無視することができます。





間隔でセル電圧が測定されます。また、このデバイスには構成ビットもあり、電圧と CC2 電流の両方の変換速度を 2 倍にしますが、この場合は測定分解能を低下させます。

アクティブな充電または放電が進行中の場合、デバイスは通常モードになります。CC1 電流測定値がプログラマブル電流スレッシュホールドを下回ると、システムが緩和モードにあると見なされ、設定に応じて、BQ76972-Q1 デバイスは自動的にスリープモードに移行します。

### 7.8.3 SLEEP モード

スリープモードは、システム負荷電流がないかほとんどないとき、または充電中に、消費電力を低減するためにオプションとして使用できる機能低下状態ですが、バッテリーパック端子に電圧を供給してシステムの動作状態に維持できます。最初の電源投入時に、構成ビットによって、デバイスがスリープモードに移行できるかどうかが決まります。初期化後、サブコマンドを使用してスリープモードを許可または禁止できます。デバイスが現在スリープモードに移行できるかどうか、および現在スリープモードに入っているかどうかを示すため、ステータスビットが提供されます。

CC1 電流測定値の大きさがプログラマブル電流スレッシュホールドを下回ると、システムが緩和モードにあると見なされ、設定により許可される場合、BQ76972-Q1 デバイスは自動的にスリープモードに移行します。スリープモード中、コンパレータベースの保護は通常モードと同様に動作します。ADC をベースにした電流、電圧、温度の測定は、プログラマブルな間隔で実行されます。すべての温度保護機能では、これらの間隔で取得された ADC 測定値が使用され、スリープモード中は更新頻度が低下します。

BQ76972-Q1 デバイスは、保護フォルトが発生した、電流が流れ始めた、充電器が接続された、サブコマンドによって強制された、または RST\_SHUT ピンが 1 秒未満の間アサートされた場合、スリープモードを終了します。電流の流れに基づいて終了すると、デバイスは FET をすばやく有効化します (CHG FET がオフの場合、または DSG FET がソースフォロワモードの場合)。ただし、デバイスのタイミング内に次の 1 秒の境界が発生するまで、標準測定ループは再起動されません。したがって、デバイスがスリープモードを終了してから最大約 1 秒間、新しいデータが利用できない場合があります。

クーロンカウンタ ADC は、スリープモード中の電流を監視するため、低消費電力および速度モードで動作します。電流は 12ms ごとに測定され、その大きさがプログラマブルスレッシュホールドを超えると、デバイスは即座に通常モードに戻ります。このチェックに加えて、プログラムされた各間隔で CC1 電流測定値がこのスレッシュホールドを超えると、デバイスはスリープモードを終了します。

このデバイスは、プログラムされた各測定間隔で、PACK ピンの電圧とスタックの最上位電圧を監視します。PACK ピンの電圧がスタックの最上位電圧より、プログラマブルデルタを超えて高く、スタックの最上位電圧がプログラムされたスレッシュホールドよりも低い場合、デバイスはスリープモードを終了します。また、BQ76972-Q1 デバイスはスリープモードの開始時にヒステリシスを発生するため、動的負荷に基づいてデバイスがすぐにスリープモードに移行して終了することを防ぎます。通常モードに遷移した後、デバイスはヒステリシス設定で指定された秒数で、再度スリープモードに移行することはできません。

スリープモード中、DSG FET は、[セクション 7.6.4](#) で説明されているように、チャージポンプを使用するかソースフォロワモードで駆動できます。構成設定に基づいて、チャージポンプを使用して CHG FET を無効化または駆動できます。

### 7.8.4 DEEPSLEEP モード

BQ76972-Q1 デバイスにはディープスリープモードが内蔵されています。このモードは REG1 および REG2 LDO に電力を供給し続けることができる低消費電力モードですが、他のサブシステムは無効化されます。このモードでは、保護 FET がすべて無効化されるため、バッテリーパック端子には電圧が印加されません。すべての保護が無効化され、電圧、電流、温度の測定すべて無効化されます。

ディープスリープモードには、シリアル通信インターフェイス経由でサブコマンドを送信することで移行できます。サブコマンドの指示があった場合、または RST\_SHUT ピンが 1 秒未満アサートされた場合、または充電器が接続された場合 (これは LD ピンの電圧が  $V_{WAKEONLD}$  未満から上昇してこの値を超えた場合に検出されます)、デバイスはディープスリープモードを終了して通常モードに戻ります。また、BAT ピンの電圧が  $V_{PORA} - V_{PORA\_HYS}$  を下回る場合、デバイスはシャットダウンモードに移行します。

デバイスがディープスリープ モードを終了する際、まず一連の測定ループを完了して、有効な保護条件を評価し、通常モードに移行しても問題ない状態であることを確認します。これには、測定ループが完了する時間に約 **250ms** 加えた時間がかかることがあります。

ディープスリープ モードに移行する際、構成設定に基づいて、**REG1** および **REG2 LDO** は電力状態を維持します。このデバイスには、ディープスリープ モード中も **LFO** を動作させ続ける機能もあります。これにより、通信への応答速度と通常モードへの遷移速度が速くなりますが、消費電力が大きくなります。

ディープスリープ モードを終了させるサブコマンドを送信する場合を除き、シリアル インターフェイス経由でデバイスと通信しても、ディープスリープ モードを終了させることはできません。ただし、ディープスリープ モードでは測定が行われないため、読み出しに使用できる新しい情報はありません。

### 7.8.5 シャットダウン モード

シャットダウン モードは **BQ76972** の最小消費電力モードであり、配送または長期保管に使用できます。このモードでは、デバイスのすべてのレジスタ状態情報が失われ、内部ロジックがパワーダウンし、保護 **FET** がすべて無効化されるため、バッテリー パック端子に電圧が供給されません。すべての保護機能が無効化され、すべての電圧、電流、温度の測定が無効化され、通信はサポートされません。デバイスがシャットダウンを終了すると、起動し、**OTP** に保存されているパラメータを読み取ります (書き込まれている場合)。**OTP** に書き込まれていない場合、デバイスはデフォルト設定で起動し、その後ホストがデバイス レジスタに書き込みを行うことで設定を変更できます。

シャットダウン モードに移行するには、一連の手順が必要です。このシーケンスは、シリアル通信インターフェイスを使用して手動で開始できます。また、スタックの最上位電圧または最小セル電圧に基づいて自動的にシャットダウン モードに移行するようにデバイスを構成することもできます。スタックの最上位電圧がプログラムされたスタック電圧スレッシュホールドを下回るか、または最小セル電圧がプログラムされたセル電圧スレッシュホールドを下回ると、シャットダウン モード シーケンスが自動的に開始されます。セル電圧に基づくシャットダウンは、配線間の測定に使用されているセル入力ピンには適用されません。

**BQ76972-Q1** デバイスが通常モードまたはスリープ モードである間は、内部温度の測定値がプログラムされたスレッシュホールドを超えた場合、プログラムされた遅延時間後にデバイスをシャットダウン モードに移行するように構成することもできます。

サブコマンドによってシャットダウン モード シーケンスが開始されるか、**RST\_SHUT** ピンが **1** 秒間 **High** に駆動されると、デバイスは遅延時間を待機してから保護 **FET** を無効化します。シーケンスが開始されてからの遅延の後、デバイスはシャットダウン モードに移行します。ただし、**LD** ピンの電圧が依然として **V<sub>WAKEONLD</sub>** レベルを上回っている場合は、**LD** の電圧がそのレベルを下回るまでシャットダウンが遅延します。

デバイスがシャットダウン モードのとき、**TS2** ピンには約 **5V** の電圧が供給され、ソース インピーダンスが高くなります。**TS2** ピンが **VSS** へのスイッチなどで **Low** になるか、**V<sub>WAKEONLD</sub>** を上回る電圧が **LD** ピンに印加されると (充電器が直列 **FET** 構成で接続されている場合など)、デバイスはシャットダウン モードを終了します。注: **TS2** ピンから **VSS** にサーミスタが接続されている場合、デバイスが完全にシャットダウン モードに移行するのを妨げる可能性があります。

**BQ76972-Q1** デバイスを長期保管に移行する際に、シャットダウン モードからの意図しないウェークアップを回避するための対策として、プログラムされた分数後に自動的にシャットダウン モードに再移行するようにデバイスを構成できます。

**BQ76972-Q1** デバイスは、メモリの定期的整合性チェックを実行し、破損が検出されると、強制的にウォッチドッグ リセットを行います。メモリ故障の場合のリセット サイクルを回避するため、ウォッチドッグ リセットの発生後、プログラムされた秒数以内にメモリ エラーが検出された場合、デバイスはリセットするのではなくシャットダウン モードに移行します。

デバイスがシャットダウンから回復すると、内部回路の電源投入、**OTP** メモリからの負荷設定、初期測定の実行、有効な保護に対する評価、条件が許す場合に **FET** を有効化するために、一般的に約 **200ms** ~ **300ms** が必要です。設定によっては、この処理がはるかに長くなる可能性があります。

**BQ76972-Q1** デバイスにはハードウェア過熱検出回路が内蔵されており、これによりダイ温度が約 **120°C** の過剰温度を超えるタイミングを判断します。この検出器がトリガされると、設定に基づいて、デバイスはシャットダウンに移行するシーケ

ンスを自動的に開始します (設定でこの機能が有効になっている場合)。より高い温度での動作が必要な場合は、この自動シャットダウンを設定で無効にできます。

### 7.8.6 CONFIG\_UPDATE モード

BQ76972-Q1 デバイスは特別な CONFIG\_UPDATE モードを使用して、データ メモリ の設定を変更します。ファームウェアが通常動作中にデータ メモリ の設定を変更した場合、動作中にファームウェアが使用する設定が変更されると、予期しない動作や結果を生じる可能性があります。データ メモリ 設定を変更する必要がある場合 (通常は顧客の製造ラインまたはオフライン状態でのみ行う必要があります)、ホストはデバイスを CONFIG\_UPDATE モードにし、必要に応じて設定を変更してから、CONFIG\_UPDATE モードを終了する必要があります。詳細は、『[BQ76972 テクニカル リファレンス マニュアル](#)』を参照してください。

CONFIG\_UPDATE モードでは、デバイスは通常のファームウェア動作を停止して、すべての測定および保護監視を停止します。その後、ホストはデータ メモリ の設定を変更できます (レジスタを RAM に直接書き込むか、RAM データを OTP にプログラムするようにデバイスに指示します)。変更が完了すると、ホストおよびは CONFIG\_UPDATE モードを終了します。この時点で、デバイスは新しいデータ メモリ 設定を使用して通常のファームウェア動作を再開します。

## 7.9 シリアル通信インターフェイス

### 7.9.1 シリアル通信の概要


BQ76972-Q1 デバイスには、3 つのシリアル通信インターフェイスが搭載されており、オプションで CRC チェックが可能な 100kHz および 400kHz モードをサポートする I<sup>2</sup>C バス、オプションで CRC チェックが可能な SPI バス、および 1 線式 HDQ インターフェイスがあります。BQ76972-Q1 デバイスはデフォルトで I<sup>2</sup>C モードに設定されていますが、デバイスの他のバージョンではデフォルト設定が異なる場合があります。通信モードは、レジスタまたは OTP 構成のいずれかをプログラムすることで変更できます。お客様は製造ラインでデバイスの内蔵 OTP をプログラムすることで、パワーアップ動作時に使用する希望の通信速度とプロトコルを設定できます。

### 7.9.2 I<sup>2</sup>C 通信

BQ76972-Q1 デバイスの I<sup>2</sup>C シリアル通信インターフェイスは、レスポнда デバイスとして機能し、最大 400kHz のレートをサポートしており、オプションとして CRC チェックが含まれています。OTP がプログラムされていない場合、BQ76972-Q1 デバイスはデフォルトの 400kHz I<sup>2</sup>C モードで初期起動します。ただし、デバイスの他のバージョンでは、最初は異なるモードで初期起動する場合があります (「[デバイス比較表](#)」を参照)。OTP 設定を製造ラインでプログラムでき、デバイスが起動すると、OTP 設定に従って選択されたモードに自動的に移行します。また、ホストは CONFIG\_UPDATE モード中に I<sup>2</sup>C 速度設定を変更できます。この新しい速度設定は、CONFIG\_UPDATE モードが終了すると有効になります。さらに、ホストが SWAP\_TO\_I2C () サブコマンドを使用して、通信インターフェイスを直ちに I<sup>2</sup>C に変更することもできます。

I<sup>2</sup>C デバイス アドレス (レスポнда アドレスと R/W ビットを含む 8 ビット値) はデフォルトで 0x10 (書き込み)、0x11 (読み取り) に設定されていますが、構成設定で変更できます。

通信インターフェイスには、プログラマブル タイムアウト機能が含まれています。これは、バスが 100kHz または 400kHz で動作している場合にのみ使用できます。デバイスを 100kHz モードに設定してこの機能が有効な際に、クロックが 25ms ~ 35ms の t<sub>TIMEOUT</sub> より長い時間 Low であると検出された場合、またはクロック Low レスポндаの累積延長時間が約 25ms を超えた場合、またはクロック Low コントローラの累積延長時間が 10ms を超えた場合、デバイスは通信インターフェイス ロジックをリセットします。デバイスを 400kHz モードに設定してタイムアウトが有効な際に、クロックが 5ms ~ 20ms の t<sub>TIMEOUT</sub> より長い時間 Low であると検出された場合、デバイスは通信インターフェイス ロジックをリセットします。SCL ピンが 2 秒以上 Low であると検出された場合、バスには長期的なタイムアウトも含まれます。これは、上記のタイムアウトが有効になっているかどうかにかかわらず適用されます。

 **7-8** に I<sup>2</sup>C 書き込みトランザクションを示します。Stop の前に追加のデータ バイトを送信すると、ブロック書き込みが許可されます。I<sup>2</sup>C ロジックにより、各データ バイトの後のレジスタ アドレスが自動的にインクリメントされます。

有効化なときは、CRC を次のように計算します:

- シングル バイトの書き込みトランザクションでは、レスポнда アドレス、レジスタ アドレス、データに対して CRC が計算されます。
- ブロック書き込みトランザクションでは、レスポнда アドレス、レジスタ アドレス、データに対して最初のデータ バイトの CRC が計算されます。それ以降のデータ バイトの CRC は、データ バイトに対してのみ計算されます。

The CRC polynomial is  $x^8 + x^2 + x + 1$ , and the initial value is 0.

レスポндаが無効な CRC を検出すると、I<sup>2</sup>C レスポндаは CRC に NACK を返すため、I<sup>2</sup>C レスポндаはアイドル状態に移行します。

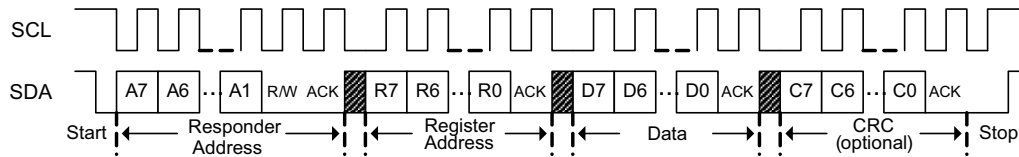


図 7-8. I<sup>2</sup>C 書き込み

図 7-9 は、リピート スタートを使用する読み取りトランザクションを示しています。

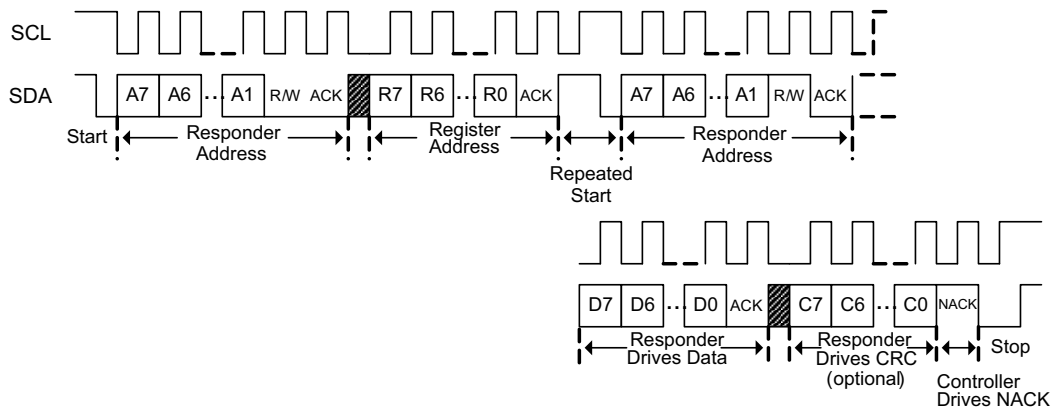


図 7-9. リピート スタートによる I<sup>2</sup>C 読み取り

図 7-10 は、ハードウェアで利用できない場合などの、リピート スタートを使用しない読み取りトランザクションを示しています。ブロック読み取りの場合、コントローラは最後のバイトを除く各データ バイトに ACK を返し、インターフェイスにクロックを供給し続けます。I<sup>2</sup>C ブロックは、各データ バイトの後にレジスタ アドレスを自動インクリメントします。

有効にすると、読み取りトランザクションの CRC は次のように計算されます：

- シングル バイト読み取りトランザクションでは、初めての起動時に CRC が計算されるため、レスポнда アドレス、レジスタ アドレス、読み取りビットが設定されたレスポнда アドレス、データ バイトが含まれます。
- ブロック読み取りトランザクションでは、初めての起動時に最初のデータ バイトの CRC が計算されます。これには、レスポнда アドレス、レジスタ アドレス、読み取りビットが設定されたレスポнда アドレス、データ バイトが含まれます。CRC は、各データ バイトの後、および停止するたびにリセットされます。それ以降のデータ バイトの CRC は、データ バイトに対してのみ計算されます。

CRC 多項式は  $x^8 + x^2 + x + 1$  で、初期値は 0 です。

コントローラが無効な CRC を検出すると、I<sup>2</sup>C コントローラは CRC に NACK を返すため、I<sup>2</sup>C レスポндаはアイドル状態に移行します。

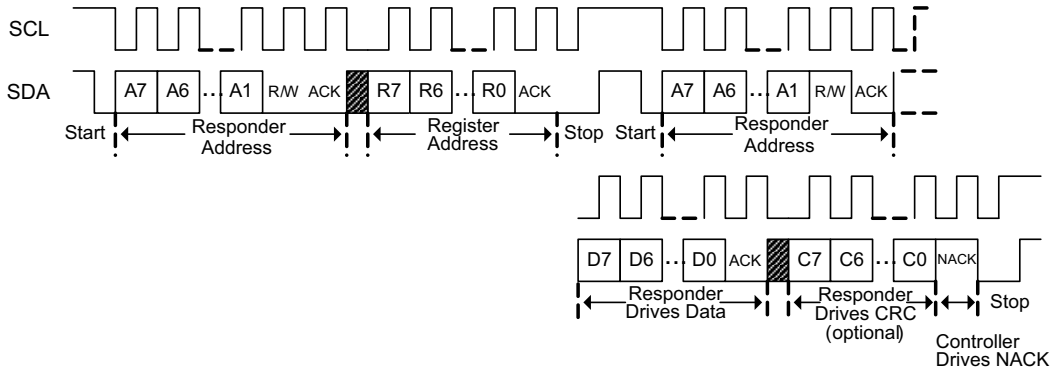


図 7-10. リピート スタートなしの I<sup>2</sup>C 読み取り

### 7.9.3 SPI 通信

BQ76972-Q1 デバイスの SPI インターフェイスは、オプションの CRC チェック機能を備えたレスポンド専用インターフェイスとして動作します。OTP がプログラムされていない場合、BQ76972-Q1 デバイスは初期状態でデフォルトの 400kHz I<sup>2</sup>C モードで起動します。他のデバイスバージョンでは、初期状態でデフォルトの CRC が有効な SPI モードで起動できます（「デバイス比較表」を参照）。SPI モードを選択するための OTP 設定は、製造ラインで BQ76972-Q1 にプログラムできます。その後、デバイスが起動すると、自動的に SPI モードに移行します。ホストは、CONFIG\_UPDATE モード中にシリアル通信設定を変更することもできますが、評価中または量産中の通信損失を避けるため、デバイスは CONFIG\_UPDATE モードの終了時に通信モードを直ちに変更することはできません。ホストはデバイスをリセットするか、SWAP\_TO\_SPI () サブコマンドを書き込んで、通信インターフェイスを直ちに SPI に変更できます。

SPI インターフェイス ロジックは、次の図に示すように、クロック極性 (CPOL) = 0、クロック位相 (CPHA) = 0 で動作します。

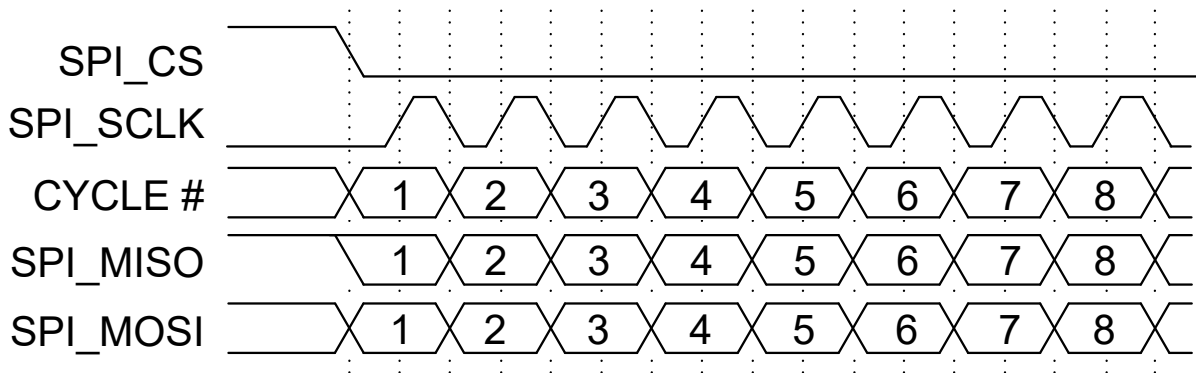


図 7-11. CPOL = 0 および CPHA = 0 の SPI

このデバイスには、多項式  $x^8 + x^2 + x + 1$  を使用するオプションの 8 ビット CRC も内蔵されています。CRC が有効でない場合、インターフェイスは 16 ビットのトランザクションを使用する必要があり、CRC が有効の場合は 24 ビットのトランザクションを使用する必要があります。CRC モードは、Settings:Configuration:Comm Type の設定に基づいて有効または無効になります。構成設定に基づいて、ロジックは次のことを実行します：

- (a) CRC を使用してのみ動作し、有効な CRC がないとデータを受け入れることはできません
- (b) CRC なしのトランザクションのみを受け付けます（そのため、ホストはトランザクションごとに 16 ビットのみクロックを供給する必要があります。送信されるクロックの数が多いか少ない場合、デバイスはエラーを検出します）。

ホストが CRC を使用して書き込みを実行したときに CRC が正しくない場合、受信データは受信バッファに転送されず、(次のトランザクションに使用される) 送信バッファも 0xFFFF にリセットされます。このトランザクションは無効とみなされず。次のトランザクションでは、CRC (クロックアウトされた場合) は 0xAA になるため、0xFFFFAA は、CRC エラーが検出されたことをコントローラに示します。

**BQ76972-Q1** デバイスの内部発振器は、ホストがトランザクションを開始すると動作しない可能性があります (たとえば、デバイスがスリープモードの場合に発生する可能性があります)。この場合、インターフェイスは最初の 16 ビットがクロックアウトされたとき、SPI\_MISO の 0xFFFF を駆動します。CRC が有効な場合、3 番目の (CRC) バイトについても 0xFF を駆動します。したがって、0xFFFF または 0xFFFFFF は、内部発振器の準備がまだ完了していないことをコントローラに示します。

このデバイスは、SPI\_CS の立ち下がりエッジで内部発振器を自動的にウェークアップしますが、安定するのに最大 50µs が必要で、SPI インターフェイス ロジックで使用できるようになる場合があります。デバイスで使用されるアドレス 0x7F は、このアドレスに 0xFF を書き込む有効なトランザクションが存在しないように定義されます。このため、2 バイトのパターン 0xFFFF は、トランザクションの最初の 2 バイトにおいて有効なシーケンスとして決して発生してはなりません (つまり、I<sup>2</sup>C NACK と同様、何か異常があるフラグとしてのみ使用されます)。

初期状態がオフの場合、HFO の起動で遅延が生じるため、デバイスにはプログラマブルなヒステリシスが組み込まれており、SPI\_CS の立ち下がりエッジによってウェークアップされた後、HFO はプログラム可能な秒数だけ電力供給状態を維持できます。このヒステリシスは、**Settings:Configuration:Comm Idle Time** 構成設定により制御されます。この設定は、0 ~ 255 秒の範囲で設定できます (SPI モードのとき、値が 0 に設定されていても、デバイスは 1 秒の最小ヒステリシスを使用します)。ホストはこれをより長い時間 (最大 255 秒) に設定して、この時間ウィンドウ内に通常の通信を維持できます。これにより、HFO に電力供給されたままになるため、デバイスは SPI トランザクションに迅速に応答できます。ただし、HFO を継続的に動作させると、必要なときのみ HFO に電力供給する場合に比べて、デバイスによる消費電流が増加します (HFO は電力供給時に約 30µA を消費します)。この余分な電源電流を回避するため、ホストは最初に不要な SPI トランザクションを送信して HFO をウェークアップさせ、SPI\_MISO に有効な応答が返されるまで、これを再試行できます。この時点で、ホストは目的の SPI トランザクションの送信を開始できます。

長時間にわたって過剰な SPI トランザクションが発生すると、デバイスにウォッチドッグ フォルトが発生する可能性があります。あるトランザクションの終了から新しいトランザクションの開始まで 50µs 以上空けることで、SPI トランザクションの頻度を制限することを推奨します。

デバイスは、SPI バスの停止または切断状態を検出する機能を備えており、検出後バス ロジックをリセットします。この条件は、SPI\_CS が Low で SPI\_SCLK が安定しており、2 秒間のタイムアウトの間変化しない場合に認識されます。

使用するデバイスのバージョンに応じて、デフォルトで SPI\_MISO ピンを構成して、REG18 LDO を出力駆動に使用するように設定できます。これにより 1.8V の信号レベルになります。これにより、ホストプロセッサが 3.3V や 5V などの高電圧で動作している場合、通信エラーを引き起こす可能性があります。SPI\_MISO ピンは、**Settings:Configuration:SPI Configuration[MISO\_REG1]** データ メモリ構成ビットを設定することで、代わりに出力ドライブに REG1 LDO を使用するようにプログラムできます。このビットは、REG1 LDO に電力供給されている場合のみ設定する必要があります。このビットを変更した後、デバイスが新しい値を使用するためには、SWAP\_TO\_SPI () または SWAP\_COMM\_MODE() サブコマンドを送信する必要があります。

このデバイスには、SPI 入力ピンのオプションのピン フィルタリングが搭載されており、各入力ピンに約 200ns の遅延を持つフィルタが実装されています。このフィルタリングはデフォルトで有効になっていますが、**Settings:Configuration:SPI Configuration[FILT]** データ メモリ構成ビットをクリアすることで無効化できます。

### 7.9.3.1 SPI プロトコル

SPI トランザクションの最初のバイトは、R/W ビット (R = 0, W = 1)、その後 7 ビット アドレス (MSB ファースト) で構成されます。コントローラ (ホスト) が書き込みを行っている場合、2 番目のバイトは書き込まれるデータです。コントローラが読み取りを行っている場合、SPI\_MOSI で送信される 2 番目のバイトは無視されます (CRC 計算を除く)。

CRC が有効化されている場合、コントローラは 8 ビットの CRC コードを 3 番目のバイトとして送信する必要があります。このコードは最初の 2 バイトに対して計算されます。CRC が正常な場合、クロックされた値が受信バッファに格納されます。

CRC に異常がある場合、送信バッファは 0xFFFF に設定され、送信 CRC は 0xAA に設定されます (これらは次のトランザクションでクロックアウトされます)。

このトランザクション中、ロジックは送信バッファの内容をクロックアウトします。送信バッファが最後のトランザクション以降に更新されない場合、ロジックは 0xFFFF をクロックアウトし、CRC にクロックが供給されると、CRC の 0x00 をクロックアウトします (有効な場合)。したがって、0xFFFF00 コマンドは、トランザクションが発生する前に、送信バッファが内部ロジックによって更新されないことをコントローラに示します。これは、連続したトランザクション間のバッファを更新するのに十分な時間がデバイスになかった場合に発生する可能性があります。

内部ロジックがインターフェイスロジックから書き込みデータを取得して処理すると、R/W ビット、アドレス、データも送信バッファにコピーされます。次のトランザクションでは、このデータがコントローラにクロックバックされます。

コントローラが読み取りを開始するとき、内部ロジックは R/W ビットとアドレスを要求されたデータとともに送信バッファに出力します。このインターフェイスは、送信バッファ内の 2 バイトで CRC を計算し、CRC が有効な場合はコントローラに戻るクロックを計算します (前述のように、0xFFFF に関連する例外を除きます)。以下に、CPOL = 0 を想定した、CRC ありとなしのトランザクションシーケンスの図を示します。

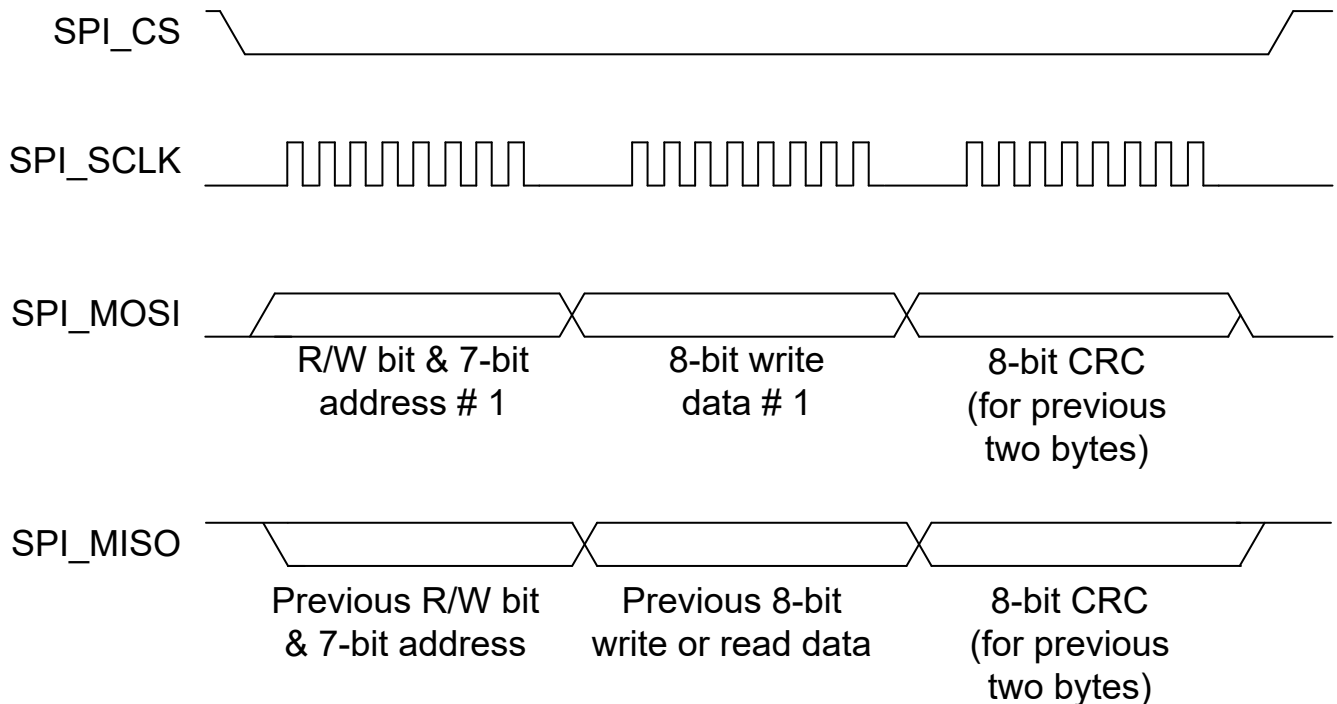


図 7-12. CRC を使用した SPI トランザクション #1

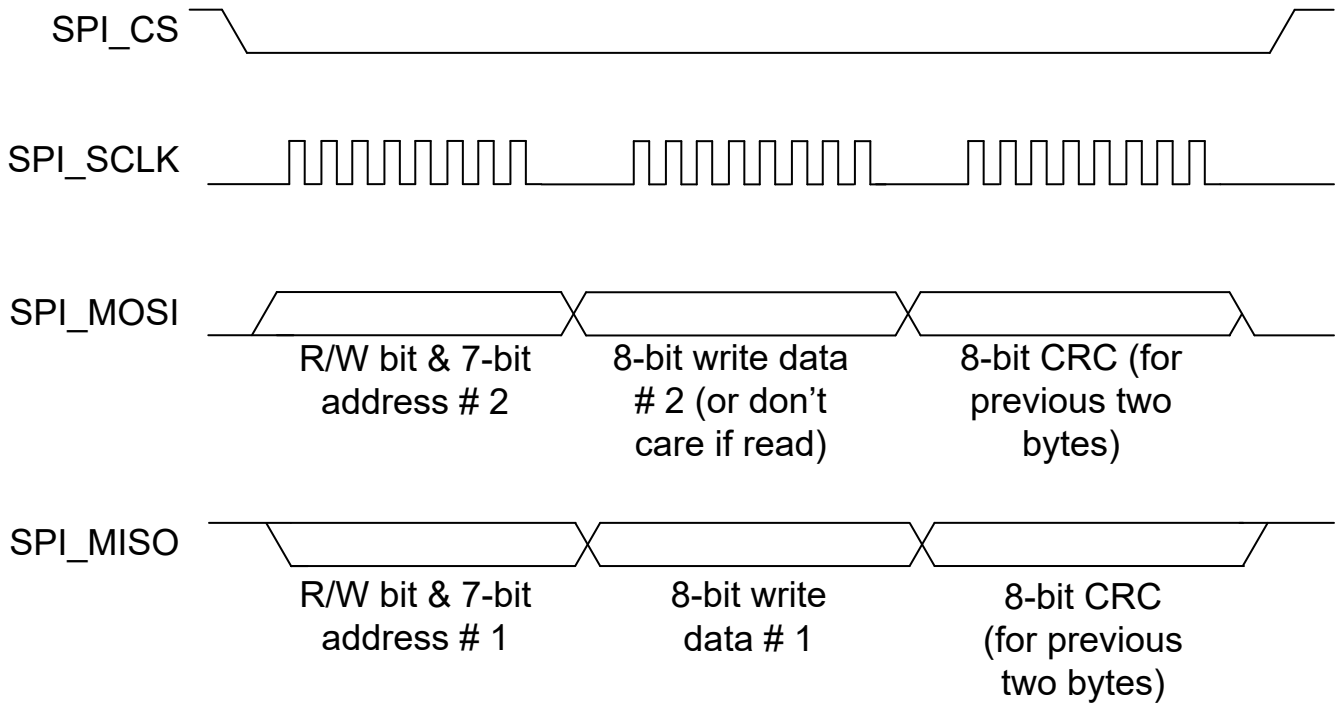


図 7-13. CRC を使用した SPI トランザクション #2

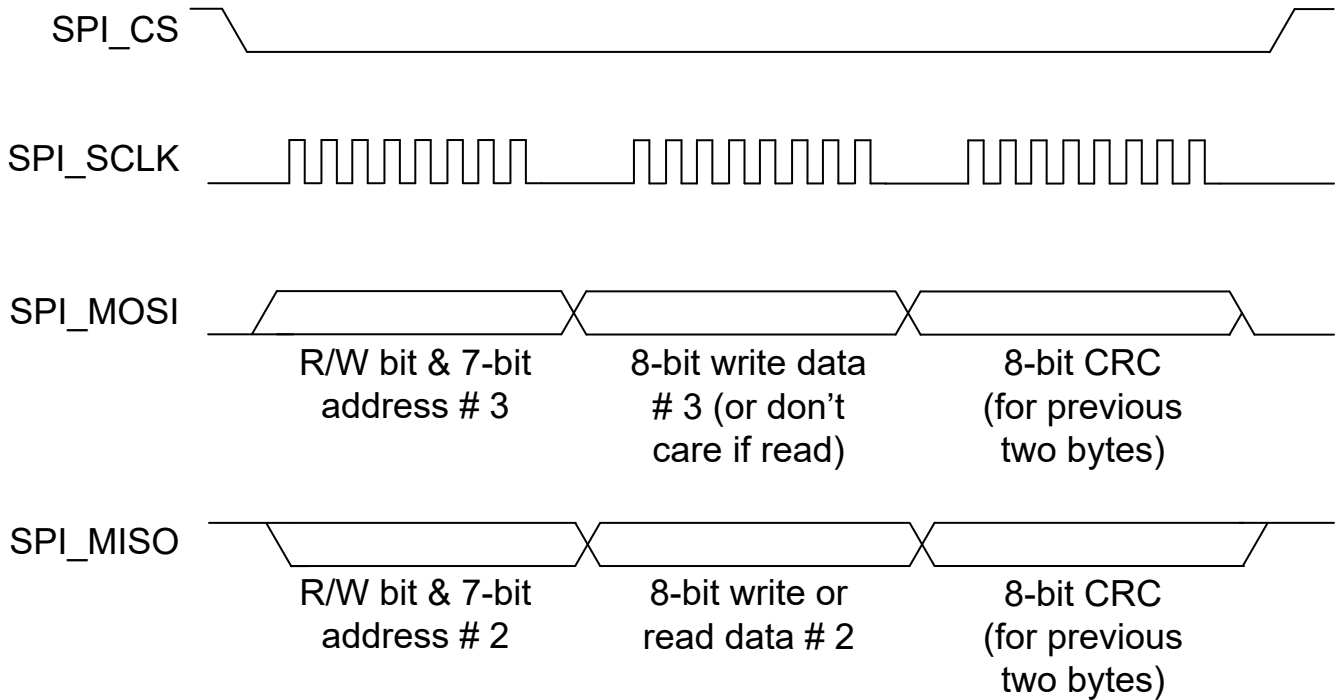


図 7-14. CRC を使用した SPI トランザクション #3

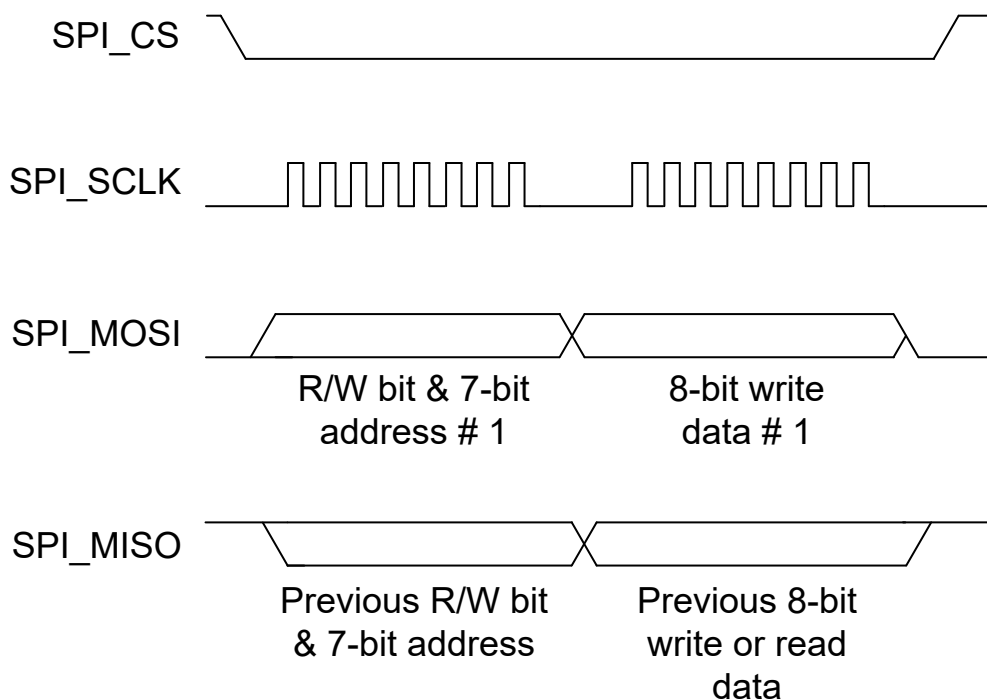


図 7-15. CRC なしの SPI トランザクション #1

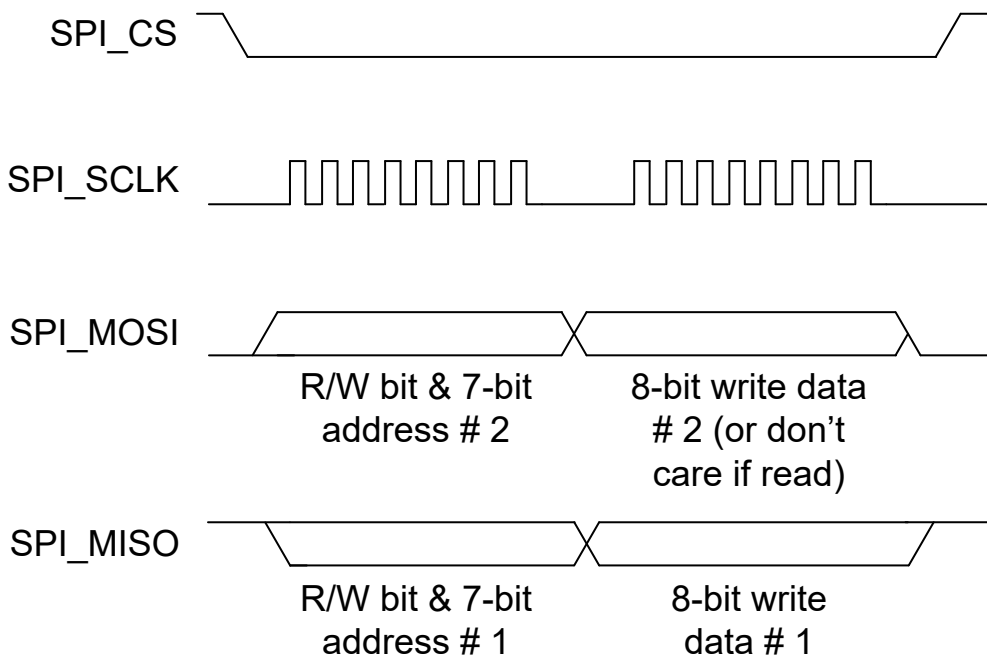


図 7-16. CRC なしの SPI トランザクション #2

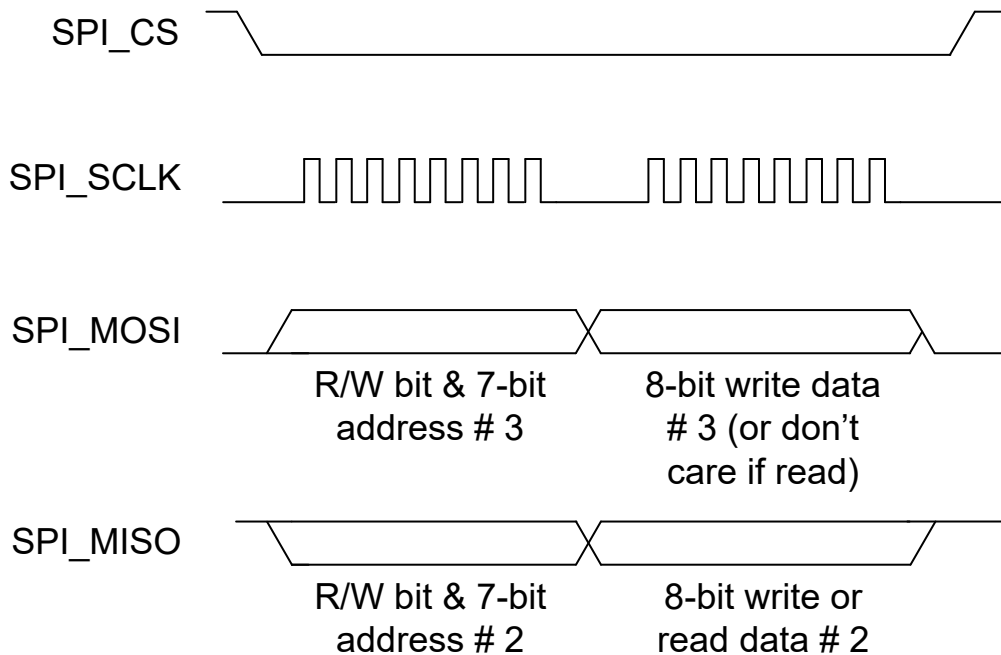


図 7-17. CRC なしの SPI トランザクション #3

デバイスがコマンドやサブコマンドを処理するために必要な時間は、それぞれの仕様によって異なります。直接コマンドは一般に 50µs 内で完了しますが、サブコマンドはそれよりも時間がかかり、サブコマンドによって完了までの所要時間は異なります。たとえば、特定のサブコマンドが送信されたとき、デバイスは 32 バイトのデータを内部のサブコマンド バッファにロードするのに約 200µs を必要とします。ホストがバッファの読み取りを開始する前に (アドレス 0x40 から 0x5F への読み戻し)、このロードが完了するのに十分な時間を確保している場合、デバイスは 0xFFFF00 ではなく有効なデータを用いて応答します。データがサブコマンド バッファにすでにロードされている場合、このデータは、SPI トランザクション間のおよそ 50µs 間隔で読み戻すことができます。特定のコマンドおよびサブコマンドに必要なおおよその時間の詳細については、『BQ76972 テクニカル リファレンス マニュアル』を参照してください。

ホスト ソフトウェアには、成功しない可能性のあるトランザクションを再試行する方法を組み込む必要があります。たとえば、デバイスが SPI\_MISO に 0xFFFFF を返した場合、内部クロックに電力が供給されていないため、トランザクションを再試行する必要があります。同様に、デバイスがトランザクションで 0xFFFFAA を返した場合、これは前のトランザクションで CRC エラーが発生したことを示しているため、前のトランザクションを再試行する必要があります。そして前述のように、デバイスが 0xFFFF00 を返した場合、現在のトランザクションが送信されたときに前のトランザクションが完了していないことになります。これは、前のトランザクションを再試行する必要があるか、完了するために少なくともさらに時間を必要とする可能性があります。

#### 7.9.4 HDQ 通信

HDQ インターフェイスは非同期リターン ツー 1 プロトコルであり、プロセッサは構成に応じて、ALERT ピンまたは HDQ ピンへの 1 線式接続を使用して BQ76972-Q1 デバイスと通信します。コントローラ (ホスト デバイス) とレスポнда (BQ76972-Q1 デバイス) は、回路基板に必要な電源電圧に接続されたプルアップ抵抗を備えたオープンドレインドライバを使用して、HDQ インターフェイスを駆動します。BQ76972-Q1 デバイスは、Settings:Configuration:Comm Type 構成レジスタを設定するか、サブコマンドを送信することで、デフォルトの通信モードから HDQ 通信モードに変更できます (この時点でデバイスはすぐに HDQ モードに切り替わります)。

## 注

SWAP\_COMM\_MODE() サブコマンドは、通信インターフェイスを直ちに **Comm Type** 構成で選択されたものに変更する一方で、SWAP\_TO\_HDQ() サブコマンドは、ALERT ピンを使用してインターフェイスを即座に HDQ に変更します。

HDQ では、データ バイト (コマンド) またはワード (データ) の最下位ビット (LSB) が最初に送信されます。

8 ビットのコマンド コードは、7 ビットの HDQ コマンド コード (ビット 0 ~ 6) と 1 ビットの R/W フィールド (MSB ビット 7) という 2 つのフィールドで構成されています。R/W フィールドは、次のいずれかをデバイスに指示します:

- 次の 8 ビットをホストからデバイスへのデータとして受け入れるか、
- 7 ビットのコマンドに応答して、デバイスからホストに 8 ビットのデータを出力します。

BQ76972-Q1 デバイスの HDQ ペリフェラルは、HDQ レスポンダとしてのみデータを送受信できます。

HDQ のリターン ツー 1 データ ビット フレームは、以下のセクションで構成されています:

1. 最初のセクションは、ホストがブレイク信号を送信して転送を開始するために使用されます (ホストは HDQ インターフェイスを時間  $t_{(B)}$  の間ロジック Low 状態に駆動します)。その後、ブレイクリカバリ信号を送信します (ホストは HDQ インターフェイスを時間  $t_{(BR)}$  の間解放します)。
2. 次のセクションは、ホスト コマンド 転送用であり、ホストは  $8 T_{(CYCH)}$  のタイム スロットの間 HDQ インターフェイスを駆動して 8 ビットを送信します。各タイム スロットについて、HDQ ラインは時間  $T_{(HW0)}$  (ホストが「0」を書き込む) または  $T_{(HW1)}$  (ホストが「1」を書き込む) の間 Low に駆動されます。その後で HDQ ピンが解放され、各  $T_{(CYCH)}$  タイム スロットが完了するまで High のまま維持されます。
3. 次のセクションはデータ転送用であり、ホスト (書き込みが開始された場合) またはデバイス (読み取りが開始された場合) は、 $8 T_{(CYCH)}$  (ホストが駆動している場合) または  $T_{(CYCD)}$  (デバイスが駆動している場合) のタイム スロットの間 HDQ インターフェイスを駆動して 8 ビットを送信します。HDQ ラインは、時間  $T_{(HW0)}$  (ホストが「0」を書き込む)、 $T_{(HW1)}$  (ホストが「1」を書き込む)、 $T_{(DW0)}$  (デバイスが「0」を書き込む)、または  $T_{(DW1)}$  (デバイスが「1」を書き込む) の間 Low に駆動されます。その後で HDQ ピンが解放され、タイム スロットが完了するまで High のまま維持されます。HDQ インターフェイスはオートインクリメントしないため、転送されるバイトごとに個別のトランザクションを送信する必要があります。

## 7.10 セル バランシング

### 7.10.1 セル バランシングの概要

BQ76972-Q1 デバイスは、充電中または待機時に、セル間の内蔵バイパス スイッチまたは外部バイパス FET スイッチのいずれかを使用して、選択したセルの電流をバイパスすることにより、パッシブ セル バランシングをサポートしています。このデバイスには電圧ベースのバランシング アルゴリズムが組み込まれており、ホスト プロセッサとの連携を必要とせずセルの自律的なバランシングが可能です。また、必要な場合は、ホスト プロセッサからバランシング全体を手動で制御することもできます。自律的なバランシングの場合、このデバイスは使用中の非隣接セルのみをバランシングします (使用中のセルとして相互接続を測定するために使用される入力とは見なしません)。BQ76972-Q1 デバイス内での過剰な電力消費を防止するため、同時にバランスを取ることができる最大セル数を構成設定によって制限できます。ホスト制御によるバランシングでは、隣接セルだけでなく、非隣接セルのバランスをとることもできます。ホスト制御のバランシングは、ホストから送信される特定のサブコマンドを使用して制御できます。また、デバイスはサブコマンドでセルのバランシングに要した時間に関するステータス情報も返します。

サブコマンドを使用してホスト制御のバランシングが開始されると、デバイスはタイマを開始して、タイマがプログラムされた値に達するか、新しいバランシング サブコマンドを発行する (タイマはリセット) まで、バランシングを継続します。これは予防措置として含まれているもので、ホスト プロセッサがバランシングを開始した後に BQ76972-Q1 デバイスとの通信が停止した場合に、バランシングがいつまでも継続しないようにします。

BQ76972-Q1 デバイスは、環境およびシステム条件に基づく電圧ベースのアルゴリズムを使用して、セルの自動的なバランスを維持できます。バランシングを許可するタイミングを制御するために、複数の設定が用意されています。詳細については、『[BQ76972 テクニカル リファレンス マニュアル](#)』を参照してください。

バランスングがアクティブな間は BQ76972-Q1 デバイスのセル入力ピンに電流が流れるため、デバイスによるセル電圧の測定とセル電圧保護の評価はバランスング中に変更されます。通常の測定ループでは、アクティブにバランスングされたセルが ADC によって測定される間、およびアクティブ セルに隣接するセルが測定される間、バランスングは一時的に無効化されます。同様に、スタック電圧測定が進行中の間、トップ セルのバランスングは無効になります。これはすべての測定ループで発生するため、流れる平均平衡化電流が大幅に減少する可能性があります。この問題を解消するため、追加の構成ビットが用意されており、セル バランスングがアクティブなときにデバイスで測定ループ速度が低速になります。BQ76972-Q1 デバイスは、各電圧測定と温度スキャンループの後に電流のみの測定を挿入することで、電圧測定を遅らせ、それによって平均平衡化電流を増加させます。

このデバイスには内部ダイ温度チェック機能が搭載されており、ダイ温度がプログラマブルなスレッシュホールドを超えた場合にバランスングを無効化します。ただし、お客様は、システム内のデバイスのバランスングによる熱の影響を慎重に分析する必要があります。動作中のデバイスの計画された周囲温度とパッケージの熱特性に基づいて、デバイス内で消費可能な最大電力を計算し、それでも動作が推奨動作温度範囲内に収まるようにする必要があります。次に、同時にバランスングできるセルの最大数を制限するか、各セルと直列の外付け抵抗を適切に選択して各セルのバランスング電流を下げることで、デバイスの電力がこのレベルを下回るようにセル バランスング構成を決定できます。

## 8 アプリケーションと実装

### 注

以下のアプリケーションのセクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 8.1 使用上の注意

BQ76972-Q1 デバイスは、3 直列から 16 直列のバッテリー パックで使用でき、5V ~ 45V の範囲でスタックの最上位電圧をサポートします。特定のバッテリー パック用の包括的なパラメータ セットを設計し実装するため、開発時に、PC にインストールされたグラフィカル ユーザー インターフェイス ツールであるバッテリー マネジメント スタジオ (BQSTUDIO) を使用できます。BQSTUDIO を使用すると、保護用の故障トリガ スレッシュホールド、動作用の特定機能の有効化または無効化、セルの構成などのシステム パラメータが既知の場合、開発中に特定のアプリケーション要件に併せてデバイスを構成できます。これにより、設定の「ゴールドン イメージ」がデバイス レジスタまたは OTP メモリにプログラムできます。

### 8.2 代表的なアプリケーション

16 直列バッテリー パックの簡略化されたアプリケーション回路図を図 8-1 に示します。BQ76972-Q1 を外部セカンダリ プロテクタ、ホスト マイコン、通信トランシーバと組み合わせて使用しています。この構成では、CHG および DSG FET を直列に接続し、ハイサイド PFET デバイスと組み合わせて、プリチャージおよびプリディスチャージ機能を実装しています。実装時に考慮すべきいくつかのポイントを以下に示します：

- REGIN プリレギュレータに使用される外部 NPN BJT は、コレクタをセル バッテリー スタックまたは保護 FET の中央にルーティングするよう構成できます。
- 外部 NPN BJT のドレイン回路にダイオードを接続することを推奨します。これにより、パックの短絡が発生した場合に BREG ピンから BJT ベースを経由してコレクタに逆電流が流れるのを防ぎます。低電圧パック動作が必要な場合は、このダイオードをショットキー ダイオードにすることができ、それ以外の場合は、従来のダイオードを使用できます。
- BAT ピンには、ピンから VSS までのコンデンサと一緒に、直列ダイオードを使用するよう推奨しています。これらの部品を使用するとパックの短絡が発生してもデバイスは短時間動作を継続できます。その際、PACK+ 電圧およびスタックの最上位電圧が約 0V に低下する可能性があります。この場合、BAT ピンがスタックと共に Low にプルダウンされるのをダイオードが防止し、デバイスは動作を継続し、コンデンサから電流が流れます。一般に、デバイスが短絡イベントを検出して DSG FET を無効にするまでの間、動作が必要なのは短時間のみです。低電圧パック動作が必要な場合は、ショットキー ダイオードを使用できます。それ以外の場合は、従来のダイオードを使用できます。

- BAT 接続のダイオードと BJT コレクタのダイオードは共有しないでください。これは、REG0 回路が短絡イベント時に BAT のコンデンサを過度に迅速に放電する可能性があるためです。
- VC0 ~ VC4 ピンの推奨電圧範囲は、-0.2V にまで及びます。たとえば、これを使用すると、SRP ピンと SRN ピンに接続されたものと並列な 2 番目のセンス抵抗両端の電圧など、グランドよりわずかに低い電位の差動電圧を測定できます。
- システムでハイサイド保護 FET を使用しない場合、PACK ピンを直列 10kΩ 抵抗を介してスタックの最上位に接続できます。LD ピンは VSS に接続できます。この場合、LD ピンを個別に制御して、デバイスをシャットダウン モードからウェークアップすることもできます。たとえば、デバイスがシャットダウン時に LD ピンを VSS の電圧に保持し、シャットダウンからウェークアップするために V<sub>WAKEONLD</sub> の電圧より高く駆動できる外部回路によってこれが可能です。
- TI では、SRP および SRN ピンと直列に 100Ω の抵抗を使用して、フィルタリングにはピン間に 100nF と、オプションの 100pF の差動フィルタ容量を使用することを推奨しています。これらの部品とセンス抵抗のピンへの配線は最小限に抑え、完全に対称にする必要があり、すべての部品を PCB と同じ側に置くことを推奨しています。各センス入力ピンから VSS へさらにノイズフィルタリングを追加するため、オプションとして 0.1μF フィルタ コンデンサを追加できます。
- サーミスタはセルに接続されることが多く、デバイスに接続し直すために長い配線が必要な場合があるため、サーミスタピンからデバイスの VSS にコンデンサを追加すると便利な場合があります。ただし、コンデンサの値を過度に大きくしないようにし、サーミスタにバイアスを加えて定期的に測定する場合のセリング時間に影響しないようにすることが重要です。回路の時定数を測定時間の 5% 未満に保つことが推奨されます。Settings:Configuration:Power Config[FASTADC] = 0 の場合、測定時間は約 3ms であり、[FASTADC] = 1 の場合、測定時間は半分の約 1.5ms になります。サーミスタに 18kΩ のプルアップ抵抗を使用する場合、時定数は通常 (18kΩ) × C 未満になるため、4nF 未満のコンデンサを推奨します。180kΩ プルアップ抵抗を使用する場合、コンデンサを 400pF 未満にする必要があります。
- 内蔵チャージポンプは CP1 コンデンサで電圧を生成しますが、推奨される 470nF のコンデンサ値を使用する場合、最初に有効化された際に約 11V まで充電するのに約 60ms が必要です。CHG または DSG ドライバを有効にすると、CP1 コンデンサから CHG および DSG 容量性 FET 負荷への電荷再分配が発生します。この結果、通常、CP1 の電圧が短時間低下し、その後チャージポンプによって補充されます。FET 容量性負荷が大きい場合、FET ターンオン時に CP1 の電圧がアプリケーションで許容可能なレベルを下回るまで、CP1 コンデンサの値を増やすことができます。これには、チャージポンプの最初の電源投入時に CP1 の電圧の立ち上がり時間が長くなるという欠点があるため、システムで許容できるかどうかを評価する必要があります。たとえば、CHG FET と DSG FET が同時に有効化され、合計ゲート容量が約 400nF である場合、CP1 を 2200nF の値に変更すると、11V チャージポンプレベルは約 9V に低下した後、チャージポンプによって 11V レベルに復元されます。

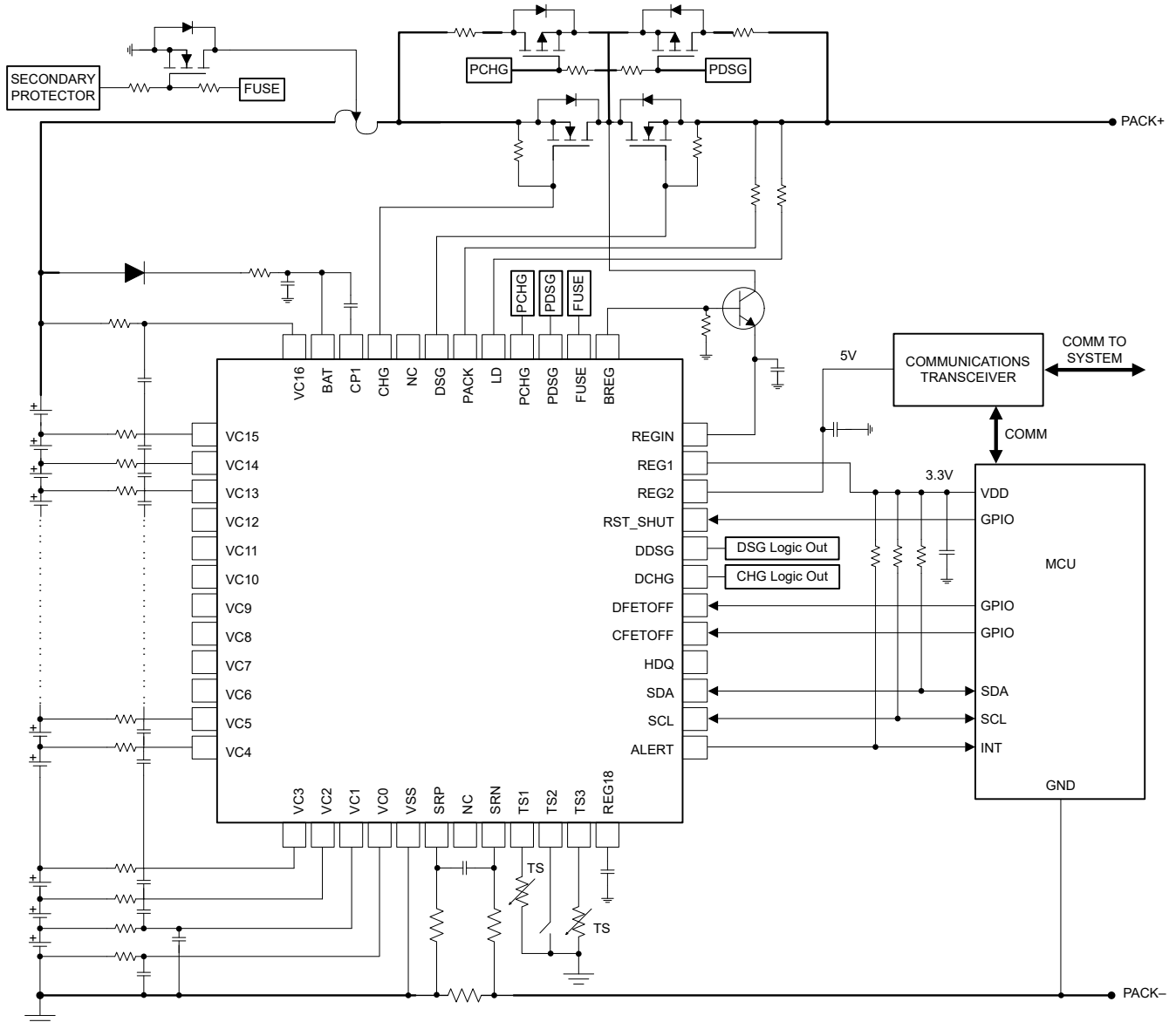


図 8-1. BQ76972-Q1 16 直列セルの代表的な実装 (概略回路図)

16 直列バッテリー パック用ピン互換型 BQ76952 をベースにした、基本的なモニタ回路の完全な回路図を以下に示します。この設計の基板レイアウトを[セクション 8.8.2](#) に示します。

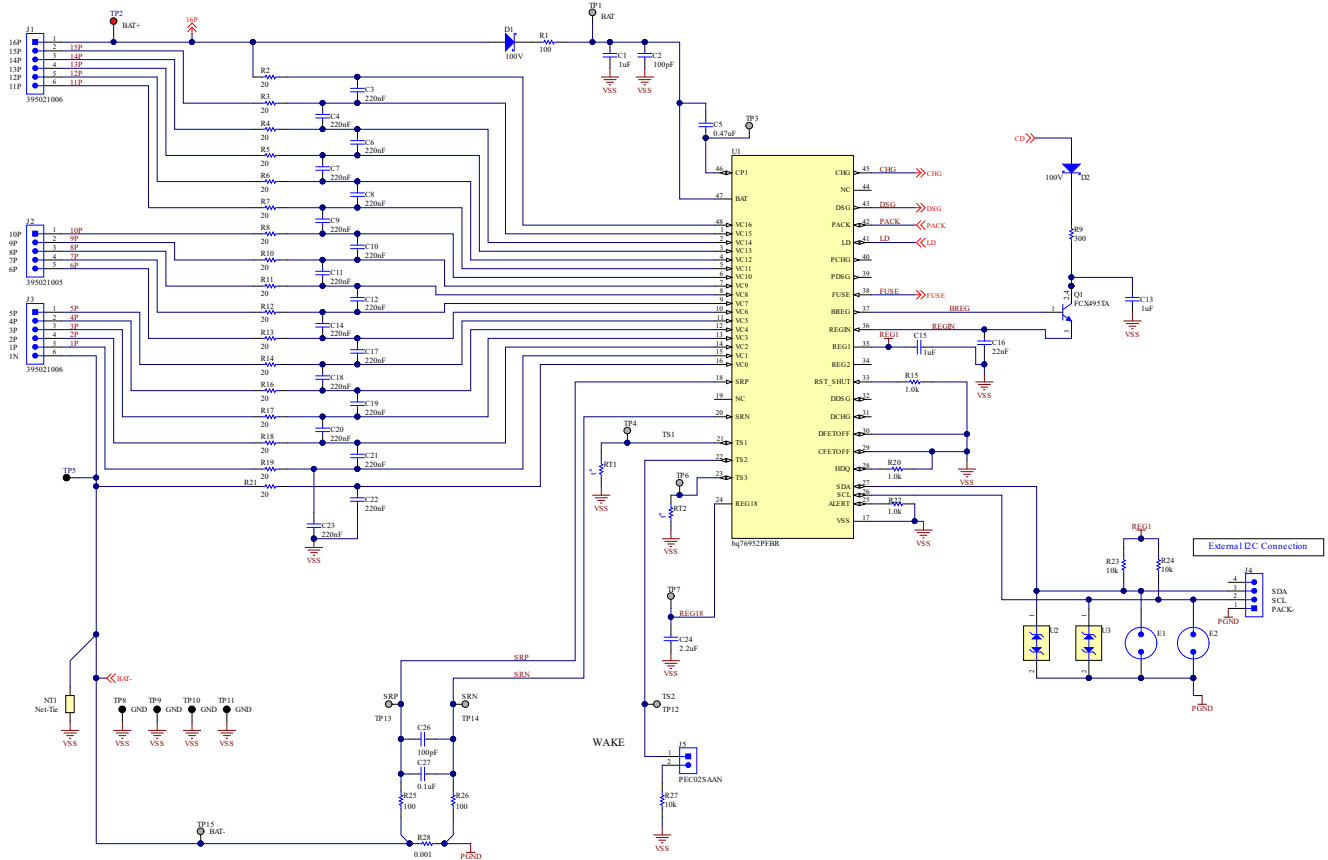


図 8-2. BQ76952 16 直列セル回路図 — モニタ

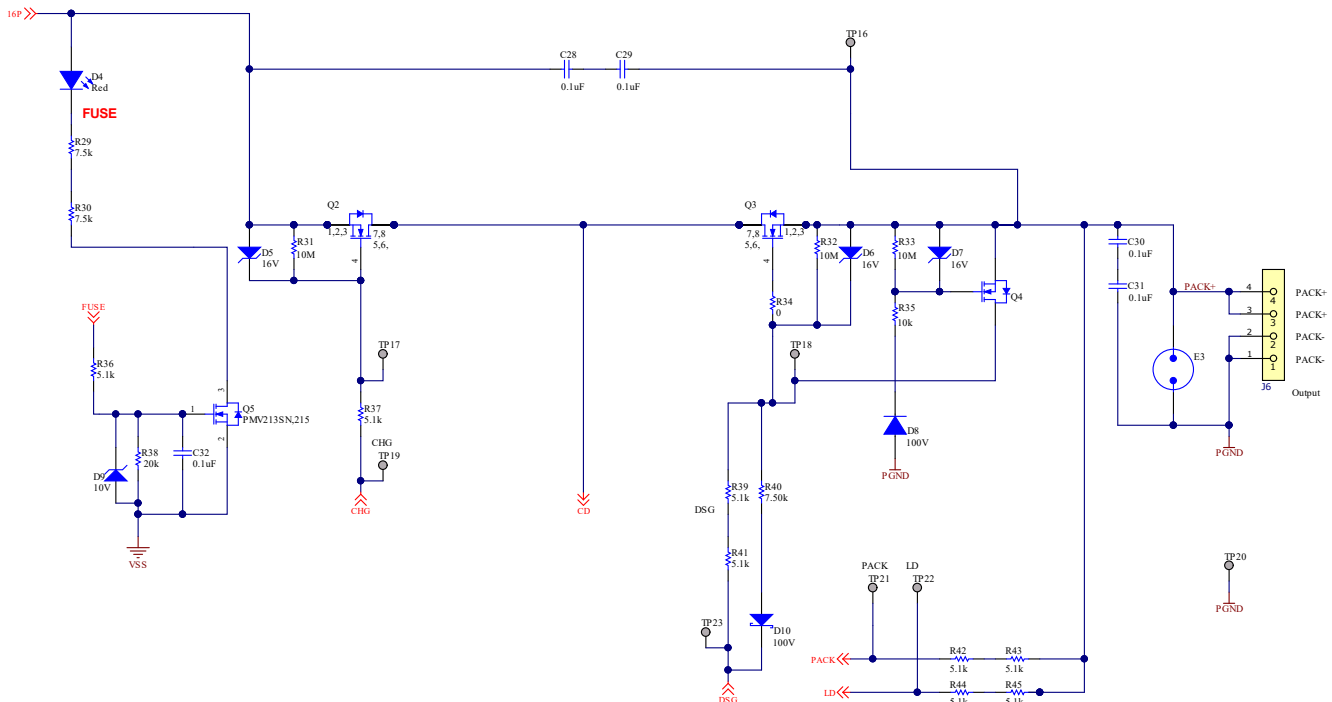


図 8-3. BQ76952 16 直列セル回路図 — 追加回路

## 8.2.1 設計要件 (例)

表 8-1. BQ76972-Q1 の設計要件

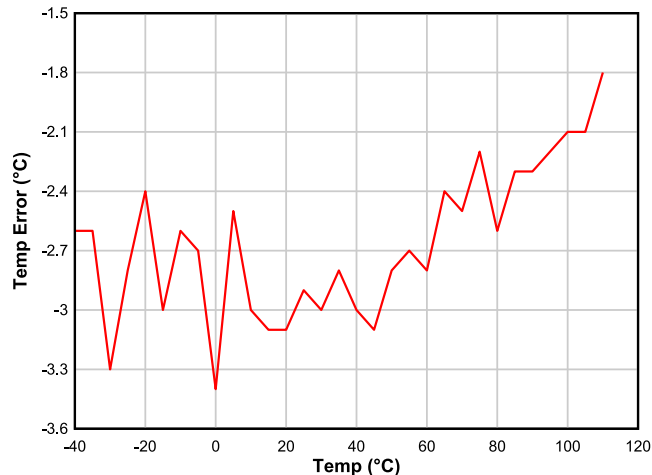
設計パラメータ	数値の例
最小システム動作電圧	20V
セル最小動作電圧	2.5V
直列セル数	8
センス抵抗	1mΩ
サーミスタの数	3 (TS1、TS2、TS3 ピンを使用、すべてセルに対応)
充電電圧	34V
最大充電電流	8.0A
ピーク放電電流	20.0A
構成設定	お客様による製造時に OTP にプログラムされます
保護サブシステムの構成	直列 FET 構成、デバイス モニター、障害時に FET を無効化、自律回復
OV 保護スレッシュホールド	4.30V
OV 保護遅延	500ms
OV 保護復帰ヒステリシス	100mV
UV 保護スレッシュホールド	2.5V
UV 保護遅延	20ms
UV 保護復帰ヒステリシス	100mV
SCD 保護スレッシュホールド	80mV (1mΩ のセンス抵抗に基づき、公称 80A に対応)
SCD 保護遅延	50μs
OCD1 保護スレッシュホールド	68mV (1mΩ のセンス抵抗に基づき、公称 68A に対応)
OCD1 保護遅延	10ms
OCD2 保護スレッシュホールド	56mV (1mΩ のセンス抵抗に基づき、公称 56A に対応)
OCD2 保護遅延	80ms
OCD3 保護スレッシュホールド	28mV (1mΩ のセンス抵抗に基づき、公称 28A に対応)
OCD3 保護遅延	160ms
OCC 保護スレッシュホールド	8mV (1mΩ のセンス抵抗に基づき、公称 8A に対応)
OCC 保護遅延	160ms
OTD 保護スレッシュホールド	60°C
OTD 保護遅延	2s
OTC 保護スレッシュホールド	45°C
OTC 保護遅延	2s
UTD 保護スレッシュホールド	-20°C
UTD 保護遅延	10s
UTC 保護スレッシュホールド	0°C
UTC 保護遅延	5s
ホスト ウォッチドッグのタイムアウト保護遅延	5s
CFETOFF ピンの機能	CFETOFF として使用し、極性 = 通常 High、Low に駆動すると FET を無効化
DFETOFF ピンの機能	DFETOFF として使用し、極性 = 通常 High、Low に駆動すると FET を無効化
ALERT ピンの機能	ALERT 割り込みピンとして使用し、極性 = アクティブ時に Low 駆動、それ以外の場合はハイ インピーダンス
REG1 LDO の使用法	3.3V 出力に使用
セル バランス	不均衡が 100mV を超えると有効化

## 8.2.2 詳細な設計手順

- 直列セルの数を決定します。
  - この値は、電池化学とシステムの負荷要件により異なります。たとえば、セルの最小電圧が 3V の Li-CO<sub>2</sub> タイプのセルを使用して最小バッテリー電圧 20V に対応するには、7 直列以上のセルが必要です。
  - セルの正しい接続方法については、[セクション 7.5.1.2](#) を参照してください。
- 保護 FET の選択と構成
  - BQ76972-Q1 デバイスは、ハイサイド NFET 保護機能とともに使用するよう設計されています (ローサイド保護 NFET は DCHG/DDSG 信号を活用することにより使用可能)
  - この構成は直列 FET と並列 FET の関係で選択する必要があり、充電方向と放電方向の違いにより FET の選択が異なる場合があります。
  - これらの FET の定格は以下の最大値を満たす必要があります：
    - 電圧は、直列セルあたり、約 5V (DC) ~ 10V (ピーク) であることが必要です。
    - 電流は、最大 DC 電流と最大過渡電流の両方に基づいて計算し、多少のマージンを設ける必要があります。
    - 消費電力は、FET の RDS(ON) 定格、FET パッケージ、および PCB 設計の要因となる可能性があります。
  - BQ76972-Q1 デバイスのチャージポンプのオーバードライブレベルは、保護 FET の RDS(ON) 要件と電圧処理要件に基づいて選択される必要があります。最大ゲート - ソース間電圧が 15V の FET を選択すると、BQ76972-Q1 デバイス内の 11V オーバードライブモードを使用できます。FET がこのレベルに耐える仕様が規定されていない場合や、FET のゲートリーク電流に懸念がある場合は、低いオーバードライブレベルである 5.5V を選択できます。
- センス抵抗の選択
  - 抵抗値は、クーロンカウンタの入力範囲を最大化するように選択する必要がありますが、絶対最大定格を超えないようにし、抵抗内での過度の熱が発生しないように選択する必要があります。
    - 通常の最大充電電流または放電電流を使用すると、センス抵抗 =  $200\text{mV}/20.0\text{A} =$  最大 10m $\Omega$  となります。
    - 短絡放電電流が 80A、推奨される最大 SRP、SRN 電圧が約 0.75V、最大 SCD スレッショルドが 500mV の場合、センス抵抗は最大  $500\text{mV}/80\text{A} = 6.25\text{m}\Omega$  未満である必要があります。
  - さらに許容誤差分析 (値の許容誤差、温度変化など) や PCB 設計マージンも考慮する必要があるため、50ppm の温度係数と 1W の電力定格を持つ 1m $\Omega$  のセンス抵抗が適しています。
- REG1 は外部ホストプロセッサの電源を供給するために選択され、出力電圧は 3.3V に選択されます。
  - REG0 プリレギュレータに使用する NPN BJT は、最大充電電圧 34V の最大コレクタ - エミッタ間電圧をサポートできるように選択される必要があります。BQ76972-Q1 デバイスから供給可能なベース電流レベルで必要な最大出力電流を供給できるよう、BJT のゲインを選択する必要があります。
  - BJT は、REG1 から予測される最大電流 (最大値 45mA、短絡電流制限は最大約 80mA) に対応する必要があります。
  - オプションで BJT のコレクタ回路にダイオードを搭載でき、パックの短絡事象時に BREG から BJT のベースコレクタ接合を経由して PACK+ への逆電流が流れることを防止できます。このダイオードについて、[図 8-2](#) の D2 にて参照してください。
  - シャットダウンモード中に発生する可能性のある意図しないリーク電流を避けるため、BREG と VSS との間に大きな抵抗 (10M $\Omega$  など) を推奨します。

## 8.2.3 アプリケーションの性能プロット

外部 Semitec 103-AT サーミスタ、デフォルト温度多項式、および内部 18k $\Omega$  プルアップ抵抗を使用して測定した温度の誤差を [図 8-4](#) に示します。にある Web ベースのツールを使用して、デバイスで使用される多項式を最適化することで、温度測定精度を向上させることができます。



Semitec 103AT サーミスタ、デフォルト温度多項式、18kΩ の内部プルアップ抵抗を使用して測定しました。

図 8-4. サーミスタの温度誤差

### 8.2.4 キャリブレーション手順

BQ76972-Q1 デバイスを使用すると、顧客の製造ラインで電流、電圧、温度の測定値の較正を実行できます。詳細な手順は、『[BQ76972 テクニカル リファレンス マニュアル](#)』に記載されています。このデバイスは、個別のセル電圧、スタック電圧、PACK ピン電圧、LD ピン電圧、電流測定、および個別の温度測定を較正する機能を備えています。

### 8.3 ランダム セル接続のサポート

BQ76972-Q1 デバイスは、パック製造中にセルをデバイスにランダムに接続するシーケンスをサポートしています。たとえば、最初に 16 セル スタックのセル 10 をピン VC10 と VC9 につながる入力端子に接続し、次にセル 4 をピン VC4 と VC3 につながる入力端子に接続できます。セル 1 のマイナス端子を最初に VC0 に接続する必要はありません。別の例として、すでに組み立てられており、セルがすでに相互に接続されているセル スタックについて考えます。スタックはコネクタを介して PCB に接続され、コネクタは PCB に差し込みまたは半田付けされます。この場合、PCB へ接続される順序はランダムにでき、特定のシーケンスで制御する必要はありません。

ただし、製造時にセルを接続する方法には、次のような制限があります：

- 誤解を避けるために、最下位セル (セル 1) を VC15 に接続したり最上位セル (セル 16) を VC4 に接続するなど、スタック内のセルをデバイス上の任意の VC ピンにランダム接続できないことに注意してください。スタック内のセルは、最も低いセル (セル 1) を VC1 と VC0 の間に接続し、次に高い電圧のセル (セル 2) を VC2 と VC1 の間に接続するなど、ピンを昇順に接続することが重要です。
- ランダムなセル接続は高電圧の耐性があるピン VC1 ~ VC16 でサポートされます。

#### 注

VC0 は電圧耐性が低くなっています。これは、セルを PCB に接続する前に、直列セル入力抵抗を経由して VC0 を PCB 上の VSS ピンに接続する必要があるためです。そのため、セルの接続時に VC0 ピンの電圧は VSS ピンの電圧に近い値に維持されます。VC0 が直列抵抗を経由して PCB 上の VSS に接続されていない場合、セルをランダムな順序で接続できません。

- VC1 ~ VC16 の各ピンには、ピンと隣接する下側セルの入力ピンとの間 (VC16 と VC15 の間、VC9 と VC8 の間など) にダイオードが含まれており、通常動作では逆バイアスとなります。これは、下側セルの入力ピンを高電圧に駆動しながら上側セルの入力ピンを低電圧に駆動してはならないことを意味します。このように接続すると、これらのダイオードに順バイアスがかかります。セルを接続する際は、セルの入力端子は通常、適切なセルに接続する前にフローティングにする必要があります。各セルを接続すると過渡電流が短時間流れることが予想されますが、セル電圧はすぐに、

DC 電流がダイオードに流れない安定した状態になります。ただし、セル入力ピンと他の端子 (VSS や他のセル入力ピンなど) の間に大きなキャパシタンスが含まれている場合は、過渡電流が過剰になり、デバイスが発熱する可能性があります。そのため、各セル入力ピンに使用するキャパシタンスは、仕様で推奨される値に制限することをお勧めします。

## 8.4 スタートアップ タイミング

BQ76972-Q1 デバイスをシャットダウン状態から初めて起動すると、通常モード動作に移行する前に、デバイスは一連のイベントを実行します。構成例について以下に説明します。また、[FASTADC] = 0 かつ [FASTADC] = 1 の場合のおおよそのタイミングも以下に示します。

### 注

デバイスが自律 FET 制御用に構成されている場合 (すなわち [FET\_EN]= 1)、FET を有効にするかどうかは、通常モードでは 250ms ごとに評価されるのみです。このため、データが評価前にすでに利用可能だったにもかかわらず、ウェークアップ イベントの約 280ms 後まで FET は有効化されません。

**表 8-2. 起動シーケンスとタイミング**

ステップ	備考	FASTADC の設定	時間 (ウェークアップ イベントに対して)
ウェークアップ イベント	TS2 ピンが Low にプルダウンされるか、LD ピンがプルアップされると、デバイスはシャットダウン モードを終了するようトリガされます。	0, 1	0
REG1 の電力供給状態	REG1 LDO に自律的に電力供給するように OTP をプログラムしてこれを測定します。	0, 1	20ms
INITSTART のアサート状態	ALERT ピンのアラーム信号で INITSTART ビットを供給するようにプログラムされた OTP でこれを測定します。	0, 1	23ms
INITCOMP および ADSCAN のアサート	ALERT ピンのアラーム信号で INITCOMP および ADSCAN ビットを供給するようにプログラムされた OTP でこれを測定します。	0	88ms
		1	58ms
FULLSCAN のアサート状態	ALERT ピンのアラーム信号で FULLSCAN ビットを供給するようにプログラムされた OTP でこれを測定します。	0	221ms
		1	129ms
FET の有効状態	FET を自律的に有効化するようにプログラムした OTP でこれを測定します。	0	282ms
		1	284ms

図 8-5 は、デバイスが OTP で構成され、自律的な FET 制御のために [FASTADC] = 1、[FET\_EN] = 1 とし、3 つのサーミスタを使用するように設定し、ALERT ピンに [INITCOMP] フラグを指定した、起動シーケンスのオシロスコープ プロット例を示しています。TS2 ピンを Low にプルダウンすると、シャットダウンからのデバイス ウェークアップを開始します。

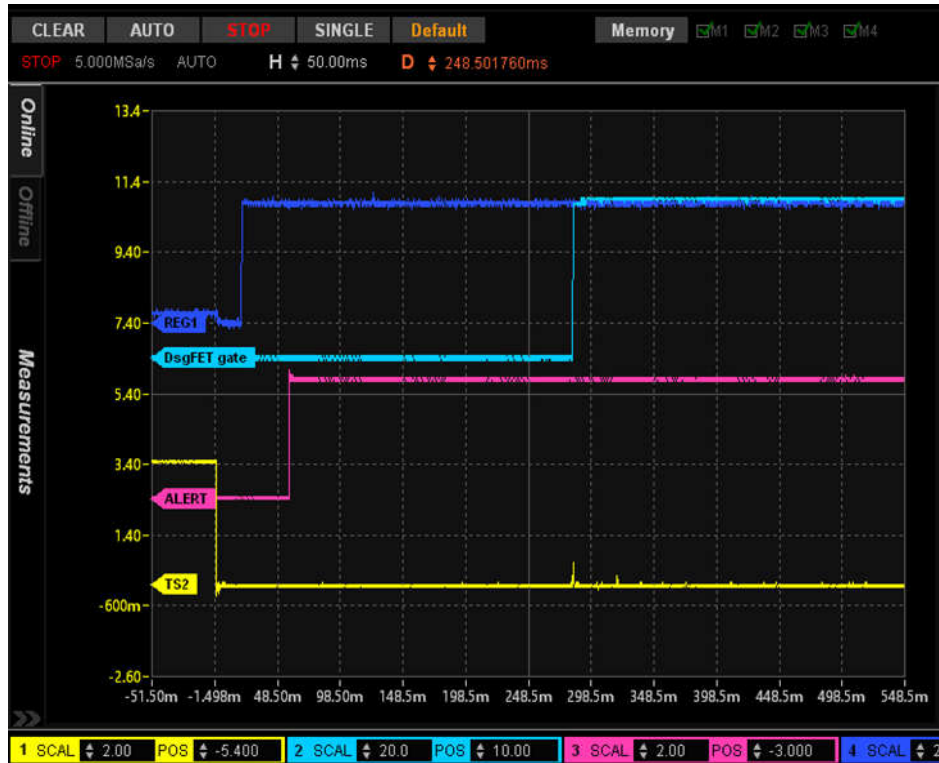


図 8-5. [FASTADC] = 1 を使用した起動シーケンス、ALERT ピンに [INITCOMP] フラグが表示される場合

## 8.5 FET ドライバ ターンオフ

ハイサイド CHG および DSG FET ドライバは、それぞれの FET がオフになるようにトリガされると、異なる動作をします。CHG ドライバには、CHG ピンを BAT ピンレベルに向けて放電する内部スイッチが含まれています。DSG FET ドライバは、DSG ピンを LD ピンレベルに向けて放電しますが、より高速なターンオフをサポートするために、単なるスイッチよりも複雑な構造が採用されています。

DSG ドライバがオフになるようにトリガされると、デバイスは最初に DSG ピンの VSS への放電を開始します。ただし、PACK+ 端子は VSS に近い電圧まで急速に低下しない可能性があるため、DSG FET ゲート電圧は PACK+ よりも大幅に下回らないようにする必要があります。そうしないと、過剰な負のゲートソース電圧が原因で DSG FET が損傷する可能性があります。そのため、このデバイスは (外付け直列抵抗を介して PACK+ に接続されている) LD ピンの電圧を監視し、DSG ピンの電圧が LD ピンの電圧を下回ると放電を停止します。放電が停止した時点で、DSG ピンの電圧は LD ピンの電圧よりも高い状態に戻ることができます。この時点で、DSG ゲート電圧が再度 LD ピンの電圧を下回るまで、デバイスは DSG ピンを VSS に向けて再度放電します。これは、一連のパルスで繰り返され、時間の経過とともに DSG ゲートは LD ピンの電圧まで放電されます。このパルスは、約 100 $\mu$ s から 200 $\mu$ s まで続き、その後ドライバは LD ピンの電圧から約 500mV 以内であればハイインピーダンス状態を維持します。その後、DSG ゲートとソースとの間の外付け抵抗により、残りの FET  $V_{GS}$  電圧が放電され、FET はオフのままになります。

DSG ピンと DSG FET ゲートとの間の外付け直列ゲート抵抗は、ターンオフ過渡速度の調整に使用します。抵抗が低い (100 $\Omega$  など) 場合、短絡イベント時に高速ターンオフが可能ですが、FET が無効化されるときにスタックの最上位に過剰に大きな誘導性スパイクが発生する可能性があります。抵抗値を大きくすると (1k $\Omega$  や 4.7k $\Omega$  など)、この速度および対応する誘導性スパイクレベルは低下します。

DSG ドライバのターンオフを示すオシロスコープのキャプチャ画像を以下に示します。ここに示す DSG ピンは CSD19536KCS NFET のゲートを駆動し、このゲートは標準的な 9250pF の  $C_{iss}$  です。図 8-6 は、DSG ピンと FET ゲートとの間に 1k $\Omega$  の直列ゲート抵抗を使用し、PACK+ への負荷を軽くし、FET が無効化されても PACK+ の電圧がゆっくりと低下する場合の信号を示しています。DSG ピンのパルスは、約 170 $\mu$ s にわたって持続するのが見られます。

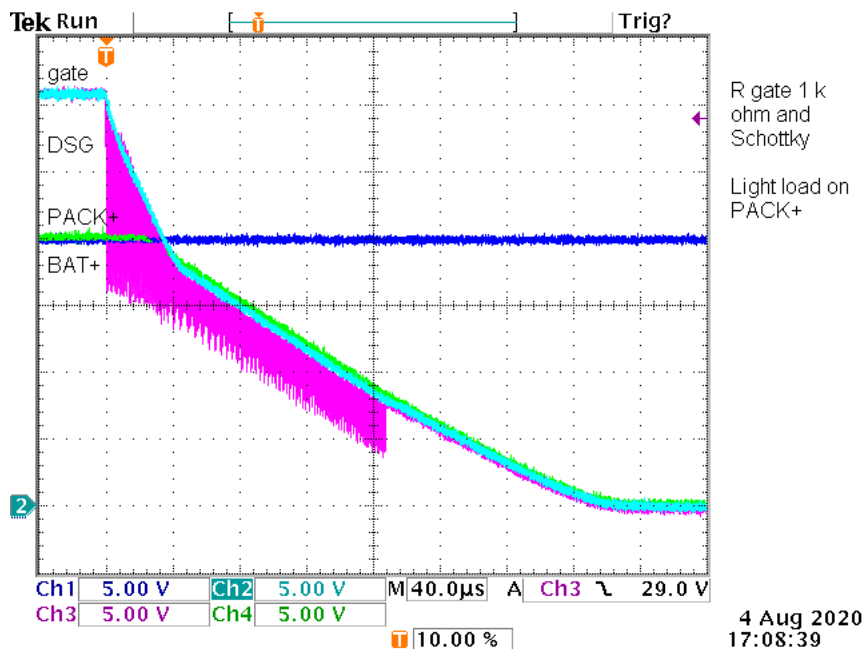


図 8-6. 1kΩ の直列のゲート抵抗と、PACK+ の軽負荷を使用した、中速度の DSG FET ターンオフ

DSG ピンによって生成されるパルスの拡大バージョンを図 8-7 に示します。今回は、PACK+ をスタックの最上位に短絡した状態です。

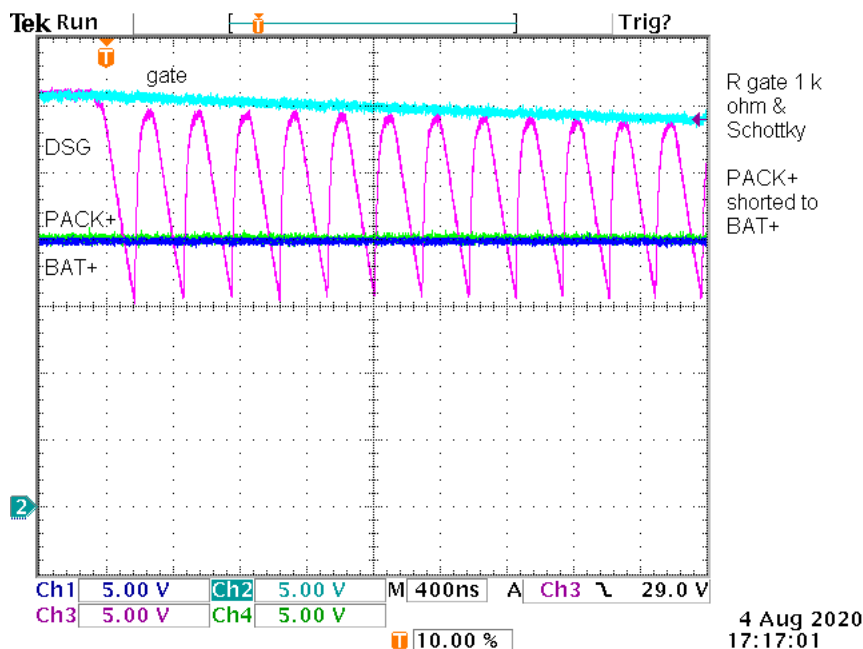


図 8-7. FET ターンオフ時における DSG ピンのパルスの拡大図

4.7kΩ の直列ゲート抵抗と、スタックの最上位と短絡した PACK+ コネクタを使用した低速ターンオフを図 8-8 に示します。

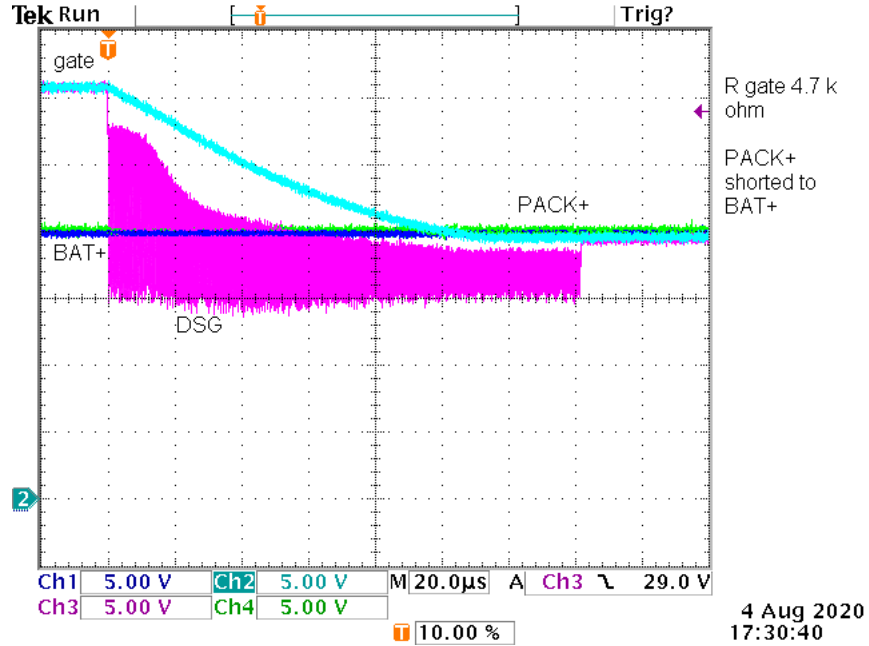


図 8-8. 4.7kΩ の直列のゲート抵抗を使用し、PACK+ コネクタをスタックの上部に短絡した低速ターンオフのケース

高速ターンオフのケースを図 8-9 に示します。この場合、DSG ピンと FET ゲートとの間に 100Ω の直列ゲート抵抗を使用しています。

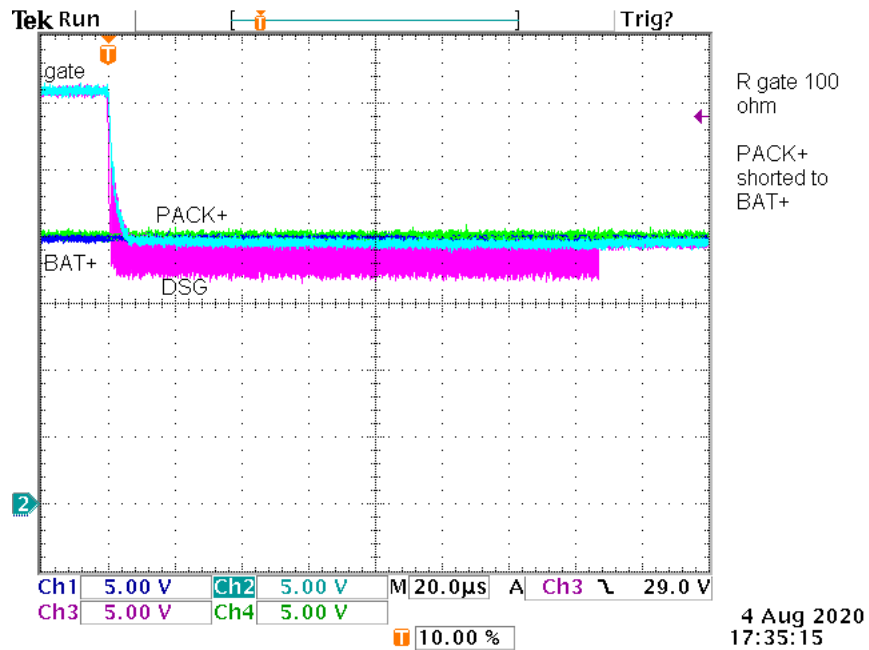


図 8-9. 100Ω の直列ゲート抵抗による高速ターンオフのケース

## 8.6 未使用のピン

特定のアプリケーションでは、一部のデバイスピンが必要ない場合があります。この場合にそれぞれを終端処理する方法を以下に説明します。

**表 8-3. 未使用ピンの終端**

ピン	名称	推奨事項
1–16, 48	VC0–VC16	セル入力 1、2、および 16 は、VC1 と VC0 間、VC2 と VC1 間、および VC16 と VC15 間にセルを接続して、常に実際のセルに接続される必要があります。VC0 は PCB 上の抵抗とコンデンサを経由してピン 17 (VSS) に接続される必要があります。未使用セル (セル 3 ~ セル 15、ピン 1 ~ 13) に関連するピンは、セル スタックに接続して相互接続抵抗を測定したり、実際のセルにケルビン接続したりできます。この場合、実際のセルに接続されているピンと同様に、直列抵抗と並列コンデンサを含める必要があります (「VC ピンのセル用途と相互接続用途の比較」を参照)。もう 1 つのオプションは、未使用の VC ピンを隣接する VC ピンに直接短絡することです。すべての VC ピンは、隣接する VC ピン、実際のセルに (R および C を介して)、またはスタック相互接続抵抗 (R および C を介して) のいずれかに接続する必要があります。
18, 20	SRP, SRN	これらのピンを使用しない場合、ピン 17 (VSS) に接続する必要があります。
19, 44	NC	これらのピンはシリコンには接続されていません。これらはフローティングのままにするか、隣接するピンに接続するか、VSS に接続できます。
21, 23, 25, 28, 29, 30, 31, 32	TS1, TS3, ALERT, HDQ, CFETOFF, DFETOFF, DCHG, DDSG	これらのピンを使用しない場合、フローティングのままにするか、ピン 17 (VSS) に接続できます。これらのピン (TS1 および TS3 を除く) はいずれも、動作中に内部の弱いプルダウン抵抗を有効にするように構成できます。ただし、これは必須ではありません。
22	TS2	デバイスをシャットダウン モードに移行させる場合は、TS2 ピンをフローティングのままにする必要があります。アプリケーションでシャットダウン モードを使用せず、TS2 ピンをサーミスタや ADCIN 測定に使用しない場合、TS2 ピンはフローティングのままにするか、ピン 17 (VSS) に接続できます。
33	RST_SHUT	このピンを使用しない場合、ピン 17 (VSS) に接続する必要があります。
34, 35	REG1, REG2	これらのピンを使用しない場合、フローティングのままにするか、ピン 17 (VSS) に接続できます。
36	REGIN	このピンを使用しない場合、ピン 17 (VSS) に接続する必要があります。
37	BREG	このピンを使用せず、ピン 36 (REGIN) も使用しない場合は、両方のピンをピン 17 (VSS) に接続する必要があります。このピンを使用せず、ピン 36 を使用する場合 (外部ソースから駆動する場合など) は、このピンをピン 36 (REGIN) に接続する必要があります。
38	FUSE	このピンを使用しない場合、フローティングのままにするか、ピン 17 (VSS) に接続できます。
39	PDSG	このピンを使用しない場合、フローティングのままにする必要があります。
40	PCHG	このピンを使用しない場合、フローティングのままにする必要があります。
41	LD	DSG ドライバを使用しない場合、このピンは直列抵抗を介して PACK+ コネクタに接続するか、ピン 17 (VSS) に接続できます。
43	DSG	このピンを使用しない場合、フローティングのままにする必要があります。
45	CHG	このピンを使用しない場合、フローティングのままにする必要があります。
46	CP1	このピンを使用しない場合、ピン 47 (BAT) に接続する必要があります。  <b>注</b> CP1 が BAT に接続されている状態でチャージポンプが有効になると、デバイスは約 200µA 多く電力を消費します。

## 8.7 電源要件

BQ76972-Q1 デバイスは BAT ピンから電源電流を引き込みます。このピンは通常、直列ダイオードを介してスタックの最上位ポイントに接続され、デバイス内の障害から保護して、パックの意図しない充電を防ぎます。スタック電圧の高速変動のローパス フィルタに直列抵抗とコンデンサが含まれています。短絡事象中は、保護 FET が無効化される前に、スタック電圧が瞬間的に非常に低い電圧にプルされる場合があります。この場合、デバイスの電力損失を防止するため、BAT ピンのコンデンサの電荷により BQ76972-Q1 デバイスの供給電流を一時的にサポートします。

## 8.8 レイアウト

### 8.8.1 レイアウトのガイドライン

- センス抵抗でのケルビン接続の品質は重要です。温度による電流測定ドリフトを最小限に抑えるため、センス抵抗の温度係数を **50ppm** 以下にする必要があります。センス抵抗の値は、**BQ76972-Q1** デバイスで許容できる過電流および短絡範囲に対応するように選択してください。良好なケルビン検出が保証されていれば、並列抵抗を使用できません。このデバイスは、**1mΩ** のセンス抵抗をサポートするよう設計されています。
- システム回路に関しては、部品の配置とレイアウトに対して、以下の機能に注意する必要があります: 差動ローパスフィルタと **I<sup>2</sup>C** 通信。
- **BQ76972-Q1** デバイスは、電流測定に内蔵のデルタシグマ ADC を使用します。最高の性能を得るには、センス抵抗端子からデバイスの **SRP** および **SRN** 入力までに **100Ω** の抵抗を配置し、**SRP** ピンと **SRN** ピンの間に **0.1μF** のフィルタコンデンサを配置する必要があります。各センス入力ピンからグラウンドへさらにノイズフィルタリングを追加するため、オプションとして **0.1μF** フィルタコンデンサを追加することもできます。すべてのフィルタ部品は、センス抵抗の近くに配置するのではなく、できるだけデバイスの近くに配置する必要があります。また、センス抵抗からのパターンはフィルタ回路に並列に配線する必要があります。フィルタ回路網の周囲にグラウンドプレーンを含めることで、ノイズ耐性を高めることもできます。
- **BQ76972-Q1** デバイスの内部 **REG18 LDO** には外部デカップリングコンデンサが必要です。このコンデンサは **REG18** ピンのできるだけ近くに配置し、パターンのインダクタンスを最小限に抑えて、**VSS** に電氣的に接続されたグラウンドプレーンに接続する必要があります。
- **I<sup>2</sup>C** クロックとデータピンには **ESD** 保護回路が内蔵されていますが、各ピンにツェナーダイオードと直列抵抗を追加すると、より堅牢な **ESD** 性能が得られます。

### 8.8.2 レイアウト例

以下に、16 直列セル設計でピン互換 **BQ76952** デバイスを使用する回路レイアウトの例を示します。この設計では、[図 8-2](#) と [図 8-3](#) に示す回路図を実装し、2.75 インチ × 3.9 インチの 2 層回路カードアセンブリを使用しており、左端にセル接続、基板の上端に沿ってバック接続があります。広いパターン領域が使用され、高電流経路の電圧降下を低減します。

[図 8-10](#) と [図 8-11](#) に示す基板レイアウトには、参照記号の接頭辞 **E** が付いたスパークギャップが含まれています。これらのスパークギャップは基板を使用して製造され、コンポーネントは取り付けられていません。

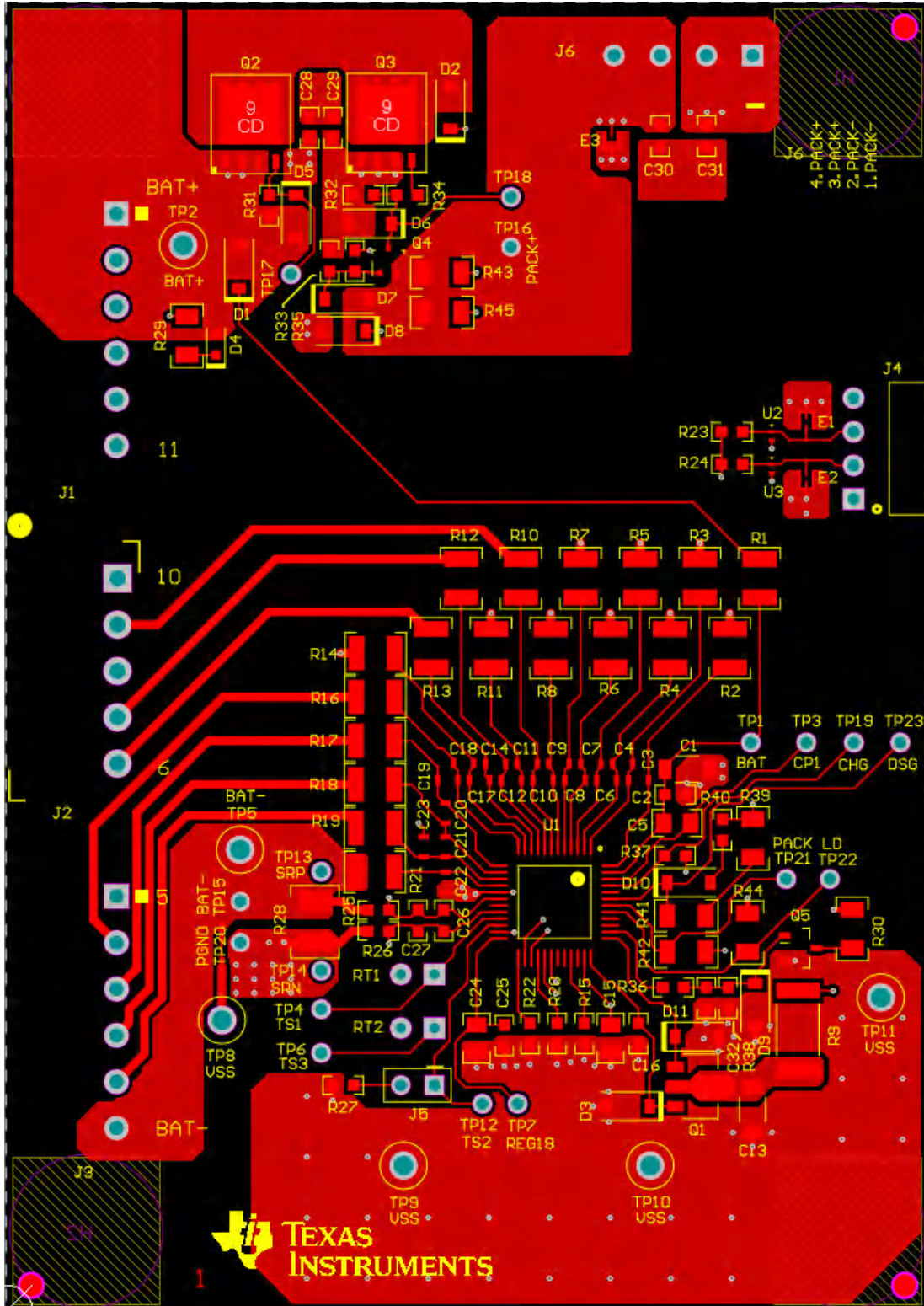


図 8-10. BQ76952 の 2 層基板レイアウト - 上層

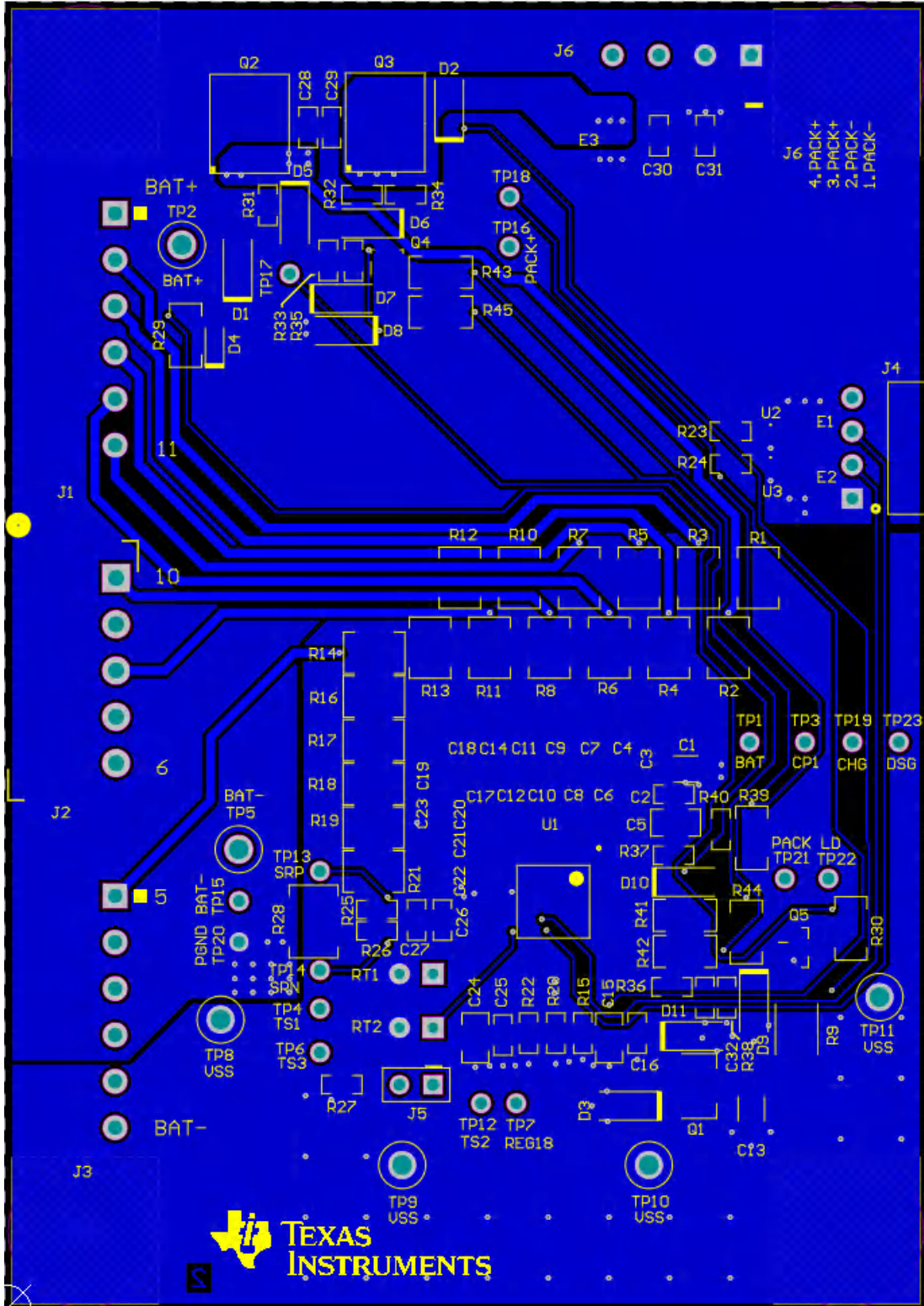


図 8-11. BQ76952 の 2 層基板レイアウト - 下層

## 9 デバイスおよびドキュメントのサポート

### 9.1 ドキュメントのサポート

#### 9.1.1 関連資料

詳細情報については、以下の関連資料を参照してください:

- テキサス インスツルメンツ、[BQ76972 テクニカル リファレンス マニュアル SLUUCW9](#)
- テキサス インスツルメンツ、『[BQ769x2 バッテリ モニタ ファミリーにおけるローサイド FET の使用](#)』
- テキサス インスツルメンツ、『[BQ769x2 バッテリ モニタを用いたセル バランシング](#)』
- テキサス インスツルメンツ、『[BQ769x2 バッテリ モニタを搭載した複数の FET](#)』
- テキサス・インスツルメンツ、『[BQ769x2 ソフトウェア開発ガイド](#)』
- テキサス・インスツルメンツ、『[BQ769x2 キャリブレーションおよび OTP プログラミング ガイド](#)』sluaa32
- テキサス インスツルメンツ、『[BQ76952、BQ76942、BQ769142 のピン等価回路図](#)』
- テキサス インスツルメンツ、『[BQ76952 高電圧ストレス レポート](#)』

その他のドキュメントは、[BQ76972 の技術資料](#)のプロダクトフォルダにあります。

### 9.2 サポート・リソース

[テキサス・インスツルメンツ E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

### 9.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.  
すべての商標は、それぞれの所有者に帰属します。

### 9.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 9.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

## 10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
May 2026	*	初版リリース

## 11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

## PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
<a href="#">BQ7697202QPFBRQ1</a>	Active	Production	TQFP (PFB)   48	1000   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	7697202Q1
<a href="#">BQ7697204QPFBRQ1</a>	Active	Production	TQFP (PFB)   48	1000   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	7697204Q1
<a href="#">BQ76972QPFBRQ1</a>	Active	Production	null (null)	1000   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	BQ76972Q1

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

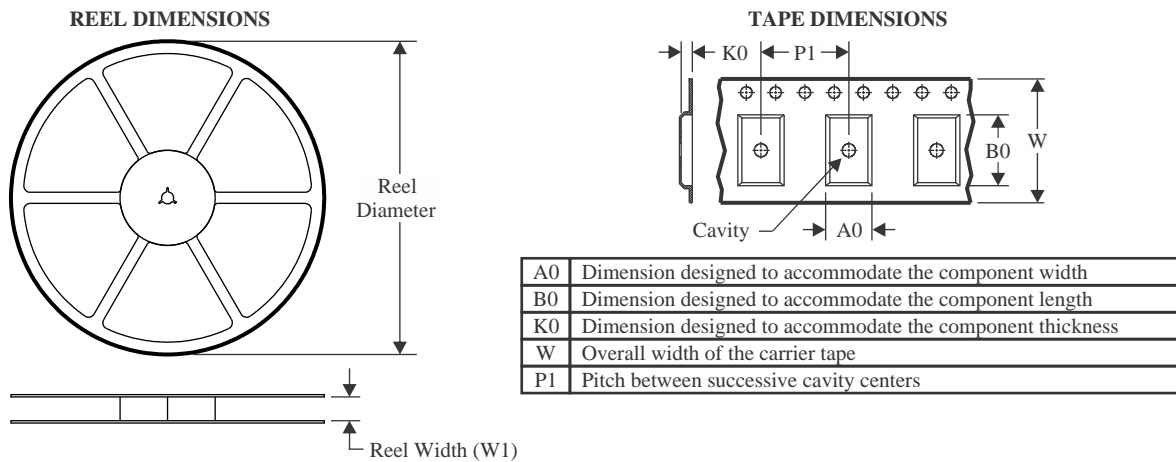
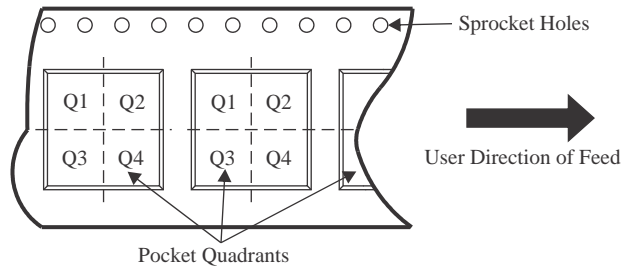
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

### OTHER QUALIFIED VERSIONS OF BQ76972-Q1 :

- Catalog : [BQ76972](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

**TAPE AND REEL INFORMATION**

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**


\*All dimensions are nominal

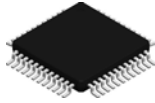
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
BQ7697202QPFBRQ1	TQFP	PFB	48	1000	330.0	16.4	9.6	9.6	1.5	12.0	16.0	Q2
BQ7697204QPFBRQ1	TQFP	PFB	48	1000	330.0	16.4	9.6	9.6	1.5	12.0	16.0	Q2

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
BQ7697202QPFBRQ1	TQFP	PFB	48	1000	336.6	336.6	31.8
BQ7697204QPFBRQ1	TQFP	PFB	48	1000	336.6	336.6	31.8

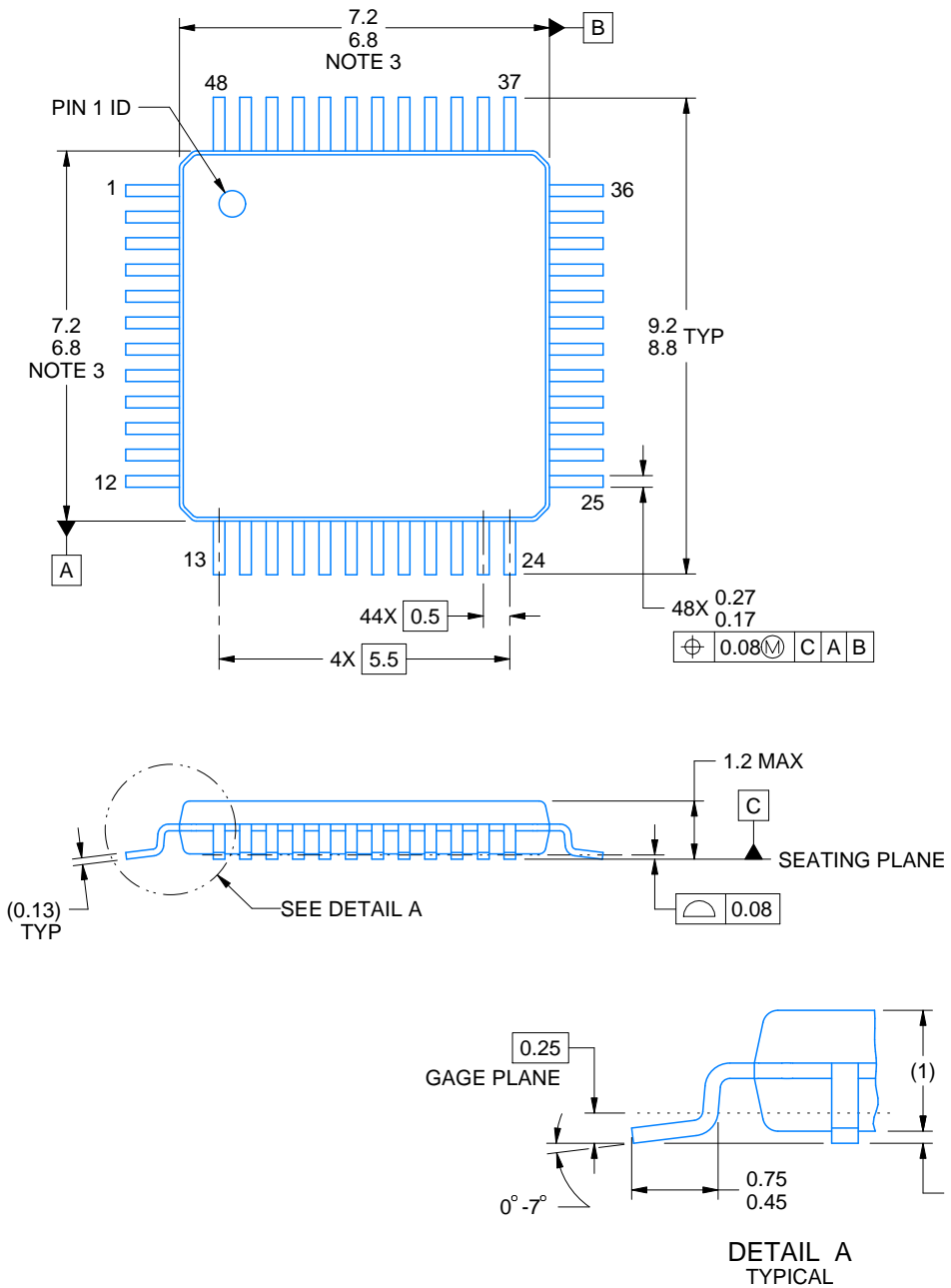
PFB0048A



# PACKAGE OUTLINE

TQFP - 1.2 mm max height

PLASTIC QUAD FLATPACK



4215157/A 03/2024

NOTES:

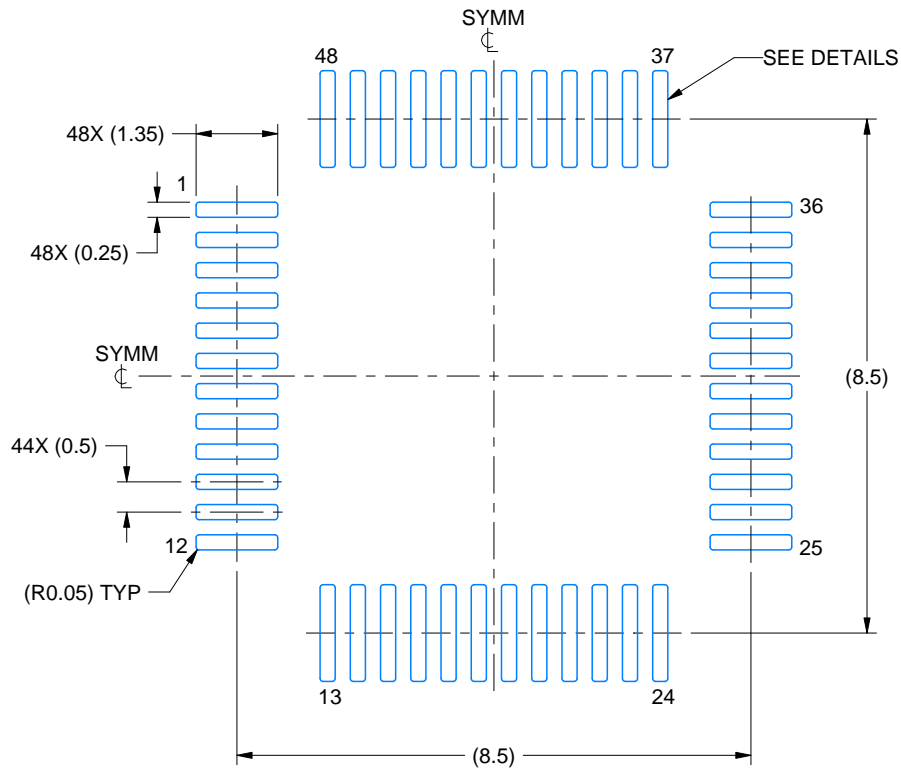
- 1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- 2. This drawing is subject to change without notice.
- 3. Reference JEDEC registration MS-026.

# EXAMPLE BOARD LAYOUT

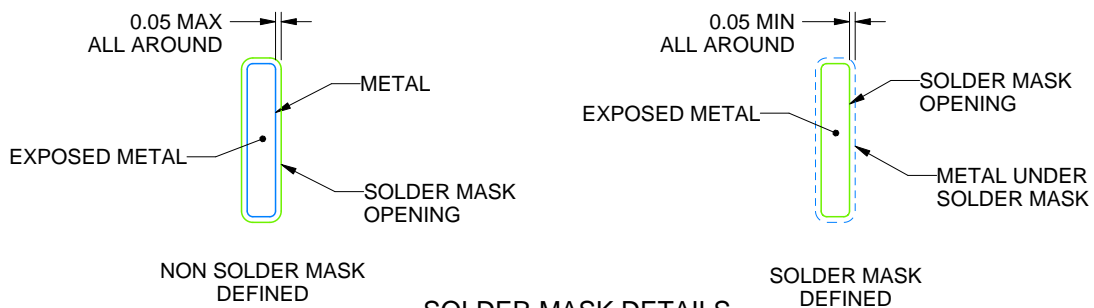
PFB0048A

TQFP - 1.2 mm max height

PLASTIC QUAD FLATPACK



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE:8X



SOLDER MASK DETAILS

4215157/A 03/2024

NOTES: (continued)

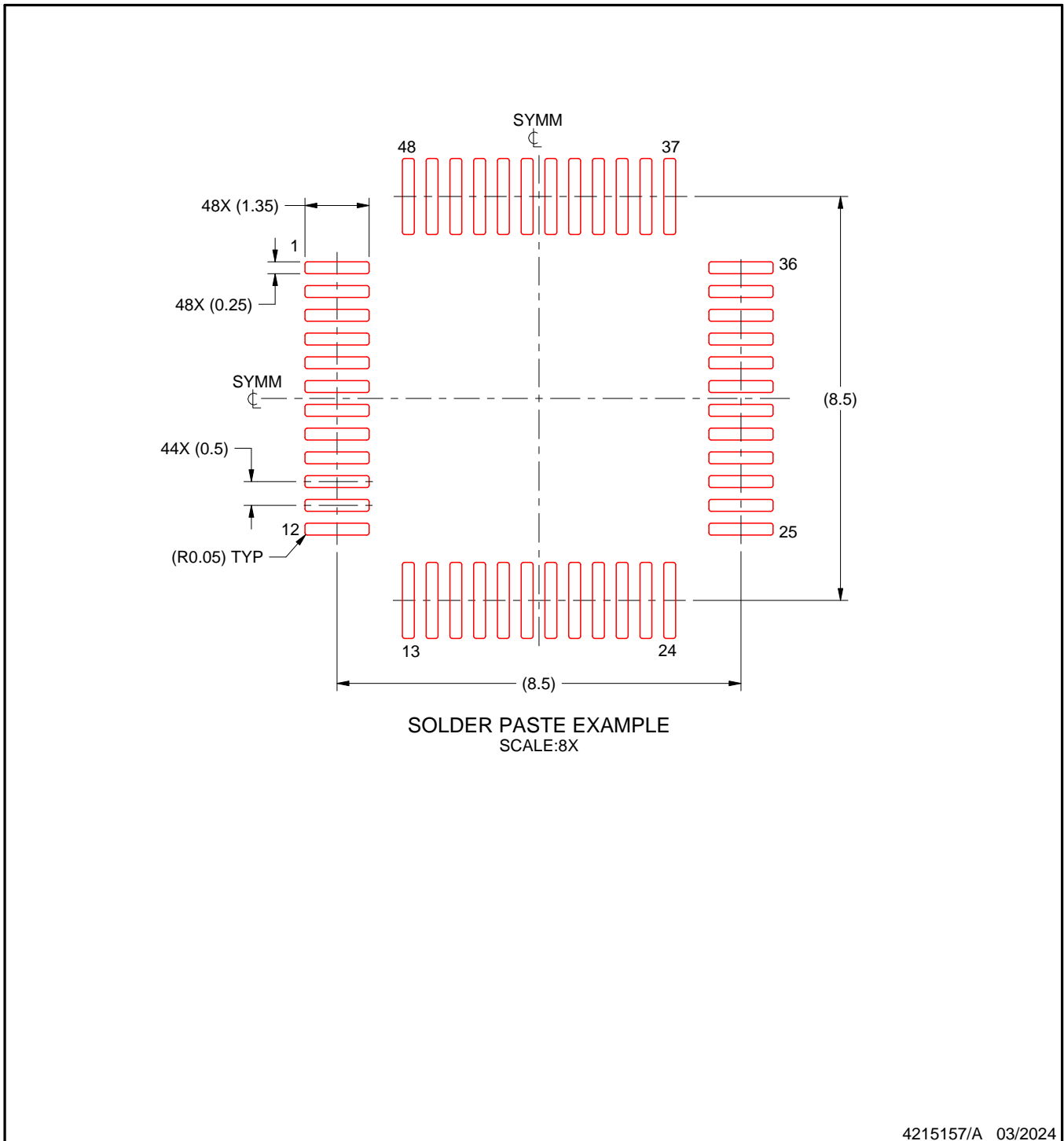
4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

PFB0048A

TQFP - 1.2 mm max height

PLASTIC QUAD FLATPACK



NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
7. Board assembly site may have different recommendations for stencil design.

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月