

BUF802 広帯域幅、2.3nV/ $\sqrt{\text{Hz}}$ 、高入力インピーダンス バッファ

1 特長

- 大信号帯域幅 (1V_{PP}): 3.1GHz
- スルーレート: 7000V/ μs
- 入力電圧ノイズ: 2.3nV/ $\sqrt{\text{Hz}}$
- 1% セトリング タイム: 0.7ns
- 入力インピーダンス: $50\Omega \parallel 2.4\text{pF}$
- 50Ω 負荷を駆動可能
- 消費電力と性能をトレードオフする調整可能な静止電流
- オーバードライブから素早く回復する入力および出力クランプを内蔵
- 電源電圧: $\pm 4.5\text{V} \sim \pm 6.5\text{V}$

2 アプリケーション

- オシロスコープのフロントエンド
- 高周波データ アクイジョン
- 高入力インピーダンスおよび高スルーレート T&M システム
- オシロスコープのエンコーダとフロントエンドのアドオンカード
- アクティブ プローブ
- 非破壊試験 (NDT)

3 説明

BUF802 デバイスは、データ アクイジョン システム (DAQ) フロントエンド向けの低ノイズ、高インピーダンス バッファリングを行う JFET 入力段を備えたオープン ループのユニティ ゲイン バッファです。BUF802 は DC ~ -3.1GHz の帯域幅をサポートし、この周波数範囲全体にわたって非常に優れた歪みおよびノイズ性能を実現します。

BUF802 は、比較的高い精度の性能が必要なアプリケーションで、高精度アンプを備えたコンポジット ループに使用できます。BUF802 は、革新的なアーキテクチャを使用して、高精度で広帯域幅のコンポジット ループの設計を簡素化します。

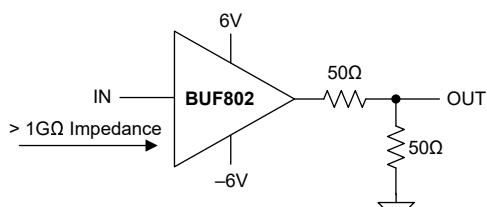
BUF802 は、調整可能な静止電流ピンを備えているため、設計者は比較的低い静止電流における帯域幅および歪みとのトレードオフを調整できます。この特長により、このデバイスは広い周波数範囲にわたって優れた選択肢になります。BUF802 は、入力および出力クランプを内蔵しており、このデバイスとそれに続く信号チェーンをオーバードライブ電圧から保護します。

製品情報

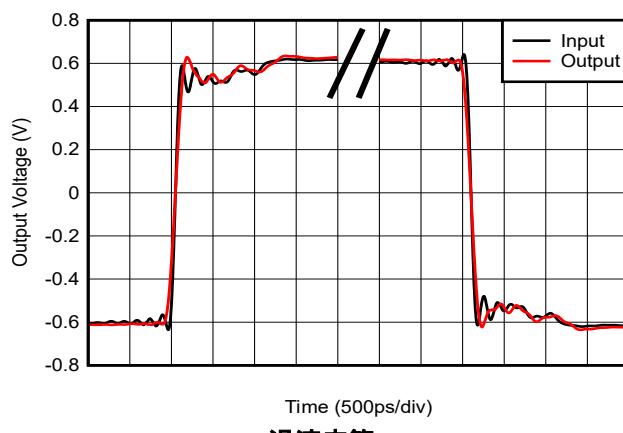
部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
BUF802	RGT (VQFN, 16)	3mm × 3mm

(1) 詳細については、[セクション 11](#) を参照してください。

(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンを含みます。



BUF802 を使用したインピーダンス変換回路



過渡応答



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあります。TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長	1	7.3 機能説明	16
2 アプリケーション	1	7.4 デバイスの機能モード	20
3 説明	1	8 アプリケーションと実装	23
4 ピン構成および機能	3	8.1 アプリケーション情報	23
5 仕様	4	8.2 代表的なアプリケーション	23
5.1 絶対最大定格	4	8.3 電源に関する推奨事項	30
5.2 ESD 定格	4	8.4 レイアウト	30
5.3 推奨動作条件	4	9 デバイスおよびドキュメントのサポート	33
5.4 熱に関する情報	4	9.1 ドキュメントのサポート	33
5.5 広帯域モードの電気的特性	5	9.2 ドキュメントの更新通知を受け取る方法	33
5.6 低静止電流モードの電気的特性	7	9.3 サポート・リソース	33
5.7 代表的特性	8	9.4 商標	33
6 パラメータ測定情報	14	9.5 静電気放電に関する注意事項	33
7 詳細説明	15	9.6 用語集	33
7.1 概要	15	10 改訂履歴	33
7.2 機能ブロック図	15	11 メカニカル、パッケージ、および注文情報	34

4 ピン構成および機能

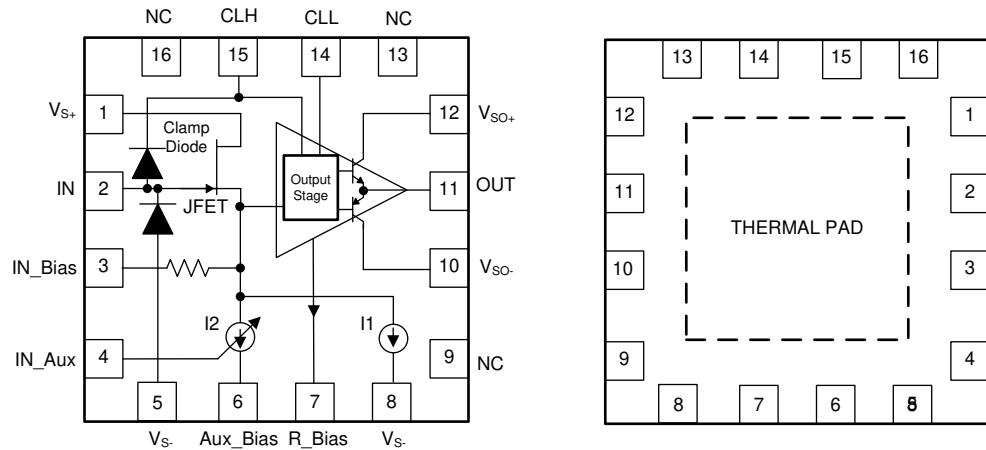


図 4-1. RGT パッケージ、16 ピン VQFN
(上面図および底面図)

表 4-1. ピンの機能

ピン		種類 ⁽¹⁾	動作モード ^{(2) (3)}	説明
名称	番号			
Aux_Bias	6	P	CL	V_{S-} に接続すると、In_Aux を介して OUT の制御がイネーブルになります
CLH	15	I	BF、CL	正のクランプ電圧を設定するための入力ピン
CLL	14	I	BF、CL	負のクランプ電圧を設定するための入力ピン
IN	2	I	BF、CL	信号入力
In_Aux	4	I	CL	外部アンプ経由で OUT を制御するための補助入力
In_Bias	3	I	CL	JFET バイアスピン
NC	16、13、9	NC	—	接続しない
OUT	11	O	BF、CL	信号出力
R_Bias	7	I	BF、CL	出力段バイアス電流設定ピン
V_{S+}	1	P	BF、CL	入力段の正電源接続
V_{S-}	5、8	P	BF、CL	入力段の負電源接続 (ピン 5 とピン 8 は内部で短絡)
V_{SO+} ⁽⁴⁾	12	P	BF、CL	出力段の正電源接続
V_{SO-} ⁽⁴⁾	10	P	BF、CL	出力段の負電源接続
サーマル パッド	—	—	—	サーマルパッドはダイおよびピンから電気的に絶縁されており、サーマルパッドを任意の電位に接続します

(1) I = 入力、O = 出力、P = 電源、NC = 未接続

(2) バッファ モード (BF) およびコンポジット ループ モード (CL) 機能モードの詳細については、[セクション 7.4](#) を参照してください。

(3) CL として指定されているピンはコンポジット ループ モードで動作している場合にのみ使用し、バッファ モードで動作している場合にはこれらのピンをフローティングにします。

(4) これらのピンは、双方向ダイオードを介してもう一方のピンに内部接続されているため、 V_{SO} と V_S を同じ電位に接続します。

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
V_S	入力段電源電圧、 $V_S = (V_{S+}) - (V_{S-})$ ⁽²⁾		14	V
V_{SO}	出力段電源電圧、 $V_{SO} = (V_{SO+}) - (V_{SO-})$ ⁽²⁾		14	V
IN	入力電圧	$(V_{S-}) - 0.5$	(V_{S+})	V
CLH	正のクランプ電圧	中電圧	V_{S+}	V
CLL	負のクランプ電圧	V_{S-}	中電圧	V
	入力クランプ ダイオード		100	mA
T_J	接合部温度		150	°C
T_{stg}	保存温度	-65	150	°C

(1) 「絶対最大定格」を超えた動作は、デバイスに恒久的な損傷を与える可能性があります。絶対最大定格は、これらの条件において、または推奨動作条件に示された値を超える他のいかなる条件でも、本デバイスが正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。

(2) V_{SO} と V_S を同じ電位に接続します。 V_{SO} と V_S は双方向ダイオードを介して内部で互いに接続されています。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	± 1000	V
		デバイス帶電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠 ⁽²⁾	± 500	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
V_S	電源電圧、 $V_S = (V_{S+}) - (V_{S-})$ ⁽¹⁾	デュアル電源電圧	± 4.5	± 5	± 6.5	V
		単一電源電圧	9	10	13	
T_A	周囲温度		-40	25	85	°C

(1) BUF802 は V_{S+} と V_{S-} の可能な任意の組み合わせで使用できますが、推奨動作条件を超えないようにしてください。

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		BUF802	単位
		RGT (VQFN)	
		16 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	53	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	61	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	27	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	2.7	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	27	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	13	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体およびIC パッケージの熱評価基準』アプリケーション レポートを参照してください。

5.5 広帯域モードの電気的特性

$T_A = 25^\circ\text{C}$ 、 $V_S = \pm 6\text{V}$ 、 $R_L = 100\Omega \parallel 400\text{fF}$ 、 $R_S = 25\Omega$ 、 $V_{OCM} = 0\text{V}$ (中電圧)、CLH および CLL をそれぞれ V_{S+} および V_{S-} に接続、 $R_{\text{Bias}} = 17.8\text{k}\Omega$ 、広帯域幅モード (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
AC 特性							
SSBW	小信号帯域幅	$V_{OUT} = 100\text{ mV}_{PP}$		3.1			GHz
LSBW	大信号帯域幅	$V_{OUT} = 1\text{ V}_{PP}$		3.1			GHz
		$V_{OUT} = 2\text{ V}_{PP}$		1.6			
	0.1dB 平坦度の帯域幅	$V_{OUT} = 1\text{ V}_{PP}$ 、 $R_L = 100\Omega$		0.6			GHz
	-1dB 平坦度の帯域幅	$V_{OUT} = 1\text{ V}_{PP}$ 、 $R_L = 100\Omega$		1.8			GHz
	-2dB 平坦度の帯域幅	$V_{OUT} = 1\text{ V}_{PP}$ 、 $R_L = 50\Omega$		2.4			GHz
SR	スルーレート	$V_{OUT} = 1.2\text{V}$ ステップ、 V_{IN} スルーレート = $13000\text{V}/\mu\text{s}$		7000			$\text{V}/\mu\text{s}$
	立ち上がりおよび立ち下がり時間	$V_{OUT} = 1.2\text{V}$ ステップ (10% ~ 90%)		0.16			ns
		$V_{OUT} = 0.25\text{V}$ ステップ (10% ~ 90%)		0.15			
	0.1% までのセトリングタイム	$V_{OUT} = 1.2\text{V}$ ステップ、 V_{IN} スルーレート = $13000\text{V}/\mu\text{s}$		1.3			ns
	1% までのセトリングタイム	$V_{OUT} = 1.2\text{V}$ ステップ、 V_{IN} スルーレート = $13000\text{V}/\mu\text{s}$		0.7			ns
e_n	電圧ノイズ	1/f コーナー		18			kHz
		$f = 100\text{MHz}$ (BF モードおよび CL モード)		2.3			$\text{nV}/\sqrt{\text{Hz}}$
i_n	電流ノイズ	$f = 10\text{kHz}$		1.5			$\text{fA}/\sqrt{\text{Hz}}$
HD2/HD3	高調波歪み	$V_{OUT} = 2\text{ V}_{PP}$	$f = 500\text{MHz}$	-68/-58			dBc
		$V_{OUT} = 1\text{ V}_{PP}$	$f = 1\text{GHz}$	-55/-59			
			$f = 2\text{GHz}$	-45/-49			
			$f = 2\text{GHz}$ 、 $R_L = 50\Omega$	-43/-41			
DC 特性							
V_{OS}	入力オフセット電圧	$V_{OUT} - V_{IN}$		-600	-800		mV
		$T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$				-900	
dV_{OS}/dT	入力オフセット電圧ドリフト	$T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$			± 700	± 1330	$\mu\text{V}/^\circ\text{C}$
I_B	入力バイアス電流			3	25		pA
		$T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$				220	
I_{AB}	合計入力バイアス電流			44	140		μA
		$T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$				200	
G	DC ゲイン	$V_{OUT} = \pm 0.5\text{V}$	$R_L = 200\Omega$	0.97	0.978	0.99	V/V
			$R_L = 100\Omega$	0.96	0.971	0.98	
			$R_L = 50\Omega$	0.95	0.961	0.97	
		$V_{OUT} = \pm 0.5\text{V}$ 、 $T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$	$R_L = 200\Omega$	0.97		0.99	
			$R_L = 100\Omega$	0.96		0.98	
			$R_L = 50\Omega$	0.94		0.97	

5.5 広帯域モードの電気的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = \pm 6\text{V}$ 、 $R_L = 100\Omega \parallel 400\text{fF}$ 、 $R_S = 25\Omega$ 、 $V_{OCM} = 0\text{V}$ (中電圧)、 CLH および CLL をそれぞれ V_{S+} および V_{S-} に接続、 $R_{Bias} = 17.8\text{k}\Omega$ 、広帯域幅モード (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
入力						
Z_{IN}	入力インピーダンス	$f = 100\text{MHz}$	$50 \parallel 2.4$		$\text{G}\Omega \parallel \text{pF}$	
	入力クランプ電流定格	連続電流定格		100		mA
V_{CLH}	ハイサイド クランプ電圧 ⁽¹⁾		0	V_{S+}		V
V_{CLL}	ロー サイド クランプ電圧 ⁽¹⁾		V_{S-}	0		
	CLH のクランプ時間	オーバードライブ中に V_{OUT} を V_{CLH} にクランプするために必要な時間		0.2		ns
	CLL のクランプ時間	オーバードライブ中に V_{OUT} を V_{CLL} にクランプするために必要な時間		0.2		
	入力電圧	$THD = -40\text{dBc}$	$f = 500\text{MHz}$		4.5	V_{PP}
			$f = 1\text{GHz}$		2.1	
			$f = 2\text{GHz}$		1.2	
出力						
	出力スイング	$T_A = 25^\circ\text{C}$	$V_{S+} - 1.9$	$V_{S-} + 3.4$		V
		$T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$	$V_{S+} - 2.0$	$V_{S-} + 3.4$		
Z_O	出力インピーダンス	$f = 100\text{MHz}$		1.2		Ω
補助入力						
G_{AUX}	V_{OUT}/In_{Aux} ゲイン	低周波数時 (V_{IN} はフローティングのまま)	6.15	20		V/V
		クロスオーバー周波数時 (V_{IN} を GND に短絡)	0.18	0.26		
	In_Aux のデフォルト電圧	In_Aux をデフォルト電圧に駆動すると、 V_{OUT} = 中電圧となります	$V_{S-} + 2.3$	$V_{S-} + 3$	$V_{S-} + 3.8$	V
	In_Aux 入力電圧	クロスオーバー周波数時	$V_{S-} + 1.0$	$V_{S-} + 5.0$		V
$G_{AUX\,BW}$	V_{OUT}/In_{Aux} 帯域幅			800		MHz
	RHF	In_Bias と JFET ソースの間の抵抗		100		$\text{k}\Omega$
電源						
I_Q	静止時電流	$I_{OUT} = 0\text{mA}$ ($R_{bias} = 17.8\text{k}\Omega$)		34	37	mA
			$T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$	35.5		
			CL モード有効	36	40	
PSRR	電源除去比	PSRR (V_{S+} の 100kHz 時)		49		dB
		PSRR (V_{S-} の 100kHz 時)		38		

(1) 0V の制限値はバイポーラおよび平衡型電源用です。他の電源構成の中電圧では、 V_{CLH} の最小制限、 V_{CLL} の最大制限を設定します。

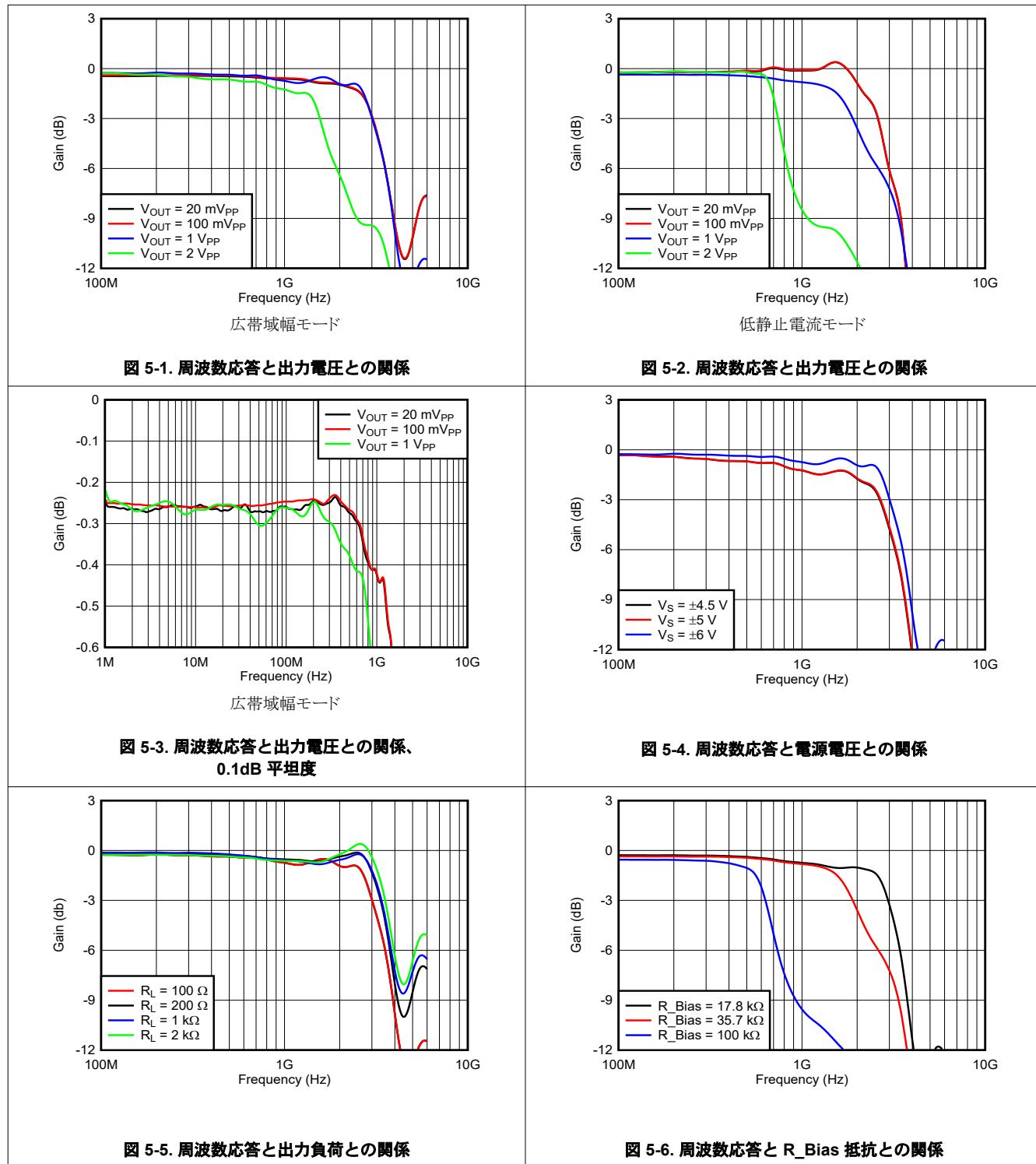
5.6 低静止電流モードの電気的特性

$T_A = 25^\circ\text{C}$ 、 $V_S = \pm 6\text{V}$ 、 $R_L = 100\Omega \parallel 400\text{fF}$ 、 $R_S = 25\Omega$ 、 $V_{OCM} = 0\text{V}$ (中電圧)、CLH および CLL をそれぞれ V_{S+} および V_{S-} に接続、 $R_{\text{Bias}} = 35.7\text{k}\Omega$ 、低静止電流モード (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
AC 特性							
SSBW	小信号帯域幅	$V_{OUT} = 100\text{ mV}_{PP}$		2.6			GHz
LSBW	大信号帯域幅	$V_{OUT} = 1\text{ V}_{PP}$		2			GHz
		$V_{OUT} = 2\text{ V}_{PP}$		0.7			
	0.1dB の平坦度に対する帯域幅	$V_{OUT} = 1\text{ V}_{PP}$		0.45			GHz
	-1dB の平坦度に対する帯域幅	$V_{OUT} = 1\text{ V}_{PP}$		1.4			GHz
SR	スルーレート	$V_{OUT} = 1.2\text{V}$ ステップ、 V_{IN} スルーレート = $13000\text{V}/\mu\text{s}$		5500			$\text{V}/\mu\text{s}$
	立ち上がりおよび立ち下がり時間	$V_{OUT} = 1.2\text{V}$ ステップ (10% ~ 90%)		0.3			ns
		$V_{OUT} = 0.25\text{V}$ ステップ (10% ~ 90%)		0.16			
	0.1%までのセトリングタイム	$V_{OUT} = 1.2\text{V}$ ステップ、 V_{IN} スルーレート = $13000\text{V}/\mu\text{s}$		1.4			ns
	1%までのセトリングタイム	$V_{OUT} = 1.2\text{V}$ ステップ、 V_{IN} スルーレート = $13000\text{V}/\mu\text{s}$		0.8			
e_n	電圧ノイズ	1/f コーナー		10			kHz
		$f = 100\text{MHz}$		2.2			$\text{nV}/\sqrt{\text{Hz}}$
i_n	電流ノイズ	$f = 10\text{kHz}$		1.5			$\text{fA}/\sqrt{\text{Hz}}$
HD2/HD3	高調波歪み	$V_{OUT} = 2\text{ V}_{PP}$	$f = 500\text{MHz}$	-35/-32			dBc
		$V_{OUT} = 1\text{ V}_{PP}$	$f = 100\text{MHz}$	-80/-77			
			$f = 500\text{MHz}$	-56/-54			
DC 特性							
G	DC ゲイン	$V_{OUT} = \pm 0.5\text{V}$	$R_L = 200\Omega$	0.96	0.975	0.99	V/V
			$R_L = 100\Omega$	0.95	0.963	0.98	
		$V_{OUT} = \pm 0.5\text{V}$ 、 $T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$	$R_L = 200\Omega$	0.96	0.99		
			$R_L = 100\Omega$	0.95	0.98		
入力							
	CLH のクランプ時間	オーバードрайブ中に V_{OUT} を V_{CLH} にクランプするために必要な時間		0.3			ns
	CLL のクランプ時間	オーバードрайブ中に V_{OUT} を V_{CLL} にクランプするために必要な時間		0.7			
出力							
Z_O	出力インピーダンス	$f = 100\text{MHz}$		1.2			Ω
電源							
I_Q	静止時電流	$I_{OUT} = 0\text{mA}$ ($R_{\text{bias}} = 35.7\text{k}\Omega$)		21	24		mA
			$T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$	22			

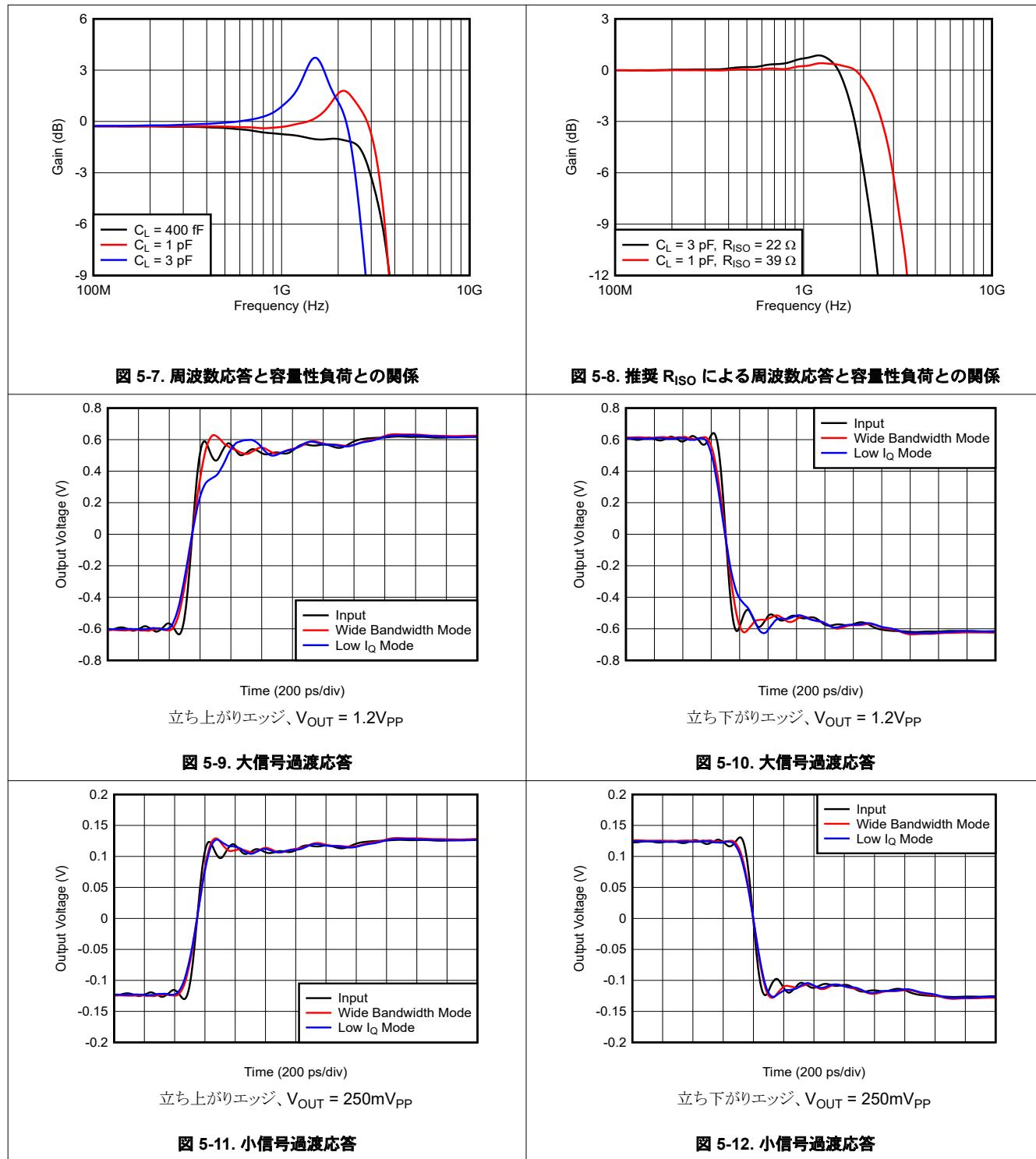
5.7 代表的特性

$T_A = 25^\circ\text{C}$ 、 $V_S = \pm 6\text{V}$ 、 $R_L = 100\Omega \parallel 400\text{fF}$ 、 $R_S = 25\Omega$ 、 $V_{OCM} = 0\text{V}$ (中電圧)、CLH および CLL をそれぞれ V_{S+} および V_{S-} に接続、 $R_{\text{Bias}} = 17.8\text{k}\Omega$ 、広帯域幅モード (特に記述のない限り)



5.7 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = \pm 6\text{V}$ 、 $R_L = 100\Omega \parallel 400\text{fF}$ 、 $R_S = 25\Omega$ 、 $V_{OCM} = 0\text{V}$ (中電圧)、CLH および CLL をそれぞれ V_{S+} および V_{S-} に接続、 $R_{\text{Bias}} = 17.8\text{k}\Omega$ 、広帯域幅モード (特に記述のない限り)



5.7 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = \pm 6\text{V}$ 、 $R_L = 100\Omega \parallel 400\text{fF}$ 、 $R_S = 25\Omega$ 、 $V_{OCM} = 0\text{V}$ (中電圧)、CLH および CLL をそれぞれ V_{S+} および V_{S-} に接続、 $R_{\text{Bias}} = 17.8\text{k}\Omega$ 、広帯域幅モード (特に記述のない限り)

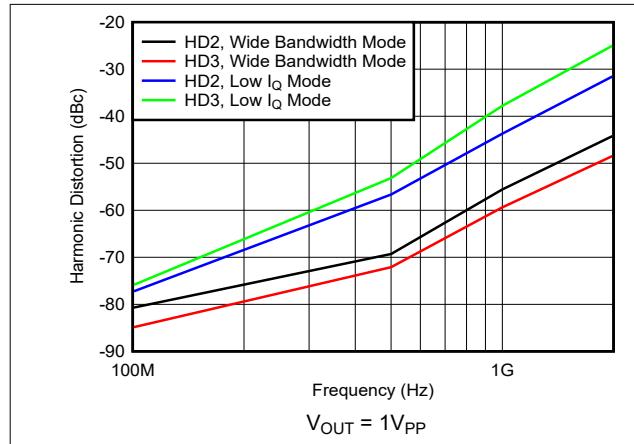


図 5-13. 高調波歪みと周波数との関係

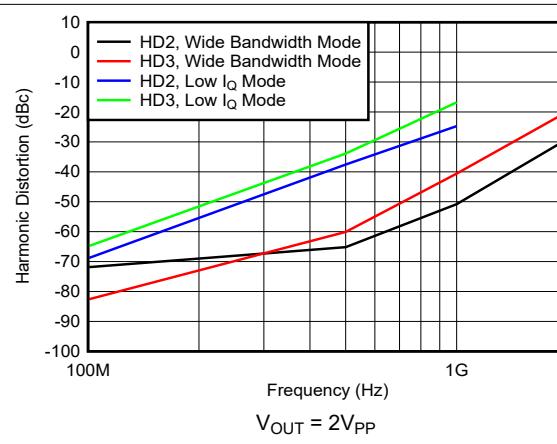


図 5-14. 高調波歪みと周波数との関係

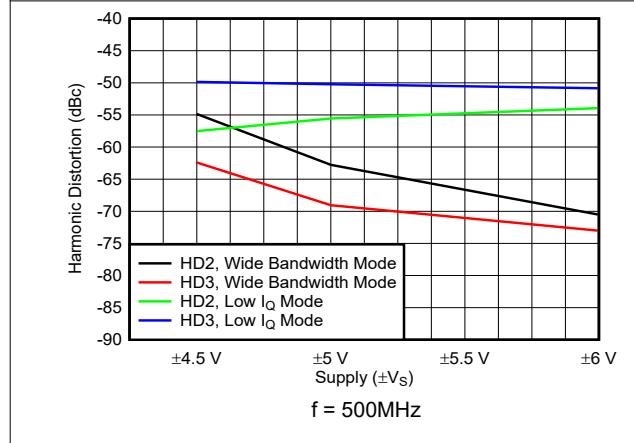


図 5-15. 高調波歪みと電源電圧との関係

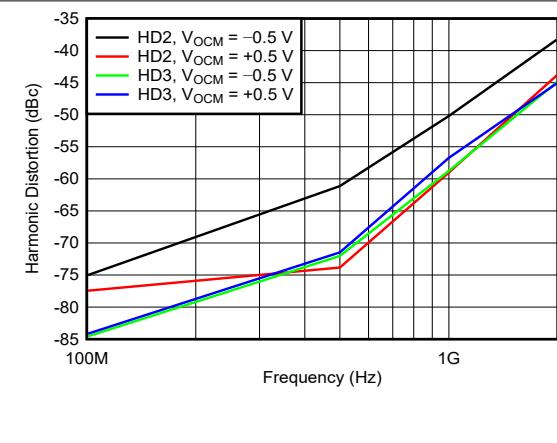


図 5-16. 高調波歪みと出力同相電圧との関係

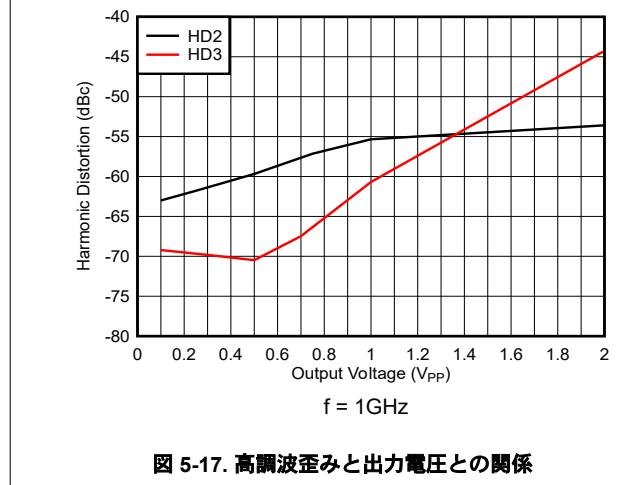


図 5-17. 高調波歪みと出力電圧との関係

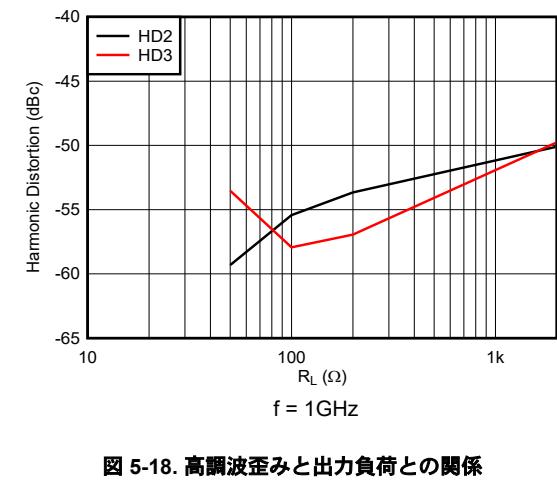


図 5-18. 高調波歪みと出力負荷との関係

5.7 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = \pm 6\text{V}$ 、 $R_L = 100\Omega \parallel 400\text{fF}$ 、 $R_S = 25\Omega$ 、 $V_{OCM} = 0\text{V}$ (中電圧)、CLH および CLL をそれぞれ V_{S+} および V_{S-} に接続、 $R_{\text{Bias}} = 17.8\text{k}\Omega$ 、広帯域幅モード (特に記述のない限り)

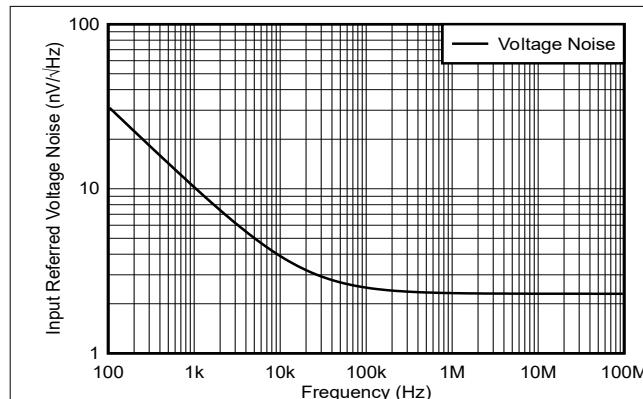


図 5-19. 電圧ノイズ密度と周波数との関係

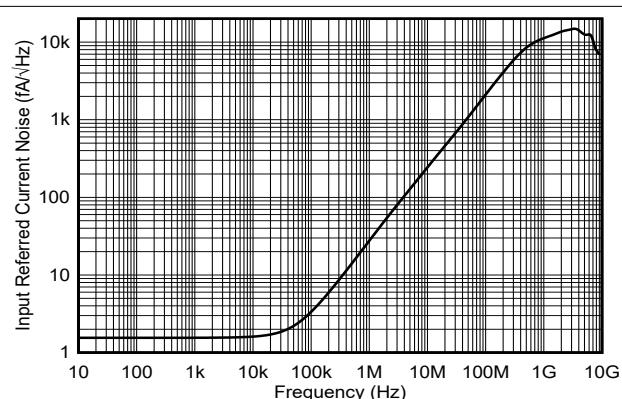


図 5-20. 電流ノイズ密度と周波数との関係

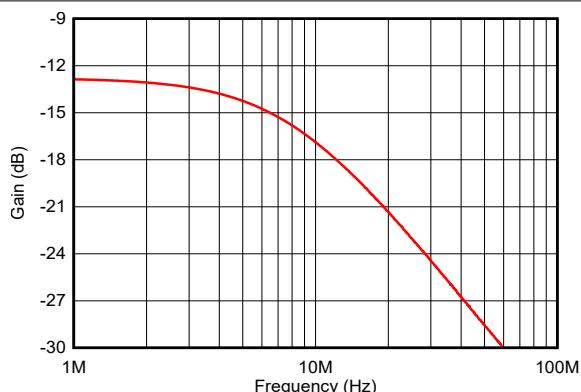


図 5-21. 補助バスの周波数応答

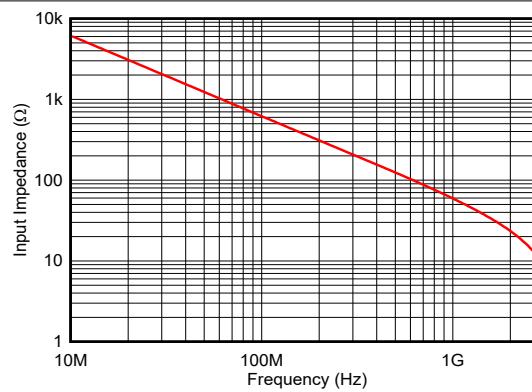


図 5-22. 入力インピーダンスと周波数との関係

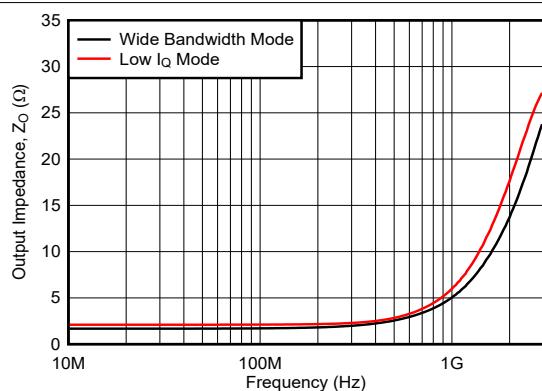


図 5-23. 出力インピーダンス 対 周波数

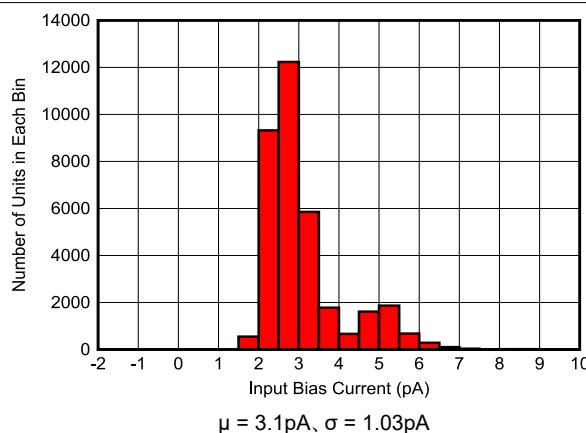


図 5-24. 入力バイアス電流の分布

5.7 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = \pm 6\text{V}$ 、 $R_L = 100\Omega \parallel 400\text{fF}$ 、 $R_S = 25\Omega$ 、 $V_{OCM} = 0\text{V}$ (中電圧)、CLH および CLL をそれぞれ V_{S+} および V_{S-} に接続、 $R_{\text{Bias}} = 17.8\text{k}\Omega$ 、広帯域幅モード (特に記述のない限り)

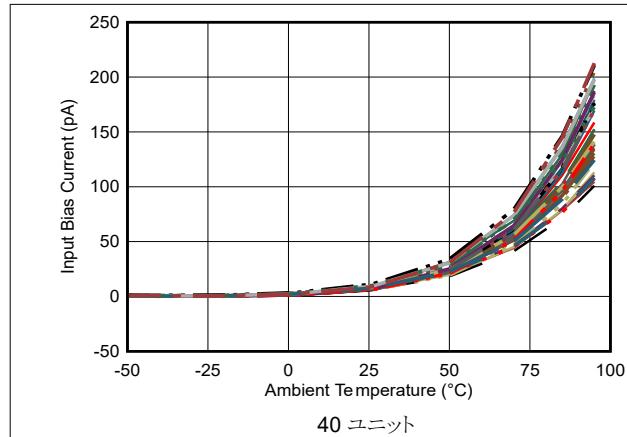


図 5-25. 入力バイアス電流と温度との関係

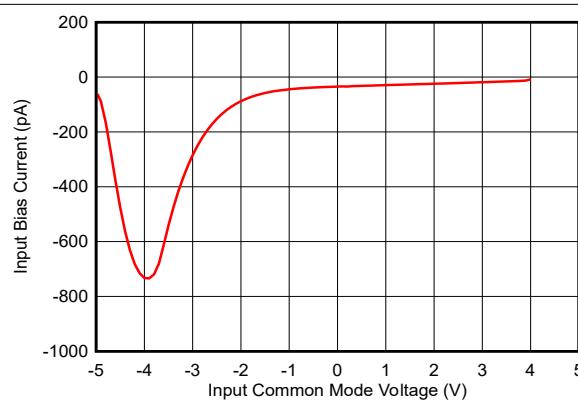


図 5-26. 入力バイアス電流と入力同相電圧との関係

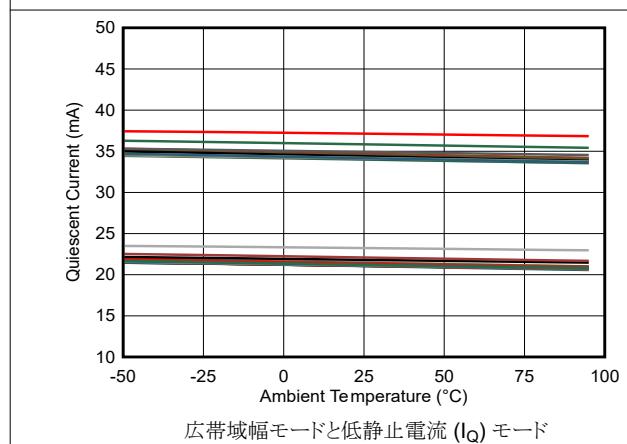


図 5-27. 静止電流と温度との関係

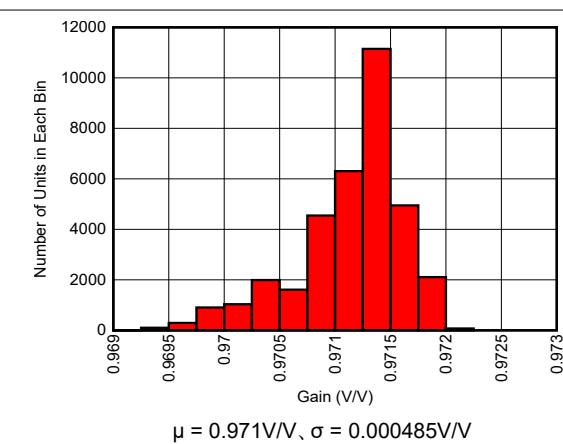


図 5-28. DC ゲイン ヒストグラム

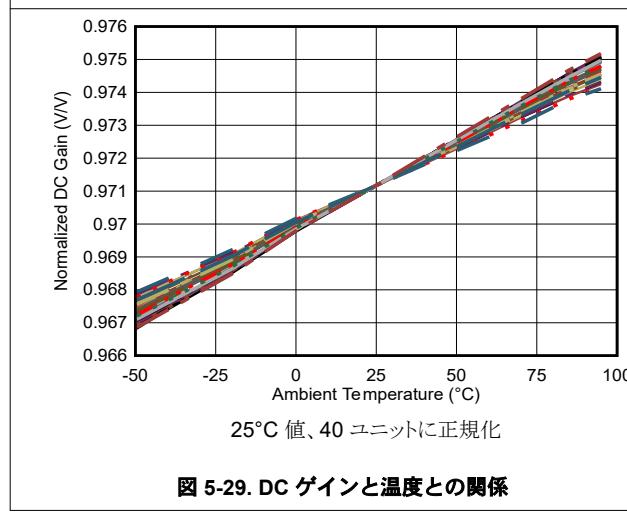


図 5-29. DC ゲインと温度との関係

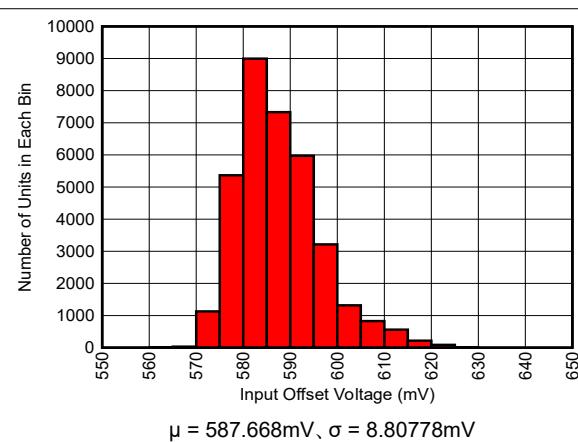
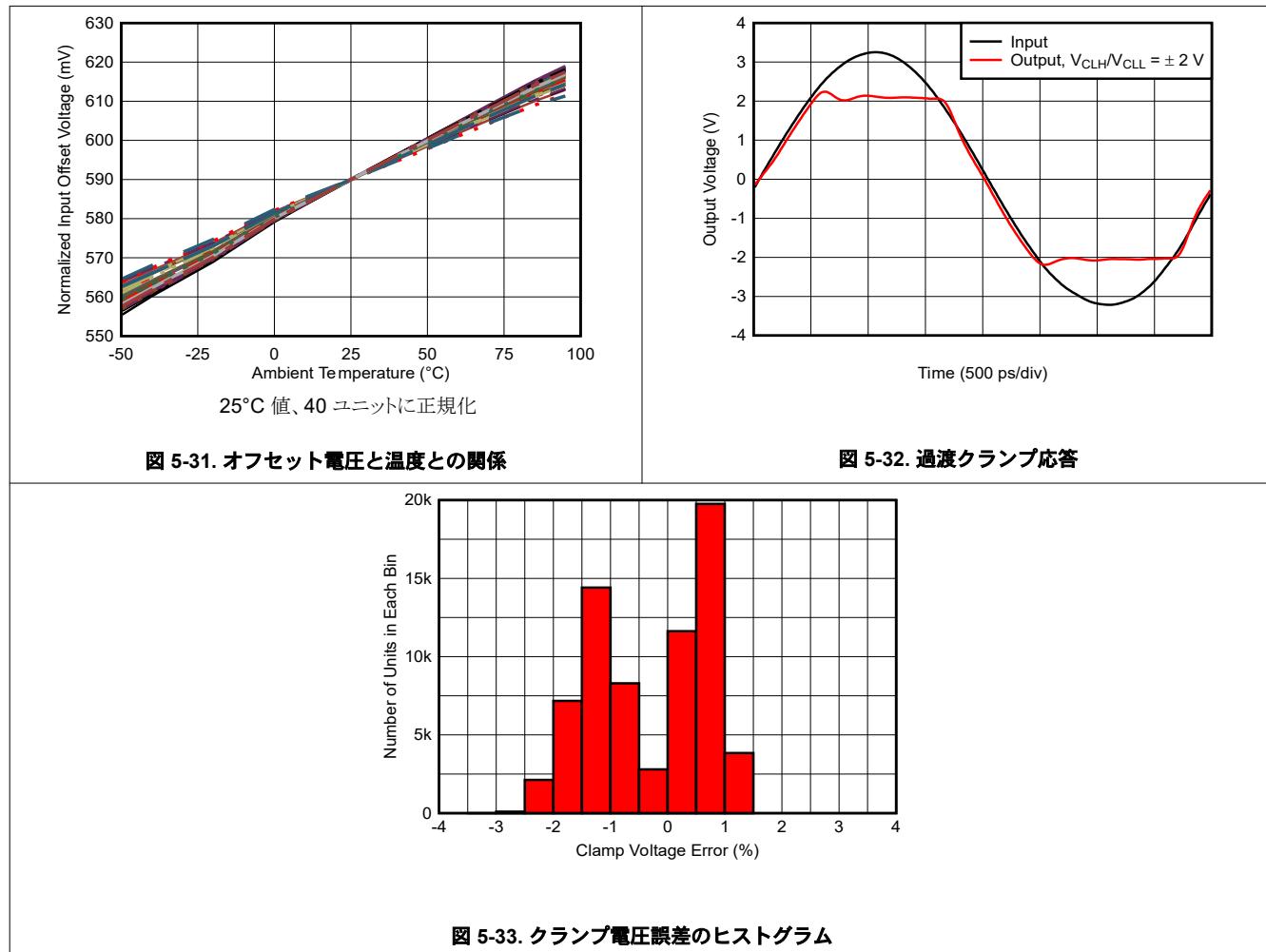


図 5-30. オフセット電圧のヒストグラム

5.7 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = \pm 6\text{V}$ 、 $R_L = 100\Omega \parallel 400\text{fF}$ 、 $R_S = 25\Omega$ 、 $V_{\text{OCM}} = 0\text{V}$ (中電圧)、CLH および CLL をそれぞれ V_{S+} および V_{S-} に接続、 $R_{\text{Bias}} = 17.8\text{k}\Omega$ 、広帯域幅モード (特に記述のない限り)



6 パラメータ測定情報

図 6-1 ~ 図 6-3 に、BUF802 の各種テスト設定構成を示します。

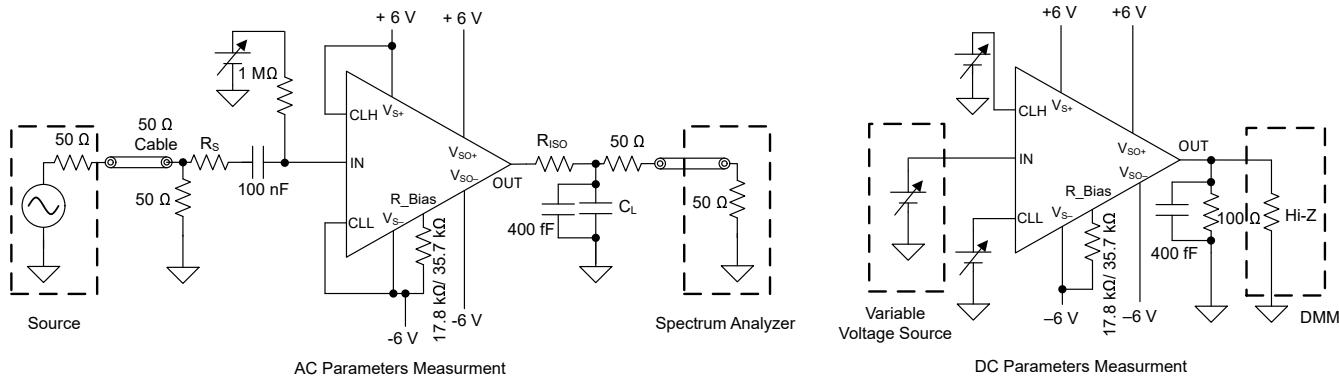


図 6-1. メイン パスの電気的特性の測定

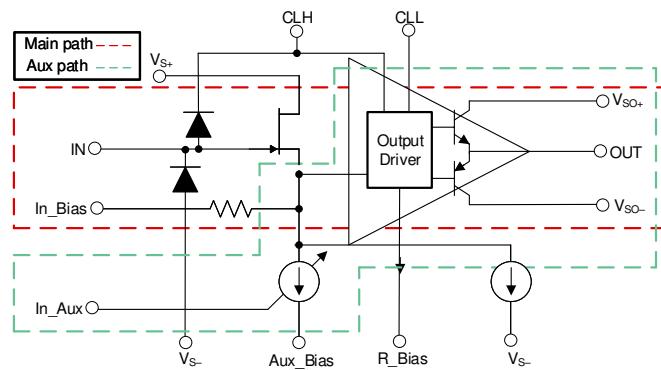


図 6-2. メイン パスと補助 パス

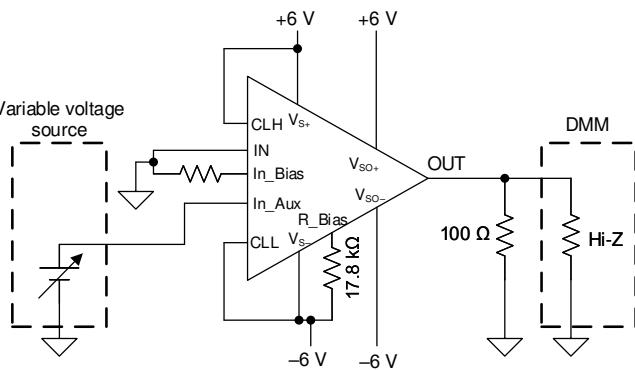


図 6-3. 補助 パスの電気的特性の測定

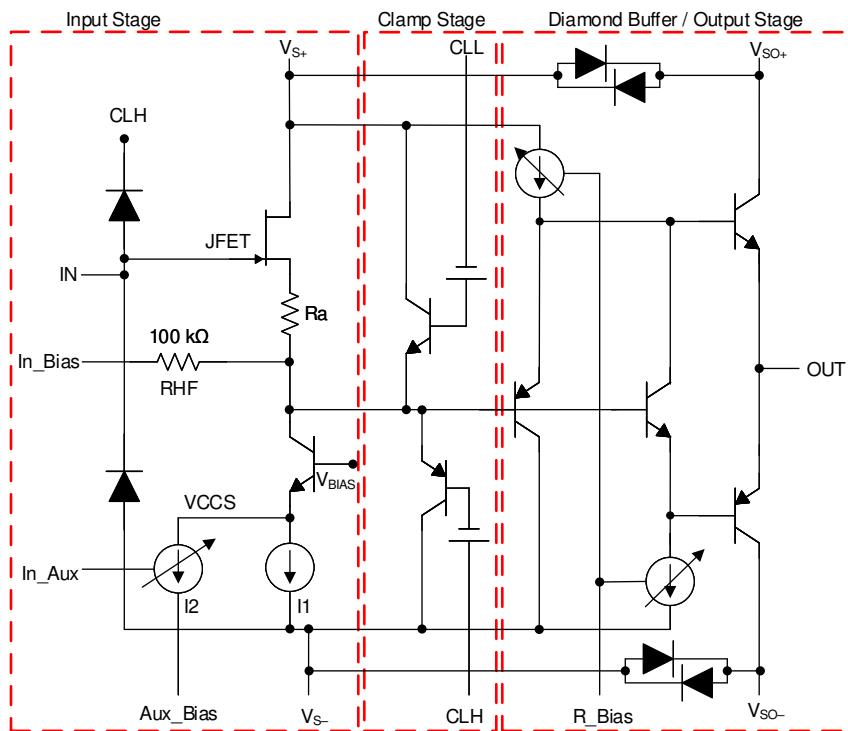
図 6-2 に、出力を制御する BUF802 の 2 つの入力 (IN および In_Aux) を示します。IN ピンはメイン パス経由で BUF802 の出力を制御し、In_Aux ピンは補助 パス経由で出力を制御します。メイン パスまたは補助 パスのいずれかを使用して、出力を操作できます。メイン パスと補助 パスの電気的特性は、セクション 5.7 で規定されています。

7 詳細説明

7.1 概要

BUF802 デバイスは、高入力インピーダンスの開ループ バッファで、信号収集フロント エンド アプリケーションで使用されます。BUF802 は、DC 精度と広い大信号帯域幅を実現するために、バッファ モード (BF モード) でスタンドアロン バッファとして、またはコンポジットループ モード (CL モード) で高精度アンプを備えたコンポジット ループ内で使用されます。出力インピーダンスが低く、出力電流駆動能力が大きいため、BUF802 は最大 50Ω の負荷を駆動できます。BUF802 は、システム レベルの消費電力と性能のトレードオフをカスタマイズするために、調整可能な静止電流が生じます。

7.2 機能ブロック図



機能ブロック図は、BUF802 の内部構造の概要を示しています。BUF802 の内部回路図は、次の 3 つの部分に分割されています。

- **入力段:** バイアス回路を備えた低ノイズ JFET で構成されます。入力段は次の 2 つのモードで構成できます: **BF モード** と **CL モード**。2 つのモードのいずれかを選択すると、入力段の回路動作に影響します。クランプおよび出力段の動作は、モード選択の影響を受けません。セクション 7.4 に、2 つのモードの詳細を示します。
- **クランプ段:** 次の機能を提供します:
 1. それぞれ V_{S-} および CLH へのダイオード クランプを介して、BUF802 の入力を大きな入力信号過渡から保護します。
 2. BUF802 の出力電圧が CLH と CLL の電圧を超えるのを防止します。
- **出力段:** JFET のソース電圧を追跡し、 50Ω および 100Ω の負荷を駆動するように最適化されていると同時に、信号の忠実度を維持します。

7.3 機能説明

7.3.1 入力および出力過電圧クランプ

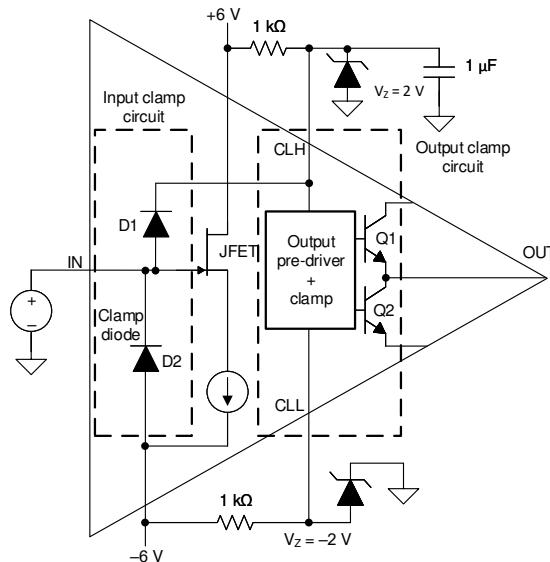


図 7-1. 内部入力および出力の過電圧クランプ

この BUF802 デバイスは、入力および出力クランプ回路を内蔵しています。入力クランプは、大きい入力過渡から BUF802 を保護し、出力クランプは後続の段をオーバードライブから保護します。

- 入力クランプ回路:

- 図 7-1 に、2 つの内部クランプダイオード D1 と D2 を経由してピン CLH および V_{S-} に接続されている BUF802 の入力を示します。これらのダイオードは連続電流の 100mA 定格ですが、非常に高い過渡電流に耐えられます。JFET 入力電圧が CLH または V_{S-} の電圧を超えると、ダイオードは順方向バイアスされ、JFET を CLH および V_{S-} にクランプします。ツエナー ダイオードと並列に $1\mu F$ のコンデンサを接続すると、D1 ダイオードを通過する過渡吸収に役立ちます。
- 図 7-2 に、D1 と D2 が電流定格 100mA に満たない場合の、外付けクランプ ダイオードの使用方法を示します。外部クランプを使用する場合は、CLH と CLL を V_{S+} および V_{S-} に接続することで、BUF802 の内部保護を無効化します。

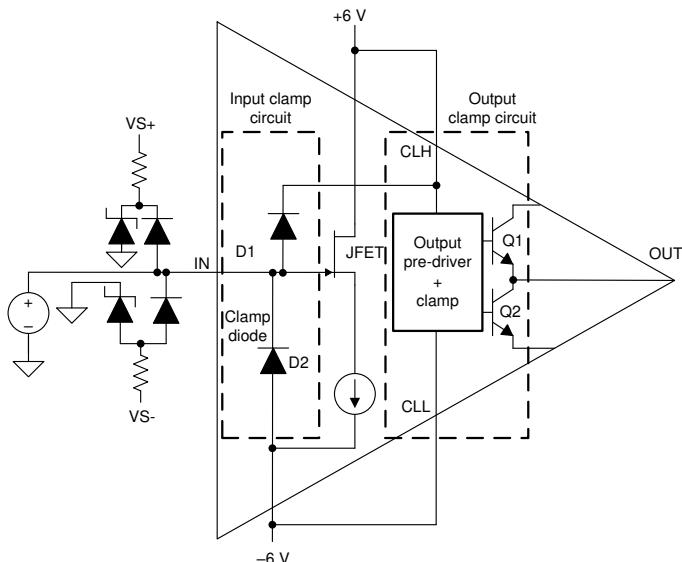


図 7-2. 外部入力クランプ回路

• 出力クランプ回路:

- 出力保護回路は、BUF802 の後の段がオーバードライブされないように保護しています。また、この回路は、BUF802 を入力または出力オーバードライブ状態による飽和状態から迅速に回復するのにも役立ちます。一般的なデータ収集システムでは、BUF802 の後に可変ゲインアンプ (VGA) が接続されています。高速 VGA は通常 5V プロセスで設計されているため、このデバイスは 12V BUF802 からの潜在的な損傷の影響を受けやすくなっています。CLH ピンと CLL ピンに印加される電圧によって、BUF802 の最大出力スイングが決まります。
- 図 7-2 は、CLH と CLL をそれぞれ V_{S+} と V_{S-} に接続することで、内部クランプが無効化されることを示しています。クランプが無効化されているとき、最大出力スイングはセクション 5.5 に記載されている出力スイングの仕様によって制限されます。セクション 5.7 に、出力クランプの応答時間と精度を示します。
- V_{CLH} と V_{CLL} が V_{OUT} のピーク値の期待値に近くなると、BUF802 の出力 THD は低下します。信号の劣化を防止するため、期待されるピーク出力電圧と、CLH ピンおよび CLL ピンに印加されるクランプ電圧との間に少なくとも 1.5V の差を維持します。図 7-3 に、1V_{PP} 出力に対する絶対クランプ電圧の値と THD との関係を示します。

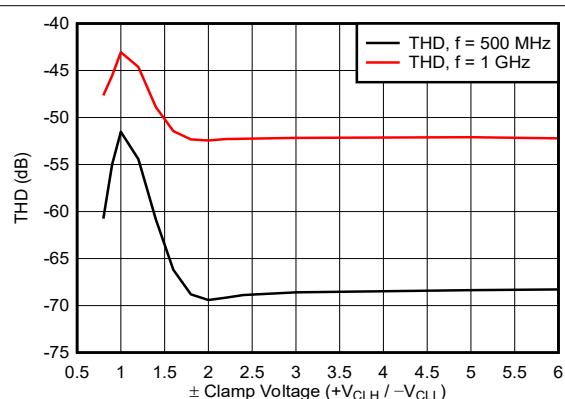


図 7-3. $V_{OUT} = 1V_{PP}$ での THD と V_{CLH}/V_{CLL} との関係

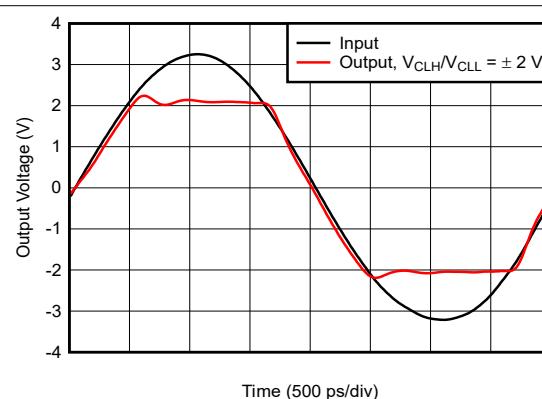


図 7-4. 過渡クランプ応答

7.3.2 調整可能な静止電流

BUF802 は、調整可能な静止電流機能を備えているため、システム設計者は消費電流と得られる歪み性能とのトレードオフを調整できます。 R_{Bias} と V_S との間に抵抗を接続して、出力段のバイアス ポイント動作電流を設定する例を、[セクション 7.2](#) に示します。図 7-5 に、静止電流の変動を R_{Bias} 値の関数として示します。

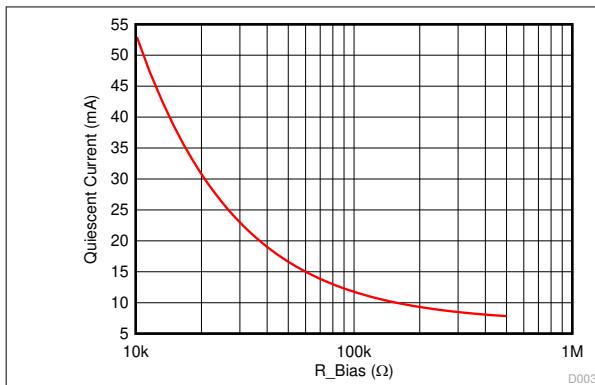


図 7-5. 静止電流と R_{Bias} との関係

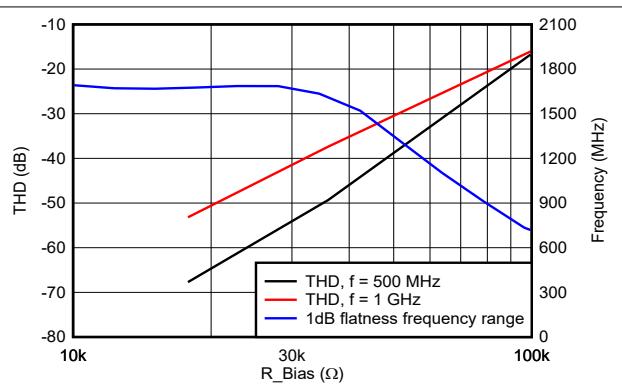


図 7-6. THD および帯域幅と R_{Bias} との関係

図 7-6 は、 R_{Bias} と V_S との間で抵抗を変更すると、主に出力信号の THD に影響を及ぼすことを示しています。[セクション 5.5](#) と [セクション 5.6](#) に、2 つの異なる R_{Bias} 値での BUF802 の AC および DC パラメータを規定しています。DC パラメータは、静止電流の設定とは独立しています。

7.3.3 ESD 構造

BUF802 の内部 ESD 構造を図 7-7 に示します。 V_{SO} および V_S 電源ピンは、双方向ダイオードを介して内部で互いに短絡しています。セクション 8.3 も参照してください。入力 ESD ダイオード D1 と D2 は、連続電流の 100mA を伝達するように最適化されており、残りの ESD ダイオードは 10mA 定格です。

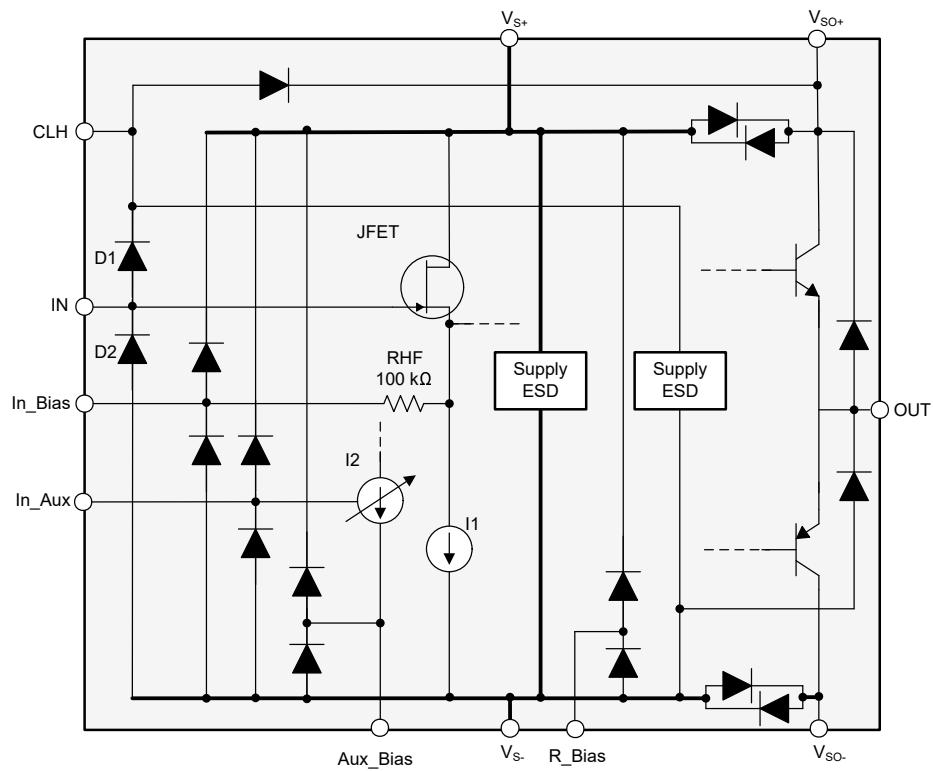


図 7-7. 内部 ESD 構造

7.4 デバイスの機能モード

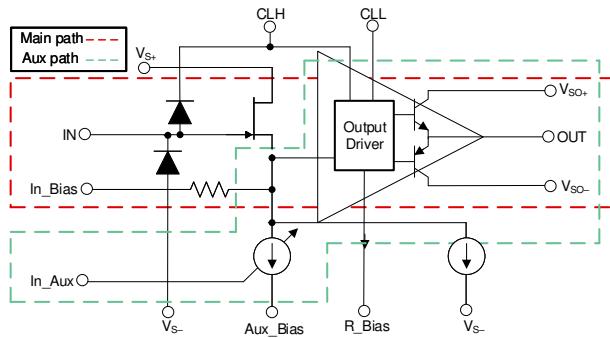


図 7-8. メイン パスと補助 パス

BUF802 は、次の 2 つのモードで動作するよう設計されています：バッファ モード (**BF** モード) とコンポジット ループ モード (**CL** モード)。

BF モードでは、BUF802 はメイン パス内の JFET、出力ドライバ、およびバイポーラトランジスタを使用して、IN に印加される信号を BUF802 の出力で再現します。図 7-8 に、BUF802 のメイン パスと補助 パスを示します。BUF802 は DC から高周波まで動作するため、スタンダードアロン バッファとして使用できます。**BF** モードで使用する場合、BUF802 のメイン パスのみが使用されます。

CL モードでは、BUF802 は補助信号路とメイン パスを使用して出力電圧を制御します。コンポジット ループ モードではその名の通り、DC 精度と広い大信号帯域幅 を同時に達成するため、高精度アンプのあるコンポジット ループで BUF802 を使用します。コンポジット ループは、印加された信号を低周波および高周波成分に分割し、適切な伝達関数を使用して信号を異なる回路に渡します。その後、低周波と高周波の信号成分が BUF802 内部で再結合され、OUT ビンで再現されます。

7.4.1 バッファ モード (BF モード)

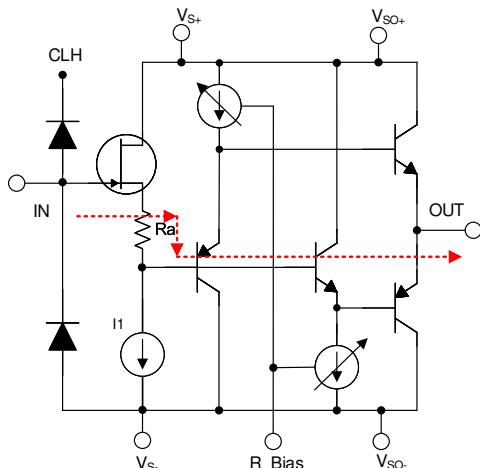


図 7-9. 内部回路図 – BF モード

ハイインピーダンス入力と BUF802 の組み合わせの大信号帯域幅が広く、スルーレートが高速なため、各種の高周波信号チェーン アプリケーションで有用です。図 7-9 に、BUF802 がメイン パスを使用し、JFET とトランジスタをソース フォロワおよびエミッタ フォロワとして動作させ、BUF802 の出力で IN に印加された信号を再現することを示しています。CL モードのみに関連付けられているピン (ピン番号 6, 4, 3) は、BF モードで動作している間はフローティングのままになります。

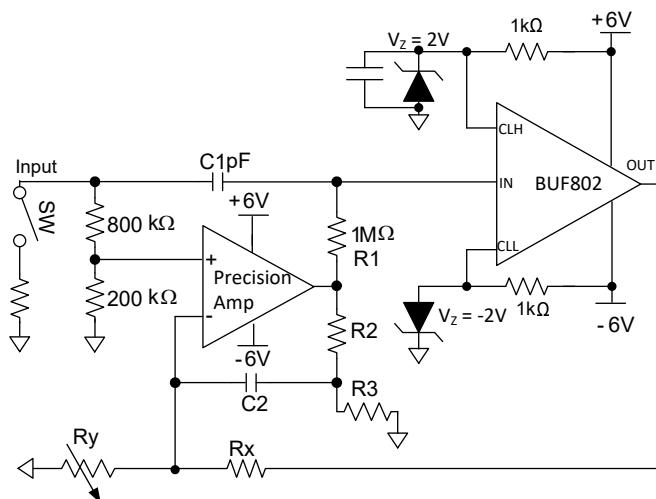


図 7-10. BF モードを使用したコンポジット ループ

図 7-10 に、BF モードで動作させながら BUF802 をコンポジット ループでも使用する方法を示します。信号がメイン パスのみを介して転送されるため、図 7-10 の BUF802 の動作は依然として BF モードと呼ばれます。補助 パス、および補助 パスと CL モードに関連付けられたピンは無効なままになります。低周波および高周波信号成分は、個別部品 R1 および C1 を介して外部から結合された後、IN ピンに印加されます。

7.4.2 コンポジットループモード(CLモード)

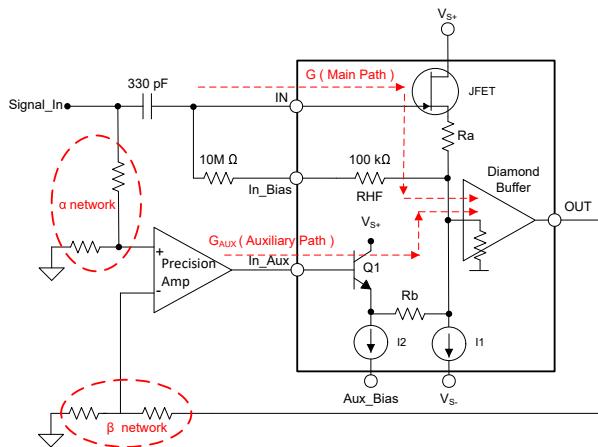


図 7-11. 内部回路図 – CL モード

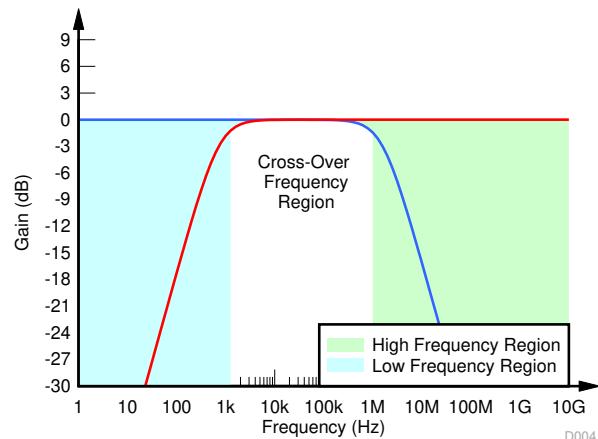


図 7-12. CL モード周波数応答

図 7-11 に示す 330pF 入力シリーズコンデンサは、入力信号を低周波成分と高周波成分に分割します。これらの信号は、それぞれ In_Aux と IN に印加されます。IN ピンはメインパス経由で BUF802 の出力を制御し、In_Aux ピンは補助パス経由で出力を制御します。

CL モードでのコンポジットループの伝達関数は、次の 3 つの周波数領域に分割できます。

- 低周波数領域:** 低周波数領域のコンポジットループのゲインは (α および β ネットワークによって決定される) α/β です。低周波数領域では、330pF 入力コンデンサがメインパスに高インピーダンスを示し、高精度アンプと In_Aux ピンを通って信号が流れます。この領域は DC から f_{LF} までです。 f_{LF} は、高精度アンプのゲイン帯域幅、補助パスの帯域幅、および経路に沿った部品の寄生容量から生じるポールです。
- 高周波数領域:** 高周波数領域では、高精度アンプと補助パスの帯域幅が不足しています。この領域のコンポジットループの正味ゲインは、BUF802 のメインパスゲインのみによって決定されます (G で表されます)。この領域は f_{HF} で生成されるポールから BUF802 の LSBW までの範囲にあります。 f_{HF} は、330pF 直列コンデンサと In_Bias ピンの 10MΩ 抵抗からなるポールです。
- クロスオーバー周波数領域:** メインパスと補助パスは連動して、クロスオーバー領域のゲインを決定します。この領域で定周波数応答を維持するには、以下の条件を満たす必要があります:
 - $\alpha/\beta = G$
 - 高周波応答ポール $f_{HF} \ll$ 低周波ポール f_{LF}

定周波数応答を実現するための個別部品選択の詳細な分析については、セクション 8.1 で詳しく説明します。

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

BUF802 は、広い大信号帯域幅、高スルーレート、高い入力インピーダンスを備えているため、このデバイスはデータアクイジションシステムに最適です。DC 精度が不要なアプリケーションや、入力が AC 結合されている場合は、BUF802 を *BF* モードでスタンダード入力バッファとして使用できます。必要な精度が BUF802 で提供される精度よりも大きい場合は、BUF802 をコンポジットループ内の高精度アンプで *CL* モードで動作させます。

8.2 代表的なアプリケーション

8.2.1 オシロスコープのフロントエンドアンプの設計

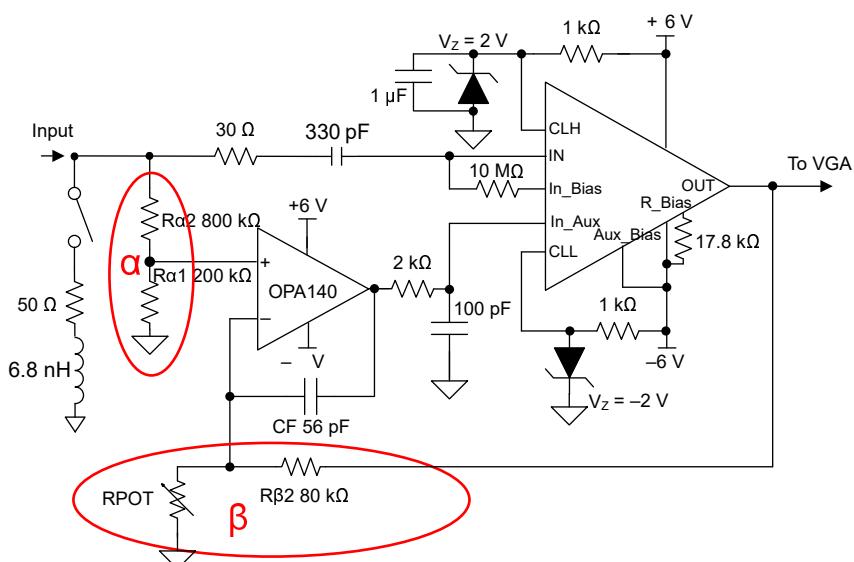


図 8-1. オシロスコープのフロントエンドアンプ

8.2.1.1 設計要件

次の表に、1GHz オシロスコープ フロントエンドと高精度アンプのターゲット仕様を示します。

仕様	値
入力インピーダンス	1MΩ /50Ω
S パラメータ (f = 1GHz)	S11 = -15dB, S21 = -1.5dB
オフセットのドリフト	1μV/°C、最大値
最高解像度 (50Ω 入力) でのノイズ	80μVRMS

8.2.1.2 詳細な設計手順

- **入力インピーダンス:** BUF802 の JFET 入力段は入力インピーダンスが数十億オームであるため、フロントエンドを $1\text{M}\Omega$ の抵抗で終端でき、性能に影響を与えません。 50Ω の抵抗を切り替えることで、高周波信号のマッチングされた終端を行うこともできます。BUF802 では、設計者は $1\text{M}\Omega$ 終端と 50Ω 終端の両方を同じシグナル チェーンで使用できます。
- **ノイズ:** フロントエンド アンプの合計ノイズは、BUF802、OPA140 の電圧および電流ノイズ、および抵抗の熱ノイズの関数です。ただし、支配的なノイズ源は、帯域幅全体でノイズが存在する結果、BUF802 の電圧ノイズによって供給されます。したがって、フロントエンド アンプの合計 RMS ノイズは、1GHz を超える BUF802 の電圧ノイズとほぼ等しくなります。

BUF802 の規定入力換算電圧ノイズ (セクション 5.5 を参照) は $2.3\text{nV}/\sqrt{\text{Hz}}$ です。1GHz の帯域幅での合計入力換算 RMS ノイズは、次の式で与えられます:

$$E_{n,\text{RMS}} = 2.3 \text{nV}/\sqrt{\text{Hz}} \times \sqrt{(1 \text{GHz} \times 1.22)} = 80 \mu\text{V}_{\text{RMS}}. \quad (1)$$

$1.22 =$ ブリックウォール補正係数。『[プレシジョン ラボ - オペアンプ: ノイズースペクトル密度](#)』を参照すると、詳細な計算が可能です。

図 8-3 に、周波数の関数としての合計入力換算スポットノイズを示します。オシロスコープの画面には 8 つの分割があり、最高分解能が 1mV であるとすると、フルスケールの読み取り値は 8mV_{PP} または $2.82\text{mV}_{\text{RMS}}$ となります。そのため、最高分解能設定でのフロントエンド アンプ段の信号対雑音比は次のようにになります:

$$20 \times \log (2.82 \text{mV}_{\text{RMS}} / 80 \mu\text{V}_{\text{RMS}}) = 31 \text{dB}. \quad (2)$$

- **S11 の最適化:** フロントエンド アンプ回路では、周波数全体で -15dB の必要な S11 パラメータを達成するために、正確な 50Ω 終端が必要です。フロントエンド コンポジット ループ回路の入力に正確な 50Ω 抵抗を実装することも可能ですが、BUF802 の寄生容量はこの 50Ω 抵抗と並列に現れ、正味で不完全な終端になります。

BUF802 (IN ピン) の寄生入力容量は 2.4pF です。1GHz では、この寄生容量はインピーダンスが 66.3Ω に低下します。したがって、入力側の信号から見た正味の入力インピーダンスは次のようにになります:

$$66.3 \Omega \parallel 50 \Omega = 28.5 \Omega \quad (3)$$

この結果、 50Ω ソースの終端が不完全であり、S11 が不良になります。入力パターンと直列に 30Ω の抵抗を追加し、オンボードの 50Ω 終端と直列に 6.8nH のインダクタを追加することで、入力寄生容量を分離できます。また、この構成は、正味の入力インピーダンスを 50Ω に維持するためにも役立ちます。図 8-4 に、この変更した回路の S11 応答を示します。

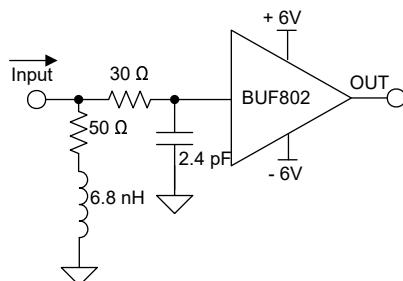


図 8-2. 正味の入力インピーダンス

- 全周波数帯域で均一なゲイン: フロントエンド アンプ回路は、コンポジット ループで接続された **BUF802** と **OPA140** を使用して設計されています。このループは、入力信号を低周波成分と高周波成分に分割し、2 つの異なる回路 (伝達関数) を介して両方の成分を出力に取り込み、それらを再結合して、正味の出力信号を再現します。最終的な目標は、2 つの回路間で滑らかな遷移を実現し、DC から目的の周波数まで定周波数応答を維持することです。

BUF802 の **CL** モードによりこの設計が簡素化され、DC から目的の周波数 (この場合は 1GHz) まで定周波数応答を実現できるようになります。応答をフラットにするには、次の 2 つの条件を満たします:

1. 高周波応答ポール $f_{HF} \ll$ 低周波ポール f_{LF}
2. $\alpha/\beta = G$

ここで、 α は入力減衰係数、 β は高精度アンプの非反転ゲインの逆数、 G は **BUF802** のメイン パスの DC ゲインです。 G はデバイスごとに異なります。そのため、 α または β を調整して、フラットな周波数応答を実現します。**図 8-1** で、**RPOT** を使用して β を調整します。

G は標準値で、($G = 0.971V/V$) から [セクション 5.5](#)、 α は $1/5$ ($200k\Omega/(200k\Omega + 800k\Omega)$) です。したがって、 $\beta \approx 1/5$ になるように **RPOT** を調整します。

β 回路には、 α 回路で使用される抵抗よりも 1 枝低い抵抗を使用します。したがって、 $80k\Omega$ と約 $20k\Omega$ の β 抵抗値を選択します。

f_{HF} は、 $330pF$ 直列コンデンサと **In_Bias** ピンの $10M\Omega$ 抵抗からなるポールです。 $10M\Omega$ の値を減らすと、コンポジット ループのオーバードライブ回復時間の短縮に役立ちますが、 f_{HF} ポール周波数が増加します。

$$f_{HF} = 1 / (2 \times \pi \times R \times C) = 1 / (2 \times 3.14 \times 10 M\Omega \times 330 pF) = 48 \text{ Hz} \quad (4)$$

f_{LF} は、高精度アンプ (**OPA140**) のゲイン帯域幅、補助パスの帯域幅、および抵抗回路のその他の寄生容量から生じるポールです。

$$f_{LF1} \text{ of precision amplifier} = GBW \times G_{AUX} \times \beta = 440 \text{ kHz} \quad (5)$$

ここで、

- GBW : 高精度アンプのゲイン帯域幅積 (**OPA140**) = $11MHz$
- G_{AUX} : **In_Aux** から **OUT** へのゲイン = $0.2V/V$
- $1/\beta$: 高精度アンプに対して設定された外部非反転ゲイン = $5V/V$

高精度アンプの同相モード入力コンデンサ (C_{INPA}) は $R_{\alpha 2}$ でポールを形成し、ポール周波数は次のようにになります:

$$f_{LF2} \text{ of } R_{\alpha 2} \text{ and } C_{INPA} \text{ of amplifier} = 1 / (2 \times \pi \times R_{\alpha 2} \times C_{INPA}) = 28.4 \text{ kHz} \quad (6)$$

$f_{LF2} < f_{LF1}$ なので、 f_{LF2} は補助パス帯域幅の支配的なポールと見なされます。上記の f_{HF} および f_{LF2} 値に基づき、 $f_{HF} \ll f_{LF2}$ という必要条件が満たされます。

CF は高精度アンプの両端に接続され、寄生容量を補償し、全体のポールとゼロを相殺するために必要です。 CF の値は次の式で計算します:

$$CF = C_{INPA} \times ((G \times R_{\alpha 2} / R_{\beta 2}) - 1). \quad (7)$$

ここで、

- C_{INPA} は高精度アンプ **OPA140** の同相モード入力容量です。ここで、
- G は標準値で、($G = 0.971V/V$) から [セクション 5.5](#) です

これらの部品の値をプラグインすると、 $CF = 61pF$ 付近になり、最も近い標準的なコンデンサ $CF = 56pF$ に丸められます。必要なフラットバンド応答の品質に基づいた最終的なシステムでは、最終的な製造フローで **RPOT**と一緒に CF を調整できます。

8.2.1.3 アプリケーション曲線

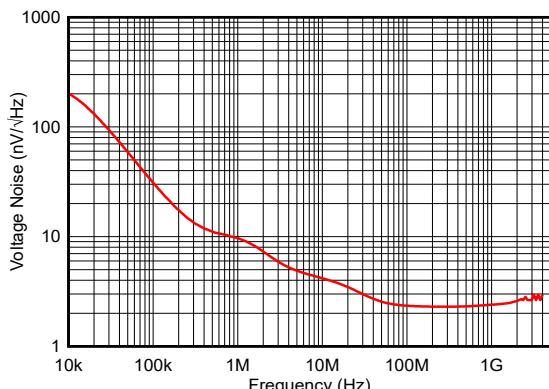


図 8-3. フロントエンドコンポジットループノイズ

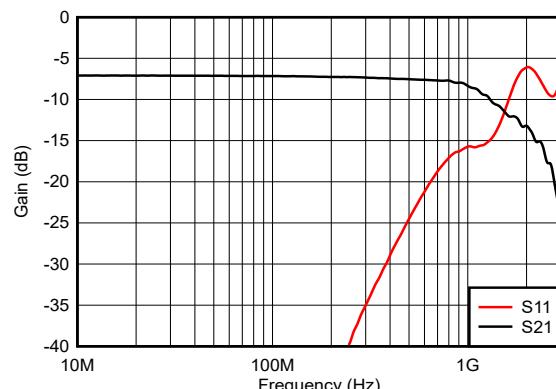


図 8-4. S11 と S21 の応答

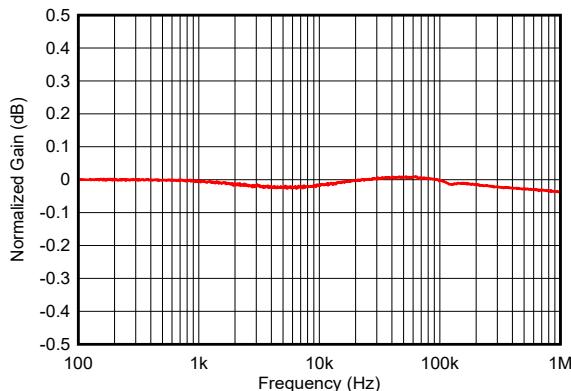


図 8-5. 周波数応答の平坦性：クロスオーバー周波数領域

8.2.2 広帯域幅 50Ω 入力シグナル チェーンを高入力インピーダンスに変換

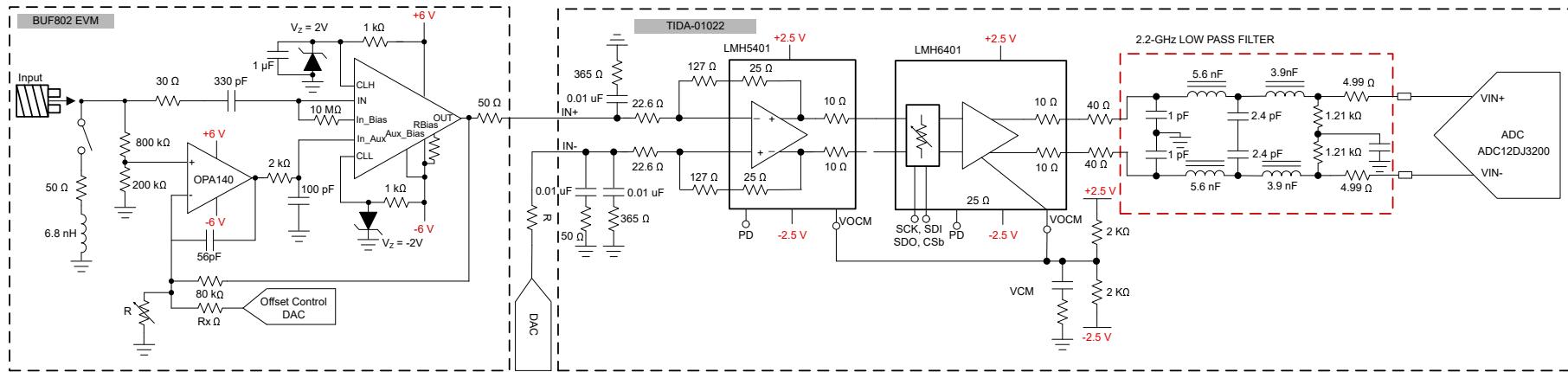


図 8-6. BUF802 + TIDA-01022 : シグナル チェーン

8.2.2.1 詳細な設計手順

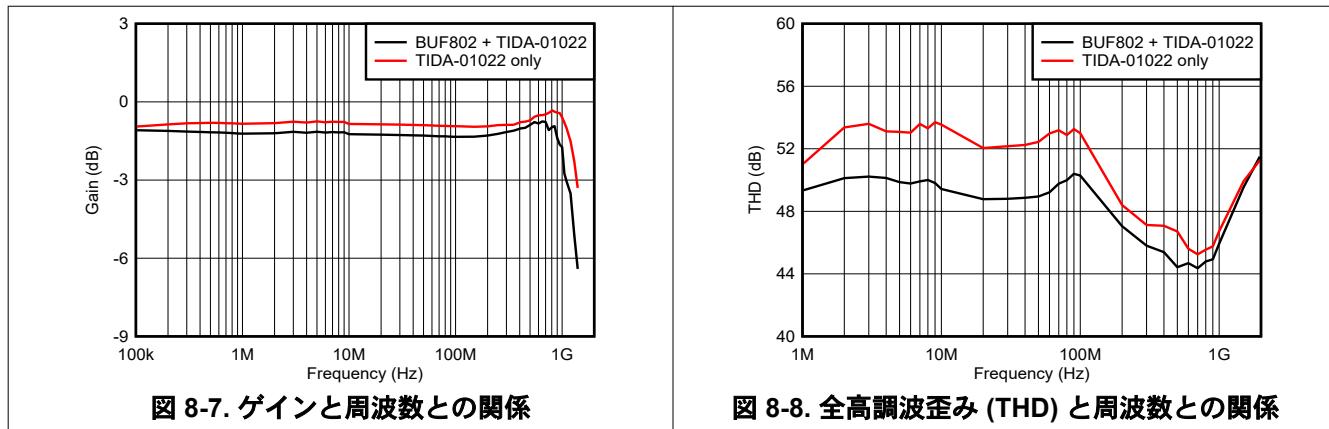
TIDA-01022 のリファレンス デザインは、マルチチャネルの高速アナログ フロントエンドに特化したもので、デジタル ストレージ オシロスコープ (DSO)、ワイヤレス通信テスト機器 (WCTE)、レーダーなどの最終機器で一般に使用されます。TIDA-01022 などの 50Ω の入力データ アクイジション (DAQ) 信号チェーンは、BUF802 を前面に挿入することで、高入力インピーダンス DAQ システムに変換できます。

TIDA-01022 の特長は以下のとおりです。

- **LMH5401** は、DC ~ 2GHz の帯域幅を持つ高性能差動アンプです。このデバイスは、この信号チェーンでは、シングル / 差動変換アンプとして使用されます。このデバイスは、12dB の固定ゲインで、優れた直線性性能を備えています。
- **LMH6401** LMH6401 は、広帯域、デジタル制御の可変ゲイン、差動入力、差動出力のアンプです。ノイズおよび歪み性能は、超広帯域 A/D コンバータ (ADC) の駆動用に最適化されています。このデバイスは、-6dB ~ 26dB の 1dB ステップのゲイン範囲を含む DC ~ 4.5GHz の帯域幅があります。ゲインは、標準のシリアル ペリフェラル インターフェイス (SPI) を使用して制御されます。
- **ADC12DJ5200RF** は、DC から 10GHz 超までの入力周波数を直接サンプリングする 12 ビット ギガサンプル ADC です。ADC12DJ5200RF は、デュアル チャネル 5.2GSPS の ADC、またはシングル チャネル 10.4GSPS の ADC として構成できます。

BUF802 は、フロントエンド アンプとして高い入力インピーダンスと低ノイズを実現していることに加えて、 50Ω の整合負荷を駆動する能力を保持しているため、事前設計済みのアナログ フロント エンド信号チェーンへの組み付けが容易です。図 8-7 ~ 図 8-9 に、TI 設計の TIDA-01022 のネイティブ性能と、フロント エンドに BUF802 を追加した後に達成される性能との比較を示します。TIDA-01022 の入力に BUF802 を追加すると、元の 50Ω 入力インピーダンスの TI 設計が高入力インピーダンスの DAQ 信号チェーンに変換されます。BUF802 + TIDA-01022 の概略回路図を、図 8-6 に示します。

8.2.2.2 アプリケーション曲線



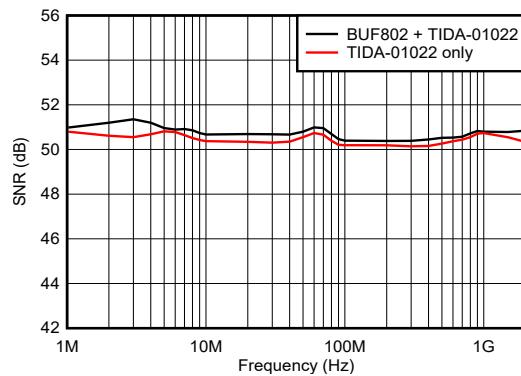


図 8-9. 信号対雑音比 (SNR) と周波数との関係

8.3 電源に関する推奨事項

BUF802 は $\pm 4.5V$ ~ $\pm 6.5V$ の範囲の電源で動作するよう設計されています。BUF802 は単一側電源と分割電源のどちらでも動作します。分割電源を使用する場合、電源は GND を中心に対称的に平衡配置または非対称的に配置されます。最高の AC 性能を得るには、入力信号と出力信号の中心を中電圧に合わせます。

電源ピンとデカップリング コンデンサとの距離を最小化します。高周波コンデンサ ($< 0.1\mu F$) は電源ピンの近くに配置し、BUF802 として PCB 上と同じ側に配置します。より大きなコンデンサ ($> 1\mu F$) をデバイスから離して配置します。セクション 8.4 では、デカップリング コンデンサのレイアウトと配線についてさらに詳細に説明しています。

BUF802 には、2 組の電源ピンがあります：

- V_{S+} および V_{S-}
- V_{SO+} および V_{SO-}

入力段と出力段の電源ピンを分離することで、スプリアス クロストークが最小化され、2 つの段間の過渡デカップリングが最大化されます。セクション 7.2 に、両方の電源ピンを双方向ダイオードを介して内部接続する方法を示します。そのため、入力段と出力段の電源ピンは同じ電位に接続します。すべての電源ピンについて、個別のデカップリング コンデンサを配置します。セクション 8.4 も参照してください。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

BUF802 を使用して最適な性能を実現するには、基板レイアウトの寄生素子と受動部品の選択に細心の注意を払う必要があります。次について考えます。

- **S21 伝達関数でのピーキング:** BUF802 の S21 伝達関数でのピーキングを防ぐために、パターン長を最小限に抑えることが最も重要です。パターンのインダクタンスは、BUF802 の入力容量との共振回路を形成し、S21 応答でピーキングを引き起こす可能性があります。DC ブロッキング コンデンサと直列に小さな抵抗 (図 8-10 の R5) を追加して、BUF802 のパターン インダクタンスと入力容量に起因する LC 共振を減衰させます。総インダクタンスを最小化するため、等価直列インダクタンス (ESL) が低い直列コンデンサ (図 8-10 の C7) を選択します。
- **電源バイパス コンデンサ:** 電源バイパスコンデンサは、電源ピンにできる限り近づけて配置し、BUF802 として PCB と同じ面に取り付けます。図 8-10 に示すように、BUF802 とバイパスコンデンサ間の高周波インピーダンスを最小限に抑えるため、低インダクタンス LICC コンデンサ (C5, C6, C13, C10) を選択します。バイパスコンデンサと GND との間に複数のビアを使用して、直列インダクタンスを低減します。図 8-10 に示すように、 50Ω の入力終端抵抗 (R3) に複数のビアを GND にも接続します。バイパスビアと終端ビアをソリッドな GND プレーンに接続します。
- **高精度の信号路:** 高精度オペアンプと個別部品で構成されており、信号路を調整および移動することで、前の 2 つのポイントが優先されます。図 8-12 では、高精度部品を PCB の反対側に、BUF802 として配置しています。
- **サーマル パッド:** 热伝導性はあるものの、ダイに対する電気的絶縁されています。この構成により、回路設計者はサーマル パッドを任意の電圧に柔軟に接続できます。効果的な放熱のために、熱質量が最大の電源プレーンまたはグランド プレーンを選択します。

8.4.2 レイアウト例

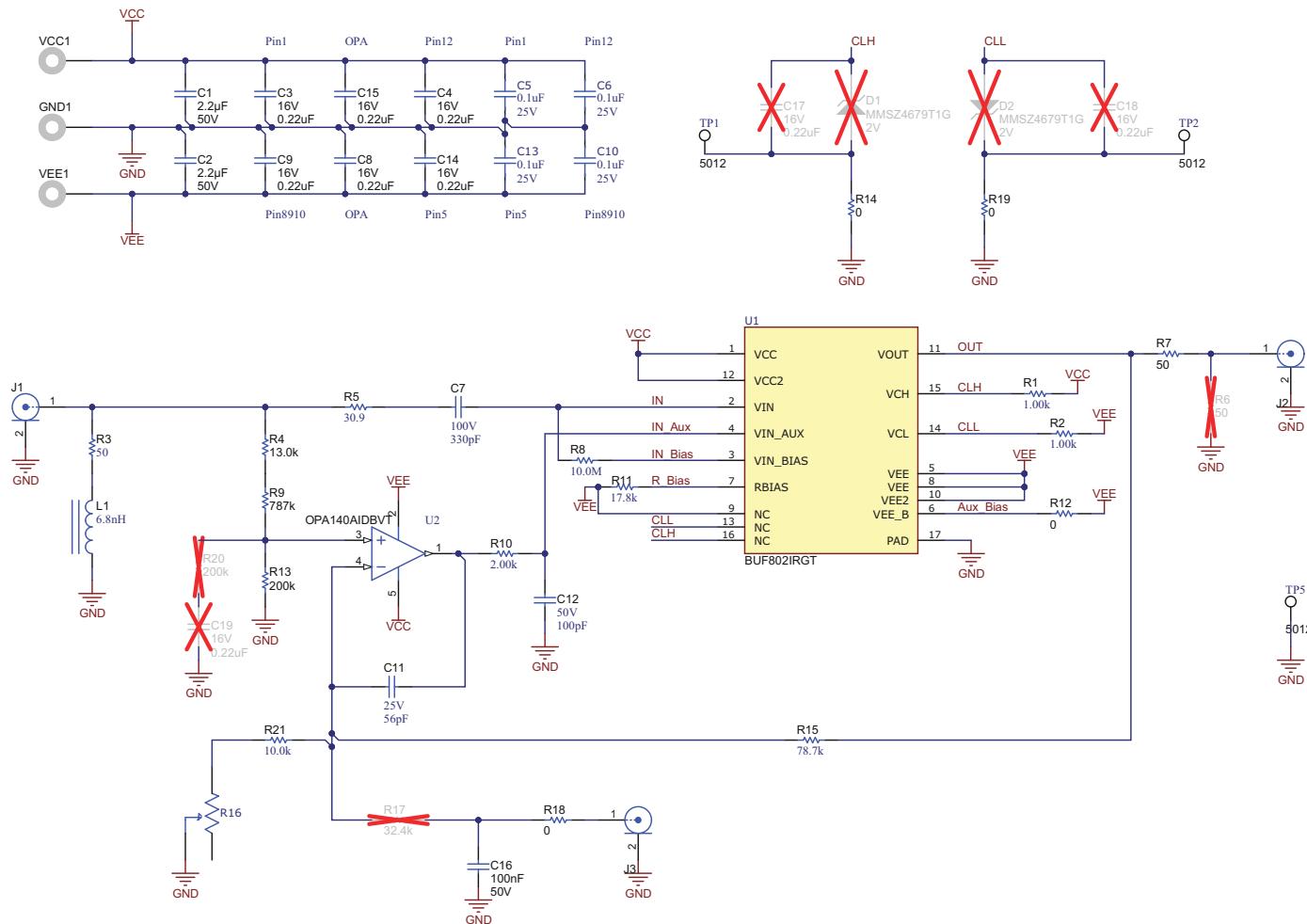
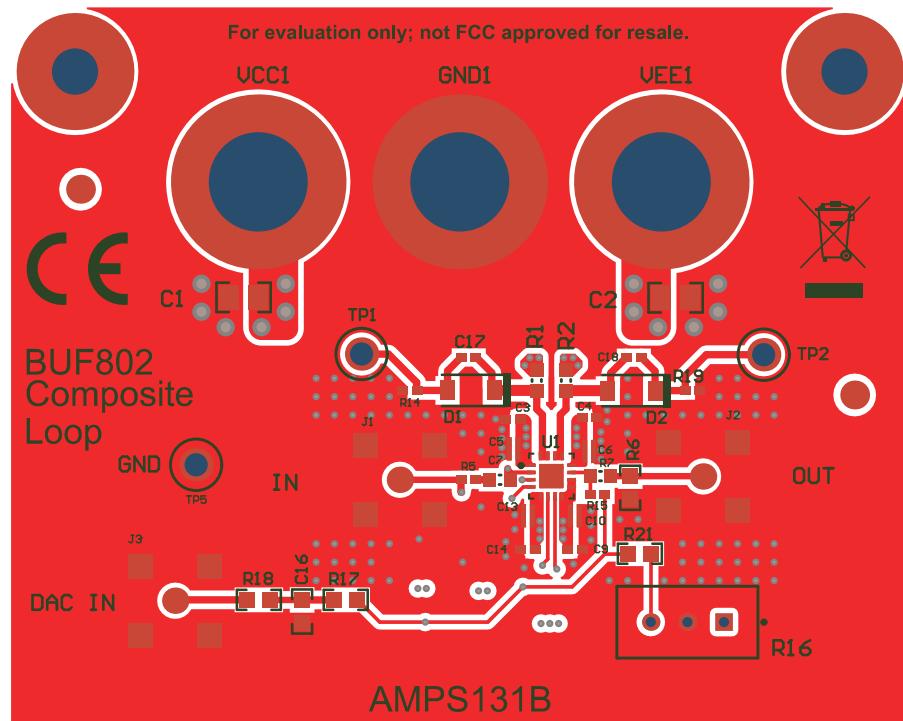


図 8-10. レイアウト例：レイアウト リファレンスの回路図



9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、[DSO、レーダー、5G ワイヤレス テスト システム向けのフレキシブルな 3.2GSPS マルチチャネル AFE のリファレンス デザイン](#)

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお勧めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision C (March 2022) to Revision D (July 2025)	Page
・ 「絶対最大定格」から、電源のターンオンおよびターンオフの dV/dT の最大値を削除.....	4
・ 両方の 電気的特性で電流ノイズの単位を pA/\sqrt{Hz} から fA/\sqrt{Hz} に変更.....	5
・ V_{CLH} および V_{CLL} をシンボル列に移動し、テキストを明確にするため拡張.....	5
・ G_{AUX} から全温度範囲のデータを削除.....	5
・ 明確化のため、 G_{AUX} パラメータ名で「to」を「/」に変更.....	5
・ 低周波数領域の G_{AUX} に新しい行を追加.....	5
・ G_{AUX} にクロスオーバー テキストを追加.....	5
・ 明確化のため、 In_{Aux} 入力電圧にテスト条件を追加.....	5
・ V_{OUT}/In_{Aux} 帯域幅に G_{AUX} BW シンボルを追加.....	5
・ 明確化のため、 G_{AUX} BW を比率に更新.....	5
・ 動作電圧を推奨動作条件に移動.....	5

• 「代表的特性」の電圧ノイズおよび電流ノイズ密度と周波数との関係のプロットを更新.....	8
• 「代表的特性」の電流ノイズ密度と周波数との関係のプロット単位を変更.....	8
• 詳細な設計手順を更新してポールの周波数をより正確に反映し、電気的特性の以下の G 値を使用: 広帯域幅モード、および CF 値を明確化.....	24

Changes from Revision B (February 2022) to Revision C (March 2022)	Page
• DC ゲインの仕様を緩和.....	5
• DC ゲインの仕様を緩和.....	7

Changes from Revision A (December 2021) to Revision B (February 2022)	Page
• 「アプリケーションと実装」セクションを更新.....	26

Changes from Revision * (June 2021) to Revision A (December 2021)	Page
• データシートのステータスを以下のように変更: 「詳細情報」から次に変更: 「量産データ」.....	1

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
BUF802IRGTR	Active	Production	VQFN (RGT) 16	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	BUF802
BUF802IRGTR.B	Active	Production	VQFN (RGT) 16	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	BUF802

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

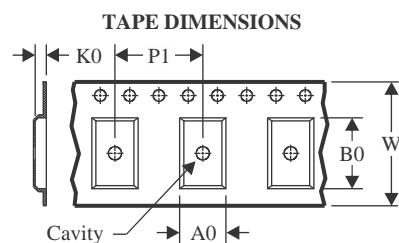
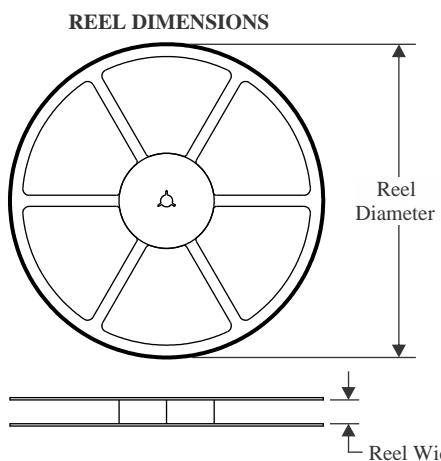
⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

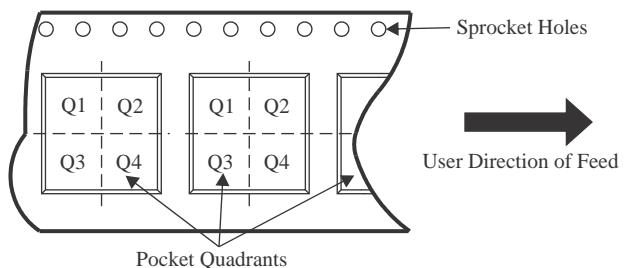
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

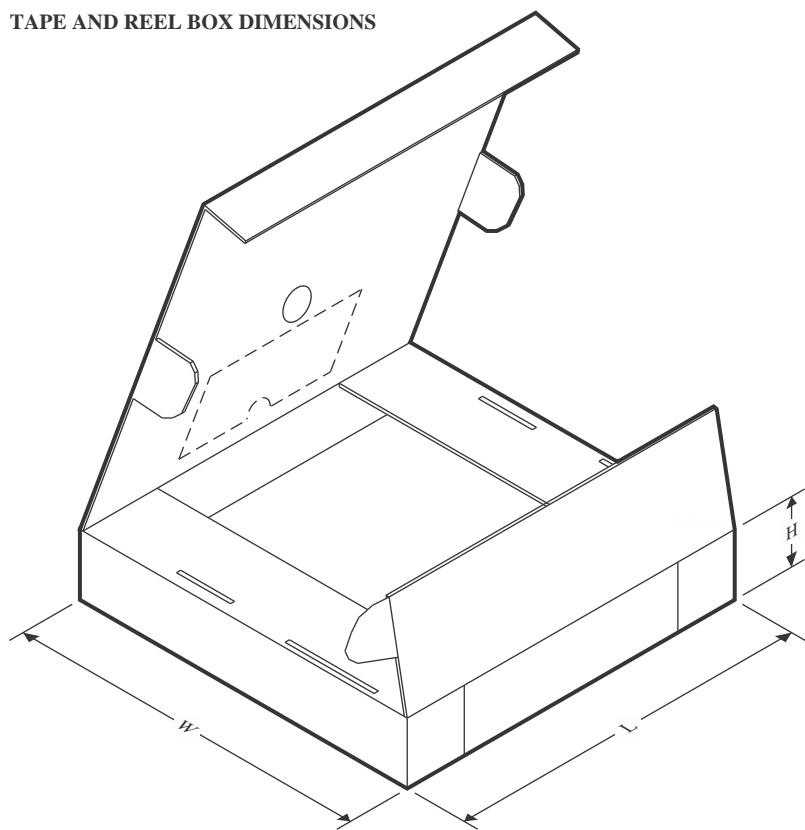
TAPE AND REEL INFORMATION


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
BUF802IRGTR	VQFN	RGT	16	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

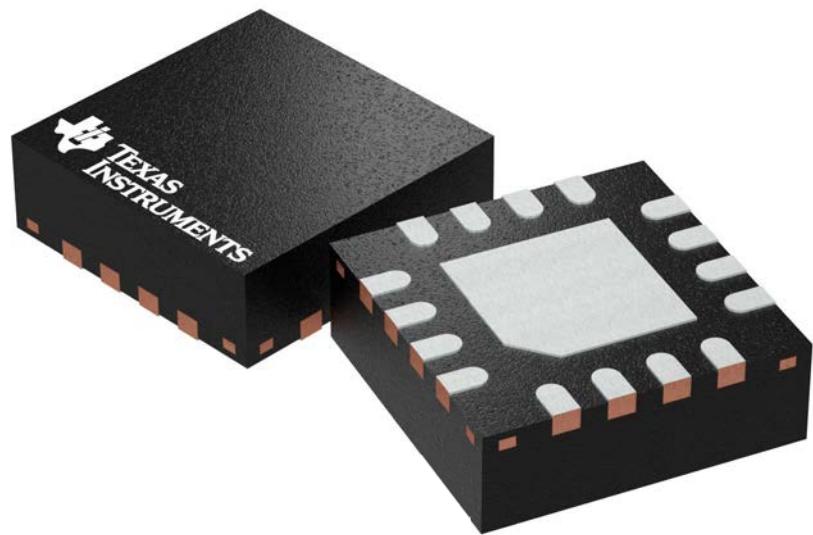
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
BUF802IRGTR	VQFN	RG	16	3000	367.0	367.0	35.0

GENERIC PACKAGE VIEW

RGT 16

VQFN - 1 mm max height

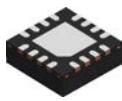
PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4203495/I

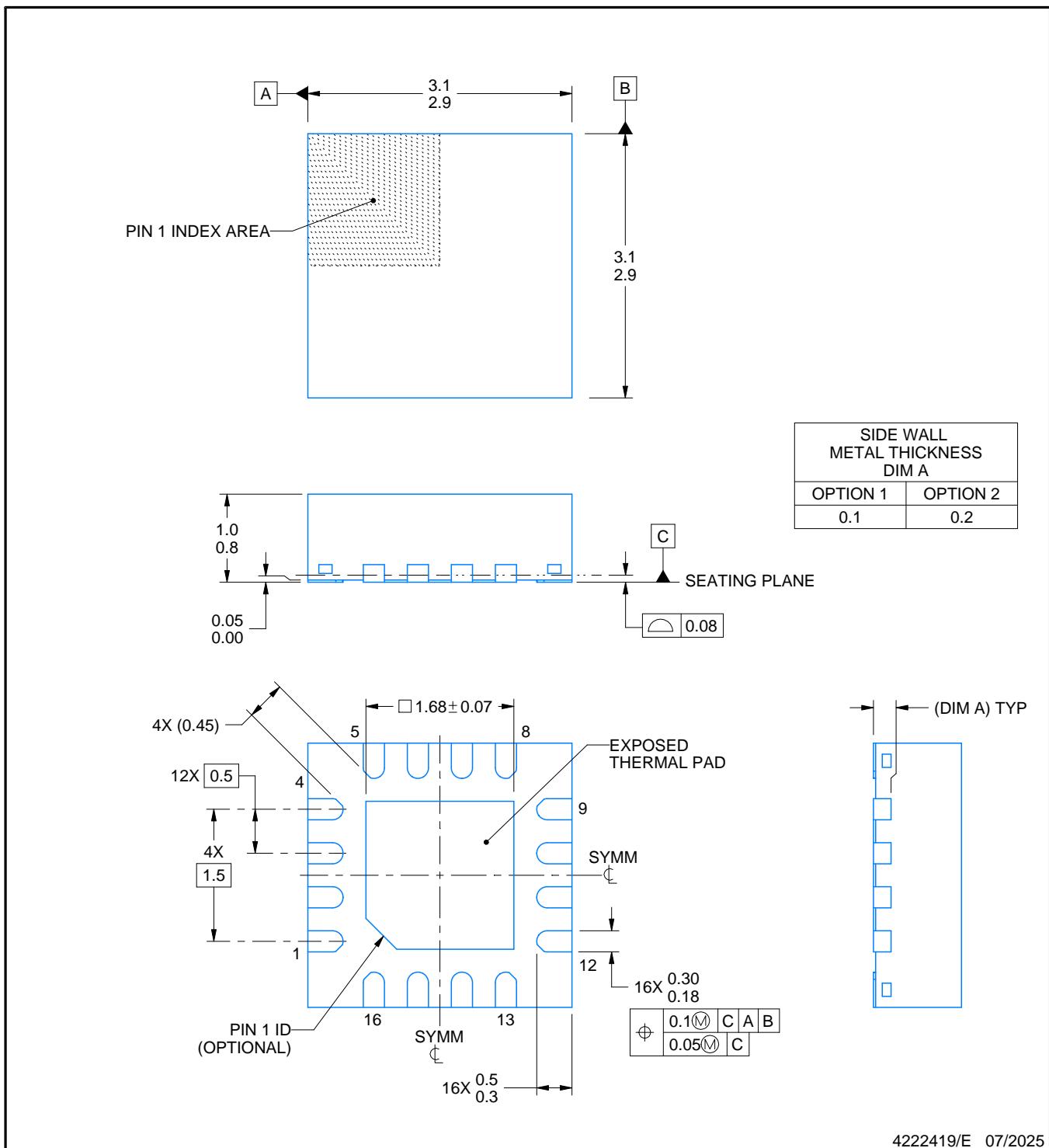
RGT0016C



PACKAGE OUTLINE

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



4222419/E 07/2025

NOTES:

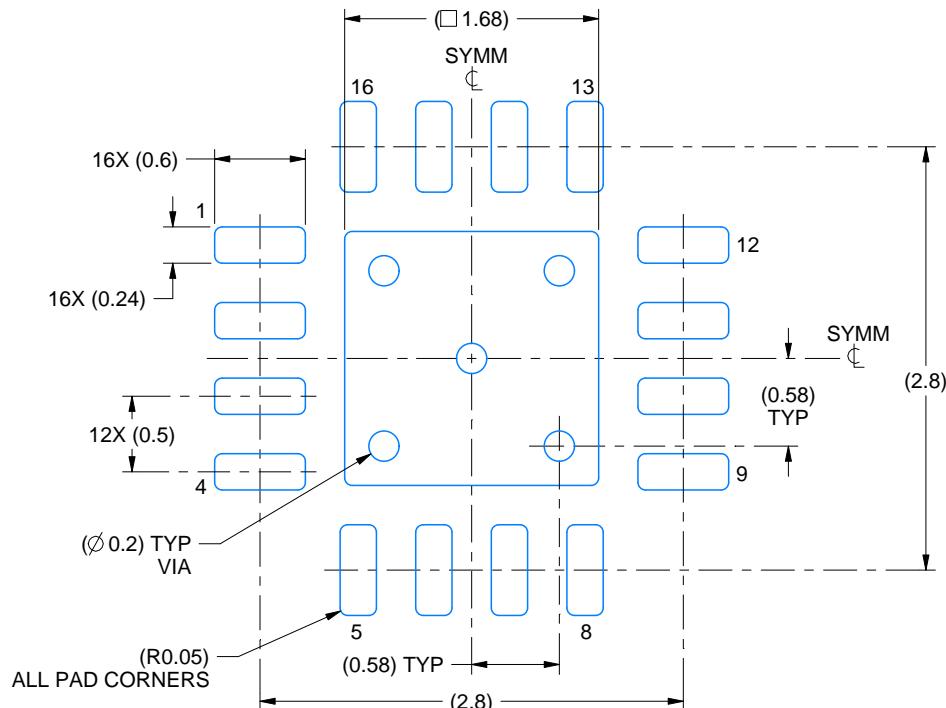
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

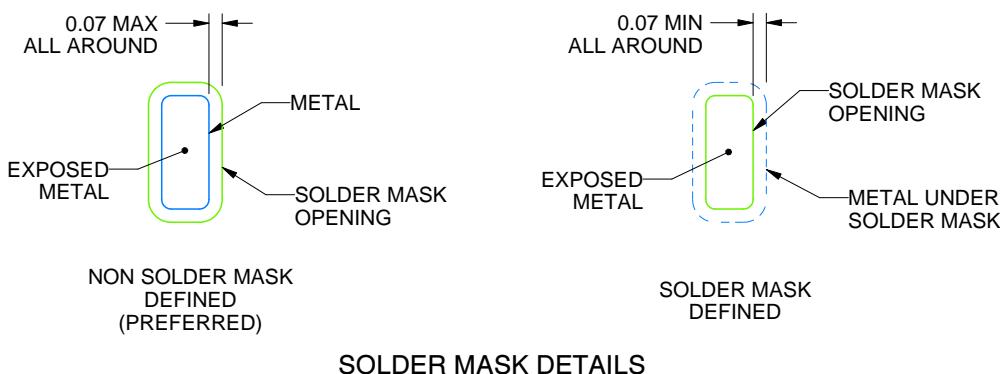
RGT0016C

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X



4222419/E 07/2025

NOTES: (continued)

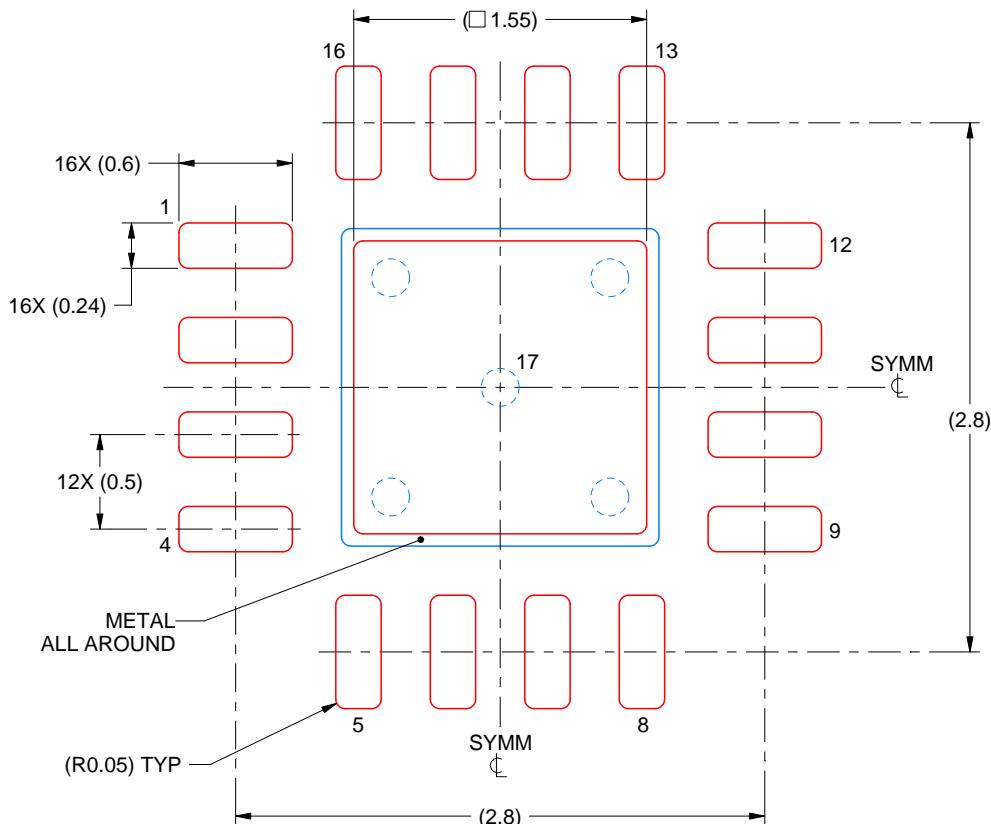
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
 5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RGT0016C

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 17:
85% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4222419/E 07/2025

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月