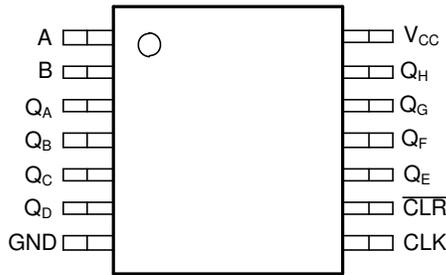


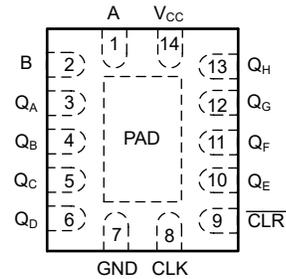
目次

1 特長.....	1	7.2 代表的なアプリケーション.....	11
2 概要.....	1	7.3 電源に関する推奨事項.....	13
3 ピン構成および機能.....	3	7.4 レイアウト.....	14
4 仕様.....	4	8 デバイスおよびドキュメントのサポート.....	16
4.1 絶対最大定格.....	4	8.1 ドキュメントのサポート.....	16
4.2 ESD 定格.....	4	8.2 ドキュメントの更新通知を受け取る方法.....	16
4.3 推奨動作条件.....	4	8.3 サポート・リソース.....	16
4.4 熱に関する情報.....	4	8.4 商標.....	16
4.5 DC の電氣的仕様.....	5	8.5 静電気放電に関する注意事項.....	16
4.6 スイッチング機能の前提条件.....	6	8.6 用語集.....	16
4.7 スイッチング仕様.....	7	9 デバイスおよびドキュメントのサポート.....	17
5 パラメータ測定情報.....	8	9.1 ドキュメントのサポート (アナログ).....	17
6 詳細説明.....	9	9.2 ドキュメントの更新通知を受け取る方法.....	17
6.1 概要.....	9	9.3 サポート・リソース.....	17
6.2 機能ブロック図.....	9	9.4 商標.....	17
6.3 機能説明.....	9	9.5 静電気放電に関する注意事項.....	17
6.4 デバイスの機能モード.....	10	9.6 用語集.....	17
7 アプリケーションと実装.....	11	10 改訂履歴.....	17
7.1 アプリケーション情報.....	11	11 メカニカル、パッケージ、および注文情報.....	18

3 ピン構成および機能



**図 3-1. CD54AC(T)164 J パッケージ、14 ピン CDIP、
 CD74AC(T)164 D、N、または PW パッケージ、14 ピン
 SOIC、PDIP、または TSSOP (上面図)**



**図 3-2. CD74AC(T)164 BQA パッケージ、14 ピン
 WQFN (上面図)**

表 3-1. ピンの機能

ピン		種類 1	説明
名称	番号		
A	1	I	ゲート付きシリアル入力 A
B	2	I	ゲート付きシリアル入力 B
Q _A	3	O	パラレル出力 A
Q _B	4	O	パラレル出力 B
Q _C	5	O	パラレル出力 C
Q _D	6	O	パラレル出力 D
GND	7	G	グラウンド
CLK	8	I	クロック、立ち上がりエッジトリガ
CLR	9	I	シフトレジスタ クリア入力、アクティブ LOW
Q _E	10	O	パラレル出力 E
Q _F	11	O	パラレル出力 F
Q _G	12	O	パラレル出力 G
Q _H	13	O	パラレル出力 H
V _{CC}	14	P	正電源
放熱パッド 2		—	サーマル パッドは GND に接続するか、フローティングのままにすることができます。他の信号や電源には接続しないでください。

1. 信号タイプ: I = 入力、O = 出力、P = 電源、G = グラウンド。
2. BQA パッケージのみ。

4 仕様

4.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

			最小値	最大値	単位
V _{CC}	DC 電源電圧		-0.5	6	V
I _{IK}	DC 入力ダイオード電流	(V _I < -0.5V または V _I > V _{CC} + 0.5V)		±20	mA
I _{OK}	DC 出力ダイオード電流	(V _O < -0.5V または V _O > V _{CC} + 0.5V)		±50	mA
I _O	出力ピンごとの DC 出力ソースまたはシンク電流	(V _O > -0.5V または V _O < V _{CC} + 0.5V)		±50	mA
I _{CC} または I _{GND} ⁽²⁾	DC V _{CC} またはグラウンド電流			±100	mA

(1) 「絶対最大定格」に記載のストレスを上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これは、ストレス定格のみを示すものであり、これらの条件やこの仕様の動作条件に示された値を超える他の条件で、本デバイスが機能することを意味するものではありません。

(2) デバイスごとに最大 4 つの出力に対して、出力を追加するごとに ±25mA を追加します。

4.2 ESD 定格

		値	単位
V _(ESD)	静電放電 人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±2000	V

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

4.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	最大値	単位
T _A	温度範囲		-55	125	°C
V _{CC} ⁽¹⁾	電源電圧範囲				
	AC のタイプ		1.5	5.5	V
	ACT のタイプ		4.5	5.5	V
V _I , V _O	DC 入力電圧または出力電圧		0	V _{CC}	V
dt/dv	入力の立ち上がりおよび立ち下がりスルーレート				
	AC のタイプ	1.5V~3V		50	ns
	AC のタイプ	3.6V~5.5V		20	ns
	ACT のタイプ	4.5V~5.5V		10	ns

(1) 特に記述のない限り、すべての電圧はグラウンドを基準とします。

4.4 熱に関する情報

熱評価基準 ⁽¹⁾	CD74AC(T)164				単位	
	BQA (WQFN)	D (SOIC)	N (PDIP)	PW (TSSOP)		
	14 ピン	14 ピン	14 ピン	14 ピン		
R _{θJA}	接合部から周囲への熱抵抗	105.3	106.6	90	148.0	°C/W

(1) θ_{JA} は、評価プリント基板に搭載された部品を使用して自由気流で測定されます。

4.5 DC の電氣的仕様

パラメータ		テスト条件		V _{CC} (V)	25°C		-40°C~85°C		-55°C~125°C		単位
		V _I (V)	I _O (mA)		最小値	最大値	最小値	最大値	最小値	最大値	
AC タイプ											
V _{IH}	High レベル入力電圧	-	-	1.5	1.2	-	1.2	-	1.2	-	V
				3	2.1	-	2.1	-	2.1	-	V
				5.5	3.85	-	3.85	-	3.85	-	V
V _{IL}	Low レベル入力電圧	-	-	1.5	-	0.3	-	0.3	-	0.3	V
				3	-	0.9	-	0.9	-	0.9	V
				5.5	-	1.65	-	1.65	-	1.65	V
V _{OH}	High レベル出力電圧	V _{IH} または V _{IL}	-0.05	1.5	1.4	-	1.4	-	1.4	-	V
			-0.05	3	2.9	-	2.9	-	2.9	-	V
			-0.05	4.5	4.4	-	4.4	-	4.4	-	V
			-4	3	2.58	-	2.48	-	2.4	-	V
			-24	4.5	3.94	-	3.8	-	3.7	-	V
			-75 (1) (2)	5.5	-	-	3.85	-	-	-	V
			-50 (1) (2)	5.5	-	-	-	-	3.85	-	V
V _{OL}	Low レベル出力電圧	V _{IH} または V _{IL}	0.05	1.5	-	0.1	-	0.1	-	0.1	V
			0.05	3	-	0.1	-	0.1	-	0.1	V
			0.05	4.5	-	0.1	-	0.1	-	0.1	V
			12	3	-	0.36	-	0.44	-	0.5	V
			24	4.5	-	0.36	-	0.44	-	0.5	V
			75 (1) (2)	5.5	-	-	-	1.65	-	-	V
			50 (1) (2)	5.5	-	-	-	-	-	1.65	V
I _I	入力リーク電流	V _{CC} または GND	-	5.5	-	±0.1	-	±1	-	±1	μA
I _{CC}	静止電源電流 MSI	V _{CC} または GND	0	5.5	-	8	-	80	-	160	μA
ACT タイプ											
V _{IH}	High レベル入力電圧	-	-	4.5~5.5	2	-	2	-	2	-	V
V _{IL}	Low レベル入力電圧	-	-	4.5~5.5	-	0.8	-	0.8	-	0.8	V
V _{OH}	High レベル出力電圧	V _{IH} または V _{IL}	-0.05	4.5	4.4	-	4.4	-	4.4	-	V
			-24	4.5	3.94	-	3.8	-	3.7	-	V
			-75 (1) (2)	5.5	-	-	3.85	-	-	-	V
			-50 (1) (2)	5.5	-	-	-	-	3.85	-	V
V _{OL}	Low レベル出力電圧	V _{IH} または V _{IL}	0.05	4.5	-	0.1	-	0.1	-	0.1	V
			24	4.5	-	0.36	-	0.44	-	0.5	V
			75 (1) (2)	5.5	-	-	-	1.65	-	-	V
			50 (1) (2)	5.5	-	-	-	-	-	1.65	V
I _I	入力リーク電流	V _{CC} または GND	-	5.5	-	±0.1	-	±1	-	±1	μA
I _{CC}	静止電源電流 MSI	V _{CC} または GND	0	5.5	-	8	-	80	-	160	μA

パラメータ	テスト条件		V _{CC} (V)	25°C		-40°C~85°C		-55°C~125°C		単位	
	V _I (V)	I _O (mA)		最小値	最大値	最小値	最大値	最小値	最大値		
ΔI _{CC}	入力ピンごとの追加電源電流 TTL 入力が High 1 単位負荷	V _{CC} -2.1	-	4.5~5.5	-	2.4	-	2.8	-	3	mA

- 一度に 1 つの出力をテストし、持続時間が 1 秒を超えないようにします。測定は、電流を強制的に供給し、電圧を測定して消費電力を最小限に抑えます。
- このテストでは、85°C で 50Ω、125°C で 75Ω の最低伝送ライン駆動能力を検証します。

表 4-1. ACT 入力負荷表

入力	単位負荷
A, B	0.5
CLR	0.74
CLK	0.71

単位負荷は、DC 電氣的特性表に規定されている ΔI_{CC} 制限値 (たとえば 25°C で最大 2.4mA) です。

4.6 スイッチング機能の前提条件

パラメータ	V _{CC} (V)	-40°C~85°C		-55°C~125°C		単位
		最小値	最大値	最小値	最大値	
AC タイプ						
f _{MAX} 最大クロック周波数	1.5	7	-	6	-	MHz
	3.3 ⁽¹⁾	62	-	54	-	MHz
	5 ⁽²⁾	86	-	75	-	MHz
t _W MR パルス幅	1.5	49	-	56	-	ns
	3.3	5.5	-	6.3	-	ns
	5	3.9	-	4.5	-	ns
t _W CP パルス幅	1.5	73	-	84	-	ns
	3.3	8.2	-	9.4	-	ns
	5	5.9	-	6.7	-	ns
t _{SU} セットアップ時間	1.5	27	-	31	-	ns
	3.3	3.1	-	3.5	-	ns
	5	2.2	-	2.5	-	ns
t _H ホールド時間	1.5	27	-	31	-	ns
	3.3	3.1	-	3.5	-	ns
	5	2.2	-	2.5	-	ns
t _{REM} MR から CP までの削除時間	1.5	1	-	1	-	ns
	3.3	1	-	1	-	ns
	5	1	-	1	-	ns
ACT タイプ						
f _{MAX} 最大クロック周波数	5 ⁽²⁾	80	-	70	-	MHz
t _W MR パルス幅	5	3.9	-	4.5	-	ns
t _W CP パルス幅	5	6.2	-	7.1	-	ns
t _{SU} セットアップ時間	5	2.2	-	2.5	-	ns
t _H ホールド時間	5	2.6	-	3	-	ns
t _{REM} MR から CP までの削除時間	5	0	-	0	-	ns

- 9.3.6V で最小 3.3V、3V で最大。
- 10.5.5V で最小 5V、4.5V で最大。

4.7 スイッチング仕様

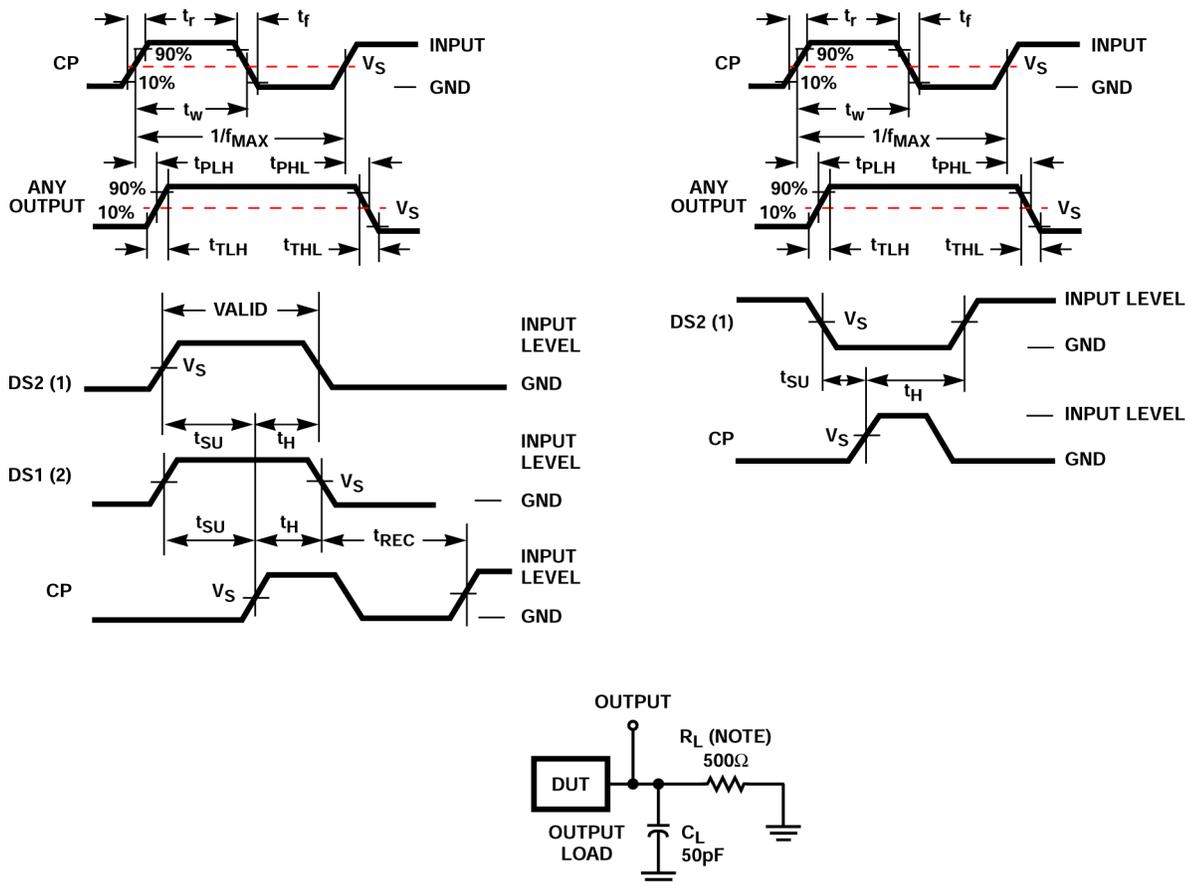
入力 t_r , $t_f = 3\text{ns}$, $C_L = 50\text{pF}$ (ワースト ケース)

パラメータ	V _{CC} (V)	-40°C~85°C			-55°C~125°C			単位
		最小値	標準値	最大値	最小値	標準値	最大値	
AC タイプ								
t _{PLH} , t _{PHL} 伝搬遅延、CP から Qn まで	1.5	-	-	143	-	-	157	ns
	3.3 ⁽¹⁾	4.5	-	15.9	4.4	-	17.5	ns
	5 ⁽²⁾	3.2	-	11.4	3.1	-	12.5	ns
t _{PLH} , t _{PHL} 伝搬遅延、MR から Qn まで	1.5	-	-	158	-	-	174	ns
	3.3	5	-	17.7	4.9	-	19.5	ns
	5	3.6	-	12.6	3.5	-	13.9	ns
C _I 入力容量	-	-	-	10	-	-	10	pF
C _{PD} ⁽³⁾ 電力散逸容量	-	-	150	-	-	150	-	pF
ACT タイプ								
t _{PLH} , t _{PHL} 伝搬遅延、CP から Qn まで	5 ⁽²⁾	3.8	-	13.5	3.7	-	14.9	ns
t _{PLH} , t _{PHL} 伝搬遅延、MR から Qn まで	5	4.1	-	14.4	4	-	15.8	ns
C _I 入力容量	-	-	-	10	-	-	10	pF
C _{PD} ⁽³⁾ 電力散逸容量	-	-	150	-	-	150	-	pF

- (1) 3.6V で最小 3.3V、3V で最大。
 (2) 5.5V で最小 5V、4.5V で最大。
 (3) C_{PD} を使用して、デバイスごとの動的な消費電力を決定します。

5 パラメータ測定情報

負荷回路および電圧波形



AC シリーズ専用: VCC = 1.5V の場合、RL = 1kΩ。AC シリーズ専用: VCC = 1.5V の場合、RL = 1kΩ。AC シリーズ専用: VCC = 1.5V の場合、RL = 1kΩ。

図 5-1. 伝搬遅延時間

表 5-1. 伝搬遅延時間

	AC	ACT
入力レベル	V _{CC}	3 V
入力スイッチング電圧、V _S	0.5V _{CC}	1.5 V
出力スイッチング電圧、V _S	0.5V _{CC}	0.5V _{CC}

6 詳細説明

6.1 概要

CDx4AC(T)164 は 8 ビット シフトレジスタであり、2 つのシリアル入力 (A および B) が AND ゲート経由で接続され、非同期クリア (CLR) も備えています。このデバイスでは、入力データラインを HIGH に設定するためには、A および B の両方に HIGH 信号が必要です。どちらかの入力に LOW 信号が印加されると、入力データラインは LOW に設定されます。A および B のデータは、CLK が HIGH または LOW の間に変更できます (最小セットアップ時間要件が満たされている場合)。

CDx4AC(T)164 の CLK ピンは、立ち上がりエッジトリガであり、LOW から HIGH への遷移でアクティブになります。立ち上がりエッジトリガが発生すると、(A • B) 入力データラインの結果が最初のレジスタに保存され、各レジスタのデータが次のレジスタに伝搬されます。最後のレジスタ Q_H のデータは、クロックトリガごとに破棄されます。CLR ピンに Low 信号が印加されると、CDx4AC(T)164 は、直ちにすべてのレジスタを論理 LOW 値に設定します。

6.2 機能ブロック図

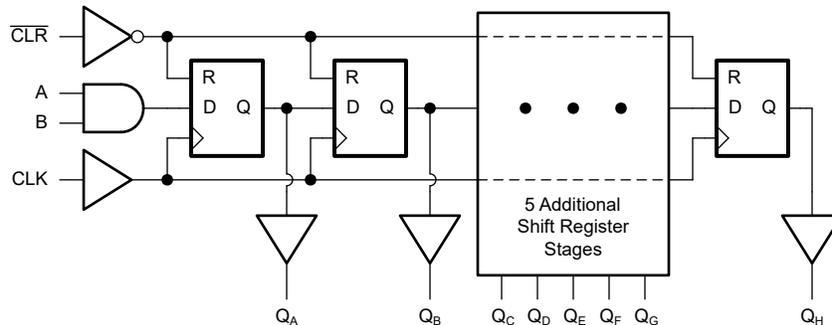


図 6-1. CDx4AC(T)164 の論理図 (正論理)

6.3 機能説明

6.3.1 標準 CMOS 入力

このデバイスには、標準 CMOS 入力 が搭載されています。標準 CMOS 入力は高インピーダンスであり、通常は電気的特性に示されている入力容量と並列の抵抗としてモデル化されます。ワースト ケースの抵抗は、「絶対最大定格」に示されている最大入力電圧と、「電気的特性」に示されている最大入力リーク電流からオームの法則 ($R = V \div I$) を使用して計算されます。

標準 CMOS 入力では、「推奨動作条件」表の入力遷移時間またはレートで定義されるように、有効なロジック状態間で入力信号を迅速に遷移させる必要があります。この仕様を満たさないと、消費電力が過剰になり、発振の原因となる可能性があります。詳細については、『低速またはフローティング CMOS 入力の影響』を参照してください。

動作中は、標準 CMOS 入力をフローティングのままにしないでください。未使用の入力は、V_{CC} または GND に終端させる必要があります。システムが入力を常にアクティブに駆動している訳ではない場合、システムが入力をアクティブに駆動していないときに有効な入力電圧を与えるため、プルアップまたはプルダウン抵抗を追加できます。抵抗値は複数の要因で決まりますが、10kΩ の抵抗を推奨します。通常はこれですべての要件を満たします。

6.3.2 TTL 互換 CMOS 入力

このデバイスには、TTL 互換の CMOS 入力 が搭載されています。これらの入力は、入力電圧スレッショルドを下げることで TTL ロジック デバイスと接続するように特に設計されています。

TTL 互換 CMOS 入力は高インピーダンスであり、通常は「電気的特性」に示されている入力容量と並列の抵抗としてモデル化されます。ワースト ケースの抵抗は、「絶対最大定格」に示されている最大入力電圧と、「電気的特性」に示されている最大入力リーク電流からオームの法則 ($R = V \div I$) を使用して計算されます。

TTL 互換 CMOS 入力では、「推奨動作条件」表の入力遷移時間またはレートで定義されるように、有効なロジック状態間で入力信号を迅速に遷移させる必要があります。この仕様を満たさないと、消費電力が過剰になり、発振の原因となる可能性があります。詳細については、『[低速またはフローティング CMOS 入力の影響](#)』アプリケーション レポートを参照してください。

動作中は、TTL 互換 CMOS 入力をフローティングのままにしないでください。未使用の入力は、V_{CC} または GND に終端させる必要があります。システムが常に入力をアクティブに駆動していない場合は、プルアップまたはプルダウン抵抗を追加して、これらの時間中に有効な入力電圧を供給できます。抵抗値は複数の要因によって決まりますが、10kΩ の抵抗を推奨します。通常はこれですべての要件を満たします。

6.4 デバイスの機能モード

表 6-1 に、CDx4AC(T)164 の機能モードを示します。

表 6-1. 機能表

入力 ⁽¹⁾				機能
A	B	CLR	CLK	
X	X	L	X	シフトレジスタがクリアされます。
L	X	H	↑	シフトレジスタの最初のステージが Low になります。他のステージでは、それぞれ前のステージのデータが保存されます。
X	L	H	↑	シフトレジスタの最初のステージが Low になります。他のステージでは、それぞれ前のステージのデータが保存されます。
H	H	H	↑	シフトレジスタの最初のステージが High になります。他のステージでは、それぞれ前のステージのデータが保存されます。

(1) H = High 電圧レベル、L = Low 電圧レベル、X = ドントケア

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

このアプリケーションでは、CDx4AC(T)164 を使用して 7 セグメント ディスプレイを制御します。他の I/O エクスパンダとは異なり、CDx4AC(T)164 では、制御用の通信インターフェイスは必要ありません。シンプルな GPIO ピンで簡単に動作できます。AND ゲートに供給される 2 つのシリアル入力により、追加の制御が可能です。

電源投入時、シフトレジスタの初期状態は不定です。既知の状態にするには、シフトレジスタをクリアする必要があります。図 7-1 に示すように、シフトレジスタをオールゼロに初期化するため、RC 回路を $\overline{\text{CLR}}$ ピンに接続できます。

7.2 代表的なアプリケーション

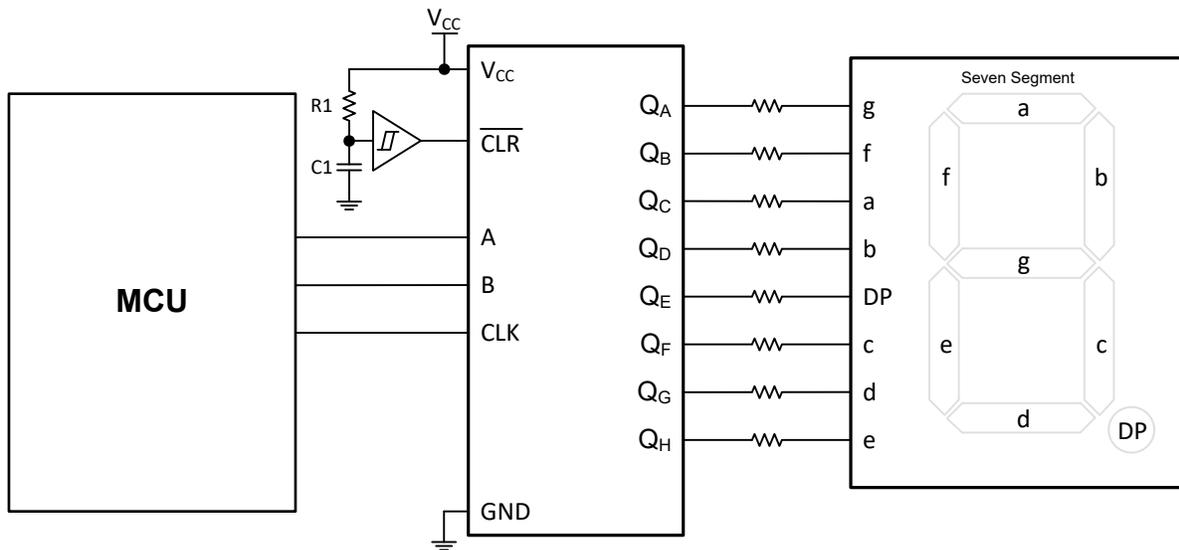


図 7-1. 代表的なアプリケーションのブロック図

7.2.1 設計要件

7.2.1.1 電源に関する考慮事項

目的の電源電圧が「推奨動作条件」で規定されている範囲内であることを確認します。「電気的特性」セクションに記載されているように、電源電圧は本デバイスの電気的特性を決定づけます。

正電圧の電源は、「電気的特性」に記載された静的消費電流 (I_{CC}) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流を供給できる必要があります。

グラウンドは、CDx4AC(T)164 のすべての出力によってシンクされる総電流、「電気的特性」に記載された消費電流 (I_{CC}) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流をシンクできる必要があります。ロジック デバイスは、グラウンド接続にシンクできる電流のみをシンクできます。「絶対最大定格」に記載された GND 総電流の最大値を超えないようにしてください。

CDx4AC(T)164 は、データシートの仕様をすべて満たしつつ、合計容量 50pF 以下の負荷を駆動できます。これより大きな容量性負荷を印加することもできますが、50pF を超えることは推奨しません。

CDx4AC(T)164 は、「電気的特性」表に定義されている出力電圧および電流 (V_{OL}) で、 $R_L \geq V_O / I_O$ で記述される合計抵抗の負荷を駆動できます。High 状態で出力する場合、この式の出力電圧は、測定した出力電圧と V_{CC} ピンの電源電圧の差として定義されます。

総消費電力は、『CMOS の消費電力と Cpd の計算』に記載されている情報を使用して計算できます。

熱上昇は、『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』に記載されている情報を使用して計算できます。

注意

「絶対最大定格」に記載された最大接合部温度 ($T_{J(max)}$) は、本デバイスの損傷を防止するための追加の制限値です。「絶対最大定格」に記載されたすべての制限値を必ず満たすようにしてください。これらの制限値は、デバイスへの損傷を防ぐために規定されています。

7.2.1.2 入力に関する考慮事項

入力信号は、 $V_{IL(max)}$ を超えるとロジック Low と見なされ、 $V_{IH(min)}$ を超えるとロジック High と見なされます。「絶対最大定格」に記載された最大入力電圧範囲を超えないようにしてください。

未使用の入力は、 V_{CC} またはグランドに終端させる必要があります。入力がまったく使われていない場合は、未使用の入力を直接終端させることができます。入力が常時ではなく、時々使用される場合は、プルアップ抵抗かプルダウン抵抗と接続することも可能です。デフォルト状態が High の場合にはプルアップ抵抗、デフォルト状態が Low の場合にはプルダウン抵抗を使用します。コントローラの駆動電流、 $CDx4AC(T)164$ へのリーク電流（「電気的特性」で規定）、および必要な入力遷移レートによって抵抗のサイズが制限されます。こうした要因により $10k\Omega$ の抵抗値がしばしば使用されます。

$CDx4AC(T)164$ は CMOS 入力を備えているため、正しく動作するには、「推奨動作条件」表で定義されているように、入力が素早く遷移する必要があります。入力遷移が遅いと発振が発生し、消費電力の増大やデバイスの信頼性の低下を招くことがあります。

このデバイスの入力の詳細については、「機能説明」セクションを参照してください。

7.2.1.3 出力に関する考慮事項

グランド電圧を使用して、出力 Low 電圧を生成します。出力に電流をシンクすると、「電気的特性」の V_{OL} 仕様で規定されたように出力電圧が上昇します。

未使用の出力はフローティングのままにできます。出力を V_{CC} またはグランドに直接接続しないようにしてください。

本デバイスの出力の詳細については、「機能説明」セクションを参照してください。

7.2.1.4 アプリケーション曲線

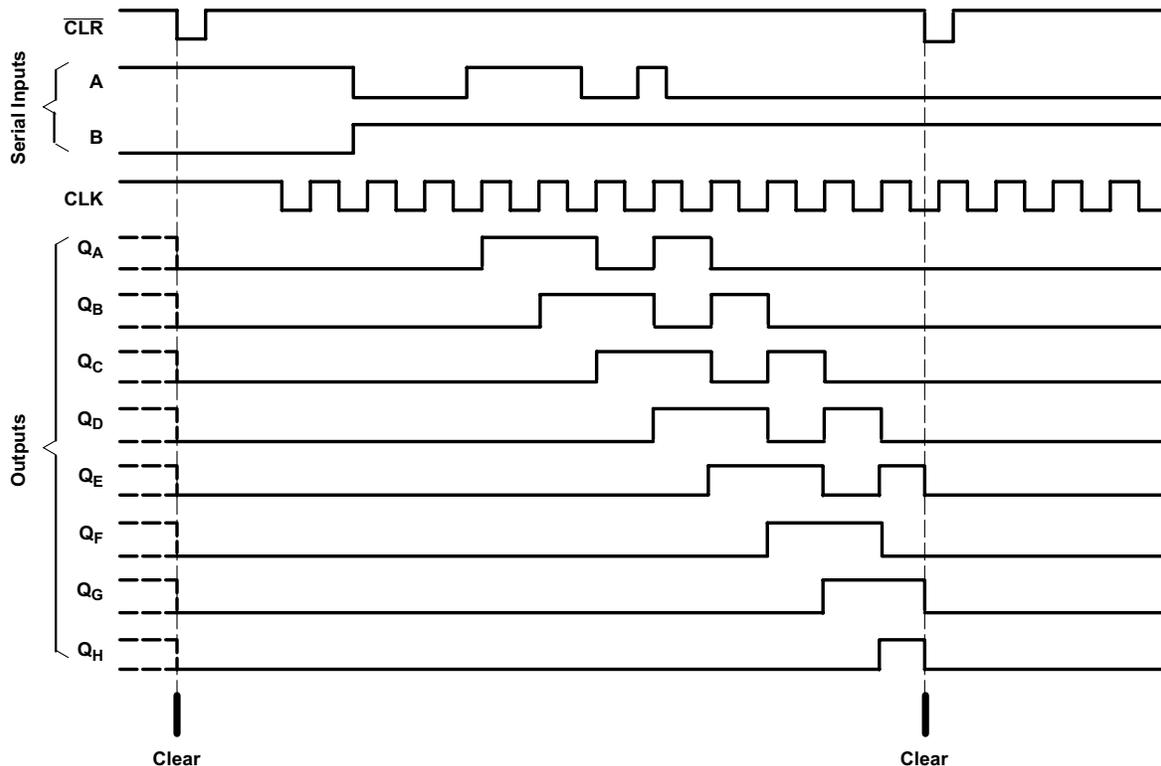


図 7-2. アプリケーション タイミング図

7.3 電源に関する推奨事項

電源には、「推奨動作条件」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。電源の外乱を防止するため、各 V_{CC} 端子に適切なバイパス コンデンサを配置する必要があります。このデバイスには $0.1\mu F$ のコ

ンデンサを推奨します。複数のバイパス コンデンサを並列に配置して、異なる周波数のノイズを除去することが許容されます。一般的に、 $0.1\mu\text{F}$ と $1\mu\text{F}$ のコンデンサは並列に使用されます。バイパス コンデンサを電源端子のできるだけ近くに配置すると最適な結果が得られます。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

- バイパス コンデンサの配置
 - デバイスの正電源端子の近くに配置
 - 電氣的に短いグラント帰還パスを提供
 - インピーダンスを最小化するため、広いパターンを使用
 - 可能な場合はいつでも、ボードの同じ側にデバイス、コンデンサ、パターンを配置
- 信号トレースの形状
 - 8mil~12mil のトレース幅
 - 伝送ラインの影響を最小化する 12cm 未満の長さ
 - 信号トレースの 90° のコーナーは避ける
 - 信号トレースの下に、途切れのないグラント プレーンを使用
 - 信号トレース周辺のフラッド フィル領域
 - 12cm を超えるパターン用
 - インピーダンス制御トレースを使用
 - 出力の近くに直列ダンピング抵抗を使用して、ソース終端
 - 分岐を回避。個別に分岐が必要なバッファ信号

7.4.2 レイアウト例

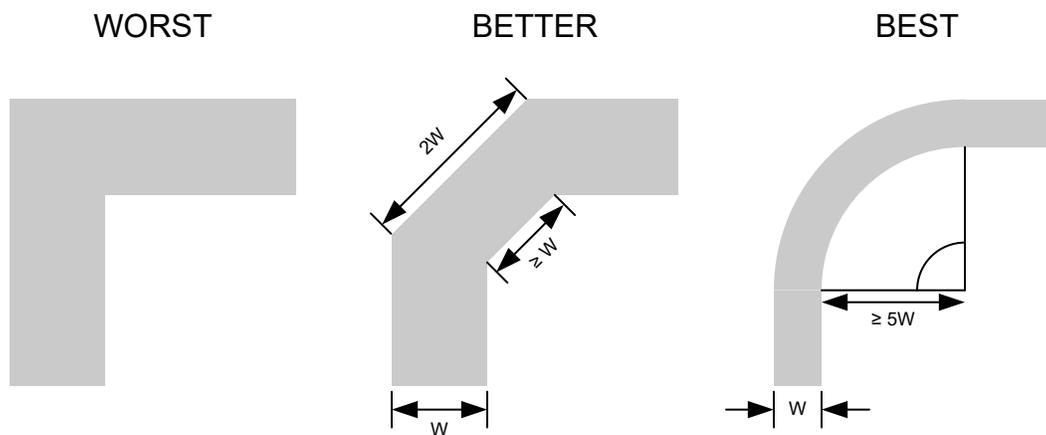


図 7-3. シグナル インテグリティ向上のためのサンプル パターンのコーナー

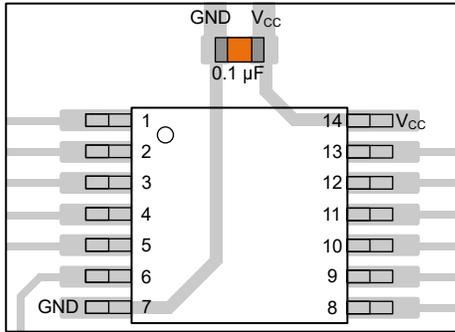


図 7-4. TSSOP や類似のパッケージに対応するバイパス コンデンサの配置例

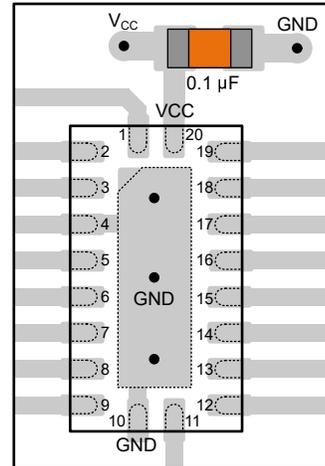


図 7-5. WQFN や類似のパッケージに対応するバイパス コンデンサの配置例

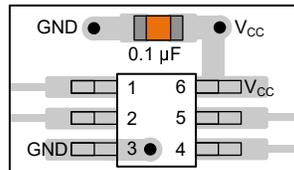


図 7-6. SOT、SC70、および類似のパッケージに対応するバイパス コンデンサの配置例

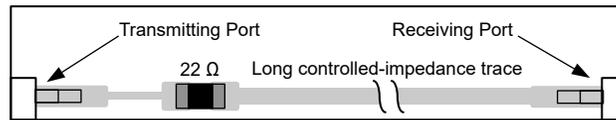


図 7-7. シグナル インテグリティ向上のためのダンピング抵抗の配置例

8 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

8.1 ドキュメントのサポート

8.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『CMOS の消費電力と C_{pd} の計算』アプリケーション・レポート
- テキサス・インスツルメンツ、『ロジックを使用した設計』アプリケーション・レポート
- テキサス・インスツルメンツ、『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』アプリケーション・レポート

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

9.1 ドキュメントのサポート (アナログ)

9.1.1 関連資料

次の表に、クイック アクセス リンクを示します。カテゴリには、技術資料、サポートおよびコミュニティリソース、ツールとソフトウェア、およびサンプル注文またはご購入へのクイック アクセスが含まれます。

表 9-1. 関連リンク

製品	プロダクトフォルダ	サンプルとご購入	技術資料	ツールとソフトウェア	サポートとコミュニティ
CD54AC164	こちらをクリック				
CD74AC164	こちらをクリック				
CD54ACT164	こちらをクリック				
CD74ACT164	こちらをクリック				

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision C (April 2024) to Revision D (October 2024) **Page**

• 製品情報の表、「ピン構成および機能」セクション、および熱に関する情報の表に BQA および PW パッケージを追加	1
• 「機能説明」セクション、「代表的なアプリケーション」セクション、レイアウト例の図を追加.....	1
• データシート全体でピン名称を変更: DS1 → A、DS2 → B、Q0 → Q _A 、Q1 → Q _B 、Q2 → Q _C 、Q3 → Q _D 、CP → CLK、IMR → $\overline{\text{CLR}}$ 、Q4 → Q _E 、Q5 → Q _F 、Q7 → Q _G 、→ Q _H 、→ V _{CC}	1

Changes from Revision B (November 2023) to Revision C (April 2024) **Page**

• R _{θJA} の値を更新: D = 175~106.6、すべての値は°C/W 単位.....	4
--	---

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
CD54AC164F3A	Active	Production	CDIP (J) 14	25 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54AC164F3A
CD54AC164F3A.A	Active	Production	CDIP (J) 14	25 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54AC164F3A
CD54ACT164F3A	Active	Production	CDIP (J) 14	25 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54ACT164F3A
CD54ACT164F3A.A	Active	Production	CDIP (J) 14	25 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54ACT164F3A
CD74AC164BQAR	Active	Production	WQFN (BQA) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	AC164
CD74AC164BQAR.A	Active	Production	WQFN (BQA) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	AC164
CD74AC164E	Active	Production	PDIP (N) 14	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74AC164E
CD74AC164E.A	Active	Production	PDIP (N) 14	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74AC164E
CD74AC164M	Obsolete	Production	SOIC (D) 14	-	-	Call TI	Call TI	-55 to 125	AC164M
CD74AC164M96	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	AC164M
CD74AC164M96.A	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	AC164M
CD74AC164M96G4	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	AC164M
CD74AC164M96G4.A	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	AC164M
CD74AC164PWR	Active	Production	TSSOP (PW) 14	3000 LARGE T&R	Yes	NIPDAU SN	Level-1-260C-UNLIM	-55 to 125	AC164
CD74AC164PWR.A	Active	Production	TSSOP (PW) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	AC164
CD74ACT164BQAR	Active	Production	WQFN (BQA) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	AD164
CD74ACT164BQAR.A	Active	Production	WQFN (BQA) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	AD164
CD74ACT164E	Active	Production	PDIP (N) 14	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74ACT164E
CD74ACT164E.A	Active	Production	PDIP (N) 14	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74ACT164E
CD74ACT164M	Obsolete	Production	SOIC (D) 14	-	-	Call TI	Call TI	-55 to 125	ACT164M
CD74ACT164M96	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	ACT164M
CD74ACT164M96.A	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	ACT164M
CD74ACT164M96G4	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	ACT164M
CD74ACT164M96G4.A	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	ACT164M
CD74ACT164PWR	Active	Production	TSSOP (PW) 14	3000 LARGE T&R	Yes	NIPDAU SN	Level-1-260C-UNLIM	-55 to 125	AD16
CD74ACT164PWR.A	Active	Production	TSSOP (PW) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	AD16

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

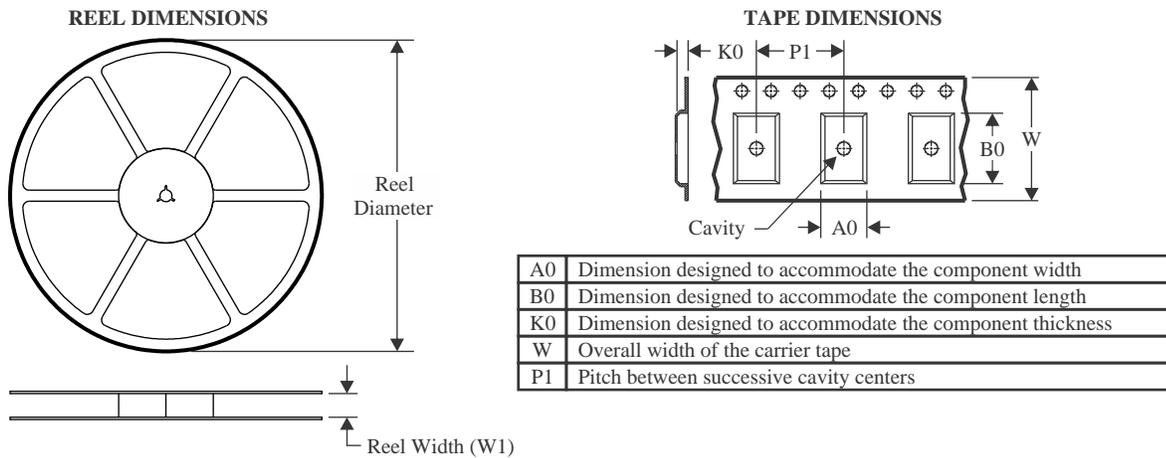
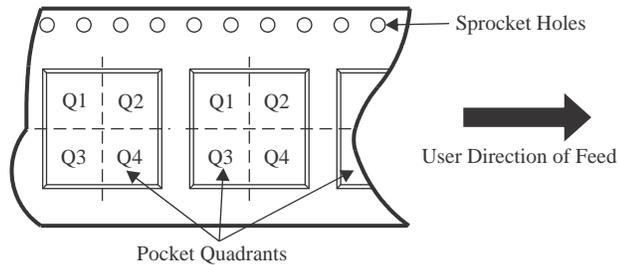
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF CD54AC164, CD54ACT164, CD74AC164, CD74ACT164 :

- Catalog : [CD74AC164](#), [CD74ACT164](#)
- Military : [CD54AC164](#), [CD54ACT164](#)

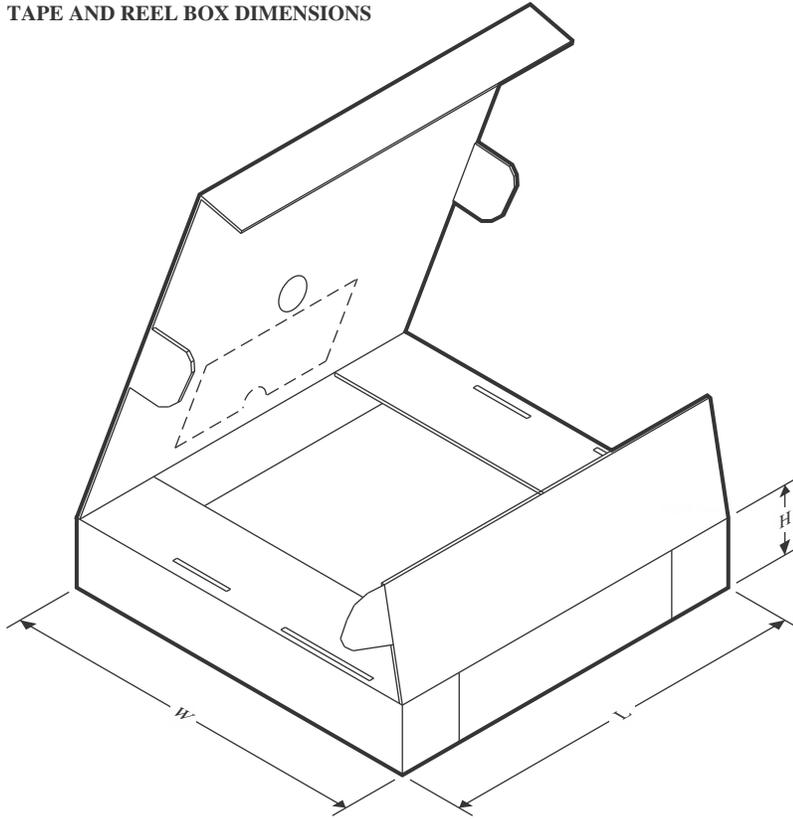
NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


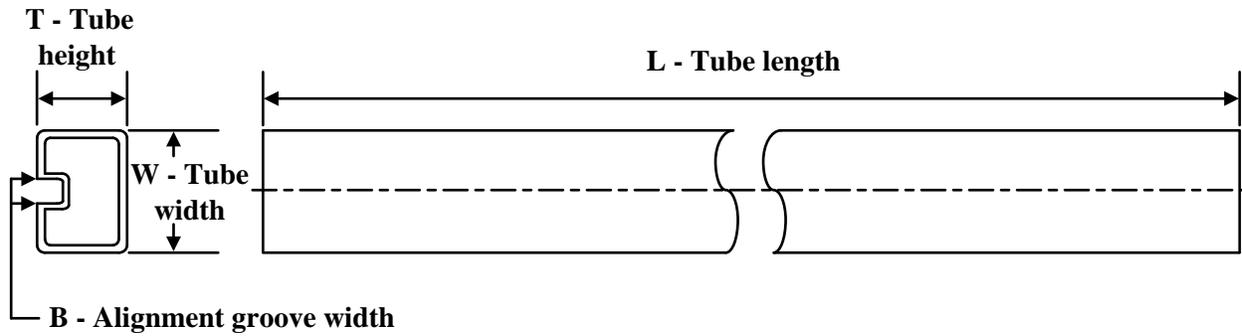
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CD74AC164BQAR	WQFN	BQA	14	3000	180.0	12.4	2.8	3.3	1.1	4.0	12.0	Q1
CD74AC164PWR	TSSOP	PW	14	3000	330.0	12.4	6.85	5.45	1.6	8.0	12.0	Q1
CD74AC164PWR	TSSOP	PW	14	3000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
CD74ACT164BQAR	WQFN	BQA	14	3000	180.0	12.4	2.8	3.3	1.1	4.0	12.0	Q1
CD74ACT164PWR	TSSOP	PW	14	3000	330.0	12.4	6.85	5.45	1.6	8.0	12.0	Q1
CD74ACT164PWR	TSSOP	PW	14	3000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CD74AC164BQAR	WQFN	BQA	14	3000	210.0	185.0	35.0
CD74AC164PWR	TSSOP	PW	14	3000	366.0	364.0	50.0
CD74AC164PWR	TSSOP	PW	14	3000	353.0	353.0	32.0
CD74ACT164BQAR	WQFN	BQA	14	3000	210.0	185.0	35.0
CD74ACT164PWR	TSSOP	PW	14	3000	366.0	364.0	50.0
CD74ACT164PWR	TSSOP	PW	14	3000	353.0	353.0	32.0

TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
CD74AC164E	N	PDIP	14	25	506	13.97	11230	4.32
CD74AC164E	N	PDIP	14	25	506	13.97	11230	4.32
CD74AC164E.A	N	PDIP	14	25	506	13.97	11230	4.32
CD74AC164E.A	N	PDIP	14	25	506	13.97	11230	4.32
CD74ACT164E	N	PDIP	14	25	506	13.97	11230	4.32
CD74ACT164E	N	PDIP	14	25	506	13.97	11230	4.32
CD74ACT164E.A	N	PDIP	14	25	506	13.97	11230	4.32
CD74ACT164E.A	N	PDIP	14	25	506	13.97	11230	4.32

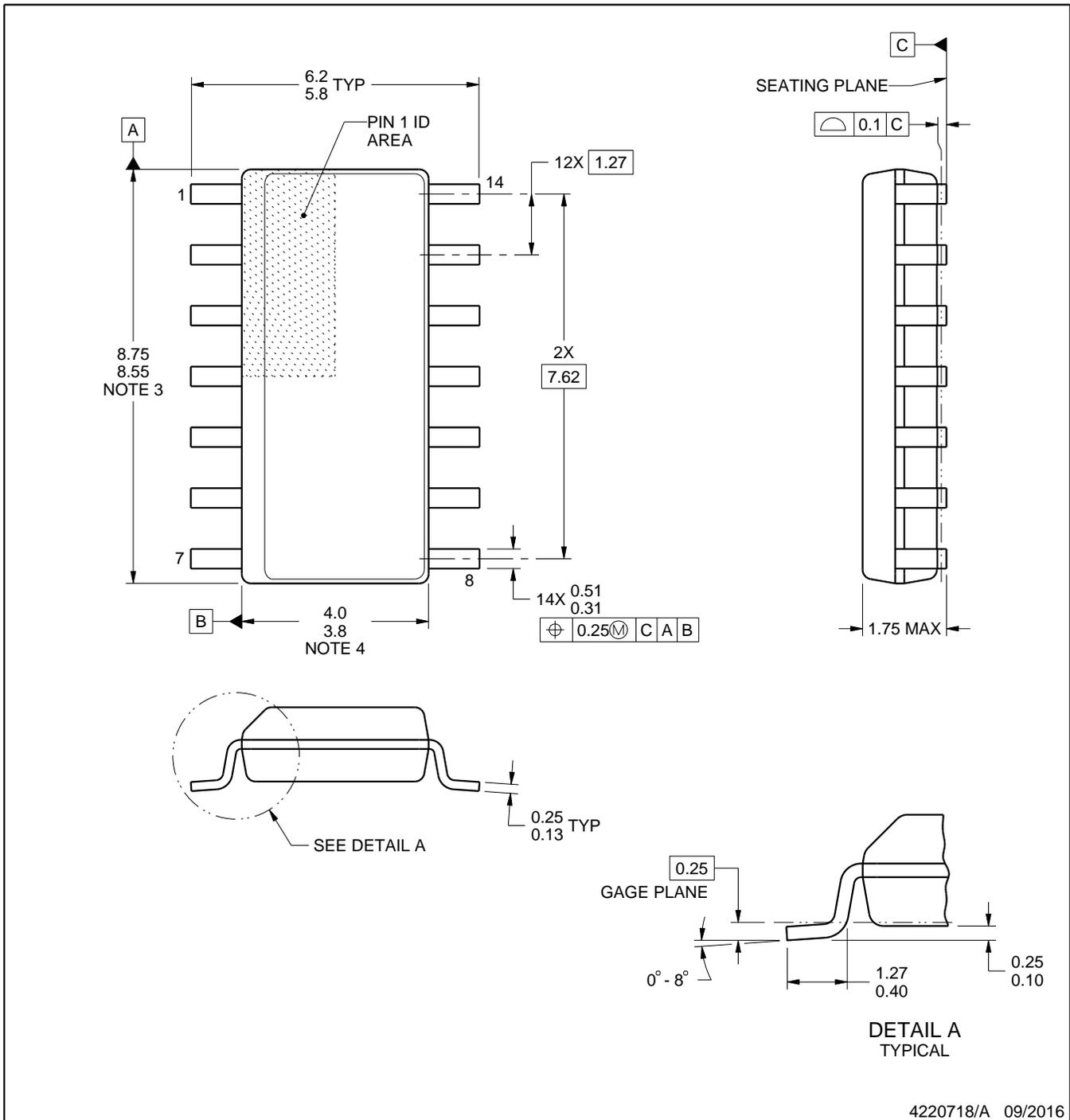
D0014A



PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4220718/A 09/2016

NOTES:

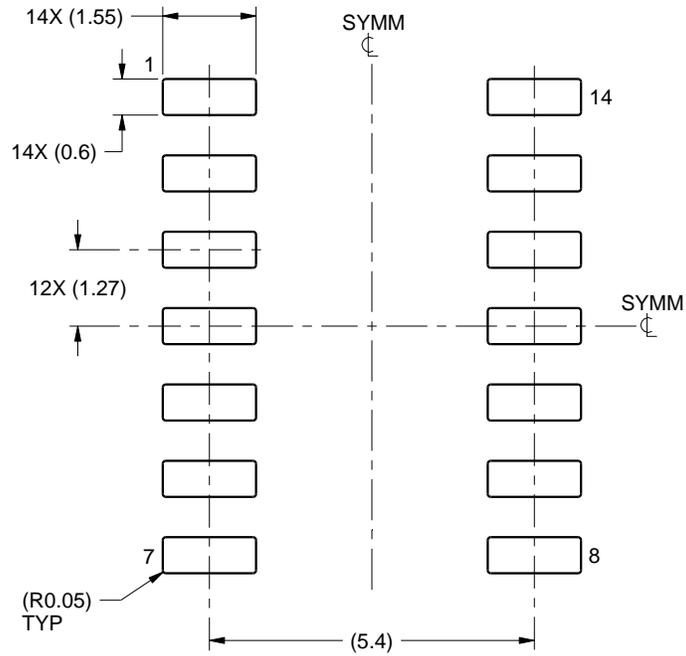
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.

EXAMPLE BOARD LAYOUT

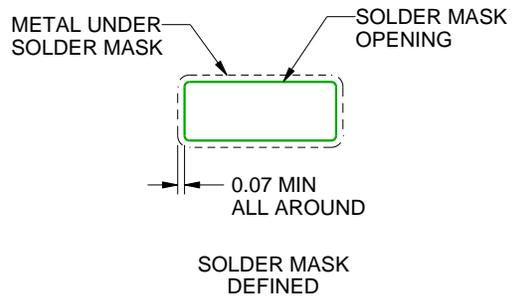
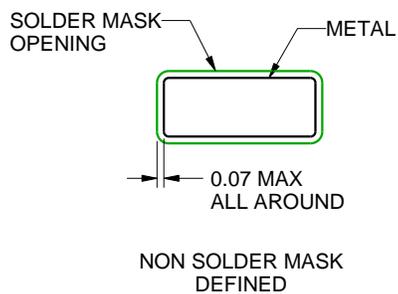
D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

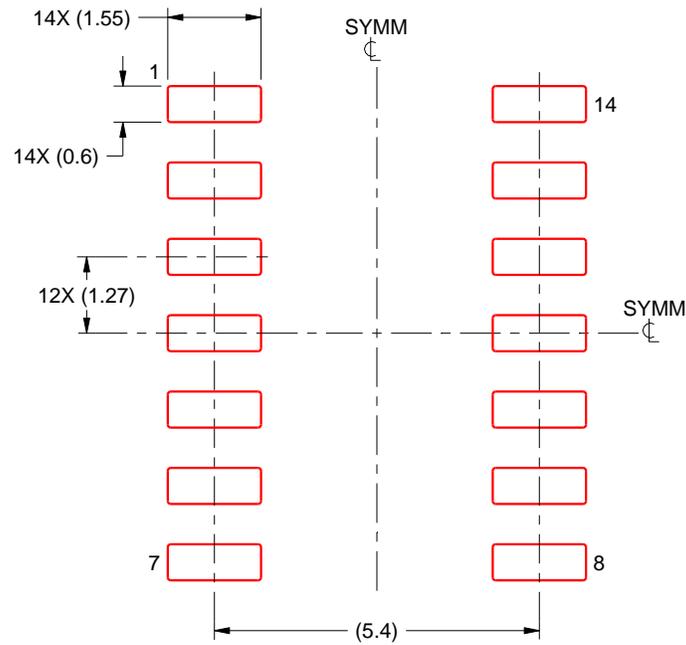
- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

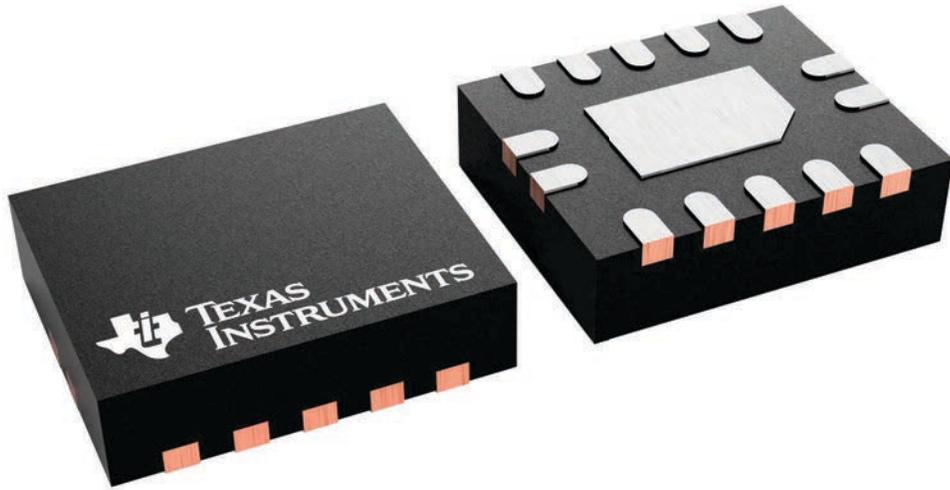
BQA 14

WQFN - 0.8 mm max height

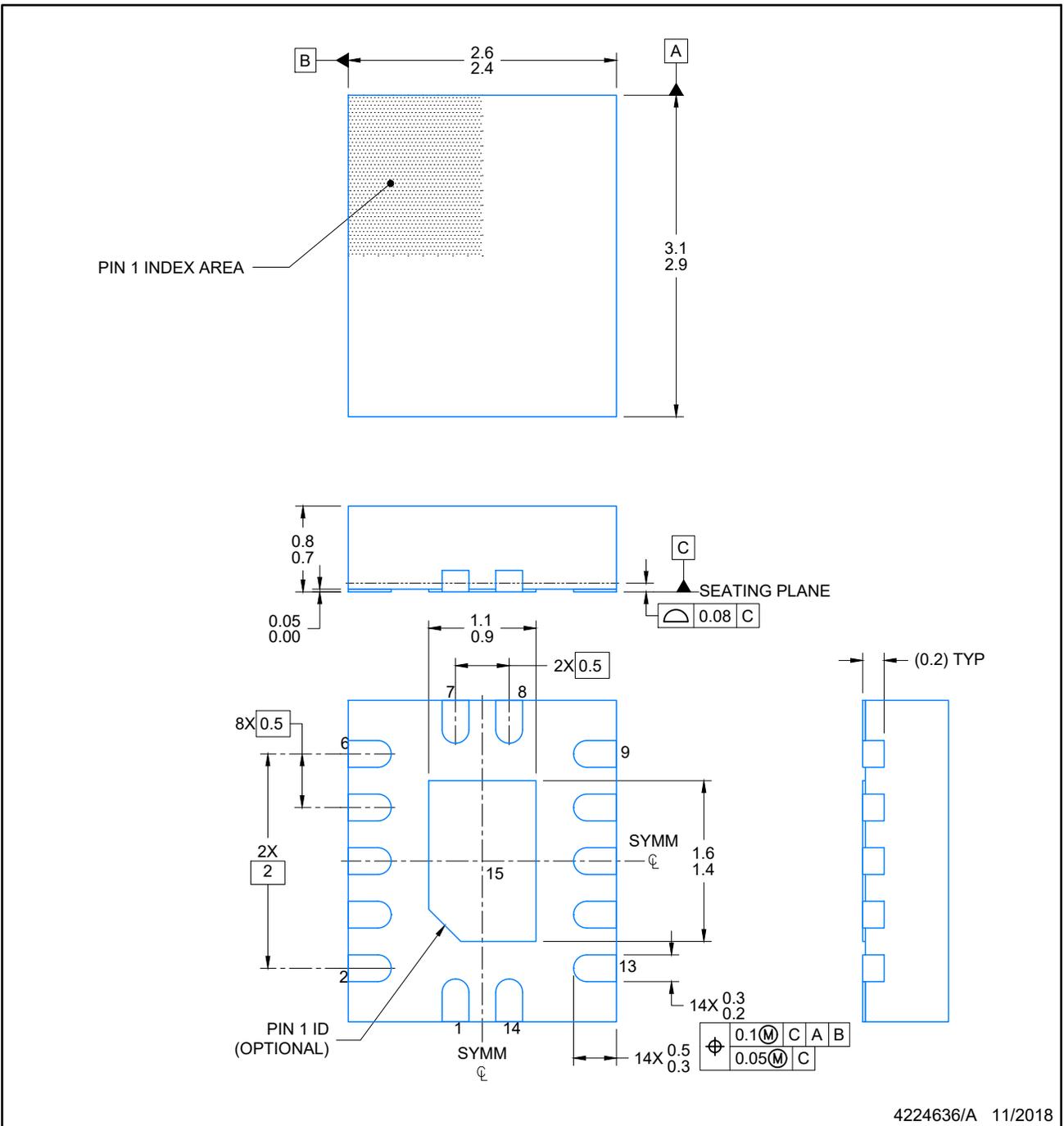
2.5 x 3, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4227145/A



NOTES:

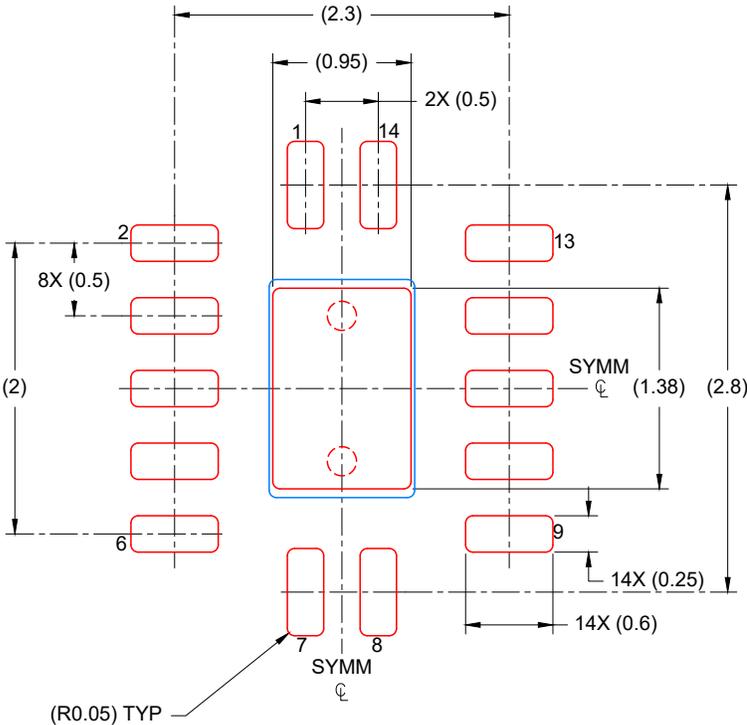
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.

EXAMPLE STENCIL DESIGN

BQA0014A

WQFN - 0.8 mm max height

PLASTIC QUAD FLAT PACK-NO LEAD



SOLDER PASTE EXAMPLE
 BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
 88% PRINTED COVERAGE BY AREA
 SCALE: 20X

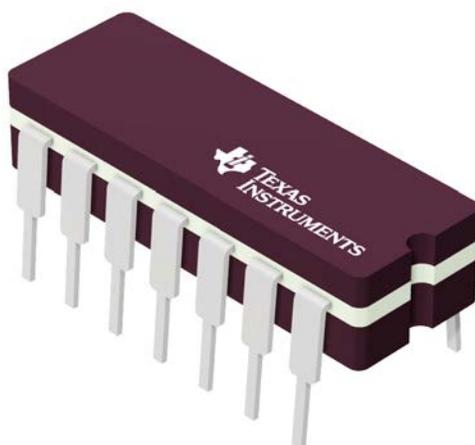
4224636/A 11/2018

NOTES: (continued)

- 6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

J 14

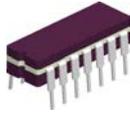
GENERIC PACKAGE VIEW
CDIP - 5.08 mm max height
CERAMIC DUAL IN LINE PACKAGE



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4040083-5/G

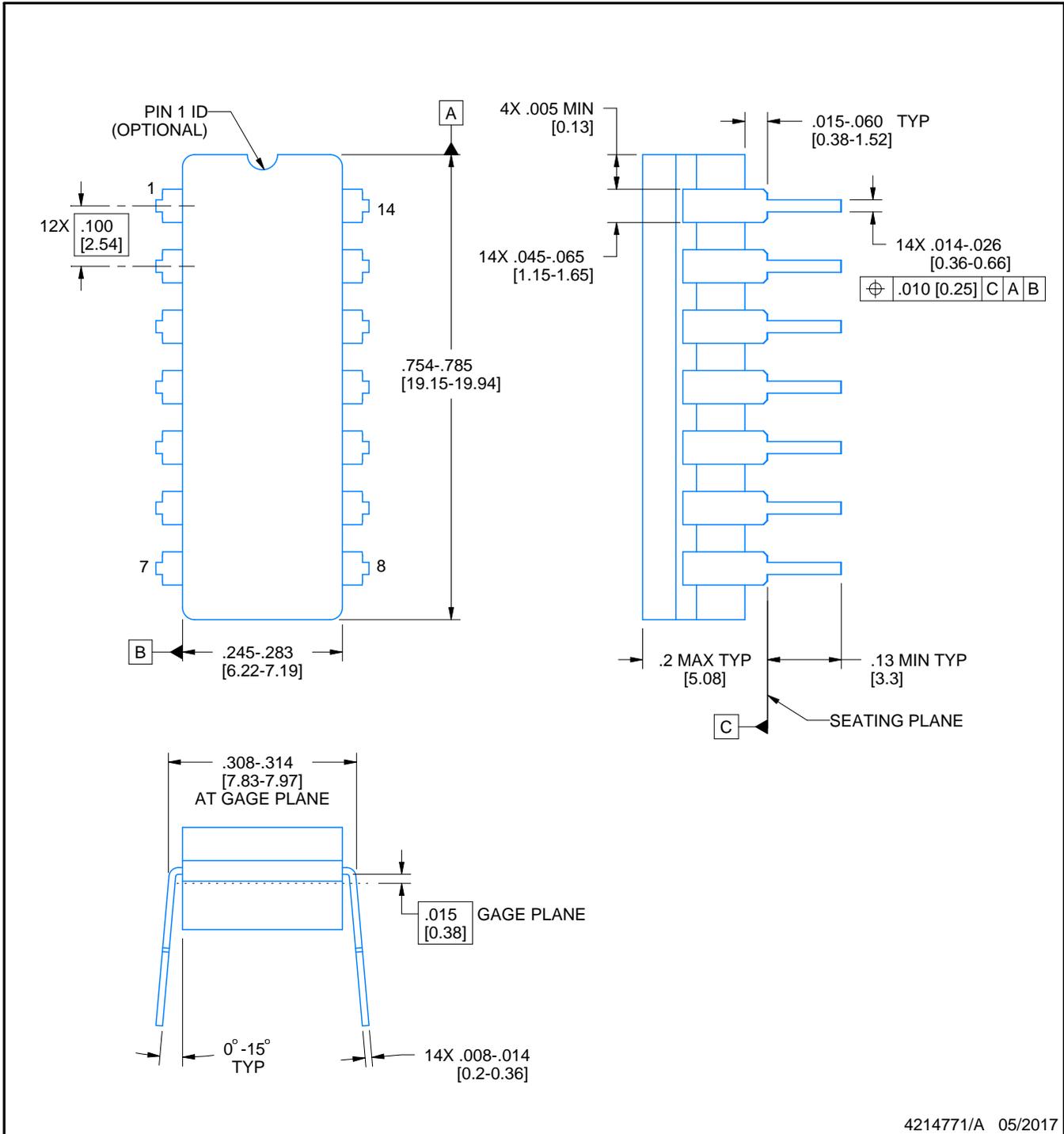
J0014A



PACKAGE OUTLINE

CDIP - 5.08 mm max height

CERAMIC DUAL IN LINE PACKAGE



4214771/A 05/2017

NOTES:

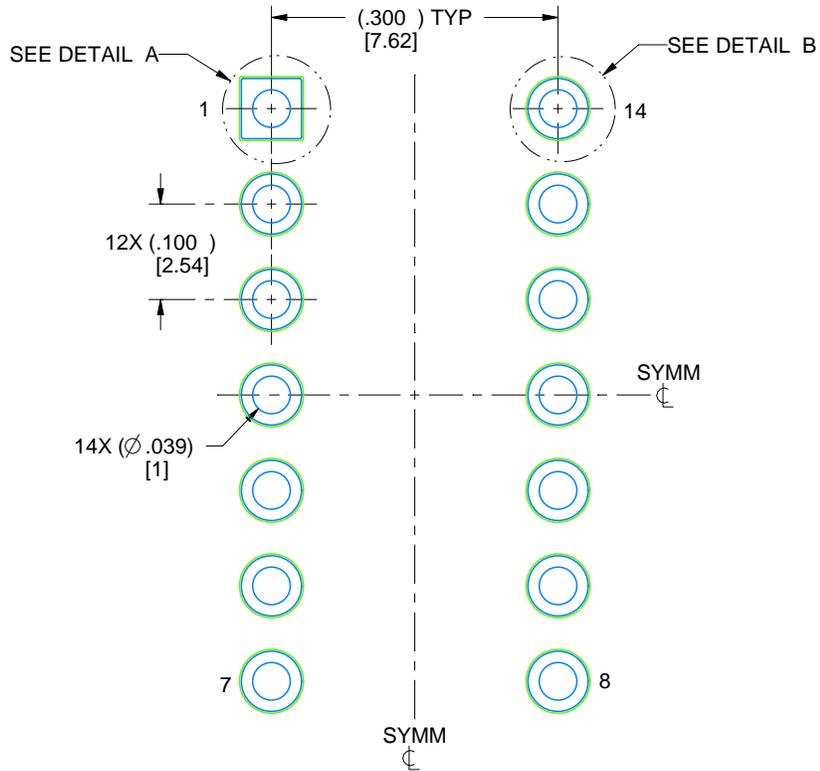
1. All controlling linear dimensions are in inches. Dimensions in brackets are in millimeters. Any dimension in brackets or parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This package is hermetically sealed with a ceramic lid using glass frit.
4. Index point is provided on cap for terminal identification only and on press ceramic glass frit seal only.
5. Falls within MIL-STD-1835 and GDIP1-T14.

EXAMPLE BOARD LAYOUT

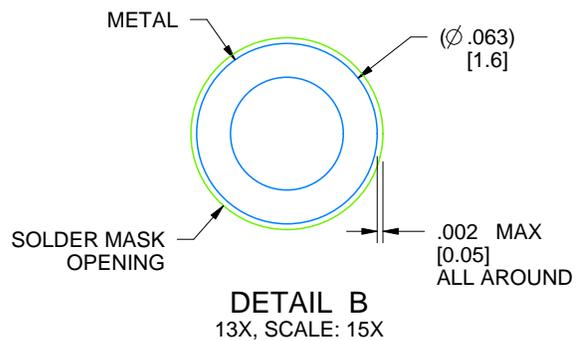
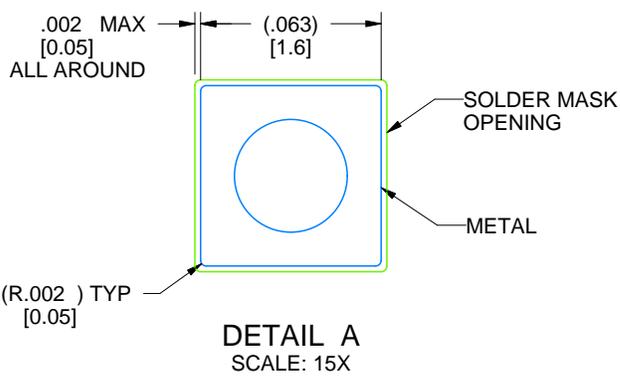
J0014A

CDIP - 5.08 mm max height

CERAMIC DUAL IN LINE PACKAGE



LAND PATTERN EXAMPLE
NON-SOLDER MASK DEFINED
SCALE: 5X

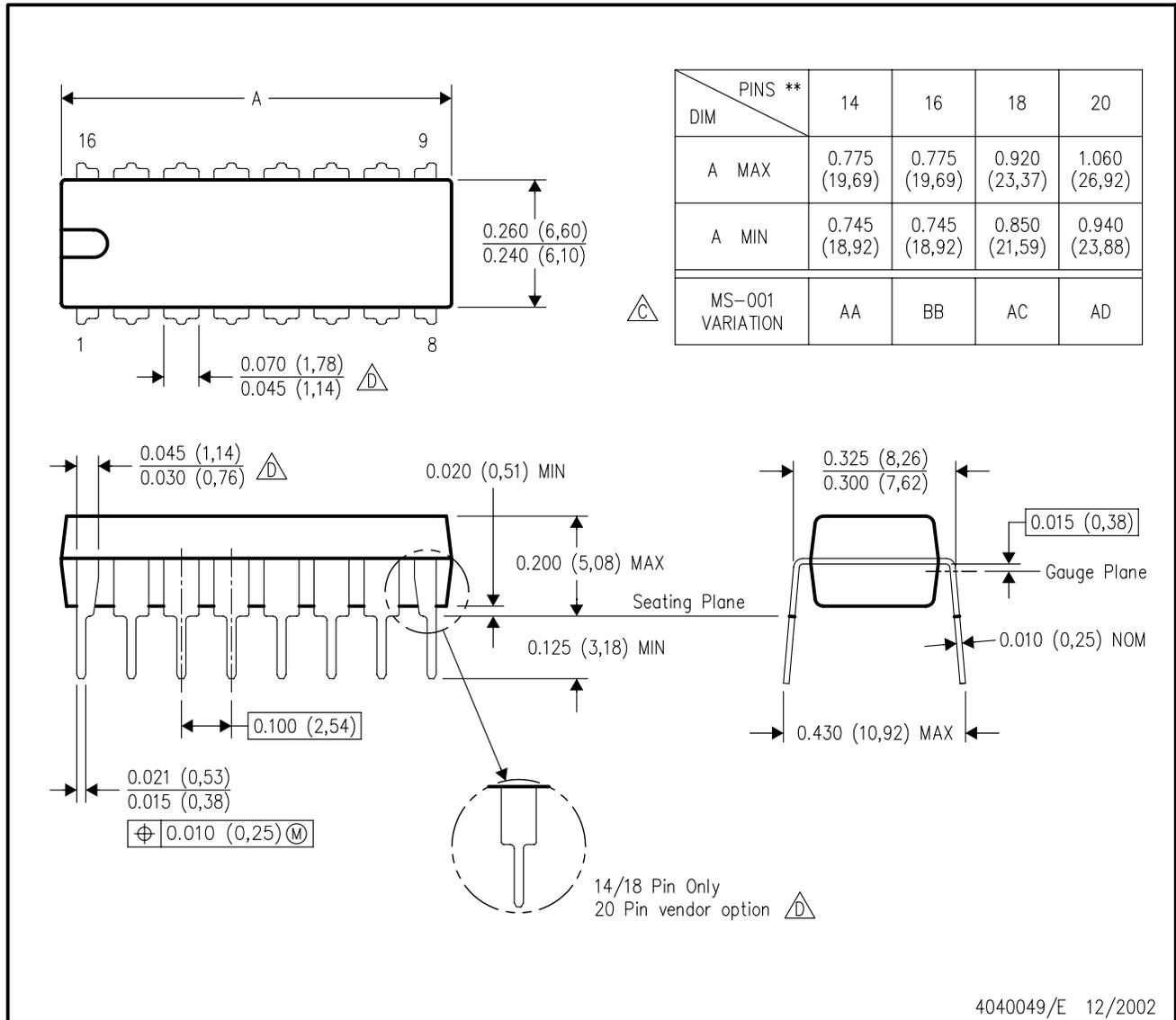


4214771/A 05/2017

N (R-PDIP-T**)

PLASTIC DUAL-IN-LINE PACKAGE

16 PINS SHOWN



- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - (C) Falls within JEDEC MS-001, except 18 and 20 pin minimum body length (Dim A).
 - (D) The 20 pin end lead shoulder width is a vendor option, either half or full width.

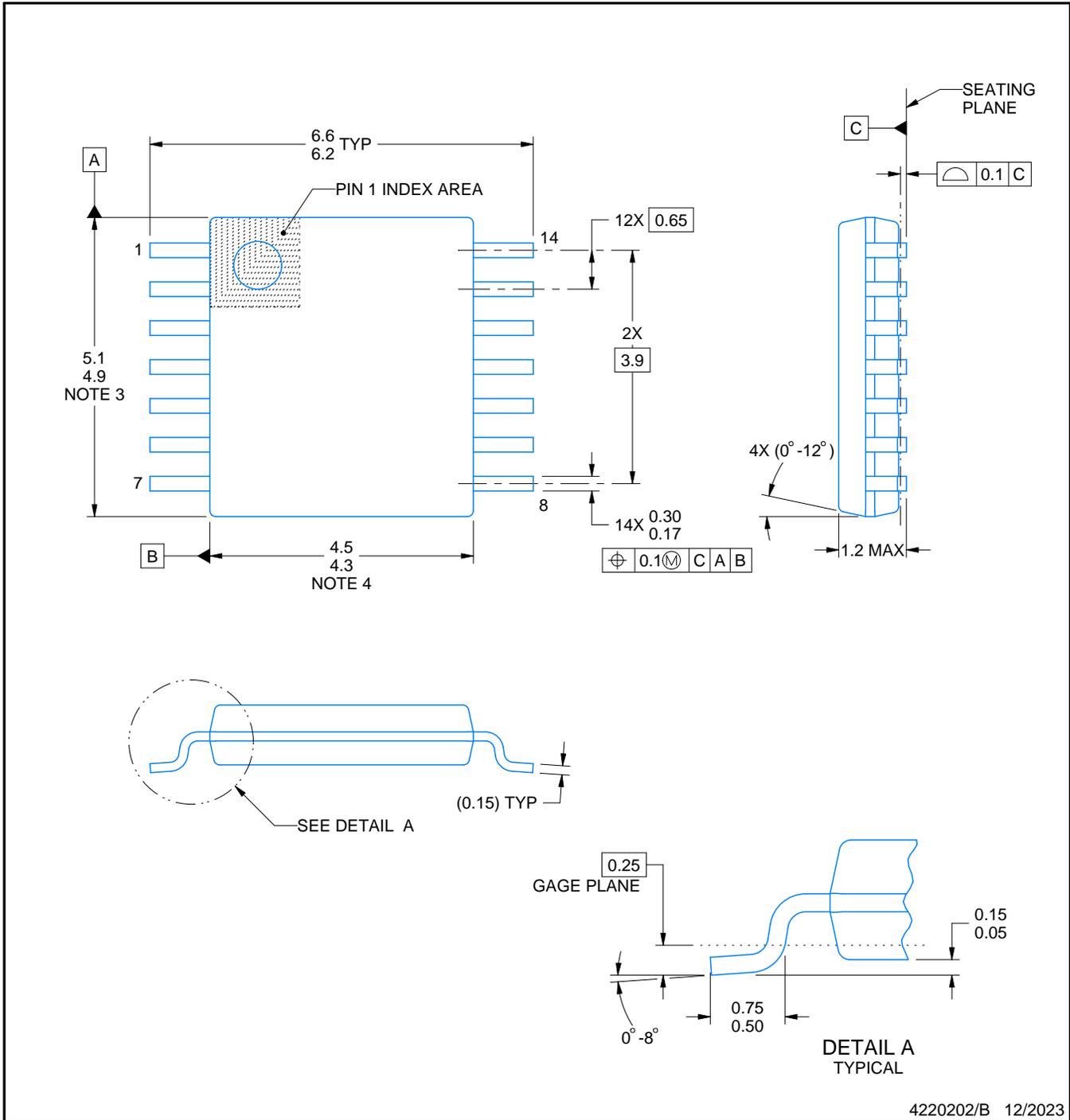
4040049/E 12/2002

PW0014A



PACKAGE OUTLINE
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4220202/B 12/2023

NOTES:

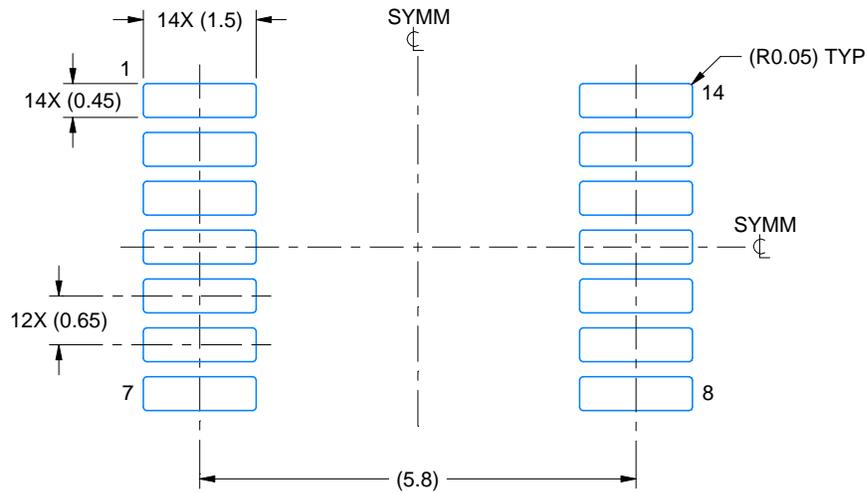
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

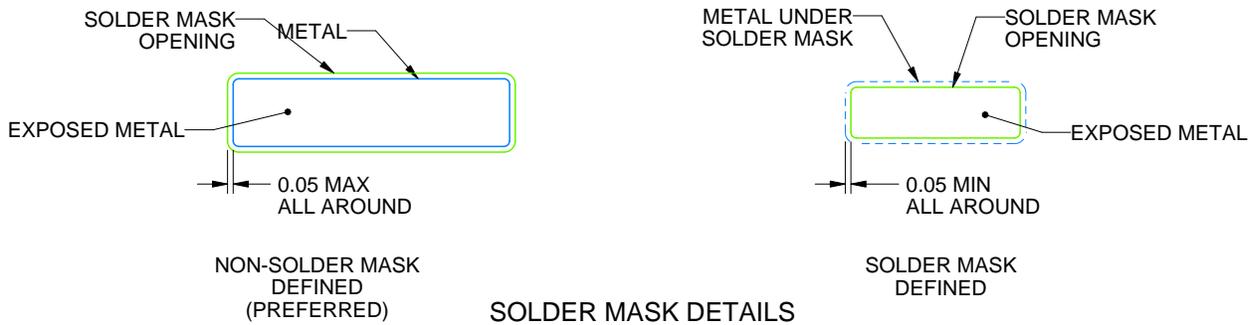
PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220202/B 12/2023

NOTES: (continued)

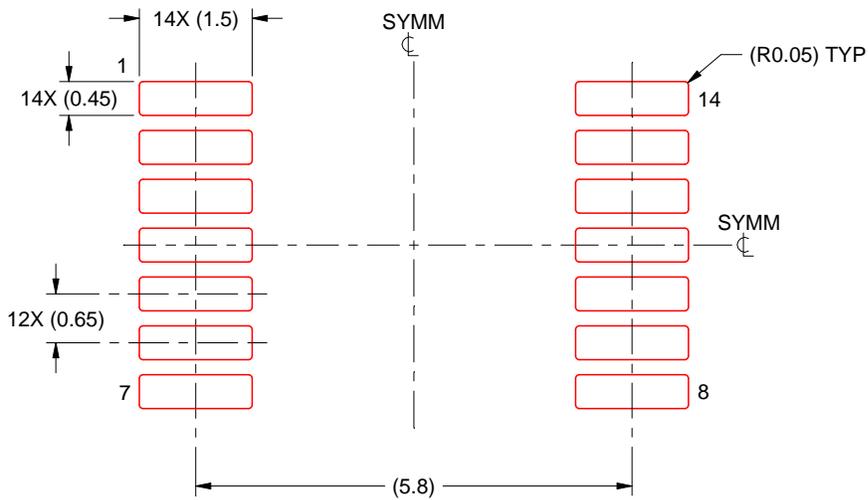
- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月