CDx4AC109 デュアル J-$\overline{K}$ ポジティブ エッジ トリガ フリップ フロップ、クリア / プリセット搭載

1 特長

- AC タイプは 1.5V～5.5V で動作し、バランスのとれたノイズ耐性を電源電圧の 30% で実現
- バイポーラ F、AS、S の速度と消費電力の大幅な低減
- 伝搬遅延時間の平衡化
- ±24mA 出力駆動電流
  - 15 F デバイスへのファンアウト
- SCR ラッチアップ耐性の高い CMOS プロセスと回路設計
- MIL-STD-883、Method 3015 に準拠した 2kV を超える ESD 保護

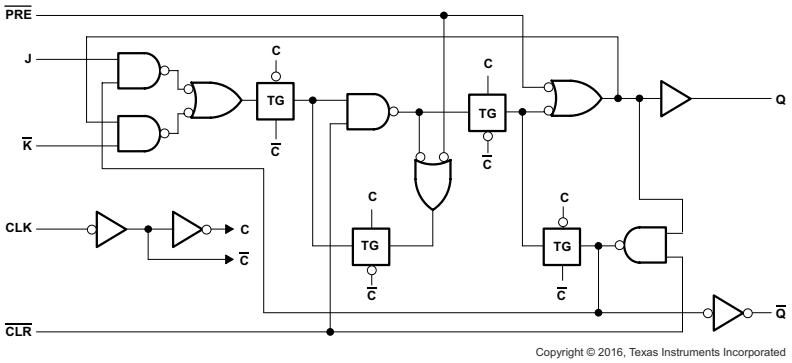
2 概要

CD74AC109-Q1 デバイスには、2 つの独立した J-K ポジティブ エッジ トリガ フリップ フロップがあります。その他の入力のレベルに関係なく、プリセット ($\overline{PRE}$) 入力を Low レベルにすると出力は High になり、クリア ($\overline{CLR}$) 入力を Low レベルにすると出力は Low になります。PRE と CLR が非アクティブ (HIGH) の場合、セットアップ時間の要件を満たす J および K 入力のデータは、クロック (CLK) パルスの正方向エッジで出力に転送されます。このデバイスは車載アプリケーション用に認定済みです。

製品情報

部品番号	パッケージ (1)	本体サイズ (2)
CDx4AC109	D (SOIC、16)	9.90 mm × 3.90mm
	N (PDIP、16)	19.3 mm × 6.35mm
	J (CDIP、16)	19.56 mm × 6.92mm

(1) 詳細については、「メカニカル、パッケージ、および注文情報」を参照してください。
(2) 本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。



Copyright © 2016, Texas Instruments Incorporated

ロジック図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.... 1
2 概要.... 1
3 ピン構成および機能.... 3
4 仕様.... 4
4.1 絶対最大定格.... 4
4.2 ESD 定格.... 4
4.3 推奨動作条件.... 4
4.4 熱に関する情報.... 5
4.5 電気的特性.... 5
4.6 タイミング要件.... 5
4.7 タイミング要件.... 6
4.8 タイミング要件.... 6
4.9 スイッチング特性.... 6
4.10 スイッチング特性.... 6
4.11 スイッチング特性.... 7
4.12 動作特性.... 7
5 パラメータ測定情報.... 8
6 詳細説明.... 10
6.1 概要.... 10
6.2 機能ブロック図.... 10
6.3 デバイスの機能モード.... 10
7 アプリケーションと実装.... 11
7.1 電源に関する推奨事項.... 11
7.2 レイアウト.... 11
8 デバイスおよびドキュメントのサポート.... 13
8.1 ドキュメントのサポート.... 13
8.2 ドキュメントの更新通知を受け取る方法.... 13
8.3 サポート・リソース.... 13
8.4 商標.... 13
8.5 静電気放電に関する注意事項.... 13
8.6 用語集.... 13
9 改訂履歴.... 13
10 メカニカル、パッケージ、および注文情報.... 14

Copyright © 2025 Texas Instruments Incorporated

3 ピン構成および機能

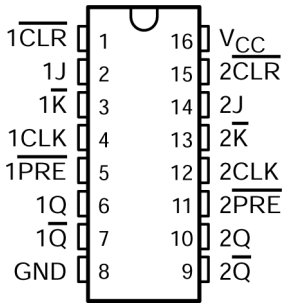


図 3-1. CD54AC109 J パッケージ、CD74AC109 D または N パッケージ、16 ピン CDIP、SOP または PDIP (上面図)

表 3-1. ピンの機能

ピン		I/O[(1)]	説明
名称	番号		
$\overline{1CLR}$	1	I	第 1 チャネルへのアクティブ Low クリア
1J	2	I	第 1 チャネルへの J 入力
$\overline{1K}$	3	I	第 1 チャネルへのアクティブ Low K 入力
1CLK	4	I	第 1 チャネルへの CLK 入力
$\overline{1PRE}$	5	I	第 1 チャネルへのアクティブ Low プリセット入力
1Q	6	O	第 1 チャネルへの真の Q 出力
$\overline{1Q}$	7	O	第 1 チャネルへの反転 Q 出力
GND	8	-	グランド
$\overline{2Q}$	9	O	第 2 チャネルへの真の Q 出力
2Q	10	O	第 2 チャネルへの反転 Q 出力
$\overline{2PRE}$	11	I	第 2 チャネルへのアクティブ Low プリセット
2CLK	12	I	第 2 チャネルへのクロック入力
$\overline{2K}$	13	I	第 2 チャネルへのアクティブ Low K 入力
2J	14	I	第 2 チャネルへの J 入力
$\overline{2CLR}$	15	I	第 2 チャネルへのアクティブ Low クリア
V_{CC}	16	-	パワー ピン

(1) I = 入力、O = 出力、P = 電源、FB = フィードバック、GND = グランド、N/A = 該当なし

4 仕様

4.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) [(1)]

			最小値	最大値	単位
V_{CC}	電源電圧範囲		-0.5	6	V
I_{IK} [(2)]	入力クランプ電流	(V_I < 0V または V_I > V_{CC})		±20	mA
I_{OK} [(2)]	出力クランプ電流	(V_O < 0V または V_O > V_{CC})		±50	mA
I_O	連続出力電流	(V_O < 0V または V_O > V_{CC})		±50	mA
	V_{CC} または GND を通過する連続電流			±100	mA
T_{stg}	保管温度範囲		-65	150	℃

(1) 「絶対最大定格」に示された値を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらは、ストレス定格のみを示すものであり、これらの条件や「推奨動作条件」に示された値を超える条件で、本製品が機能することを意味するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) 入力と出力の電流定格を順守しても、入力と出力の電圧定格を超えることがあります。

4.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM) 、レベル H0[(1)]	±2000	V

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

4.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り) [(1)]

			T_A = 25℃		-55℃～125℃		-40℃～85℃		単位
			最小値	最大値	最小値	最大値	最小値	最大値	
V_{CC}	電源電圧		1.5	5.5	1.5	5.5	1.5	5.5	V
V_{IH}	High レベル入力電圧	V_{CC} = 1.5 V	1.2		1.2		1.2		V
		V_{CC} = 3 V	2.1		2.1		2.1		
		V_{CC} = 5.5 V	3.85		3.85		3.85		
V_{IL}	Low レベル入力電圧	V_{CC} = 1.5 V		0.3		0.3		0.3	V
		V_{CC} = 3 V		0.9		0.9		0.9	
		V_{CC} = 5.5 V		1.65		1.65		1.65	
V_I	入力電圧		0	V_{CC}	0	V_{CC}	0	V_{CC}	V
V_O	出力電圧		0	V_{CC}	0	V_{CC}	0	V_{CC}	V
I_{OH}	High レベル出力電流	V_{CC} = 4.5V～5.5V		-24		-24		-24	mA
I_{OL}	Low レベル出力電流	V_{CC} = 4.5V～5.5V		24		24		24	mA
Δt/Δv	入力遷移の立ち上がりまたは立ち下がりレート	V_{CC} = 1.5V～3V		50		50		50	ns/V
		V_{CC} = 3.6V～5.5V		20		20		20	

(1) デバイスが適切に動作するように、デバイスの未使用の入力はすべて、V_{CC} または GND に固定する必要があります。テキサス・インスツルメンツのアプリケーション レポート『低速またはフローティング CMOS 入力の影響』(文献番号 SCBA004) を参照してください。

Copyright © 2025 Texas Instruments Incorporated

4.4 熱に関する情報

熱評価基準[1]		CD74AC109		単位
		D (SOIC)	N (PDIP)	
		16 ピン	16 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	73	67	°C/W

(1) 従来および最新の熱測定基準の詳細については、アプリケーション レポート『半導体および IC パッケージの熱評価基準』、SPRA953 を参照してください。

4.5 電気的特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件		V_{CC}	T_A = 25℃		-55℃～125℃		-40℃～85℃		単位
				最小値	最大値	最小値	最大値	最小値	最大値	
V_{OH}	$V_I = V_{IH}$ または V_{IL}	I_{OH} = -50μA	1.5 V	1.4		1.4		1.4		V
			3 V	2.9		2.9		2.9		
			4.5 V	4.4		4.4		4.4		
		I_{OH} = -4mA	3 V	2.58		2.4		2.48		
		I_{OH} = -24mA	4.5 V	3.94		3.7		3.8		
		I_{OH} = -50mA[1]	5.5 V			3.85				
		I_{OH} = -75mA[1]	5.5 V					3.85		
V_{OL}	$V_I = V_{IH}$ または V_{IL}	I_{OL} = 50μA	1.5 V		0.1		0.1		0.1	V
			3 V		0.1		0.1		0.1	
			4.5 V		0.1		0.1		0.1	
		I_{OL} = 12mA	3 V		0.36		0.5		0.44	
		I_{OL} = 24mA	4.5 V		0.36		0.5		0.44	
		I_{OL} = 50mA[1]	5.5 V				1.65			
		I_{OL} = 75mA[1]	5.5 V						1.65	
I_I	$V_I = V_{CC}$ または GND		5.5 V		±0.1		±1		±1	μA
I_{CC}	$V_I = V_{CC}$ または GND、	I_O = 0	5.5 V		4		80		40	μA
C_i					10		10		10	pF

(1) 一度に 1 つの出力をテストし、持続時間が 1 秒を超えないようにします。測定は、示された電流を強制的に供給し、電圧を測定して消費電力を最小限に抑えます。このテストでは、85°C で最小 50Ω 伝送ライン駆動能力、125°C で 75Ω 伝送ライン駆動能力を検証します。

4.6 タイミング要件

自由気流での推奨動作温度範囲内、V_{CC} = 1.5V (特に記述のない限り)

			-55℃～125℃		-40℃～85℃		単位
			最小値	最大値	最小値	最大値	
f_{clock}	クロック周波数			8		9	MHz
t_w	パルス幅	CLK が High または Low	63		55		ns
		$\overline{CLR}$ または $\overline{PRE}$ が Low	56		49		
t_{su}	セットアップ時間、CLK↑ の前	J または $\overline{K}$	69		61		ns
t_h	ホールド時間、CLK↑ の後	J または $\overline{K}$	0		0		ns
t_{rec}	復帰時間、CLK↑ の前	$\overline{CLR}$↑ または $\overline{PRE}$↑	31		27		ns

4.7 タイミング要件

自由気流での推奨動作温度範囲内、V_{CC} = 3.3V ± 0.3V (特に記述のない限り)

			-55℃～125℃		-40℃～85℃		単位
			最小値	最大値	最小値	最大値	
f_{clock}	クロック周波数			71		81	MHz
t_W	パルス幅	CLK が High または Low	7		6		ns
		$\overline{CLR}$ または $\overline{PRE}$ が Low	6.3		5.5		
t_{su}	セットアップ時間、CLK↑ の前	J または $\overline{K}$	7.7		6.8		ns
t_h	ホールド時間、CLK↑ の後	J または $\overline{K}$	0		0		ns
t_{rec}	復帰時間、CLK↑ の前	$\overline{CLR}$↑ または $\overline{PRE}$↑	3.5		3.1		ns

4.8 タイミング要件

自由気流での推奨動作温度範囲内、V_{CC} = 5V ± 0.5V (特に記述のない限り)

			-55℃～125℃		-40℃～85℃		単位
			最小値	最大値	最小値	最大値	
f_{clock}	クロック周波数			100		114	MHz
t_W	パルス幅	CLK が High または Low	5		4.4		ns
		$\overline{CLR}$ または $\overline{PRE}$ が Low	4.5		3.9		
t_{su}	セットアップ時間、CLK↑ の前	J または $\overline{K}$	5.5		4.8		ns
t_h	ホールド時間、CLK↑ の後	J または $\overline{K}$	0		0		ns
t_{rec}	復帰時間、CLK↑ の前	$\overline{CLR}$↑ または $\overline{PRE}$↑	2.5		2.2		ns

4.9 スイッチング特性

自由気流での推奨動作温度範囲内、V_{CC} = 1.5V、C_L = 50pF (特に記述のない限り) (負荷回路および電圧波形を参照)

パラメータ	始点 (入力)	終点 (出力)	-55℃～125℃		-40℃～85℃		単位
			最小値	最大値	最小値	最大値	
f_{max}			8		9		MHz
t_{PLH}	CLK	Q または $\overline{Q}$		129		117	ns
	$\overline{CLR}$ または $\overline{PRE}$			153		139	
t_{PHL}	CLK	Q または $\overline{Q}$		129		117	ns
	$\overline{CLR}$ または $\overline{PRE}$			153		139	

4.10 スイッチング特性

自由気流での推奨動作温度範囲内、V_{CC} = 3.3V±0.3V、C_L = 50pF (特に記述のない限り) (負荷回路および電圧波形を参照)

パラメータ	始点 (入力)	終点 (出力)	-55℃～125℃		-40℃～85℃		単位
			最小値	最大値	最小値	最大値	
f_{max}			71		81		MHz
t_{PLH}	CLK	Q または $\overline{Q}$	3.6	14.4	3.7	13.1	ns
	$\overline{CLR}$ または $\overline{PRE}$		4.3	17.1	4.4	15.5	
t_{PHL}	CLK	Q または $\overline{Q}$	3.6	14.4	3.7	13.1	ns
	$\overline{CLR}$ または $\overline{PRE}$		4.3	17.1	4.4	15.5	

Copyright © 2025 Texas Instruments Incorporated

4.11 スイッチング特性

自由気流での推奨動作温度範囲内、V_{CC} = 5V±0.5V、C_L = 50pF (特に記述のない限り) (負荷回路および電圧波形を参照)

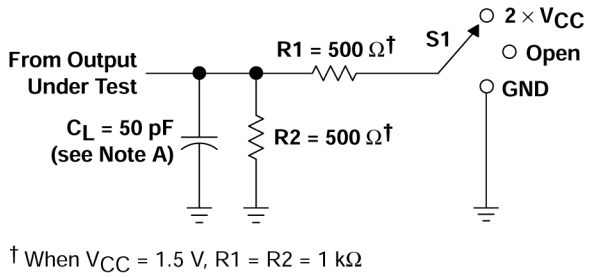
パラメータ	始点 (入力)	終点 (出力)	-55℃～125℃		-40℃～85℃		単位
			最小値	最大値	最小値	最大値	
f_{max}			100		114		MHz
t_{PLH}	CLK	Q または $\overline{Q}$	2.6	10.3	2.7	9.4	ns
	$\overline{CLR}$ または $\overline{PRE}$		3.1	12.2	3.2	11.1	
t_{PHL}	CLK	Q または $\overline{Q}$	2.6	10.3	2.7	9.4	ns
	$\overline{CLR}$ または $\overline{PRE}$		3.1	12.2	3.2	11.1	

4.12 動作特性

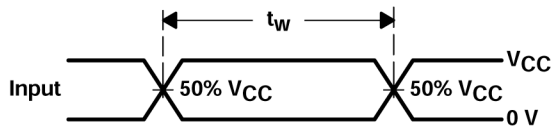
V_{CC} = 5V、T_A = 25℃

パラメータ		標準値	単位
C_{pd}	電力散逸容量	56	pF

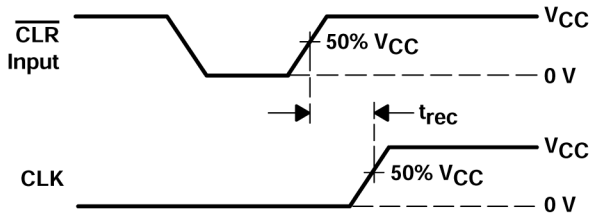
5 パラメータ測定情報



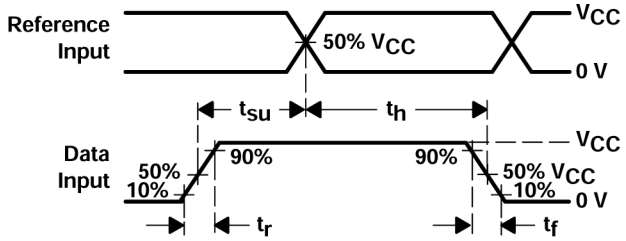
LOAD CIRCUIT



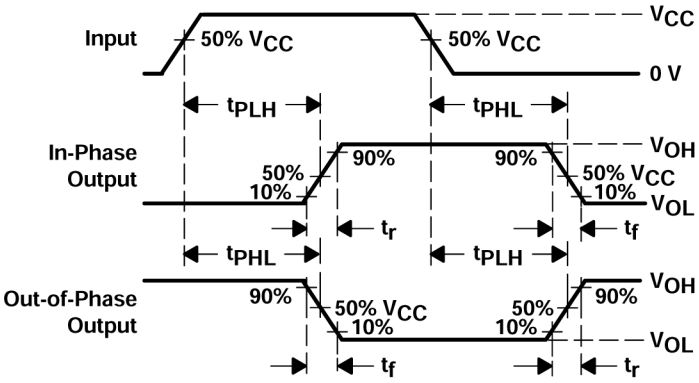
VOLTAGE WAVEFORMS
PULSE DURATION



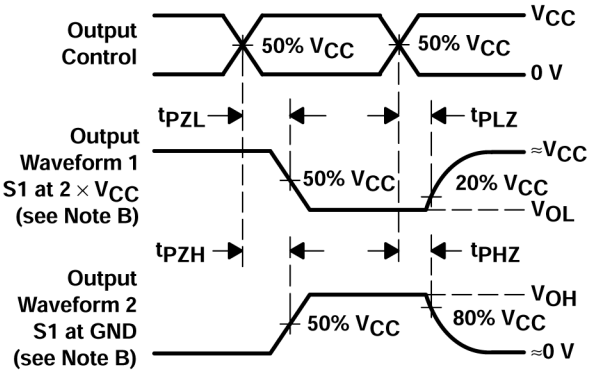
VOLTAGE WAVEFORMS
RECOVERY TIME



VOLTAGE WAVEFORMS
SETUP AND HOLD AND INPUT RISE AND FALL TIMES



VOLTAGE WAVEFORMS
PROPAGATION DELAY AND OUTPUT TRANSITION TIMES



VOLTAGE WAVEFORMS
OUTPUT ENABLE AND DISABLE TIMES

A. C_L にはプローブとテスト装置の容量が含まれます。
B. 波形 1 は、出力が Low になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディスエーブルされている場合は除きます。波形 2 は、出力が High になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディスエーブルされている場合は除きます。
C. すべての入力パルスは、以下の特性を持つジェネレータによって供給されます。PRR ≦ 1MHz、Z_O = 50Ω、t_r = 3ns、t_f = 3ns。波形間の位相関係は任意です。
D. クロック入力の f_{max} は、入力デューティ サイクルが 50% のときの測定値です。
E. 出力は一度に 1 つずつ測定され、測定するたびに入力が 1 回遷移します。
F. t_{PLH} と t_{PHL} は t_{pd} と同じです。
G. t_{PZL} と t_{PZH} は t_{en} と同じです。
H. t_{PLZ} と t_{PHZ} は t_{dis} と同じです。
I. すべてのパラメータと波形が、すべてのデバイスに適用できるわけではありません。

図 5-1. 負荷回路および電圧波形

Copyright © 2025 Texas Instruments Incorporated

TEST	S1
t_{PLH}/t_{PHL}	オープン
t_{PLZ}/t_{PZL}	$2 \times V_{CC}$
t_{PHZ}/t_{PZH}	GND

6 詳細説明

6.1 概要

その他の入力のレベルに関係なく、プリセット ($\overline{PRE}$) 入力を Low レベルにすると出力は High になり、クリア ($\overline{CLR}$) 入力を Low レベルにすると出力は Low になります。$\overline{PRE}$ と $\overline{CLR}$ が非アクティブ (HIGH) の場合、セットアップ時間の要件を満たす J および $\overline{K}$ 入力のデータは、クロック (CLK) パルスの正方向エッジで出力に転送されます。クロックのトリガは電圧レベルで発生し、クロック パルスの立ち上がり時間とは直接関係しません。ホールド時間が経過した後、J および $\overline{K}$ 入力のデータは、出力のレベルに影響を及ぼさずに変化させることができます。これらの多用途のフリップ フロップは、$\overline{K}$ を接地し、かつ J を HIGH に接続することで、トグル フリップ フロップとして機能します。J と $\overline{K}$ を互いに接続すると、D タイプ フリップ フロップとしても機能します。

6.2 機能ブロック図

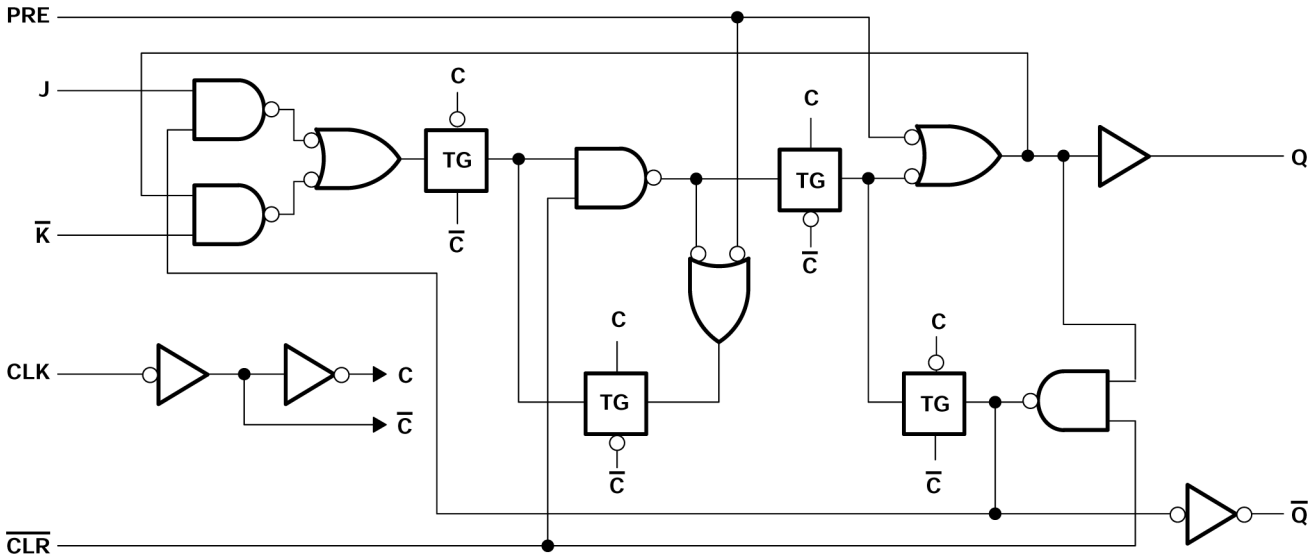


図 6-1. 各フリップ フロップの論理図 (正論理)

6.3 デバイスの機能モード

表 6-1. 機能表 (各フリップ フロップ)

入力					出力	
PRE	$\overline{CLR}$	CLK	J	$\overline{K}$	Q	$\overline{Q}$
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H(1)	H(1)
H	H	↑	L	L	L	H
H	H	↑	H	L	点滅	
H	H	↑	L	H	Q0	$\overline{Q}$0
H	H	↑	H	H	H	L
H	H	L	X	X	Q0	$\overline{Q}$0

(1) $\overline{PRE}$ と $\overline{CLR}$ が同時に Low になる場合、予測不能かつ不安定な状態

Copyright © 2025 Texas Instruments Incorporated

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 電源に関する推奨事項

電源には、「推奨動作条件」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。電源の外乱を防止するため、各 V_{CC} 端子に適切なバイパス コンデンサを配置する必要があります。このデバイスには 0.1μF のコンデンサを推奨します。複数のバイパス コンデンサを並列に配置して、異なる周波数のノイズを除去することが許容されます。一般的に、0.1μF と 1μF のコンデンサは並列に使用されます。バイパス コンデンサを電源端子のできるだけ近くに配置すると最適な結果が得られます。

7.2 レイアウト

7.2.1 レイアウトのガイドライン

- バイパス コンデンサの配置
  - デバイスの正電源端子の近くに配置
  - 電気的に短いグランド帰還パスを提供
  - インピーダンスを最小化するため、広いパターンを使用
  - 可能な場合はいつでも、ボードの同じ側にデバイス、コンデンサ、パターンを配置
- 信号トレースの形状
  - 8mil～12mil のトレース幅
  - 伝送ラインの影響を最小化する 12cm 未満の長さ
  - 信号トレースの 90° のコーナーは避ける
  - 信号トレースの下に、途切れのないグランド プレーンを使用
  - 信号トレース周辺の領域をグランドでフラッド フィル
  - 12cm を超えるパターン用
    - インピーダンス制御トレースを使用
    - 出力の近くに直列ダンピング抵抗を使用して、ソース終端
    - 分岐を回避。個別に分岐が必要なバッファ信号

7.2.2 レイアウト例

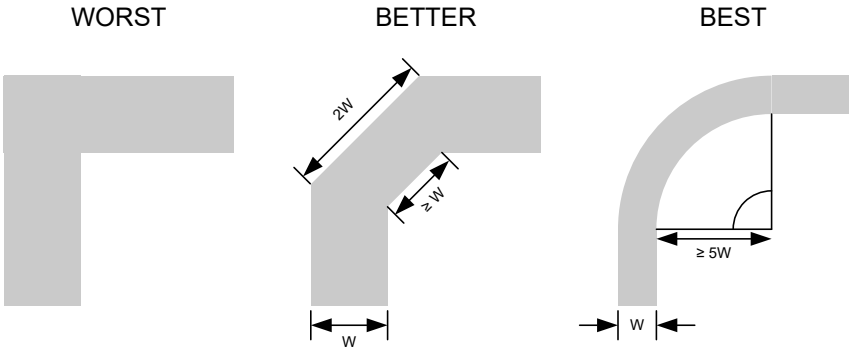


図 7-1. シグナル インテグリティ向上のためのサンプル パターンのコーナー

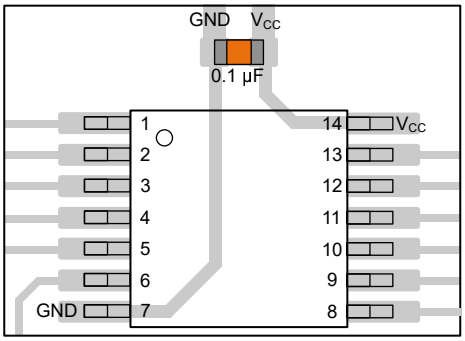


図 7-2. TSSOP や類似のパッケージに対応するバイパス コンデンサの配置例

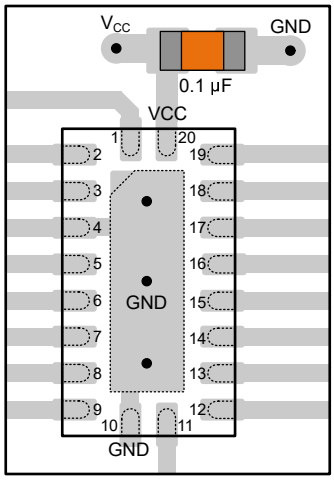


図 7-3. WQFN や類似のパッケージに対応するバイパス コンデンサの配置例

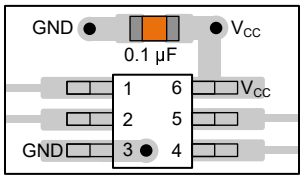


図 7-4. SOT、SC70、および類似のパッケージに対応するバイパス コンデンサの配置例

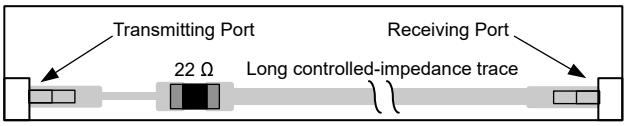


図 7-5. シグナル インテグリティ向上のためのダンピング抵抗の配置例

Copyright © 2025 Texas Instruments Incorporated

8 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

8.1 ドキュメントのサポート

8.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『CMOS の消費電力と C_{pd} の計算』アプリケーション・レポート
- テキサス・インスツルメンツ、『ロジックを使用した設計』アプリケーション・レポート
- テキサス・インスツルメンツ、『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』アプリケーション・レポート

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (January 2003) to Revision A (December 2024)	Page
• 「製品情報」表、「ピンの機能」表、「ESD 定格」表、「熱に関する情報」表、「デバイスの機能モード」、「アプリケーションと実装」セクション、「デバイスおよびドキュメントのサポート」セクション、および「メカニカル、パッケージ、および注文情報」セクションを追加	1

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
CD54AC109F3A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54AC109F3A
CD54AC109F3A.A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54AC109F3A
CD74AC109E	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74AC109E
CD74AC109E.A	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74AC109E
CD74AC109M96	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	AC109M
CD74AC109M96.A	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	AC109M

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF CD54AC109, CD74AC109 :

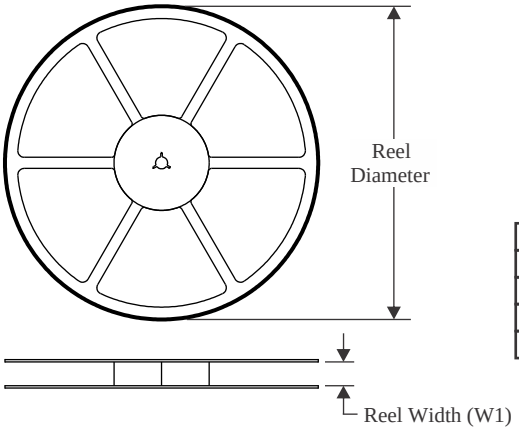
- Catalog : CD74AC109
- Military : CD54AC109

NOTE: Qualified Version Definitions:

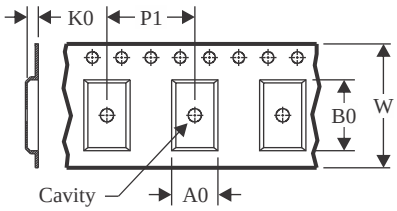
- Catalog - TI's standard catalog product
- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION

REEL DIMENSIONS

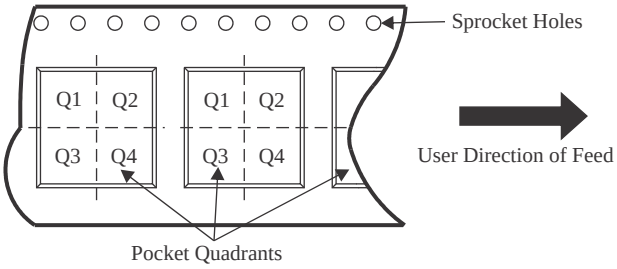


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

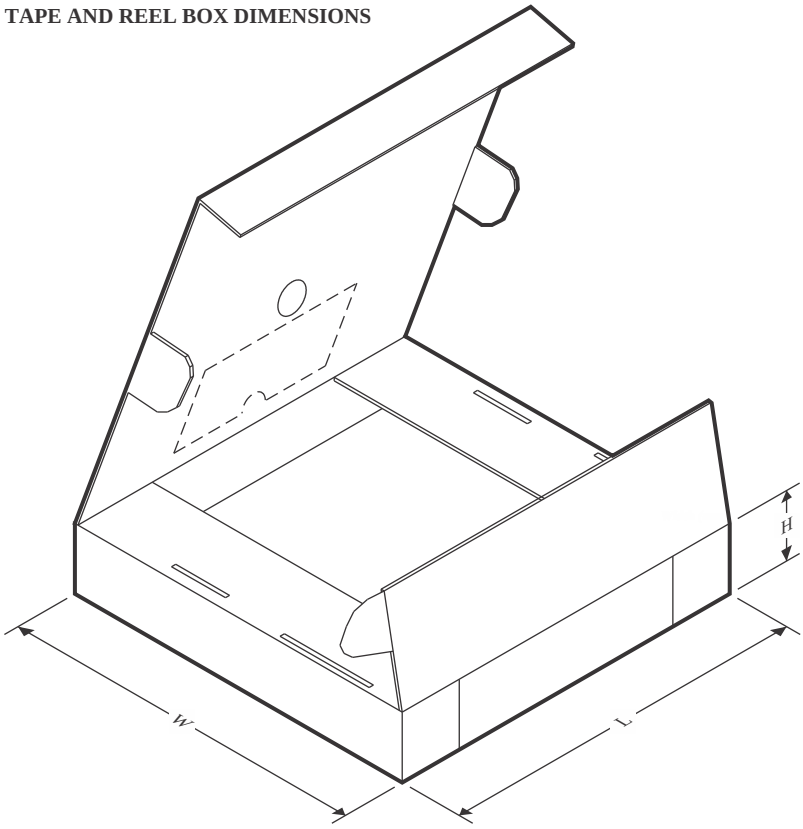
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CD74AC109M96	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1

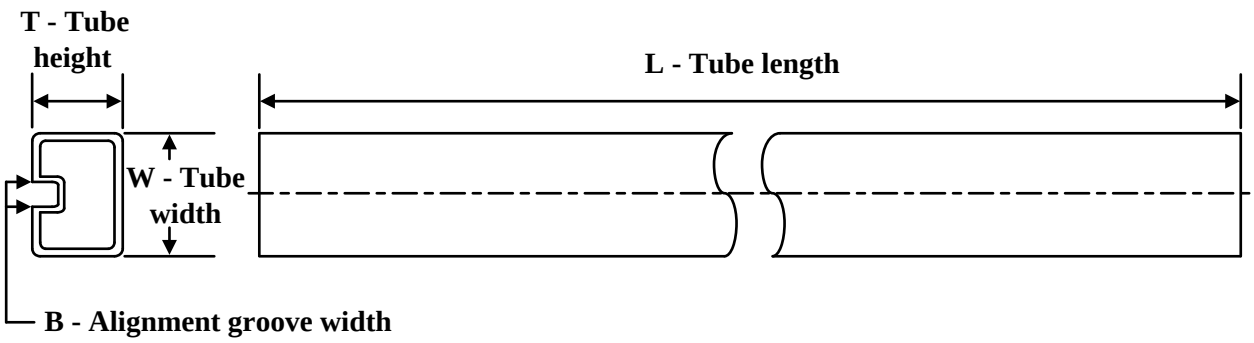
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CD74AC109M96	SOIC	D	16	2500	353.0	353.0	32.0

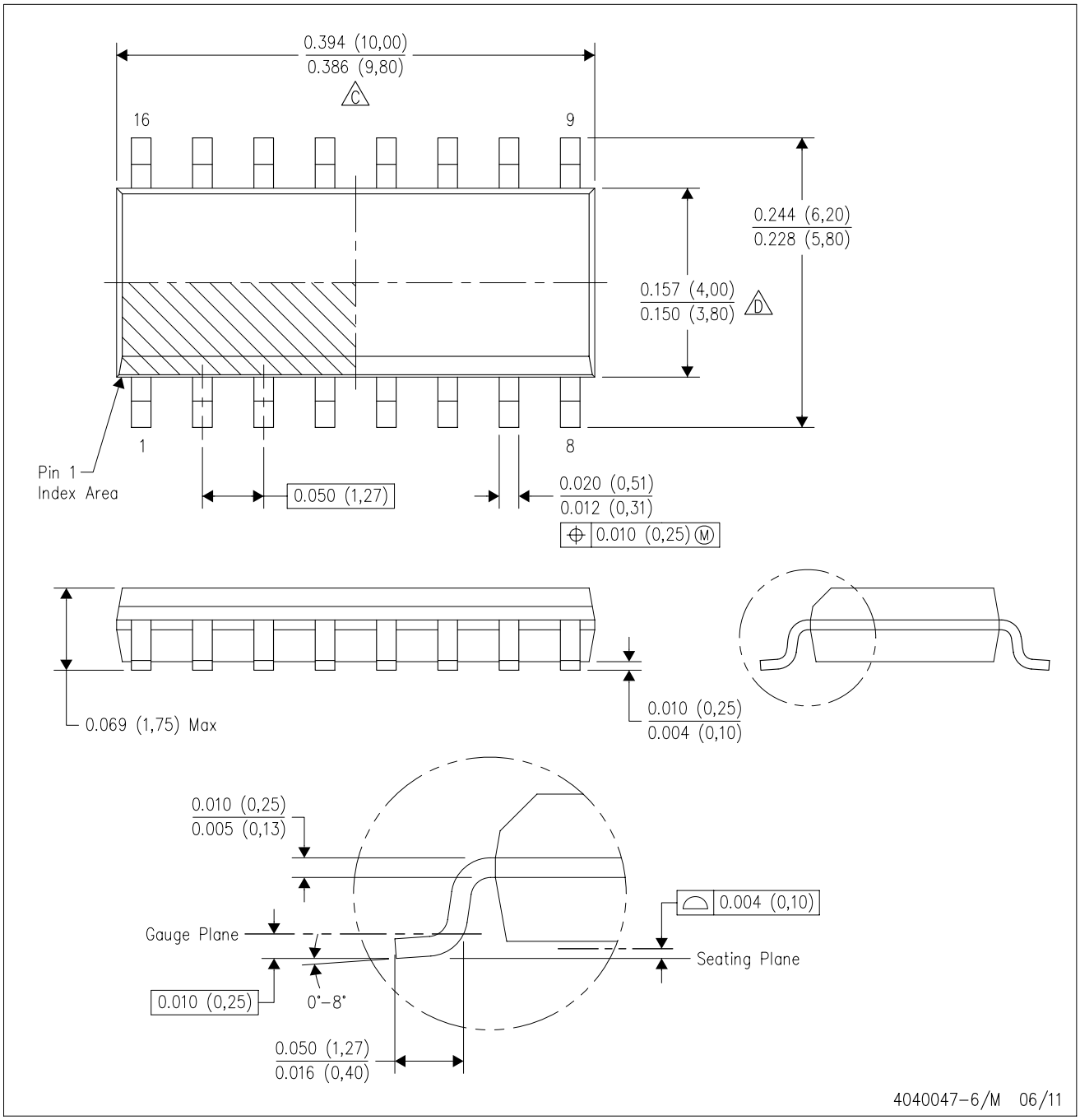
TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
CD74AC109E	N	PDIP	16	25	506	13.97	11230	4.32
CD74AC109E	N	PDIP	16	25	506	13.97	11230	4.32
CD74AC109E.A	N	PDIP	16	25	506	13.97	11230	4.32
CD74AC109E.A	N	PDIP	16	25	506	13.97	11230	4.32

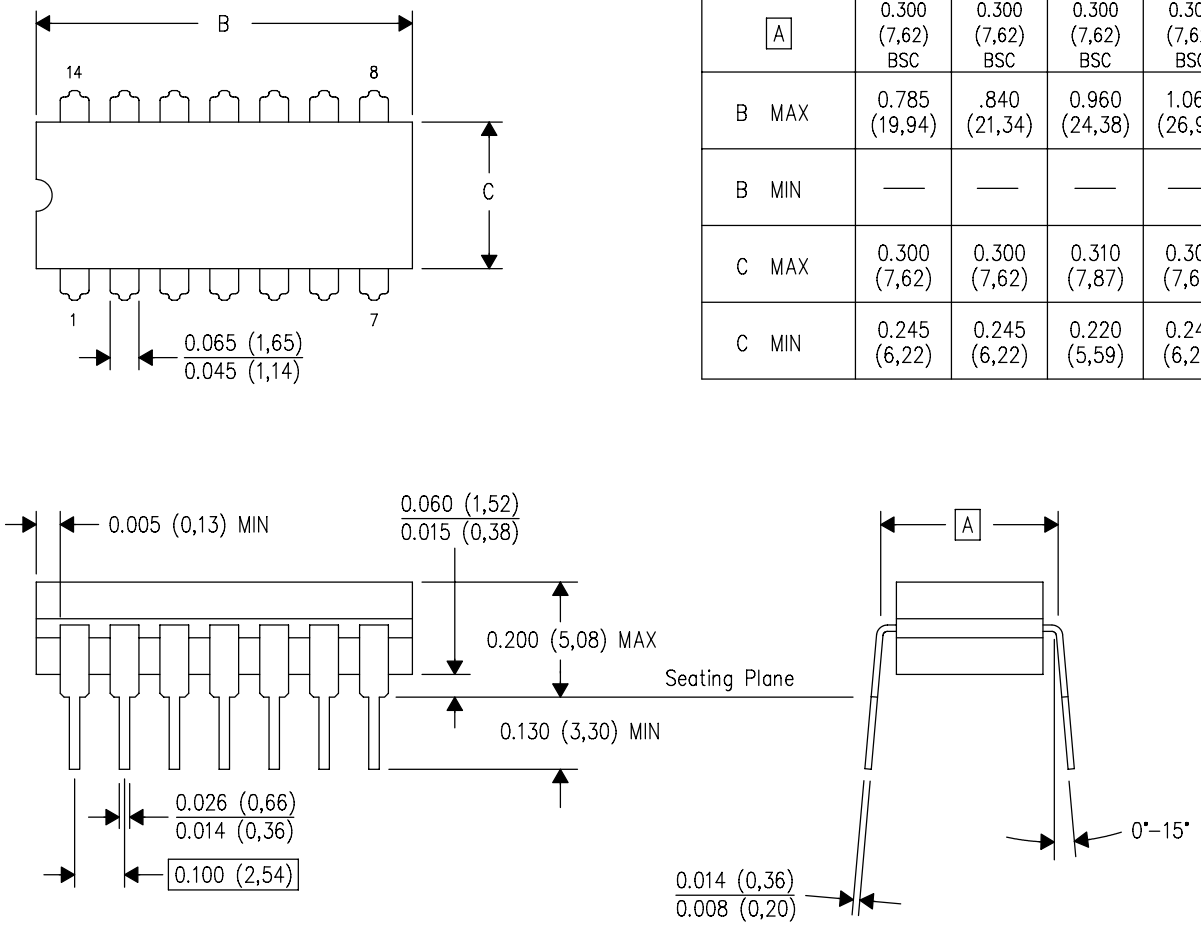
D (R–PDSO–G16) PLASTIC SMALL OUTLINE



NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
E. Reference JEDEC MS–012 variation AC.

J (R–GDIP–T**) CERAMIC DUAL IN–LINE PACKAGE

14 LEADS SHOWN



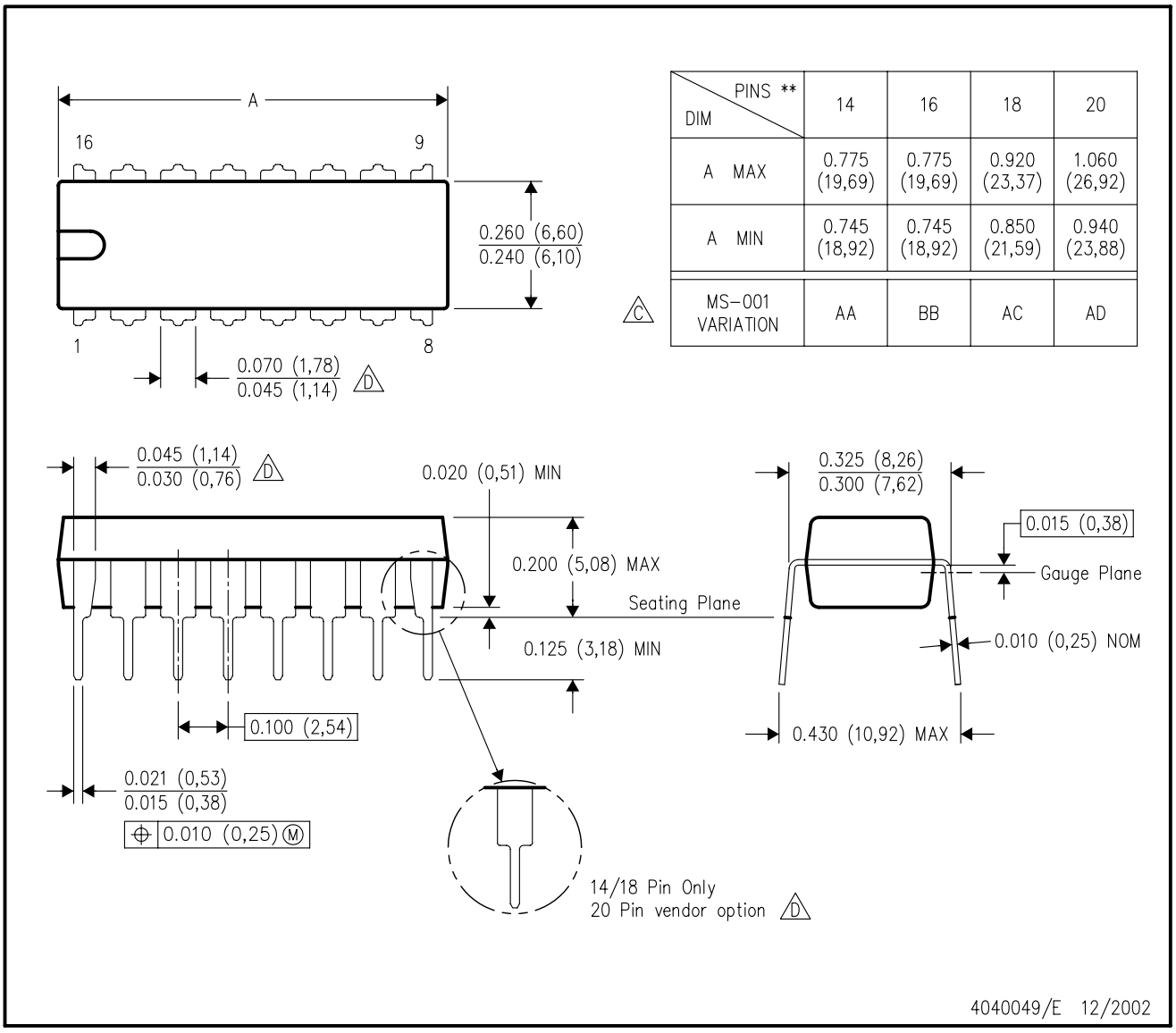
DIM \ PINS **	14	16	18	20
A	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC
B MAX	0.785 (19,94)	.840 (21,34)	0.960 (24,38)	1.060 (26,92)
B MIN	—	—	—	—
C MAX	0.300 (7,62)	0.300 (7,62)	0.310 (7,87)	0.300 (7,62)
C MIN	0.245 (6,22)	0.245 (6,22)	0.220 (5,59)	0.245 (6,22)

4040083/F 03/03

NOTES:
- A. All linear dimensions are in inches (millimeters).
- B. This drawing is subject to change without notice.
- C. This package is hermetically sealed with a ceramic lid using glass frit.
- D. Index point is provided on cap for terminal identification only on press ceramic glass frit seal only.
- E. Falls within MIL STD 1835 GDIP1–T14, GDIP1–T16, GDIP1–T18 and GDIP1–T20.

N (R–PDIP–T**) PLASTIC DUAL–IN–LINE PACKAGE

16 PINS SHOWN



DIM \ PINS **	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS–001 VARIATION (C)	AA	BB	AC	AD

NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001, except 18 and 20 pin minimum body length (Dim A).
D. The 20 pin end lead shoulder width is a vendor option, either half or full width.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月