

# CDx4HC147、CD74HCT147 ハイスピード CMOS ロジック、10 ライン入力 4 ライン出力、プライオリティ エンコーダ

## 1 特長

- バッファ付き入力および出力
- 伝搬遅延時間 (標準値): 13ns ( $V_{CC} = 5V$ ,  $C_L = 15pF$ ,  $T_A = 25^\circ C$ )
- ファンアウト (全温度範囲にわたって)
  - バスドライバ出力: 15 個の LSTTL 負荷
- 広い動作温度範囲: -55°C ~ 125°C
- 平衡のとれた伝搬遅延と遷移時間
- LSTTL ロジック IC に比べて消費電力を大幅削減
- HC タイプ
  - 2V~6V で動作
  - 優れたノイズ耐性:  $V_{CC}$  に対して  $N_{IL} = 30\%$ ,  $N_{IH} = 30\%$  ( $V_{CC} = 5V$  時)
- HCT タイプ
  - 4.5V~5.5V で動作
  - LSTTL 入力ロジックと直接互換、 $V_{IL} = 0.8V$  (最大値),  $V_{IH} = 2V$  (最小値)
  - CMOS 入力互換、 $V_{OL}$ ,  $V_{OH}$  で  $I_l \leq 1\mu A$

## 2 概要

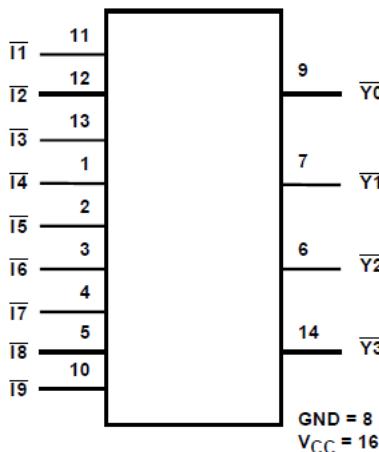
CDx4HC147 および CD74HCT147 は、9 入力プライオリティ エンコーダです。これらのデバイスは、暗黙的に 10 進の「ゼロ」を使用して、10 ラインから 4 ラインへの優先度エンコード機能を提供します。

### 製品情報

部品番号	パッケージ <sup>(1)</sup>	本体サイズ (公称) <sup>(2)</sup>
CD54HC147	J (CDIP, 16)	21.34mm × 6.92mm
CD74HC147	N (PDIP, 16)	19.31mm × 6.35mm
	D (SOIC, 16)	9.90mm × 3.90mm
	PW (TSSOP, 16)	5.00mm × 4.40mm
CD74HCT147	N (PDIP, 16)	19.31mm × 6.35mm

(1) 詳細については、「[メカニカル、パッケージ、および注文情報](#)」を参照してください。

(2) 本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。



機能ブロック図

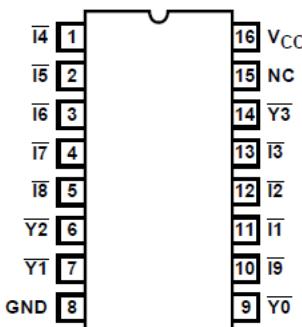


このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、[ti.com](http://ti.com) で必ず最新の英語版をご参照くださいますようお願いいたします。

## 目次

1 特長	1	6.3 デバイスの機能モード	8
2 概要	1	7 アプリケーションと実装	9
3 ピン構成および機能	3	7.1 電源に関する推奨事項	9
4 仕様	4	7.2 レイアウト	9
4.1 絶対最大定格	4	8 デバイスおよびドキュメントのサポート	11
4.2 推奨動作条件	4	8.1 ドキュメントのサポート	11
4.3 熱に関する情報	4	8.2 ドキュメントの更新通知を受け取る方法	11
4.4 電気的特性	5	8.3 サポート・リソース	11
4.5 スイッチング特性	6	8.4 商標	11
5 パラメータ測定情報	7	8.5 静電気放電に関する注意事項	11
6 詳細説明	8	8.6 用語集	11
6.1 概要	8	9 改訂履歴	11
6.2 機能ブロック図	8	10 メカニカル、パッケージ、および注文情報	12

### 3 ピン構成および機能



CD54HC147 J パッケージ、CD74HC(T)147 N、D、または PW パッケージ、  
16 ピン CDIP、PDIP、SOIC、または TSSOP  
(上面図)

表 3-1. ピンの機能

ピン		I/O	説明
番号	名称		
1	14	I	アクティブ Low 入力 4
2	15	I	アクティブ Low 入力 5
3	16	I	アクティブ Low 入力 6
4	17	I	アクティブ Low 入力 7
5	18	I	アクティブ Low 入力 8
6	Y2	O	アクティブ Low 出力 2
7	Y1	O	アクティブ Low 出力 1
8	GND	—	グランド
9	10	I	アクティブ Low 入力 0
10	19	I	アクティブ Low 入力 9
11	11	I	アクティブ Low 入力 1
12	12	I	アクティブ Low 入力 2
13	13	I	アクティブ Low 入力 3
14	Y3	O	アクティブ Low 出力 3
15	NC	該当なし	内部接続なし
16	V <sub>CC</sub>	—	正電源

1. I = 入力、O = 出力、P = 電源、FB = フィードバック、GND = グランド、N/A = 該当なし

## 4 仕様

### 4.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)<sup>(1)</sup>

		最小値	最大値	単位
$V_{CC}$	電源電圧	-0.5	7	V
$I_{IK}$	入力ダイオード電流 $V_I < -0.5V$ または $V_I > V_{CC} + 0.5V$ の場合		$\pm 20$	mA
$I_{OK}$	出力ダイオード電流 $V_O < -0.5V$ または $V_O > V_{CC} + 0.5V$ の場合		$\pm 20$	mA
$I_O$	出力ピンごとの出力ソースまたはシンク電流 $V_O > -0.5V$ または $V_O < V_{CC} + 0.5V$ の場合		$\pm 25$	mA
$V_{CC}$ または GND を通過する連続電流			$\pm 50$	mA

- (1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレス定格のみについて示しており、このデータシートの「推奨動作条件」に示された値を超える状態で本製品が正常に動作することを暗黙的に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。

### 4.2 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	最大値	単位
$V_{CC}$	HC のタイプ	2	6	V
	HCT のタイプ	4.5	5.5	
$V_I$	入力電圧	0	$V_{CC}$	V
$V_O$	出力電圧	0	$V_{CC}$	V
$t_l$	$V_{CC} = 2V$		1000	ns
	$V_{CC} = 4.5V$		500	
	$V_{CC} = 6V$		400	
$T_A$	温度範囲	-55	125	°C

### 4.3 热に関する情報

熱評価基準		N (PDIP)	NS (SOP)	D (SOIC)	PW (TSSOP)	単位
		16 ピン	16 ピン	16 ピン	16 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗 <sup>(1)</sup>	67	64	117.2	137.5	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください

#### 4.4 電気的特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件		V <sub>CC</sub> (V)	25°C		-40°C ~ 85°C		-55°C ~ 125°C		単位	
	V <sub>I</sub> (V)	I <sub>O</sub> (mA)		最小値	標準値	最大値	最小値	最大値	最小値		
<b>HC タイプ</b>											
V <sub>IH</sub>	High レベル入力電圧			2	1.5		1.5		1.5	V	
				4.5	3.15		3.15		3.15	V	
				6	4.2		4.2		4.2	V	
V <sub>IL</sub>	Low レベル入力電圧			2		0.5		0.5		0.5 V	
				4.5		1.35		1.35		1.35 V	
				6		1.8		1.8		1.8 V	
V <sub>OH</sub>	High レベル出力電圧 CMOS 負荷	V <sub>IH</sub> または V <sub>IL</sub>	-0.02	2	1.9		1.9		1.9	V	
			-0.02	4.5	4.4		4.4		4.4	V	
			-0.02	6	5.9		5.9		5.9	V	
	High レベル出力電圧 TTL 負荷		-4	4.5	3.98		3.84		3.7	V	
			-5.2	6	5.48		5.34		5.2	V	
V <sub>OL</sub>	Low レベル出力電圧 CMOS 負荷	V <sub>IH</sub> または V <sub>IL</sub>	0.02	2		0.1		0.1		0.1 V	
			0.02	4.5		0.1		0.1		0.1 V	
			0.02	6		0.1		0.1		0.1 V	
	Low レベル出力電圧 TTL 負荷		4	4.5		0.26		0.33		0.4 V	
			5.2	6		0.26		0.33		0.4 V	
I <sub>I</sub>	入力リーク電流	V <sub>CC</sub> または GND		6		±0.1			±1	μA	
I <sub>CC</sub>	デバイスの静止電流	V <sub>CC</sub> または GND	0	6		8		80	160	μA	
<b>HCT タイプ</b>											
V <sub>IH</sub>	High レベル入力電圧			4.5~ 5.5	2		2		2	V	
V <sub>IL</sub>	Low レベル入力電圧			4.5~ 5.5		0.8		0.8	0.8	V	
V <sub>OH</sub>	High レベル出力電圧 CMOS 負荷	V <sub>IH</sub> または V <sub>IL</sub>	-0.02	4.5	4.4		4.4		4.4	V	
			-4	4.5	3.98		3.84		3.7	V	
V <sub>OL</sub>	Low レベル出力電圧 CMOS 負荷	V <sub>IH</sub> または V <sub>IL</sub>	0.02	4.5		0.1		0.1	0.1	V	
			4	4.5		0.26		0.33	0.4	V	
	Low レベル出力電圧 TTL										
I <sub>I</sub>	入力リーク電流	V <sub>CC</sub> または GND	0	5.5		±0.1		±1	±1	μA	
I <sub>CC</sub>	デバイスの静止電流	V <sub>CC</sub> または GND	0	5.5		8		80	160	μA	
ΔI <sub>CC</sub> <sup>(1)</sup>	入力ピンごとの追加のデバイス静止電流: 1 単位 負荷	V <sub>CC</sub> -2.1		4.5~ 5.5	100	360		450	490	μA	

(1) V<sub>I</sub> = V<sub>IH</sub> または V<sub>IL</sub> (特に記述のない限り)。

## HCT 入力負荷表

### 4.4 電気的特性

入力	単位負荷 <sup>(1)</sup>
$\bar{I}_1, \bar{I}_2, \bar{I}_3, \bar{I}_6, \bar{I}_7$	1.1
$\bar{I}_4, \bar{I}_5, \bar{I}_8, \bar{I}_9$	1.5

(1) 単位負荷は、DC 電気的特性表に規定されている  $\Delta I_{CC}$  制限値 (たとえば 25°C で最大 360μA) です。

### 4.5 スイッチング特性

入力  $t_t = 6\text{ns}$ 。特に記述のない限り、 $C_L = 50\text{pF}$

パラメータ	テスト条件	$V_{CC}$ (V)	25°C			-40°C ~ 85°C		-55°C ~ 125°C		単位
			最小値	標準値	最大値	最小値	最大値	最小値	最大値	
<b>HC タイプ</b>										
$t_{PLH}, t_{PHL}$	入力から出力への伝搬遅延	$C_L = 50\text{pF}$	2		160	200		240		ns
			4.5		32	40		48		
			5		13					
			6		27	34		41		
$t_{TLH}, t_{THL}$	遷移時間	$C_L = 50\text{pF}$	2		75	95		110		ns
			4.5		15	19		22		
			6		13	16		19		
$C_{IN}$	入力容量				10	10		10	pF	
$C_{PD}$	電力散逸容量 <sup>(1) (2)</sup>		5		32				pF	
<b>HCT タイプ</b>										
$t_{PLH}, t_{PHL}$	入力から出力への伝搬遅延	$C_L = 50\text{pF}$	4.5		35	44		53	ns	ns
			5		14					
$t_{TLH}, t_{THL}$	遷移時間	$C_L = 50\text{pF}$	4.5		15	19		22	ns	
$C_{IN}$	入力容量				10	10		10	pF	
$C_{PD}$	電力散逸容量 <sup>(1) (2)</sup>		5		42				pF	

(1)  $C_{PD}$  を使用してゲートごとの動的な消費電力を決定します。

(2)  $P_D = V_{CC}^2 f_i (C_{PD} + C_L)$ 。ここで、 $f_i$  = 入力周波数、 $C_L$  = 出力負荷容量、 $V_{CC}$  = 電源電圧。

## 5 パラメータ測定情報

$t_{pd}$  は、 $t_{PLH}$  と  $t_{PHL}$  との間の最大値です

$t_t$  は、 $t_{TLH}$  と  $t_{THL}$  との間の最大値です

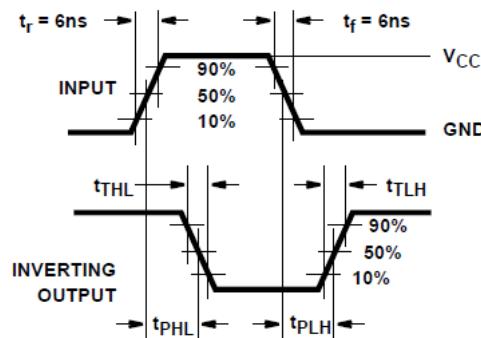


図 5-1. HC と HCU の遷移時間と伝搬遅延時間、組み合  
わせ論理

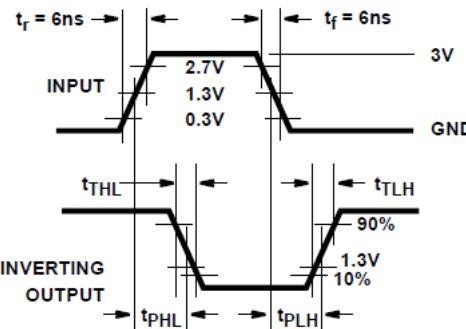


図 5-2. HCT の遷移時間と伝搬遅延時間、組み合  
わせ論理

## 6 詳細説明

### 6.1 概要

CDx4HC147 および CD74HCT147 デバイスは高速シリコン ゲート CMOS デバイスで、低消費電力のショットキー TTL (LSTTL) とピン互換です。

CDx4HC147 および CD74HCT147、9 入力優先度エンコーダは、9 つのアクティブ LOW 入力 ( $\overline{I_1} \sim \overline{I_9}$ ) からのデータを受け取り、4 つのアクティブ LOW 出力 ( $\overline{Y_0} \sim \overline{Y_3}$ ) でバイナリ表示を提供します。2 つ以上の入力が同時にアクティブになったときに、最も優先度の高い入力が出力に表示され、入力ライン  $\overline{I_9}$  に最も優先度の高い入力が表示されるように、各入力に優先度が割り当てられます。

これらのデバイスは、暗黙的に 10 進の「ゼロ」を使用して、10 ラインから 4 ラインへの優先度エンコード機能を提供します。9 つのデータ入力すべてが HIGH になると、「ゼロ」はエンコードされ、4 つの出力すべてが強制的に HIGH になります。

### 6.2 機能ブロック図

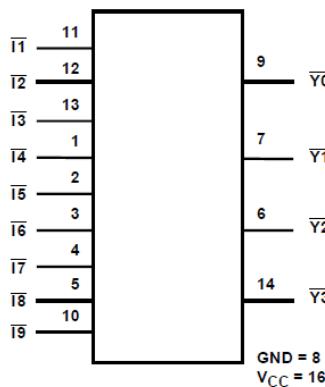


図 6-1. 機能ブロック図

### 6.3 デバイスの機能モード

機能表に、CDx4HC(T)147 の機能モードを示します。

表 6-1. 真理値表 <sup>(1) (2) (3)</sup>

入力									出力			
$\overline{I_1}$	$\overline{I_2}$	$\overline{I_3}$	$\overline{I_4}$	$\overline{I_5}$	$\overline{I_6}$	$\overline{I_7}$	$\overline{I_8}$	$\overline{I_9}$	$\overline{Y_3}$	$\overline{Y_2}$	$\overline{Y_1}$	$\overline{Y_0}$
H	H	H	H	H	H	H	H	H	H	H	H	H
X	X	X	X	X	X	X	X	L	L	H	H	L
X	X	X	X	X	X	X	L	H	L	H	H	H
X	X	X	X	X	X	L	H	H	H	H	L	L
X	X	X	X	X	L	H	H	H	H	H	L	H
X	X	X	X	L	H	H	H	H	H	H	H	L
X	X	X	L	H	H	H	H	H	H	H	H	H
X	X	L	H	H	H	H	H	H	H	H	L	L
X	L	H	H	H	H	H	H	H	H	H	H	H
L	H	H	H	H	H	H	H	H	H	H	H	L

(1) H = High ロジック レベル

(2) L = Low ロジック レベル

(3) X = 未使用

## 7 アプリケーションと実装

### 注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 7.1 電源に関する推奨事項

電源には、「推奨動作条件」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。電源の外乱を防止するため、各  $V_{CC}$  端子に適切なバイパスコンデンサを配置する必要があります。このデバイスには  $0.1\mu F$  のコンデンサを推奨します。複数のバイパスコンデンサを並列に配置して、異なる周波数のノイズを除去することが許容されます。一般的に、 $0.1\mu F$  と  $1\mu F$  のコンデンサは並列に使用されます。バイパスコンデンサを電源端子のできるだけ近くに配置すると最適な結果が得られます。

### 7.2 レイアウト

#### 7.2.1 レイアウトのガイドライン

- バイパスコンデンサの配置
  - デバイスの正電源端子の近くに配置
  - 電気的に短いグランド帰還パスを提供
  - インピーダンスを最小化するため、広いパターンを使用
  - 可能な場合はいつでも、ボードの同じ側にデバイス、コンデンサ、パターンを配置
- 信号トレースの形状
  - 8mil~12mil のトレース幅
  - 伝送ラインの影響を最小化する 12cm 未満の長さ
  - 信号トレースの  $90^\circ$  のコーナーは避ける
  - 信号トレースの下に、途切れのないグランドプレーンを使用
  - 信号トレース周辺の領域をグランドでフラッドフィル
  - 12cm を超えるパターン用
    - インピーダンス制御トレースを使用
    - 出力の近くに直列ダンピング抵抗を使用して、ソース終端
    - 分岐を回避。個別に分岐が必要なバッファ信号

#### 7.2.2 レイアウト例

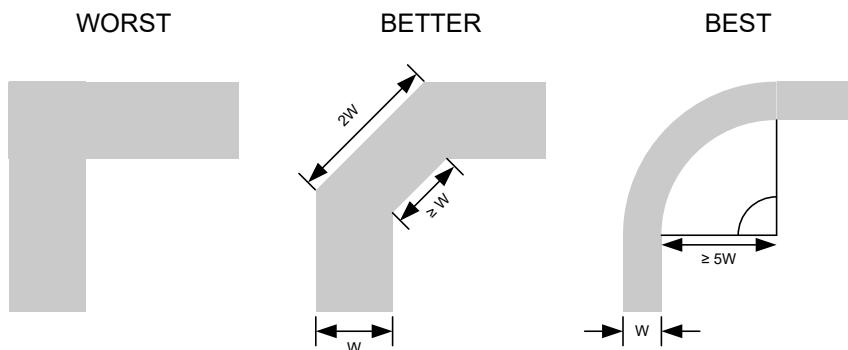


図 7-1. シグナルインテグリティ向上のためのサンプルパターンのコーナー

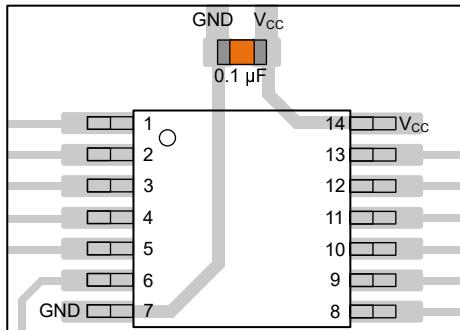


図 7-2. TSSOP や類似のパッケージに対応するバイパス コンデンサの配置例

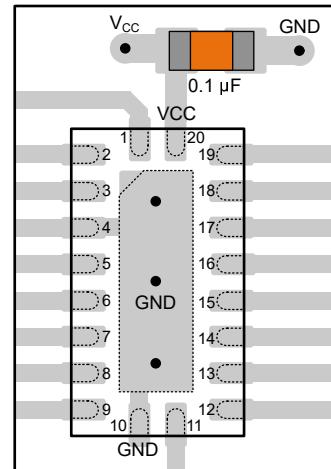


図 7-3. WQFN や類似のパッケージに対応するバイパス コンデンサの配置例

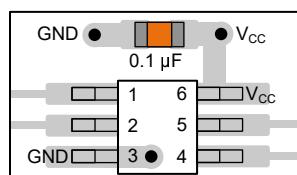


図 7-4. SOT、SC70、および類似のパッケージに対応するバイパス コンデンサの配置例

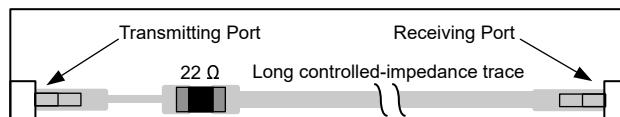


図 7-5. シグナル インテグリティ向上のためのダンピング抵抗の配置例

## 8 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

### 8.1 ドキュメントのサポート

#### 8.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『CMOS の消費電力と  $C_{pd}$  の計算』アプリケーション・レポート
- テキサス・インスツルメンツ、『ロジックを使用した設計』アプリケーション・レポート
- テキサス・インスツルメンツ、『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』アプリケーション・レポート

### 8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

### 8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

### 8.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお勧めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。



ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 8.6 用語集

#### テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

## 9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision F (October 2003) to Revision G (January 2025)	Page
最新のデータシート規格を反映するように、文書全体の採番、書式設定、表、図、相互参照を更新.....	1
製品情報の表、ピンの機能の表、熱に関する情報の表、「デバイスの機能モード」、「アプリケーションと実装」セクション、「デバイスおよびドキュメントのサポート」セクション、および「メカニカル、パッケージ、および注文情報」セクションを追加 .....	1
現在の機能を反映させるために熱特性値を更新。73 だった D において現在は 117.2、108 だった PW において現在は 137.5.....	4

## 10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](http://ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

**PACKAGING INFORMATION**

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
8406401EA	Active	Production	CDIP (J)   16	25   TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8406401EA CD54HC147F3A
CD54HC147F3A	Active	Production	CDIP (J)   16	25   TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8406401EA CD54HC147F3A
CD54HC147F3A.A	Active	Production	CDIP (J)   16	25   TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8406401EA CD54HC147F3A
CD74HC147E	Active	Production	PDIP (N)   16	25   TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74HC147E
CD74HC147E.A	Active	Production	PDIP (N)   16	25   TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74HC147E
CD74HC147M	Obsolete	Production	SOIC (D)   16	-	-	Call TI	Call TI	-55 to 125	HC147M
CD74HC147M96	Active	Production	SOIC (D)   16	2500   LARGE T&R	Yes	NIPDAU   SN	Level-1-260C-UNLIM	-55 to 125	HC147M
CD74HC147M96.A	Active	Production	SOIC (D)   16	2500   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HC147M
CD74HC147M96G4	Active	Production	SOIC (D)   16	2500   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HC147M
CD74HC147M96G4.A	Active	Production	SOIC (D)   16	2500   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HC147M
CD74HC147MT	Obsolete	Production	SOIC (D)   16	-	-	Call TI	Call TI	-55 to 125	HC147M
CD74HC147PW	Obsolete	Production	TSSOP (PW)   16	-	-	Call TI	Call TI	-55 to 125	HJ147
CD74HC147PWR	Active	Production	TSSOP (PW)   16	2000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HJ147
CD74HC147PWR.A	Active	Production	TSSOP (PW)   16	2000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HJ147
CD74HC147PWT	Obsolete	Production	TSSOP (PW)   16	-	-	Call TI	Call TI	-55 to 125	HJ147
CD74HCT147E	Active	Production	PDIP (N)   16	25   TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74HCT147E
CD74HCT147E.A	Active	Production	PDIP (N)   16	25   TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74HCT147E

<sup>(1)</sup> **Status:** For more details on status, see our [product life cycle](#).

<sup>(2)</sup> **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

<sup>(3)</sup> **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

<sup>(4)</sup> **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

<sup>(5)</sup> **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

<sup>(6)</sup> **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

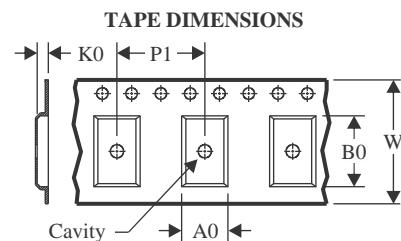
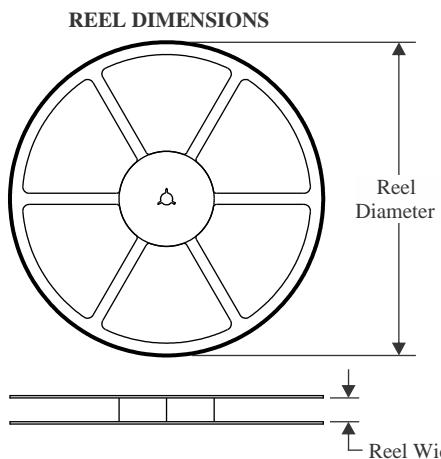
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

**OTHER QUALIFIED VERSIONS OF CD54HC147, CD74HC147 :**

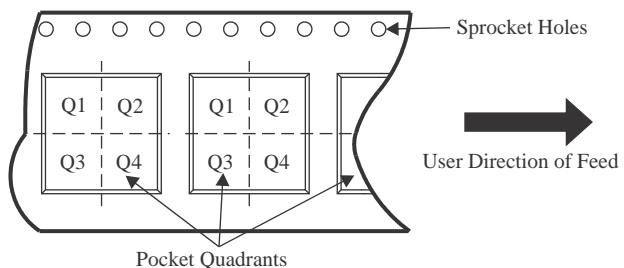
- Catalog : [CD74HC147](#)
- Military : [CD54HC147](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Military - QML certified for Military and Defense Applications

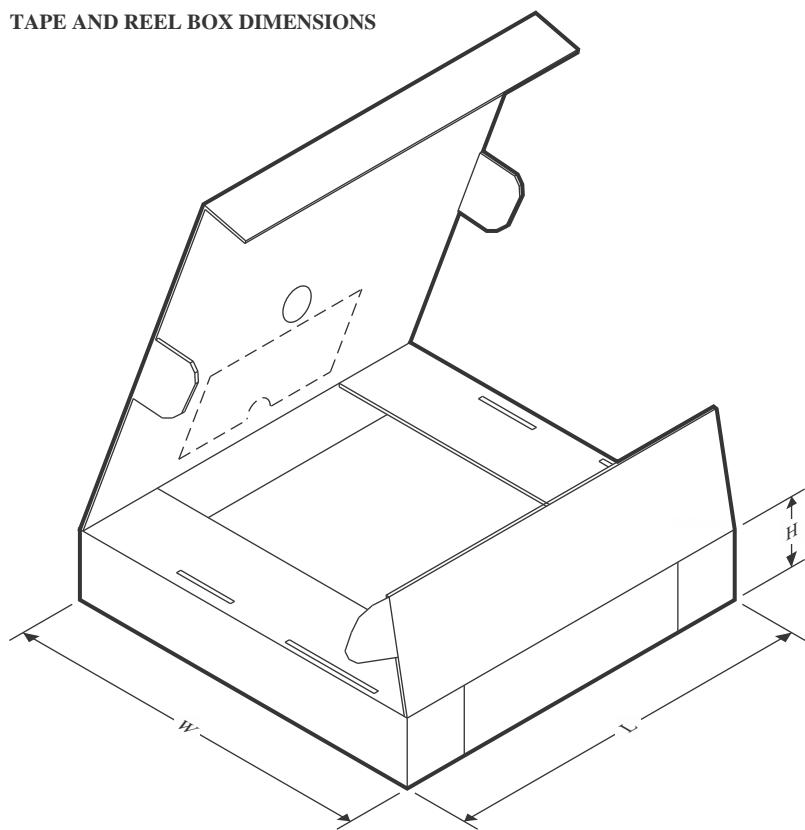
**TAPE AND REEL INFORMATION**


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**


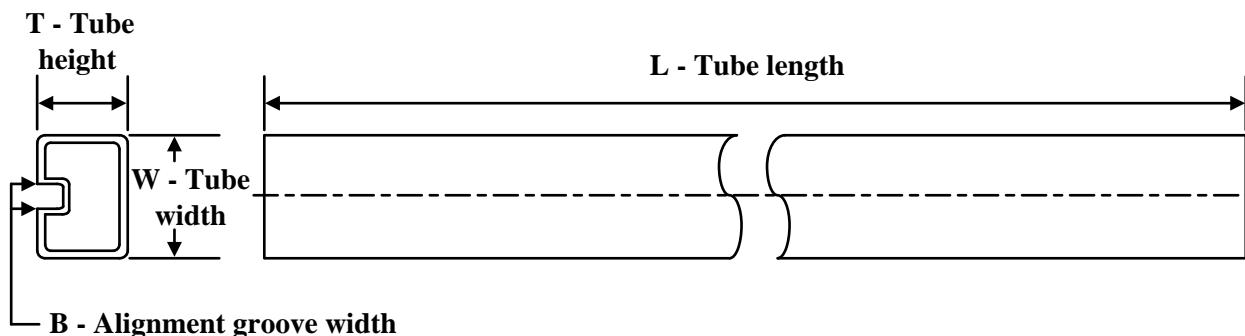
\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CD74HC147M96	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
CD74HC147PWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CD74HC147M96	SOIC	D	16	2500	353.0	353.0	32.0
CD74HC147PWR	TSSOP	PW	16	2000	353.0	353.0	32.0

**TUBE**


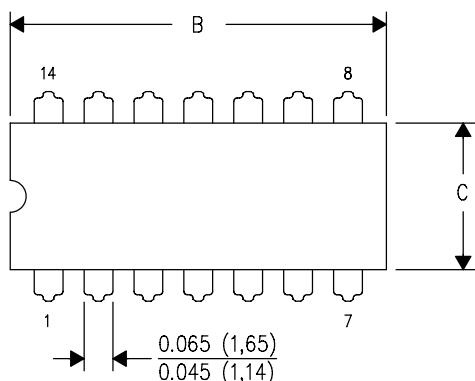
\*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T ( $\mu$ m)	B (mm)
CD74HC147E	N	PDIP	16	25	506	13.97	11230	4.32
CD74HC147E	N	PDIP	16	25	506	13.97	11230	4.32
CD74HC147E.A	N	PDIP	16	25	506	13.97	11230	4.32
CD74HC147E.A	N	PDIP	16	25	506	13.97	11230	4.32
CD74HCT147E	N	PDIP	16	25	506	13.97	11230	4.32
CD74HCT147E	N	PDIP	16	25	506	13.97	11230	4.32
CD74HCT147E.A	N	PDIP	16	25	506	13.97	11230	4.32
CD74HCT147E.A	N	PDIP	16	25	506	13.97	11230	4.32

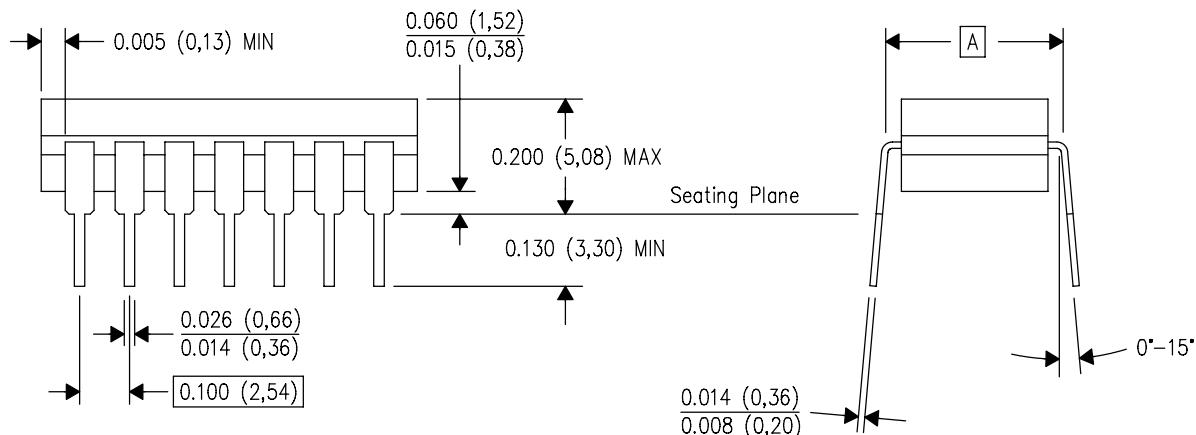
J (R-GDIP-T\*\*)

14 LEADS SHOWN

CERAMIC DUAL IN-LINE PACKAGE



PINS ** DIM	14	16	18	20
A	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC
B MAX	0.785 (19,94)	.840 (21,34)	0.960 (24,38)	1.060 (26,92)
B MIN	—	—	—	—
C MAX	0.300 (7,62)	0.300 (7,62)	0.310 (7,87)	0.300 (7,62)
C MIN	0.245 (6,22)	0.245 (6,22)	0.220 (5,59)	0.245 (6,22)



4040083/F 03/03

- NOTES: A. All linear dimensions are in inches (millimeters).  
B. This drawing is subject to change without notice.  
C. This package is hermetically sealed with a ceramic lid using glass frit.  
D. Index point is provided on cap for terminal identification only on press ceramic glass frit seal only.  
E. Falls within MIL STD 1835 GDIP1-T14, GDIP1-T16, GDIP1-T18 and GDIP1-T20.

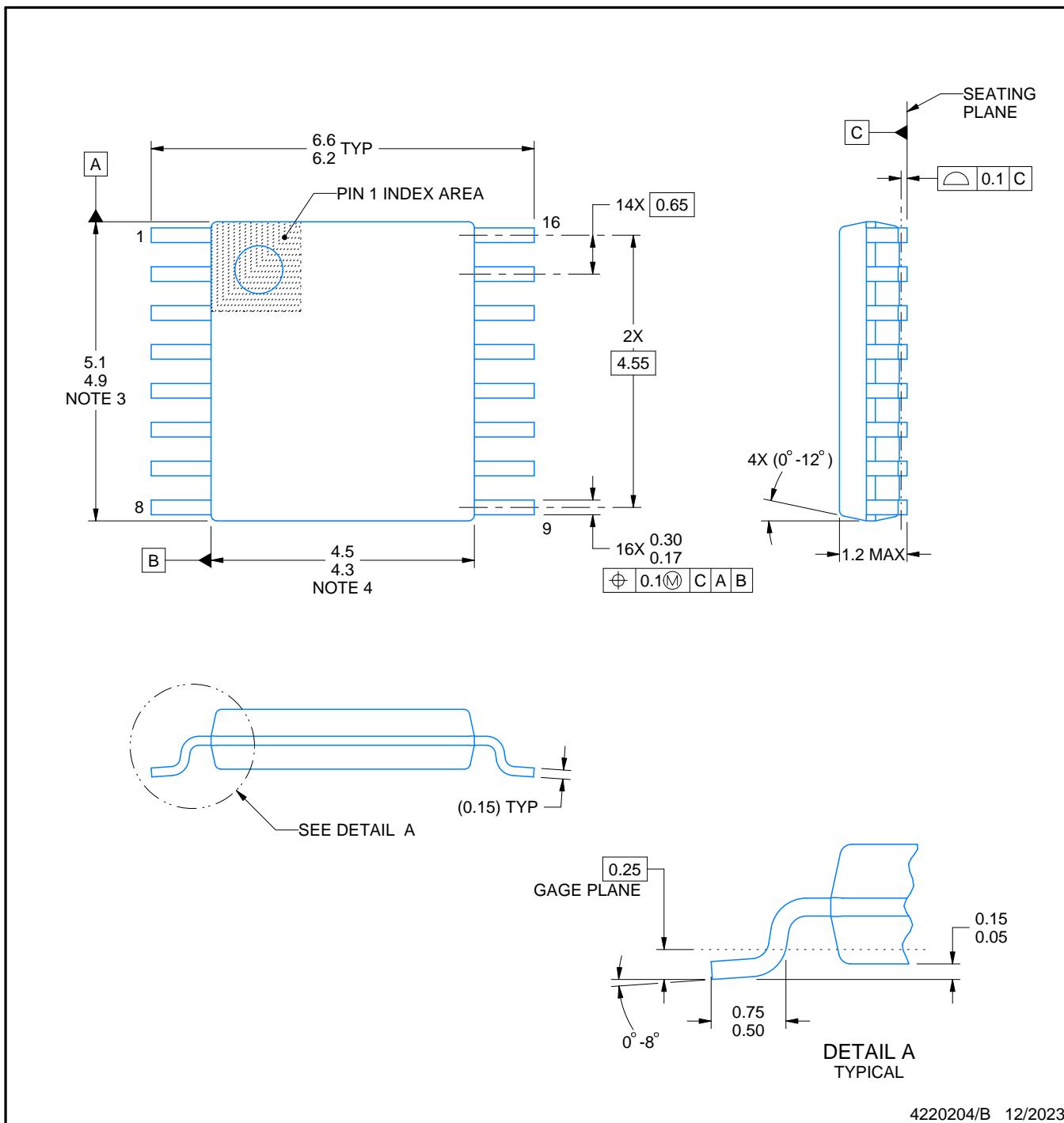
## PACKAGE OUTLINE

**PW0016A**



## **TSSOP - 1.2 mm max height**

## SMALL OUTLINE PACKAGE



## NOTES:

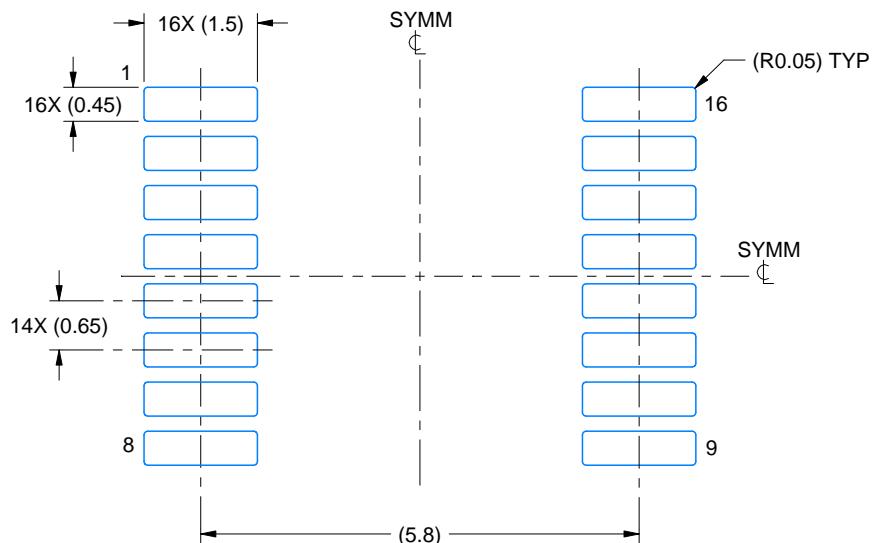
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
  2. This drawing is subject to change without notice.
  3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
  4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
  5. Reference JEDEC registration MO-153.

# EXAMPLE BOARD LAYOUT

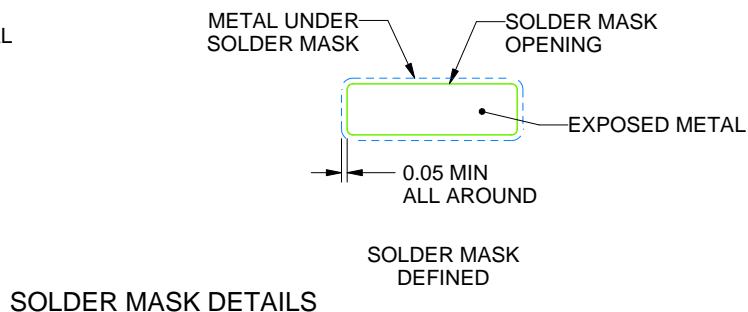
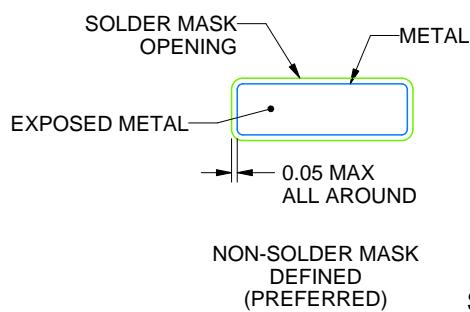
PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE: 10X



SOLDER MASK DETAILS

4220204/B 12/2023

NOTES: (continued)

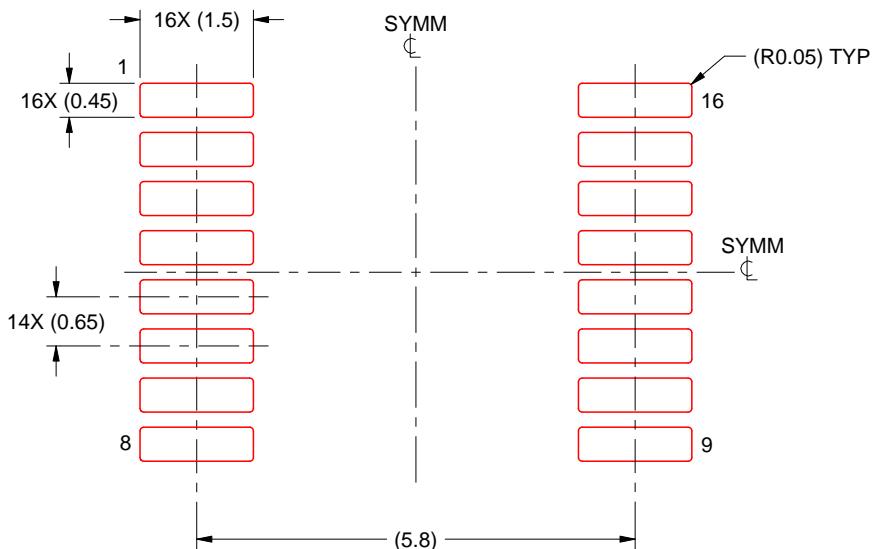
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE: 10X

4220204/B 12/2023

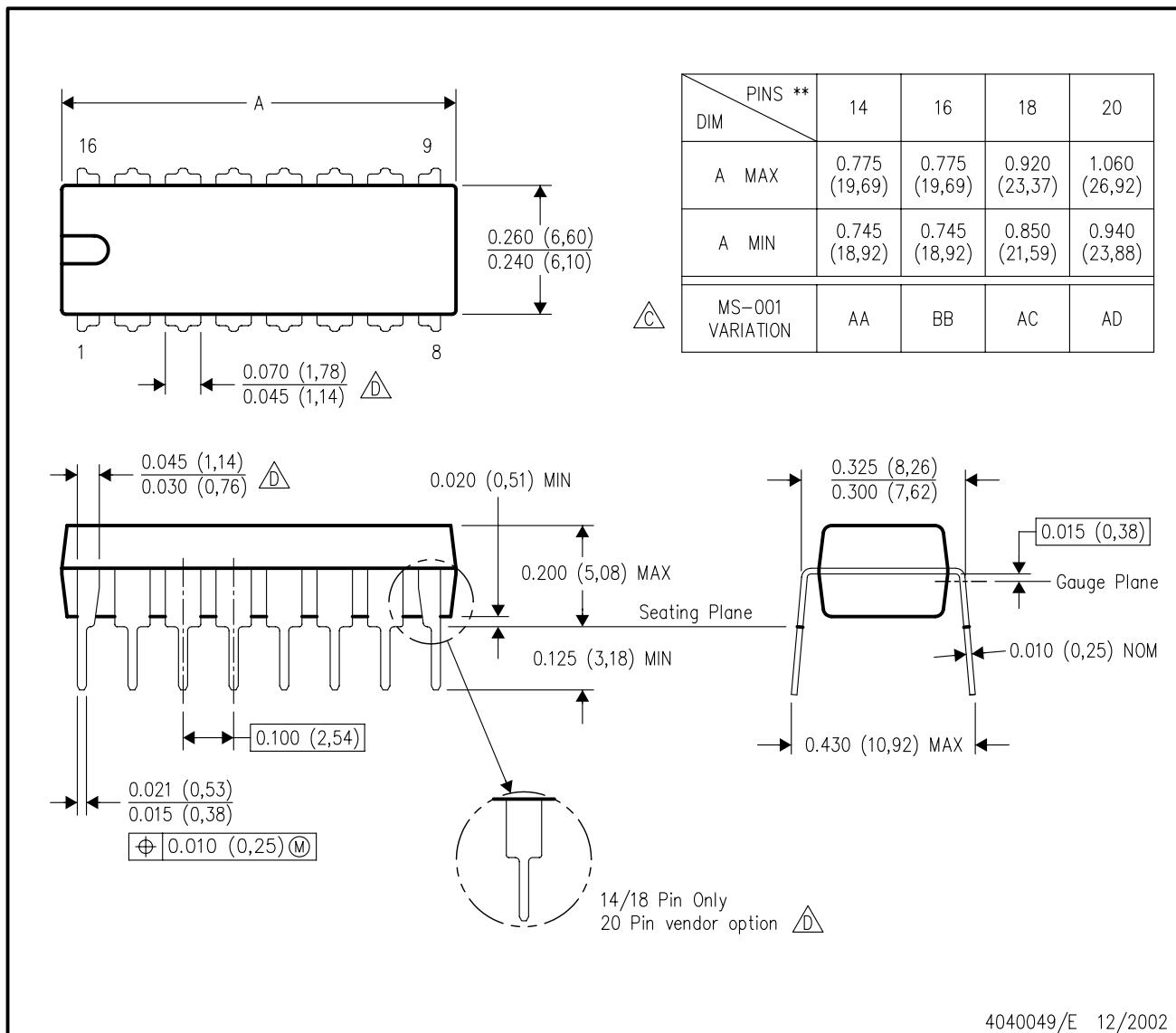
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

## N (R-PDIP-T\*\*)

16 PINS SHOWN

## PLASTIC DUAL-IN-LINE PACKAGE



NOTES: A. All linear dimensions are in inches (millimeters).  
 B. This drawing is subject to change without notice.

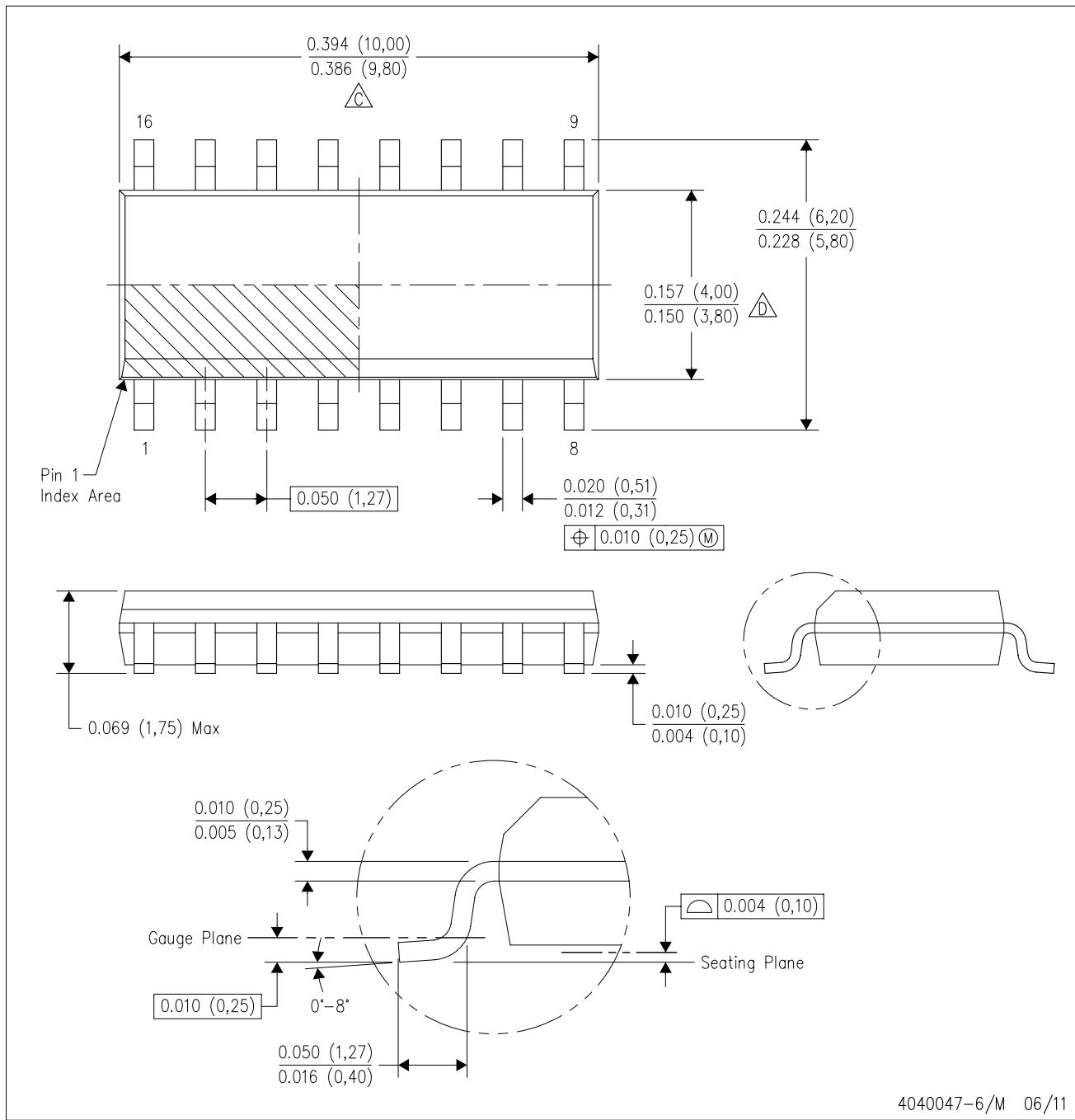
△ Falls within JEDEC MS-001, except 18 and 20 pin minimum body length (Dim A).

△ The 20 pin end lead shoulder width is a vendor option, either half or full width.

4040049/E 12/2002

D (R-PDSO-G16)

PLASTIC SMALL OUTLINE



NOTES: A. All linear dimensions are in inches (millimeters).

B. This drawing is subject to change without notice.

C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.

D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.

E. Reference JEDEC MS-012 variation AC.

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月