

CSD25480F3 –20V P チャネル FemtoFET™ MOSFET

1 特長

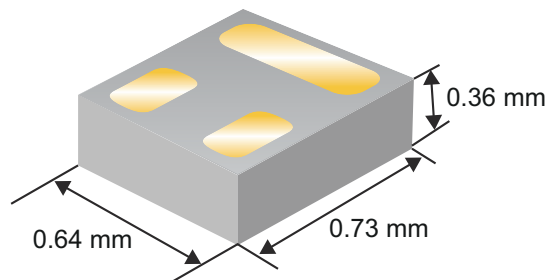
- 低オン抵抗
- 非常に低い Q_g および Q_{gd}
- 極めて小さいフットプリント
 - 0.73mm × 0.64mm
- 薄型
 - 最大高 0.36mm
- ESD 保護ダイオード搭載
- 鉛およびハロゲン不使用
- RoHS 準拠

2 アプリケーション

- ロード・スイッチ・アプリケーションに最適
- 汎用スイッチング・アプリケーションに最適
- バッテリー・アプリケーション
- ハンドヘルドおよびモバイル・アプリケーション

3 概要

この –20V、110mΩ、P チャネル FemtoFET™ MOSFET は、さまざまなハンドヘルドおよびモバイル・アプリケーション向けに、フットプリントを最小化するように設計され、最適化されています。標準の小信号 MOSFET をこのテクノロジーに置き換えて、フットプリントを大幅に減らすことができます。



標準的な部品寸法

製品概要

$T_A = 25^\circ\text{C}$		標準値	単位
V_{DS}	ドレイン - ソース間電圧	–20	V
Q_g	ゲートの合計電荷 (–4.5V)	0.7	nC
Q_{gd}	ゲート電荷、ゲート - ドレイン間	0.10	nC
$R_{DS(on)}$	ドレイン - ソース間 オン抵抗	$V_{GS} = -1.8\text{V}$	420
		$V_{GS} = -2.5\text{V}$	203
		$V_{GS} = -4.5\text{V}$	132
		$V_{GS} = -8.0\text{V}$	110
$V_{GS(th)}$	スレッシュホールド電圧	–0.95	V

製品情報(1)

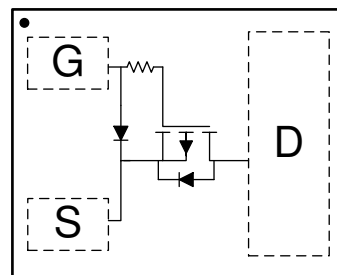
デバイス	数量	メディア	パッケージ	出荷形態
CSD25480F3	3000	7 インチ・リール	Femto 0.73mm × 0.64mm LGA (Land Grid Array)	テープ および リール
CSD25480F3T	250			

- (1) 利用可能なパッケージについては、このデータシートの末尾にある注文情報を参照してください。

絶対最大定格

$T_A = 25^\circ\text{C}$ (特に記述のない限り)		値	単位
V_{DS}	ドレイン - ソース間電圧	–20	V
V_{GS}	ゲート - ソース間電圧	–12	V
I_D	連続ドレイン電流 ⁽¹⁾	–1.7	A
I_{DM}	パルス・ドレイン電流 ^{(1) (2)}	–10.6	A
P_D	消費電力 ⁽¹⁾	500	mW
$V_{(ESD)}$	人体モデル (HBM)	4000	V
	デバイス帯電モデル (CDM)	2000	
T_J , T_{stg}	動作時の接合部温度、 保存温度	–55 ~ 150	°C

- (1) $R_{\theta JA} = 255^\circ\text{C/W}$ (標準値、最小限の Cu 取り付け領域を持つ FR4 基板に実装した場合)
- (2) パルス幅 $\leq 100\mu\text{s}$ 、デューティ・サイクル $\leq 1\%$



上面図



Table of Contents

1 特長	1	6 Device and Documentation Support	7
2 アプリケーション	1	6.1 Receiving Notification of Documentation Updates.....	7
3 概要	1	6.2 Trademarks.....	7
4 Revision History	2	7 Mechanical, Packaging, and Orderable Information	8
5 Specifications	3	7.1 Mechanical Dimensions.....	8
5.1 Electrical Characteristics.....	3	7.2 Recommended Minimum PCB Layout.....	9
5.2 Thermal Information.....	3	7.3 Recommended Stencil Pattern.....	9
5.3 Typical MOSFET Characteristics.....	4		

4 Revision History

Changes from Revision A (August 2017) to Revision B (February 2022) Page

• 超薄型の箇条書き項目を、高さ 0.35mm から 0.36mm に変更。.....	1
• 超薄型の画像の高さを 0.35mm から 0.36mm に更新。.....	1
• Changed ultra-low profile image height from 0.35 mm to 0.36 mm.....	8
• Added FemtoFET Surface Mount Guide note.....	9

Changes from Revision * (April 2016) to Revision A (August 2017) Page

• Added the セクション 6.1 section in セクション 6	7
• Added Recommended Minimum PCB Layout	9
• Updated the セクション 7.3	9

5 Specifications

5.1 Electrical Characteristics

$T_A = 25^\circ\text{C}$ (unless otherwise stated)

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
STATIC CHARACTERISTICS						
BV _{DSS}	Drain-to-source voltage	V _{GS} = 0 V, I _{DS} = −250 μA	−20			V
I _{DSS}	Drain-to-source leakage current	V _{GS} = 0 V, V _{DS} = −16 V			−50	nA
I _{GSS}	Gate-to-source leakage current	V _{DS} = 0 V, V _{GS} = −12 V			−25	nA
V _{GS(th)}	Gate-to-source threshold voltage	V _{DS} = V _{GS} , I _{DS} = −250 μA	−0.70	−0.95	−1.20	V
R _{DS(on)}	Drain-to-source on-resistance	V _{GS} = −1.8 V, I _{DS} = −0.1 A		420	840	mΩ
		V _{GS} = −2.5 V, I _{DS} = −0.4 A		203	260	
		V _{GS} = −4.5 V, I _{DS} = −0.4 A		132	159	
		V _{GS} = −8 V, I _{DS} = −0.4 A		110	132	
g _{fs}	Transconductance	V _{DS} = −10 V, I _{DS} = −0.4 A		8.0		S
DYNAMIC CHARACTERISTICS						
C _{iss}	Input capacitance	V _{GS} = 0 V, V _{DS} = −10 V, f = 1 MHz		119	155	pF
C _{oss}	Output capacitance			48	62	pF
C _{rss}	Reverse transfer capacitance			3.6	4.7	pF
R _G	Series gate resistance			16		Ω
Q _g	Gate charge total (−4.5 V)	V _{DS} = −10 V, I _{DS} = −0.4 A		0.70	0.91	nC
Q _{gd}	Gate charge gate-to-drain			0.10		nC
Q _{gs}	Gate charge gate-to-source			0.26		nC
Q _{g(th)}	Gate charge at V _{th}			0.15		nC
Q _{oss}	Output charge	V _{DS} = −10 V, V _{GS} = 0 V		1.3		nC
t _{d(on)}	Turnon delay time	V _{DS} = −10 V, V _{GS} = −4.5 V, I _{DS} = −0.4 A, R _G = 10 Ω		9		ns
t _r	Rise time			5		ns
t _{d(off)}	Turnoff delay time			13		ns
t _f	Fall time			7		ns
DIODE CHARACTERISTICS						
V _{SD}	Diode forward voltage	I _{SD} = −0.4 A, V _{GS} = 0 V		−0.78	−1.0	V
Q _{rr}	Reverse recovery charge	V _{DS} = −10 V, I _F = −0.4 A, di/dt = 100 A/μs		1.2		nC
t _{rr}	Reverse recovery time			6.4		ns

5.2 Thermal Information

$T_A = 25^\circ\text{C}$ (unless otherwise stated)

THERMAL METRIC		TYPICAL VALUES	UNIT
$R_{\theta JA}$	Junction-to-ambient thermal resistance ⁽¹⁾	90	$^\circ\text{C}/\text{W}$
	Junction-to-ambient thermal resistance ⁽²⁾	255	

(1) Device mounted on FR4 material with 1-in² (6.45-cm²), 2-oz. (0.071-mm) thick Cu.

(2) Device mounted on FR4 material with minimum Cu mounting area.

5.3 Typical MOSFET Characteristics

$T_A = 25^\circ\text{C}$ (unless otherwise stated)

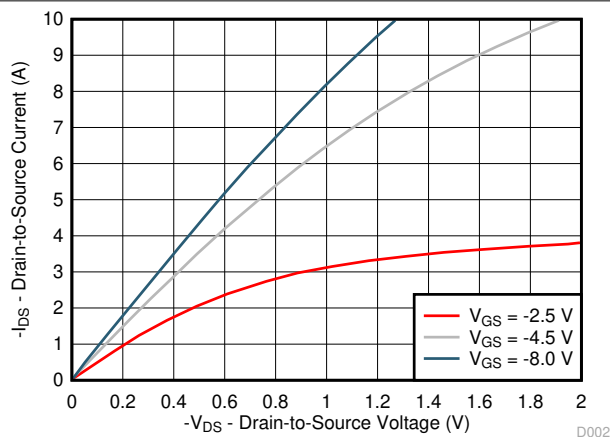


Figure 5-1. Saturation Characteristics

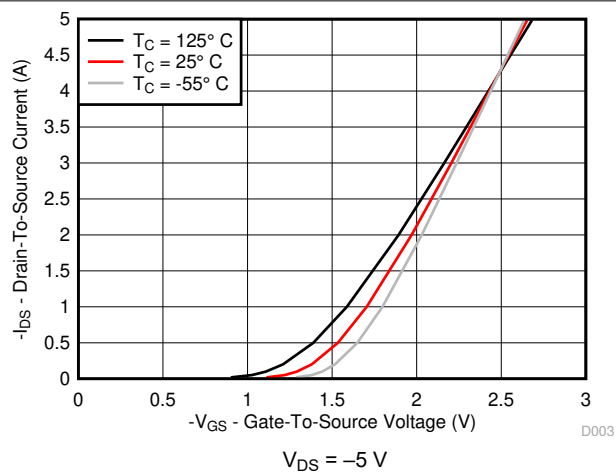


Figure 5-2. Transfer Characteristics

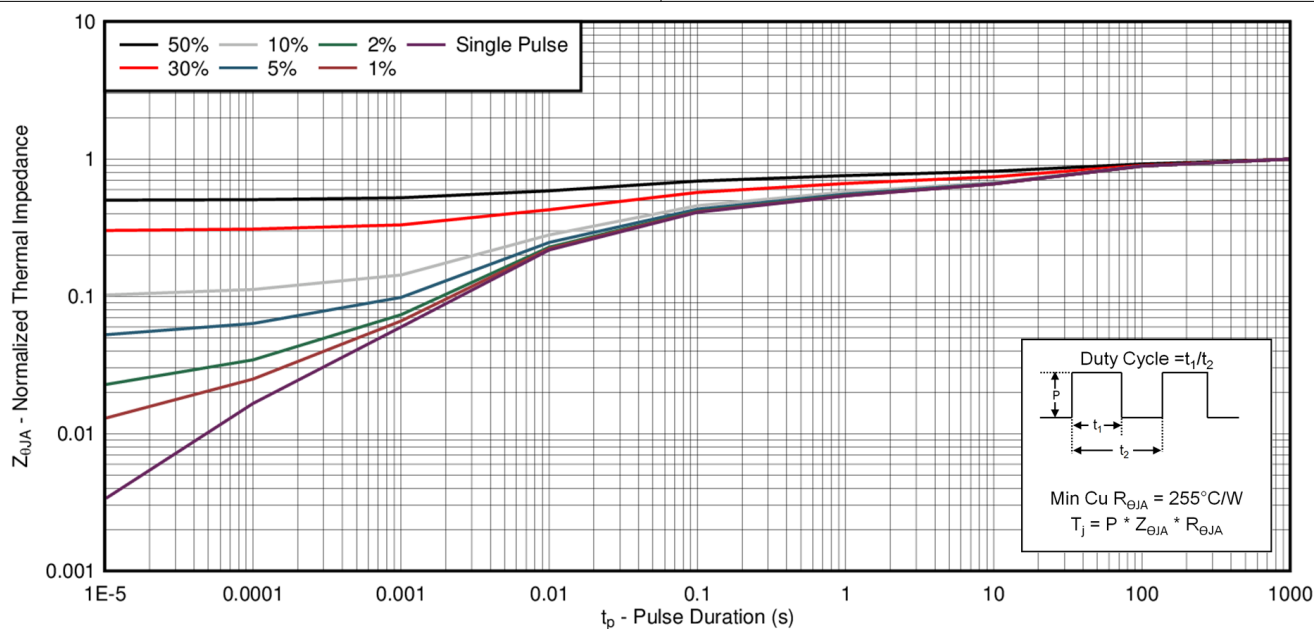
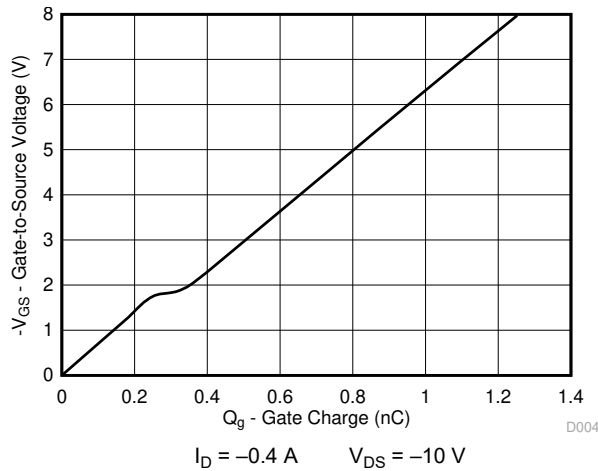
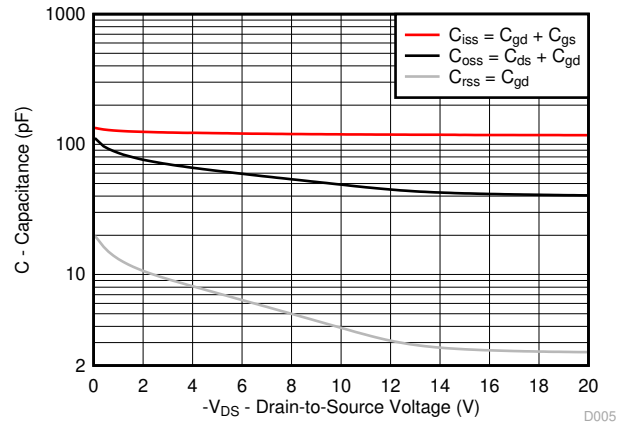


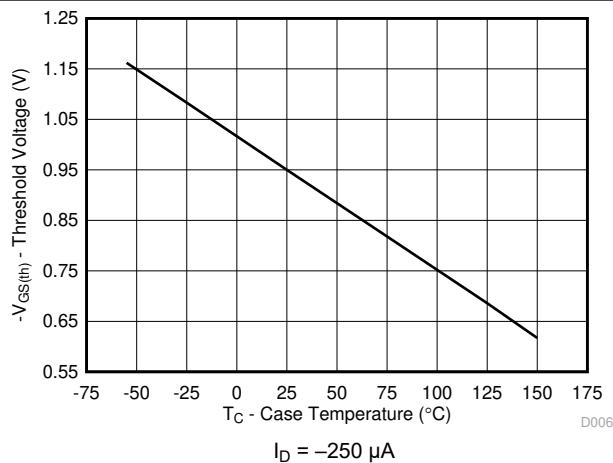
Figure 5-3. Transient Thermal Impedance



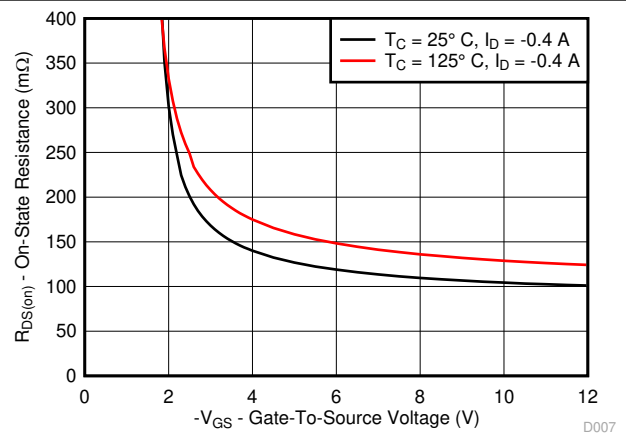
5-4. Gate Charge



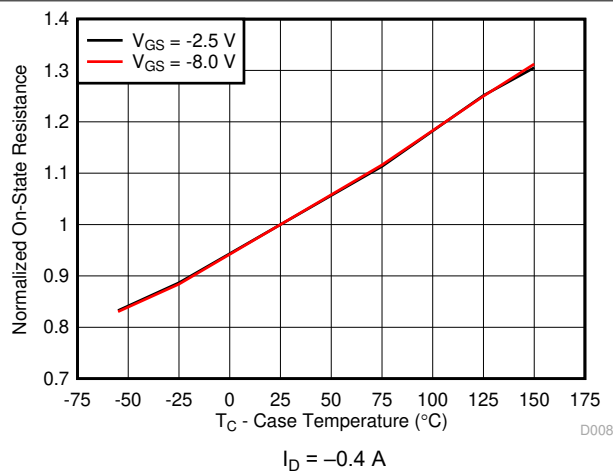
5-5. Capacitance



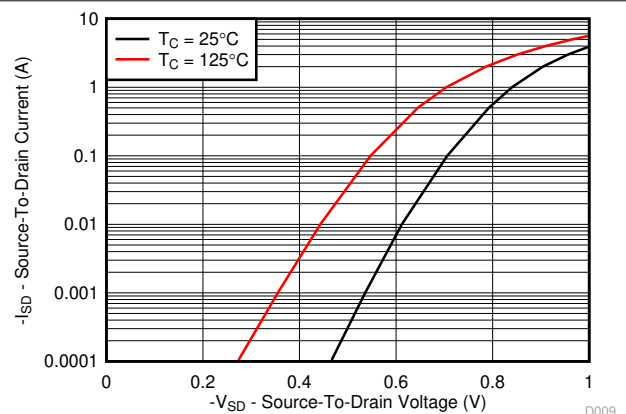
5-6. Threshold Voltage vs Temperature



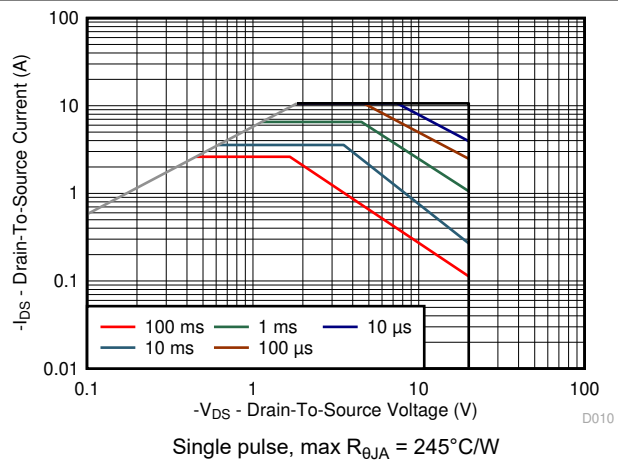
5-7. On-State Resistance vs Gate-to-Source Voltage



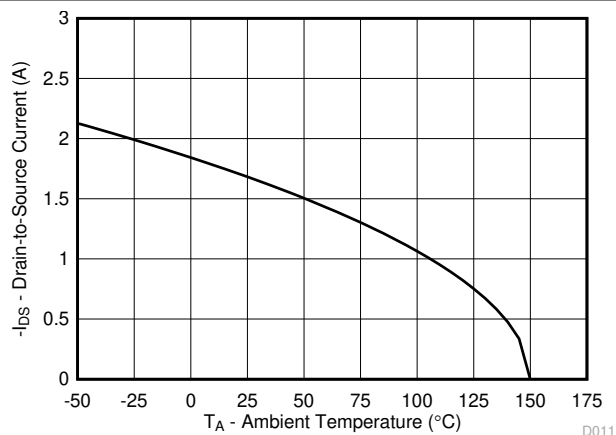
5-8. Normalized On-State Resistance vs Temperature



5-9. Typical Diode Forward Voltage



5-10. Maximum Safe Operating Area



5-11. Maximum Drain Current vs Temperature

6 Device and Documentation Support

6.1 Receiving Notification of Documentation Updates

To receive notification of documentation updates, navigate to the device product folder on ti.com. In the upper right corner, click on *Alert me* to register and receive a weekly digest of any product information that has changed. For change details, review the revision history included in any revised document.

6.2 Trademarks

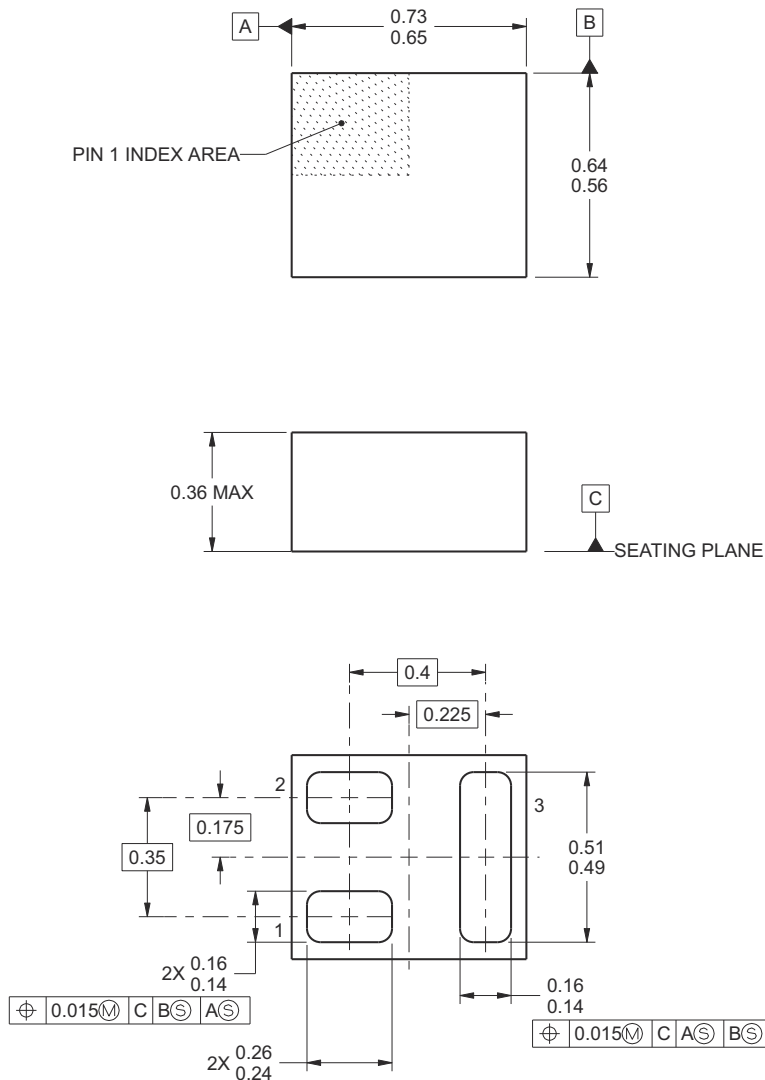
FemtoFET™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

7 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

7.1 Mechanical Dimensions

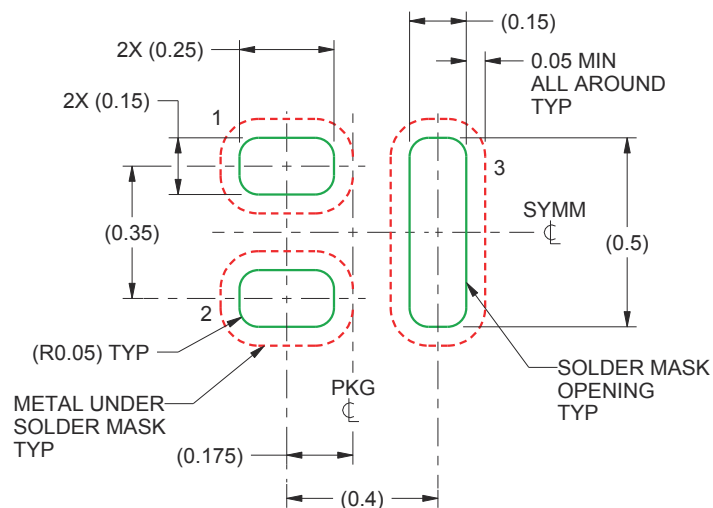


- A. All linear dimensions are in millimeters (dimensions and tolerancing per ASME Y14.5M-1994).
- B. This drawing is subject to change without notice.
- C. This package is a lead-free solder land design.

表 7-1. Pin Configuration

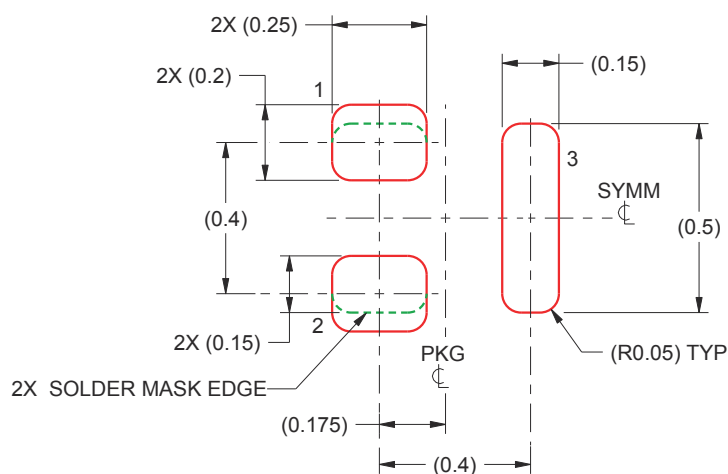
POSITION	DESIGNATION
Pin 1	Gate
Pin 2	Source
Pin 3	Drain

7.2 Recommended Minimum PCB Layout



- A. All dimensions are in millimeters.
- B. For more information, see [FemtoFET Surface Mount Guide](#) (SLRA003D).

7.3 Recommended Stencil Pattern



- A. All dimensions are in millimeters.

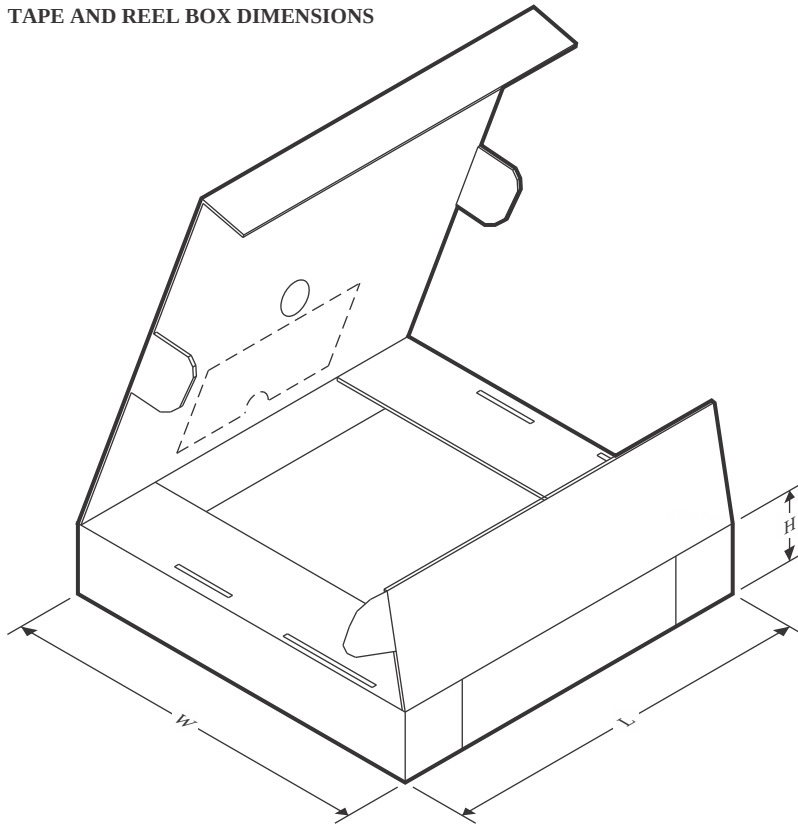
TAPE AND REEL INFORMATION



*All dimensions are nominal

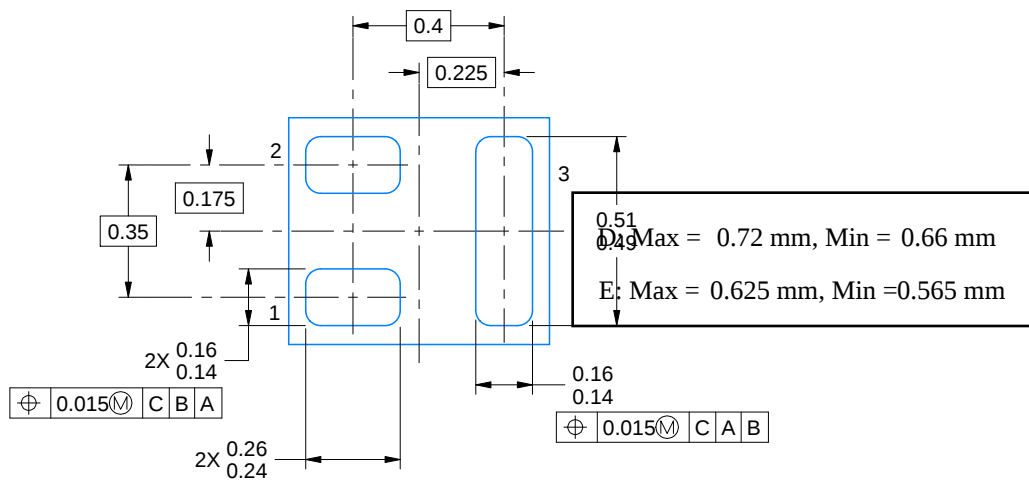
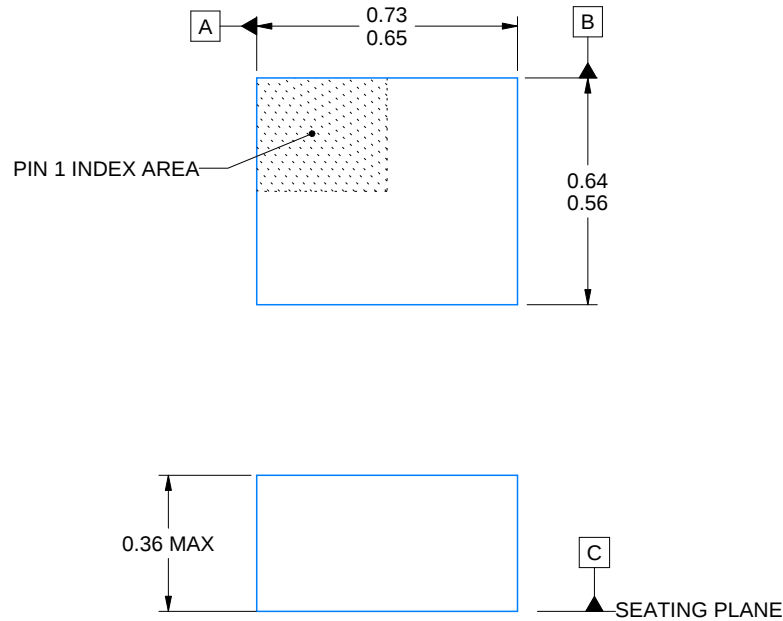
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CSD25480F3	PICOSTAR	YJM	3	3000	180.0	8.4	1.94	0.79	0.44	4.0	8.0	Q2
CSD25480F3T	PICOSTAR	YJM	3	250	180.0	8.4	1.94	0.79	0.44	4.0	8.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CSD25480F3	PICOSTAR	YJM	3	3000	182.0	182.0	20.0
CSD25480F3T	PICOSTAR	YJM	3	250	182.0	182.0	20.0

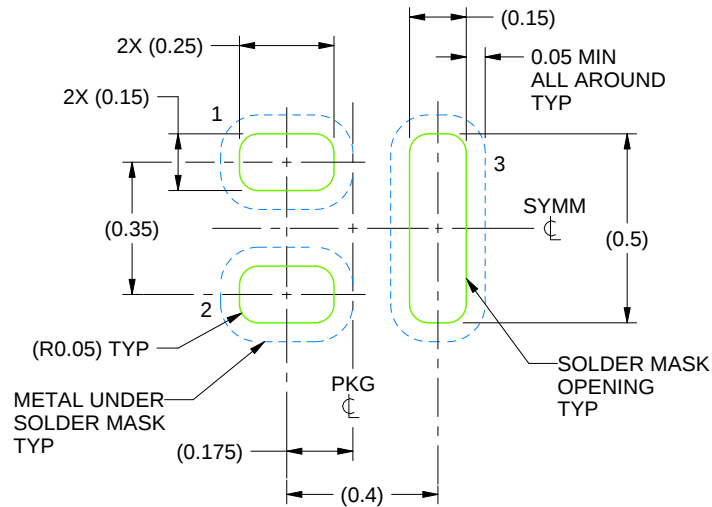


4222304/B 03/2022

NOTES:

PicoStar is a trademark of Texas Instruments.

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M
2. This drawing is subject to change without notice.
3. This package is a Pb-free bump design. Bump finish may vary. To determine the exact finish, refer to the device datasheet or contact a local TI representative.

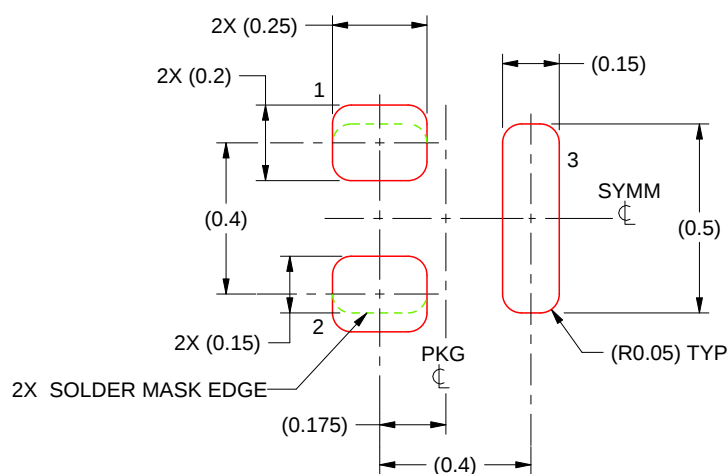


LAND PATTERN EXAMPLE
SOLDER MASK DEFINED
SCALE:50X

4222304/B 03/2022

NOTES: (continued)

4. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).



SOLDER PASTE EXAMPLE
 BASED ON 0.075 - 0.1 mm THICK STENCIL
 SCALE:50X

4222304/B 03/2022

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated