

CSD88539ND デュアル 60 V N チャネル NexFET™ パワー MOSFET

1 特長

- 非常に低い Q_g および Q_{gd}
- アバランシェ定格
- 鉛フリー
- RoHS 準拠
- ハロゲン不使用

2 アプリケーション

- モータ制御用のハーフブリッジ
- 同期整流降圧コンバータ

3 概要

このデュアル SO-8、60V、23mΩ NexFET™ パワー MOSFET は、低電流モータ制御アプリケーションで、ハーフブリッジとして機能するように設計されています。

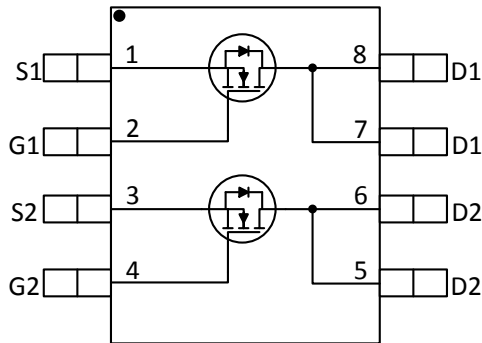
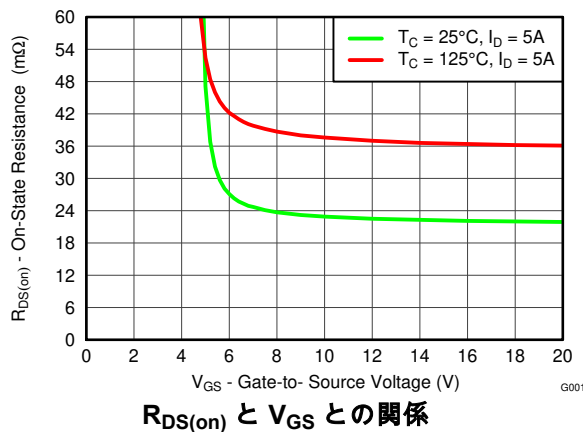


図 3-1. 上面図



製品概要

$T_A = 25^\circ\text{C}$		標準値	単位
V_{DS}	ドレイン - ソース間電圧	60	V
Q_g	ゲートの合計電荷 (10V)	7.2	nC
Q_{gd}	ゲート電荷、ゲート - ドレイン間	1.1	nC
$R_{DS(on)}$	ドレイン - ソース間オン抵抗	$V_{GS} = 6V$	27 mΩ
		$V_{GS} = 10V$	23 mΩ
$V_{GS(th)}$	スレッシュホールド電圧	3.0	V

注文情報⁽¹⁾

デバイス	数量	メディア	パッケージ	配送
CSD88539ND	2500	13 インチ・リール	SO-8 プラスチックパッケージ	テープおよびリール
CSD88539NDT	250	7 インチ・リール		

- (1) 利用可能なパッケージについては、このデータシートの末尾にある注文情報を参照してください。

絶対最大定格

$T_A = 25^\circ\text{C}$		値	単位
V_{DS}	ドレイン - ソース間電圧	60	V
V_{GS}	ゲート - ソース間電圧	± 20	V
I_D	連続ドレイン電流 (パッケージ制限)	15	A
	連続ドレイン電流 (シリコン制限)、 $T_C = 25^\circ\text{C}$	11.7	
	連続ドレイン電流 ⁽¹⁾	6.3	
I_{DM}	パルス・ドレイン電流 ⁽²⁾	46	A
P_D	消費電力 ⁽¹⁾	2.1	W
T_J , T_{STG}	動作時の接合部温度、保存温度	-55 ~ 150	$^\circ\text{C}$
E_{AS}	アバランシェ・エネルギー、単一パルス $I_D = 22\text{ A}$, $L = 0.1\text{ mH}$, $R_G = 25\Omega$	24	mJ

- (1) 厚さ 0.06 インチの FR4 PCB 上に構築された 1 インチ²、2 オンスの Cu パッド上で、標準値 $R_{\theta JA} = 60^\circ\text{C/W}$
- (2) パルス幅 $\leq 300\mu\text{s}$ 、デューティ・サイクル $\leq 2\%$

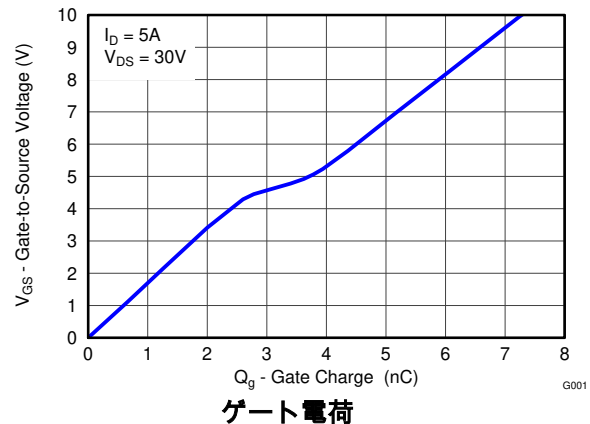


Table of Contents

1 特長	1	4.3 Typical MOSFET Characteristics.....	4
2 アプリケーション	1	5 Device and Documentation Support	7
3 概要	1	5.1 Trademarks.....	7
4 Specifications	3	5.2 静電気放電に関する注意事項.....	7
4.1 Electrical Characteristics.....	3	6 Revision History	7
4.2 Thermal Information.....	3	7 Mechanical Data	7

4 Specifications

4.1 Electrical Characteristics

(T_A = 25°C unless otherwise stated)

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
STATIC CHARACTERISTICS						
BV _{DSS}	Drain-to-Source Voltage	V _{GS} = 0 V, I _D = 250 μA	60			V
I _{DSS}	Drain-to-Source Leakage Current	V _{GS} = 0 V, V _{DS} = 48 V			1	μA
I _{GSS}	Gate-to-Source Leakage Current	V _{DS} = 0 V, V _{GS} = 20 V			100	nA
V _{GS(th)}	Gate-to-Source Threshold Voltage	V _{DS} = V _{GS} , I _D = 250 μA	2.6	3.0	3.6	V
R _{DS(on)}	Drain-to-Source On Resistance	V _{GS} = 6 V, I _D = 5 A		27	34	mΩ
		V _{GS} = 10 V, I _D = 5 A		23	28	mΩ
g _{fs}	Transconductance	V _{DS} = 30 V, I _D = 5 A		19		S
DYNAMIC CHARACTERISTICS						
C _{iss}	Input Capacitance	V _{GS} = 0 V, V _{DS} = 30 V, f = 1 MHz		570	741	pF
C _{oss}	Output Capacitance			70	91	pF
C _{rss}	Reverse Transfer Capacitance			2.0	2.6	pF
R _G	Series Gate Resistance			6.6	13.2	Ω
Q _g	Gate Charge Total (10 V)	V _{DS} = 30 V, I _D = 5 A		7.2	9.4	nC
Q _{gd}	Gate Charge Gate to Drain			1.1		nC
Q _{gs}	Gate Charge Gate to Source			2.7		nC
Q _{g(th)}	Gate Charge at V _{th}			1.8		nC
Q _{oss}	Output Charge	V _{DS} = 30 V, V _{GS} = 0 V		9.6		nC
t _{d(on)}	Turn On Delay Time	V _{DS} = 30 V, V _{GS} = 10 V, I _{DS} = 5 A, R _G = 0 Ω		5		ns
t _r	Rise Time			9		ns
t _{d(off)}	Turn Off Delay Time			14		ns
t _f	Fall Time			4		ns
DIODE CHARACTERISTICS						
V _{SD}	Diode Forward Voltage	I _{SD} = 5 A, V _{GS} = 0 V		0.8	1	V
Q _{rr}	Reverse Recovery Charge	V _{DS} = 30 V, I _F = 5A, di/dt = 300A/μs		37		nC
t _{rr}	Reverse Recovery Time			21		ns

4.2 Thermal Information

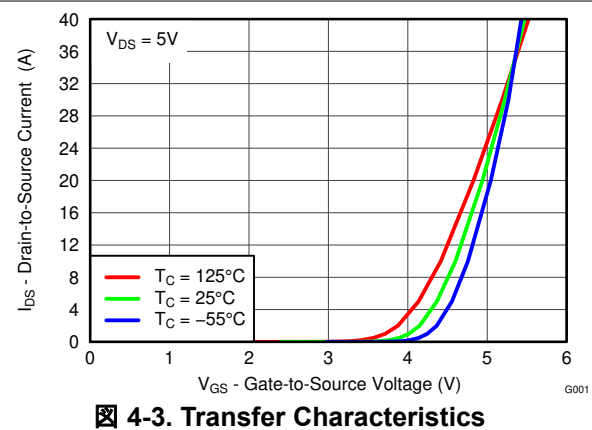
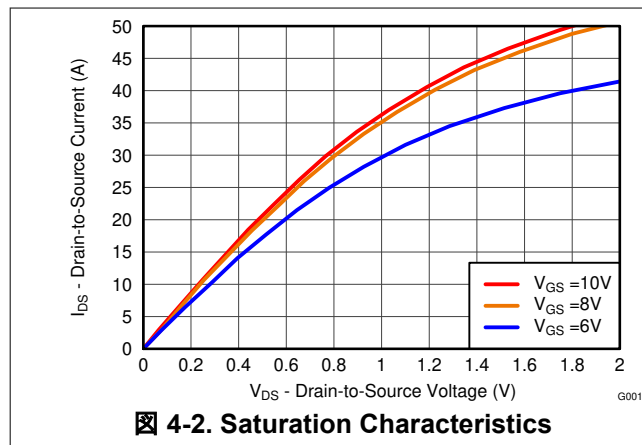
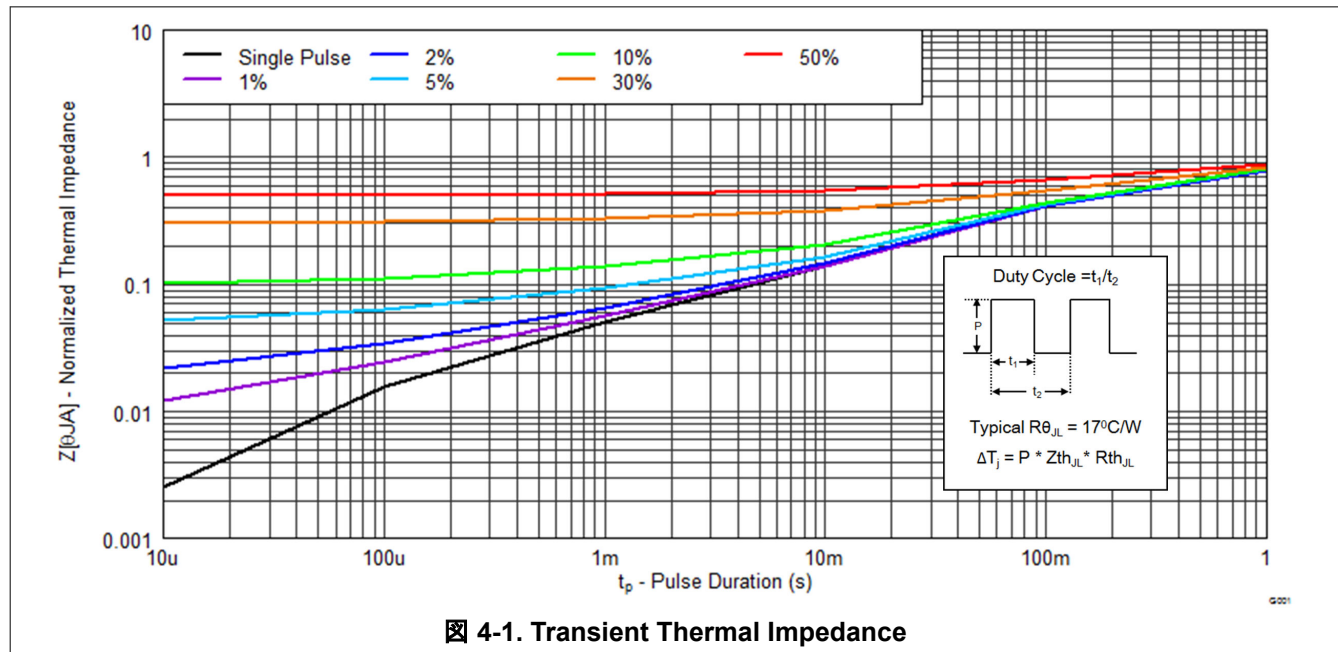
(T_A = 25°C unless otherwise stated)

THERMAL METRIC		MIN	TYP	MAX	UNIT
R _{θJL}	Junction-to-Lead Thermal Resistance ⁽¹⁾			20	°C/W
R _{θJA}	Junction-to-Ambient Thermal Resistance ^{(1) (2)}			75	

- (1) R_{θJC} is determined with the device mounted on a 1-inch² (6.45-cm²), 2-oz. (0.071-mm thick) Cu pad on a 1.5-inch × 1.5-inch (3.81-cm × 3.81-cm), 0.06-inch (1.52-mm) thick FR4 PCB. R_{θJC} is specified by design, whereas R_{θJA} is determined by the user's board design.
- (2) Device mounted on FR4 material with 1-inch² (6.45-cm²), 2-oz. (0.071-mm thick) Cu.

4.3 Typical MOSFET Characteristics

($T_A = 25^\circ\text{C}$ unless otherwise stated)



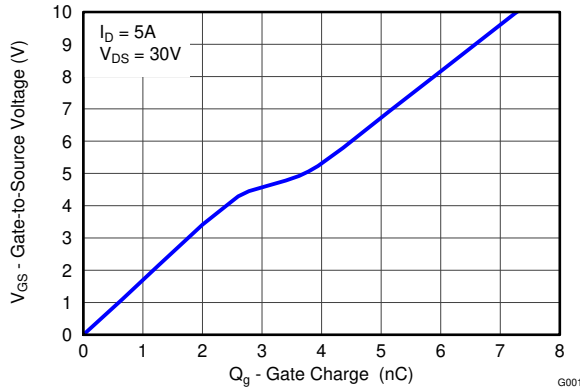


図 4-4. Gate Charge

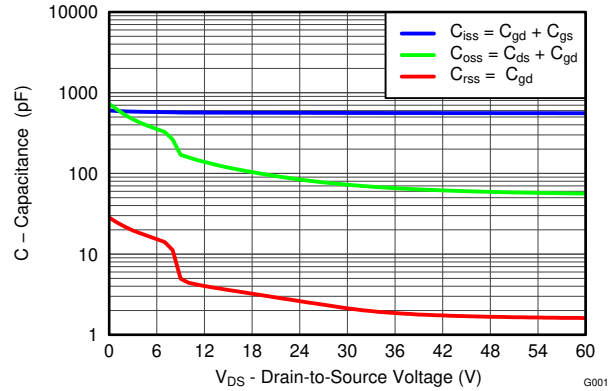


図 4-5. Capacitance

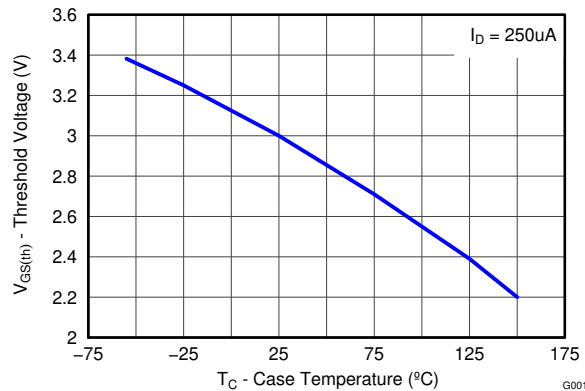


図 4-6. Threshold Voltage vs Temperature

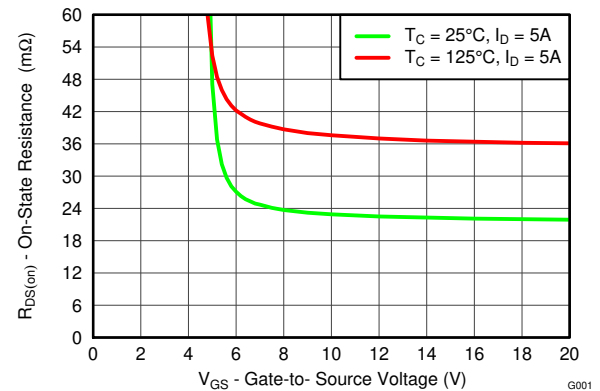


図 4-7. On-State Resistance vs Gate-to-Source Voltage

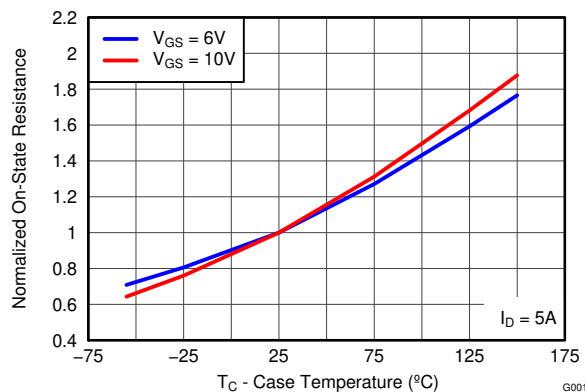


図 4-8. Normalized On-State Resistance vs Temperature

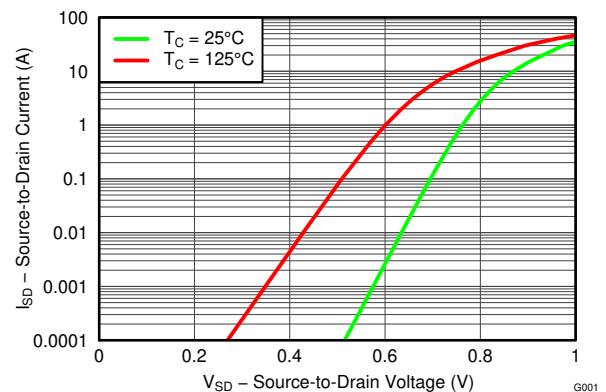


図 4-9. Typical Diode Forward Voltage

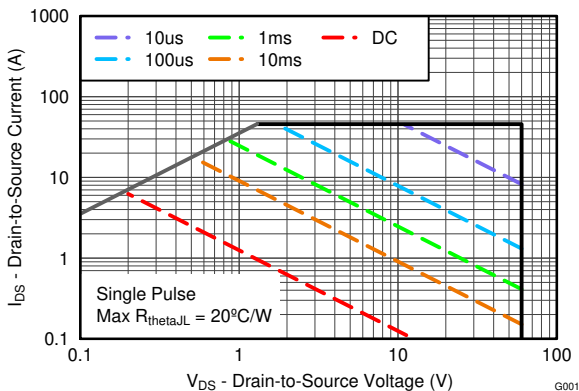


図 4-10. Maximum Safe Operating Area

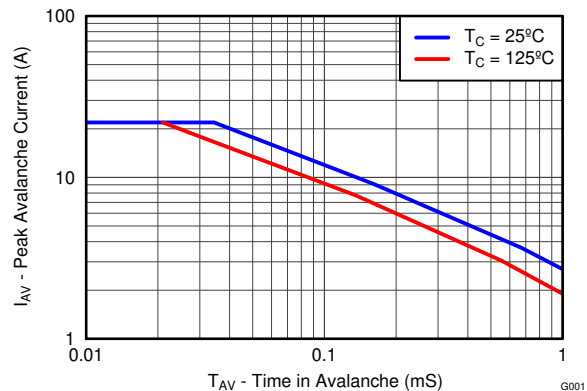


図 4-11. Single Pulse Unclamped Inductive Switching

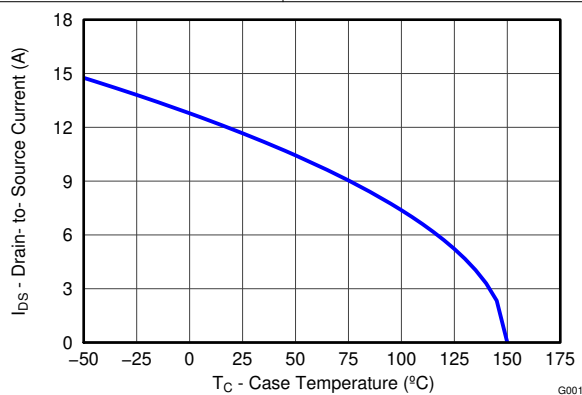


図 4-12. Maximum Drain Current vs Temperature

5 Device and Documentation Support

5.1 Trademarks

NexFET™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

5.2 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

6 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (February 2014) to Revision A (December 2023)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1

7 Mechanical Data

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
CSD88539ND	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 150	88539N
CSD88539NDG4	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 150	88539N
CSD88539NDG4.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 150	88539N
CSD88539NDT	Active	Production	SOIC (D) 8	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 150	88539N

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

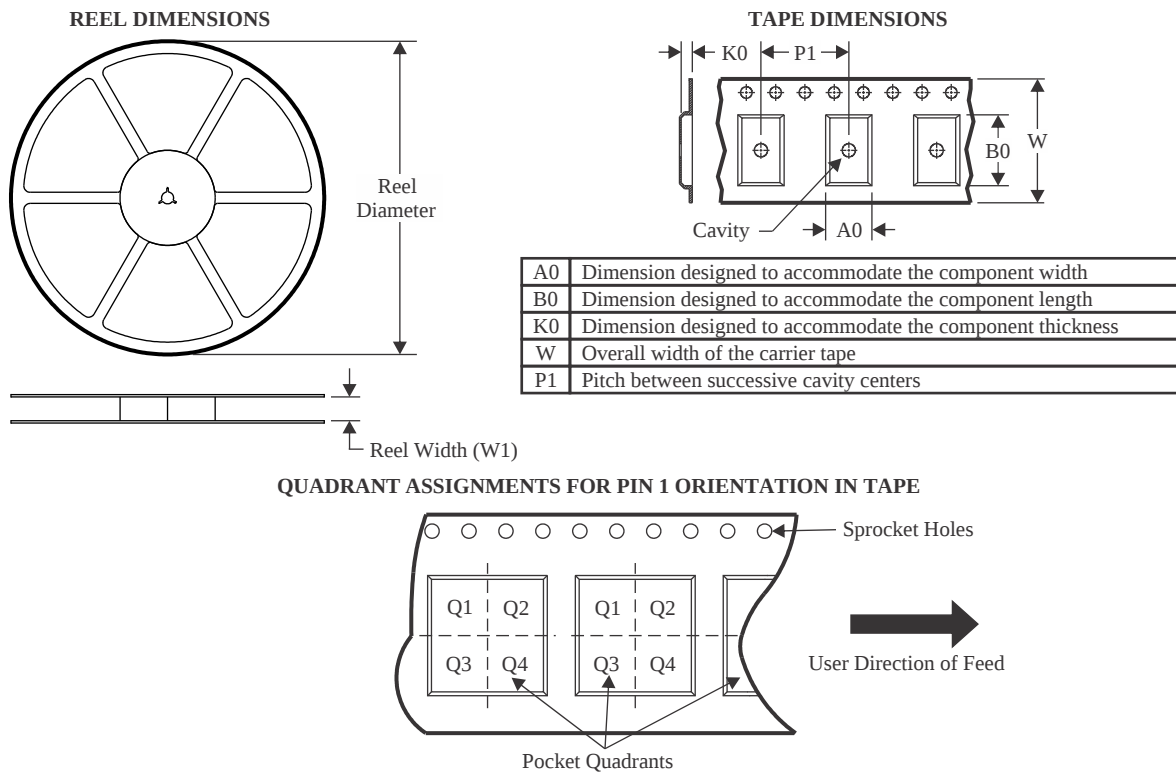
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

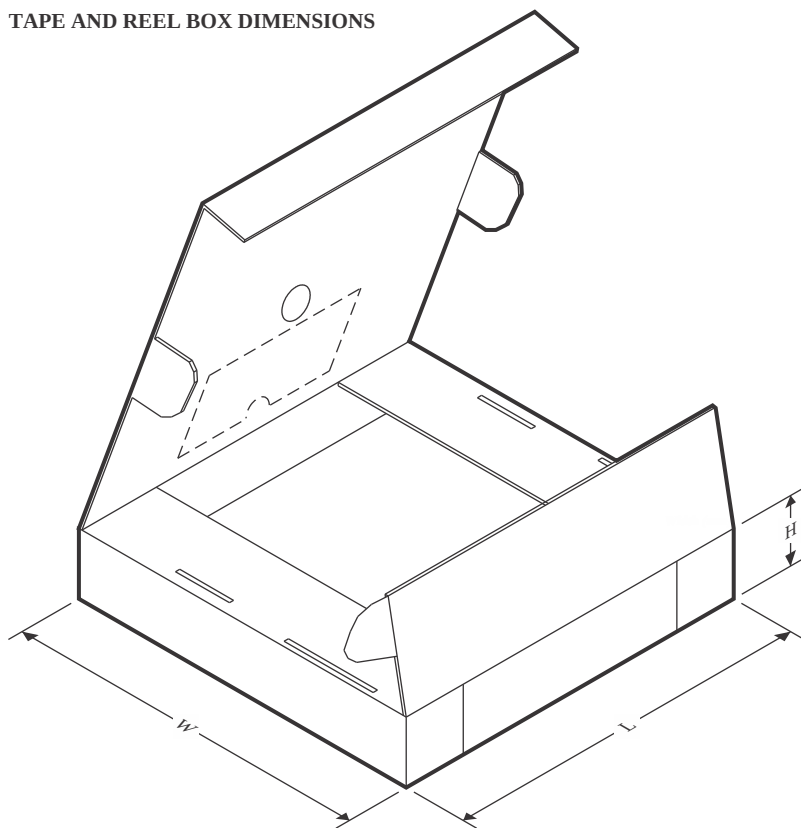
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CSD88539NDT	SOIC	D	8	250	178.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CSD88539NDT	SOIC	D	8	250	180.0	180.0	79.0

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月