

DAC39RF20 : 22GSPS、または 44GSPS、16 ビット、シングルおよびデュアルチャンネル、マルチナイキスト D/A コンバータ (DAC)、JESD204C インターフェイス付き

1 特長

- 16 ビット、マルチナイキスト DAC コア
- DAC サンプルレート:
 - NRZ、RF モード: 22GSPS
 - DES2xL、DES2xH モード 44GSPS
- 最大入力データレート:
 - 12 ビット、デュアル チャンネル: 21GSPS/Ch
 - 16 ビット、デュアル チャンネル: 15.75GSPS/Ch
 - 16 ビット、シングル チャンネル: 22GSPS
- 出力周波数範囲: 18GHz 超
- $f_{OUT} = 10\text{GHz}$ 、DES2xL モードで高性能を発揮
 - ノイズフロア (小信号): -170dBFS/Hz
 - SFDR (-0.1dBFS): -55dBc
 - IMD3 (各トーン -7dBFS): -60dBc
 - 付加位相ノイズ、10kHz オフセット: -132dBc/Hz
- DAC クロック生成の PLL/VCO オプション
- 4 つのデジタル アップコンバータ (DUC) を内蔵
 - 補間: 1 倍、4 倍、6 倍、8 倍 ~ 256 倍
 - I/Q 出力用の複素ベースバンド DUC
 - ダイレクト RF サンプリングに適した、複素数から実数へのアップコンバージョン
 - 64 ビットの周波数分解能 NCO
 - 周波数ホッピングを使用した位相連続、同期、リセットの各オプション
- DUC 入力または DAC 入力でのプログラマブル FIR イコライザ
- 直接デジタル合成 (DDS)
 - 4 つの区分線形波形ジェネレータ
 - 16 個の事前保存波形
 - 合計 256 個のベクトル
 - 自動または同期の外部トリガ
 - 周波数、振幅、位相インターフェイス ストリーミング
- JESD204C インターフェイス
 - 最大 32.5Gbps で最大 16 レーン
 - Class C-S、Subclass-1 互換
- クロックおよび SYSREF 自動キャリブレーションおよびトラッキング

2 アプリケーション

- 衛星通信 (SATCOM)
- フェーズド アレイ アンテナ システム
- 合成開口レーダー (SAR) 励振器
- ワイヤレス通信テスター

- 任意波形ジェネレータ (AWG)

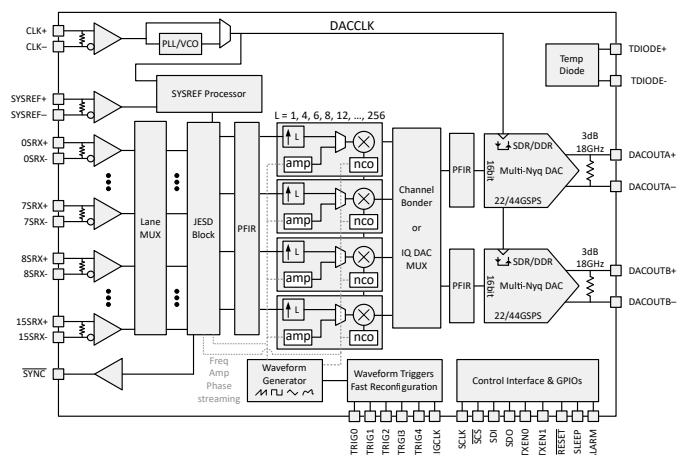
3 説明

DAC39RF20 は、16 ビット分解能のシングルおよびデュアルチャンネル D/A コンバータ (DAC) です。外部のフルレートクロックを使用する場合、これらのデバイスはシングルエッジサンプリングモード (NRZ および RF) で 22GSPS、デュアルエッジサンプリングモード (DES2xL、DES2xH) で 44GSPS をサポートします。内部 PLL/VCO を使用する場合、これらのデバイスはシングルエッジサンプリングモード (NRZ および RF) で 17GSPS、デュアルエッジサンプリングモード (DES2xL、DES2xH) で 34GSPS をサポートします。これらのデバイスは、直接 RF サンプリングまたは複素ベースバンド信号生成のいずれかに対して、非補間または補間 DAC として使用できます。2 つのチャンネルの最大入力データレートは、21GSPS (12 ビット分解能) または 15.75GSPS (16 ビット分解能) です。1 つのチャンネルの最大レートは、22GSPS (16 ビット分解能) です。このデバイスは、10GHz 帯域幅を超える信号を 20GHz を超える周波数で生成でき、これにより、Ku 帯域幅を介した直接サンプリングが可能になります。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)
DAC39RF20	FCCSP (289 ボール)	13.8mm × 13.8mm × 0.8mm ピッチ

- (1) 詳細については、[セクション 12](#) を参照してください。
- (2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンを含みます。



ブロック図



4 デバイスの比較

特長/仕様		DAC39RF20 ジェネレーション 1	DAC39RF2x ジェネレーション 2
PLL/CO	F _{DACCLK}	8.125GHz ≤ F _{DACCLK} ≤ 17GHz	0.8GHz ≤ F _{DACCLK} ≤ 22GHz
	PLL 出力分周器	1x のみ	1、2、4、8 または 16x
	CPLL_MPY	8～99	6～256
	位相ノイズ		100kHz ≤ F _{OFFSET} ≤ 10MHz の間で 5dB 良好
	マルチデバイス同期	なし	あり
F _{DACCLK} < 10GHz の SYSREF Windowing		なし	あり
タイムスタンプ出力		なし	あり
SPI 読み取り可能温度センサー		なし(温度ダイオード利用可能)	あり
SerDes 信号検出器の喪失		なし	あり
最大 SPI クロック周波数		15MHz	> 50MHz(ターゲット)
DDS ストリーミングトリガー		AMP = 0	AMP = 0 および PHASE[0] = 1
SOFT_RESET		アドレス範囲 0x0080 から 0x00FE のレジスタを正しくクリアしていません。外部の RESET を使用します。	固定
HD2			10 から 20dB まで改善されました

目次

1 特長	1	8.3 レジスタ マップ	120
2 アプリケーション	1	8.3.1 Standard_SPI-3.1 レジスタ.....	121
3 説明	1	8.3.2 システム レジスタ.....	124
4 デバイスの比較	2	8.3.3 トリガ レジスタ.....	132
5 ピン構成および機能	4	8.3.4 CPLL_AND_CLOCK レジスタ.....	136
6 仕様	9	8.3.5 SYSREF レジスタ.....	140
6.1 絶対最大定格.....	9	8.3.6 JESD204C のレジスタ.....	146
6.2 ESD 定格.....	9	8.3.7 JESD204C_Advanced のレジスタ.....	151
6.3 推奨動作条件.....	10	8.3.8 SerDes_Equalizer レジスタ.....	181
6.4 熱に関する情報.....	10	8.3.9 SerDes_Eye-Scan レジスタ.....	189
6.5 電気的特性 - DC 仕様.....	11	8.3.10 SerDes_Lane_Status レジスタ.....	192
6.6 電気的特性 - AC 仕様.....	13	8.3.11 SerDes_PLL レジスタ.....	194
6.7 電気的特性 - 消費電力.....	24	8.3.12 DAC_and_Analog_Configuration レジスタ.....	196
6.8 タイミング要件.....	26	8.3.13 データパスレジスタ.....	199
6.9 スwitchング特性.....	27	8.3.14 NCO_and_Mixer レジスタ.....	205
6.10 SPI インターフェイスのタイミング図.....	29	8.3.15 アラーム レジスタ.....	218
7 詳細説明	30	8.3.16 Fuse_Control レジスタ.....	222
7.1 概要.....	30	8.3.17 Fuse_Backed レジスタ.....	223
7.2 機能ブロック図.....	31	8.3.18 DDS_Vector_Mode レジスタ.....	226
7.3 機能説明.....	32	8.3.19 Programmable_FIR レジスタ.....	231
7.3.1 DAC 出力モード.....	32	9 アプリケーションと実装	235
7.3.2 DAC コア.....	35	9.1 アプリケーション情報.....	235
7.3.3 DEM とディザリング.....	37	9.1.1 起動手順.....	235
7.3.4 オフセット調整.....	38	9.1.2 矩形波モードの帯域幅最適化.....	236
7.3.5 クロックリング サブシステム.....	38	9.2 代表的なアプリケーション: Ku バンド レーダー トラ ンスミッタ.....	237
7.3.6 デジタル信号処理ブロック.....	41	9.2.1 設計要件.....	237
7.3.7 Serdes 物理層.....	74	9.2.2 詳細な設計手順.....	238
7.3.8 JESD204C インターフェイス.....	80	9.2.3 アプリケーション曲線.....	238
7.3.9 データ パス レイテンシ.....	103	9.3 電源に関する推奨事項.....	240
7.3.10 複数デバイスの同期と決定論的レイテンシ.....	105	9.3.1 パワーアップ / ダウン シーケンス.....	242
7.3.11 リンクのリセット.....	110	9.4 レイアウト.....	242
7.3.12 アラーム生成.....	110	9.4.1 レイアウトのガイドラインと例.....	242
7.3.13 ミュート機能.....	111	10 デバイスおよびドキュメントのサポート	250
7.4 デバイスの機能モード.....	113	10.1 ドキュメントのサポート.....	250
7.4.1 電力モード.....	113	10.1.1 関連資料.....	250
8 プログラミング	116	10.2 ドキュメントの更新通知を受け取る方法.....	250
8.1 標準 SPI インターフェイスを使用.....	116	10.3 サポート・リソース.....	250
8.1.1 \overline{SCS}	116	10.4 商標.....	250
8.1.2 SCLK.....	116	10.5 静電気放電に関する注意事項.....	250
8.1.3 SDI.....	116	10.6 用語集.....	250
8.1.4 SDO.....	116	11 改訂履歴	250
8.1.5 シリアル インターフェイス プロトコル.....	116	12 メカニカル、パッケージ、および注文情報	250
8.1.6 ストリーミング モード.....	117		
8.2 高速再構成インターフェイスの使用.....	117		

ADVANCE INFORMATION

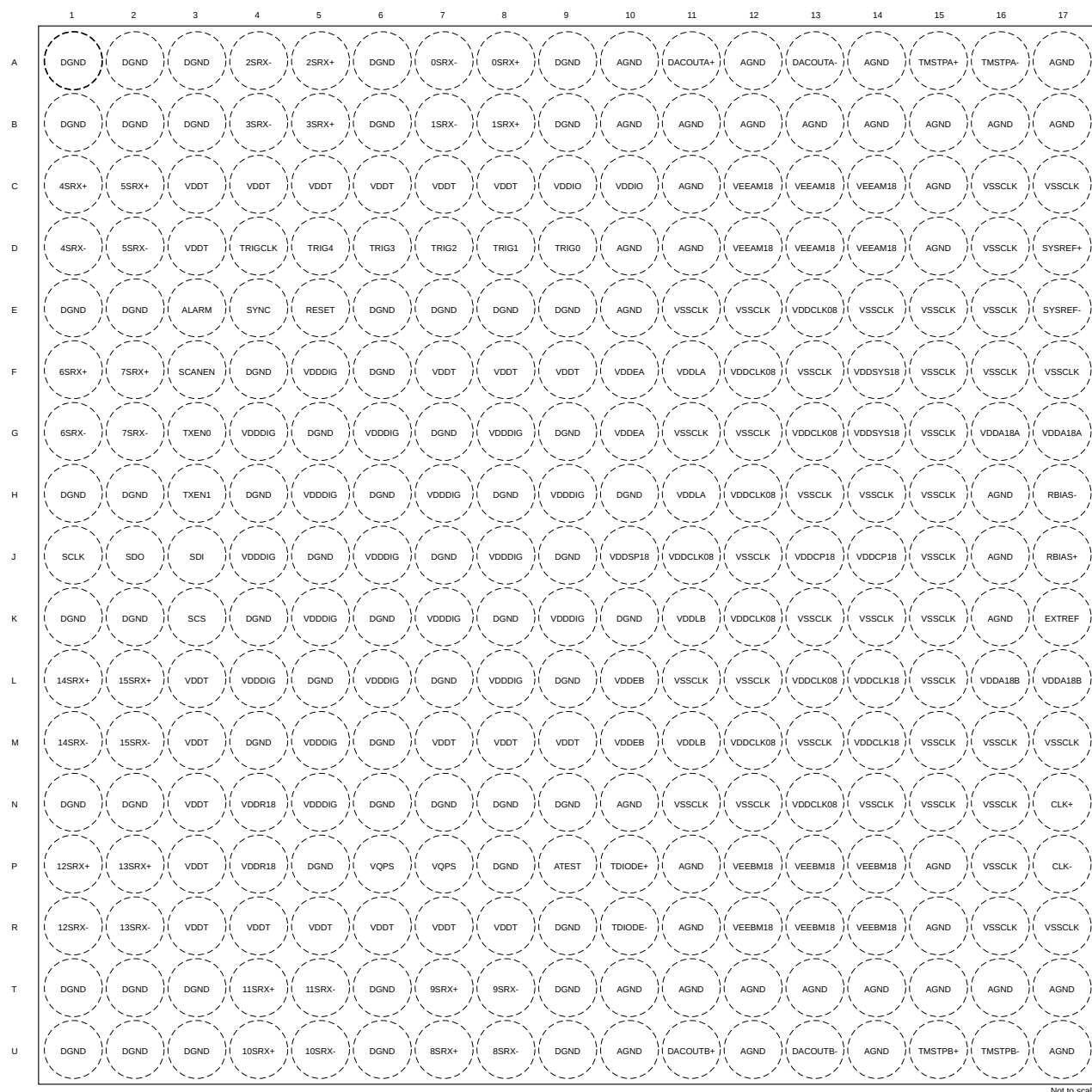


図 5-1. ANH0289A パッケージ、289 ボールフリップチップ CSP、0.8mm ピッチ（上面図）

表 5-1. ピンの機能

ピン		タイプ	説明
名称	なし		
複数の DAC 出力			
DACOUTA-	A13	O	DAC チャネル A アナログ出力 負端子。指定された性能を維持するために、出力電圧が DAC のコンプライアンス電圧に適合する必要があります。
DACOUTA+	A11	O	DAC チャネル A アナログ出力 正端子。指定された性能を維持するために、出力電圧が DAC のコンプライアンス電圧に適合する必要があります。
DACOUTB-	U13	O	DAC チャネル B アナログ出力 負端子。指定された性能を維持するために、出力電圧が DAC のコンプライアンス電圧に適合する必要があります。
DACOUTB+	U11	O	DAC チャネル B アナログ出力 正端子。指定された性能を維持するために、出力電圧が DAC のコンプライアンス電圧に適合する必要があります。
差動クロックおよび SYSREF 入力			
CLK-	P17	I	デバイスクロック入力 負端子。CLK+ と CLK- の間には、100Ω の内部差動終端があります。この入力は自己バイアス形式であり、クロックソースと AC 結合する必要があります。
CLK+	N17	I	デバイスクロック入力 正端子。CLK+ と CLK- の間には、100Ω の内部差動終端があります。この入力は自己バイアス形式であり、クロックソースと AC 結合する必要があります。
SYSREF-	E17	I	差動 JESD204C SYSREF 入力 負端子。SYSREF+ と SYSREF- の間には、100Ω の内部差動終端があります。この入力は、AC 結合されている場合、自己バイアスされます。DC 結合されている場合、入力の共通モード電圧は、推奨動作条件の V _{CMI} 仕様を満たす必要があります。
SYSREF+	D17	I	差動 JESD204C SYSREF 入力 負端子。SYSREF+ と SYSREF- の間には、100Ω の内部差動終端があります。
SerDes インターフェイス			
0SRX-	A7	I	Serdes レーン 0 負入力。0SRX+ への 100Ω の内部終端を含みます。
0SRX+	A8	I	Serdes レーン 0 正入力。0SRX- への 100Ω 内部終端を含みます。
1SRX-	B7	I	Serdes レーン 1 負入力。1SRX+ への 100Ω の内部終端を含みます。
1SRX+	B8	I	Serdes レーン 1 正入力。1SRX- への 100Ω 内部終端を含みます。
2SRX-	A4	I	Serdes レーン 2 負入力。2SRX+ への 100Ω の内部終端を含みます。
2SRX+	A5	I	Serdes レーン 2 正入力。2SRX- への 100Ω 内部終端を含みます。
3SRX-	B4	I	Serdes レーン 3 負入力。3SRX+ への 100Ω の内部終端を含みます。
3SRX+	B5	I	Serdes レーン 3 正入力。3SRX- への 100Ω 内部終端を含みます。
4SRX-	D1	I	Serdes レーン 4 負入力。4SRX+ への 100Ω の内部終端を含みます。
4SRX+	C1	I	Serdes レーン 4 正入力。4SRX- への 100Ω 内部終端を含みます。
5SRX-	D2	I	Serdes レーン 5 負入力。5SRX+ への 100Ω の内部終端を含みます。
5SRX+	C2	I	Serdes レーン 5 正入力。5SRX- への 100Ω 内部終端を含みます。
6SRX-	G1	I	Serdes レーン 6 負入力。6SRX+ への 100Ω の内部終端を含みます。
6SRX+	F1	I	Serdes レーン 6 正入力。6SRX- への 100Ω 内部終端を含みます。
7SRX-	G2	I	Serdes レーン 7 負入力。7SRX+ への 100Ω の内部終端を含みます。
7SRX+	F2	I	Serdes レーン 7 正入力。7SRX- への 100Ω 内部終端を含みます。
8SRX-	U8	I	Serdes レーン 8 負入力。8SRX+ への 100Ω の内部終端を含みます。
8SRX+	U7	I	Serdes レーン 8 正入力。8SRX- への 100Ω 内部終端を含みます。
9SRX-	T8	I	Serdes レーン 9 負入力。9SRX+ への 100Ω の内部終端を含みます。
9SRX+	T7	I	Serdes レーン 9 正入力。9SRX- への 100Ω 内部終端を含みます。
10SRX-	U5	I	Serdes レーン 10 負入力。10SRX+ への 100Ω の内部終端を含みます。
10SRX+	U4	I	Serdes レーン 10 正入力。10SRX- への 100Ω 内部終端を含みます。
11SRX-	T5	I	Serdes レーン 11 負入力。11SRX+ への 100Ω の内部終端を含みます。
11SRX+	T4	I	Serdes レーン 11 正入力。11SRX- への 100Ω 内部終端を含みます。
12SRX-	R1	I	Serdes レーン 12 負入力。12SRX+ への 100Ω の内部終端を含みます。
12SRX+	P1	I	Serdes レーン 12 正入力。12SRX- への 100Ω 内部終端を含みます。
13SRX-	R2	I	Serdes レーン 13 負入力。13SRX+ への 100Ω の内部終端を含みます。
13SRX+	P2	I	Serdes レーン 13 正入力。13SRX- への 100Ω 内部終端を含みます。
14SRX-	M1	I	Serdes レーン 14 負入力。14SRX+ への 100Ω の内部終端を含みます。

表 5-1. ピンの機能 (続き)

ピン		タイプ	説明
名称	なし		
14SRX+	L1	I	Serdes レーン 14 正入力。14SRX- への 100Ω 内部終端を含みます。
15SRX-	M2	I	Serdes レーン 15 負入力。15SRX+ への 100Ω の内部終端を含みます。
15SRX+	L2	I	Serdes レーン 15 正入力。15SRX- への 100Ω 内部終端を含みます。
GPIO 機能			
ALARM	E3	O	マスクされていない内部アラームが検出されると、ALARM ピンがアサートされます。アラームマスクは、ALM_MASK レジスタによってセットされます。プルアップまたはプルダウンなし。
RESET	E5	I	デバイスリセット入力、アクティブ「低」。電源を入れた後でトグルする必要があります。内部プルアップ。
SCANEN	F3	I	TI 専用、接続しなくてもかまいません。内部プルダウン。
SCLK	J1	I	シリアルプログラミングインターフェイス(SPI)クロック入力。プルアップまたはプルダウンなし。
SCS	K3	I	シリアルプログラミングインターフェイス(SPI) デバイス選択入力、「低」でアクティブ。内部プルアップ。
SDI	J3	I	シリアルプログラミングインターフェイス(SPI) データ入力。プルアップまたはプルダウンなし。
SDO	J2	O	シリアルプログラミングインターフェイス(SPI) データ出力。SPI データを読み出さないときは高インピーダンスになります。プルアップまたはプルダウンなし。
SYNC	E4	I/O	JESD204C SYNC 出力、アクティブ「低」。入力として使用される場合はプルアップがアクティブ。
TRIG0	D9	I	インターフェイスボール 0 をトリガーします。FR インターフェースのデータ入力 0 としても使用されます。内部プルダウン。
TRIG1	D8	I	インターフェイスボール 1 をトリガーします。FR インターフェースのデータ入力 1 としても使用されます。内部プルダウン。
TRIG2	D7	I	インターフェイスボール 2 をトリガーします。FR インターフェースのデータ入力 2 としても使用されます。内部プルダウン。
TRIG3	D6	I	インターフェイスボール 3 をトリガーします。FR インターフェースのデータ入力 3 としても使用されます。内部プルダウン。
TRIG4	D5	I	インターフェイスボール 4 をトリガーします。FR インターフェースのチップ選択入力としても使用されます。内部プルダウン。
TRIGCLK	D4	I/O	トリガーインターフェイスクロック。FR インターフェースの入力クロック、またはトリガーインターフェースの出力クロックとして使用されます。内部プルダウン。
TXEN0	G3	I	DAC 出力をミュートにする、または APP スリープに移行するためのピン制御(TX_EN_SEL を参照)。「送信の有効化」も参照してください。内部プルアップ。
TXEN1	H3	I	DAC 出力をミュートにする、または APP スリープに移行するためのピン制御(TX_EN_SEL を参照)。「送信の有効化」も参照してください。内部プルアップ。
アナログ機能			
ATEST	P9	O	アナログテストピン。未使用時は、切断したままにできます。
EXTREF	K17	I/O	基準電圧の出力または入力は、EXTREF_EN レジスタフィールドで設定されます。内部リファレンスを使用する場合、0.1μF を介して、ボールを AGND に接続する必要があります。
RBIAS-	H17	O	フルスケール出力電流バイアスは、この端子と RBIAS+ との間をつなぐレジスタによって設定されます。
RBIAS+	J17	O	フルスケール出力電流バイアスは、この端子と RBIAS- との間をつなぐレジスタによって設定されます。
TDIODE+	P10	I	温度ダイオードの正端子(外部回路で検出される)
TDIODE-	R10	I	温度ダイオードの負端子(外部回路で検出される)
TMSTPA+	A15	O	予約済み。
TMSTPA-	A16	O	予約済み。
TMSTPB+	U15	O	予約済み。
TMSTPB-	U16	O	予約済み。
電源			
<p style="text-align: center;">注</p> <p style="text-align: center;">電源ピンごとに低 ESL 0.1μF デカップリングコンデンサを 1 つずつ使用することを推奨します</p>			
VDDA18A	G16, G17	I	DAC チャネル A の 1.8V 電源電圧。VDDA18B と組み合わせることができますが、チャネル間クロストーク(XTALK)が低下する可能性があります。
VDDA18B	L16, L17	I	DAC チャネル B の 1.8V 電源電圧。VDDA18A と組み合わせることができますが、チャネル間クロストーク(XTALK)が低下する可能性があります。

表 5-1. ピンの機能 (続き)

ピン		タイプ	説明
名称	なし		
VDDCLK08	J11, F12, H12, K12, M12, E13, G13, L13, N13	I	内部サンプリングクロック分配バスの電源電圧 0.8V。この電源でノイズやスパークが発生すると、位相ノイズ性能 j が低下する可能性があります。最高の性能を得るために、VDDDIG と VDDL A/B を分離することをお勧めします。
VDDCLK18	L14, M14	I	クロック (CLK+/-) 入力バッファの 1.8V 電源電圧。この電源でノイズやスパークが発生すると、位相ノイズ性能 j が低下する可能性があります。
VDDCP18	J13, J14	I	データコンバータ PLL 1.8V 電源。
VDDDIG	G4, J4, L4, F5, H5, K5, M5, N5, G6, J6, L6, H7, K7, G8, J8, L8, H9, K9	I	デジタルブロック用 電源電圧 0.8V。最高の性能を得るために、VDDL A/B と VDDCLK を分離することをお勧めします。
VDDEA	F10, G10	I	チャンネル A DAC エンコーダの電源電圧 0.8V。最高の性能を得るために、VDDDIG から分離することをお勧めします。VDDEB との組み合わせ可能。
VDDEB	L10, M10	I	チャンネル B DAC エンコーダの電源電圧 0.8V。最高の性能を得るために、VDDDIG から分離することをお勧めします。VDDEA との組み合わせ可能。
VDDIO	C9, C10	I	CMOS 入力および出力端子用 1.8V 電源。
VDDL A	F11, H11	I	チャンネル A の DAC アナログラッチ用電源電圧 0.8V。最適なチャンネル間クロストーク (XTALK) を得るために、VDDL B とは分離します。最高の性能を得るため、VDDDIG から分離する必要があります。
VDDL B	K11, M11	I	チャンネル B の DAC アナログラッチ用電源電圧 0.8V。最適なチャンネル間クロストーク (XTALK) を得るため、VDDL A とは分離します。最高の性能を得るため、VDDDIG から分離する必要があります。
VDDR18	N4, P4	I	SerDes レシーバ用 1.8V 電源電圧。
VDDSP18	J10	I	SerDes PLL 1.8V 電源。
VDDSYS18	F14, G14	I	SYSREF (SYSREF+/-) 入力バッファの 1.8V 電源電圧。通常動作時に SYSREF が無効になっている場合、VDDCLK18 と組み合わせることができます。稼働中、SYSREF が連続的に動作する場合は、ノイズおよびスパークのカップリングや位相ノイズ性能の低下を回避するため、この電源を VDDCLK18 と分離する必要があります。
VDDT	C3, D3, L3, M3, N3, P3, R3, C4, R4, C5, R5, C6, R6, C7, F7, M7, R7, C8, F8, M8, R8, F9, M9	I	SerDes 終端の電源電圧 0.8V。
VEEAM18	C12, D12, C13, D13, C14, D14	I	チャンネル A の DAC 電流源バイアスの -1.8V 電源電圧。VEEBM18 と組み合わせることができますが、チャンネル間クロストーク (XTALK) の質が低下する可能性があります。
VEEBM18	P12, R12, P13, R13, P14, R14	I	チャンネル B の DAC 電流源バイアスの -1.8V 電源電圧。VEEAM18 と組み合わせることができますが、チャンネル間クロストーク (XTALK) の質が低下する可能性があります。
VQPS	P6, P7	I	TI 専用。通常動作時は DGND に接続できます。
グラウンド			
AGND	A10, B10, D10, E10, N10, T10, U10, B11, C11, D11, P11, R11, T11, B12, A12, T12, U12, B13, T13, A14, B14, T14, U14, B15, C15, D15, P15, R15, T15, B16, H16, J16, K16, T16, A17, B17, T17, U17	-	アナログ グラウンド。
DGND	A1, B1, E1, H1, K1, N1, T1, U1, A2, B2, E2, H2, K2, N2, T2, U2, A3, B3, T3, U3, F4, H4, K4, M4, G5, J5, L5, P5, A6, B6, E6, F6, H6, K6, M6, N6, T6, U6, E7, G7, J7, L7, N7, E8, H8, K8, N8, P8, A9, B9, E9, G9, J9, L9, N9, R9, T9, U9, H10, K10	-	デジタル グラウンド。

表 5-1. ピンの機能 (続き)

ピン		タイプ	説明
名称	なし		
VSSCLK	E11、G11、L11、N11、 E12、G12、J12、L12、 N12、F13、H13、K13、 M13、E14、H14、K14、 N14、E15、F15、G15、 H15、J15、K15、L15、 M15、N15、C16、D16、 E16、F16、M16、N16、 P16、R16、C17、F17、 M17、R17	-	クロック グランド。

ADVANCE INFORMATION

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

パラメータ	テスト条件	最小値	最大値	単位
電源電圧範囲	電源電圧範囲、VDDA18A、VDDA18B ⁽²⁾	-0.3	2.45	V
	電源電圧範囲、VEEAM18、VEEBM18 ⁽²⁾	-2.0	0.3	V
	入力電圧範囲、VDDCLK18、VDDSYS18、VDDSP18、VDDCP18 ⁽³⁾	-0.3	2.45	V
	電源電圧範囲、VDDL B、VDDL A、VDDCLK08 ⁽³⁾	-0.3	1.0	V
	電源電圧範囲、VDDIO、VQPS、VDDR18 ⁽⁴⁾	-0.3	2.45	V
	電源電圧範囲、VDDDIG、VDDEB、VDDEA、VDDT ⁽⁴⁾	-0.3	1.0	V
AGND、DGND、VSSCLK を任意に組み合わせた際の電圧	AGND、DGND、VSSCLK を任意に組み合わせた際の電圧	-0.1	0.1	V
入力ピンに印加される電圧	CLK+, CLK- ⁽³⁾	-0.3	VDDCLK18+0.3	V
	SYSREF+, SYSREF- ⁽³⁾	-0.3	VDDSYS18+0.3	
	[0:15]SRX-/+ ⁽⁴⁾	-0.3	VDDT + 0.2	
	SCLK、SCS、SDI、RESET、SYNC、SCANEN、TXEN[0:1]、FRDI[0:3]、FRCLK、FRCS、SYN ^C ⁽⁴⁾	-0.3	VDDIO+0.3	
	EXTREF ⁽²⁾	-0.3	VDDA18A + 0.3	
出力ピンの電圧	DACOUTA+, DACOUTA- ⁽²⁾	-0.3	VDDA18A + 0.5	V
	DACOUTB+, DACOUTB- ⁽²⁾	-0.3	VDDA18B + 0.5	
	ATEST ⁽²⁾	-0.3	VDDA18B + 0.3	
	RBIAS-/+ ⁽²⁾	-0.3	VDDA18A + 0.3	
	SDI、SDO、ALARM ⁽⁴⁾	-0.3	VDDIO + 0.3	
ピーク入力電流 (任意の入力)		-20	20	mA
ピーク合計入力電流 (強制的に出入りする全電流の絶対値の合計、ただし電源電流、DACOUTA+, DACOUTA-, DACOUTB+ および DACOUTB- を除く)			30	mA
接合部温度、T _J			150	°C
保管温度、T _{stg}		-65	150	°C

- (1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはあくまでもストレス定格であり、推奨動作条件に示されている条件を超える当該の条件またはその他のいかなる条件下での、デバイスの正常な動作を保証するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) AGND に対して測定。
- (3) VSSCLK に対して測定。
- (4) DGND に対して測定。

6.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン ⁽¹⁾	500	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠、すべてのピン ⁽²⁾	250	

- (1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
- (2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
電源電圧範囲	VDDA18A、VDDA18B ⁽¹⁾		1.71	1.8	1.89	V
	VEEAM18、VEEBM18 ⁽¹⁾		-1.89	-1.8	-1.71	V
	VDDCLK18、VDDSYS18、VDDSP18、VDDCP18 ⁽²⁾		1.71	1.8	1.89	V
	VDDLb、VDDLd、VDDCLK08 ⁽²⁾		0.76	0.8	0.84	V
	VDDIO、VDDR18 ⁽³⁾		1.71	1.8	1.89	V
	VQPS ⁽³⁾		0	0	1.89	V
	VDDDIG、VDDEB、VDDEA、VDDT ⁽³⁾		0.76	0.8	0.84	V
V _{CMI}	入力同相電圧	CLK+、CLK- ^{(2) (4)}		0.4		V
		SYSREF+、SYSREF- ^{(2) (4)}	0.4	0.5	0.6	V
V _{ID}	入力動作ピークツーピーク電圧	SYSREF+ から SYSREF -	400	1000	2000	mV _{PP-DIFF}
		CLK+ から CLK- へ、f _{CLK} < 3GHz ⁽⁶⁾	800	1000	2000	mV _{PP-DIFF}
		CLK+ から CLK- へ、3GHz < f _{CLK} < 12GHz ⁽⁶⁾	800	1000	1400	mV _{PP-DIFF}
		CLK+ から CLK- へ、12GHz < f _{CLK} < 17GHz ⁽⁶⁾	800	1000	1800	mV _{PP-DIFF}
		CLK+ から CLK- へ、f _{CLK} > 17GHz ⁽⁶⁾	800	1000	2000	mV _{PP-DIFF}
DC _{MIN}	DACCLK+/- デューティサイクルの最小値	CLK+/- デューティサイクルの最小値		45		%
DC _{MAX}	DACCLK+/- デューティサイクルの最大値	CLK+/- デューティサイクルの最大値		55		%
T _A	自由空気での動作温度		-40		85	°C
T _J	推奨動作時接合部温度				105 ⁽⁵⁾	°C
T _{J-MAX}	動作時定格最大接合部温度	動作時定格最大接合部温度	125			°C

- (1) AGND に対して測定。
- (2) VSSCLK に対して測定。
- (3) DGND に対して測定。
- (4) CLK+/- と SYSREF+/- は、最適な同相電圧へと弱く自己バイアスされます。CLK+/- は、常にクロックソースに AC 結合します。可能な場合は、SYSREF+/- をクロックソースに AC 結合することを推奨します。
- (5) ダイは、T_J = 150 °C での動作、および T_J = 113°C (100,000POH で 118°C) での最大 150,000POH の連続稼働によるデバイスおよびダイメタライゼーション劣化を想定して設計されています。T_J = 105 °C の接合部温度を超えて長時間使用すると、パッケージの故障率 (FIT) が上昇する可能性があります。
- (6) 位相ノイズを最適化するには、クロック振幅を範囲の上限に近づける必要があります。

6.4 熱に関する情報

熱評価基準 ⁽¹⁾		13.8mm x 13.8mm FCCSP	単位
		289 ピン	
R _{θJA}	接合部から周囲への熱抵抗	15.3	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	1.3	°C/W
R _{θJB}	接合部から基板への熱抵抗	4.3	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	0.5	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	4.0	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

6.5 電気的特性 - DC 仕様

特に明記されていない限り、 $T_A = +25^{\circ}\text{C}$ での標準値、動作時接合部温度範囲における最小値および最大値、標準電源電圧、 $f_{\text{CLK}} = 22\text{GHz}$ 、外部クロックモード、 $I_{\text{FS_SWITCH}} = 20\text{mA}$ 、シングルトーン振幅 = -0.1dBFS 、 $f_{\text{OUT}} = 2897\text{MHz}$ 、NRZ モード、ディザリングおよび DEM 有効、64b/66b エンコード。

パラメータ		テスト条件	最小値	標準値	最大値	単位
DC 精度						
ビット	DAC コア分解能		16		16	ビット
DNL	微分非直線性			±4		LSB
INL	積分非直線性			±6		LSB
RTDRIFT	温度による内部終端抵抗ドリフト			.02		Ω/°C
DAC アナログ出力 (DACOUTA+, DACOUTA-, DACOUTB+, DACOUTB-)						
IFS_SWITCH	フルスケール出力電流を切り替えました	RBIAS+ から RBIAS- への 3.6kΩ の抵抗、COARSE_CUR_A / COARSE_CUR_B = 0xF および FINE_CUR_A / FINE_CUR_B = 0x10 (デフォルト)、Current_2x = 1		40		mA
IFS_SWITCH	フルスケール出力電流を切り替えました	RBIAS+ から RBIAS- への 3.6kΩ の抵抗、COARSE_CUR_A / COARSE_CUR_B = 0xF および FINE_CUR_A / FINE_CUR_B = 0x10 (デフォルト)、Current_2x = 0		20		mA
		RBIAS+ から RBIAS- への 3.6kΩ の抵抗、COARSE_CUR_A / COARSE_CUR_B = 0x0 および FINE_CUR_A / FINE_CUR_B = 0x10 (デフォルト)、Current_2x = 0		2		
ISTATIC	ピンごとの静的出力電流	RBIAS+ から RBIAS- への 3.6kΩ の抵抗、COARSE_CUR_A / COARSE_CUR_B = 0xF および FINE_CUR_A / FINE_CUR_B = 0x10 (デフォルト)		4.7		mA
IFSDRIFT	フルスケール出力電流の温度ドリフト	RBIAS+ から RBIAS- への 3.6kΩ の抵抗、COARSE_CUR_A / COARSE_CUR_B = 0xF および FINE_CUR_A / FINE_CUR_B = 0x10 (デフォルト)		1		uA/°C
				65		PPM/°C
IFSErrorR	フルスケール 電流誤差	RBIAS+ から RBIAS- への 3.6kΩ の抵抗、COARSE_CUR_A / COARSE_CUR_B = 0xF および FINE_CUR_A / FINE_CUR_B = 0x10 (デフォルト)		±1		%
VCOMP	出力コンプライアンス電圧範囲	DACOUTA+, DACOUTA-, DACOUTB+, DACOUTB- から AGND の間で測定	1.3		2.3	V
RTerm	出力差動終端抵抗			100		Ω
RTermDRIFT	出力差動終端抵抗温度係数			-5		mΩ/°C
				-50		PPM/°C
クロックと SYSREF 入力 (CLK+, CLK-, SYSREF+, SYSREF-)						
RT	内部差動終端抵抗			100		Ω
CIN	内部差動入力容量			0.5		pF
基準電圧						
VREF	リファレンス出力電圧			0.9		V
VREF-DRIFT	温度によるリファレンス出力電圧ドリフト			45		ppm/°C

6.5 電気的特性 - DC仕様 (続き)

特に明記されていない限り、 $T_A = +25^\circ\text{C}$ での標準値、動作時接合部温度範囲における最小値および最大値、標準電源電圧、 $f_{\text{CLK}} = 22\text{GHz}$ 、外部クロックモード、 $I_{\text{FS_SWITCH}} = 20\text{mA}$ 、シングルトーン振幅 = -0.1dBFS 、 $f_{\text{OUT}} = 2897\text{MHz}$ 、NRZ モード、ディザリングおよび DEM 有効、64b/66b エンコード。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{REF}	リファレンス出力電流の最大供給量			100		nA
JESD204C SERDES インターフェイス ([15:0]SRX+/-)						
V_{SRDIFF}	SerDes レシーバ入力振幅		50		1200	mVppdiff
V_{SRCOM}	SerDes 入力標準モード ⁽²⁾			450		mV
Z_{SRdiff}	SerDes 内部差動終端		80	100	120	Ω
CMOS インターフェイス (SCLK, $\overline{\text{SCS}}$, SDI, SDO, RESET, TRIG[0:4], TRIGCLK, SYNC, TXENABLE[0:1])						
I_{IH}	High レベル入力電流 (プルダウン付き)	TRIG[0:4] ⁽³⁾ , TRIGCLK ⁽³⁾ , SCANEN ⁽¹⁾			200	μA
I_{IH}	High レベル入力電流 (プルダウンなし)	$\overline{\text{SDS}}$, $\overline{\text{RESET}}$, $\overline{\text{SYNC}}$, TXEN[0:1], SDI, SCLK ⁽¹⁾			2	μA
I_{IL}	Low レベル入力電流 (プルダウン付き)	$\overline{\text{SDS}}$, $\overline{\text{RESET}}$, $\overline{\text{SYNC}}$, TXEN[0:1] ⁽¹⁾	-100			μA
I_{IL}	Low レベル入力電流 (プルダウンなし)	SCANEN, SDI, SCLK ⁽¹⁾	-20			μA
C_{I}	入力容量	入力容量		3		pF
V_{IH}	High レベル入力電圧	SCLK, $\overline{\text{SCS}}$, SDI, $\overline{\text{RESET}}$, SCANEN, TXEN[0:1], $\overline{\text{SYNC}}$, TRIG[0:4], TRIGCLK	0.7 x VDDIO18			V
V_{IL}	Low レベル入力電圧		0.3 x VDDIO18			V
V_{OH}	High レベル出力電圧	$I_{\text{LOAD}} = -400\mu\text{A}$	1.55			V
V_{OL}	Low レベル出力電圧	$I_{\text{LOAD}} = 400\mu\text{A}$			0.2	V
温度ダイオードの特性 (TDIODE+, TDIODE-)						
ΔV_{BE}	温度ダイオードの電圧スロープ	100 μA の強制順方向電流。オフセット電圧 (0°C で約 0.792V) はプロセスによって異なるため、各部品ごとに測定する必要があります。デバイスの自己発熱を最小限に抑えるため、デバイスの電源をオフにするか、PD ピンをアサートしてオフセット測定を行う必要があります。		-1.45		mV/ $^\circ\text{C}$

(1) 接続デバイスに IO 電源電圧オフセットはありません。

(2) Serdes トランスミッタからの AC 結合を推奨します。

(3) TRIG[0..3] および TRIGCLK は入力として使用する場合、プルダウンがあります。出力として使用される場合、プルダウンは無効になります。

6.6 電気的特性 - AC 仕様

特に明記されていない限り、 $T_A = +25^\circ\text{C}$ での標準値、動作時接合部温度範囲における最小値および最大値、標準電源電圧、 $f_{\text{CLK}} = 22\text{GHz}$ (外部クロックモード)、 $I_{\text{FS_SWITCH}} = 20\text{mA}$ 、シングルトーン振幅 = -0.1dBFS 、ディザリングおよび DEM 有効、64b/66b エンコード。

パラメータ		テスト条件	最小値	標準値	最大値	単位
モード別パラメータ						
f _{DACCLK}	NRZ の DAC クロックレート = f _{SAMPLE} 、および DES2XL/H モードの RF モード = f _{SAMPLE} /2			22		GHz
BW	アナログ出力帯域幅 (-3dB)	sinx/x 応答を除く。使用可能な周波数範囲は、-3dB ポイントを超える可能性があります。		18		GHz
クロストーク	チャンネル A (DACOUTA+/-)とチャンネル B (DACOUTB+/-)の間の絶縁、被害チャネルの f _{OUT} = -25MHz オフセット、デュアルチャンネルデバイス限定	f _{OUT} = 97MHz、NRZ モード		90		dBc
		f _{OUT} = 2897MHz、NRZ モード		75		dBc
		f _{OUT} = 5897MHz、NRZ モード		70		dBc
		f _{OUT} = 8897MHz、NRZ モード		66		dBc
		f _{OUT} = 13103MHz、RF モード		60		dBc
		f _{OUT} = 16103MHz、RF モード		55		dBc
		f _{OUT} = 19103MHz、RF モード		50		dBc
DAC 出力時間ドメインの特性						
t _{RISE}	10% から 90%(1)	JMODE 0、1x 補間		18		ps
t _{FALL}	90% から 10%(1)	JMODE 0、1x 補間		18		ps
f _{CLK} 固定スプリアス	1GHz のフルスケールのサイン波と比較	NRZ モード、f _{OUT} = DC (中間コード)、DEM/ディザリング オフ		50		dBc
		NRZ モード、f _{OUT} = DC (中間コード)、DEM/ディザリング オン		50		dBc
		DES2XL モード、f _{OUT} = DC (中間コード)、DEM/ディザリング オフ		50		dBc
		DES2XL モード、f _{OUT} = DC (中間コード)、DEM/ディザリング オン		50		dBc
2 * f _{CLK} 固定スプリアス	1GHz のフルスケールのサイン波と比較	DES2XL モード、f _{OUT} = DC (中間コード)、DEM/ディザリング オフ		50		dBc
		DES2XL モード、f _{OUT} = DC (中間コード)、DEM/ディザリング オン		50		dBc

6.6 電気的特性 - AC 仕様 (続き)

特に明記されていない限り、 $T_A = +25^\circ\text{C}$ での標準値、動作時接合部温度範囲における最小値および最大値、標準電源電圧、 $f_{\text{CLK}} = 22\text{GHz}$ (外部クロックモード)、 $I_{\text{FS_SWITCH}} = 20\text{mA}$ 、シングルトーン振幅 = -0.1dBFS 、ディザリングおよび DEM 有効、64b/66b エンコード。

パラメータ		テスト条件	最小値	標準値	最大値	単位
22GSPS GSPS、JMODE 2、4x Int、NRZ モード						
P_{OUT}	100 Ω 負荷への出力電力 ⁽²⁾	$f_{\text{OUT}} = 97\text{MHz}$		1.0		dBm
		$f_{\text{OUT}} = 2897\text{MHz}$		0.6		dBm
		$f_{\text{OUT}} = 2897\text{MHz}$, $I_{\text{FS_SWITCH}} = 40\text{mA}$		6.6		dBm
		$f_{\text{OUT}} = 5897\text{MHz}$		-0.5		dBm
		$f_{\text{OUT}} = 8897\text{MHz}$		-3.5		dBm
		$f_{\text{OUT}} = 8897\text{MHz}$, $I_{\text{FS_SWITCH}} = 40\text{mA}$		2.5		dBm
SFDR	0 - $F_{\text{DACCLK}}/2$ の間でのスプリアス フリーダイナミックレンジ (SFDR)	$f_{\text{OUT}} = 97\text{MHz}$		-74		dBc
		$f_{\text{OUT}} = 2897\text{MHz}$		-56		dBc
		$f_{\text{OUT}} = 2897\text{MHz}$, $I_{\text{FS_SWITCH}} = 40\text{mA}$		-53		dBc
		$f_{\text{OUT}} = 5897\text{MHz}$		-44		dBc
		$f_{\text{OUT}} = 8897\text{MHz}$		-36		dBc
		$f_{\text{OUT}} = 8897\text{MHz}$, $I_{\text{FS_SWITCH}} = 40\text{mA}$		-45		dBc
HD2	2 次高調波 (HD2)、0 - $F_{\text{DACCLK}}/2$	$f_{\text{OUT}} = 97\text{MHz}$		-81		dBc
		$f_{\text{OUT}} = 2897\text{MHz}$		-56		dBc
		$f_{\text{OUT}} = 2897\text{MHz}$, $I_{\text{FS_SWITCH}} = 40\text{mA}$		-55		dBc
		$f_{\text{OUT}} = 5897\text{MHz}$		-44		dBc
		$f_{\text{OUT}} = 8897\text{MHz}$		-36		dBc
		$f_{\text{OUT}} = 8897\text{MHz}$, $I_{\text{FS_SWITCH}} = 40\text{mA}$		-38		dBc
HD3	3 次高調波 (HD3)、0 - $F_{\text{DACCLK}}/2$	$f_{\text{OUT}} = 97\text{MHz}$		-74		dBc
		$f_{\text{OUT}} = 2897\text{MHz}$		-75		dBc
		$f_{\text{OUT}} = 2897\text{MHz}$, $I_{\text{FS_SWITCH}} = 40\text{mA}$		-60		dBc
		$f_{\text{OUT}} = 5897\text{MHz}$		-70		dBc
		$f_{\text{OUT}} = 8897\text{MHz}$		-54		dBc
		$f_{\text{OUT}} = 8897\text{MHz}$, $I_{\text{FS_SWITCH}} = 40\text{mA}$		-60		dBc
SFDR _{NONHD2} ³	非 HD2/3 SFDR、0 - $F_{\text{DACCLK}}/2$	$f_{\text{OUT}} = 97\text{MHz}$		-98		dBc
		$f_{\text{OUT}} = 2897\text{MHz}$		-94		dBc
		$f_{\text{OUT}} = 2897\text{MHz}$, $I_{\text{FS_SWITCH}} = 40\text{mA}$		-94		dBc
		$f_{\text{OUT}} = 5897\text{MHz}$		-71		dBc
		$f_{\text{OUT}} = 8897\text{MHz}$		-74		dBc
		$f_{\text{OUT}} = 8897\text{MHz}$, $I_{\text{FS_SWITCH}} = 40\text{mA}$		-74		dBc
IMD3	3 次 2 トーン相互変調歪み	$f_{\text{OUT}} = 97 \pm 10\text{MHz}$, -7dBFS /トーン		-80		dBc
		$f_{\text{OUT}} = 2897 \pm 10\text{MHz}$, -7dBFS /トーン		-75		dBc
		$f_{\text{OUT}} = 2897 \pm 10\text{MHz}$, -7dBFS /トーン、 $I_{\text{FS_SWITCH}} = 40\text{mA}$		-65		dBc
		$f_{\text{OUT}} = 5897 \pm 10\text{MHz}$, -7dBFS /トーン		-75		dBc
		$f_{\text{OUT}} = 8897 \pm 10\text{MHz}$, -7dBFS /トーン		-65		dBc
		$f_{\text{OUT}} = 8897 \pm 10\text{MHz}$, -7dBFS /トーン、 $I_{\text{FS_SWITCH}} = 40\text{mA}$		-70		dBc

6.6 電気的特性 - AC 仕様 (続き)

特に明記されていない限り、 $T_A = +25^{\circ}\text{C}$ での標準値、動作時接合部温度範囲における最小値および最大値、標準電源電圧、 $f_{\text{CLK}} = 22\text{GHz}$ (外部クロックモード)、 $I_{\text{FS_SWITCH}} = 20\text{mA}$ 、シングルトーン振幅 = -0.1dBFS 、ディザリングおよび DEM 有効、64b/66b エンコード。

パラメータ		テスト条件	最小値	標準値	最大値	単位
NSD	ノイズスペクトル密度、大信号、サイン波出力、DEM/ディザリング オン	f_{OUT} からの $f_{\text{OUT}} = 97\text{MHz}$ 、 70MHz オフセット		-160		dBc/Hz
		f_{OUT} からの $f_{\text{OUT}} = 2897\text{MHz}$ 、 70MHz オフセット		-158		dBc/Hz
		$V = 2897\text{MHz}$ 、 f_{OUT} からの 70MHz オフセット、 $I_{\text{FS_SWITCH}} = 40\text{mA}$		-158		dBc/Hz
		f_{OUT} からの $f_{\text{OUT}} = 5897\text{MHz}$ 、 70MHz オフセット		-156		dBc/Hz
		f_{OUT} からの $f_{\text{OUT}} = 8897\text{MHz}$ 、 70MHz オフセット		-152		dBc/Hz
		$f_{\text{OUT}} = 8897\text{MHz}$ 、 f_{OUT} からの 70MHz オフセット、 $I_{\text{FS_SWITCH}} = 40\text{mA}$		-152		dBc/Hz
NSD	ノイズスペクトル密度、大信号、サイン波出力、DEM/ディザリング 無効	f_{OUT} からの $f_{\text{OUT}} = 97\text{MHz}$ 、 70MHz オフセット		-170		dBc/Hz
		f_{OUT} からの $f_{\text{OUT}} = 2897\text{MHz}$ 、 70MHz オフセット		-168		dBc/Hz
		$f_{\text{OUT}} = 2897\text{MHz}$ 、 f_{OUT} からの 70MHz オフセット、 $I_{\text{FS_SWITCH}} = 40\text{mA}$		-168		dBc/Hz
		f_{OUT} からの $f_{\text{OUT}} = 5897\text{MHz}$ 、 70MHz オフセット		-166		dBc/Hz
		f_{OUT} からの $f_{\text{OUT}} = 8897\text{MHz}$ 、 70MHz オフセット		-160		dBc/Hz
		$f_{\text{OUT}} = 8897\text{MHz}$ 、 f_{OUT} からの 70MHz オフセット、 $I_{\text{FS_SWITCH}} = 40\text{mA}$		-160		dBc/Hz
NSD	ノイズスペクトル密度、小信号、サイン波出力、DEM/ディザリング オン	$A_{\text{OUT}} = -20\text{dBFS}$ 、 $f_{\text{OUT}} = 97\text{MHz}$ 、 f_{OUT} からの 70MHz オフセット		-163		dBFS/Hz
		$A_{\text{OUT}} = -20\text{dBFS}$ 、 $f_{\text{OUT}} = 2897\text{MHz}$ 、 f_{OUT} からの 70MHz オフセット		-162		dBFS/Hz
		$A_{\text{OUT}} = -20\text{dBFS}$ 、 $f_{\text{OUT}} = 2897\text{MHz}$ 、 f_{OUT} からの 70MHz オフセット、 $I_{\text{FS_SWITCH}} = 40\text{mA}$		-162		dBFS/Hz
		$A_{\text{OUT}} = -20\text{dBFS}$ 、 $f_{\text{OUT}} = 5897\text{MHz}$ 、 f_{OUT} からの 70MHz オフセット		-160		dBFS/Hz
		$A_{\text{OUT}} = -20\text{dBFS}$ 、 $f_{\text{OUT}} = 8897\text{MHz}$ 、 f_{OUT} からの 70MHz オフセット		-160		dBFS/Hz
		$A_{\text{OUT}} = -20\text{dBFS}$ 、 $f_{\text{OUT}} = 8897\text{MHz}$ 、 f_{OUT} からの 70MHz オフセット、 $I_{\text{FS_SWITCH}} = 40\text{mA}$		-160		dBFS/Hz

6.6 電気的特性 - AC 仕様 (続き)

特に明記されていない限り、 $T_A = +25^\circ\text{C}$ での標準値、動作時接合部温度範囲における最小値および最大値、標準電源電圧、 $f_{\text{CLK}} = 22\text{GHz}$ (外部クロックモード)、 $I_{\text{FS_SWITCH}} = 20\text{mA}$ 、シングルトーン振幅 = -0.1dBFS 、ディザリングおよび DEM 有効、64b/66b エンコード。

パラメータ		テスト条件	最小値	標準値	最大値	単位
NSD	ノイズスペクトル密度、小信号、サイン波出力、DEM/ディザリング 無効	$A_{\text{OUT}} = -20\text{dBFS}$, $f_{\text{OUT}} = 97\text{MHz}$, f_{OUT} からの 70MHz オフセット		-170		dBFS/Hz
		$A_{\text{OUT}} = -20\text{dBFS}$, $f_{\text{OUT}} = 2897\text{MHz}$, f_{OUT} からの 70MHz オフセット		-169		dBFS/Hz
		$A_{\text{OUT}} = -20\text{dBFS}$, $f_{\text{OUT}} = 2897\text{MHz}$, f_{OUT} からの 70MHz オフセット、 $I_{\text{FS_SWITCH}} = 40\text{mA}$		-169		dBFS/Hz
		$A_{\text{OUT}} = -20\text{dBFS}$, $f_{\text{OUT}} = 5897\text{MHz}$, f_{OUT} からの 70MHz オフセット		-168		dBFS/Hz
		$A_{\text{OUT}} = -20\text{dBFS}$, $f_{\text{OUT}} = 8897\text{MHz}$, f_{OUT} からの 70MHz オフセット		-167		dBFS/Hz
		$A_{\text{OUT}} = -20\text{dBFS}$, $f_{\text{OUT}} = 8897\text{MHz}$, f_{OUT} からの 70MHz オフセット、 $I_{\text{FS_SWITCH}} = 40\text{mA}$		-167		dBFS/Hz
NPR	ノイズ電力比、ピーク	C バンドにまたがる信号、中央の 200MHz ノッチ、 $I_{\text{FS_SWITCH}} = 40\text{mA}$		53		dBc
ENOB	有効ビット数	ピーク NPR から計算、 $I_{\text{FS_SWITCH}} = 40\text{mA}$		8.5		ビット
PN	相乗性 DAC 位相ノイズ、外部クロックからの影響を差し引いたもの	$f_{\text{OUT}} = 10\text{GHz}$, 100Hz オフセット				dBc/Hz
		$f_{\text{OUT}} = 10\text{GHz}$, 1kHz オフセット		-120		dBc/Hz
		$f_{\text{OUT}} = 10\text{GHz}$, 10kHz オフセット		-132		dBc/Hz
		$f_{\text{OUT}} = 10\text{GHz}$, 100kHz オフセット		-140		dBc/Hz
		$f_{\text{OUT}} = 10\text{GHz}$, 1MHz オフセット		-142		dBc/Hz
		$f_{\text{OUT}} = 10\text{GHz}$, 10MHz オフセット		-143		dBc/Hz
PN	相乗性 DAC 位相ノイズ、外部クロックからの影響を差し引いたもの、DEM/ディザリング 無効	$f_{\text{OUT}} = 10\text{GHz}$, 100Hz オフセット				dBc/Hz
		$f_{\text{OUT}} = 10\text{GHz}$, 1kHz オフセット		-120		dBc/Hz
		$f_{\text{OUT}} = 10\text{GHz}$, 10kHz オフセット		-132		dBc/Hz
		$f_{\text{OUT}} = 10\text{GHz}$, 100kHz オフセット		-140		dBc/Hz
		$f_{\text{OUT}} = 10\text{GHz}$, 1MHz オフセット		-147		dBc/Hz
		$f_{\text{OUT}} = 10\text{GHz}$, 10MHz オフセット		-149		dBc/Hz

6.6 電気的特性 - AC 仕様 (続き)

特に明記されていない限り、 $T_A = +25^\circ\text{C}$ での標準値、動作時接合部温度範囲における最小値および最大値、標準電源電圧、 $f_{\text{CLK}} = 22\text{GHz}$ (外部クロックモード)、 $I_{\text{FS_SWITCH}} = 20\text{mA}$ 、シングルトーン振幅 = -0.1dBFS 、ディザリングおよび DEM 有効、64b/66b エンコード。

パラメータ		テスト条件	最小値	標準値	最大値	単位
22GSPS GSPS, JMODE 2, 4x Int, DES2xL モード						
P_{OUT}	100 Ω 負荷への出力電力 ⁽²⁾	$f_{\text{OUT}} = 97\text{MHz}$		1.0		dBm
		$f_{\text{OUT}} = 2897\text{MHz}$		0.8		dBm
		$f_{\text{OUT}} = 2897\text{MHz}, I_{\text{FS_SWITCH}} = 40\text{mA}$		6.8		dBm
		$f_{\text{OUT}} = 5897\text{MHz}$		0.4		dBm
		$f_{\text{OUT}} = 8897\text{MHz}$		-1.5		dBm
		$f_{\text{OUT}} = 8897\text{MHz}, I_{\text{FS_SWITCH}} = 40\text{mA}$		4.5		dBm
SFDR	0 - $F_{\text{DACCLK}}/2$ の間でのスプリアス フリーダイナミックレンジ (SFDR)	$f_{\text{OUT}} = 97\text{MHz}$		-58		dBc
		$f_{\text{OUT}} = 2897\text{MHz}$		-59		dBc
		$f_{\text{OUT}} = 2897\text{MHz}, I_{\text{FS_SWITCH}} = 40\text{mA}$		-76		dBc
		$f_{\text{OUT}} = 5897\text{MHz}$		-66		dBc
		$f_{\text{OUT}} = 8897\text{MHz}$		-66		dBc
		$f_{\text{OUT}} = 8897\text{MHz}, I_{\text{FS_SWITCH}} = 40\text{mA}$		-60		dBc
HD2	2 次高調波 (HD2)、0 - $F_{\text{DACCLK}}/2$	$f_{\text{OUT}} = 97\text{MHz}$		-80		dBc
		$f_{\text{OUT}} = 2897\text{MHz}$		-58		dBc
		$f_{\text{OUT}} = 2897\text{MHz}, I_{\text{FS_SWITCH}} = 40\text{mA}$		-59		dBc
		$f_{\text{OUT}} = 5897\text{MHz}$		-76		dBc
		$f_{\text{OUT}} = 8897\text{MHz}$		-66		dBc
		$f_{\text{OUT}} = 8897\text{MHz}, I_{\text{FS_SWITCH}} = 40\text{mA}$		-66		dBc
HD3	3 次高調波 (HD3)、0 - $F_{\text{DACCLK}}/2$	$f_{\text{OUT}} = 97\text{MHz}$		-74		dBc
		$f_{\text{OUT}} = 2897\text{MHz}$		-71		dBc
		$f_{\text{OUT}} = 2897\text{MHz}, I_{\text{FS_SWITCH}} = 40\text{mA}$		-60		dBc
		$f_{\text{OUT}} = 5897\text{MHz}$		-80		dBc
		$f_{\text{OUT}} = 8897\text{MHz}$		-71		dBc
		$f_{\text{OUT}} = 8897\text{MHz}, I_{\text{FS_SWITCH}} = 40\text{mA}$		-80		dBc
SFDR _{NONHD2/3}	非 HD2/3 SFDR、0 - $F_{\text{DACCLK}}/2$	$f_{\text{OUT}} = 97\text{MHz}$		-92		dBc
		$f_{\text{OUT}} = 2897\text{MHz}$		-87		dBc
		$f_{\text{OUT}} = 2897\text{MHz}, I_{\text{FS_SWITCH}} = 40\text{mA}$		-87		dBc
		$f_{\text{OUT}} = 5897\text{MHz}$		-73		dBc
		$f_{\text{OUT}} = 8897\text{MHz}$		-74		dBc
		$f_{\text{OUT}} = 8897\text{MHz}, I_{\text{FS_SWITCH}} = 40\text{mA}$		-74		dBc
IMG _{DES}	$F_{\text{DACCLK}} - F_{\text{OUT}}$ DES 画像	$f_{\text{OUT}} = 97\text{MHz}$		-66		dBc
		$f_{\text{OUT}} = 2897\text{MHz}$		-62		dBc
		$f_{\text{OUT}} = 2897\text{MHz}, I_{\text{FS_SWITCH}} = 40\text{mA}$		-62		dBc
		$f_{\text{OUT}} = 5897\text{MHz}$		-59		dBc
		$f_{\text{OUT}} = 8897\text{MHz}$		-51		dBc
		$f_{\text{OUT}} = 8897\text{MHz}, I_{\text{FS_SWITCH}} = 40\text{mA}$		-51		dBc

6.6 電気的特性 - AC 仕様 (続き)

特に明記されていない限り、 $T_A = +25^\circ\text{C}$ での標準値、動作時接合部温度範囲における最小値および最大値、標準電源電圧、 $f_{\text{CLK}} = 22\text{GHz}$ (外部クロックモード)、 $I_{\text{FS_SWITCH}} = 20\text{mA}$ 、シングルトーン振幅 = -0.1dBFS 、ディザリングおよび DEM 有効、64b/66b エンコード。

パラメータ		テスト条件	最小値	標準値	最大値	単位
IMD3	3 次 2 トーン相互変調歪み	$f_{\text{OUT}} = 97 \pm 10\text{MHz}$ 、 -7dBFS /トーン		-80		dBc
		$f_{\text{OUT}} = 2897 \pm 10\text{MHz}$ 、 -7dBFS /トーン		-83		dBc
		$f_{\text{OUT}} = 2897 \pm 10\text{MHz}$ 、 -7dBFS /トーン、 $I_{\text{FS_SWITCH}} = 40\text{mA}$		-63		dBc
		$f_{\text{OUT}} = 5897 \pm 10\text{MHz}$ 、 -7dBFS /トーン		-72		dBc
		$f_{\text{OUT}} = 8897 \pm 10\text{MHz}$ 、 -7dBFS /トーン		-65		dBc
		$f_{\text{OUT}} = 8897 \pm 10\text{MHz}$ 、 -7dBFS /トーン、 $I_{\text{FS_SWITCH}} = 40\text{mA}$		-67		dBc
NSD	ノイズスペクトル密度、大信号、サイン波出力、DEM/ディザリング オフ	f_{OUT} からの $f_{\text{OUT}} = 97\text{MHz}$ 、 70MHz オフセット		-170		dBc/Hz
		f_{OUT} からの $f_{\text{OUT}} = 2897\text{MHz}$ 、 70MHz オフセット		-168		dBc/Hz
		$f_{\text{OUT}} = 2897\text{MHz}$ 、 f_{OUT} からの 70MHz オフセット、 $I_{\text{FS_SWITCH}} = 40\text{mA}$		-168		dBc/Hz
		f_{OUT} からの $f_{\text{OUT}} = 5897\text{MHz}$ 、 70MHz オフセット		-166		dBc/Hz
		f_{OUT} からの $f_{\text{OUT}} = 8897\text{MHz}$ 、 70MHz オフセット		-160		dBc/Hz
		$f_{\text{OUT}} = 8897\text{MHz}$ 、 f_{OUT} からの 70MHz オフセット、 $I_{\text{FS_SWITCH}} = 40\text{mA}$		-160		dBc/Hz
NSD	ノイズスペクトル密度、大信号、サイン波出力、DEM/ディザリング オン	f_{OUT} からの $f_{\text{OUT}} = 97\text{MHz}$ 、 70MHz オフセット		-160		dBc/Hz
		f_{OUT} からの $f_{\text{OUT}} = 2897\text{MHz}$ 、 70MHz オフセット		-158		dBc/Hz
		$f_{\text{OUT}} = 2897\text{MHz}$ 、 f_{OUT} からの 70MHz オフセット、 $I_{\text{FS_SWITCH}} = 40\text{mA}$		-158		dBc/Hz
		f_{OUT} からの $f_{\text{OUT}} = 5897\text{MHz}$ 、 70MHz オフセット		-156		dBc/Hz
		f_{OUT} からの $f_{\text{OUT}} = 8897\text{MHz}$ 、 70MHz オフセット		-152		dBc/Hz
		$f_{\text{OUT}} = 8897\text{MHz}$ 、 f_{OUT} からの 70MHz オフセット、 $I_{\text{FS_SWITCH}} = 40\text{mA}$		-152		dBc/Hz
NSD	ノイズスペクトル密度、小信号、サイン波出力、DEM/ディザリング オフ	$A_{\text{OUT}} = -20\text{dBFS}$ 、 $f_{\text{OUT}} = 97\text{MHz}$ 、 f_{OUT} からの 70MHz オフセット		-170		dBFS/Hz
		$A_{\text{OUT}} = -20\text{dBFS}$ 、 $f_{\text{OUT}} = 2897\text{MHz}$ 、 f_{OUT} からの 70MHz オフセット		-169		dBFS/Hz
		$A_{\text{OUT}} = -20\text{dBFS}$ 、 $f_{\text{OUT}} = 2897\text{MHz}$ 、 f_{OUT} からの 70MHz オフセット、 $I_{\text{FS_SWITCH}} = 40\text{mA}$		-169		dBFS/Hz
		$A_{\text{OUT}} = -20\text{dBFS}$ 、 $f_{\text{OUT}} = 5897\text{MHz}$ 、 f_{OUT} からの 70MHz オフセット		-168		dBFS/Hz
		$A_{\text{OUT}} = -20\text{dBFS}$ 、 $f_{\text{OUT}} = 8897\text{MHz}$ 、 f_{OUT} からの 70MHz オフセット		-167		dBFS/Hz
		$A_{\text{OUT}} = -20\text{dBFS}$ 、 $f_{\text{OUT}} = 8897\text{MHz}$ 、 f_{OUT} からの 70MHz オフセット、 $I_{\text{FS_SWITCH}} = 40\text{mA}$		-167		dBFS/Hz

6.6 電気的特性 - AC 仕様 (続き)

特に明記されていない限り、 $T_A = +25^\circ\text{C}$ での標準値、動作時接合部温度範囲における最小値および最大値、標準電源電圧、 $f_{\text{CLK}} = 22\text{GHz}$ (外部クロックモード)、 $I_{\text{FS_SWITCH}} = 20\text{mA}$ 、シングルトーン振幅 = -0.1dBFS 、ディザリングおよび DEM 有効、64b/66b エンコード。

パラメータ		テスト条件	最小値	標準値	最大値	単位
NSD	ノイズスペクトル密度、小信号、サイン波出力、DEM/ディザリング オン	$A_{\text{OUT}} = -20\text{dBFS}$, $f_{\text{OUT}} = 97\text{MHz}$, f_{OUT} からの 70MHz オフセット		-163		dBFS/Hz
		$A_{\text{OUT}} = -20\text{dBFS}$, $f_{\text{OUT}} = 2897\text{MHz}$, f_{OUT} からの 70MHz オフセット		-162		dBFS/Hz
		$A_{\text{OUT}} = -20\text{dBFS}$, $f_{\text{OUT}} = 2897\text{MHz}$, f_{OUT} からの 70MHz オフセット、 $I_{\text{FS_SWITCH}} = 40\text{mA}$		-162		dBFS/Hz
		$A_{\text{OUT}} = -20\text{dBFS}$, $f_{\text{OUT}} = 5897\text{MHz}$, f_{OUT} からの 70MHz オフセット		-160		dBFS/Hz
		$A_{\text{OUT}} = -20\text{dBFS}$, $f_{\text{OUT}} = 8897\text{MHz}$, f_{OUT} からの 70MHz オフセット		-160		dBFS/Hz
		$A_{\text{OUT}} = -20\text{dBFS}$, $f_{\text{OUT}} = 8897\text{MHz}$, f_{OUT} からの 70MHz オフセット、 $I_{\text{FS_SWITCH}} = 40\text{mA}$		-160		dBFS/Hz
NPR	ノイズ電力比、ピーク	C バンドにまたがる信号、中央の 200MHz ノッチ、 $I_{\text{FS_SWITCH}} = 40\text{mA}$		53		dBc
ENOB	有効ビット数	ピーク NPR から計算		8.5		ビット
PN	相乗性 DAC 位相ノイズ、外部クロックからの影響を差し引いたもの、DEM/ディザリング オフ	$f_{\text{OUT}} = 10\text{GHz}$, 100Hz オフセット				dBc/Hz
		$f_{\text{OUT}} = 10\text{GHz}$, 1kHz オフセット		-120		dBc/Hz
		$f_{\text{OUT}} = 10\text{GHz}$, 10kHz オフセット		-132		dBc/Hz
		$f_{\text{OUT}} = 10\text{GHz}$, 100kHz オフセット		-140		dBc/Hz
		$f_{\text{OUT}} = 10\text{GHz}$, 1MHz オフセット		-147		dBc/Hz
		$f_{\text{OUT}} = 10\text{GHz}$, 10MHz オフセット		-149		dBc/Hz

6.6 電気的特性 - AC 仕様 (続き)

特に明記されていない限り、 $T_A = +25^\circ\text{C}$ での標準値、動作時接合部温度範囲における最小値および最大値、標準電源電圧、 $f_{\text{CLK}} = 22\text{GHz}$ (外部クロックモード)、 $I_{\text{FS_SWITCH}} = 20\text{mA}$ 、シングルトーン振幅 = -0.1dBFS 、ディザリングおよび DEM 有効、64b/66b エンコード。

パラメータ		テスト条件	最小値	標準値	最大値	単位
22GSPS GSPS、JMODE 2、4x Int、RF モード						
P_{OUT}	100 Ω 負荷への出力電力 ⁽²⁾	$f_{\text{OUT}} = 13103\text{MHz}$		-3.5		dBm
		$f_{\text{OUT}} = 16103\text{MHz}$		-4.0		dBm
		$f_{\text{OUT}} = 16103\text{MHz}$, $I_{\text{FS_SWITCH}} = 40\text{mA}$		2.0		dBm
		$f_{\text{OUT}} = 19103\text{MHz}$		-5.0		dBm
SFDR	$F_{\text{DACCLK}}/2$ から F_{DACCLK} の間のスプリアス フリーダイナミックレンジ (SFDR)	$f_{\text{OUT}} = 13103\text{MHz}$		-45		dBc
		$f_{\text{OUT}} = 16103\text{MHz}$		-45		dBc
		$f_{\text{OUT}} = 16103\text{MHz}$, $I_{\text{FS_SWITCH}} = 40\text{mA}$		-45		dBc
		$f_{\text{OUT}} = 19103\text{MHz}$		-45		dBc
HD2	$F_{\text{DACCLK}}/2$ から F_{DACCLK} の 2 次高調波歪み	$f_{\text{OUT}} = 13103\text{MHz}$		-40		dBc
		$f_{\text{OUT}} = 16103\text{MHz}$		-35		dBc
		$f_{\text{OUT}} = 16103\text{MHz}$, $I_{\text{FS_SWITCH}} = 40\text{mA}$		-35		dBc
		$f_{\text{OUT}} = 19103\text{MHz}$		-46		dBc
HD3	$F_{\text{DACCLK}}/2$ から F_{DACCLK} の 3 次高調波歪み	$f_{\text{OUT}} = 13103\text{MHz}$		-51		dBc
		$f_{\text{OUT}} = 16103\text{MHz}$		-75		dBc
		$f_{\text{OUT}} = 16103\text{MHz}$, $I_{\text{FS_SWITCH}} = 40\text{mA}$		-55		dBc
		$f_{\text{OUT}} = 19103\text{MHz}$		-56		dBc
SFDR _{NONHD2} 3	非 HD2/3 SFDR、 $F_{\text{DACCLK}}/2$ から F_{DACCLK} 全体	$f_{\text{OUT}} = 13103\text{MHz}$		-72		dBc
		$f_{\text{OUT}} = 16103\text{MHz}$		-67		dBc
		$f_{\text{OUT}} = 16103\text{MHz}$, $I_{\text{FS_SWITCH}} = 40\text{mA}$		-65		dBc
		$f_{\text{OUT}} = 19103\text{MHz}$		-69		dBc
IMD3	3 次 2 トーン相互変調歪み	$f_{\text{OUT}} = 13103 \pm 10\text{MHz}$, -7dBFS /トーン		-55		dBc
		$f_{\text{OUT}} = 16103 \pm 10\text{MHz}$, -7dBFS /トーン		-55		dBc
		$f_{\text{OUT}} = 16103 \pm 10\text{MHz}$, -7dBFS /トーン、 $I_{\text{FS_SWITCH}} = 40\text{mA}$		-60		dBc
		$f_{\text{OUT}} = 19103 \pm 10\text{MHz}$, -7dBFS /トーン		-70		dBc
NSD	ノイズスペクトル密度、大信号、サイン波出力、DEM/ディザリング オフ	f_{OUT} からの $f_{\text{OUT}} = 13103\text{MHz}$, 70MHz オフセット		-158		dBc/Hz
		f_{OUT} からの $f_{\text{OUT}} = 16103\text{MHz}$, 70MHz オフセット		-155		dBc/Hz
		$f_{\text{OUT}} = 16103\text{MHz}$, f_{OUT} からの 70MHz オフセット、 $I_{\text{FS_SWITCH}} = 40\text{mA}$		-155		dBc/Hz
		f_{OUT} からの $f_{\text{OUT}} = 19103\text{MHz}$, 70MHz オフセット		-154		dBc/Hz

6.6 電気的特性 - AC 仕様 (続き)

特に明記されていない限り、 $T_A = +25^\circ\text{C}$ での標準値、動作時接合部温度範囲における最小値および最大値、標準電源電圧、 $f_{\text{CLK}} = 22\text{GHz}$ (外部クロックモード)、 $I_{\text{FS_SWITCH}} = 20\text{mA}$ 、シングルトーン振幅 = -0.1dBFS 、ディザリングおよび DEM 有効、64b/66b エンコード。

パラメータ		テスト条件	最小値	標準値	最大値	単位
NSD	ノイズスペクトル密度、大信号、サイン波出力、DEM/ディザリング オン	f_{OUT} からの $f_{\text{OUT}} = 13103\text{MHz}$ 、70MHz オフセット		-154		dBc/Hz
		f_{OUT} からの $f_{\text{OUT}} = 16103\text{MHz}$ 、70MHz オフセット		-152		dBc/Hz
		$f_{\text{OUT}} = 16103\text{MHz}$ 、 f_{OUT} からの 70MHz オフセット、 $I_{\text{FS_SWITCH}} = 40\text{mA}$		-152		dBc/Hz
		f_{OUT} からの $f_{\text{OUT}} = 19103\text{MHz}$ 、70MHz オフセット		-151		dBc/Hz
NSD	ノイズスペクトル密度、小信号、サイン波出力、DEM/ディザリング オフ	$f_{\text{OUT}} = 13103\text{MHz}$ 、 $A_{\text{OUT}} = -20\text{dBFS}$ 、 f_{OUT} からの 70MHz オフセット		-165		dBFS/Hz
		$f_{\text{OUT}} = 16103\text{MHz}$ 、 $A_{\text{OUT}} = -20\text{dBFS}$ 、 f_{OUT} からの 70MHz オフセット		-164		dBFS/Hz
		$f_{\text{OUT}} = 16103\text{MHz}$ 、 $A_{\text{OUT}} = -20\text{dBFS}$ 、 f_{OUT} からの 70MHz オフセット、 $I_{\text{FS_SWITCH}} = 40\text{mA}$		-164		dBFS/Hz
		$f_{\text{OUT}} = 19103\text{MHz}$ 、 $A_{\text{OUT}} = -20\text{dBFS}$ 、 f_{OUT} からの 70MHz オフセット		-164		dBFS/Hz
NSD	ノイズスペクトル密度、小信号、サイン波出力、DEM/ディザリング オン	$f_{\text{OUT}} = 13103\text{MHz}$ 、 $A_{\text{OUT}} = -20\text{dBFS}$ 、 f_{OUT} からの 70MHz オフセット		-160		dBFS/Hz
		$f_{\text{OUT}} = 16103\text{MHz}$ 、 $A_{\text{OUT}} = -20\text{dBFS}$ 、 f_{OUT} からの 70MHz オフセット		-159		dBFS/Hz
		$f_{\text{OUT}} = 16103\text{MHz}$ 、 $A_{\text{OUT}} = -20\text{dBFS}$ 、 f_{OUT} からの 70MHz オフセット、 $I_{\text{FS_SWITCH}} = 40\text{mA}$		-159		dBFS/Hz
		$f_{\text{OUT}} = 19103\text{MHz}$ 、 $A_{\text{OUT}} = -20\text{dBFS}$ 、 f_{OUT} からの 70MHz オフセット		-158		dBFS/Hz
NPR	ノイズ電力比、ピーク	信号スパンの Ku バンド、中央の 300MHz ノッチ、 $I_{\text{FS_SWITCH}} = 40\text{mA}$		48		dBc
ENOB	有効ビット数	ピーク NPR から計算		7.8		ビット
PN	相乗性 DAC 位相ノイズ、外部クロックからの影響を差し引いたもの、DEM/ディザリング オフ	$f_{\text{OUT}} = 17.8\text{GHz}$ 、100Hz オフセット		-103		dBc/Hz
		$f_{\text{OUT}} = 17.8\text{GHz}$ 、1kHz オフセット		-115		dBc/Hz
		$f_{\text{OUT}} = 17.8\text{GHz}$ 、10kHz オフセット		-126		dBc/Hz
		$f_{\text{OUT}} = 17.8\text{GHz}$ 、100kHz オフセット		-135		dBc/Hz
		$f_{\text{OUT}} = 17.8\text{GHz}$ 、1MHz オフセット		-144		dBc/Hz
		$f_{\text{OUT}} = 17.8\text{GHz}$ 、10MHz オフセット		-148		dBc/Hz

6.6 電気的特性 - AC 仕様 (続き)

特に明記されていない限り、 $T_A = +25^\circ\text{C}$ での標準値、動作時接合部温度範囲における最小値および最大値、標準電源電圧、 $f_{\text{CLK}} = 22\text{GHz}$ (外部クロックモード)、 $I_{\text{FS_SWITCH}} = 20\text{mA}$ 、シングルトーン振幅 = -0.1dBFS 、ディザリングおよび DEM 有効、64b/66b エンコード。

パラメータ		テスト条件	最小値	標準値	最大値	単位
22GSPS GSPS、JMODE 2、4x Int、DES2xH モード						
P_{OUT}	100 Ω 負荷への出力電力 ⁽²⁾	$f_{\text{OUT}} = 13103\text{MHz}$		-1.2		dBm
		$f_{\text{OUT}} = 16103\text{MHz}$		-2.0		dBm
		$f_{\text{OUT}} = 16103\text{MHz}$, $I_{\text{FS_SWITCH}} = 40\text{mA}$		4.0		dBm
		$f_{\text{OUT}} = 19103\text{MHz}$		-2.5		dBm
SFDR	$F_{\text{DACCLK}}/2$ から F_{DACCLK} の間のスプリアス フリーダイナミックレンジ (SFDR)	$f_{\text{OUT}} = 13103\text{MHz}$		-47		dBc
		$f_{\text{OUT}} = 16103\text{MHz}$		-35		dBc
		$f_{\text{OUT}} = 16103\text{MHz}$, $I_{\text{FS_SWITCH}} = 40\text{mA}$		-30		dBc
		$f_{\text{OUT}} = 19103\text{MHz}$		-58		dBc
HD2	$F_{\text{DACCLK}}/2$ から F_{DACCLK} の 2 次高調波歪み	$f_{\text{OUT}} = 13103\text{MHz}$		-47		dBc
		$f_{\text{OUT}} = 16103\text{MHz}$		-35		dBc
		$f_{\text{OUT}} = 16103\text{MHz}$, $I_{\text{FS_SWITCH}} = 40\text{mA}$		-30		dBc
		$f_{\text{OUT}} = 19103\text{MHz}$		-58		dBc
HD3	$F_{\text{DACCLK}}/2$ から F_{DACCLK} の 3 次高調波歪み	$f_{\text{OUT}} = 13103\text{MHz}$		-72		dBc
		$f_{\text{OUT}} = 16103\text{MHz}$		-69		dBc
		$f_{\text{OUT}} = 16103\text{MHz}$, $I_{\text{FS_SWITCH}} = 40\text{mA}$		-70		dBc
		$f_{\text{OUT}} = 19103\text{MHz}$		-67		dBc
SFDR _{NONHD2} 3	非 HD2/3 SFDR、 $F_{\text{DACCLK}}/2$ から F_{DACCLK} 全体	$f_{\text{OUT}} = 13103\text{MHz}$		-72		dBc
		$f_{\text{OUT}} = 16103\text{MHz}$		-73		dBc
		$f_{\text{OUT}} = 16103\text{MHz}$, $I_{\text{FS_SWITCH}} = 40\text{mA}$		-65		dBc
		$f_{\text{OUT}} = 19103\text{MHz}$		-69		dBc
IMG _{DES}	$F_{\text{DACCLK}} - f_{\text{OUT}}$ DES 画像	$f_{\text{OUT}} = 13103\text{MHz}$		-43		dBc
		$f_{\text{OUT}} = 16103\text{MHz}$		-48		dBc
		$f_{\text{OUT}} = 16103\text{MHz}$, $I_{\text{FS_SWITCH}} = 40\text{mA}$		-48		dBc
		$f_{\text{OUT}} = 19103\text{MHz}$		-39		dBc
IMD3	3 次 2 トーン相互変調歪み	$f_{\text{OUT}} = 13103 \pm 10\text{MHz}$, -7dBFS /トーン		-66		dBc
		$f_{\text{OUT}} = 16103 \pm 10\text{MHz}$, -7dBFS /トーン		-68		dBc
		$f_{\text{OUT}} = 16103 \pm 10\text{MHz}$, -7dBFS /トーン、 $I_{\text{FS_SWITCH}} = 40\text{mA}$		-58		dBc
		$f_{\text{OUT}} = 19103 \pm 10\text{MHz}$, -7dBFS /トーン		-70		dBc
NSD	ノイズスペクトル密度、大信号、サイン波出力、DEM/ディザリング オフ	f_{OUT} からの $f_{\text{OUT}} = 13103\text{MHz}$, 70MHz オフセット		-158		dBc/Hz
		f_{OUT} からの $f_{\text{OUT}} = 16103\text{MHz}$, 70MHz オフセット		-155		dBc/Hz
		$f_{\text{OUT}} = 16103\text{MHz}$, f_{OUT} からの 70MHz オフセット、 $I_{\text{FS_SWITCH}} = 40\text{mA}$		-155		dBc/Hz
		f_{OUT} からの $f_{\text{OUT}} = 19103\text{MHz}$, 70MHz オフセット		-154		dBc/Hz

6.6 電気的特性 - AC 仕様 (続き)

特に明記されていない限り、 $T_A = +25^\circ\text{C}$ での標準値、動作時接合部温度範囲における最小値および最大値、標準電源電圧、 $f_{\text{CLK}} = 22\text{GHz}$ (外部クロックモード)、 $I_{\text{FS_SWITCH}} = 20\text{mA}$ 、シングルトーン振幅 = -0.1dBFS 、ディザリングおよび DEM 有効、64b/66b エンコード。

パラメータ		テスト条件	最小値	標準値	最大値	単位
NSD	ノイズスペクトル密度、大信号、サイン波出力、DEM/ディザリング オン	f_{OUT} からの $f_{\text{OUT}} = 13103\text{MHz}$ 、 70MHz オフセット		-154		dBc/Hz
		f_{OUT} からの $f_{\text{OUT}} = 16103\text{MHz}$ 、 70MHz オフセット		-152		dBc/Hz
		$f_{\text{OUT}} = 16103\text{MHz}$ 、 f_{OUT} からの 70MHz オフセット、 $I_{\text{FS_SWITCH}} = 40\text{mA}$		-152		dBc/Hz
		f_{OUT} からの $f_{\text{OUT}} = 19103\text{MHz}$ 、 70MHz オフセット		-151		dBc/Hz
NSD	ノイズスペクトル密度、小信号、サイン波出力、DEM/ディザリング オフ	$f_{\text{OUT}} = 13103\text{MHz}$ 、 $A_{\text{OUT}} = -20\text{dBFS}$ 、 f_{OUT} からの 70MHz オフセット		-165		dBFS/Hz
		$f_{\text{OUT}} = 16103\text{MHz}$ 、 $A_{\text{OUT}} = -20\text{dBFS}$ 、 f_{OUT} からの 70MHz オフセット		-164		dBFS/Hz
		$f_{\text{OUT}} = 16103\text{MHz}$ 、 $A_{\text{OUT}} = -20\text{dBFS}$ 、 f_{OUT} からの 70MHz オフセット、 $I_{\text{FS_SWITCH}} = 40\text{mA}$		-164		dBFS/Hz
		$f_{\text{OUT}} = 19103\text{MHz}$ 、 $A_{\text{OUT}} = -20\text{dBFS}$ 、 f_{OUT} からの 70MHz オフセット		-164		dBFS/Hz
NSD	ノイズスペクトル密度、小信号、サイン波出力、DEM/ディザリング オン	$f_{\text{OUT}} = 13103\text{MHz}$ 、 $A_{\text{OUT}} = -20\text{dBFS}$ 、 f_{OUT} からの 70MHz オフセット		-160		dBFS/Hz
		$f_{\text{OUT}} = 16103\text{MHz}$ 、 $A_{\text{OUT}} = -20\text{dBFS}$ 、 f_{OUT} からの 70MHz オフセット		-159		dBFS/Hz
		$f_{\text{OUT}} = 16103\text{MHz}$ 、 $A_{\text{OUT}} = -20\text{dBFS}$ 、 f_{OUT} からの 70MHz オフセット、 $I_{\text{FS_SWITCH}} = 40\text{mA}$		-159		dBFS/Hz
		$f_{\text{OUT}} = 19103\text{MHz}$ 、 $A_{\text{OUT}} = -20\text{dBFS}$ 、 f_{OUT} からの 70MHz オフセット		-158		dBFS/Hz
NPR	ノイズ電力比、ピーク	信号スパンの Ku バンド、中央の 300MHz ノッチ、 $I_{\text{FS_SWITCH}} = 40\text{mA}$		48		dBc
ENOB	有効ビット数	ピーク NPR から計算		7.8		ビット
PN	相乗性 DAC 位相ノイズ、外部クロックからの影響を差し引いたもの、DEM/ディザリング オフ	$f_{\text{OUT}} = 17.8\text{GHz}$ 、 100Hz オフセット				dBc/Hz
		$f_{\text{OUT}} = 17.8\text{GHz}$ 、 1kHz オフセット		-115		dBc/Hz
		$f_{\text{OUT}} = 17.8\text{GHz}$ 、 10kHz オフセット		-127		dBc/Hz
		$f_{\text{OUT}} = 17.8\text{GHz}$ 、 100kHz オフセット		-135		dBc/Hz
		$f_{\text{OUT}} = 17.8\text{GHz}$ 、 1MHz オフセット		-144		dBc/Hz
		$f_{\text{OUT}} = 17.8\text{GHz}$ 、 10MHz オフセット		-148		dBc/Hz

- (1) 50Ω の負荷へのシングルエンドを測定
- (2) 100Ω の負荷と 50Ω のシングルエンド負荷の比率は 2:1 です。デバイスダイとパッケージの寄生成分と出力応答が含まれます。PCB と外部コンポーネントの損失を除去。

6.7 電気的特性 - 消費電力

特に明記されていない限り、 $T_A = +105^{\circ}\text{C}$ および高速プロセスでの標準値、自由空気での動作温度範囲における最小値および最大値、標準電源電圧、2 チャンネル、外部クロックモード、 $f_{\text{CLK}} = 22\text{GHz}$ 、 $f_{\text{OUT}} = 2997\text{MHz}$ 、NRZ モード、 $I_{\text{FS_SWITCH}} = 20\text{mA}$ 。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{VDDA18}	VDDA18A と VDDA18B の 1.8V 電源の合計供給電流	電力モード 1: シングル DAC、JMODE 0、1 つの実数ストリーム、 $f_{\text{INPUT}} = 22\text{GSPS}$ 、1x 補間、 $f_{\text{SERDES}} = 22.6875\text{Gbps}$ 、66b/64b エンコード、NRZ モード、 $f_{\text{OUT}} = 8797\text{MHz}$		60		mA
I_{VDDIO}	VDDIO の 1.8V 供給電流			1		
I_{VDDCSR}	VDDCLK18、VDDSYS18、VDDR18 および VDDSP18 の 1.8V 電源の合計供給電流			344		
I_{VDDCP18}	データコンバータ PLL/VCO の 1.8V 電源			2		
I_{VDDL}	VDDLb、VDDLd の 0.8V 合計供給電流			340		
I_{VDDCLK}	VDDCLK08 の供給電流 0.8V			656		
I_{DVDD}	VDDDIG、VDDT、VDDEB、VDDEA の供給電流 0.8V			2320		
I_{VEE}	VEEAM18 と VEEBM18 の -1.8V 電源の合計供給電流			57		
P_{DIS}	全消費電力			3483		mW
I_{VDDA18}	VDDA18A と VDDA18B の 1.8V 電源の合計供給電流	電力モード 2: デュアル DAC、JMODE 2、2 つの IQ ストリーム、 $f_{\text{INPUT}} = 5.5\text{GSPS}$ 、4x 補間、 $f_{\text{SERDES}} = 22.6875\text{Gbps}$ 、66b/64b エンコード、NRZ モード、 $f_{\text{OUT}} = 2897\text{MHz}$		114		mA
I_{VDDIO}	VDDIO の 1.8V 供給電流			0		
I_{VDDCSR}	VDDCLK18、VDDSYS18、VDDR18 および VDDSP18 の 1.8V 電源の合計供給電流			350		
I_{VDDCP18}	データコンバータ PLL/VCO の 1.8V 電源			0		
I_{VDDL}	VDDLb、VDDLd の 0.8V 合計供給電流			710		
I_{VDDCLK}	VDDCLK08 の供給電流 0.8V			687		
I_{DVDD}	VDDDIG、VDDT、VDDEB、VDDEA の供給電流 0.8V			4198		
I_{VEE}	VEEAM18 と VEEBM18 の -1.8V 電源の合計供給電流			114		
P_{DIS}	全消費電力			5517		mW
I_{VDDA18}	VDDA18A と VDDA18B の 1.8V 電源の合計供給電流	電力モード 3: デュアル DAC、JMODE 3、4 つの IQ ストリーム、 $f_{\text{INPUT}} = 2.75\text{GSPS}$ 、8x 補間、 $f_{\text{SERDES}} = 30.9375\text{Gbps}$ 、66b/64b エンコード、NRZ モード、 $f_{\text{OUT}} = 2897\text{MHz}$ 、5897MHz		114		mA
I_{VDDIO}	VDDIO の 1.8V 供給電流			1		
I_{VDDCSR}	VDDCLK18、VDDSYS18、VDDR18 および VDDSP18 の 1.8V 電源の合計供給電流			388		
I_{VDDCP18}	データコンバータ PLL/VCO の 1.8V 電源			0		
I_{VDDL}	VDDLb、VDDLd の 0.8V 合計供給電流			710		
I_{VDDCLK}	VDDCLK08 の供給電流 0.8V			687		
I_{DVDD}	VDDDIG、VDDT、VDDEB、VDDEA の供給電流 0.8V			5262		
I_{VEE}	VEEAM18 と VEEBM18 の -1.8V 電源の合計供給電流			114		
P_{DIS}	全消費電力			6437		mW

6.7 電気的特性 - 消費電力 (続き)

特に明記されていない限り、 $T_A = +105^\circ\text{C}$ および高速プロセスでの標準値、自由空気での動作温度範囲における最小値および最大値、標準電源電圧、2 チャネル、外部クロックモード、 $f_{\text{CLK}} = 22\text{GHz}$ 、 $f_{\text{OUT}} = 2997\text{MHz}$ 、NRZ モード、 $I_{\text{FS_SWITCH}} = 20\text{mA}$ 。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{VDDA18}	VDDA18A と VDDA18B の 1.8V 電源の合計供給電流	電力モード 4:デュアル DAC、JMODE 6、4 つの IQ ストリーム、 $f_{\text{INPUT}} = 458.3\text{MSPS}$ 、48x 補間、 $f_{\text{SERDES}} = 30.25\text{Gbps}$ 、66b/64b エンコード、NRZ モード、 $f_{\text{OUT}} = 2897\text{MHz}$ 、5897MHz		114		mA
I_{VDDIO}	VDDIO の 1.8V 供給電流			1		
I_{VDDCSR}	VDDCLK18、VDDSYS18、VDDR18 および VDDSP18 の 1.8V 電源の合計供給電流			388		
I_{VDDCP18}	データコンバータ PLL/VCO の 1.8V 電源			0		
I_{VDDL}	VDDLb、VDDLd の 0.8V 合計供給電流			710		
I_{VDDCLK}	VDDCLK08 の供給電流 0.8V			687		
I_{DVDD}	VDDDIG、VDDT、VDDEB、VDDEA の供給電流 0.8V			4602		
I_{VEE}	VEEAM18 と VEEBM18 の -1.8V 電源の合計供給電流			114		
P_{DIS}	全消費電力			5909		mW
I_{VDDA18}	VDDA18A と VDDA18B の 1.8V 電源の合計供給電流	電力モード 5:デュアル DAC、JMODE 17、2 つの実数ストリーム、 $f_{\text{INPUT}} = 21\text{GSPS}$ 、1x 補間、 $f_{\text{SERDES}} = 32.48\text{Gbps}$ 、66b/64b エンコード、NRZ モード、 $f_{\text{OUT}} = 8797\text{MHz}$		114		mA
I_{VDDIO}	VDDIO の 1.8V 供給電流			1		
I_{VDDCSR}	VDDCLK18、VDDSYS18、VDDR18 および VDDSP18 の 1.8V 電源の合計供給電流			395		
I_{VDDCP18}	データコンバータ PLL/VCO の 1.8V 電源			0		
I_{VDDL}	VDDLb、VDDLd の 0.8V 合計供給電流			710		
I_{VDDCLK}	VDDCLK08 の供給電流 0.8V			687		
I_{DVDD}	VDDDIG、VDDT、VDDEB、VDDEA の供給電流 0.8V			3665		
I_{VEE}	VEEAM18 と VEEBM18 の -1.8V 電源の合計供給電流			114		
P_{DIS}	全消費電力	電力モード 5:デュアル DAC、JMODE 17、2 つの実数ストリーム、 $f_{\text{INPUT}} = 21\text{GSPS}$ 、1x 補間、 $f_{\text{SERDES}} = 32.48\text{Gbps}$ 、66b/64b エンコード、NRZ モード、 $f_{\text{OUT}} = 8797\text{MHz}$		5172		mW
P_{DIS}	全消費電力	電力モード 6:パワーダウン				mW
I_{VDDDIG}	追加の電流 DES を有効化	f_{CLK} と # DAC でスケールリング		150		mA
I_{VDDDIG}	DUC 出力で PFIR が有効化された追加電流	f_{CLK} とゼロでない係数の割合 (全体が 24) によりスケールリング		2100		mA
I_{VDDCP18}	PLL/VCO を有効にした場合の追加電流	f_{CLK} でスケールリング		132		mA
I_{VEE}	20mA と比較した 40mA による追加電流	DAC あたり		57		mA

6.8 タイミング要件

特に明記されていない限り、 $T_A = +25^\circ\text{C}$ での標準値、動作時の自由空気での動作温度範囲内での最小値および最大値、標準電源電圧、 $f_{\text{CLK}} = 22\text{GHz}$ 、外部クロックモード、 $I_{\text{FS_SWITCH}} = 20\text{mA}$ 、シングルトーン振幅 = 0.1dBFS、ディザリングおよび DEM 有効。

			最小値	公称値	最大値	単位
入力クロック(CLK+, CLK-)						
f _{CLK}	入力クロック周波数	外部クロック モード	0.8	22		GHz
f _{CLK}	入力クロック周波数	PLL/VCO クロックモード	0.1	3		GHz
SYSREF およびクロックパスの遅延						
t _{SYSREF_LOW}	SYSREF「低」時間要件		5 * t _{DEVCLK} + 1ns			
t _{SYSREF_HIGH}	SYSREF「高」時間要件		5 * t _{DEVCLK} + 1ns			
t _{ADJRANGEMIN}	クロック遅延 t _{ADJ} の最小範囲		130			ps
t _{ADJRANGEMAX}	クロック遅延 t _{ADJ} の最大範囲		280			ps
t _{SYSRANGEMIN}	SYSREF システムの最小遅延範囲		130			ps
t _{SYSRANGEMAX}	SYSREF システムの最大遅延範囲		280			ps
t _{xSTEPCOARSE MAX}	t _{ADJ} および t _{SYS} 遅延の最大粗ステップ サイズ	ビットを 18:14 に設定	9500			fs
t _{xSTEPCOARSE MIN}	t _{ADJ} および t _{SYS} 遅延の最小粗ステップサ イズ	ビットを 18:14 に設定	3200			fs
t _{xSTEPMEDMAX}	t _{ADJ} および t _{SYS} 遅延の最大中ステップ サイズ	ビットを 13:10 に設定	4000			fs
t _{xSTEPMEDMIN}	t _{ADJ} および t _{SYS} 遅延の最小中ステップ サイズ	ビットを 13:10 に設定	270			fs
t _{xSTEPFINEMAX}	t _{ADJ} および t _{SYS} 遅延の最大微ステップ サイズ	ビットを 9:0 に設定	16.7			fs
t _{xSTEPFINEMIN}	t _{ADJ} および t _{SYS} 遅延の最小微ステップ サイズ	ビットを 9:0 に設定	2.2			fs
t _{xSETTLE}	t _{ADJ} および t _{SYS} 遅延設定時間	追加遅延の 5% 以内に落ち着かせる	42			ns
リセット						
t _{RESET}	最小 RESET パルス幅		25			ns

6.9 スイッチング特性

特に明記されていない限り、 $T_A = +25^\circ\text{C}$ での標準値、動作時の自由空気での動作温度範囲内での最小値および最大値、標準電源電圧、 $f_{\text{CLK}} = 16\text{GHz}$ 、外部クロックモード、 $I_{\text{FS_SWITCH}} = 41\text{mA}$ 、シングルトーン振幅 = 0dBFS 、ディザリングおよび DEM 有効。

パラメータ		テスト条件	最小値	標準値	最大値	単位
JESD204C SERDES インターフェイス [15:0]SRX-/+						
$f_{\text{SERDESMAX}}$	SERDES のビットレート最大値		32.5			Gbps
$f_{\text{SERDESMIN}}$	SERDES のビットレート最小値				1.5	Gbps
f_{REFMAX}	Serdes PLL の基準周波数最大値		2040			MHz
f_{REFMIN}	Serdes PLL の基準周波数最小値				82	MHz
f_{VCOMAX}	Serdes PLL の周波数最大値		16.25			GHz
f_{VCOMIN}	Serdes PLL の周波数最小値				8.125	GHz
S_{JLF}	低周波数サイン波ジッタ耐力	20kHz			5	UI
S_{JHF}	高周波数サイン波ジッタ耐力	20MHz			0.05	UI
BHPUJ	境界設定された高確率の無相関ジッタ耐力				0.25	UI
BHPCJ	境界設定された高確率の相関ジッタ耐力				0.2	UI
TUJ	総ジッタ耐力 ⁽²⁾				0.7	UI
$\text{BOOST}_{\text{CTLE}}$	DC に対するデータレートのナイキスト周波数での CTLE ブースト		9			dB
R_{LDIFF}	差動リターン ロス	$f_{\text{IN}} = 0.275 - 0.75 \cdot f_{\text{SERDES}}$			-9.7	dB
レイテンシー						
T_{DACCLK}	DAC クロック周期			$1 / f_{\text{CLK}}$		
$t_{\text{PD(RX)}}$	Serdes RX アナログ伝搬遅延	Serdes RX アナログ伝搬遅延		250		ps
t_{PDI}	入力クロックの立ち上がりエッジクロスオーバーから出力サンプルクロスオーバーまで	入力クロックの立ち上がりエッジクロスオーバーから出力サンプルクロスオーバーまで		250		ps
$t_{\text{DAC_LAT}}$	SYSREF 立ち上がりエッジから DAC 出力までのデジタルパスのレイテンシー			XLS 計算ツールを参照		
t_{RELEASE}	SYSREF の立ち上がりエッジから弾性バッファリリースまでのレイテンシー			XLS 計算ツールを参照		
t_{RXIN}	SERDES 入力から弾性バッファリリースまでのレイテンシー			XLS 計算ツールを参照		
シリアル プログラミング インターフェイス						
$f_{\text{S_C}}$	シリアル クロック周波数				15	MHz
t_{P}	シリアル クロック周期		33			ns
t_{PH}	シリアル クロックパルス幅 高		16			ns
t_{PL}	シリアル クロックパルス幅 低		16			ns
t_{SU}	SDI 設定		8			ns
t_{H}	SDI ホールド		1.5			ns
t_{IZ}	SDI TRI-STATE				3	ns
t_{ODZ}	SDO は TRI-STATE に駆動されます	200fF の負荷	0		6	ns
t_{OZD}	駆動される SDO TRI-STATE	200fF の負荷	0		6	ns
t_{OD}	SDO 出力遅延	200fF の負荷	0		6	ns
t_{CSS}	SCS 設定		8			ns
t_{CSH}	SCS ホールド		1.5			ns
t_{IAG}	相互アクセスギャップ		16			ns
t_{CRS}	SCS を RESET に設定	立ち上がりエッジを RESET する	0			ns

6.9 スイッチング特性 (続き)

特に明記されていない限り、 $T_A = +25^\circ\text{C}$ での標準値、動作時の自由空気での動作温度範囲内での最小値および最大値、標準電源電圧、 $f_{\text{CLK}} = 16\text{GHz}$ 、外部クロックモード、 $I_{\text{FS_SWITCH}} = 41\text{mA}$ 、シングルトーン振幅 = 0dBFS、ディザリングおよび DEM 有効。

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{CSH}	RESET するためにホールドされた SCS	立ち上がりエッジを RESET する	30			ns
高速再設定 (FR) およびトリガーインターフェイス						
F_{TRIGCLK}	FRCLK 周波数				200	MHz
$t_{\text{TRIGCLK_P}}$	FRCLK 周期		5			ns
$t_{\text{TRIGCLK_PH}}$	FRCLK パルス幅 High		2.4			ns
$t_{\text{FRCLK_PL}}$	FRCLK パルス幅 Low		2.4			ns
$t_{\text{TRIG0_3_SU}}$	TRIG[3:0] のセットアップ	TRIGCLK 出力の立ち上がりエッジに対する比較 ⁽³⁾	2.6			ns
$t_{\text{TRIG0_3_H}}$	TRIG[3:0] ホールド	TRIGCLK 出力の立ち上がりエッジに対する比較 ⁽³⁾	0.5			ns
$t_{\text{TRIG4_SU}}$	TRIG4 設定	TRIGCLK 出力の立ち上がりエッジに対する比較 ⁽³⁾	2.5			ns
$t_{\text{TRIG4_H}}$	TRIG4 ホールド	TRIGCLK 出力の立ち上がりエッジに対する比較 ⁽³⁾	0.6			ns
$t_{\text{FR_IAG}}$	相互アクセスギャップ		5			ns
$t_{\text{FR_PFIRWAIT}}$	FR_PFIR_PROG = 1 を設定した後の待機時間		1024			DACCLK
PLL/VCO 特性						
f_{REF}	基準クロック周波数		0.1		3	GHz
f_{DACCLK}	コンバータ PLL/VCO 付き DAC サンプルクロック		8.125		17	GHz
PLL_RATIO	VCO 周波数に対する基準クロックの比率 ⁽⁴⁾		6		255	
PLL_DIV	VCO 周波数と DAC サンプルクロックの比率		1		1	
PN _{PLL}	PLL/VCO 位相ノイズ、 $f_{\text{REF}} = 2\text{GHz}$ ⁽¹⁾	$f_{\text{VCO}} = 16\text{GHz}$, 100Hz オフセット		-102		dBc/Hz
		$f_{\text{VCO}} = 16\text{GHz}$, 1KHz オフセット		-112		dBc/Hz
		$f_{\text{VCO}} = 16\text{GHz}$, 10kHz オフセット		-122		dBc/Hz
		$f_{\text{VCO}} = 16\text{GHz}$, 100kHz オフセット		-129		dBc/Hz
		$f_{\text{VCO}} = 16\text{GHz}$, 1MHz オフセット		-132		dBc/Hz
		$f_{\text{VCO}} = 16\text{GHz}$, 10MHz オフセット		-130		dBc/Hz
		$f_{\text{VCO}} = 16\text{GHz}$, 100MHz オフセット		-139		dBc/Hz
PN _{PLLINT}	1kHz から 100MHz、 $f_{\text{REF}} = 2\text{GHz}$ ⁽¹⁾	$f_{\text{VCO}} = 20\text{GHz}$		-55		dBc

(1) DAC 出力が 1GHz で測定され、VCO 周波数で正規化。

(2) 高周波数のサイン波ジッタを含みます。ガウスジッタ (GJ) 部分は、 10^{-15} の BER を基準に定義されます。

(3) TRIGCLK に 4pF の負荷

(4) デバイスは、 $2^N \times 3^M$ をサポートします。ここでは、 $N = 1 - 16$ 、 $M = 0$ または 1 です

6.10 SPI インターフェ이스のタイミング図

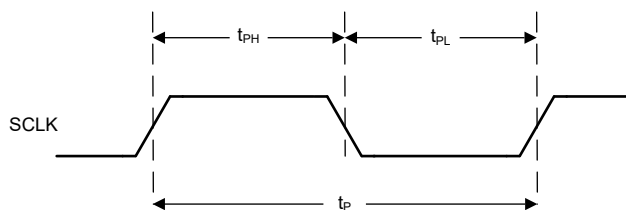


図 6-1. SPI クロックタイミング図

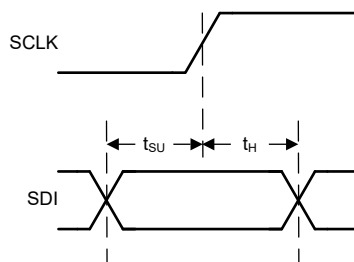


図 6-2. SPI データ入力タイミング図

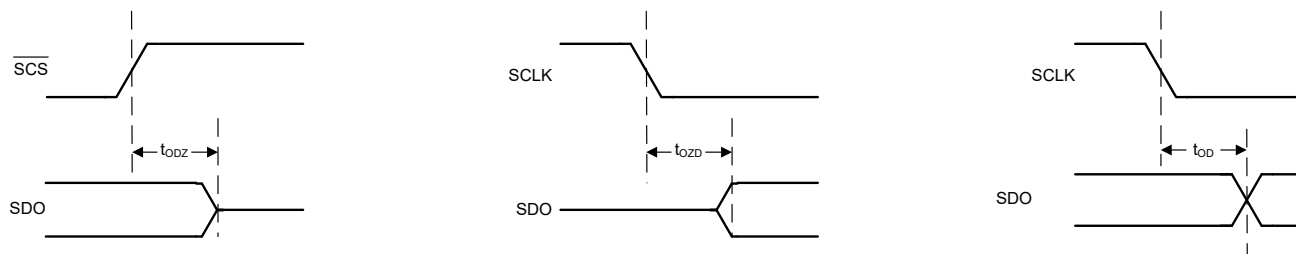


図 6-3. SPI データ出力タイミング図

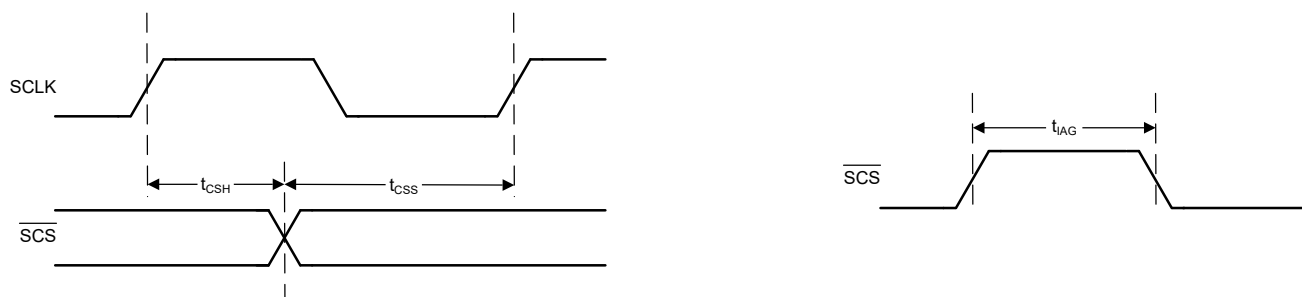


図 6-4. SPI チップセレクトタイミング図

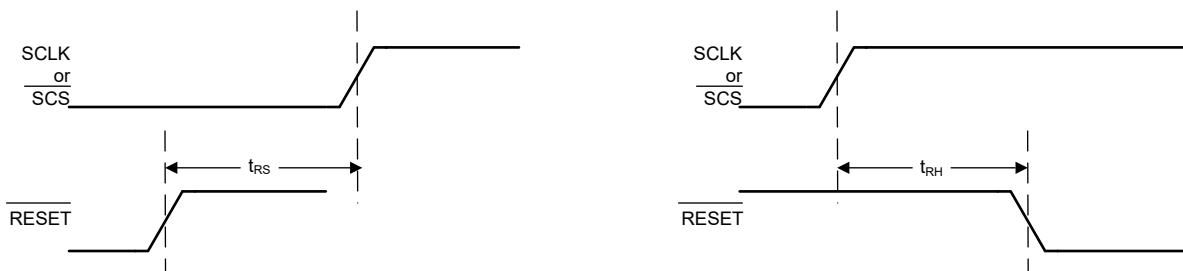


図 6-5. RESET タイミング図

7 詳細説明

7.1 概要

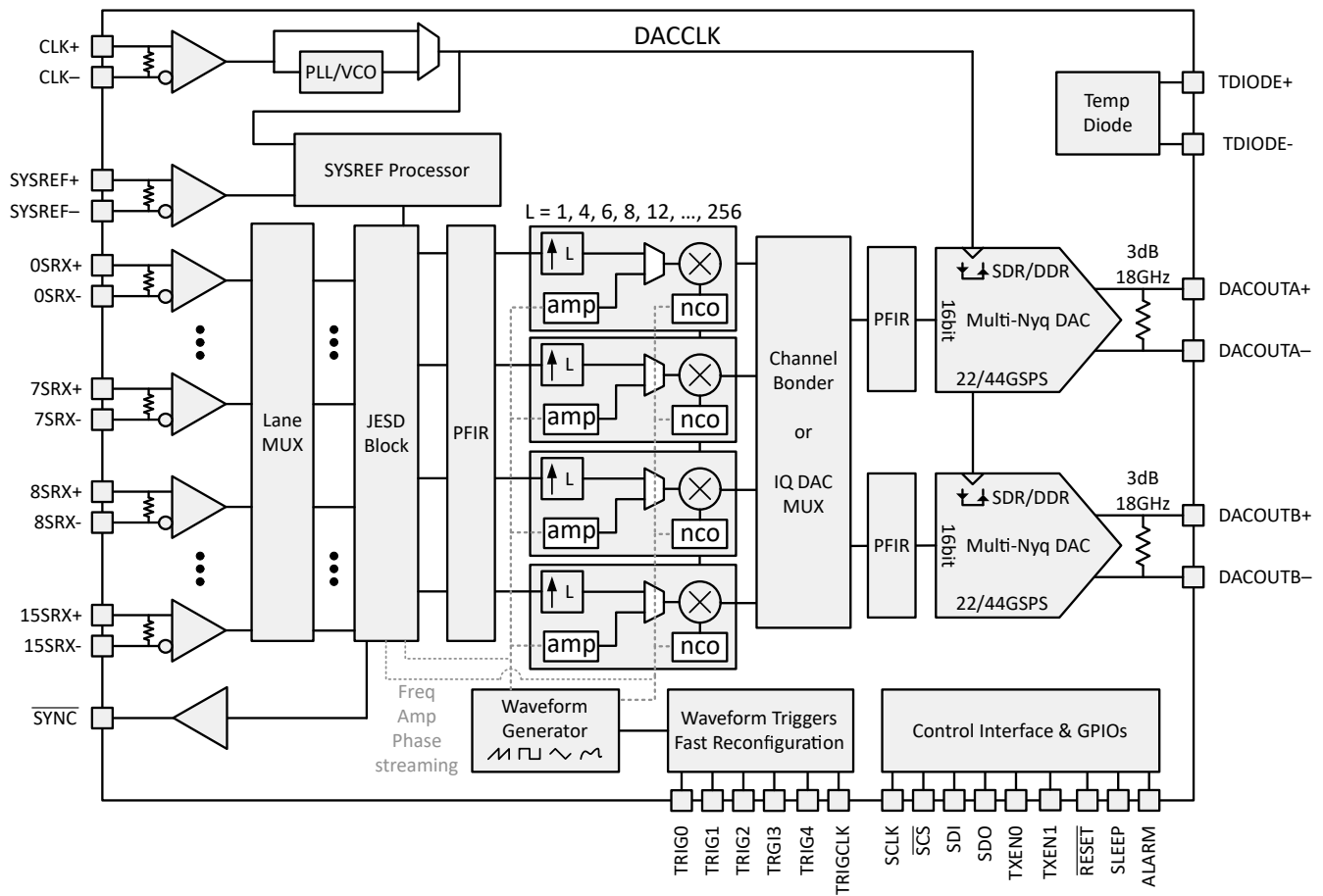
DAC39RF20 は、16 ビット分解能のシングルおよびデュアルチャネル D/A コンバータ (DAC) です。外部クロックを使用する場合、これらのデバイスはシングルエッジサンプリングモード (NRZ および RF) で 22GSPS、デュアルエッジサンプリングモード (DES2XL、DES2XH) で 44GSPS をサポートします。内部 PLL/VCO を使用する場合、これらのデバイスはシングルエッジサンプリングモード (NRZ および RF) で 17GSPS、デュアルエッジサンプリングモード (DES2XL、DES2XH) で 34GSPS をサポートします。これらのデバイスは、直接 RF サンプリングまたは複素ベースバンド信号生成のいずれかに対して、非補間または補間 DAC として使用できます。2 つのチャネルの最大入力データレートは、21GSPS (12 ビット分解能) または 15.75GSPS (16 ビット分解能) です。1 つのチャネルの最大レートは、22GSPS (16 ビット分解能) です。このデバイスは、10GHz 帯域幅を超える信号を 20GHz を超える周波数で生成でき、これにより、Ku 帯域幅を介した直接サンプリングが可能になります。

高いサンプリング レート、出力周波数範囲、64 ビット NCO 周波数分解能、および位相干渉を持つ無限の周波数ホッピングにより、DAC39RF20 は任意波形生成 (AWG) および直接デジタル合成 (DDS) にも対応できます。4 つの内蔵型区分線形波形発生器を使用して、複雑な波形を合成することができます。たとえば、非線形周波数変調 (NLFM)、フランクまたはバーカー位相符号化レーダーパルス、量子コンピューティングコントローラの断熱ゲートによる微分項の除去 (DRAG) パルスなどです。

オプションの高性能 PLL/VCO を使用して、低周波数の基準クロックから DAC サンプルクロックを生成することができます。

JESD204C 互換インターフェイスには、最大 32.5Gbps に対応する 16 のレシーバペアがあります。インターフェイスはサブクラス-1 に準拠しており、SYSREF を使用することで、決定論的レイテンシとマルチデバイス同期を実現します (外部クロックモードのみ)。

7.2 機能ブロック図



ADVANCE INFORMATION

7.3 機能説明

このセクションでは、デバイスのアナログおよびデジタル機能について説明します。

7.3.1 DAC 出力モード

DAC39RF20 には、2 つのマルチナイキスト DAC コアが搭載されており、1 次および 2 次のナイキストゾーンで直接送信が可能です。高い出力周波数機能は、DAC 出力の周波数応答が変化する特定の出力スイッチング波形によって可能になり、より高いナイキストゾーンで DAC イメージを拡張できます。目的の出力モードは、[MXMODE0/1](#) レジスタをプログラムすることにより、各 DAC に対して個別に選択できます。DAC 出力モードと、それらのプロパティおよび使用方法については、[表 7-1](#) を参照してください。このセクションに示す応答では、DAC アナログ帯域幅または外部のパッシブ / アクティブ信号チェーン部品の影響は考慮されません。

表 7-1. マルチナイキスト出力モードと使用方法の概要

DAC 出力モード	DC を通過	最適な周波数範囲 ⁽²⁾	ピーク出力電力 ⁽¹⁾	その他
NRZ (non-return to zero) 形式	あり	0 - $F_{CLK}/2$	0dBFS	
無線周波数 (RF)	なし	$F_{CLK}/2$ - F_{CLK}	-2.8dBFS	
デュアル エッジ サンプリング低帯域 (DES2XL)	あり	0 - $0.4 \cdot F_{CLK}/2$	0dBFS	$F_{CLK} - F_{OUT}$ でのデューティサイクルの画像
デュアル エッジ サンプリング高帯域 (DES2XH)	なし	$0.6 \cdot F_{CLK}$ - F_{CLK}	0dBFS	$F_{CLK} - F_{OUT}$ でのデューティサイクルの画像

(1) ここでのピーク電力には、寄生的な受動部品または外部部品によるアナログ出力帯域幅の影響は含まれません

(2) F_{CLK} は $CLK+/-$ 入力の周波数

7.3.1.1 NRZ モード

NRZ (non-return-to-zero) モードは、標準的なゼロ次ホールドモードです。NRZ モードのタイミング図は、[図 7-1](#) を参照してください。このサンプルは、DAC コア (PLL/VCO からまたは外部からの) に供給されるクロックの立ち上がりエッジの DAC から出力され、その立ち上がりエッジまで保持されます。この出力波形は、タイムドメインの長方形フィルタと考えることができ、周波数ドメインで同期応答が得られます。その結果、第二および第三ナイキストゾーンで大きな電力損失が生じる周波数応答と、サンプリングレートでヌルが得られることから、第一ナイキストゾーンでの動作のみを対象としています。NRZ モードの周波数応答のプロットを [図 7-2](#) に示します。

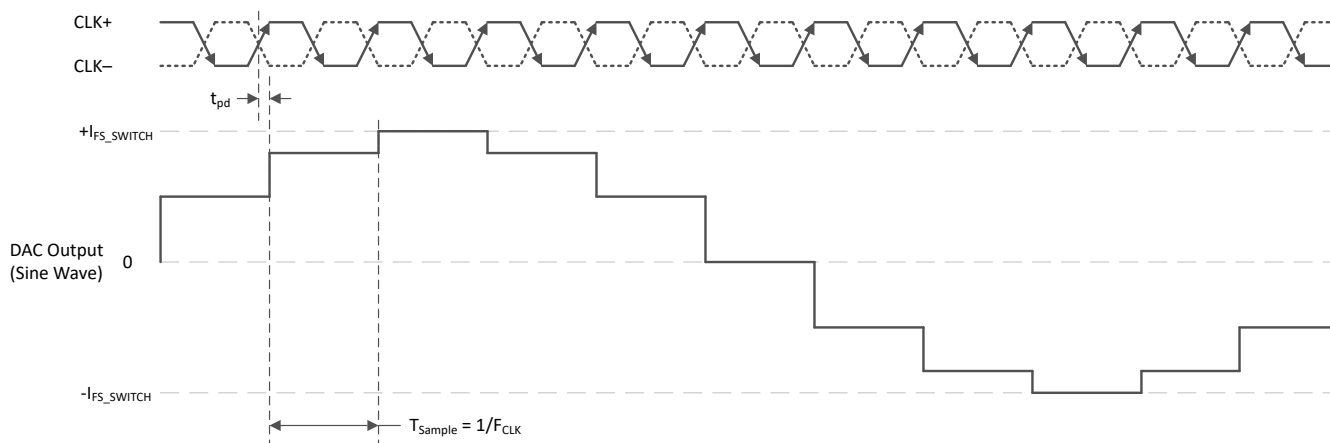


図 7-1. NRZ モードのタイミング図

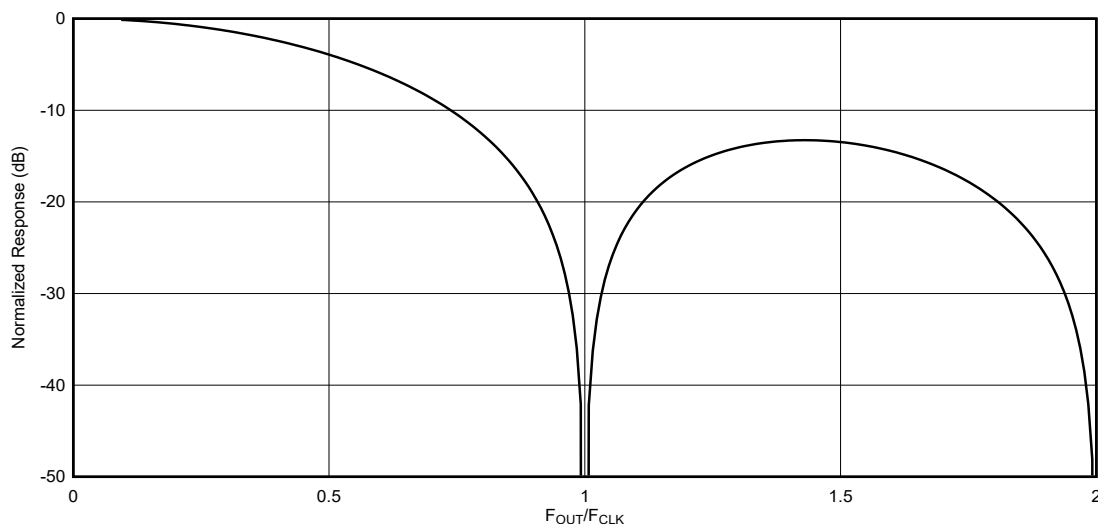


図 7-2. NRZ モードの出力周波数応答

7.3.1.2 RF モード

RF モードでは、サンプル期間の途中でサンプルを反転することで、ミキシング機能が DAC の出力に追加されます。その結果、2 次ナイキストゾーンでピークと最大平坦度を実現する周波数応答が得られます。[図 7-3](#) に、RF モードのタイミング図を示します。[図 7-4](#) に、RF モードの周波数応答のプロットを示します。

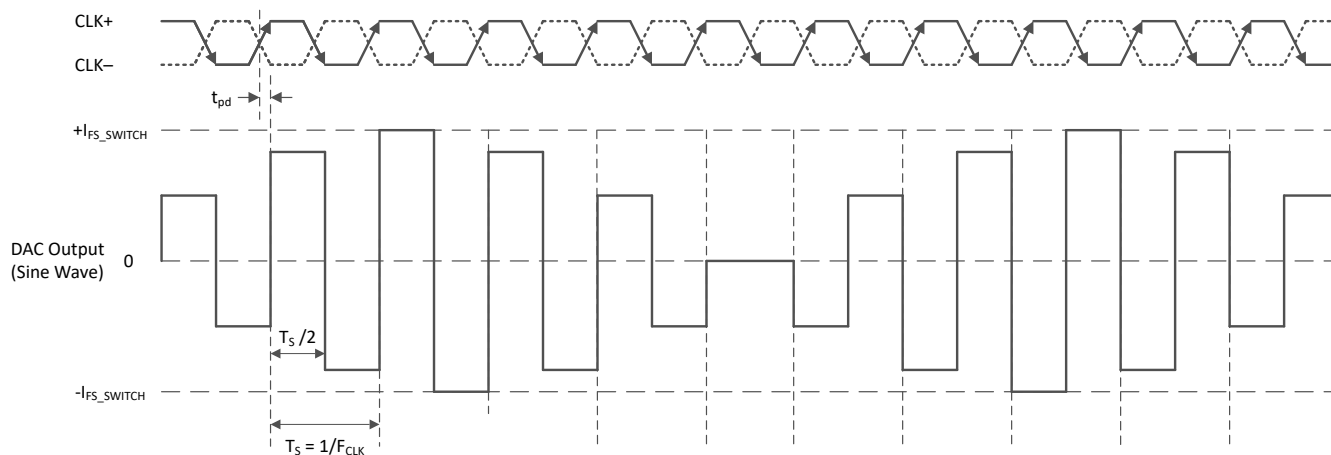


図 7-3. RF モードのタイミング図

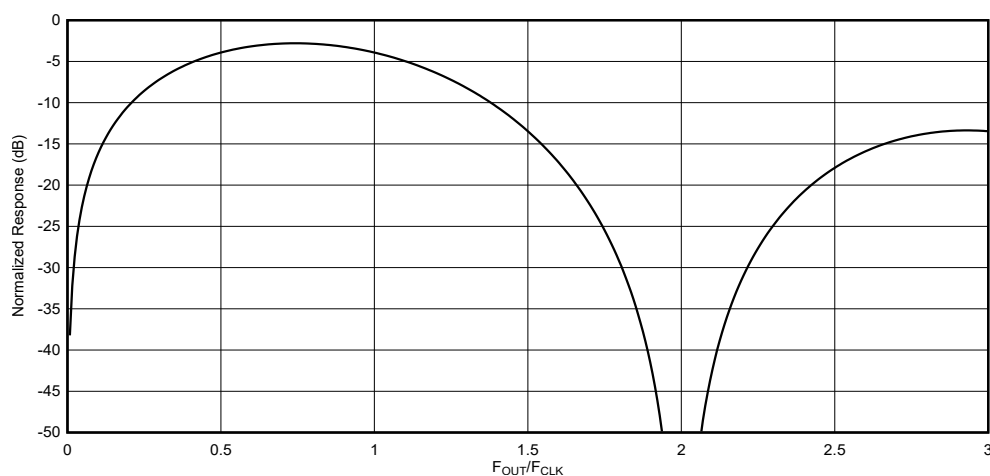


図 7-4. RF モード出力周波数応答

7.3.1.3 DES モード

デュアル エッジ サンプリング (DES) モードは、DAC コアに供給される DACCLK の立ち上がりエッジと立ち下がりエッジの両方で (PLL/VCO または外部から供給される) 固有のサンプルを出力し、サンプル レートが同じクロック周波数で 2 倍になります。デバイスには、2 段による追加のデジタル補間が含まれており、2 倍のサンプル レートを実現できます。DES2XL モードでは、補間フィルタはローパス ($0 - 0.4 \cdot F_{\text{DACCLK}}$ を通過) であり、DES2XH モードでは、補間フィルタはハイパス ($0.6 \cdot F_{\text{DACCLK}} - F_{\text{DACCLK}}$ を通過) です。図 7-5 に、DES2XL および DES2XH の補間フィルタと $\text{Sin}(x)/x$ の応答を組み合わせを示します。

50% CLK デューティ サイクルがない場合、 $F_{\text{CLK}} - F_{\text{OUT}}$ で信号の画像が得られます。NRZ または RF モードと同じ DACCLK、DES2XL、DES2XH モードと比較すると、画像の振幅が大幅に減少し、フィルタの要件が低減されます。

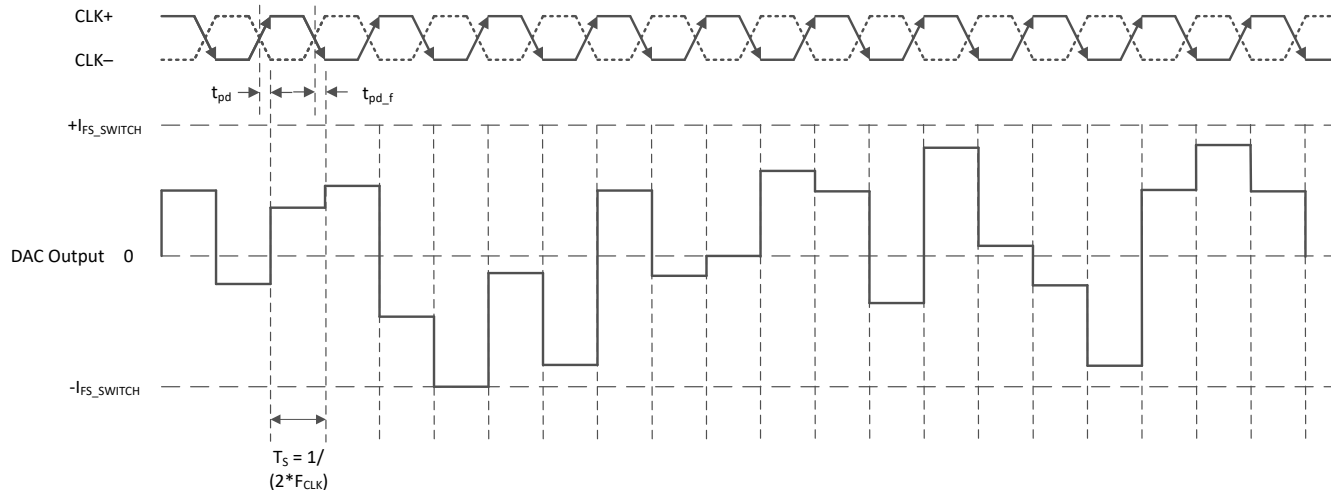


図 7-5. DES モードのタイミング図

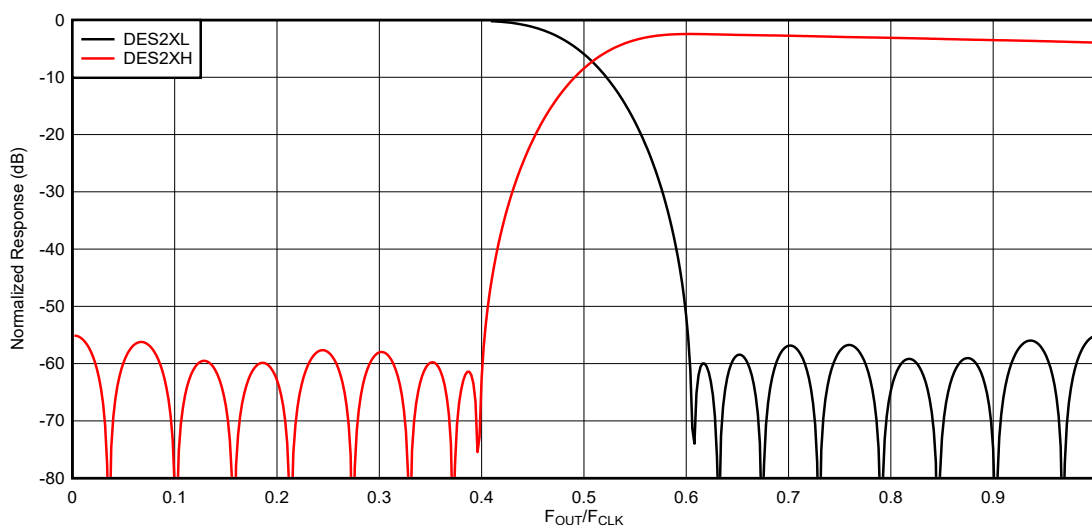


図 7-6. DES モードの出力周波数応答

7.3.2 DAC コア

このデバイスには 2 つの 16 ビット DAC コアがあります。

7.3.2.1 DAC 出力構造

DAC コアのアナログ出力構造を、1 つの DAC チャンネル用に 図 7-7 に示します。2 つの電流出力ピン DACOUTx± の間には差動終端抵抗があります。電流ステアリングスイッチアレイは出力ピンに接続され、デジタルコードに基づき、出力ピン間の電流を制御します。一定の DC 電流バイアス、 I_{FS_STATIC} は、デジタルコードに関係なく、両方の出力から電流を引き込みます。公称抵抗 100Ω の内部抵抗 R_{TERM} によって、出力が差異をもって終端されます。

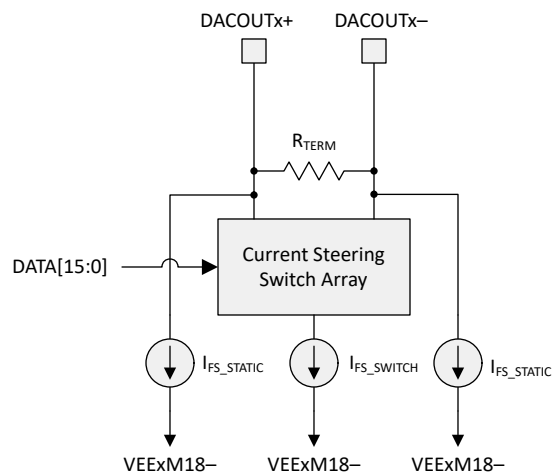


図 7-7. アナログ出力構造

表 7-2 に、デジタルコードから DACOUTx± 出力の電流への変換の例を示します。表 7-2 に示される電流には、各レッグの電流制御部分とバイアス電流の両方が含まれています。

表 7-2. デジタルコードからアナログ電流への変換例

デジタルコード	2 の補数	オフセットバイナリ	I _{DACOUTx+}	I _{DACOUTx-}	I _{DACOUTx+} – I _{DACOUTx-}
32767	0111 1111 1111 1111	1111 1111 1111 1111	$0.9999847 \times I_{FS_SWITCH} + I_{FS_STATIC}$	$0.0000153 \times I_{FS_SWITCH} + I_{FS_STATIC}$	$0.9999694 \times I_{FS_SWITCH}$
16384	0100 0000 0000 0000	1100 0000 0000 0000	$\frac{3}{4} \times I_{FS_SWITCH} + I_{FS_STATIC}$	$\frac{1}{4} \times I_{FS_SWITCH} + I_{FS_STATIC}$	$\frac{1}{2} \times I_{FS_SWITCH}$
0	0000 0000 0000 0000	0000 0000 0000 0000	$\frac{1}{2} \times I_{FS_SWITCH} + I_{FS_STATIC}$	$\frac{1}{2} \times I_{FS_SWITCH} + I_{FS_STATIC}$	0
-16384	1100 0000 0000 0000	0100 0000 0000 0000	$\frac{1}{4} \times I_{FS_SWITCH} + I_{FS_STATIC}$	$\frac{3}{4} \times I_{FS_SWITCH} + I_{FS_STATIC}$	$-\frac{1}{2} \times I_{FS_SWITCH}$
-32768	1000 0000 0000 0000	0000 0000 0000 0000	I_{FS_STATIC}	$I_{FS_SWITCH} + I_{FS_STATIC}$	$-I_{FS_SWITCH}$

7.3.2.2 フルスケールの電流調整

DAC の総出力電流は、外部 R_{BIAS} 抵抗および **COARSE_CUR_A** または **COARSE_CUR_B**、**FINE_CUR_A** または **FINE_CUR_B** および **CURRENT_2X_EN** レジスタによって設定されます。スイッチングされたフルスケール電流と静的フルスケール電流があります。スイッチングされた電流は、DAC のデジタル信号値に比例して、DACOUTA/B+ と DACOUTA/B- に分割されます。静的電流は、各ボールの DACOUTA/B+ と DACOUTA/B- の出力に固定されています。

DAC のスイッチングされた出力電流の合計の式は以下のとおりです。

$$I_{FSSWITCH} = \frac{3.6k\Omega}{R_{BIAS}} \times (1.2mA + 1.2mA \times COARSE + 0.025mA \times FINE) \times 2^{CUR_2X_EN} \quad (1)$$

ここで、

- R_{bias} は、外部バイアス抵抗です。
- **COARSE** は、レジスタ **COARSE_CUR_A** または **COARSE_CUR_B** の値です (0 ~ 15)。
- **FINE** は、レジスタ **FINE_CUR_A** または **FINE_CUR_B** の値です (0 ~ 63)。
- **CUR_2X_EN** は、レジスタ **CURRENT_2X_EN** の値です (0 ~ 1)。

静的電流は、スイッチングされた電流の一定の割合です

$$I_{FS_STATIC} = 0.23 \times I_{FS_SWITCH} \quad (2)$$

3.6kΩ バイアス抵抗を使用する場合、**COARSE_CUR_A** または **COARSE_CUR_B** = 15、**FINE_CUR_A** または **FINE_CUR_B** = 32 および **CURRENT_2X_EN** = 0 のデフォルト値で、 $I_{FS_SWITCHED}$ は、約 20mA、 I_{FS_STATIC} は約 4.6mA (各ボール + と -) になります。

7.3.3 DEM とディザリング

このデバイスは、電流セグメントとスイッチ タイミングの不一致による非線形性を改善するため、DEM (動的素子マッチング) とディザラーという 2 つのオプション機能を備えています。

DAC コアは、以下で構成されます。

1. MSB を表す電流源 / スイッチがエンコードされた温度計
2. LSB を表すバイナリ重み付け電流源 / スイッチ。
3. ディザリング用の追加電流源 / スイッチ

DEM は、出力を生成するために使用される MSB 電流源 / スイッチをランダム化し、ソースとスイッチのタイミング間の不整合に起因する非線形性を白色化します。**DEM_DITH** および **DEM_ADJ** レジスタは、電流源 / セグメント内でのシフトの周波数と振幅を制御します。

ディザリングでは、デジタル データに対して異なるデジタル コード値が加算または減算されます。その後、同じ振幅の追加電流源を切り替えることで、これらの値がキャンセルされます。デジタル データ パスが拡張されて、16 ビットの範囲全体が保持されます。DITH0/1 レジスタ フィールドは、ディザの周波数を制御します。

DEM を使用すると、一般にフルスケールに近い低次高調波が改善されます。一般的に、ディザはフルスケールに近い高次高調波と、低デジタル振幅でのすべての高調波を改善します。DEM とディザはどちらも、非線形性が白色化されるため、出力のノイズフロア (振幅と位相の両方) を増加させます。これは DEM およびディザ設定によって低減され、スイッチング アクティビティが低下します。

7.3.4 オフセット調整

このデバイスを使用すると、DAC 出力の信号のオフセットを調整できます。オフセットの調整は、DAC データの 16 ビットのデジタル範囲全体から影響を受けることはありません。

このオフセットは、DACA および DACB の DAC_OFS[0] または DAC_OFS[1] レジスタ値によって設定されます。ディザリングが有効の場合 (レジスタ DEM_DITH を参照)、値は ± 128 の範囲に飽和します。ディザリングが無効の場合、値は ± 3968 の範囲に飽和します。これにより、1 次側 DAC の範囲を超えることがなくなります。

7.3.5 クロッキング サブシステム

このデバイスには、NRZ、RTZ、および RF モードでは DAC コアのサンプリングレートと等しい周波数で、または DES モードでは DAC コアのサンプリングレートの半分で動作するクロック (DACCLK と呼ばれる) が必要です。クロック処理サブシステムを 図 7-8 に示します。入力クロックは DACCLK 周波数で直接使用するか、内部 PLL/VCO (CPLL) を使用して DACCLK を生成するときは基準周波数を使用することもできます。内部 PLL/VCO を使用する場合、マルチデバイス同期は行えません。

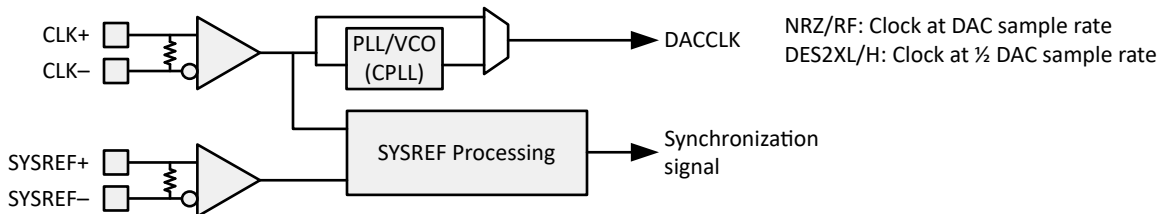


図 7-8. デバイスクロッキングサブシステム

7.3.5.1 コンバータ フェーズ ロック ループ (CPLL)

CPLL は、最大 DACCLK 周波数までの連続範囲の周波数をサポートします。CPLL を使用する場合、CPLL_EN を設定する前に、以下の制約に従って、適切に動作するように各種パラメータをプログラムする必要があります。

1. $F_{DACCLK} = F_{CPLL} = F_{CLK} * CPLL_MPY$
2. $8\text{GHz} \leq F_{CPLL} \leq 17\text{GHz}$
3. $8 \leq CPLL_MPY \leq 99$

7.3.5.2 クロックと SYSREF の遅延

デバイスにはクロックおよび SYSREF パスで複数の遅延があり、デバイスと SYSREF の整列に使用できます (図 7-9 を参照)。クロックパスには、プログラム可能な反転および微細な遅延調整 D_{ADJ} があり、 T_{ADJ} レジスタ (SRCAL_EN = 0 の場合) または自動 SYSREF キャリブレーションエンジン (SRCAL_EN = 1 の場合) によって制御されます。SYSREF パスには、 T_{SYS} によって制御される遅延微調整 D_{SYS} があります。 T_{SYS} の初期値は、 T_{SYS} レジスタ (SRCAL_EN = 0 または SRTRK_EN = 0) によって、次に自動 SYSREF キャリブレーションエンジン (SRCAL_EN = 1 および SRTRK_EN = 1 の場合) によって制御されます。SRCAL_EN = 1 の場合、自動 SYSREF キャリブレーションおよびトラッキング値は TADJ_CAL および TSYS_CAL レジスタから読み出すことができます。

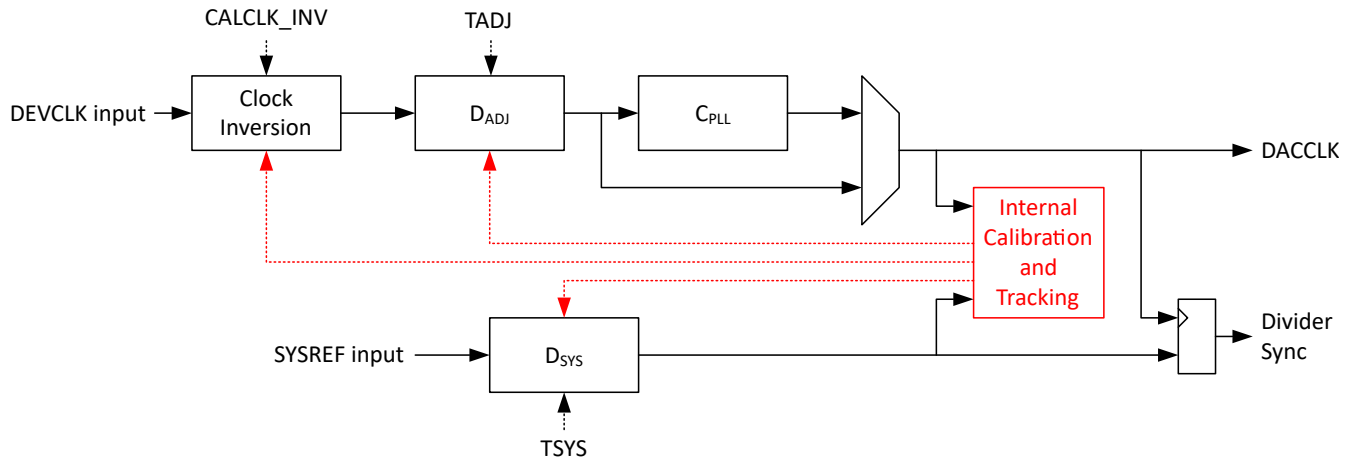


図 7-9. クロックおよび SYSREF の遅延図

遅延レジスタは、粗、中、微の 3 つの遅延フィールドで構成されています。各フィールドで、ゼロ値を指定すると遅延が最小になります。遅延範囲とステップの仕様を [セクション 6.8](#) に示します。

表 7-3. タイミング調整ブロックレジスタの遅延エンコード

レジスタビット	説明
18:14	32 ステップ粗遅延
13:10	13 ステップ中遅延 – 値 >12 は使用できません
9:0	1024 ステップ微遅延

7.3.5.3 SYSREF キャプチャおよび監視

7.3.5.3.1 SYSREF の周波数要件

SYSREF 入力周期は、LMFC/LEMC を含む、部品内のすべてのクロックの整数倍である必要があります。下表に、SYSREF 周期の要件を示します。

表 7-4. SYSREF 周期の要件

SYSREF 周期の要件
SYSREF 周期は、32 DACCLK サイクルの倍数である必要があります。
SYSREF 周期は LT DACCLK サイクルの倍数である必要があります。この要件は、JESD204C インターフェイスが有効の場合にのみ適用されます。 ¹
SYSREF 周期は、 $f \cdot 8 \cdot LT \cdot S / \text{GCD}(8 \cdot LT \cdot S, F)$ DACCLK サイクルの倍数である必要があります。この要件は、JESD204C インターフェイスが有効の場合にのみ適用されます。 ¹
SYSREF 周期は、 $LT \cdot S \cdot K$ DACCLK サイクルの倍数である必要があります。この要件は、JESD204C インターフェイスが有効 ¹ の場合で、かつ (SUBCLASS = 1) の場合にのみ適用されます。
SYSREF 周期は、 $32 \cdot (\text{TRIGC_DIV} + 1)$ DACCLK サイクルの倍数である必要があります。この要件は、TRIG_TYPEn = 4 または 6 (任意の n) のときにのみ適用されます。

1. JESD_M が 0 より大きく、SYS_EN=1 のとき、JESD204C インターフェイスが有効になります。
2. GCD(x,y) は x と y の最大公約数であり、x と y 両方を均等に分割できる最大の整数です。

SYSREF エッジに再整列するには、いずれかのクロックを SYSREF_ALIGN_EN に設定する必要があります。

7.3.5.3.2 フル整列の SYSREF パルス

このデバイスには、SYSREF によって整列されたクロック分周器のカスケードが含まれています。すべてのクロック分周器を完全に揃え、CLK_ALIGNED レジスタビットを設定するには、複数の SYSREF パルスが必要です。デバイスを完全に揃えるには、合計 15 の SYSREF パルスが必要です。

7.3.5.3.3 自動 SYSREF キャリブレーションおよびトラッキング

自動 SYSREF キャリブレーションおよびトラッキング (CPLL_EN = 0 および SRCAL_EN = 1) を設定すると、システムは、SYSREF_RX_EN = 1 および SRCAL_EN = 1 のときにキャリブレーションを開始します。これらのいずれかが「低」になると、キャリブレーションエンジンはリセットされ、SYSREF_CAL_DONE、SYSREF_CAL_FAIL、および SYSREF_TRACK_FAIL がクリアされます。

7.3.5.3.3.1 SYSREF 自動キャリブレーションの手順

以下の手順に従って、自動キャリブレーションを実行します：

1. SRCAL_AVG および SRTRK_AVG を適切な設定にセットします
2. SYSREF_RX_EN=1 にセット
3. SYSREF_PROC_EN=1 にセット
4. SRCAL_EN=1 を設定する前に、SYSREF レシーバが安定するまで待機します
5. SYSREF_CAL_DONE=1 を待ちます

キャリブレーションによって最良の結果が得られるようにするには、キャリブレーションプロセス全体で、遅延の一貫性を保つ必要があります。クロックおよび SYSREF パスのいずれかの部分の電源電圧または温度にわずかな変化があっても、キャリブレーション結果の品質に大きな影響を与える可能性があるため、デバイスの温度が安定するのを待つことは、キャリブレーションプロセスに役立ちます。システム設計者は、SRCAL_EN がセットされてから、SYSREF_CAL_DONE = 1 になるまで、パスが安定していることを確認する必要があります。

複数デバイスで最良の整列を行うには、共通の SYSREF 回路が同じ温度と電圧になるよう、すべてのデバイスを同時にキャリブレーションする必要があります。

7.3.5.3.3.2 複数デバイスの整列

内部キャリブレーションを使用する場合、T_{sys} を最初に設定して、複数のキャリブレーション済みデバイス間の整列を調整できます。これを行うには、T_{sys} の粗遅延、中遅延、および微細遅延設定のそれぞれにバイナリ検索を実行します。各テストでは、すべてのチップでキャリブレーションを再実行し、出力のタイミング差を測定して次のステップを決定する必要があります。

7.3.5.3.3.3 キャリブレーション エラー

遅延時間の範囲内でエッジが見つからないためにキャリブレーションが失敗した場合は、SYSREF_CAL_FAIL は 1 に設定され、TADJ_CAL は 0 に設定され、CALCLK の立ち上がりエッジが少なくとも SYSREF の立ち上がりエッジより前に DADJ の範囲全体になるように、CALCLK_INV_CAL が設定されます。これにより、SYSREF のサンプリングに可能な限り大きなマージンが出ますが、デバイスは低スキューのアライメント基準として SYSREF を使用しません。この場合、SYSREF トラッキングは実行されません。

7.3.5.3.3.4 SYSREF トラッキング

SYSREF トラッキングは、SYSREF_CAL_DONE=1 および SYSREF_CAL_FAIL=0 のときに常に実行され、SYSREF とクロック立ち上がりエッジとの整合を維持するために TSYS_CAL を自動的に調整します。

トラッキングを維持するため、SYSREF と、内部クロックまたはデバイス外部のクロックとの間のタイミングの変化を過度に速く変化させることはできません。急激な電圧変化を防ぐ必要があります。急激な電圧変化によって、トラッキングが異なるクロック エッジに切り替わる可能性があります。

7.3.5.4 トリガ クロック

同期トリガ クロックは、レジスタ TRIGC_DIV に従って DAC クロックを分周することで生成されます。この分周器は、SYSREF の各立ち上がりエッジでリセットされます。トリガ クロック分周器を再整列する SYSREF エッジが検出されると、CLK_REALIGNED が設定されます。トリガ クロックを使用して、同期トリガ インターフェイスをラッチします。

トリガ クロックがアクティブになるには、SYS_EN = 1 に設定し、TRIG_TYPE n の少なくとも 1 つの値が 4 または 6 である必要があります。TRIGC_OUT_EN = 1 および FR_EN = 0 の場合、トリガ クロックは TRIGCLK 出力で駆動されます。または、ALARM_SEL を使用して ALARM ピンにトリガ クロックを出力することもできます (これは、ピンが FRI インターフェイスに割り当てられているために TRIGCLK ピンが利用できない場合に役立ちます)。FR_EN = 1 の場合、TRIGCLK は FR データをラッチする入力になります。

TRIGC_DIV が偶数で 0 より大きい場合 (TRIGC_DIV+1 が奇数)、出力クロックの High 時間は 32 DACCLK サイクル短い時間となります。

7.3.6 デジタル信号処理ブロック

図 7-10 に、デジタル信号処理ブロックを示します。このデバイスには、4 つのデジタル アップコンバータ (DUC) ブロックが搭載されており、4 つの複素 (IQ) 入力ストリームをサポートしており、異なる RF 周波数で結合できます。4 つの DUC は、柔軟に割り当てることができ、チャンネル ボンダーのいずれかの DAC 出力に合計することができます。プログラマブル FIR フィルタは、DUC への入力または DAC サンプル レートで使用できます。最後の信号処理ブロックは、DES モードで使用するための 2 による追加の補間です。

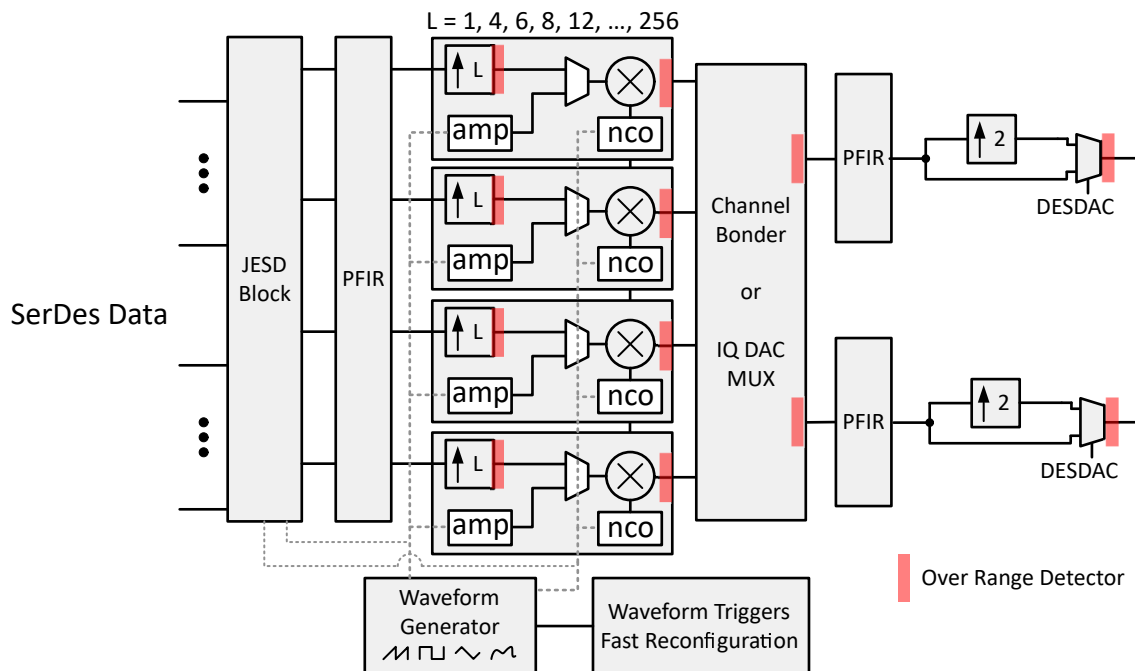


図 7-10. デジタル信号処理ブロック

DSP は複数の異なるモードで動作できます。以下に要約します。各モードについては、それぞれのサブセクションで詳しく説明します。各 DSP ブロック モードは、DSP_MODE n レジスタ $n = 0 \sim 3$ によって選択されます。

1. **バイパス モード**: バイパス モードは、DUC/DDS 信号処理を無効化し、IQ DAC マルチプレクサにデータを送信します。その後、信号を反転 (DAC_INV) し、PFIR を使用してイコライズし、DES2XL/H モードで 2x で補間されます。
2. **DUC モード**: このモードでは、JESD204C インターフェイスから I/Q サンプルを受け入れ、FIR フィルタを使用してサンプリング レートを補間し、NCO / ミキサを使用して信号をキャリア周波数に変換します。
3. **DDS SPI モード**: このモードでは、AMP、FREQ、および PHASE レジスタを使用して、コサイン信号の振幅、周波数、および位相を定義します。JESD204C インターフェイスからのサンプルは、DSP では使用されません。

4. **DDS ベクトルモード**:このモードでは、ベクタ テーブル (SPI でプログラム) を使用して DDS 波形を生成します。周波数と振幅のランプに加え、自動 / 手動のトリガもサポートされています。JESD204C インターフェイスからのサンプルは、DSP では使用されません。
5. **DDS ストリーミングモード** このモードは JESD204C インターフェイスを使用して、周波数、位相、振幅の値を DDS にストリーミングします。STREAM_MODE レジスタは、ストリーミングを周波数のみに、または位相+振幅のみに制限するために使用できます。

表 7-5 に、NCO / ミキサの主な機能と、各種 DSP モードでの動作方法をまとめます。

表 7-5. NCO / ミキサの機能と DSP モードとの関係

特長	DSP モード (DSP_MODE n)			
	DUC モード	DDS SPI モード	DDS ベクトルモード	DDS ストリーミングモード
振幅制御	I/Q サンプルにより決定 (JESD 経由)	AMP レジスタ	ベクトルにより設定 (DDS_VEC)	AMP レジスタまたは JESD ストリーム (STREAM_MODE を参照)
周波数制御	FREQ レジスタビット (64 ビット)	FREQ レジスタビット (64 ビット)	ベクトルによりセット (DDS_VEC) (48 ビット)	FREQ レジスタまたは JESD ストリーム (STREAM_MODE を参照)
位相制御	PHASE レジスタ	PHASE レジスタ	ベクトルにより設定 (DDS_VEC)	PHASE レジスタまたは JESD ストリーム (STREAM_MODE を参照)
JESD インターフェイス	有 (DSP ごとに 2 つの 16 ビット ストリーム) (I/Q データ)	なし	なし	有 (DSP ごとに 2 つの 16 ビット ストリーム)
トリガ アクション	周波数 / 位相の更新。NCO_AR = 1 の場合、アキュムレータがリセットされます。	FREQ/PHASE/AMP の更新。NCO_AR = 1 の場合、アキュムレータがリセットされます。	トリガ待ちの場合は、次のベクトルに進みます。	ストリーミングされていないパラメータを更新します。NCO_AR = 1 の場合、アキュムレータがリセットされます。
その他の特長	位相コヒーレント周波数変化。位相連続周波数変化	位相コヒーレント周波数変化。位相連続周波数変化	ベクタ テーブルを通した FREQ/AMP ランプ	0 振幅をストリーミングすると、トリガが生成される可能性があります
ミキサの用途:	NCO による IQ データの乗算	振幅制御	振幅制御	振幅制御

7.3.6.1 バイパス モード

バイパス モードは、DUC/DDS を無効化し、JESD204C トランスポート層からエンコーダにデータを直接送信します。ルーティングはチャンネル ボンダーによって制御されます。

7.3.6.2 DUC モード

7.3.6.2.1 デジタル アップコンバータ (DUC)

各 DUC は、L = 4、6、8、12、16、24、32、48、64、96、128、192、256 の範囲の係数によって I 信号と Q 信号を補間します。その後、アップ コンバートされたベースバンド I/Q 信号に、数値制御発振器 (NCO) によって生成された複素正弦波を乗算して、信号を DAC から出力するために目的のキャリア周波数にミックスします。表 7-6 に、サポートされる補間係数と有効な DUC 数の関係を示します。

表 7-6. サポートされる補間係数と有効な DUC 数との関係

サポートされる補間係数 (L)	DUC モードをサポートする DSP チャンネル
4x、6x	DUC モードを使用できるのは、DSP チャンネル 0 および 1 のみです。チャンネル 2 および 3 を無効にするか、DUC 以外のモードにする必要があります。

表 7-6. サポートされる補間係数と有効な DUC 数との関係 (続き)

サポートされる補間係数 (L)	DUC モードをサポートする DSP チャンネル
8x~256x	任意の DSP チャンネルを DUC モードに移行できます。

NCO とミキサは、周波数と位相を 0 に設定できます。この場合、I 入力 は I 出力に渡され、Q 入力 は Q 出力に渡されます。

7.3.6.2.1.1 補間フィルタ

DUC の最初の動作は、入力信号をより高いデータレートに補間することです。使用可能な補間オプションについては、表 7-7 に概説されています。入力信号のサンプリングレートを、指定された補間量で掛けて DAC 出力レートを算出します。このとき、DAC39RF20 の最大サンプルレートに準拠します。これらのレートには、DES モードでのオプションの 2x 補間は含まれていません。補間レートが 6x 以下の場合、DUC のチャンネル数を減らすことができます。

表 7-7. 補間オプションの概要

補間	DUC チャンネルの最大数
4x	2 (DUC0 および DUC1 のみ)
6x	2 (DUC0 および DUC1 のみ)
8x	4
12x	4
16x	4
24x	4
32x	4
48x	4
64x	4
96x	4
128x	4
192x	4
256x	4

各 DUC には、複数の 2x または 3x 補間フィルタが含まれています。複合補間フィルタの応答は、図 7-11 から 図 7-35 に示されます。このフィルタは、入力帯域幅で 81.4% の通過帯域の帯域幅と 0.001dB 未満の通過帯域リップルを提供するように設計されています。通過帯域内の任意の信号の停止帯域減衰は、90dB を超えます。

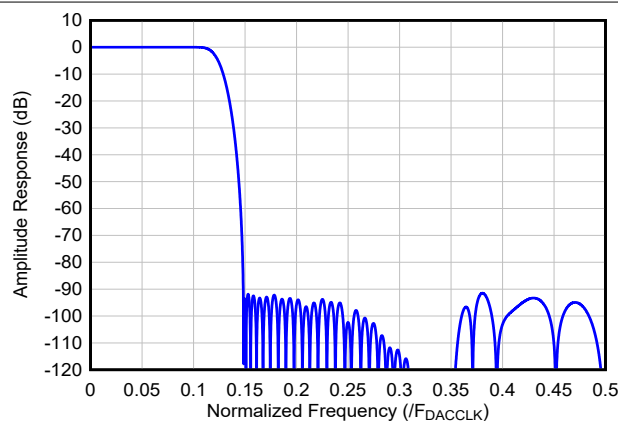


図 7-11. 4x 補間フィルタ応答

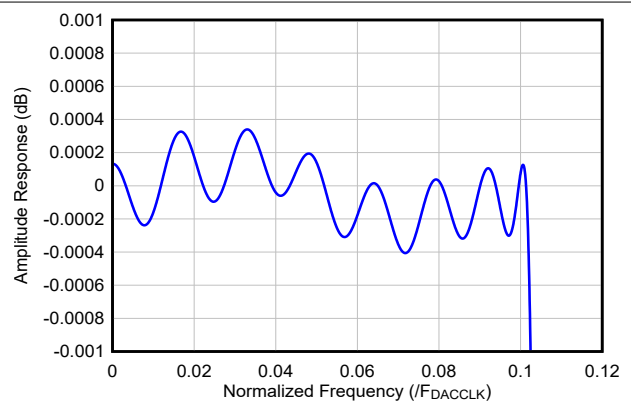


図 7-12. 4x 補間フィルタ通過帯域応答

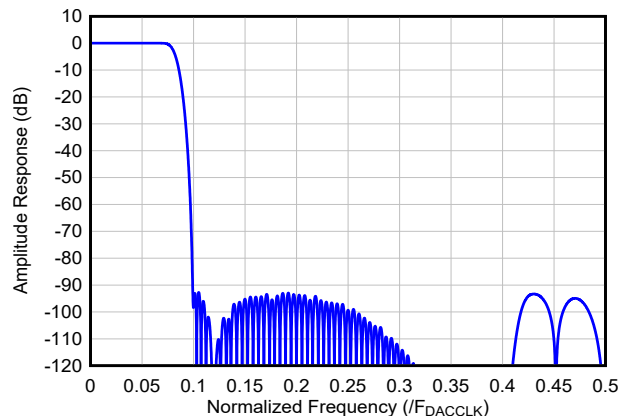


図 7-13. 6x 補間フィルタ応答

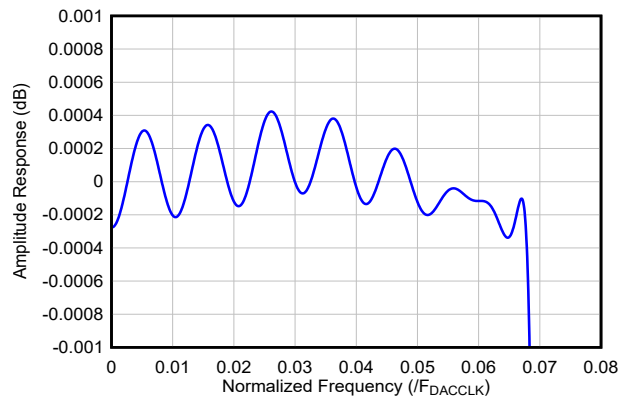


図 7-14. 6x 補間フィルタ通過帯域応答

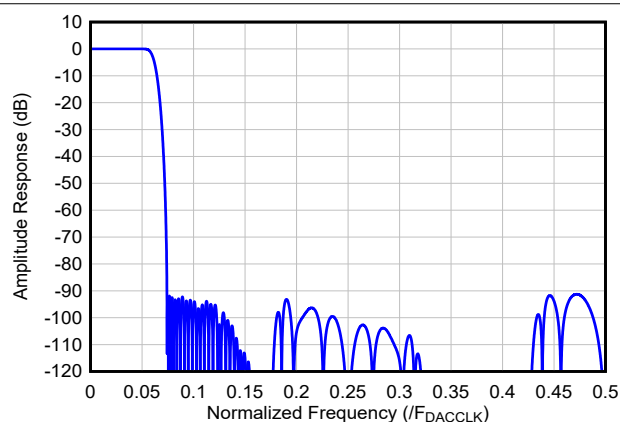


図 7-15. 8x 補間フィルタ応答

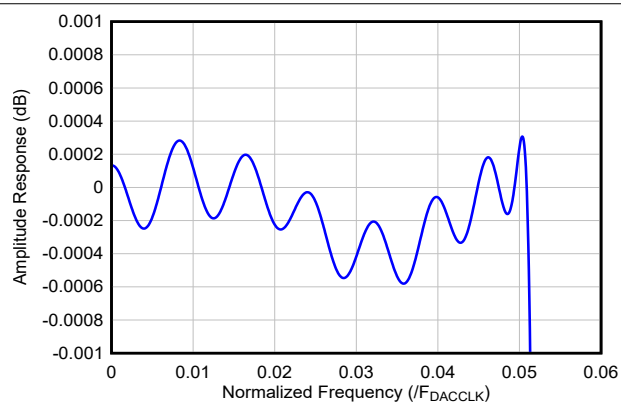


図 7-16. 8x 補間フィルタ通過帯域応答

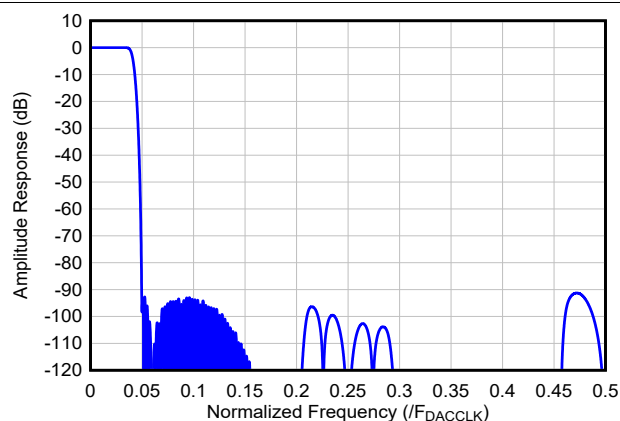


図 7-17. 12x 補間フィルタ応答

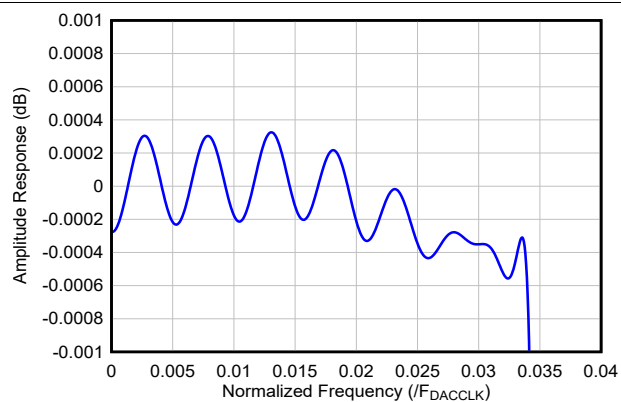


図 7-18. 12x 補間フィルタ通過帯域応答

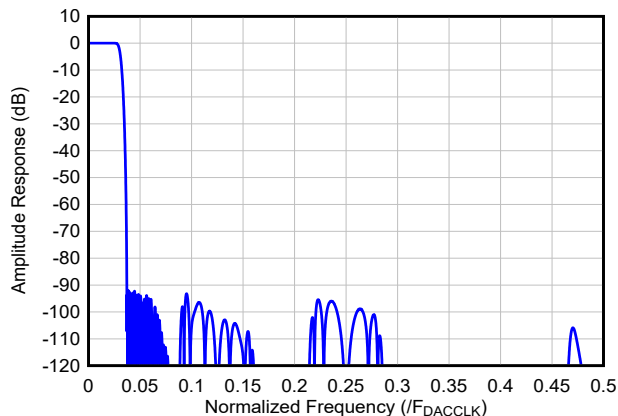


図 7-19. 16x 補間フィルタ応答

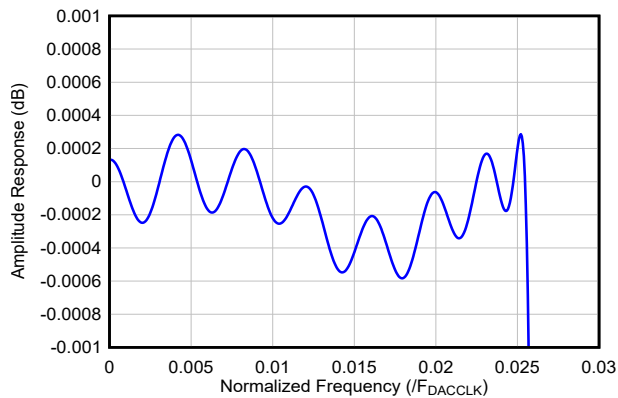


図 7-20. 16x 補間フィルタ通過帯域応答

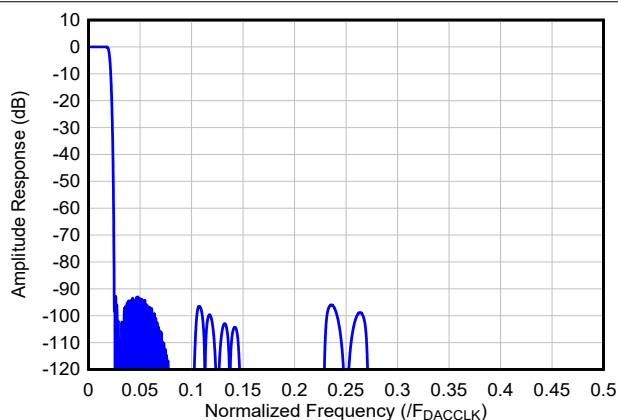


図 7-21. 24x 補間フィルタ応答

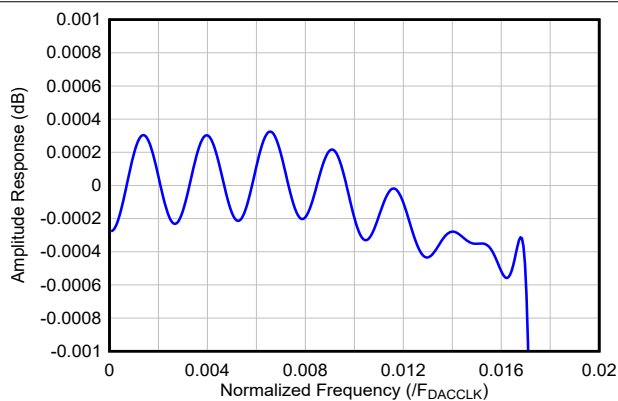


図 7-22. 24x 補間フィルタ通過帯域応答

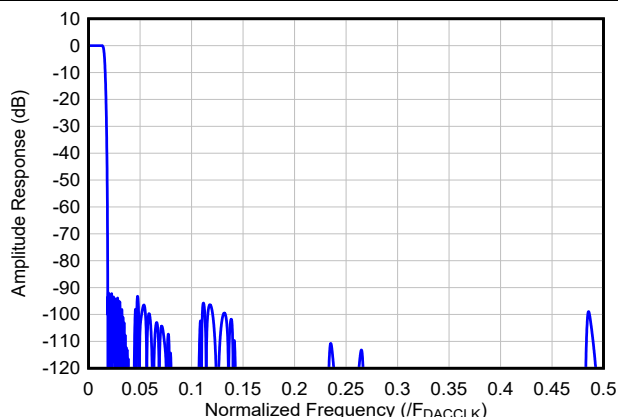


図 7-23. 32x 補間フィルタ応答

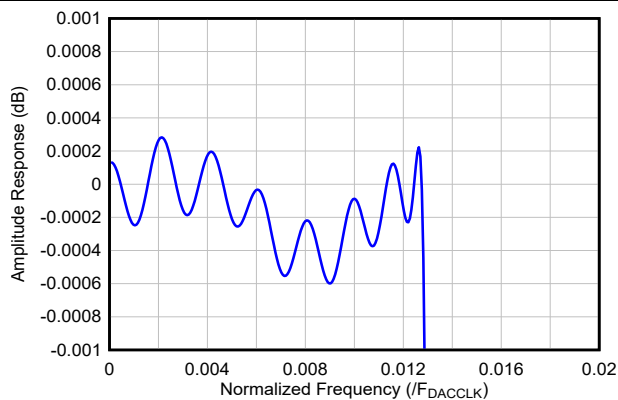


図 7-24. 32x 補間フィルタ通過帯域応答

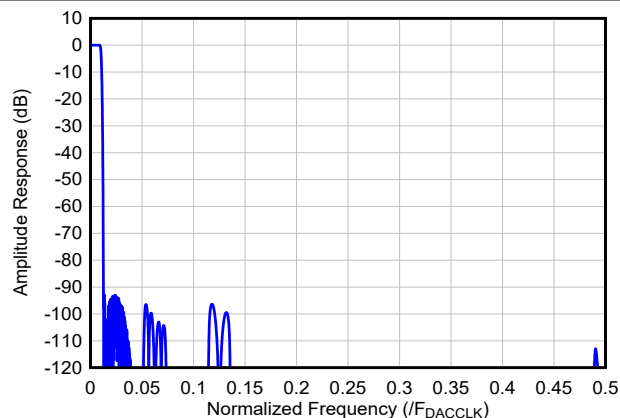


図 7-25. 48x 補間フィルタ応答

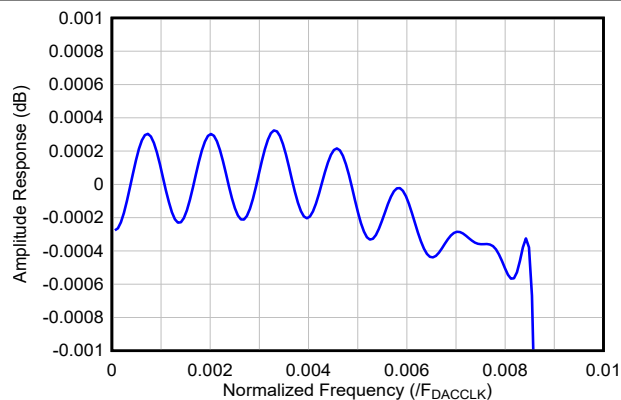


図 7-26. 48x 補間フィルタ通過帯域応答

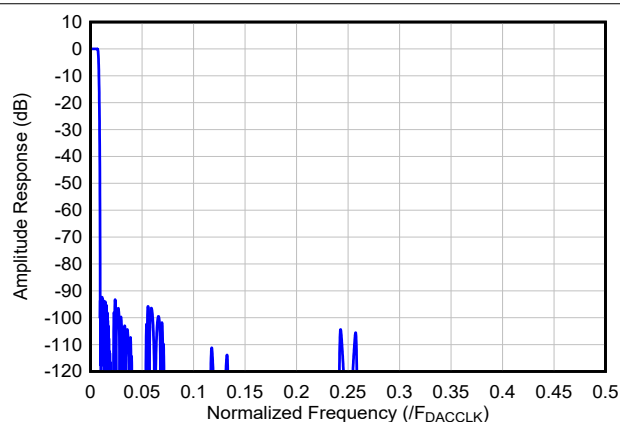


図 7-27. 64x 補間フィルタ応答

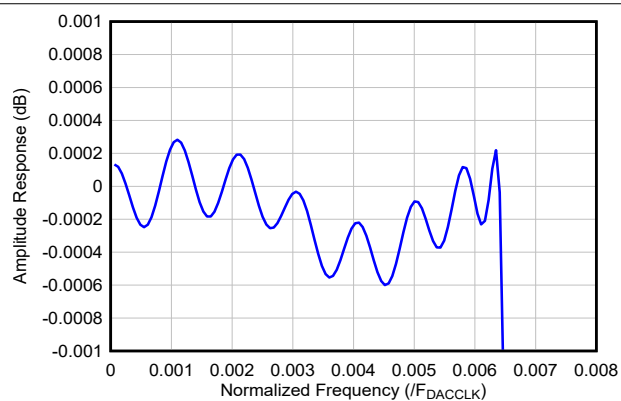


図 7-28. 64x 補間フィルタ通過帯域応答

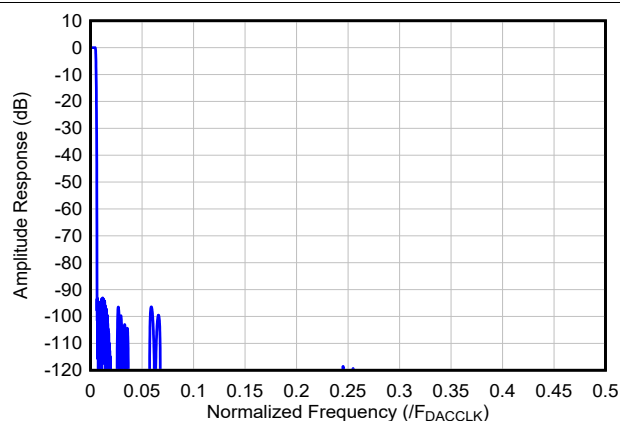


図 7-29. 96x 補間フィルタ応答

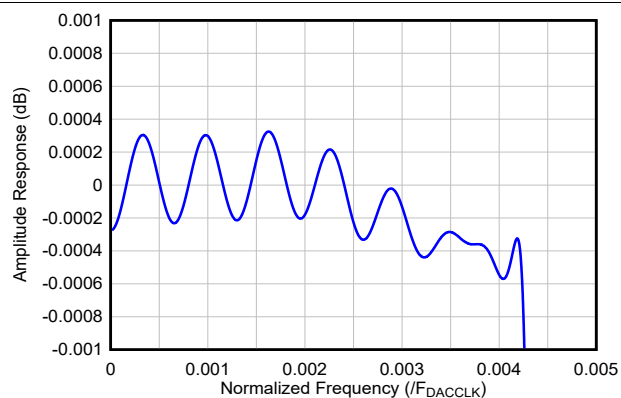


図 7-30. 96x 補間フィルタ通過帯域応答

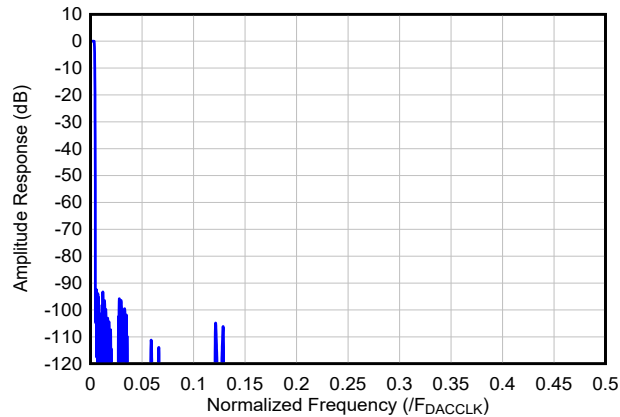


図 7-31. 128x 補間フィルタ応答

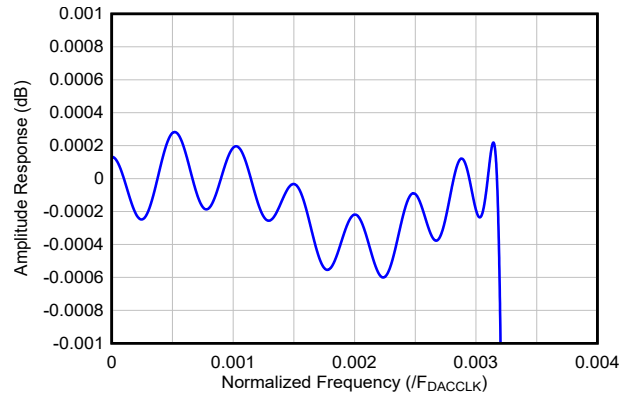


図 7-32. 128x 補間フィルタ通過帯域応答

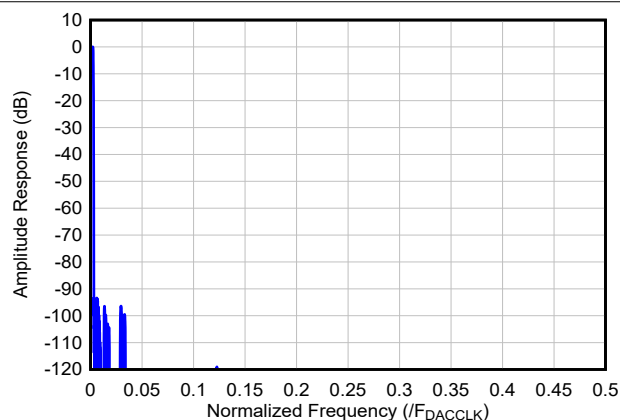


図 7-33. 192x 補間フィルタ応答

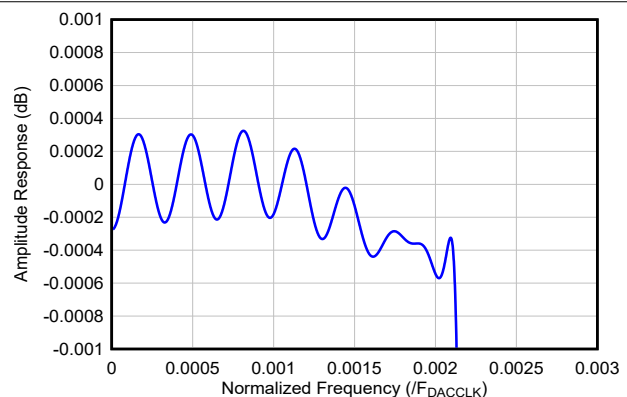


図 7-34. 192x 補間フィルタ通過帯域応答

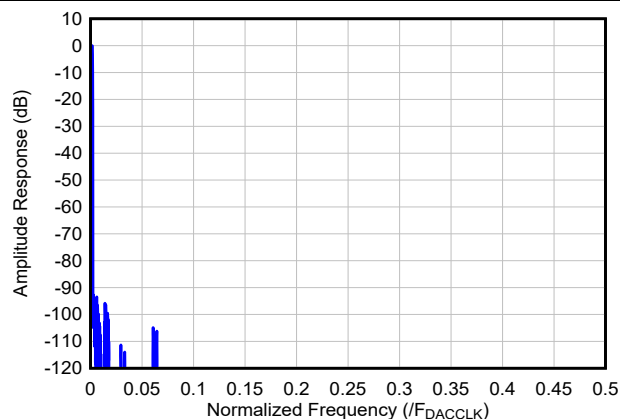


図 7-35. 256x 補間フィルタ応答

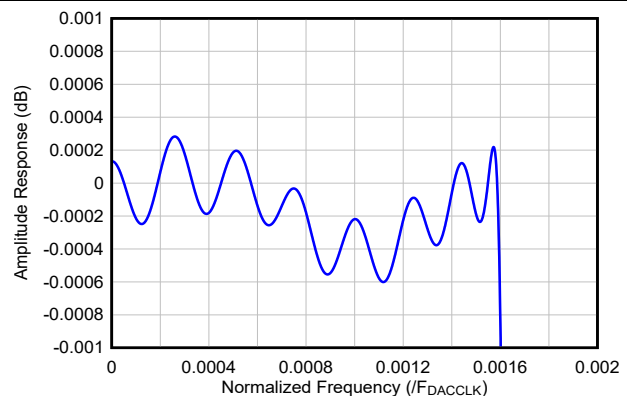


図 7-36. 256x 補間フィルタ通過帯域応答

7.3.6.2.1.2 数値制御発振器 (NCO)

各 DUC は、64 ビットの周波数と 16 ビットの位相ワードを持つ NCO を経由して、位相連続周波数ホッピングと位相コヒーレント周波数ホッピングを実行できる独自の NCO ブロックを備えています。NCO は、複素ミキシング操作に使用される複素連続波信号を提供します。NCO は、トーンを生成するために定入力を使用する DDS SPI モードでも使用できます。

周波数が $(2 \cdot N - 1)/32$ または $(2 \cdot N + 1)/64$ (N は整数) に正確に設定されている場合、NCO の最悪ケースの SFDR < -96dBc です。その他の周波数では、最悪ケースの SFDR は < -105dBc です。

NCO 更新モードは、位相連続 (『[位相連続 NCO 更新モード](#)』を参照)、位相コヒーレント (『[位相コヒーレント NCO 更新モード](#)』を参照)、または位相同期 (『[位相同期 NCO 更新モード](#)』を参照) のいずれかです。単一の NCO 周波数のみが必要な場合 (周波数ホッピングなし) は、位相連続 NCO を選択します。

NCO 周波数は、標準 SPI インターフェイスまたは高速再構成インターフェイス (FRI) を介して NCO 周波数ワードレジスタ設定に書き込まれます。周波数の更新は、TRIG_TYPEn によって選択されたトリガ ソースによって 1 回トリガされます。使用可能なトリガ ソースは、SPI レジスタ、SYSREF 信号 (I 入力信号の LSB を同期信号に置き換える)、TRIG ピン、または FRCS の立ち上がりエッジ (FRI が使用されている場合) です。

7.3.6.2.1.2.1 位相連続 NCO 更新モード

位相連続 NCO 更新モードでは、位相アキュムレータをリセットせずに位相または周波数が更新され、周波数を変更するときに現在の正弦位相が維持されて、出力応答の不連続性が低減されます。図 7-37 に、位相連続 NCO モードの動作を示します。

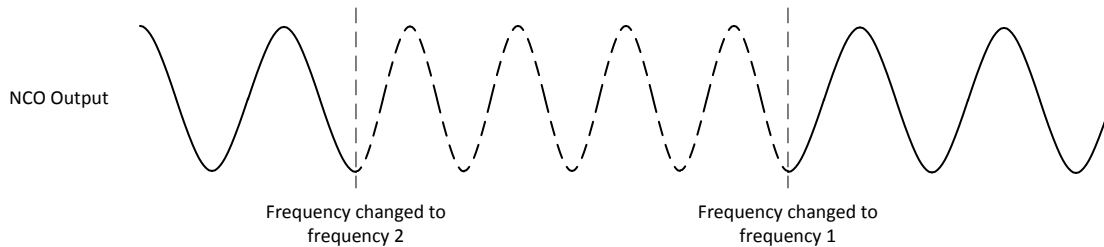


図 7-37. 位相連続 NCO モードの動作の例

7.3.6.2.1.2.2 位相コヒーレント NCO 更新モード

位相コヒーレント NCO 更新モードでは、周波数ワードが更新され、カウンタが乗算されてアキュムレータが更新されます。これにより、NCO がその周波数から一度も調整されなかったかのように、特定の周波数の位相が、その周波数の以前の使用と「コヒーレント」を保つことができます。位相情報がカウンタによって維持されるため、任意の周波数を位相コヒーレントにできます。図 7-38 に、位相コヒーレント NCO モード動作を示します。

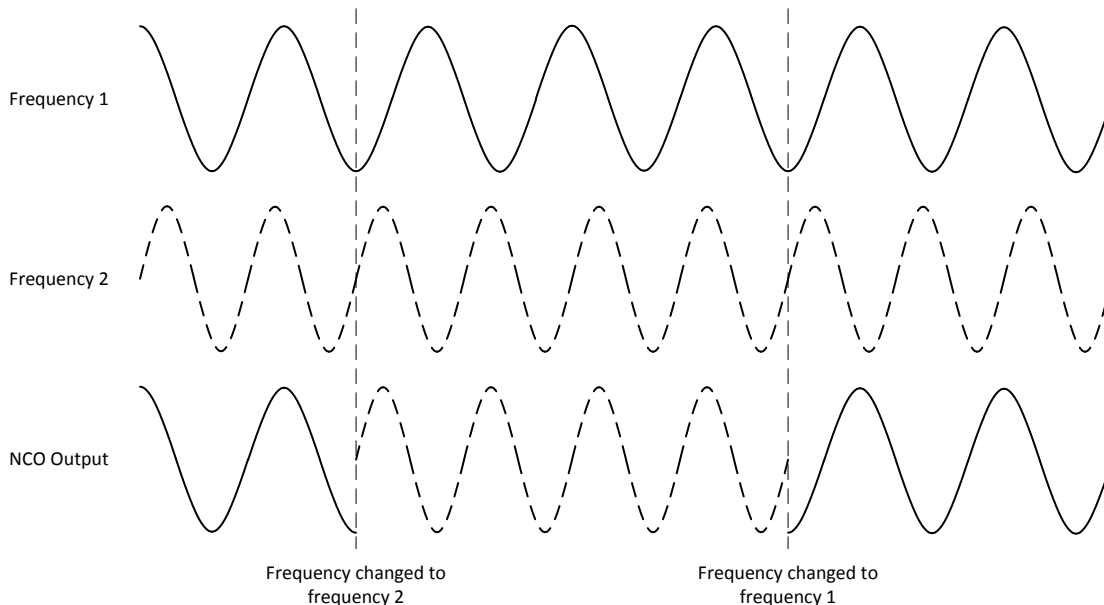


図 7-38. 位相コヒーレント NCO モードの動作の例

7.3.6.2.1.2.3 位相同期 NCO 更新モード

位相同期 NCO 更新モードでは、周波数ワードが更新され (変更された場合)、アキュムレータは初期位相値にリセットされます。このモードを使用して、すべてのデバイスにわたって同期信号を同時に供給することで、複数のデバイスの NCO を揃えることができます。

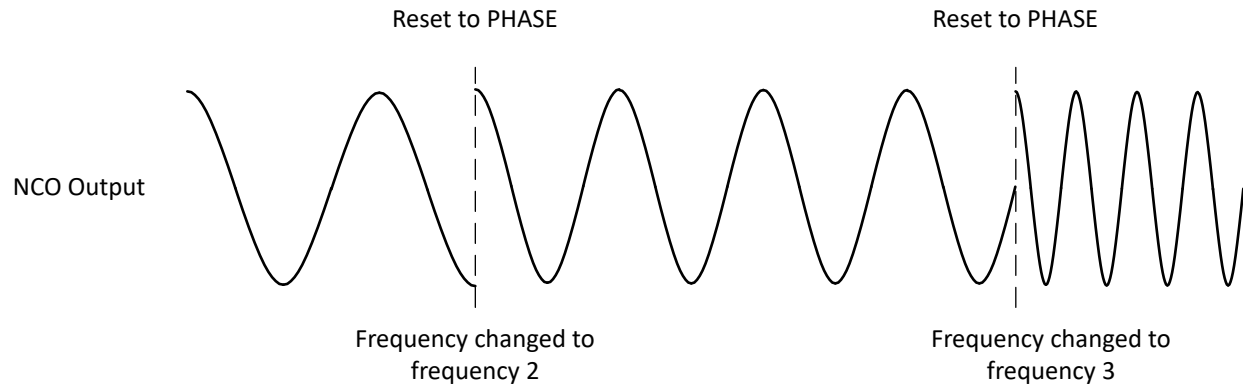


図 7-39. 位相同期 NCO 更新モード

7.3.6.2.1.2.4 NCO 同期

多くのシステムでは、デジタル アップコンバージョン機能を使用する場合、内部 NCO の位相を含む DAC チャンネル間の同期が必要です。さらに、周波数ホッピング システムでは、NCO 周波数が変化している間に NCO 同期を維持するため、同期周波数ホッピングが追加要件となる場合があります。デバイスには、NCO の変更を更新する方法がいくつかあります。以下のものが該当します。

- JESD204C 入力データ ストリームの DUC0 の「I」入力 の LSB による同期
- SYSREF による同期
- TRIG[3:0] ピンの立ち上がりエッジによる同期
- FR インターフェイス使用時の $\overline{\text{FRCS}}$ の立ち上がりエッジ別の更新
- SPI_SYNC レジスタビットによる更新

NCO 同期に使用される方法は、TRIG_TYPE レジスタ設定によって制御されます。

JESD204C LSB アプローチでは、同期情報を入力データに埋め込むことができるため、データソース (つまり FPGA) で簡単に制御できます。複数のデバイス間の同期ビットのタイミングを制御することで、複数のデバイスの同期を実現できます。LSB 同期については、『JESD204C LSB の同期』に詳細な説明が記載されています。

SYSREF パルスの発行による同期には、DC 結合の SYSREF インターフェイスが必要で、NCO 周波数が SYSREF 周波数の整数倍である場合を除き、単一の SYSREF パルスを発行する機能が必要です。多くのシステムは、AC 結合の SYSREF 信号を使用しています。これにより、単一の SYSREF パルスを確実に発行する能力を排除できます。SPI インターフェイスのタイミングを慎重に行う場合、特に低速の SYSREF 信号 (10MHz 未満) の場合は、複数のデバイスで SYSREF のマスキングおよびマスキング解除を行うことができます。しかし、SPI パスが非同期であるため、特性は定義されていません。

同期トリガ インターフェイスを使用して同期を行うため、TRIGCLK によってラッチされる TRIG ピンの立ち上がりエッジで、DSPn アクションが直ちにトリガされます。レジスタ TRIG_SEL は、各 DSP チャンネルに結合する外部トリガ ピンを決定します。トリガ インターフェイスが FRI インターフェイスとして構成されている場合、TXEN0/1 (TX_PIN_FUNC0/1 レジスタによって割り当てられた場合) または SYNC (SYNCB_PIN_FUNC レジスタによって割り当てられた場合) をトリガ ピンとしてプログラムできます。

SPI_SYNC 同期では、レジスタ TRIG_SEL が、各 DSP チャンネルに結合する TRIG_SPI ビットを決定します。

7.3.6.2.1.2.4.1 JESD204C LSB 同期

DSP ブロック (NCO など) は、複素入力 JMODES の JESD204C インターフェイス上の DUC0 チャンネルの「I」入力の LSB を使用して同期することができます。データビットの LSB を置き換えるコントロールビットは、同期のトリガーイベントとして使用されます。LSB の置き換えを使用するとき、SYNC ビットで 1 sample の LSB がどのように置き換えられるかを表 7-8 に示します。LSB 代替モードは、SPI_SYNC レジスタビットが「高」のとき有効になります。イベントをトリガーするには、LSB が 4 つ以上の連続したサンプルで「低」、その後 4 つの連続したサンプルで「高」である必要があります。SPI インターフェイスを使用して NCO 周波数ワードを更新する場合、ユーザーは SPI_SYNC を 0 に戻して、1 sample データを表す LSB に戻す必要があります。FR インターフェイスを使用して NCO を更新する場合、同期イベントがトリガーされた後で、LSB は 1 sample データを表すものに戻ります。

表 7-8. LSB 置換を使用したビット割り当て

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
I サンプル	I[15:1]															Sync
Q サンプル	Q[15:0]															

7.3.6.3 DDS SPI モード

DDS SPI モード (図 7-40 を参照) では、NCO は FREQ および PHASE レジスタを使用して制御されます。JESD204C インターフェイスからのサンプルは DSP では使用されず、ミキサは AMP レジスタを使用して NCO 出力の振幅をスケールリングするために使用されます。このモードは、持続時間が無制限のコサイントーンを生成する場合に便利です。ユーザーは、AMP、FREQ、および位相レジスタを更新して、DSP トリガ イベントを生成することにより、いつでも振幅、周波数、および位相を変更できます (『DSP トリガ』を参照)。

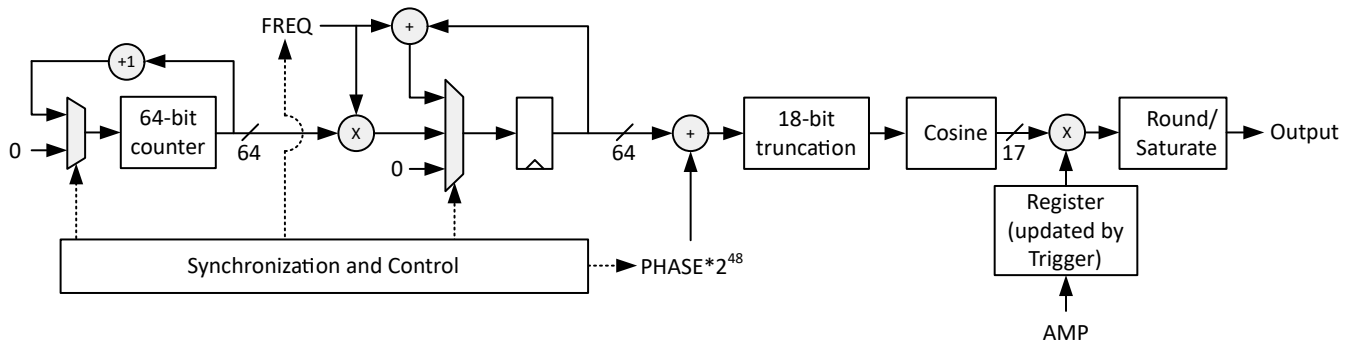


図 7-40. DDS SPI モードのブロック図

DDS SPI モードは、DUC モードと同じ NCO トリガ機能をサポートしています。

- 位相連続モード: トリガ イベントは周波数を更新しますが、位相アキュムレータはリセットされません (NCO_CONT=1, NCO_AR=0)
- 位相同期モード: トリガ イベントが周波数を更新し、位相アキュムレータをリセットします (NCO_AR=1)
- 位相コヒーレントモード: トリガ イベントが周波数を更新し、位相アキュムレータがカウンタからシードされます (NCO_CONT=0, NCO_AR=0)

7.3.6.4 DDS ベクトルモード

任意の DSP チャンネルは DDS ベクトルモードで動作します (DSP_MODE_n を参照)。このモードでは、補間フィルタが無効になり、NCO/ミキサロジックが再利用されて、ユーザー定義の波形 (DDS_VEC で定義) が生成されます。DSP は、JESD インターフェイスからの入力サンプルを必要としません。

表 7-9. DDS ベクトルモードの用語と定義

用語	定義
ベクトルフィールド	各 DDS ベクトルは、波形セグメントを生成するための信号属性を定義する複数のフィールドで構成されています。サンプルフィールドは、PHASE_START および FREQ_START です。

表 7-9. DDS ベクトルモードの用語と定義 (続き)

用語	定義
ベクトル	ベクトルはベクトル表内の 1 つのエントリで、波形セグメントを定義するフィールドが含まれています (DDS_VEC を参照)。
ベクタ テーブル	DDS で使用されるベクトルの表 (DDS_VEC を参照)。
ベクトルブロック	DDS チャンネルに割り当てられたベクトル表の一部 (DDS_VEC のサブセット)
波形セグメント	ベクトル表内の単一のベクトルに基づいて DDS が生成する信号。
波形	波形セグメントのシーケンスを再生することによって生成される信号
ストール	トリガーイベントを待機すると、ベクトルプロセッサは停止します。これは常に起動時に発生します。また、ベクトルの VTRIG_MODE フィールドがセットされており、トリガーが有効でないか、すでにトリガーキューに入っているベクトルがロードされた場合にも、ストールが発生します。一般に、ベクトルプロセッサがストールしている間は DDS 出力がミュートされます。ただし、ホールドモードでは例外が定義されています。

DDS ベクトルモードシンセサイザを [図 7-41](#) に示します。主な機能:

- 波形セグメントのシーケンスを再生することによって波形を生成します。
- 各波形セグメントは、ベクトル表内のベクトルによって定義されます (DDS_VEC)。
- 4 つの DDS チャンネルは、それぞれ独立した波形を生成できます。
- DDS チャンネルを無効にして、残りのチャンネルでより多くのベクトルを使用できるようにすることができます。
- 各ベクトルには、波形セグメントの初期振幅、周波数、および位相を定義するためのフィールドが含まれています。振幅と周波数の増減、波形セグメントの持続時間の定義が行えます (DDS_VEC を参照)。
- 2 次振幅ランピングが可能です (DDS_AMP2)。
- 最大 256 のベクトルを使用できます。
- 起動時、再生はトリガーイベントが発生するまで始まりません。
- 特定のベクトルの開始時に再生を停止することができ、DDS はトリガーが続行させるのを待機します (ホールドモードが有効でない限り、待機中出力はミュートされます) (VTRIG_MODE を参照)。
- 1 つのトリガー入力イベントで、波形を複数回再生することができます (DDS_BURST)。
- 「対称モード」では、ベクトルを昇順で再生してから降順で再生するように DDS に指示できます (対称フランクコードの場合) (DDS_SYM)。
- インデックスモードでは、TRIG[4:1] 入力で、DDS にベクトルメモリの特定期間へのジャンプを指示することができます。インデックスモードが有効な場合、DDS ベクトルモードには 1 つの DSP チャンネルのみが使用されます。

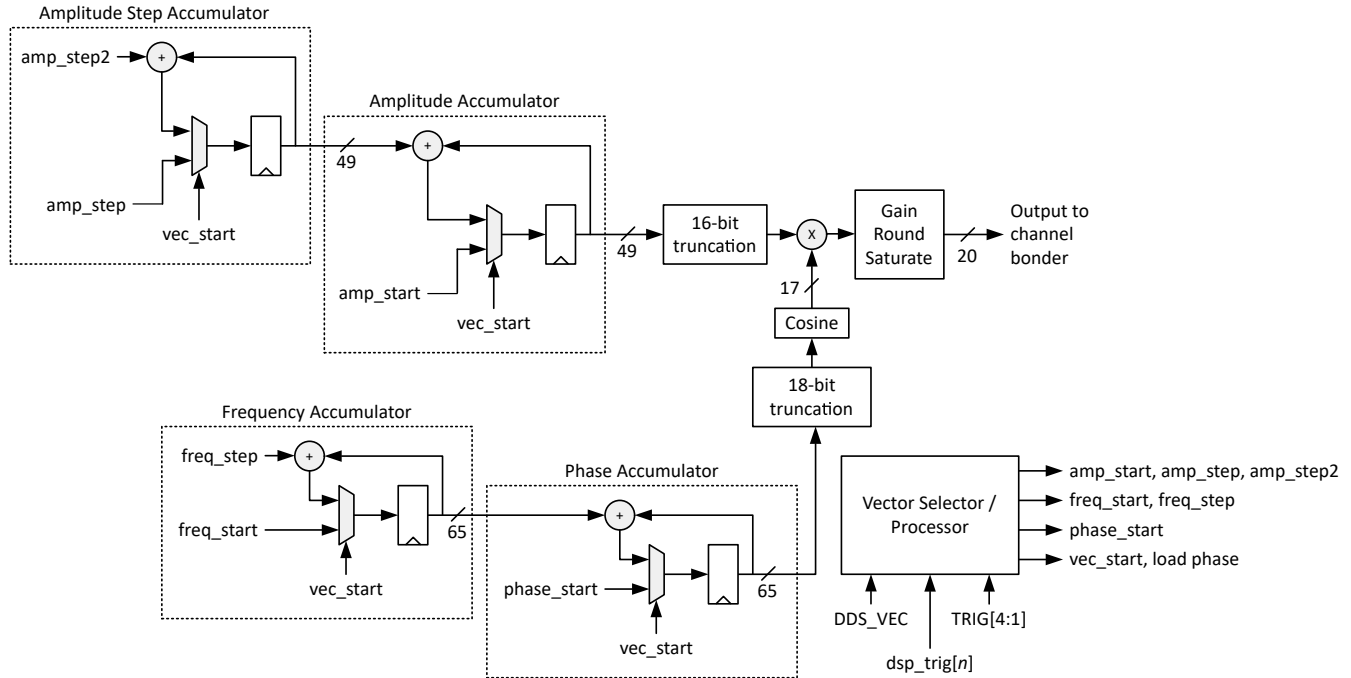


図 7-41. DDS ベクトル波形ジェネレータ

ベクトル表 (DDS_VEC で定義される) は、ブロックに分割され、DSP チャンネルに割り当てられます。DSP のチャンネルは、チャンネルセットにグループ化されています (チャンネル 0 と 2 がグループ化され、チャンネル 1 と 3 がグループ化されます)。グループ内の両方の DSP チャンネルが、DDS ベクトルモードの場合、メモリは 2 つのチャンネル間で共有されます。これは、表 7-10 に記載されています。各 DDS チャンネルは、チャンネルに割り当てられたベクトルブロック内のベクトルを、最も低いインデックスから昇順に実行します。DDS チャンネルがベクトルの再生を終了すると、そのチャンネルがそのベクトルの LAST_VEC フィールドを検査します。LAST_VEC=1 の場合、チャンネルは割り当てられたベクトルブロックの先頭からやり直します。

表 7-10. DSP0/2 設定のチャンネルに割り当てられたベクトルブロック

ベクトル範囲	チャンネル 2 が DDS ベクトルモードでない場合	チャンネル 0 が DDS ベクトルモードでない場合	チャンネル 0 とチャンネル 2 の両方が DDS ベクトルモードの場合
DDS_VEC[0:63]	チャンネル 0	チャンネル 2	チャンネル 0
DDS_VEC[64:127]			チャンネル 2

表 7-11. DSP1/3 設定のチャンネルに割り当てられたベクトルブロック

ベクトル範囲	チャンネル 3 が DDS ベクトルモードでない場合	チャンネル 1 が DDS ベクトルモードでない場合	チャンネル 1 とチャンネル 3 の両方が DDS ベクトルモードの場合
DDS_VEC[128:191]	チャンネル 1	チャンネル 3	チャンネル 1
DDS_VEC[192:255]			チャンネル 3
DDS_VEC[256:319]			
DDS_VEC[320:383]			

上表のマッピングにより、チャンネル 0 とチャンネル 2 でリソースを共有できます。同様に、チャンネル 1 とチャンネル 3 でリソースを共有します。

チャンネル 1 とチャンネル 3 により多くのメモリが割り当てられます。これにより、DDS ベクトルモードを DUC または DDS ストリームモードと組み合わせる際に使用可能なメモリが最大化されます。これらの混合設定では、DDS ベクトルモードはチャンネル 1、2、3 に適用されますが、チャンネル 0 には適用されません。

ベクトルプロセッサは、各ベクトルを読み取り、パラメータのフォーマットとスケーリングを行い、適切な時間の間 DDS アキュムレータに適用します。

表 7-12 ベクトルプロセッサでパラメータをどのように生成するかを定義します。DDS ベクトルフィールドへのすべての参照は、再生される特定のベクトルのフィールドを参照します。

表 7-12. DDS ベクトルフィールド

信号	フォーマット	説明
step_exp	整数	ステップ指数。範囲は -4 から -32 です。この値の目的は、ベクトルの持続時間に適した振幅と周波数のステップに、スケーリング係数を適用することです。ベクトルが長いほど、スケーリング係数は小さくなります (STEP_EXP 値が大きくなります)。 $\text{step_exp} = -\text{STEP_EXP} - 1$ 各ベクトルの STEP_EXP フィールドの推奨値は次の通り: $\text{STEP_EXP} = \text{floor}(\log_2(\text{NUM_SAMP_M32} + 32)) - 1$
amp_start	49 ビット符号あり	振幅アキュムレータの初期値。ベクトルの開始時に適用されます。 $\text{amp_start} = \text{AMP_START} * 2^{33}$ Amp_start を 0 に設定すると、トリガーを待機している間 DDS 出力をミュートできます。
amp_step	49 ビット符号あり	振幅ステップアキュムレータの初期値。 $\text{amp_step} = \text{AMP_STEP} * 2^{33} * 2^{\text{step_exp}} + \text{amp_step}/2$ 注:用語「amp_step/2」は、振幅値のシーケンスがより単純な四分状方程式に従うことを確認するものです。
amp_step2	49 ビット符号あり	振幅ステップアキュムレータのステップ (2 次項)。ベクトル全体に適用されます。この用語は、2 次振幅が有効化されている場合にのみ適用されます (DDS_AMP2 を参照)。 $\text{amp_step2} = \text{AMP_STEP2} * 2^{33} * 4^{\text{step_exp}}$
freq_start	65 ビット	周波数アキュムレータの初期値。ベクトルの開始時に適用されます。 $\text{freq_start} = \text{FREQ_START} * 2^{17} + \text{freq_step}/2$ 注:「Freq_step/2」という項により、位相の値のシーケンスが、より簡単な 4 乗の式に従うようになります。 注:2 次振幅が有効になっている場合 (DDS_AMP2 を参照)、振幅制御に FREQ_START の下位 16 ビットが使用され、freq_start に関する上記の式は、16 ビットが 0 であると想定しています。
freq_step	65 ビット	周波数アキュムレータの Step 値。ベクトル全体に適用されます。 $\text{freq_step} = \text{FREQ_STEP} * 2^{33} * 2^{\text{step_exp}}$
phase_start	65 ビット	位相アキュムレータの初期値。ベクトルの開始時に適用されます。 $\text{PHASE_START} = \text{PHASE_START} * 2^{49}$
vec_start	1 ビット	ベクトルの開始を示す信号を制御します。アキュムレータを初期化します。1 サンプル期間アサートされます。 ベクトルプロセッサがトリガーを必要とするベクトルを検出した場合 (およびキューにトリガーがない場合)、vec_start 信号がアサートされますが、amp_start および amp_step は 0 に設定されて DDS 出力をミュートします。トリガーが発生すると、vec_start は再度アサートされますが、今回は、amp_start と amp_step が通常通り設定されて、ベクトルを起動します。 ホールドモードが有効になっている場合、ミュートは生成されません。amp_start 信号と amp_step 信号はゼロにセットされず、vec_start はトリガーイベントにตอบสนองして 2 回目のパルスを生成しません (ベクトルがすでに再生中であるため)。
load_phase	1 ビット	ホールドモードが無効になっている場合、load_phase 信号は vec_start 信号と一致します (位相アキュムレータは phase_start をロードします)。ホールドモードが有効化されている場合、load_phase は「低」のままになり、位相連続動作が実現されます。

7.3.6.4.1 2 次振幅サポート

デフォルトでは、ベクトル エンジン は 2 次振幅ランプをサポートしていません。しかし、このモードは DDS_AMP2 レジスタを使用して有効化できます。このモードでは、滑らかで正確な振幅曲線を生成できます。このモードを有効化すると、いくつかの重要な変更が発生します。

1. 各ベクトルの最大長は 65536 サンプルです (NUM_SAMP_M32 は 65504 以下である必要があります)。
2. 各ベクトルの FREQ_START フィールドの下位 16 ビットは、16 ビットの符号付き値 (AMP_STEP2) である 2 次振幅ステップ値を定義するために再利用されます。これにより、初期周波数の分解能が 32 ビットに低下します (初期周波数を定義するために、FREQ_START の下位 16 ビットは 0 と想定されます)。
3. STEP_EXP でサポートされる最大値は 15 になります (step_exp = -16)。

7.3.6.4.2 ベクトル次数と対称モード

各 DDS チャンネルには、各ベクトルが完了すると更新されるローカル ベクトル ポインタがあります。ローカル ベクトル ポインタがチャンネル オフセットに追加され、DDS_VEC にインデックスが作成されます。各チャンネルのチャンネル オフセットは、有効になっているチャンネル数によって異なります。表 7-13 に、これを示します。

表 7-13. DDS_VEC のチャンネル オフセット

チャンネル	チャンネル オフセット
0	0
1	128
2	0 (または DSP チャンネル 0 もベクトル モードの場合は 64)
3	128 (DSP チャンネル 1 もベクトル モードの場合は 256)

対称モードが無効の場合 (DDS_SYM=0)、ローカル ポインタはチャンネル オフセット値から開始し、各ベクトルが完了するとインクリメントします。LAST_VEC フィールドが設定されている (=1) ベクトルが完了すると、ポインタはチャンネル オフセット値に戻り、増分シーケンスが繰り返されます。

以下に、チャンネル オフセット = 0 のローカル ベクトル ポインタ (DDS_SYM=0、ベクトル 5 が LAST_VEC=1) のシーケンスの例を示します。

0、1、2、3、4、5、0、1、2、3、4、5、0、1、2、3、4、5、...

DDS_SYM を設定して対称モードを有効化した場合、LAST_VEC を設定してベクトルを再生した後、ポインタはチャンネル オフセット値にリセットされません。代わりに、ポインタはチャンネル オフセット値に達するまでデクリメントを開始し、その後再びインクリメントを開始します (チャンネル オフセット ベクトルは 2 回再生されます)。

以下に、チャンネル オフセット = 0 のローカル ベクトル ポインタ (DDS_SYM=1、ベクトル 5 が LAST_VEC=1) のシーケンスの例を示します。

0、1、2、3、4、5、4、3、2、1、0、0、1、2、3、4、5、4、3、2、1、0、0、1、2、3、4、5、...

ベクトル 5 は「1 回」再生されますが、ベクトル 0 は「2 回」再生されます (対称フランク コードをサポートするため)。上記で、デクリメント位相のベクトルには下線が引かれています。デクリメント位相の間は、ベクトルの VTRIG_MODE フィールドは無視され、ベクトルは VTRIG_MODE が 0 の場合と同様に処理されます。これにより、波形の後半中にトリガを必要とせずに、完全な対称型波形を再生できます。

対称モードはフランク コード (対称位相シーケンスによる位相変調) 用であることに注意してください。波形セグメントは逆の順序で再生されますが、波形セグメントを構成する実際のサンプルは時間的に反転されません (逆方向に再生されることはありません)。

7.3.6.4.3 初期起動

SYS_EN=1 でデータパスが APP スリープ状態 でない場合、ベクトル プロセッサは常に有効になります。有効になると、プロセッサは動作を開始するトリガを待ちます。起動に関する重要な注意事項:

1. 起動時に、ベクトル プロセッサは、ベクトル ブロックから最初のベクトルをフェッチします。

2. ホールド モードが無効 (DDS_HOLD[n]=0) の場合、プロセッサは最初のベクトルに VTRIG_MODE がセットされているかのように動作します。DDS 出力は、最初のトリガが発生するまでミュートのままです。後で最初のベクトルに戻ると、VTRIG_MODE が通常通り適用されます。
3. ホールド モードが有効な場合 (DDS_HOLD[n]=1)、DDS 出力は起動時にミュートされます。トリガを受信すると、最初のベクトルが再生を開始しますが、VTRIG_MODE=1 の場合で、最初のベクトルを完了するために 2 番目のトリガが必要な場合は、プロセッサはストールしたままとなります。
4. プロセッサがトリガを待機していると仮定すると、DAC 出力へのすべてのトリガ イベントのレイテンシは、トリガが再生を初期化するか再生を再開するかに関係なく、同じになります。

7.3.6.4.4 トリガーキューイング

DDS チャンネルが停止していないにもかかわらず、トリガーイベントを受信した場合、そのイベントはキューに入れられ、後で消費されます。これはイベントカウンタによって実装されます。受信したトリガーイベントでカウンタがインクリメントされます。トリガーを必要とするベクトルを再生すると、カウンタが一定数ずつ減少します。カウンタが 0 であり、ベクトルにトリガーが必要な場合、トリガーイベントを受信するまで再生はストールします。最大 65535 のトリガーイベントをキューに入れることができます。この制限を超えるトリガーは破棄されます(カウンタは 65535 で飽和します)。

7.3.6.4.5 トリガバースト

DDS_BURST レジスタを設定し (DDS チャンネルごとに 1 つ)、バーストトリガを有効にすることができます。バーストトリガを使用すると、受信した各トリガ イベントで DDS_BURST+1 イベントをトリガ キューに追加できます (『トリガ キューイング』を参照)。DDS が停止した場合、1 つのイベントが直ちに消費されます)。これは、同一連の波形をバースト内で送信する必要があるレーダー アプリケーションで有用です。

7.3.6.4.6 ホールド モード

DDS_HOLD[n] レジスタを設定すると、DDS チャンネル n のホールド モードを有効化できます。これにより、DDS がベクトルを保持して、長さ (および一定の周波数と振幅) のトーンを生成し、このトリガを使用して周波数または振幅のランプを開始した後、別の周波数や振幅に保持できます。ホールド モードが有効になっている場合、次の変更が適用されます。

1. DDS 出力を有効化する初期トリガは、最初のベクトルのトリガ条件を満たしません。詳細については、『初期起動』を参照してください。
2. 最初のトリガの後、ベクトル プロセッサがストールしても、DDS 出力はミュートされません。代わりに、ベクトルは開始されますが、無期限に実行されます (トリガ イベントを待機します)。トリガ イベントが発生すると、DDS は、現在のベクトルの NUM_SAMP_M32+32 の追加サンプルを再生してから、次のベクトルに進みます。
3. 位相アキュムレータは、位相連続モードで動作します。これにより、各ベクトルを開始するときの位相連続動作が保証されます。最初のベクトルの PHASE_START 値は、起動後に最初のトリガが発生したときに 1 回適用されますが、その後のすべての操作で PHASE_START 値は無視されます。
4. 各ベクトルの長さは 32 の倍数である必要があります (すべてのベクトルの NUM_SAMP_M32 フィールドは 32 の倍数である必要があります)。
5. インデックス作成モードを無効化する必要があります (DDS_IMode = 0)。
6. 対称モードを無効化する必要があります (DDS_HOLD[n] が 1 のときは DDS_SYM[n] を 0 にする必要があります)。

(代表的なアプリケーション例に移動) 以下は、任意の周波数と振幅の間でスムーズな遷移を行うためのユースケースの例です。この説明では、ベクトル番号はチャンネル ベクトル ブロック内のオフセットです。

1. 初期周波数 / 振幅の設定:
 - a. ホールド モード (DDS_HOLD) を有効化し、ベクトル 0 (DDS_VEC) を目的の初期周波数と振幅にプログラムします。
 - i. FREQ_START = 目的の周波数
 - ii. AMP_START = 目的の振幅、
 - iii. NUM_SAMP_M32 = 0、FREQ_STEP = 0、AMP_STEP = 0、STEP_EXP = 0、VTRIG_MODE = 1、LAST_VEC = 0、

- b. DDS を起動します (SYS_EN=1)。
- c. DDS はベクトル 0 を無期限に再生し、トリガを待ちます。

2. 新しい周波数 / 振幅までのランプ:

- a. 新しい周波数または振幅が必要になると、ベクトル 1 をプログラムして、(手順 1 での) 初期の周波数 / 振幅から開始して、新しい周波数と振幅で終了する周波数または振幅ランプを生成します。VTRIG_MODE を 0 に設定します。ランプの期間は、NUM_SAMP_M32 によって設定されます。FREQ_STEP、AMP_STEP、STEP_EXP に適切な値をプログラムします。VTRIG_MODE = 0 および LAST_VEC = 1 をプログラムします。
- b. 新しい周波数 / 振幅を使用して、ベクトル 0 を更新します (まだ効果はありません)。ベクトル 0 の他のフィールドは変更せずにそのままにすることができます (手順 1 と同じ)。
- c. 任意のトリガ方式を使用して、DDS をトリガします。これにより、DDS はベクトル 1 (ランプ) を再生し、ベクトル 0 (新しい周波数および / または振幅) に戻ります。この場合、DDS はベクトル 0 上で無期限に保持されます。

3. 新しい周波数または振幅が得られたら、手順 2 を繰り返します。

7.3.6.4.7 インデックス作成モード

インデックス作成モードは、DDS_IMODE=1 を設定することで有効化されます。インデックス作成モードでは、DDS が TRIG[0] によってトリガされたときに、TRIG[4:1] ピンがベクトル メモリ内の 16 個の位置のいずれかを選択してジャンプすることができます。これにより、ユーザーは 16 個のベクトル メモリのセクションにランダムにアクセスできます (複数の異なる波形のいずれかをトリガする)。

いずれの DSP チャンネルもインデックス作成モードで動作できますが、ユーザーは TRIG[0] でトリガされるように DSP チャンネルを構成する必要があります。その際、TRIG_TYPEn=4 および TRIG_SELn=0 をプログラムする必要があります。複数の DSP チャンネルは同時にインデックス作成モードで動作できますが、すべての DSP チャンネルは TRIG[4:0] ピンを共有するため、ユーザーはチャンネルを一意にインデックス化することはできません。DSP チャンネル 0 と 2 はそれほど多くのベクトルにアクセスできないため、インデックス作成モードには適していないことに注意してください。16 個の固有の位置をインデックス付けできるように、インデックス作成モードにはチャンネル 3 が推奨されます。ユーザーがチャンネルに割り当てられたベクトル番号よりも大きいベクトル番号にジャンプしようとする、アドレスはチャンネルの割り当てにエイリアスされます。

インデックス作成モードでは、ベクトルは通常どおり処理されますが、次のような変化があります。

1. DDS がトリガを受信するたびに、TRIG[4:1] の現在の値に 16 を乗じて、それが VINDEX という内部レジスタに格納されます。
2. DSP チャンネルが 128 個のベクトルのみにアクセスできる場合、VINDEX のビット 7 は無視されます (アドレスのエイリアシング)。64 個のベクトルのみを使用する場合、ビット 7 とビット 6 はどちらも無視されます。
3. 「プロセッサがトリガ待ちの間」にトリガを受信すると、VINDEX レジスタが更新され、プロセッサは VINDEX で指定されたベクトルにジャンプし、直ちにそのベクトルを再生します。新しいベクトルに VTRIG_MODE=1 がある場合は、トリガが消費されます。それ以外の場合は、トリガがトリガ キューに配置されます。DDS_SYM=1 の場合、VINDEX は VSYM にコピーされます (ベクトル プロセッサは対称再生の開始インデックスを記憶するため、後にインデックスがデクリメントされます)。
4. プロセッサが「トリガ待ちでない間」にトリガを受信すると、VINDEX レジスタが更新され、トリガはキューに配置されますが、再生は中断されません。VINDEX の新しい値は、後で消費できます (以下の項目を参照)。
5. DDS_SYM=0 (非対称モード) で、プロセッサが LAST_VEC=1 でベクトルを完了すると、プロセッサは (ベクトル ポインタを 0 に設定するのではなく) VINDEX で指定されたベクトルにジャンプします。
6. DDS_SYM=1 (対称モード) で、ベクトル ポインタがデクリメント位相にある場合、ベクトル ポインタは VINDEX までデクリメントしませんが、代わりに VSYM までデクリメントします。VSYM で指定されたベクトルが完了すると、対称シーケンスが完了するので、プロセッサは VINDEX で指定されたベクトルにジャンプし、VSYM=VINDEX を設定します (この定義により、ある対称シーケンスがキューイングされ、別のシーケンスが実行されます)。

7.3.6.4.8 インデックス作成モードでのキューイングまたはバースト トリガ

VINDEX レジスタは 1 つのみであり、トリガを受信するたびにこの値が上書きされます。これは、ユーザーが「一意」の VINDEX 値を持つ複数のトリガ イベントをキューに入れることができないことを意味します。しかし、保存された VINDEX 値は、DDS で複数回再利用することができます。たとえば、DDS_BURST=3 の場合、1 つのトリガ イベントが特定の波形を 4 回再生します。この例の動作について、以下に詳細を示します。

1. DDS がトリガ待ちで、DDS_SYM[0]=0 (非対称モード) と仮定します。
2. DDS_VEC[80].VTRIG_MODE=1 と仮定します。
3. TRIG[0] は TRIG[4:1]=5 で立ち上がります。DDS は VINDEX=5*16=80 を設定します。DDS はベクトル 80 の再生を開始します (DDS_BURST=3 以降、1 つのトリガが消費され、3 つのトリガ イベントがキューに入れられます)。
4. DDS はベクトル 80 から 83 を再生します。
5. DDS_VEC[83].LAST_VEC=1 であるため、DDS は DDS_VEC[VINDEX] にジャンプします (VINDEX が変更されていないため、これはベクトル 80 です)。DDS_VEC[80].VTRIG_MODE=1 であるため、1 つのトリガ イベントがキューから削除されます。
6. ベクトル 80 から 83 は合計 4 回再生されます (再生のギャップはゼロです)。4 回目の再生後、トリガ キューは空になるため、DDS は停止 (ミュート) し、トリガを再び待機します。

7.3.6.4.9 DDS イネーブル時のベクトルの書き込み

DDS が有効 (SYS_EN=1) の間に、ユーザーは DDS ベクトル (DDS_VEC) に書き込むことができますが、ベクトルの書き込み中に DDS がベクトルの読み取りを試みないことを「確認」する必要があります。これは、次のいずれかの方法で実行できます。

1. DDS チャンネルがアイドル状態 (トリガ待ち) の場合、ユーザーはそのチャンネルに割り当てられている任意のベクトルに書き込むことができます。しかし、DDS がアイドル状態になっているベクトルの VTRIG_MODE フィールドを変更しないでください。
2. インデックス作成モードでは、現在再生されていないベクタ テーブルのセクション内のベクトルに書き込むことができます (TRIG[4:1] 入力が無効化されていないため)。
3. DDS がアクティブになっているけれども、最終的にトリガを待機するために停止した場合で、DDS がトリガされてそれらを読み取る前にベクトルが書き込まれていることを確認できる場合は、ユーザーは停止点を越えるベクトルを書き込むことができます。

7.3.6.5 DDS ストリーミングモード

DDS ストリームモードを使用すると、JESD204C インターフェイスを使用して、周波数/位相/振幅の値の連続的ストリームとして DDS に送信することができます。このモードは、周波数/位相/振幅変調/キューイングに便利です。周波数ストリーミングを使用して、広範囲の周波数にわたって複雑なチャープ信号を生成すると同時に、DUC モードに比べて低い JESD204C 帯域幅を使用することもできます。

DSP チャンネルを DDS ストリームモードにするには、[DSP_MODEn](#) を DDS ストリームモードにプログラムします。DDS ストリームモードでは、 $F_{DACCLK}/16$ 、 $F_{DACCLK}/32$ 、または $F_{DACCLK}/64$ の入力サンプルレートがサポートされています。DSP_L レジスタをプログラミングし、DDS アップサンプリング係数を 16、32、または 64 にセットすることで、これを設定できます。ユーザーは、16 ビットサンプルをサポートし、DDS アップサンプリング係数 (16、32、または 64) と一致する LT 値をサポートする JMODE を選択する必要があります。

表 7-14 に、DDS ストリームモードのいくつかの主要機能をまとめています。

表 7-14. DDS ストリーミングモードの概要

プロパティ/機能	詳細
サポートされている JMODE:	JESD_M および DSP_L の必要な設定をサポートする任意の 16 ビット JMODE
各 DDS チャンネルに割り当てられた JESD204C コンバータ (ストリーム) の数:	2 (32 ビット)
JESD_M でサポートされている値:	2、4、6、8

表 7-14. DDS ストリーミングモードの概要 (続き)

プロパティ/機能	詳細
サポートされているアップサンプリング係数 (DSP_L):	16、32、64
ストリーミングオプション	ストリームの周波数、位相、振幅 (STREAM_MODE[n]=0) ストリーム周波数のみ (STREAM_MODE[n]=1) ストリームの位相と振幅のみ (STREAM_MODE[n]=2)
0 振幅をストリーミングすることで DDS をトリガー可能:	あり
DDS がトリガーされたときに発生するアクション:	FREQ/PHASE/AMP レジスタからストリーミングされていないパラメータを更新します。NCO_AR がセットされている場合は、位相アキュムレータをリセットします。

表 7-15 に従って、各 DSP チャンネルに 2 つの 16 ビット JESD204C コンバータ(ストリーム)が割り当てられます。JESD_M をプログラムして、各 DSP チャンネル(DDS ストリームモードで設定された)が 2 つの 16 ビットストリームを受信するようにする必要があります。2 つの 16 ビットストリームが連結され、単一の 32 ビットストリーム(sdata と呼ばれます)が生成されます。下位ストリームは下位 16 ビット(sdata[15:0])です。上位ストリームは上位 16 ビット(sdata[31:16])です。

表 7-15. JESD204C コンバータの DSP チャンネルへの割り当て (DDS ストリームモード)

JESD204C コンバータ(ストリーム)	コンバータに関連付けられた DSP チャンネル	32 ビット DDS ストリーム(sdata) へのデータ貢献
C0	DSP0	sdata[15:0]
C1	DSP0	sdata[31:16]
C2	DSP1	sdata[15:0]
C3	DSP1	sdata[31:16]
C4	DSP2	sdata[15:0]
C5	DSP2	sdata[31:16]
C6	DSP3	sdata[15:0]
C7	DSP3	sdata[31:16]

FPA ストリーム・モードが有効な場合 (STREAM_MODE[n]=0)、DDS は sdata[31:1] を sdata[0] の値に応じて周波数または位相+振幅として解釈します。これを 表 7-16 と 表 7-17 に示します。これにより、ストリームはすべてのパラメータ(周波数、位相、振幅)を制御できます。位相/振幅のサンプルは、内部で 1 入力サンプル期間だけ遅延されます(周波数サンプルと比較)。これにより、ユーザーは、位相+振幅のサンプルを直ちに送信し、その後周波数のサンプルを送信することで、すべてのパラメータを同時に変更することができるようになります。

表 7-16. 周波数サンプルの形式 (STREAM_MODE[n]=0)

sdata[31:1]	sdata[0]
31 ビット周波数 (LSB の重量は $2^{-31} * F_{DAC}$)	1'b0

表 7-17. 位相+振幅サンプルの形式 (STREAM_MODE[n]=0)

sdata[31:16]	sdata[15:1]	sdata[0]
16 ビット位相値 (LSB の重量は $2^{-16} * 2 \pi$ ラジアン)	15 ビットの振幅値(符号なし) (LSB の重量は $2^{-15} * \text{フルスケール}$)	1'b1

周波数データを受信すると、前の位相と振幅が保持されます。位相/振幅データを受信すると、前の周波数が保持されます。DDS が最初に有効になったとき(SYS_EN により)、初期周波数、位相、振幅はすべて 0 になります。

また、ユーザーは、0 値の振幅をストリーミングし、位相 LSB ビット PHASE[0] = 1 を設定して、DDS をトリガーすることもできます。NCO_AR[n] が設定されている場合、位相アキュムレータがリセットされます (信号振幅がゼロ以外になると蓄積が再開されます)。これは、一貫性のある初期位相を使用した周波数チャープを生成する便利な方法を提供します。

周波数/位相/振幅または位相/振幅ストリームモード (STREAM_MODE[n] = 2) では、周波数は FREQ レジスタによって決定されます。

周波数/位相/振幅または位相/振幅ストリームモード (STREAM_MODE[n] = 0 または 2) では、ゼロ値の振幅をストリーミングすると、DDS は FREQ[n] レジスタの新しい値を使用しはじめます。このトリガーは DDS によって内部的にデコードされ、DSP Triggering で定義されたトリガーソースとは独立して動作します。

JESD204C リンクでビットエラーが発生する可能性があるため、これにより、sdata[0] ビットが破損し、周波数、位相、振幅が破損する可能性があります。ユーザーは sdata[0] を定期的に切り替えて、すべてのパラメータをストリーミングし、破損が生じた場合は定期的に上書きするようにします。常に周波数データや位相/振幅データを送信する場合は、STREAM_MODE レジスタを使用して、sdata[0] ビットを完全に無視するよう DDS に指示します。このオプションは 表 7-18 に一覧表示されています。

表 7-18. ストリーミング モードの説明

STREAM_MODE n	説明
0	FPA-ストリーム: sdata[0] ビットを使用して周波数/位相/振幅を動的にストリーミングします。
1	F-ストリーム: ストリーム周波数サンプルのみ。sdata[0] ビットは周波数値の LSB であり、32 ビットの周波数を使用できます。位相と振幅は、PHASE[n] および AMP[n] レジスタで設定されます。
2	PA-ストリーム: ストリーム位相/振幅サンプルのみ (sdata[0] は無視されます)。周波数は FREQ[n] レジスタによってセットされます。

表 7-19. 周波数サンプルの形式 (STREAM_MODE[n]=1)

sdata[31:0]
32 ビット周波数 (LSB の重量は $2^{-32} * F_{DAC}$)

表 7-20. 位相+振幅サンプルの形式 (STREAM_MODE[n]=2)

sdata[31:16]	sdata[15:1]	sdata[0]
16 ビット位相値 (LSB の重量は $2^{-16} * 2 \pi$ ラジアン)	15 ビットの振幅値 (符号なし) (LSB の重量は $2^{-15} * \text{フルスケール}$)	未使用

7.3.6.6 DSP トリガ

各 DSP チャンネルは、さまざまなソースからトリガ イベントを受信できます (図 7-42 および 表 7-21 を参照)。DSP チャンネルがトリガを受信すると、DSP モード (DSP_MODE[n]) およびその他の DSP 設定に応じて、さまざまなアクションが発生することがあります。図 7-42 および 表 7-22 に、トリガ動作の概要を示します。

デフォルトでは、TRIG_SPI[0] を 0 から 1 に変更することで、すべての DSP チャンネルをトリガできます (すべての DSP チャンネルが TRIG_SPI[0] に結合された SPI 即時モード)。

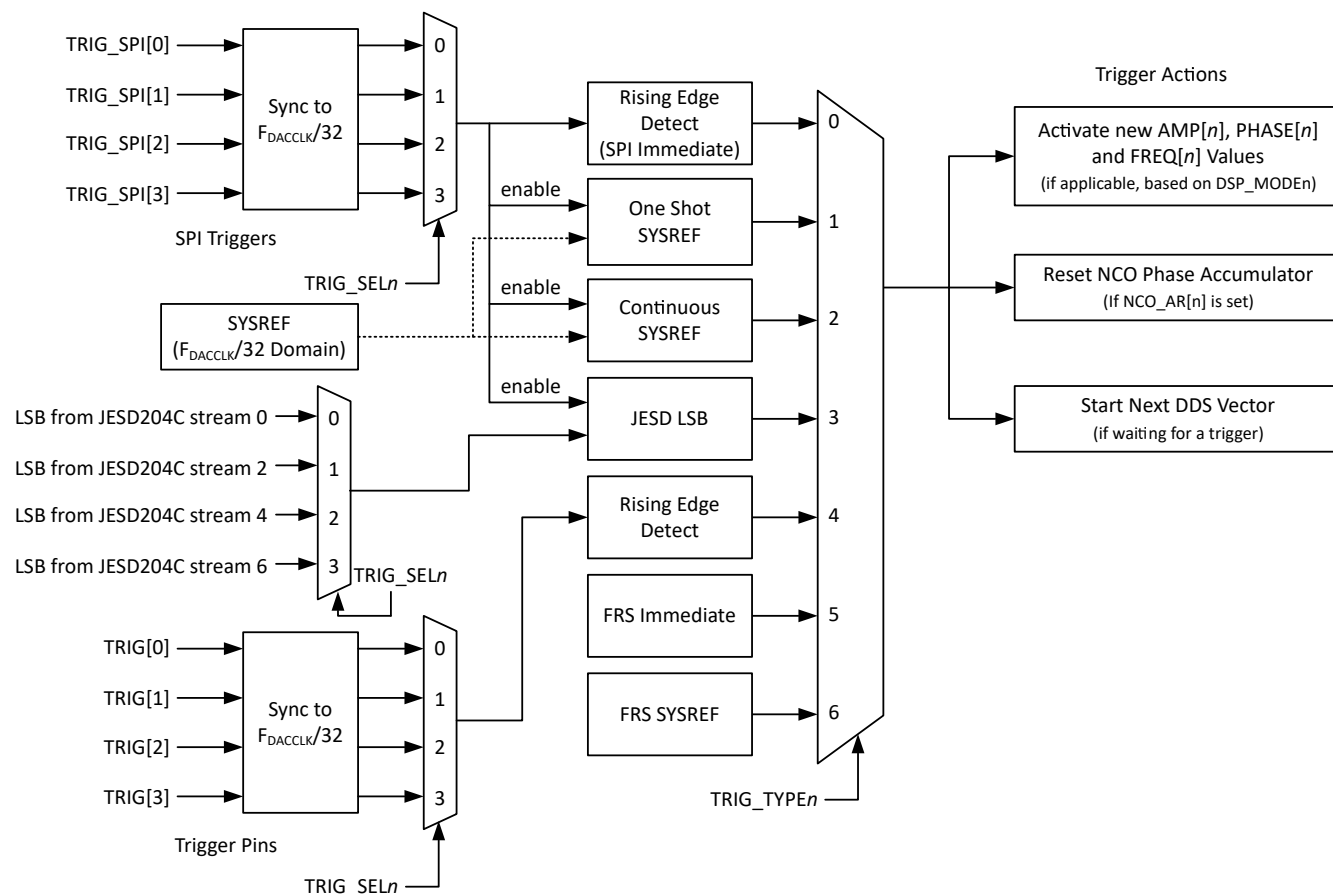


図 7-42. DSPn のトリガ ソースとアクション (1 つの DSP チャンネルを表示)

表 7-21. トリガ ソース / モード

TRIG_TYPE[n] 値 ²	トリガ ソース / モード	説明
0	SPI 即時 (デフォルト)	DSPn に結合されている TRIG_SPI ビット ¹ の立ち上がりエッジによって、DSPn がトリガされます。複数の DSP チャンネルを同時にトリガするには、TRIG_SEL を使用してそれらのチャンネルを同じ TRIG_SPI ビットに結合する必要があります。SPI インターフェイスは DSP クロックに対して非同期であるため、このトリガ タイプは複数の部品の整列用には設計されていません。
1	SYSREF ワンショット	DSPn に結合されている TRIG_SPI ビット ¹ の立ち上がりエッジによって、次の SYSREF の立ち上がりエッジで DSPn がトリガされます。SYSREF のタイミングが内部クロックと一致していない場合、SYSREF は DSP をトリガできません (つまり、CLK_ALIGNED が low になります)。このトリガ タイプを使用して、すべての部品が確定的に SYSREF を受信できる場合、複数の部品にわたってすべての DSP を整列することができます。
2	SYSREF 連続	DSP n に結合されている TRIG_SPI ビット ¹ が High である限り、すべての SYSREF の立ち上がりエッジで DSP n がトリガされます。SYSREF のタイミングが内部クロックと一致していない場合、SYSREF は DSP をトリガできません (つまり、CLK_ALIGNED が low になります)。このトリガ タイプを使用して、すべての部品が確定的に SYSREF を受信できる場合、複数の部品にわたってすべての DSP を整列することができます。
3	JESD204C LSB	JESD204C インターフェイスのストリーム 0 の LSB は、DSP n に結合されている TRIG_SPI ビット ¹ が high であるときに常に DSP n をトリガします。トリガ イベントが開始されるには、LSB が 4 回連続したサンプルの間 Low になっている必要があります。このトリガ タイプを使用して、すべてのデバイスがサブクラス 1 モードで動作している限り、複数の部品にわたってすべての DSP を整列させることができます。

表 7-21. トリガ ソース / モード (続き)

TRIG_TYPE[n] 値 ²	トリガ ソース / モード	説明
4	トリガ ピン ³	DSP <i>n</i> に結合されている外部トリガ ピン (TRIG) ¹ の立ち上がりエッジによって、DSP <i>n</i> がトリガされます。複数の DSP チャンネルを同時にトリガするには、トリガ クロックのセットアップ / ホールドを満たすか、TRIG_SEL を使用して同じ TRIG ビットに結合する必要があります。『トリガ クロック』も参照してください。このトリガ タイプを使用して、すべての部品が共通の SYSREF に対してトリガ クロックを整列し、トリガ クロックのセットアップ / ホールドを満たしていることを条件として、すべての DSP を複数の部品に整列させることができます。
5	FRS 即時	FRS が設定されている場合、FRI トランザクションの終了時に FRCS の立ち上がりエッジ (FR インターフェイスとして使用されている場合はピン TRIG[4]) によって、DSPn がトリガされます。FRI インターフェイスは DSP クロックに対して非同期であるため、このトリガ タイプは複数の部品の整列用には設計されていません。しかし、トリガ タイプは、1 つの部品内の複数の DSP チャンネルを整列させることができます。
6	FRS-TRIGCLK	FRS が設定されている場合、FRCS の立ち上がりエッジに続く TRIGCLK の立ち上がりエッジで DSPn がトリガされます (FR インターフェイスとして使用されている場合はピン TRIG[4])。FRCS_n が TRIG_c のセットアップ / ホールドと合致する場合、この方式では DSP を複数の部分に確定的に整合させることができます。

1. TRIG_SEL を使用して、各 DSP に結合させる TRIG_SPI または TRIG ビットを選択します。
2. 追加情報については、TRIG_TYPE を参照してください。
3. TRIG_TYPE[n] が 4 に設定されている場合、TRIG[0]、TRIG[1]、TRIG[2] のいずれかのピンの代わりに TRIG ピンがデフォルトで使用されますが、ユーザーは別のピンを使用することができます。これは、TX_PIN_FUNC または SYNCB_PIN_FUNC レジスタを使用して行います。たとえば、SYNCB_PIN_FUNC = 10 の場合、TRIG[0] ピンの代わりに SYNCB ピンを使用します。また、DSPn を SYNCB ピン (TRIG[0] のピン) に結合するために、TRIG_SELn=0 であることを確認する必要があります。

表 7-22. DSP トリガ動作と DSP モードとの関係

DSP_MODEn	NCO に新しい FREQ[n] 値が適用	NCO に新しい PHASE[n] 値が適用	ミキサに新しい AMP[n] 値が適用	位相アキュムレータ のリセット	次の DDS ベクトルへ の進行
DUC モード	あり	あり	該当なし	NCO_ARn[1] の場合	該当なし
DDS SPI モード	あり	あり	あり	NCO_AR[n]=1 の場合	該当なし
DDS ベクトル モード	該当なし	該当なし	該当なし	ホールド モードの場合を除き、ベクトルが開始されるたびにリセットします (自動または手動でトリガ)	有。ベクトル プロセッサがトリガ待ちの場合は可能 (VTRIG_MODE を参照)
DDS ストリーミング モード	STREAM_MODE n=2 の場合のみ	STREAM_MODE n=1 の場合のみ	STREAM_MODE n=1 の場合のみ	NCO_AR[n]=1 の場合	該当なし

トリガの発生と同じタイミングで AMP、FREQ、および PHASE レジスタに書き込まないでください。NCO が破損した AMP、FREQ、または PHASE の値を受信する場合があります。

7.3.6.6.1 トリガ レイテンシ

DSP ブロックをトリガするには、JESD204C インターフェイスの LSB 経由、トリガ ピン経由、または SYSREF 経由など、いくつかの決定論的な方法があります。表 7-23 に、各トリガ方式のレイテンシ パラメータを示します。T_{SYSREF_NCO}、T_{SYSREF_VEC}、T_{TRIG_NCO}、T_{TRIG_VEC} の値はデバイスの構成に依存します。これは、テキサス インストルメンツのレイテンシ計算機スプレッドシートで提供されています。表 7-24 に、T_{JSYNC_NCO} の値を示します。

表 7-23. NCO 同期レイテンシ パラメータ

レイテンシ パラメータ	説明
T _{SYSREF_NCO}	SYSREF が (DACCLK によって) High でサンプリングされてから、DAC 出力が (SYSREF によってトリガーされた) NCO 同期イベントに反応するまでのレイテンシ。

表 7-23. NCO 同期レイテンシ パラメータ (続き)

レイテンシ パラメータ	説明
$T_{\text{SYSREF_VEC}}$	SYSREF が High でサンプリングされてから (NCO をトリガ)、DAC 出力までの遅延 (ベクトル モード) (DACCLK サイクル)
$T_{\text{TRIG_NCO}}$	TRIGn が High でサンプリングされてから、DAC 出力までの遅延 (DUC / ストリーミング / DDS-SPI) (DACCLK サイクル)
$T_{\text{TRIG_VEC}}$	TRIGn が High でサンプリングされてから、DAC 出力までの遅延 (ベクトル モード) (DACCLK サイクル)
$T_{\text{JSYNC_NCO}}$	補間フィルタによる NCO へのレイテンシから NCO を同期する LSB のレイテンシを引いた値。入力データの LSB を使用して NCO を同期する場合にのみ適用されます。入力サンプル n を新しい NCO 周波数または位相と混合する最初のサンプルとするために、サンプル $n' = n + T_{\text{JSYNC_NCO}} / \text{LT}$ の LSB を High にすることができます。同期パスは常に入力サンプル期間の整数であるとは限らないため、 n' は整数以外の値にすることができます。表 7-24 を参照

表 7-24. $T_{\text{JSYNC_NCO}}$ と LT との関係

補間係数 (LT)	$T_{\text{JSYNC_NCO}}$ [DACCLK サイクル] ⁽¹⁾
4	-148, -152, -156, -160, -164, -168, -172, -176
6	-70, -76, -82, -86, -88, -92, -94, -98, -100, -104, -106, -110, -112, -116, -122, -128
8	10, 18, 26, 34
12	90, 102, 106, 114, 118, 126, 130, 142
16	262, 278
24	406, 422, 430, 446
32	624
48	896, 912
64	1404
96	2036
128	2932
192	4212
256	6004

(1) 一覧されている複数の値は、 $T_{\text{JSYNC_NCO}}$ がマルチフレーム境界を基準とした LSB の上昇タイミングに依存することを示します。

7.3.6.7 NCO 方形波モード

各 DSP チャンネル内の NCO は、正弦波 / 余弦波形ではなく方形波を生成するように構成できます。この機能は、DAC を使用してクロック信号を合成するシステム用に設計されており、周波数、位相、振幅、スルータイム、デューティサイクルをプログラム可能です。NCO_SQ_MODE[n] を設定して、DSPn のこの機能を有効化します。このモードはすべての DDS モードと互換性がありますが、DUC モードではサポートされていません (DSP_MODEn を参照)。DDS-SPI モードは、この機能の主な使用事例です。しかし、周波数ランプが必要な場合は、DDS ベクトル モードまたは DDS ストリーミング モードが便利です。

スルー タイムとデューティサイクルは、SLEW および DUTY_CYCLE レジスタを使用して調整できます。スルー タイムは周期の比率としてプログラムされるため、NCO 周波数が増えたとすると周期が変化します。したがって、スルー タイムも変化します。

周波数、位相、振幅は、NCO が正弦/余弦波形を生成している場合と同じ方法で制御されます。表 7-25 に、上述の内容を示します。

表 7-25. NCO パラメータ制御方式と DSP モードとの関係

NCO パラメータ	NCO パラメータの制御方式は、DSP モードによって異なります		
	DDS SPI モード	DDS ストリーミング モード	DDS ベクトル モード
周波数	FREQ レジスタ	STREAM_MODE によって異なります	ベクトル エンジン

表 7-25. NCO パラメータ制御方式と DSP モードとの関係 (続き)

NCO パラメータ	NCO パラメータの制御方式は、DSP モードによって異なります		
	DDS SPI モード	DDS ストリーミング モード	DDS ベクトル モード
位相	PHASE レジスタ	STREAM_MODE によって異なります	ベクトル エンジン
振幅	AMP レジスタ	STREAM_MODE によって異なります	ベクトル エンジン
スルー	SLEW レジスタ	SLEW レジスタ	SLEW レジスタ
デューティ サイクル	DUTY_CYCLE レジスタ	DUTY_CYCLE レジスタ	DUTY_CYCLE レジスタ

図 7-43 に、NCO によって生成される方形波を示します。

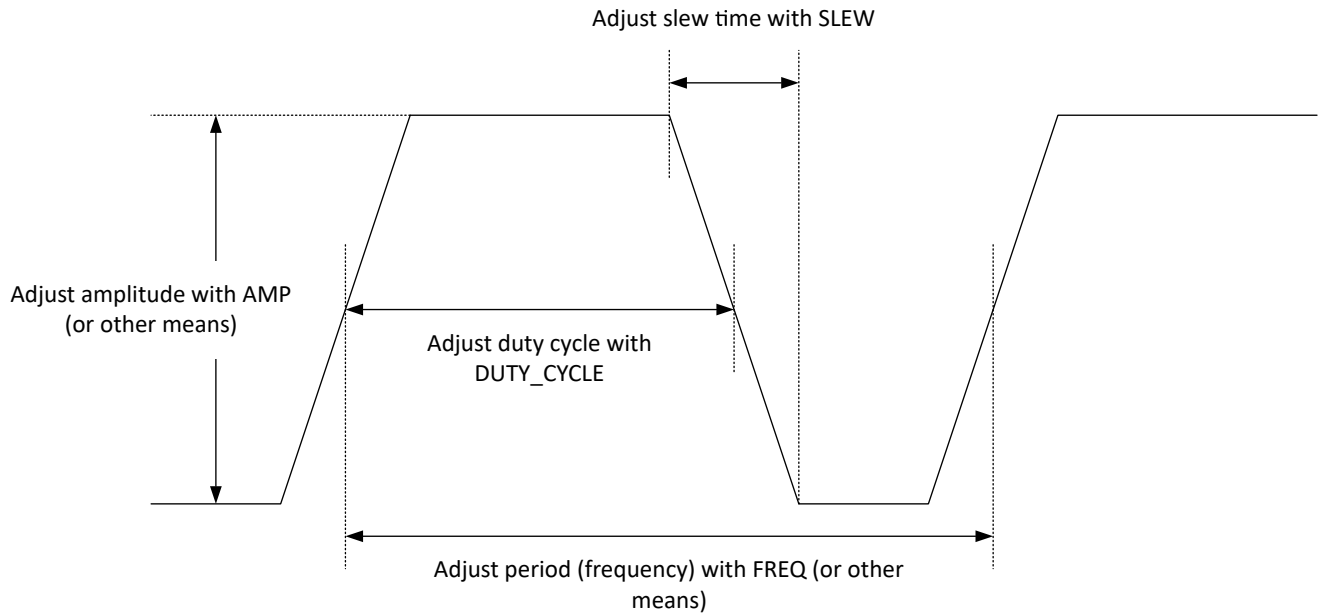


図 7-43. NCO 方形波のプロパティ

デューティ サイクルは広い範囲で調整できますが、信号の立ち下がりエッジが立ち上がりエッジに「衝突」する極端な値にデューティ サイクルを調整してはなりません。対応するデューティ サイクル範囲はスルー設定によって異なります。これは、表 7-26 に一覧されています。

表 7-26. サポートされるデューティ サイクル範囲とスルー タイムとの関係

SLEW 設定	周期のパーセンテージ (25% * 2 ^{-SLEW}) として表したスルー タイム	許容可能なデューティ サイクル範囲 [パーセント]	サポートされている DUTY_CYCLE レジスタの範囲 (デシメーション)
0	25%	25%～75%	1024～3072
1	12.5%	12.5%～87.5%	512～3584
2	6.25%	6.25%～93.75%	256～3840
3	3.125%	3.125%～96.875%	128～3968
4	1.5625%	1.5625%～98.4375%	64～4032
5	0.78125%	0.78125%～99.21875%	32～4064
6	0.390625%	0.390625%～99.60938%	16～4080
7	0.195313%	0.195313%～99.80469%	8～4088
8	0.097656%	0.097656%～99.90234%	4～4092
9	0.048828%	0.048828%～99.95117%	2～4094

方形波ジェネレータに関する注意事項:

1. 方形波モードは、NRZ または DES2XL DAC 出力モード (1 次ナイキスト モード) で、周波数 $< 1/10$ の DAC クロックレートでのみ使用できます。そうしないと、サイクル中に遷移期間を定義するのに十分なデータ点が得られません。
2. SLEW および DUTY_CYCLE パラメータは、NCO が出力を生成している間に変更できますが、DSP がトリガ イベントを受信するまでパラメータは有効になりません。波形が新しい波形にグリッチを与える可能性があるため、この方法でこれらのパラメータを更新することは適切ではありません。グリッチを防止するため、波形を Low にゲートし、NCO_SQ_EN を使用して SLEW および DUTY_CYCLE パラメータを更新できます。
3. DDS ベクトル モードで方形波形を使用する場合は、DDS_HOLD 機能を使用して、ベクトル エンジンがベクトルを保持し、トリガ待ちのときに波形を生成し続けるようにします。このモードを使用しない場合、出力はミッドコードに移行してミュートされ、方形波は Low 状態になりません。
4. 内部的に、方形波は $-32768 \sim +32767$ の範囲でスイングし、ミキサによってスケーリングされます。DDS 振幅 (AMP) がフルスケール (32767) の場合、波形はわずかに縮小されるため、出力は 32767 から +32766 までスイングします。
5. DDS 振幅を 0 に設定することと、波形のゲーティングは同じではありません。振幅を 0 に設定すると、ミッドコードでのスイングは 0 になります。波形を Low にゲートすると、波形は「ロジック Low」または「最小レベル」に維持されます (たとえば、DDS 振幅が 32767 に設定されている場合は -32767)。
6. 方形波モードは、DSP_FORMAT=1 と互換性がありません。
7. 方形波モードでは、NCO 周波数を $F_{DAC}/4$ よりも高く設定しないでください。
8. スルー設定が高くなりすぎないように注意する必要があります。設定が高すぎると、NCO が遷移期間中に出力サンプルを生成できない可能性があります。すべてのエッジは最も近いサンプリング周期に丸められるため、結果として得られる信号のジッタは悪化する可能性があります。ジッタ特性が優れているのは、スルー タイムが複数のサンプル期間で構成される場合です。スルー タイムのサンプル期間の数は、 $0.25 * 2^{-SLEW[n]} * 2^{64} / FREQ[n]$ と同じです (DDS SPI モードと想定した場合)。DAC 出力のローパス AI (Anti-Imaging) フィルタは、遷移を平滑化してよりスムーズなクロック信号を生成するのに役立ちます。
9. DES2XL モードでは、遷移期間内のポイント数が増えるため、DES2XL モードを使用すると便利です。しかし、DES2x デジタル フィルタはデジタル帯域幅を制限するため、フィルタは方形波の振幅よりも大きい遷移期間の近くにリップルを生成します。したがって、デジタル信号が飽和しないように、方形波の振幅を 2 ~ 3% 下げる必要があります。
10. 方形波モードでの DAC 出力帯域幅の最適化については、『[方形波モードの帯域幅最適化](#)』を参照してください。

7.3.6.7.1 方形波イネーブル

方形波モードでは、NCO は波形を Low にゲートすることにより、波形出力を同期的に無効にする機能を備えています。これは、デジタル クロック信号を通常ゲートする方法に似ています。波形有効信号の入力方法はユーザーが決めることができます (『NCO_SQ_SEL』を参照)。指定された有効信号の状態が変化すると、NCO はすぐに応答せず、波形が Low 状態になるのを待ちます。これにより、出力で切り捨てられたパルスが発生しないようになります。図 7-44 に、これを示します。波形が無効で再度有効になっても、波形の位相は変化しません。波形が無効になっていた場合と同じ位相に戻ります。

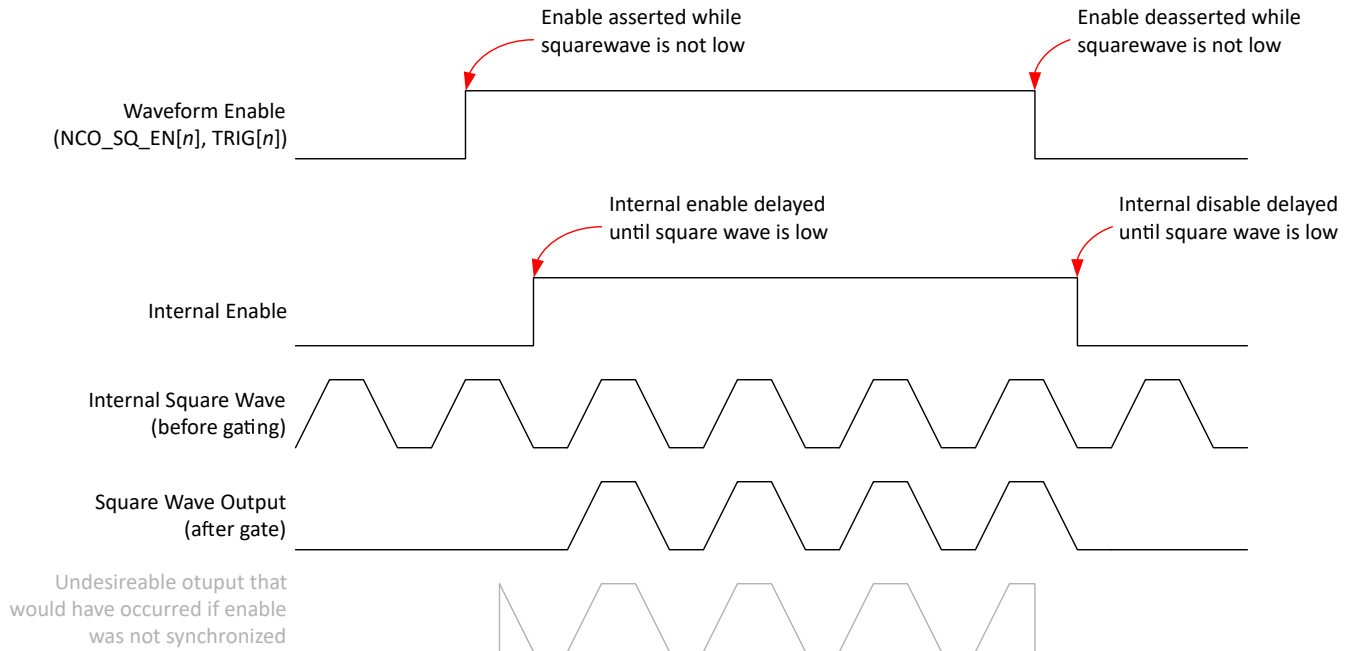


図 7-44. 波形イネーブル / ディスエーブルの例

波形が無効のとき、NCO は、SLEW または DUTY_CYCLE レジスタにプログラムされた新しい値をすべて適用します。波形を再度有効化すると、新しい設定が表示されます。波形が無効の場合は、FREQ、PHASE、AMP の新しい値は適用されません。これらのパラメータを更新するために、DSP にトリガを供給する必要があります。

有効信号の状態が変化すると、多少の待ち時間が発生します。NCO は、最初に波形が Low になるまで待機する必要があります。この遅延に加えて、NCO がイベントを処理するためには、448 DAC クロック サイクルの遅延があります。NCO が以前の変更を処理している間にユーザーが有効信号を再度変更すると、NCO が以前の変更を完全に処理してから、NCO が有効信号の現在の状態を検査し、必要に応じて別の変更を処理する必要があるため、さらに遅延が発生する可能性があります。

7.3.6.8 DSP ミュート機能

各 DSP チャンネルにはミュート機能が含まれており、起動時またはスリープ状態からのウェークアップ時に DSP 出力がゼロになることを保証します。出力はミュート時に有効なサンプルからゼロに直接遷移し、ミュート解除時にゼロから有効なサンプルに直接遷移します。ミュートは DSP 出力 (チャンネル ボンダー入力の直前) に適用されます。

DSP 出力は、次の条件でミュートされます。

- SY_EN が 0 から 1 に遷移します
- デバイスは APP スリープ状態です
- DSP チャンネルは、APP_SLEEP0/1 に基づいてスリープ状態です

DSP チャンネルがウェークアップすると、ミュートはカウンタによって延長されます。カウンタの時間は、DSP_MODEn、DSP_L、および PFIR_MODE の関数です。ミュート拡張により、DUC、DDS、または PFIR 信号路に保存されている未知のサンプルや古いサンプルがフラッシュアウトされます (これらのサンプルはチャンネル ボンダーに到達しません)。この拡張機能は、DSP 信号路のメモリ深度に基づいてほぼスケールリングされます。

ミュートの延長 (DAC サイクル数) は、以下の式で求められます。

$$\text{Total Mute Extension (in DAC cycles)} = 512 \times (D_{\text{DSP}} + D_{\text{PFIR}}) \quad (3)$$

表 7-27 および 表 7-28 は、 D_{DSP} および D_{PFIR} の値を定義します。 D_{DSP} および D_{PFIR} はチャンネル固有であることに注意してください (各 DSP チャンネルは、DSP_MODEn および PFIR_EN に基づく固有の値を持つことができます)。

表 7-27. DSP レイテンシに関連付けられる DSPn のミュート拡張 (D_{DSP})

DSP_MODE _n	DSP_L	LT (参考用に表示)	D _{DSP}
DSP が DUC モードでない	任意	任意	2
DSP が DUC モード	0~2	予約済み	2
	3	4x	2
	4	6x	3
	5	8x	3
	6	12x	4
	7	16x	4
	8	24x	6
	9	32x	8
	10	48x	10
	11	64x	13
	12	96x	20
	13	128x	26
	14	192x	38
	15	256x	50

表 7-28. PFIR が有効の場合の DSPn のミュート拡張 (D_{PFIR})

DSP_MODE _n	PFIR_EN[n]	PFIR_MODE	ミュート拡張 (D _{PFIR})							
			補間係数 (LT)							
			4	6	8	12	16	24	32	その他すべて
DUC 以外のモード	任意の値	任意の値	0	0	0	0	0	0	0	0
DUC モード	0	任意の値	0	0	0	0	0	0	0	0
DUC モード	1	0	0	0	0	0	0	0	0	0
DUC モード	1	1	2	2	3	4	8	11	26	未定義
DUC モード	1	2	1	2	2	3	4	6	14	未定義
DUC モード	1	3	0	0	2	2	3	4	7	未定義

DSP_FORMAT = 1 の場合、DSP2/3 はそれぞれ DSP0/1 からのミュート拡張を使用します。これにより、DSP2/3 はパートナー チャネルと同じ期間を使用ようになります。

7.3.6.9 DSP 出力ゲイン

DSP 出力には、「ゲイン/ラウンド/飽和」機能があります。この機能は、次のステップを実行します (順番に) :

1. ミキサー (32 ビット) の出力を受信します
2. ミキサー出力 (19 ビット) を丸めます
3. ミキサーをバイパスできる mux (マルチプレクサ) を実装します (NCO_EN=0 のとき、DUC モードに適用)。
4. DSP_GAINn (出力は 24 ビット) のゲイン機能を実行します。ミキサーをバイパスする場合は、ゲインが適用されることに注意してください。
5. 結果を 20 ビットに丸めて飽和させ、結果をチャネルボンダーに送信します。

ミキサー出力は、最大で約 2.0 のサンプルをサポートするのに十分な範囲に対応していることに注意してください。この追加範囲はゲインブロックを通して維持され、ゲインブロック後に除去されます。このように範囲を広げるにより、I/Q 値が 1.0 を超える場合でも、ゲイン設定によって十分な減衰が行われていれば、データパス内で飽和が発生することはありません。たとえば、I サンプルと Q サンプルが両方ともフルスケール (1.0) である場合、複素振幅は約 1.414 となります。ゲイン (DSP_GAINn) が -3dB 以下の場合、信号が飽和することはありません。この機能は、DUC がゼロ周波数オフセット

でフルスケールに近いベースバンド QAM 信号である場合に役立ちます (QAM コンスタレーションのコーナーの点では、信号の大きさが 1.0 を超えます)。他の信号については、ベースバンド I/Q サンプルの分布があまり長方形にならないので、この追加された範囲にはわずかな利点しかもたらされません (ピークが I/Q プレーン内のどこに落ちるかに応じて、飽和するピークサンプルの数は減少します)。

7.3.6.10 複素数出力のサポート

各 DSP チャンネルは、1 つの実数出力信号のみを生成できます。複雑な信号が必要な場合は、DSP_FORMAT レジスタを使用して、DSP2 と DSP3 のミキサを有効化し、DSP0 と DSP1 の虚数 (Q) サンプルをそれぞれ生成できます (使用可能な DSP チャンネルの数を 4 から 2 に削減)。これを実現するために、信号はそれぞれ DSP0 と DSP1 から DSP2 と DSP3 に配線します。配線された NCO 出力は -j で乗算され、DSP2/DSP3 は (実数出力ではなく) 虚数出力を生成します。

7.3.6.11 チャンネル ボンダー

DSP を使用する場合、チャンネルボンダーにより、各 DAC チャンネルは DSP チャンネル出力の任意の組み合わせの合計を受信できます (図 7-45 を参照)。DSP 信号を合計する際の飽和を避けるため、DSP ゲインを調整する必要があります (DSP_GAINn を参照)。ゲインは、信号がチャンネルボンダーに達する前に各 DSP 内に適用されます (DSP 出力ゲインを参照)。

DSP 出力は DAC_SRC レジスタを使用して DAC チャンネルにバインドされ、その後、すべてのバインドされた DSP 信号を合計して、DAC チャンネル用の信号を生成します (PFIR、DES2X インターポレータ、またはエンコーダに送信されます)。

DSP がバイパスされている場合 (バイパスモードを参照)、チャンネルボンダーによって、DAC_SRC を使用して、いずれかのバイパスサンプルストリームをいずれかの DAC チャンネルにルーティングできるようになります。バイパスモードでは、スケールリングや加算はサポートされていません。

最後に、チャンネルボンダーは、DAC_INVn に基づいて出力を反転させることもできます。

チャンネルボンダーの入力分解能は 20 ビット、出力分解能は 16 ビットです。

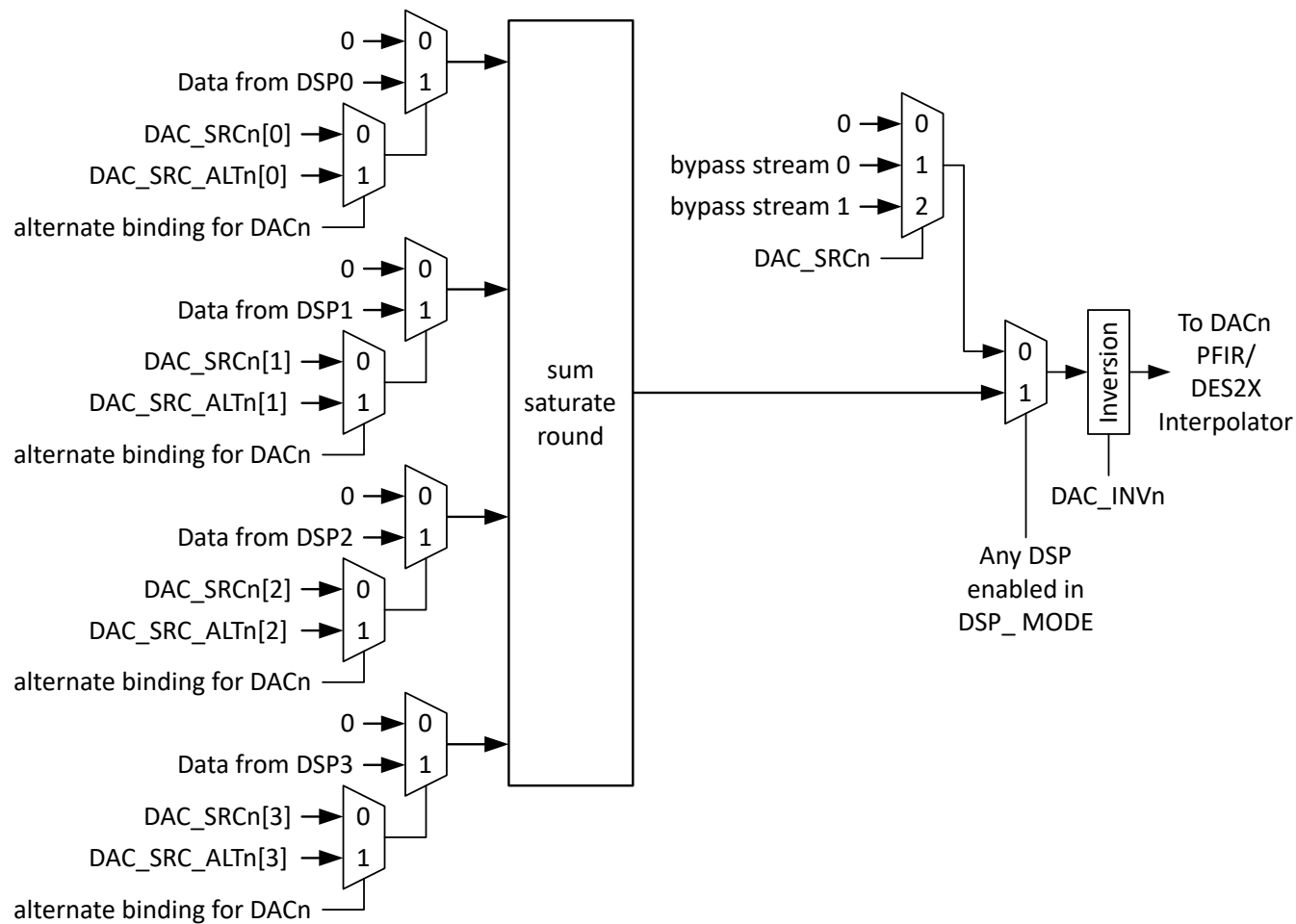


図 7-45. DAC チャンネル n のチャンネルボンダーのブロック図

7.3.6.12 プログラマブル FIR フィルタ

デバイスにはプログラマブル FIR フィルタ (PFIR) が含まれており、チャンネル ボンダーの後、DES 補間の前 (使用する場合は DAC エンコーダー)、または DUC への入力時に配置されます。チャンネル ボンダーの出力に配置すると、PFIR は完全な DAC ナイキストゾーン (シングル エッジ クロック) をイコライズできます。DUC への入力に配置すると、PFIR を分割して各 DUC 入力に個別のフィルタを提供し、信号帯域幅内でイコライズできます。サンプル レートは DUC への入力時に低くなるため、PFIR で使用できるフィルタ タップ数が増えます。また、フィルタはより長い時間スパン (低いサンプル レートではタップ数が多い) をカバーし、フィルタの周波数分解能が向上します。

表 7-29. PFIR の機能

PFIR 動作 / 機能	PFIR の配置	
	チャンネル ボンダーの後に PFIR を配置 (実数モード) (PFIR_MODE=0)	DUC チャンネルの前に PFIR を配置 (複素モード) (PFIR_MODE>0)
サポートされるチャンネル数	最大 2 つの実数チャンネル	PFIR_MODE に応じて、1、2、4 個の複素チャンネル
複素サポート	PFIR の入力、出力、係数はすべて実数 (複素ではない)	PFIR 入力、出力、係数はすべて複素
サンプル レート	F_{DACCLK}	F_{DACCLK}/LT
係数の数 (タップ)	24 個の実数係数	LT と PFR_MODE によって異なります
反射モードのサポート	有。「PFIR 反射キャンセル」セクションを参照	なし
DSP_MODEn 設定をサポート	任意の DSP_MODEn をサポート	DUC モードのみをサポート
補間値 (LT) をサポート	すべての補間係数をサポート	4x ~ 32x のみをサポート
ブロードキャスト サポート	有。チャンネル 0 を DAC1 にブロードキャスト可能 (PFR_BC を参照)	なし
タップ数の削減	無。常に 24 のタップを使用	有。PFR_LEN を参照

PFIR の係数分解能は 16 ビットです。表 7-30 に、PFIR の位置とモード別のフィルタ タップの最大数を示します。

表 7-30. PFIR モード

PFR_MODE 設定	PFIR の位置	チャンネル最大数	補間	タップ数 / チャンネル最大数
0	チャンネル ボンダー出力	2 つの実数 DAC チャンネル	(1x - 256x)	24
1	DUC0 の前	1 つの複素 DUC チャンネル	4x	48
			6x	48
			8x	96
			12x	96
			16x	192
			24x	192
			32x	384
2	DUC0 および DUC1 の前	2 つの複素 DUC チャンネル	4x	24
			6x	24
			8x	48
			12x	48
			16x	96
			24x	96
			32x	192
3	DUC0、DUC1、DUC2、 DUC3 の前	4 つの複素 DUC チャンネル	8x	24
			12x	24
			16x	48
			24x	48
			32x	96

7.3.6.12.1 PFIR 係数

PFIR タップの係数は、PFIR_H または FR_PFIR_H レジスタ アレイで定義されます。配列は合計 768 の係数をサポートします。各係数は符号付き 16 ビット値で、LSB の重みは 2^{-15} です。実数係数と虚数係数は、配列内の別々の位置に割り当てられます。これらの場所は、PFIR_MODE によって異なる方法で PFIR チャンネルに割り当てられます (表 7-31 を参照)。複素モード (PFIR_MODE>0) では、補間係数が増加するにつれて係数の数が増加します。また、PFIR_MODE=3 の場合、DUC チャンネルの順序がずれていることにも注意してください (0、2、1、3)。

表 7-31. PFIR 係数割り当てと PFIR_MODE および LT との関係

	PFIR_MODE											
	0	1				2				3		
	LT	補間係数 (LT)				補間係数 (LT)				補間係数 (LT)		
PFIR_H[n] への オフセット ⁽¹⁾	任意	4x、6x	8x、12x	16x、24x	32x	4x、6x	8x、12x	16x、24x	32x	8x、12x	16x、24x	32x
0	DAC0	DUC0、 実数	DUC0、 実数	DUC0、 実数	DUC0、 実数	DUC0、 実数	DUC0、 実数	DUC0、 実数	DUC0、 実数	DUC0、 実数	DUC0、 実数	DUC0、 実数
24												
48												
72												
96										DUC0、 虚数	DUC0、 虚数	DUC0、 虚数
120												
144												
168												
192						DUC0、 虚数	DUC0、 虚数	DUC0、 虚数	DUC0、 虚数	DUC2、 実数	DUC2、 実数	DUC2、 実数
216												
240												
264												
288										DUC2、 虚数	DUC2、 虚数	DUC2、 虚数
312												
336												
360												
384	DAC1	DUC0、 虚数	DUC0、 虚数	DUC0、 虚数	DUC0、 虚数	DUC1、 実数	DUC1、 実数	DUC1、 実数	DUC1、 実数	DUC1、 実数	DUC1、 実数	DUC1、 実数
408												
432												
456												
480										DUC1、 虚数	DUC1、 虚数	DUC1、 虚数
504												
528												
552												
576						DUC1、 虚数	DUC1、 虚数	DUC1、 虚数	DUC1、 虚数	DUC3、 実数	DUC3、 実数	DUC3、 実数
600												
624												
648												
672										DUC3、 虚数	DUC3、 虚数	DUC3、 虚数
696												
720												
744												

(1) 各行は、24 個の係数のグループを表しています。グループ内の最初の係数のインデックスのみが一覧されています。

7.3.6.12.2 PFIR 反射キャンセル モード

リアル モードの PFIR フィルタは、DAC 出力ネットワークやケーブルなどで発生する反射をキャンセルするために、2 つの PFIR フィルタに分割することができます。これを容易にするために、PFR_DLY レジスタが存在します。PFR_DLY は、係数 11 と 12 の間にゼロ値の係数を挿入することにより、PFIR の TAPS 12 ~ 23 の遅延を調整します。最大 255 個のゼロ値係数を追加できます。

たとえば、PFR_DLY[0] = 103 の場合、PFIR0 はインパルス応答に 103 個のゼロを挿入します。したがって、PFIR0 のインパルス応答は次のようになります。

- $h[n] = \text{PFIR_H}[n]$ ($n = 0..11$ の場合)
- $h[n] = 0$ ($n = 12..114$ の場合)
- $h[n] = \text{PFIR_H}[n - 103]$ ($n = 115..126$ の場合)

7.3.6.12.3 PFIR 電力削減

PFIR フィルタは、他のデジタルロジック回路と同様に多くの電力を消散可能な大型のデジタルブロックです。PFIR の消費電力を低減するには、3 つの主な方法があります：

1. 不要な係数をゼロにプログラムします。これにより、わずかな電力削減が可能になります (ゼロでない係数をすべて使用する場合と比較して)。
2. PFR_EN を、PFR_MODE 設定で許可されているサポートされるチャネルの最大数より少ないチャネルが有効になるように設定します。例: PFR_MODE = 3 (最大 4 つの DUC をフィルタ処理可能) をセットしますが、PFR_EN[3:0] = 0b0001 をセットします (DUC0 のみがフィルタ処理されます)。
3. PFR_LEN=0 に設定して、有効な係数の数を半分にします。例: PFR_MODE=3、LT=32x の場合、96 個のタップがサポートされますが、PFR_LEN=0 の場合は、タップ数が半分にになります (48 になります)。24 の係数を使用する任意のモードでは、この機能は使用できないことに注意してください。

7.3.6.12.4 PFIR の使用法

1. 目的の動作モードに合わせて、JESD204C サブシステム、DSP、その他の部品を構成します。SYS_EN を設定しないでください。
2. PFR_MODE をプログラムします (PFR モードを参照)。
 - a. DUC モードを使用している場合 (DSP_moden を参照)、DUC の後 (PFR_MODE=0) または DUC の前 (PFR_MODE>0) に PFIR を配置するオプションがあります。他のモード (DDS、バイパスなど) を使用する場合、ユーザーは PFR_MODE=0 を使用してフル サンプルレートで PFIR を実行する必要があります。
 - b. PFR_MODE>0 を使用する場合は、フィルタリングするチャネル数をサポートするモードを選択します。必要以上に多くのチャネルをサポートするモードを選択すると、タップ数と消費電力が削減されます。
3. PFR_EN をプログラムして、フィルタリングするチャネルを指定します。
4. PFIR 係数の更新に使用されるインターフェイスに基づいて FR_EN をプログラムします。FR_EN=1 の場合、以下に示す PFIR_H および PFIR_PROG の代わりに FR_PFIR_H および FR_PFIR_PROG を使用します。
5. 表 7-31 を参照し、PFR_H の適切な要素 (PFR_MODE および LT に基づく) をプログラムします。
6. PFR_LEN または PFR_DLY など、他の利用可能なオプションを設定します。
7. SYS_EN を設定して、システムを起動します。これで、PFIR は指定された構成で実行されます。
8. 係数を即座に変更するには (SYS_EN=1 の間に)、まず PFIR_PROG=1 に設定して、1024 DACCLK サイクルを待機してから、PFR_H を変更します変更を完了したら、PFIR_PROG=0 に設定して変更を有効化します。

7.3.6.13 DES 補間

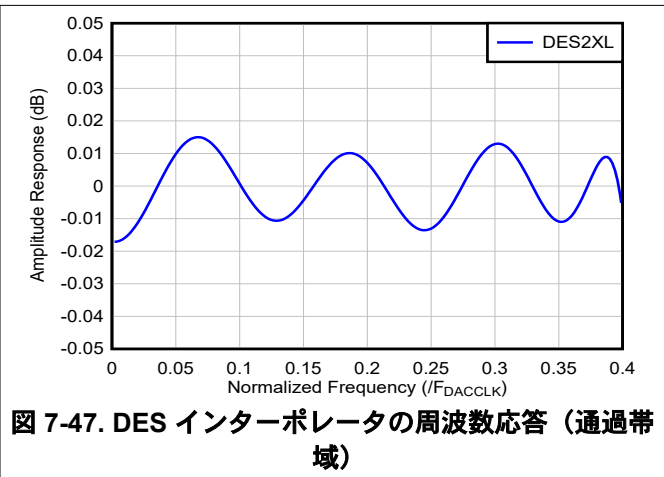
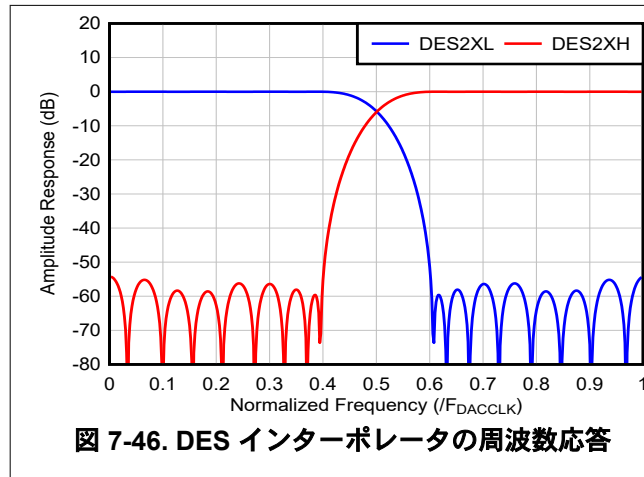
加算ブロックの出力は、オプションで DES インターポレータによって 2x に補間して、DES2XL および DES2XH 出力モードのサンプルレートを 2 倍にすることができます。DES インターポレータの通過帯域幅は 80%、停止帯域減衰は 54dB、リップルは $\pm 0.02\text{dB}$ 未満です。DES インターポレータは、スペクトルを反転してハイパス (DES2XH) またはローパス (DES2XL) として動作します。DES インターポレータのフィルタタップは次のとおりです

$[-9\ 0\ 19\ 0\ -39\ 0\ 70\ 0\ -122\ 0\ 211\ 0\ -403\ 0\ 1293\ 2048\ 1293\ 0\ -403\ 0\ 211\ 0\ -122\ 0\ 70\ 0\ -39\ 0\ 19\ 0\ -9]^*2^{-11}$

応答を 図 7-46 に示し、DES2XL の通過帯域リップルを 図 7-47 に示します。

補間後のサンプルレートは、立ち上がりエッジと立ち下がりエッジの両方にサンプルがあることから、 $2 \cdot f_{\text{DACCLK}}$ であり、そのため、図 7-46 の X 軸はナイキストゾーンをカバーします。

特定の周波数での通過帯域のフィルタゲインは 0.1dB であるため、クリッピングを避けるため、ユーザーは入力をバックオフする必要がある場合があります。



7.3.6.13.1 DAC ミュート機能

DAC ミュート機能は、以下のようなさまざまな条件において、出力データを静止させるために使用されます。出力は、ミュート時に有効なサンプルからミッドスケール (0) に直接遷移するか、ミュート解除時にミッドスケール (0) から有効なサンプルに直接遷移します。

以下の条件下で、DAC 出力はミュートされます：

- SYS_EN=0
- MODE>0
- デバイスは **APP Sleep** にあります

ミュートの状態が終わったら、カウンタによってミュートは延長されます。カウンタの時間は、MXMODE、PFIR_EN、および PFIR_MODE の関数です。ミュート拡張機能は、エンコーダが起動されるか再開されるたびに、PFIR、DES2X フィルタ、またはエンコーダ信号パスに保存されている未知のサンプルまたは古いサンプルが必ず消去されるようにします（これらのサンプルは DAC に到達しません）。この拡張は、信号パスのメモリ深度に基づき大まかにスケールリングされます。

この拡張 (DAC サイクルでの) は、3 つの項を持つこの式で定義されます：

$$\text{Total Mute Extension (in DAC cycles)} = 512 \times (2 + D_{\text{PFIR_ENC}} + D_{\text{DES2X}}) \quad (4)$$

この項の値は、表 7-32 および 表 7-33 で得られ、各エンコーダチャネル n ごとに一意です：

表 7-32. フルレートモードでの PFIR 動作のためのミュート拡張 ($D_{\text{PFIR_ENC}}$)

条件	$D_{\text{PFIR_ENC}}$ の値
PFIR_EN[n] && PFIR_MODE==0	2
他のすべての条件	0

表 7-33. DES2X 動作のミュート拡張 (D_{DES2X})

MXMODE n	D_{DES2X}
DES2X または DES2XH	1

表 7-33. DES2X 動作のミュート拡張 (D_{DES2X}) (続き)

MXMODE _n	D _{DES2X}
その他すべて	0

このミュート機能は、DAC の送信許可信号が「低」で、IDLE_STATIC=0 のときにもトリガーされます。これにより、よりバランスの良いエイジングを実現させる動的切り替えによるがミュートが行われます。この状態が終了したので、ミュート延長は発生しません。

7.3.7 Serdes 物理層

デバイスには 16 個の SerDes レーンが搭載されています。各 SerDes レーンには、チャンネル損失イコライゼーションの CTLE があります。

7.3.7.1 SerDes PLL

SerDes PHY は、PLL と電源レギュレータを搭載しており、必要な高品質で高速な内部クロックを提供します。PLL は、DACCLK から導出された基準クロックを使用します。PLL ロック ステータスは PLL_LOCK ビットを介して提供されます。

7.3.7.1.1 Serdes PLL の有効化

内部 Serdes PLL を有効化するには、PLL_EN を High に設定する必要があります。その後、VCAL_EN=1 のとき、VCO キャリブレーションが実行されます。キャリブレーションが正常に完了すると、VCAL_DONE フィールドが High になります。キャリブレーション後まもなく、PLL はロックに到達します。ロックはロック フィールドで示されます。

PLL_EN が Low のとき、PLL とレギュレータは完全にパワーダウンします。

7.3.7.1.2 基準クロック

通常動作時は、内蔵 PLL はデバイス クロック ツリーからの基準クロックを使用して、より高い周波数クロックを生成し、ビット レートを取得できます。基準クロック周波数 (F_{REF}) は、「[スイッチング特性](#)」で規定された範囲内にすることができます。PLL VCO (F_{VCO}) によって生成されるクロック周波数は、次の式に従って、乗算係数 MPY の設定によって決定されます。

$$F_{VCO} = MPY \times F_{REF} \quad (5)$$

VCO 出力周波数 (F_{VCO}) は、「[スイッチング特性](#)」に規定されている範囲内である必要があります。

ライン レート (F_{BIT}) と PLL 出力クロック周波数 (F_{VCO}) の関係は、ユーザー定義のレート設定によって異なります。

$$F_{BIT} = \frac{2 \times F_{VCO}}{2^{RATE}} \quad (6)$$

PLL とは別に、JESD PHY は各種ライン レートをサポートするための追加の周波数変換機能を備えています。[表 7-34](#) を参照してください。

7.3.7.1.3 PLL VCO キャリブレーション

SerDes PLL の出力周波数は、複数の VCO コアを使用して実現されます。LC タンクは、優れた位相ノイズ性能を実現します。8.125GHz ~ 16.25GHz の全範囲 (octave) は、4 個の異なる VCO コアで動作します。目的の正しい周波数を得るには、VCO キャリブレーションが必要です。

キャリブレーションには安定した基準クロックが必要です。PLL が有効化されると、キャリブレーションが開始します。キャリブレーション時には、PLL ループは無効化され、VCO 制御電圧はミッドスケールに駆動されます。キャリブレーション アルゴリズムは周波数検出器を使用して、VCO 周波数が高すぎるか低すぎるかを判定します。

VCO キャリブレーションが完了 (または省略) し、ロックが検出されると、PLL_LOCKED フィールドがアサートされます。

7.3.7.1.4 Serdes PLL ループ帯域幅

SPLL ループ帯域幅は、VCO ゲイン、位相検出器ゲイン、ループフィルタの受動部品（抵抗とコンデンサ）の関数です。ループフィルタの帯域幅は、PLL 乗算係数に応じて、ノイズを改善するために調整できます。このデバイスには、VCO キャリブレーション設定と MPY に従った、ループフィルタ設定のルックアップテーブルがあります。refclk が比較的大きく（≥400MHz）、MPY 値が小さい場合（< 33）、固定ループフィルタ設定を使用できます。

ループ帯域幅は、1MHz と 12MHz の間で異なります。

7.3.7.2 SerDes レシーバ

7.3.7.2.1 Serdes データレートの選択

PLL 出力周波数は、[基準とつく](#) で詳述されているように、基準クロック周波数 ($F_{RX} = F_{VCO}/2$) および PLL 乗算係数によって決定されます。ただし、PLL 出力周波数は、制限された範囲でのみ動作するため、幅広いラインレートに対応するためにレートが設定されます。

ラインレート (F_{BIT}) と VCO 周波数 (F_{VCO}) の間の関係は、[表 7-34](#) にリストされているように、ユーザーによって定義された RATE 設定に応じて異なります。

表 7-34. ラインレートとレートの設定

RATE のフィールド	説明	ラインレート	サポートされている回線レート
0	フルレート	$2 * F_{VCO}$	16.25Gbps～32.5Gbps
1	ハーフレート	$1 * F_{VCO}$	8.125Gbps～16.25Gbps
2	1/4 レート	$0.5 * F_{VCO}$	4.0625Gbps～8.125Gbps
3	8 レート	$0.25 * F_{VCO}$	2.03125Gbps～4.0625Gbps
4	16 レート	$0.125 * F_{VCO}$	1.015625Gbps～2.03125Gbps

7.3.7.2.2 SerDes レシーバ終端

[図 7-48](#) に示されているように、nSRX+ および nSRX- (n = 0:15) 差動入力は、それぞれ 50Ω を介して内部的に共通のポイントに終端されます。SerDes 入力は AC 結合動作にのみ対応しています。

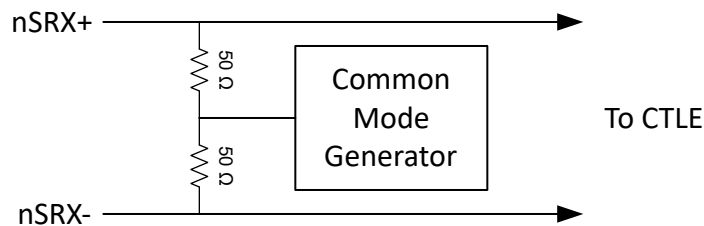


図 7-48. SerDes レシーバ入力終端

7.3.7.2.3 SerDes レシーバ極性

nSRX+ および nSRX- の極性は、LANE_INV レジスタの設定により反転できます。これにより、差動信号パターンを交換する必要がなくなるため、PCB レイアウトを簡素化し、シグナル インテグリティを向上できます。

7.3.7.2.4 SerDes クロック データ リカバリ

クロック リカバリ アルゴリズムは、データ遷移の中間でデータ サンプルが取得されるように、nSRX+ および nSRX- のサンプリングに使用されるクロックを調整するために動作します。

アルゴリズムは、サンプリング クロックが正しく配置されているかどうか、およびそうでない場合はサンプリング クロックをより早く移動する必要があるかどうかを判断するために基本的な手法を使用します。2 つの連続したデータ サンプルが異なる場合、2 つのデータの間のエッジ サンプルが検査されます。サンプリング クロックは、エッジ サンプルが最初のデータ サンプルと一致するか、2 番目のデータ サンプルと一致するかによって、それぞれアーリーまたはレイトと見なされます。

32 UI ごとに、このような 32 の比較が行われ、各結果はサンプル ポイントを早期にまたは後期に移動するための投票としてカウントされます (移行が発生しない位置は投票を生成しません)。過半数が早期投票または後期投票の場合、内部カウンタはそれぞれインクリメントまたはデクリメントされます。内部カウンタがオーバーフローまたはアンダーフローすると、クロックのサンプリング時点はそれぞれ後期または早期に調整されます (1/64 UI による)。

クロックのサンプリング時点が調整されるたびに、内部カウンタはミッドコードに戻り、ブランキング期間 (「セトリング タイム」とも呼ばれます) が発生します。ブランキング期間中は、投票はカウントされません。これは、受信データとエッジ サンプルが新しいサンプリング インスタントを反映していることを確認するために必要です。これにより、アルゴリズムがオーバーシュートするのを防ぐことができます。ブランキング間隔 (セトリング タイム) は、CDRSTL レジスタ フィールドで定義されます。最大の設定は省電力を提供することができます。

内部カウンタのサイズ (したがって、サンプリング時点を調整するために必要なインクリメントまたはデクリメントの数) はプログラム可能です (『CRDVOTE レジスタ フィールド』を参照)。

クロック リカバリ アルゴリズムは、SIG_DET[n] ステータス ビットが Low (信号損失) であっても動作し続けることに注意してください。

7.3.7.2.5 SerDes イコライザ

イコライザは、EQMODE フィールドを設定することにより、複数のモードで動作します。表 7-35 に、使用可能な設定を示します。

表 7-35. イコライザ モード

EQMODE	説明	詳細
0	イコライゼーションなし	イコライザは、最大ゲインでフラットな応答を提供します。この設定は、レシーバのジッタが、周波数依存の損失ではなく、クロストークの結果として主に発生する場合に適切です。
1	アダプティブ イコライゼーションまたは固定イコライゼーション	ゼロ位置は選択された動作速度によって決定され、イコライザの低周波数ゲインは受信データのデータ パターンと遷移位置を分析することによってアルゴリズム的に決定されます。 (『アダプティブ イコライゼーション』を参照)。この設定は、EQ_OVR=1 を設定することにより、固定イコライゼーションにも使用されます。 (『固定イコライゼーション』を参照)
2	プリ カーソル イコライゼーション分析	受信したデータのデータ パターンと遷移位置が分析され、送信リンク パートナーが必要以上にプリカーソル イコライゼーションを適用しているかどうか判断されます。詳細については、『プリ カーソルおよびポスト カーソル分析』を参照してください。
3	ポスト カーソル イコライゼーション分析	受信したデータのデータ パターンと遷移位置が分析され、送信リンク パートナーが必要以上にポストカーソル イコライゼーションを適用しているかどうか判断されます。詳細については、『プリ カーソルおよびポスト カーソル分析』を参照してください。

7.3.7.2.5.1 アダプティブイコライゼーション

SerDes レシーバにはアダプティブ イコライザが内蔵されており、信号の高周波成分に対して低周波成分を減衰させることでチャネル挿入損失を補償し、シンボル間干渉を低減します。

有効化すると、レシーバ イコライゼーション ロジックはデータ パターンと遷移時間を分析して、イコライザの低周波数ゲインが増減するかどうかを判断します。

決定ロジックは、比較的長い分析間隔を持つ投票アルゴリズムとして実装されています。時定数が遅いため、誤った決定の可能性が低下しますが、イコライザはチャネルの比較的安定した応答を補償できます。

アダプティブ イコライザのロック時間はデータに依存するため、一般的に適用可能な絶対制限を指定することはできません。しかし、ランダム データを想定すると、最大ロック時間はおおよそ 6×10^6 UI を CDR アクティビティレベルで割った値になります。

アダプティブ イコライゼーションを有効化する方法:

1. SYS_EN = 1 を設定する前に、EQMODE = 1 に設定します。
2. イコライザが有効になったら、EQLEVEL_S を読み出してアダプティブ イコライザの現在の状態を確認します。
EQLEVEL_S を読み出す前に、EQHOLD = 1 に設定して EQ ループを停止し、EQLEVEL_S によってコヒーレント

値が返されるようにします。適応ループがセトリングしていることを検証するには、複数の読み取りを推奨します (EQHOLD を Low に設定し、その後、各読み取りの間で再度 High に設定して、ループを動作させます)。

7.3.7.2.5.2 固定イコライゼーション

固定 (非適応イコライゼーション) の場合、SYS_EN = 1 を設定する前に、EQMODE=1、EQ_OVR=1、EQZ_OVR=0 をプログラムします。EQLEVEL を目的のイコライゼーションレベルにプログラムします。

7.3.7.2.5.3 プリ カーソルおよびポスト カーソル分析

プリ カーソルおよびポスト カーソル分析を使用して、トランスミッタのプリエンファシスに最適化された設定を決定できます。使用モデルは次のとおりです。

1. 必要に応じて、SYS_EN=0 をプログラムします。JESD インターフェイスを使用するモード (JESD_M>0) をプログラムします。
2. EQMODE=1 をプログラムします。SYS_EN=1 をプログラムし、イコライザが適応してセトリングするのに十分な時間を確保します。EQLEVEL_S を複数回読み取って、値が安定していること、または隣接値がトグルされていることを確認できます (EQLEVEL_S を読み取る前に EQHOLD=1 に設定し、EQHOLD を 0 に戻します。必要に応じて繰り返します)。
3. EQHOLD=1 に設定して、イコライザをロックします (適応を無効化)。この結果、EQOVER および EQUNDER フィールドが Low になります。
4. 少なくとも 48UI を待ち、CDR アクティビティが 100% 未満の場合はそれに比例して長く待機して、EQHOLD の 1 がサンプリングされ、それに基づいて処理されることを確認します。SPI は十分に遅いため、明示的な遅延が必要ありません。
5. EQMODE を 2 または 3 に設定して、プリ カーソルとポスト カーソル分析をそれぞれ選択します。個別の SPI トランザクションを使用する場合は、EQHOLD=0 に設定します。受信した信号のイコライゼーション特性を分析します (イコライザ応答は引き続きロックされます)。
6. CDR アクティビティが 100% 未満の場合は、少なくとも 150,000UI 待つて分析が実行されるまで待機します。
7. EQOVER と EQUNDER を調べて、分析結果を確認します。
 - a. EQOVER が High の場合、信号は過剰にイコライズされています。
 - b. EQUNDER が High の場合、信号はイコライズ不足です。
8. EQHOLD = 1 に設定します。
9. トランスミッタを調整します。必要に応じて、項目 3 ~ 7 を繰り返します。
10. EQMODE=1 に設定し、個別の SPI トランザクションで EQHOLD=0 に設定すると、分析モードが終了し、通常のアダプティブ イコライゼーションに戻ります。

7.3.7.2.6 SerDes レシーバアイ スキャン

すべての受信チャネルは、受信データ アイのマッピングを容易にする機能を備えています。さまざまなモードがサポートされています (モードのリストについては、『ES レジスタ』を参照)。以下のセクションでは、部品からアイ スキャン データを取得する方法、およびアイ ダイアグラムを作成するいくつかの方法について説明します。このデータをアイのマップに変換するプロセスは、通常はソフトウェアで外部で実行する必要があります。

使用される基本原則は次のとおりです。

- 専用のアイ スキャン入力サンプラを有効化して、サンプリングされた値が通常のデータ サンプルと異なる場合にエラーを生成します。
- 専用のアイ スキャン サンプラに電圧オフセットを適用します。
- 位相オフセットを適用して、アイ スキャン サンプラのサンプリング時点を調整します。
- エラー カウンタをリセットします
- スキャン時間を指定し、スキャン プロセスを開始します。スキャンが完了したら、エラーの数を確認します。
- 電圧オフセットや位相オフセットを変更して繰り返します。

または、指定された位相オフセットでの電圧オフセットを最適化するように、指定された時間間隔でアルゴリズムを構成できます。

通常のデータトラフィックを受信している間は、アイ スキャンを使用できます。

アイ スキャンとシンボル応答の抽出を直接制御するために使用されるレジスタ フィールドは、ES、ESBSEL、ESPO、ESVO、ESVO_OVR、ESLEN、ESRUN、ESDONE です。アイ スキャン エラーは、PHY_STATUS レジスタの ECOUNT フィールドに累算されます (『SerDes PHY ステータス』を参照)。以下に示されているように、必要なアイ スキャン モードは ES フィールドで選択されます。すべての ES 設定では、ESLEN フィールドを使用してスキャン プロセスの持続時間を決定します。

表 7-36. アイ スキャン モード

ES のフィールド	有効
0000	無効化:アイ スキャンが無効になっています (アイ スキャン サンプラはパワーダウン)
0X01	比較:ES[2] = 0 の場合、通常のサンプルとアイ スキャン サンプルとの不一致をカウントし、一致させます。
0X10	0 を比較:ES = 0X01 と同様ですが、0 のみを分析し、1 を無視します。
0X11	1 を比較:ES = 0x01 と同様ですが、1 のみを分析し、0 を無視します。
0100	1 をカウント:アイ スキャン サンプルが 1 のとき、ECOUNT をインクリメントします。
1X00	平均:平均アイ オープニングに ESVO_S を調整します。ES[2] = 0 の場合に 0 を分析し、ES[2] = 1 の場合に 1 を分析します。
1X01	外側:ESVO_S を外側のアイ オープニング (最低電圧 0、最高電圧 1) に調整します。ES[2] = 0 の場合に 0 を分析し、ES[2] = 1 の場合に 1 を分析します。
1X10	内側:ESVO_S を内側のアイ オープニング (最高電圧 0、最低電圧 1) に調整します。ES[2] = 0 の場合に 0 を分析し、ES[2] = 1 の場合に 1 を分析します。

0x01 の設定以外のすべてのアイ スキャン オプションは、1 または 0 のみを分析します。ビットが 1 か 0 かを決定する前に、INVPAIR の値が適用されることに注意してください。

アイ スキャンは受信した 32 ビットごとにのみ分析され、その位置はレジスタ フィールド ESBSEL によって設定されます。

完全なアイを構築するには、ワード内のすべての位置と両方の極性のデータを重ね合わせます。代わりに、毎秒または 4 番目のビットに基づいてアイを集めることで、データ ストリームにデューティ サイクルや直交歪みが存在するかどうかを確認できます。

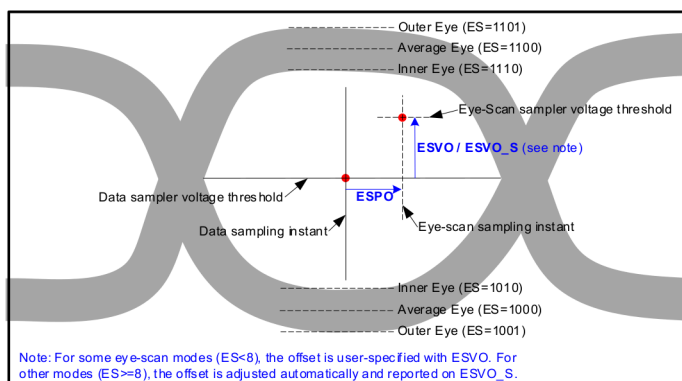


図 7-49. アイ スキャン用語

7.3.7.2.6.1 アイ スキャン手順

アイ スキャンを使用するには、次の手順に従います。

1. JESD204C 使用モデルの手順に従って、部品を JESD204C 動作に構成します。SYS_EN = 1 を設定した後、ここに戻ります。アイ スキャンは JESD204C ビット ストリームで実行できますが、一般的な PRBS 入力スティミュラスと

組み合わせて動作させることもできます。アイ スキャンは、有効になっているすべての物理レーンで同時に実行されます。

2. ES を目的のアイ スキャン モードにプログラムします。
3. ES が 8 未満の場合は、ESVO を目的の電圧オフセットにプログラムする必要があります。その他のモードでは、アイ スキャン ロジックによってアイ スキャン サンプラーの電圧オフセットが自動的に調整されます。
4. ESPO を目的の位相オフセットにプログラムします。
5. ESBSEL を 0 ~ 31 の値にプログラムします。アイ スキャンは、受信した 32 ビットごと (32 倍のデシメーション) に分析を行います。ESBSEL はこのデシメーション位相を調整します。ランダムなステイミュラスの場合、これは結果に影響を与えません。入力に繰り返しパターンがある場合、結果に影響を与える可能性があります。
6. 目的のサンプル数に ESLEN をプログラムします。設定値を高くすると、一貫性のある結果が得られます。
7. Ecount_CLR = 1 に設定してから、Ecount_CLR = 0 に設定して、エラー カウンタをクリアします。この手順は推奨されますが、必要に応じて省略することができます (複数のアイ スキャン実行からカウントを追加する場合など)。ECOUNT を使用しない場合も、これを省略することができます (ES が 8 以上のモードの場合)。
8. ESRUN = 1 をプログラムして、スキャンを開始します。
9. アイ スキャンを実行するレーンごとに ESDONE が 1 を返すまで ESDONE をポーリングします。
10. 選択したアイ スキャン モードでアイ スキャン電圧オフセット (内側 / 外側 / 平均モード) が変更された場合は、ESVO_S を読み取り、内側 / 外側 / 平均アイ境界を取得します。他のアイ スキャン モードでは、ECOUNT を読み取って、記録された不一致 (または一致) の数を返します。
11. ESRUN = 0 をプログラムします。
12. 手順 2 に戻り、別のアイ スキャン データ収集プロセスを実行します。レシーバは、手順 2 ~ 12 を複数回の繰り返す間、有効にしたままにすることができます。

7.3.7.2.6.2 アイ ダイアグラムの作成

アイ スキャン機能を使用してアイ ダイアグラムを作成するには、2 つの基本的なアプローチがあります。

1. ESVO_S を使用した迅速なアプローチ:
 - a. ESPO の有効な値ごとに、**アイ スキャン手順**で説明されている手順を繰り返します。ESPO の各値について、0 と 1 の内側のアイの分析を実行します。これにより、ESPO の各値に対して最大 0 ($ESVO_{max0}$) と最小 1 ($ESVO_{min1}$) が配置されます。
 - b. ESPO の各値は、アイのセルの列に関連付けられています。ESVO_{max0} と ESVO_{min1} (両端を含む) の間の列内のすべてのセルは黒になり、その他のすべてのセルは白になります。
 - c. 外側および/または平均分析を含めることで、アイ ダイアグラムに詳細を追加できます (ES を参照)。たとえば、平均分析から生成された ESVO_S 値は赤で表示されますが、内側と外側の値は白で表示されます。
2. ECOUNT を使用した詳細なアプローチ:
 - a. 不一致をカウントするアイ スキャン モードを選択します。**アイ スキャン手順**で説明されている手順を、ESVO と ESPO の有効な値ごとに繰り返します。
 - b. それぞれを実行した後、ECOUNT の値を PHY_STATUS レジスタに記録します (各実行前の ECOUNT リセット)。
 - c. 各アイ スキャンの実行は、アイ ダイアグラムの 1 つのセルに対応しています。ESPO は、セルの x 座標です。ESVO は、セルの y 座標です。セルの強度は $ECOUNT/N_{samples}$ に比例します。N_{samples} は、実行あたりの分析サンプル数 (ESLEN によって決定) です。
 - d. このアプローチは実行にはるかに時間がかかりますが、より詳細なアイ ダイアグラムを提供できます。

7.3.7.3 SerDes PHY ステータス

PHY_LANE レジスタは、PHY_STATUS レジスタを介してステータス データを読み出すためにどの PHY レーンを選択するかを決定します。PHY_SSEL レジスタは、PHY_STATUS レジスタで返されるステータス フィールドを指定します。

表 7-37. PHY_STATUS レジスタによって返されるステータス値

PHY_SSEL	PHY_STATUS で返されるデータ (予約済みビットは省略)		
0x00	[5]	EQOVER	EQOVER ステータス プリ / ポスト カーソル分析。『プリ / ポスト カーソル分析使用モデル』を参照
	[4]	EQUNDER	プリ / ポスト カーソル分析の EQUNDER ステータス。『プリ / ポスト カーソル分析使用モデル』を参照してください。
	[3:0]	EQLEVEL_S	現在有効なイコライザ レベル (0 ~ 14) を返します。
0x01	[0]	ESDONE	アイ スキャン手順が完了したことを示す 1 を返します。
0x02	[5:0]	ESVO_S	アイ スキャン結果からの電圧オフセットを返します。電圧オフセットを自動的に計算するアイ スキャン モードに適用します。ESDONE が 1 を返した場合にのみ有効です。
0x03	[15:0]	ECOUNT	不一致カウントを返します (不一致をカウントするアイ スキャン モードに適用します)。ESDONE が 1 を返した場合にのみ有効です。
0x04-0x05		予約済み	
0x06	[0]	OCIP	オフセット キャリブレーションが現在実行中か、有効になっているけれどもまだ開始されていない場合は 1 を返します。
0x10-0x19		予約済み	

7.3.8 JESD204C インターフェイス

このデバイスは、JESD204C 高速シリアルインターフェイスを使用して、ロジックデバイスから受信 DAC にデータを転送します。このデバイスのシリアル化されたレーンは、8b/10b エンコードと、64b/66b エンコードの両方で動作することができます。8B/10B エンコードを使用する JESD204C 形式は、既存の JESD204B レシーバーと下位互換性があります。速度が制限されたロジックデバイスとのインターフェイス用に、最大 16 レンを使用することができます。8b/10b と 64B/66B でエンコードされたそれぞれの JESD204C にはいくつかの違いがあり、これらについては、このセクションで取り上げています。図 7-50 に、8b/10b エンコードされた JESD204C インターフェイスの概略ブロック図を示し、図 7-51 に、64b/66b エンコードされた JESD204C インターフェイスの概略ブロック図を示します。

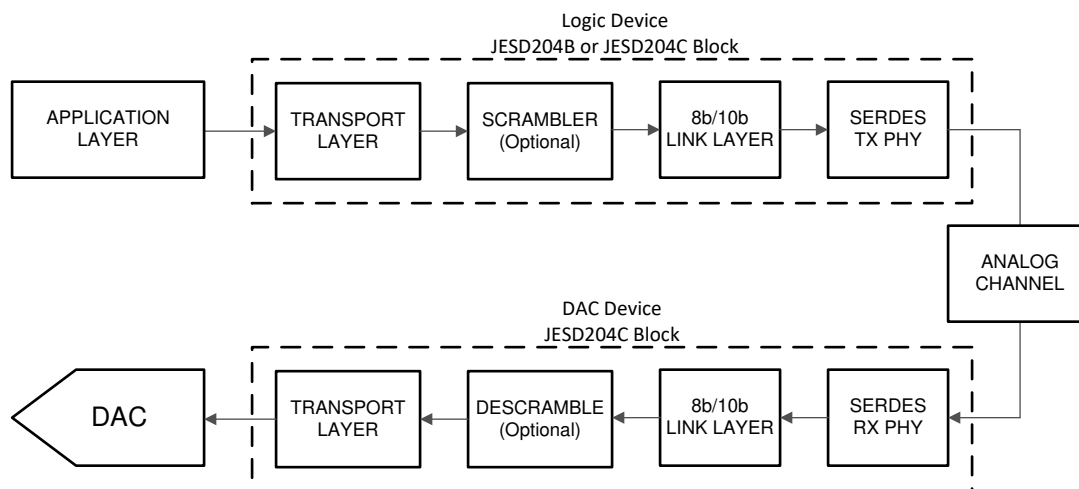


図 7-50. 8b/10b エンコードによる JESD204C インターフェイスの概略図

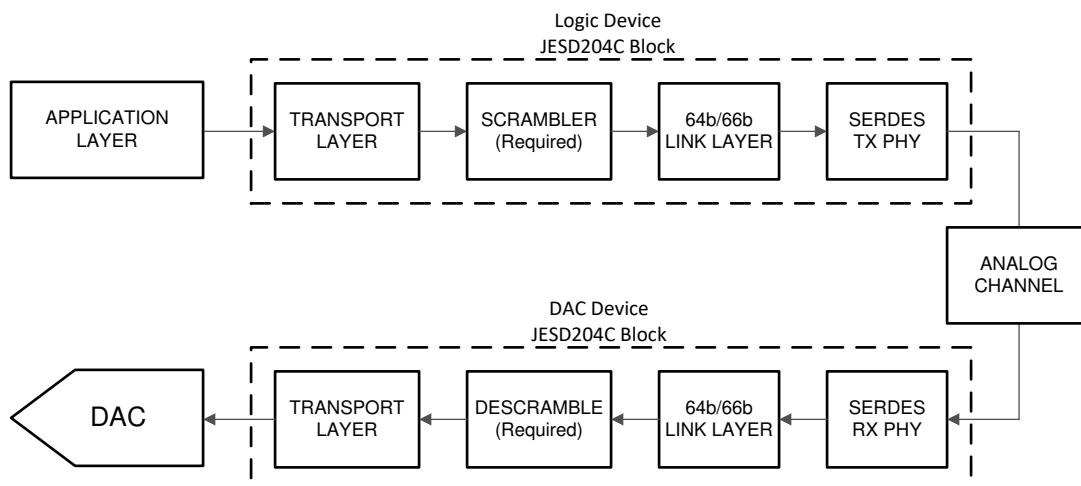


図 7-51. 64b/66b エンコードによる JESD204C インターフェースの概略図

デバイスでは、JESD204C のすべてのオプション機能がサポートされているわけではありません。サポートされている機能とサポートされていない機能のリストは、表 7-38 を参照してください

表 7-38. サポートされている JESD204C 機能の宣言

文字識別子	機能	デバイスでサポートされていますか？
a	8b/10b リンク層	あり
b	64b/66b リンク層	あり
c	64b/80b リンク層	なし
d	64b/66b または 64b/80b のリンク層を使用した場合のコマンドチャンネル	なし
e	64b/66b または 64b/80b リンク層を使用する場合の前方誤り訂正 (FEC)	あり
f	64b/66b または 64b/80b のリンク層を使用する場合の CRC3	なし
g	8b/10b リンク層を使用するときの物理 SYNC ピン	あり
h	サブクラス 0	あり
i	サブクラス 1	あり
j	サブクラス 2	なし
k	単一リンク内のレーン整列	あり
l	MULTIREF 信号によるマルチポイントリンクでのレーン整列をサポートするサブクラス 1	なし
m	SYNC インターフェースのタイミングは、JESD204A に対応しています	あり
n	SYNC インターフェースのタイミングは、JESD204B に対応しています	あり

JESD204C インターフェースで使用する各種信号および関連デバイスのピン名は、リファレンスとして 表 7-39 にまとめられています。

表 7-39. JESD204C 信号の概要

信号名	デバイスの PIN 名	説明
データ	[15:0]SRX±	SerDes レシーバによって受信された 8b/10b または 64b/66b エンコードの後の高速シリアル化データ。

表 7-39. JESD204C 信号の概要 (続き)

信号名	デバイスの PIN 名	説明
SYNC	SYNC	リンク初期化信号 (ハンドシェイク)。Low に切り替えて、コード・グループ同期 (CGS) プロセスを開始します。64B/66B エンコードモードでは使用されません。
デバイス クロック	DACCLK+, DACCLK–	DAC サンプリングクロック。デジタルロジックや SerDes レシーバのクロック供給にも使用されます。
SYSREF	SYSREF+, SYSREF–	各 JESD204C デバイスの内部ローカルマルチフレームクロック (LMFC) またはローカル拡張マルチブロッククロック (LEMC) カウンタを確定的にリセットするために使用されるシステムタイミング基準

7.3.8.1 JESD204C 規格からの逸脱

JESD204C セクション 4.3.4 では、サブクラス 1 デバイスは、検出された SYSREF 信号のアクティブ エッジが予想される位置から逸脱し、予測される位置からの偏差がプログラマブル デバイス クロック サイクル数未満である場合に、LMFC/LEMC を再整列させないことが要求されます。この設計には、この機能は含まれておらず、JESD204B に準拠しています。JESD204C サブシステムと SYSREF プロセッサが有効 (および SYSREF_ALIGN_EN=1) の場合、LMFC とその他のサポート クロックは検出された SYSREF に整列します。JESD204C の新しい要件を実装すると、クロック生成ロジックが非常に複雑になります。位相測定値は処理してリップル クロック分周器アーキテクチャに渡され、位相調整はルートデバイスにリップル バックする必要があります。

7.3.8.2 リンク層

JESD204C では、8b/10b と 64b/66b の両方のエンコード方式に対応するため、リンク層は複数の目的を果たしますが、それぞれのエンコード方式での実装にはいくつかの違いがあります。一般に、リンク層の役割には、Serdes PHY から JESD「レーン」へのマッピング、データのスクランブル化 (スクランブラとデスクランブラを参照)、Serdes レーンをデスクューするための、コード (8b/10b) またはブロック (64b/66b) の境界、およびマルチフレーム (8b/10b) またはマルチブロック (64b/66b) 境界の確立、リンクの初期化、データのエンコード、およびリンクの健全性の監視などがあります。

7.3.8.2.1 SerDes クロスバー

このデバイスには、SerDes PHY から抜け出した直後にクロスバーがあり、レーン間の信号をマッピングして Tx と Rx の間の PCB 配線が簡素化されます。これにより、PCB の複雑さを低減すること、または配線を短くすること (損失を低減) ができます。LANE_SEL[n] を参照してください。

物理層レーン (0SRX± ~ 15SRX±) は、JESD204C のフォーマット図に示されているビット パッキング図に定義されたレーンに基づいて、適切な JESD204C レーン (JESD0 ~ JESD15) に配線する必要があります。

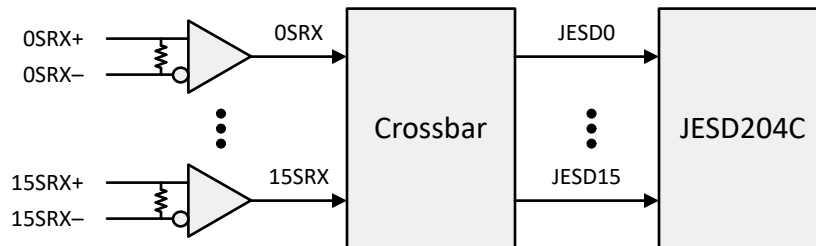


図 7-52. クロスバー ブロック図

7.3.8.2.2 ビットエラー レート テスタ

ユーザーは、クロスバーの後に配置されたエラー カウンタを使用して、ビットエラー レート (BER) テストを実行できます。

BER テストは PHY レベル テストであり、JESD204C リンク層 エンコード (8b/10b または 64b/66b) は適用されませんが、JENC は DACCLK を基準としたシリアル ビットレートに引き続き影響を及ぼします。

ユーザーは JTEST をプログラムして、すべてのアクティブ レーンでレシーバが予測する PRBS シーケンスを選択します。BER テストを実行する場合、シリアル ビット レート (F_{BIT}) は通常モードと同じ方法で決定されます。下表に、予期される PRBS シーケンスが定義されています。

表 7-40. PRBS テスト モード

PRBS テストモード	シーケンス	シーケンス長 (ビット)	注
PRBS7	$y[n] = y[n-6] \wedge y[n-7]$	127	
PRBS9	$y[n] = y[n-5] \wedge y[n-9]$	511	JESD204C、付録 K を参照
PRBS15	$y[n] = y[n-14] \wedge y[n-15]$	32767	JESD204C、付録 K を参照
PRBS31	$y[n] = y[n-28] \wedge y[n-31]$	2,147,483,647	JESD204C、付録 K を参照

BER テスターを使用する手順は次のとおりです

- JESD204C 使用法に従ってチップおよび動作パラメータを設定しますが、SYS_EN は設定しないでください。
 - 物理層に影響を与えるプログラム パラメータ: JMODE、JESD_M、DSP_L、JENC、LANE_SEL、LANE_INV、REFDIV、MPY、RATE。
 - LT を 1 より大きくするには (リンクレートに影響する)、**DSP_MODE n** を使用して、少なくとも 1 つの DSP を有効化する必要があります。LT=1 の場合、すべての DSP を無効のままにします。
 - SUBCLASS、SFORMAT、SCR、KM1、JESD_M、または RBD など、リンク層またはトランスポート層にのみ影響するパラメータはプログラムする必要はありません。
 - SYSREF を使用する必要も、SYSREF 関連のパラメータをプログラムする必要もありません。
- 検証する PRBS シーケンスを選択するように、JTEST をプログラムします。
- すべてのアクティブ レーンでトランスミッタが PRBS シーケンスを送信できるようにします。
- SYS_EN = 1 をプログラムします。
- PLL_LOCKED レジスタをポーリングし、PLL_LOCKED が 1 を返すまで待ちます。
- 4 マイクロ秒待ちます (PHY が完全に初期化され、BER テスタに有効なデータを提供するため)。
- BER_EN = 1 および LEC_CNT_SEL = 0 をプログラムします。
- 論理レーン n のエラー数を取得するには、LEC_CNT[n] を読み出します。
- すべてのレーンの LEC_CNT 値をリセットし、再度カウントを開始するには、BER_EN = 0、次に BER_EN = 1 をプログラムします。

7.3.8.2.3 スクランブラとデスクランブラ

DAC デバイスでは、受信後にデータをデスクランブルするためのデータ デスクランブラが備わっています。スクランブルは、反復データストリームによる送信データのスペクトルピークの可能性を除くために使用されます。8b/10b エンコード モードではスクランブラは任意です。しかし、64b/66b エンコード モードでは、クロック リカバリとアダプティブ イコライゼーションのために十分なスペクトル コンテンツを確保することが必須です。8b/10b のスクランブラは、10 ビットエンコーディングの前に 8 ビットのオクテットをスクランブルし、64b/66b のスクランブラは、同期ヘッダー挿入 (66 ビット エンコーディング) の前に 64 ビットのブロックをスクランブルします。JESD204C レシーバは、デスクランブラを受信スクランブル データストリームと自動的に同期させます。8b/10b エンコードでは、初期レーン整列シーケンス (ILA) はスクランブルされません。デスクランブラは、8b/10b エンコード モードでは SCR を設定することによって有効化できますが、64b/66b モードでは自動的に有効になります。スクランブル多項式は、JESD204C 規格で定義されている 8b/10b エンコードと 64b/66b エンコード方式とは異なります。

7.3.8.2.4 64b/66b デコード リンク層

このセクションでは、文字、フレームおよびマルチフレーム境界の初期化、レーンの整列、64b/66b デコード、フレームのモニタリング、および動作中のマルチフレーム整列など、64b/66b デコード動作モードのリンク層について説明します。

7.3.8.2.4.1 同期ヘッダの整列

デバイスは、JESD204C 規格で推奨される同期ヘッダ整列アルゴリズムは使用しません。推奨されるアルゴリズムでは、ロック喪失のために 16 個の「連続した」無効な同期ヘッダが必要です。ランダム データは有効な同期ヘッダの 50% のように見えるため、16 個の「連続した」無効な同期ヘッダを受信する時間は長くなります。

デバイスは、アップ / ダウン カウンタ方式を使用して、ロックの喪失を監視します。

- 最初にロックすると、デバイスはカウンタ = 0 を設定します。
- 無効な SYNC ヘッダを受信すると、カウンタは 16 ずつインクリメントします。
- 有効な SYNC ヘッダを受信すると、カウンタは 1 だけデクリメントします (0 未満にはデクリメントしません)。
- カウンタが 256 以上の場合、ロック喪失を検出します。
- 弾性バッファが解除されると (LINK_UP=1)、1 レーンのロック喪失によりギアボックスがリセットされ、デバイスはすべてのレーンで整列を再取得しようとします。

標準では代替アルゴリズムが可能であるため、この方式は標準に準拠しています。

7.3.8.2.4.2 拡張マルチブロック整列

図 84 の JESD204C 規格に示されているように、拡張マルチブロック整列が実行されます。EMB_INIT 状態に戻る連続したエラー シーケンスの数のしきい値は 8 に固定されています。

7.3.8.2.4.3 データ整合性

データ整合性は、CRC または FEC を使用して検証されます (SHMODE を参照)。データ整合性エラーは、マルチブロックに CRC チェックの失敗 (SHMODE = 0) があるか、FEC が検出されたエラー (SHMODE = 2) を訂正できない場合に検出されます。

各レーンで、CRC エラーまたは訂正不可能な FEC エラーを持つマルチブロックの数が、DI_ERR_TH で設定されたスレッシュホルドを超えると、DI_ERR_REC で指定された連続的でエラーフリーのマルチブロックの実行なしに、内部信号 DI_FAULT が設定されます。DI_ERR_REC で指定された連続的でエラーフリーのマルチブロックの実行が検出されると、DI_FAULT がクリアされます。

エラー レート カウンタは、FEC に対してのみ提供されます。CRC エラー レートは PHY レベルの BER テストから推定できます。

FEC エラー レート テストの使用:

1. JESD204C 使用法に従ってデバイスおよび動作パラメータを設定しますが、SYS_EN は設定しないでください。a. FEC を有効化する必要があります (JENC=1 & SHMODE=2)。
2. FEC_EM_EN = 1 をプログラムします。
3. SYS_EN = 1 をプログラムして、エラー カウンタを開始します。
4. 読み取る FEC カウンタを選択するように LEC_CNT_SEL をプログラムします。
5. 論理レーン n のエラー数を取得するには、LEC_CNT[n] を読み出します。
6. すべてのレーンの LEC_CNT 値をリセットし、再度カウントを開始するには、FEC_EM_EN = 0、次に FEC_EM_EN = 1 をプログラムします。

FEC は、訂正不可能なエラーを検出に関しては CRC ほど効果的ではなく、訂正可能なエラーとして報告することができます。FEC アルゴリズムの詳細については、JESD204C の仕様を参照してください。

7.3.8.2.5 8B/10B エンコード リンク層

データリンク層は、Serdes リンクから受け取る 10 ビット文字を 8b/10b デコーディングを使用してトランスポート層の 8 ビットオクテットに変換します。8b/10b エンコーディングにより DC バランスが保証され、SerDes トランスミッタとレシーバ間の AC 結合を使用し、データクロックを確実に回復するために、レシーバの十分な数のエッジ遷移を指定します。8b/10b エンコーディングでは、文字のシングルビットエラーが 8b/10b デコーダ ルックアップ テーブルの 10 ビット文字を見つけないか、間違った文字の不一致をもたらす可能性があるため、いくつかのエラー検出も提供します。

7.3.8.2.5.1 コードグループ同期 (CGS)

LMFC が SYSREF によって確定的にリセットされた後で、JESD204B リンクを初期化する最初のステップは、レシーバが各 SerDes レーンに送信される符号化された 10 ビット文字の境界を見つけることです。このプロセスをコードグループ同期 (CGS) と呼びます。リンクを初期化する準備ができたとき、レシーバは最初に同期信号 (ロジック 0 に設定) をアサートします。送信機は K28.5 カンマ文字のストリームを送信することで要求に応答します。受信機は K28.5 文字シーケンスに文字クロックを調整し、4 つの連続する K28.5 文字を受信した後に CGS を達成します。レシーバは、CGS に達した後、次の LMFC エッジで同期 (ロジック「1」に設定) をデアサートし、トランスミッタが初期レーン・アライメント・シーケンス (ILAS) を開始するまで待機します。

7.3.8.2.5.2 初期レーン整列シーケンス (ILAS)

トランスミッタが 同期 信号のデアサート (ロジック「0」からロジック「1」遷移) を検出した後、トランスミッタは次の LMFC エッジまで待機して、初期レーン整列シーケンス (ILAS) の送信を開始します。ILAS は 4 つのマルチフレームから構成され、それぞれにあらかじめ決められた配列が含まれています。デバイス レシーバは ILAS の開始位置を探し、フレームとマルチフレームの境界を決定します。ILAS の各マルチフレームは、a/R/キャラクタ (K28.0) で始まり、a/A/キャラクタ (K28.3) で終わる。どちらかを使用してマルチフレームの境界を検出することができます。各レーンは、ILAS がレシーバに到達すると、/R/ 文字から始まる弾性バッファ内のデータのバッファを開始し、すべてのレシーバが ILAS を受信した後、レーンを揃えるためにすべてのレーンから同時に ILAS を解放します。弾性バッファ解放点は、データ遅延の変動 (各レーンのレシーバへの ILAS の到着) によるデータの解放のあいまいさを避けるために選択されます。ILAS の 2 番目のマルチフレームには、JESD204B リンク設定用の構成パラメータが含まれており、これをレシーバが使用して、トランスミッターとレシーバの構成が一致していることを確認できます。

7.3.8.2.5.3 マルチフレームおよびローカル マルチフレーム クロック (LMFC)

トランスポート層からのフレームはマルチフレームに結合され、サブクラス 1 の実装で決定論的レイテンシーを達成するプロセスで使用されます。マルチフレームの長さは、マルチフレーム内のフレーム数を定義する K パラメータによって設定されます。マルチフレーム (K) あたりの最大許容フレーム数は、32 です。K の合計許容範囲は、不等式 $\text{ceil}(17/F) \leq K \leq \text{min}(32, \text{floor}(1024/F))$ によって定義されます。ここでの $\text{ceil}()$ と $\text{floor}()$ は、それぞれ天井関数と床関数です。ローカルマルチフレームクロック (LMFC) は、確定的なレイテンシおよびデータ同期の目的で、マルチフレームの開始と終了を追跡します。LMFC は、決定論的レイテンシーのタイミング基準として機能するために、SYSREF 信号によってトランスミッタとレシーバの両方の決定論的位相にリセットされます。LMFC のクロック周波数は 式 7 で指定されます。ここで、 f_{BIT} は SerDes インターフェイスのシリアル化ビット レート (ライン レート) であり、F と K は上記のように定義されます。SYSREF が連続信号の場合、SYSREF の周波数は f_{LMFC} の整数分周と同じか、または整数分周となる必要があります。

$$f_{\text{LMFC}} = f_{\text{BIT}} / (10 \times F \times K) \quad (7)$$

7.3.8.2.5.4 フレームおよびマルチフレーム監視

予期しない場所でフレーム整列文字 (/F/) またはマルチフレーム整列文字 (/A/) が検出されると、LANE_ERR[7] がセットされます。整列文字が欠損しているため、モニタリングは実行されません。

フレーム整列モニターは、/F/ と /A/ の両方の文字を検査して、フレーム境界にアラインされているかどうかを判断します。予期したフレーム境界位置で整列文字を受信せずに、フレーム境界に関して予期しない位置で 2 文字 (/F/ 2 つ、/A/ 2 つ、またはそれぞれを 1 つずつ) を受信すると、LANE_ERR[5] がセットされ SYNC がアサートされてリンクが再開されます。

マルチフレーム整列モニターは /A/ 文字のみを検査して、マルチフレーム境界に合わせてアラインされているかどうかを判断します。マルチフレーム境界に関して予期しない位置でマルチフレーム整列文字 2 つ受信し、マルチフレーム境界の予期される位置でマルチフレームアライメント文字を受信しなかった場合、LANE_ERR[6] がセットされ SYNC がアサートされてリンクが再開されます。

トランスミッタが、ILAS の開始後に 4 つの連続する /K/ 文字を送信すると、LANE_ERR[5] と LANE_ERR[6] の両方がセットされ、SYNC がアサートされてリンクが再開します。

フレームとマルチフレーム整列の修正はサポートされていません。2 つの連続したフレームまたはマルチフレーム整列エラーにより、リンクが再起動します。

7.3.8.2.5.5 リンク再起動

有効になっているレーンが次のいずれかの状態を検出すると、JESD コントローラは $\overline{\text{SYNC}}$ をアサートしてリンクを再起動します。

- JESD_RST = 1
- SYS_EN の立ち上がりエッジ
- トランスミッタが ILAS 開始後に 4 つの連続する /K/ 文字を送信した場合
- ギャップのオーバーフロー / アンダーフローが発生し、GBRST_EN=1 になった場合
- JESD204C 仕様の 8.6.1 に規定されているように、コード グループ同期が喪失した場合
- フレームとマルチフレームの監視で指定されているように、2 つのフレーム / マルチフレーム整列文字が予期しない位置にある場合
- JESD204C リンク層が (MODE への変更により) 任意のスリープ モードを終了した場合
- SYSREF により、クロックまたは LMFC が再整列した場合
- 弾性バッファ エラーが検出された場合

7.3.8.2.5.6 リンク エラー レポート

$\overline{\text{SYNC}}$ のエラー レポートは、 $\text{SYNC_EPW}>0$ を設定することで有効になります。有効化されたレーンが以下を検出した場合に、 $\overline{\text{SYNC}}$ のエラー レポートが発行されます。

- 表に存在しないエラーまたは予期しない制御文字エラー (LANE_ERR[2] でも報告)。
 - ILAS の後に制御文字が発生し、/A/ または /F/ ではない場合、予期しない制御文字エラーが生成されます。ILAS は予期しない制御文字が監視されません。
- ディスパリティ エラー (LANE_ERR[1] でも報告)。ディスパリティ エラーは、次の場合に生成されます。
 - 10 ビットのシンボルに存在する 1 が 6 つ以上、または 4 つ未満の場合
 - 入力ディスパリティが負で、10 ビット シンボルに存在する 1 が 5 つ未満の場合
 - 入力ディスパリティが正で、10 ビット シンボルに存在する 1 が 5 つ以上の場合
 - 入力ディスパリティが負であるのに、10 ビット シンボルが正のディスパリティのためにのみ存在する場合
 - 入力ディスパリティが正であるのに、10 ビット シンボルが負のディスパリティのためにのみ存在する場合
- 予期しない場所にあるアライメント文字 (/A/ or /F/) (LANE_ERR[7] でも報告)

エラー レポートの送信中に検出されたエラーは、個別には報告されません。

7.3.8.2.5.7 ウォッチドッグ タイマ (JTIMER)

JESD204C レシーバには、信頼性を向上させるウォッチドッグタイマが内蔵されています。ウォッチドッグタイマーの役割は、リンクが「ダウン」状態で過度に時間を費やしている場合、またはリンクが「アップ」しているものの一貫して CRC エラーや修正不可能な FEC エラーが生成されている場合に、PHY 層をリセットすることです。

- ウォッチドッグタイマーは、 $F_{\text{DACCLK}}/2048$ でクロックされる アップ/ダウンカウンタで構成されます。カウンタは、クロックの立ち上がりエッジで増加/減少します。
- JESD インターフェイスが有効になっている場合、カウンタは $\text{SYS_EN}=0$ または $\text{MODE}>1$ になると、常に 0 に初期化され、 $\text{SYS_EN_EN}=1$ && $\text{MODE}\leq 1$ となると動作を開始します (JESD_M を参照)。
- リンクがアップしていて、FEC または CRC エラーの数がしきい値 ($\text{LINK_UP}\&\text{!DI_FAULT}=1$) を超えていない場合、カウンタはプログラム可能な量ずつ減少します (JTR を参照)。カウンタは、0 で飽和します。
- 障害が検出されたときに、少なくともクロックエッジで信号を捕捉できるように、この機能の DI_FAULT 信号は拡張されています。
- $\text{LINK_UP}\&\text{!DI_FAULT}=0$ の場合、カウンタは 128 ずつ増加します。
 - カウンタのインクリメントがオーバーフローの原因になることはありません。

- カウンタが JTT で定義されたしきい値に達すると、すべてのレーンの PHY 層は一回の $F_{DACCLK}/2048$ サイクルの間無効になります。また、JTPLL = 1 の場合にのみ、PHY PLL および基準分周器も 1 回の $F_{DACCLK}/2048$ サイクルの間無効になります。PHY がリセットされると、カウンタは 0 に戻ります。

7.3.8.3 サブクラス 1 モードで必要となる SYSREF 整列

サブクラス = 1 の場合、レシーバは JESD_ALIGNED=1 の間待機してから、レーン到着時間 (LANE_ARR) を測定するか、弾性バッファを解放します。これは JESD204C 規格では規定されていませんが、以下の理由で適切です。

1. 待機することで、レーン到着時間を測定する前に、レーン到着測定に使用されるリファレンス カウンタ (LMFC/LEMC) が SYSREF によって適切に揃えられます。レーンの到着時間は 1 回しか測定されず、SYS_EN をサイクルしない (したがって、リファレンス カウンタがリセットされる) 限り、ユーザーはそれらを再測定できないため、これは重要です。
2. 待機することで、リンクが任意の LMFC/LEMC 位相 (および任意の遅延) で短時間起動し、SYSREF パルスが処理されると再びダウンする状況 (SYSREF 周期が非常に長い場合に発生する可能性があります) を回避できます。

さらに、8b/10b モード (および SUBCLASS=1) では、レシーバは JESD_ALIGNED=1 を待ってから、SYNC をデアサートします。

JESD_ALIGNED 信号は、次のルールに従って生成されます。

1. SYS_EN が最初に設定されている場合、JESD_ALIGNED は 0 になります。
2. SYSREF パルスによって LMFC/LEMC をサポートするすべてのクロックの再整列が発生した場合、JESD_ALIGNED はクリアされます。
3. SYSREF パルスによって LMFC/LEMC が調整されると、JESD_ALIGNED はクリアされます。
4. LMFC/LEMC カウンタが 2 つの SYSREF 整列イベント (sysref_align_jctrl パルス) を処理し、2 番目のイベントで LMFC/LEMC 位相を調整する必要がない場合、JESD_ALIGNED が設定されます。
 - LMFC/LEMC カウンタは、サポートするすべてのクロックが整列するまで、SYSREF イベントを受信できません。そのため、JESD_ALIGNED を設定するには、最大 15 の有効な SYSREF パルスが必要な場合があります (SYSREF_ALIGN_EN=1 のとき)。
 - LMFC/LEMC カウンタに到達するために 2 つの SYSREF 整列イベントが必要であるため、SYSREF 周期が有効でない限り、リンクが起動しないようにします (誤ったリンク起動を防止します)。
5. JESD_ALIGNED がクリアされると、常に 2 つの SYSREF イベント (項目 #4) をカウントするカウンタもリセットされます。
6. SYSREF 調整イベントが LMFC/LEMC カウンタに到達するには、SYSREF_ALIGN_EN を設定する必要があることに注意してください。JESD_ALIGNED がすでに設定されており、SYSREF_ALIGN_EN がクリアされてから、誤った SYSREF パルスが発生しても、JESD_ALIGNED レジスタは影響を受けません (設定されたままとなります)。これは意図された動作です。SYSREF_ALIGN_EN=0 の間に SYSREF パルスがずれていないかを監視するには、CLK_ALIGNED または SYSREF_ALM レジスタを使用します。

7.3.8.4 トランスポート層

トランスポート層は、リンク層からのデータをデコードし、サンプルを DSP または DAC エンコーダに送ります。

トランスポート層は、リンク層からオクテットを受け取り、データストリームにマッピングします。オクテットをフレームに、フレームをレーンにマッピングする方法は、L、M、F、S、N、N'などのトランスポート層の設定によって定義されます。フレームは F オクテットで構成され、フレームは L レーンにマッピングされます。サンプルは N ビットですが、リンク経由で N' ビットとして送信されます。サンプルは M データストリームから供給され、フレームサイクルのコンバータごとに S サンプルがあります。

デバイスには、JESD204C インターフェイスモードで定義されている多数の事前定義済みトランスポート層モードがあります。JESD204C ブロックのさまざまな設定パラメータは、JESD204C インターフェイスのパラメータ定義で定義されています。

リンク層は、フレームをマルチフレームにさらにマッピングします。

7.3.8.5 JESD204C デバッグ キャプチャ (JCAP)

7.3.8.5.1 物理層デバッグ キャプチャ

JCAP レジスタを使用して、物理層の出力をキャプチャし、一般的なデバッグを実行することができます。

次の手順を使用します。

1. JESD204C 動作のための部品を設定します (起動手順を参照。SYS_EN=1 を設定する前にここに戻ります)。
 - a. PHY レベルのテストでは、一部の手順は必要ありません。たとえば、DC または PHY テスト パターンを適用する場合、SYSREF、SUBCLASS、RBD、KM1 などを設定する必要がありません。ユーザーは、次のようなレジスタをプログラムする必要があります。REFDIV、MPY、RATE、and LANE_SEL_x (該当する場合)。
 - b. DSP_L、JESD_M、および JENC をプログラムする必要があります。これらのレジスタは、PHY レートとレーン数に影響するためです。
2. PHY 出力をキャプチャするには、JCAP_MODE=0 をプログラムします。
3. PHY 入力 (DC、PHY テスト パターン、または JESD204C データ) に必要なスティミュラスを適用します。
4. レジスタを構成したら、SYS_EN= 1 に設定します。
5. JCAP_ARM=1 に設定します。
6. 0 ~ L-1 の各論理レーン n:
 - a. JCAP_PAGE = n をプログラムします。これにより、レーン n からのデータへのアクセスが可能になります。
 - b. JCAP_STATUS を読み出し、JCAP_STATUS が 1 を返してレーン n がデータをキャプチャしたことを示していることを確認します。JCAP_STATUS が 0 を返した場合、レーンがデータをキャプチャするまでしばらく待機し、データがキャプチャされない場合は 100us 後にタイムアウトします。これが発生した場合は、PLL がロックされており (PLL_LOCKED を参照)、すべてのチップ プログラミングが正しいことを確認します。
 - c. JCAP[0-15] を読み出して、レーンごとに最大 16 バイトのデータを返します。DC テストを行う場合、PHY レーンに印加される差動入力電圧に応じて、0x00 または 0xFF を返すために、JCAP[0] のみを読み取って検証する必要があります。
 - d. テスト パターンまたは JESD204C データを適用する場合、同期は行われなことに注意してください。JCAP レジスタのバイト境界に関するパターンの整列は任意です。ソフトウェアは、データのすべての可能な整列を考慮する必要があります。
 - e. 各レーンのデータを検査するには、手順 (a) ~ (c) を繰り返します。
7. 別の DC レベルまたはパターンをテストする場合は、以下を実行します。
 - a. 新しい DC レベルまたはパターンを PHY 入力に適用します。
 - b. JCAP_ARM=0 をプログラムします。
 - c. 手順 5 に戻ります。

7.3.8.5.2 リンク層デバッグ キャプチャ

JCAP レジスタを使用して、リンク層の出力をキャプチャし、一般的なデバッグを行うことができます。

以下の手順を使用できます。

1. JESD204C 動作のための部品を設定します (起動手順を参照。SYS_EN=1 を設定する前にここに戻ります)。
2. リンク層の出力をキャプチャするには、JCAP_MODE=1 をプログラムします。
3. PHY 入力に JESD204C 準拠のデータを適用します。
4. JCAP_ARM=1 をプログラムします。
5. JCAP_OFFSET を、目的のキャプチャ オフセットにプログラムします。これは、ILAS 内のリンク構成オクテットをキャプチャする場合に特に便利です。JCAP_OFFSET の説明を参照してください。
6. レジスタを構成したら、SYS_EN= 1 に設定します。
7. 0 ~ L-1 の各論理レーン n:
 - a. JCAP_PAGE = n をプログラムします。これにより、レーン n からのデータへのアクセスが可能になります。

- b. **JCAP_STATUS** を読み出し、**JCAP_STATUS** が 1 を返してレーン n がデータをキャプチャしたことを示していることを確認します。**JCAP_STATUS** が 0 を返した場合、レーンがデータをキャプチャするまでしばらく待機し、データがキャプチャされない場合はタイムアウトします。これが発生した場合は、PLL がロックされており (**PLL_LOCKED** を参照)、すべてのチップ プログラミングが正しいことを確認します。PLL がロックされていてもキャプチャが実行されない場合、リンク層はマルチフレームまたは **EMB** 境界を識別できない可能性があります。トランスミッタをチェックするか、PHY キャプチャを実行して、問題をデバッグします。
 - c. **JCAP[0-15]** を読み出して、レーンごとに最大 16 バイトのデータを返します。
 - d. 各レーンのデータを検査するには、手順 (a) ~ (c) を繰り返します。
8. もう 1 つのキャプチャ (非 ILAS データまたはペイロード データ) は、クリアしてから再度 **JCAP_ARM** を設定するだけで実行できます。手順 7 に戻り、新しいキャプチャの結果を読み取ります。ILAS を再度キャプチャするには、**SYS_EN=0** に設定してから、手順 5 に戻ります。

7.3.8.5.3 トランスポート層デバッグ キャプチャ

JCAP レジスタを使用して、トランスポート層の出力をキャプチャし、一般的なデバッグを行うことができます。JESD204C トランスミッタを構成して、1 フレームの長さで固定の反復サンプル シーケンスを生成します (短いトランスポート層テストパターンなど)。キャプチャはフレーム境界に同期されません。キャプチャは、アプリケーション層のクロックとのみ同期されます (**JMODE** および **LT** によっては、フレーム境界と必ずしも一致するわけではありません)。

トランスポート層キャプチャを実行するには、**JCAP_MODE=2** を設定します。次に、リンクがキャプチャを実行するまでの間、**JCAP_ARM=1** をプログラムします。『**JCAP_STATUS**』も参照してください。

キャプチャが完了すると、**JCAP** レジスタからデータを読み取ることができます。**JCAP_PAGE** レジスタは、データのすべてのページにアクセスするようにプログラムする必要があります。データの構成は **LT** (補間係数) に依存します。これは、下表に定義されています。

表 7-41. トランスポート層キャプチャ マップ

JCAP_PAGE	{ JCAP[2n+1] , JCAP[2n] } から返されたトランスポート層のサンプル				
	LT = 1 (n=0..4)	LT = 4 または 6 (n=0..7)	LT = 8 または 12 (n=0..7)	LT = 16 または 24 (n=0..7)	LT = 32 以上 (n=0..7)
0	C0[16 n]	C0[8 n]	C0[4 n]	C0[2 n]	C0[n]
1	C0[16 n+1]	C0[8 n+2]	C0[4 n+1]	-	-
2	C0[16 n+2]	C0[8 n+4]	C0[4 n+2]	C0[2 n+1]	-
3	C0[16 n+3]	C0[8 n+6]	C0[4 n+3]	-	-
4	C0[16 n+4]	C1[8 n]	C1[4 n]	C1[2 n]	C1[n]
5	C0[16 n+5]	C1[8 n+2]	C1[4 n+1]	-	-
6	C0[16 n+6]	C1[8 n+4]	C1[4 n+2]	C1[2 n+1]	-
7	C0[16 n+7]	C1[8 n+6]	C1[4 n+3]	-	-
8	C0[16 n+8]	C2[8 n]	C2[4 n]	C2[2 n]	C2[n]
9	C0[16 n+9]	C2[8 n+2]	C2[4 n+1]	-	-
10	C0[16 n+10]	C2[8 n+4]	C2[4 n+2]	C2[2 n+1]	-
11	C0[16 n+11]	C2[8 n+6]	C2[4 n+3]	-	-
12	C0[16 n+12]	C3[8 n]	C3[4 n]	C3[2 n]	C3[n]
13	C0[16 n+13]	C3[8 n+2]	C3[4 n+1]	-	-
14	C0[16 n+14]	C3[8 n+4]	C3[4 n+2]	C3[2 n+1]	-
15	C0[16 n+15]	C3[8 n+6]	C3[4 n+3]	-	-
16	C1[16 n]	C0[8 n+1]	C4[4 n]	C4[2 n]	C4[n]
17	C1[16 n+1]	C0[8 n+3]	C4[4 n+1]	-	-
18	C1[16 n+2]	C0[8 n+5]	C4[4 n+2]	C4[2 n+1]	-
19	C1[16 n+3]	C0[8 n+7]	C4[4 n+3]	-	-

表 7-41. トランスポート層キャプチャ マップ (続き)

JCAP_PAGE	{JCAP[2n+1], JCAP[2n]} から返されたトランスポート層のサンプル				
	LT = 1 (n=0..4)	LT = 4 または 6 (n=0..7)	LT = 8 または 12 (n=0..7)	LT = 16 または 24 (n=0..7)	LT = 32 以上 (n=0..7)
20	C1[16 n+4]	C1[8 n+1]	C5[4 n]	C5[2 n]	C5[n]
21	C1[16 n+5]	C1[8 n+3]	C5[4 n+1]	-	-
22	C1[16 n+6]	C1[8 n+5]	C5[4 n+2]	C5[2 n+1]	-
23	C1[16 n+7]	C1[8 n+7]	C5[4 n+3]	-	-
24	C1[16 n+8]	C2[8 n+1]	C6[4 n]	C6[2 n]	C6[n]
25	C1[16 n+9]	C2[8 n+3]	C6[4 n+1]	-	-
26	C1[16 n+10]	C2[8 n+5]	C6[4 n+2]	C6[2 n+1]	-
27	C1[16 n+11]	C2[8 n+7]	C6[4 n+3]	-	-
28	C1[16 n+12]	C3[8 n+1]	C7[4 n]	C7[2 n]	C7[n]
29	C1[16 n+13]	C3[8 n+3]	C7[4 n+1]	-	-
30	C1[16 n+14]	C3[8 n+5]	C7[4 n+2]	C7[2 n+1]	-
31	C1[16 n+15]	C3[8 n+7]	C7[4 n+3]	-	-

注

- すべてのサンプル フィールドは 16 ビット (2 バイト) です。最上位バイトは上位アドレス (JCAP[2n+1]) から読み出されます。
- 8 ビットおよび 12 ビットの JESD204C モードの場合、サンプルは 16 ビット フィールドに左揃えされます。
- 「-」を含むセルは使用されず、未定義のデータを返します。
- 無効化されたストリームに対応するサンプル フィールド (つまり .converters) は、未定義のデータを返します (つまり、JESD_M が最大許容値より小さい値にプログラムされている場合)。

7.3.8.6 JESD204C インターフェイス モード

デバイスの JESD204C モードは、表 7-42、表 7-43 および 表 7-44 に定義されたパラメータを使って設定されます。

表 7-42. JESD204C インターフェイス パラメータの定義

パラメータ	説明
JMODE	JESD204C モード番号。ユーザーは、このパラメータを設定して、サポートされているモードを選択します。他のほとんどのパラメータは、この設定から導出されます。表 7-45 を参照してください。
LS	サンプル ストリームあたりのレーン。これは JMODE から導出されたものです。表 7-45 を参照してください。
LT	入力サンプル レートとクロックの比率。LT = F _{CLK} / F _{S_IN} 。DES2X モードは LT の値には影響しないことに注意してください。 DSP_MODE _n = バイパス (すべての DSP デイスエーブル、LT=1。 いずれかの DSP イネーブル (および JESD_M > 0)、LT は DSP_L によって設定 いずれかの DSP イネーブル (および JESD_M = 0)、LT は該当しない
Lx	特定の JMODE で使用されるレーンの最大数。このリンクは、有効化されているチャンネルの数に応じて、アクティブ レーン数 (L) を縮小します。JESD_M を参照
Mx	特定の JMODE の最大ストリーム数。Mx は 表 7-45 に従って自動的に計算されます。ユーザーは、JESD_M レジスタを使用して実際のストリーム数 (M) を指定できます。
R	DACCLK サイクルあたりのレーンあたり送信されるビット数。JMODE と LT から導出されます (表 7-46 を参照)。R に基づいて、REFDIV、MPY、および RATE レジスタをプログラムする必要があります。また、最大 DACCLK 周波数は R の関数です
SI	サンプル インターリーブ / 増分係数。1 の値は、JESD204C 規格からの標準トランスポート層マッピングが使用されることを示します (サンプルは 0 から S-1 まで線形にマッピングされます)。1 より大きい値は、代替マッピングが次のように使用されることを示します。サンプル 0 から始まるマップ サンプル。インデックスを SI 単位でインクリメントします。すべての S サンプルをマッピングするために必要な回数だけ繰り返します。各繰り返しは、前の繰り返しよりも 1 つ大きいインデックスで開始します。 JESD204C のフォーマット図を参照

表 7-42. JESD204C インターフェイス パラメータの定義 (続き)

パラメータ	説明
KR	8b/10b 動作の場合、KR は K (マルチフレームあたりのフレーム数) の有効値を定義します。有効値は、弾性バッファのアップセット耐性を容易にするために制限されています。マルチフレーム長は、弾性バッファの深さ 128 文字の倍数に制限されます (K*F が 32 または 64 の場合、バッファの深さは 32 または 64 文字に短縮されます)。さらに、K の値が低い場合、検証の負担が最小限に抑えられます。8b/10b モードの場合、K は KM1 レジスタを介してプログラムされます。

表 7-43. JESD204C リンク パラメータ

パラメータ	説明	ILAS フィールド名	このデバイスの値の参照 (1)
ADJCNT	DAC LMFC 調整	ADJCNT[3:0]	該当なし
ADJDIR	DAC LMFC 調整方向	ADJDIR[0]	該当なし
BID	Bank ID	BID[3:0]	該当なし
CF	フレームあたりの制御ワード数	CF[4:0]	0
CS	サンプルあたりの制御ビット数	CS[1:0]	0
DID	デバイス識別番号	DID[7:0]	該当なし
F	フレームあたりのオクテット数 (レーンあたり)	F[7:0]	を参照してください。表 7-45
HD	高密度形式	HD[0]	を参照してください。表 7-45
JESDV	JESD204 バージョン	JESDV[2:0]	該当なし
K	マルチフレームあたりのフレーム数	K[7:0]	KM1 レジスタによって設定 (2)
L	リンクあたりのレーン数	L[4:0]	最高限度 (M/Mx*Lx)
LID	レーン識別番号	LID[4:0]	該当なし
M	リンクあたりのサンプル ストリーム数 (1) を参照	M[7:0]	JESD_M レジスタによって設定
N	サンプルあたりのビット数 (制御ビットまたはテール ビットを追加する前)	N[4:0]	を参照してください。表 7-45
N'	サンプルあたりの総ビット数 (制御ビットとテール ビットを含む)	N'[4:0]	を参照してください。表 7-45
PHADJ	DAC への位相調整要求	PHADJ[0]	該当なし
S	フレームあたりのストリームごとのサンプル数	S[4:0]	を参照してください。表 7-45
SCR	スクランブル イネーブル	SCR[0]	SCR レジスタによって設定
SUBCLASSV	デバイス サブクラス バージョン	SUBCLASSV[2:0]	該当なし
RES1	予約済みフィールド 1	RES1[7:0]	該当なし
RES2	予約済みフィールド 2	RES2[7:0]	該当なし
CHKSUM	チェックサム (モジュロを 256 上記のすべてのフィールドの合計、モジュロ 256)	FCHK[7:0]	該当なし

- (1) 8b および 10b モードでは、トランスミッタは ILAS 中にリンク構成オクテットを送信することができます。トランスミッタから送信された値は、このレーンによってチェックされず、レーンバの動作値と一致する必要はありません。デバッグのために、特定の ILAS オクテットを取得し、SPI 経由で報告することができます。JCAP_PAGE および JCAP_OFFSET を参照してください。
- (2) 8b/10b モードでは、K は KM1 レジスタによって制御されます。64b/66b モードでは、K = 256 x E/F (JMODE によって決定) となります。

表 7-44. リンク パラメータ (64b および 66b エンコードでのみ適用)

パラメータ	説明	このデバイスの値の参照 (1)
E	拡張マルチブロックあたりのマルチブロック数 (64b および 66b エンコードのみ)	E=3 の場合を除き、F=3 の場合は、すべてのモードで E=1 が使用されます。(E は JMODE に基づいて自動的に設定されます)。

サポートされている各モードにはモード番号が割り当てられており、表 7-45 に示されているパラメータを使用して、JMODE レジスタにプログラムできます。

表 7-45. JESD インターフェイス モード

JMODE	エンコード	ストリームあ たりの最大 入力サンプ ル レート (GSPS) ^{1,2}	最大 SerDes ボーレート (Gbps)	R = F _{BIT} / F _{DACCLK} ³	N	Mx = 最 大ストリー ム数	Ls = レー ン / ストリ ーム	Lx = 最大 レーン数	LT = 補間		JESD フォーマット				KR
									最小値	最大値	F	S	HD	SI	
0	8b/10b	22	27.5	1.25	16	1	16	16	1	1	2	16	0	1	32、64、 128
	64b/66b	22	22.69	1.03125											
1	8b/10b	13	32.5	2.5/LT	16	2	8	16	1	8	2	8	0	1	32、64、 128
	64b/66b	15.76	32.5	2.0625/LT											
2	8b/10b	6.5	32.5	5/LT	16	4	4	16	1	16	2	4	0	1	32、64、 128
	64b/66b	7.88	32.5	4.125/LT											
3	8b/10b	3.25	32.5	10/LT	16	8	2	16	4	32	2	2	0	1	32、64、 128
	64b/66b	3.94	32.5	8.25/LT											
4	8b/10b	1.625	32.5	20/LT	16	8	1	8	4	64	2	1	0	1	32、64、 128
	64b/66b	1.97	32.5	16.5/LT											
5	8b/10b	0.81	32.5	40/LT	16	8	½	4	8	128	4	1	0	1	16,32,64
	64b/66b	0.98	32.5	33/LT											
6	8b/10b	0.41	32.5	80/LT	16	8	¼	2	16	256	8	1	0	1	8,16,32
	64b/66b	0.49	32.5	66/LT											
7	8b/10b	0.2	32.5	160/LT	16	8	⅙	1	32	256	16	1	0	1	4,8,16
	64b/66b	0.25	32.5	132/LT											
8	8b/10b	22	22	1	12	1	16	16	1	1	8	80	0	16	8,16,32
	64b/66b	22	18.15	0.825											
9	8b/10b	22	27.5	1.25	12	1	12	12	1	1	2	16	1	1	32,64、 128
	64b/66b	22	22.69	1.03125											
10	8b/10b	17.33	32.5	2	12	2	8	16	1	1	8	40	0	8	8,16,32
	64b/66b	21.01	32.5	1.65											
11	8b/10b	13	32.5	2.5	12	2	6	12	1	1	2	8	1	1	32,64、 128
	64b/66b	15.76	32.5	2.0625											
12	8b/10b	8.67	32.5	4	12	2	4	8	1	1	8	20	0	4	8,16,32
	64b/66b	10.51	32.5	3.3											
13	8b/10b	6.5	32.5	5	12	2	3	6	1	1	2	4	1	1	32,64、 128
	64b/66b	7.88	32.5	4.125											
14	8b/10b	22	13.75	0.625	8	1	16	16	1	1	1	16	0	1	64、 128,256
	64b/66b	22	11.34	0.5156											
15	8b/10b	22	27.5	1.25	8	2	8	16	1	1	1	8	0	1	64、 128,256
	64b/66b	22	22.69	1.03125											
16	8b/10b	13	32.5	2.5	8	2	4	8	1	1	1	4	0	1	64、 128,256
	64b/66b	15.76	32.5	2.0625											
17	8b/10b ⁴	該当なし	該当なし	該当なし	12	2	8	16	1	1	3	16	0	1	該当なし
	64b/66b	21.01	32.5	1.546875											

1. 最小補間レート時
2. エンコード (8b/10b または 64b/66b) は、JMODE と LT の特定の組み合わせに制限されています。詳しくは、表 7-46 を参照してください。
3. R の値に基づいて PHY PLL をプログラムする方法については、表 7-47 (8b/10b) または 表 7-48 (64b/66b) を参照してください。
4. このモードでは 8b/10b エンコードはサポートされません。

表 7-46. サポートされている補間 / アップサンプリング係数 (LT) と JMODE との関係

ユーザー指定のパラメータ		導出パラメータ	
JMODE	LT	R ¹ (JENC=0) (8b/10b)	R ² (JENC=1) (64b/66b)
0	1	1.25	1.03125
1	1	2.5	2.0625
	4	0.625	0.515625
	6	0.41667	-
	8	0.3125	-
2	1	5	4.125
	4	1.25	1.03125
	6	0.833	0.6875
	8	0.625	0.515625
	12	0.41667	-
	16	0.3125	-
3	4	2.5	2.0625
	6	1.667	1.375
	8	1.25	1.03125
	12	0.833	0.6875
	16	0.625	0.515625
	24	0.41667	-
	32	0.3125	-
4	4	5	4.125
	6	3.333	2.75
	8	2.5	2.0625
	12	1.667	1.375
	16	1.25	1.03125
	24	0.833	0.6875
	32	0.625	0.515625
	48	0.41667	-
	64	0.3125	-
5	8	5	4.125
	12	3.333	2.75
	16	2.5	2.0625
	24	1.667	1.375
	32	1.25	1.03125
	48	0.833	0.6875
	64	0.625	0.515625
	96	0.41667	-
	128	0.3125	-

表 7-46. サポートされている補間 / アップサンプリング係数 (LT) と JMODE との関係 (続き)

ユーザー指定のパラメータ		導出パラメータ	
JMODE	LT	R ¹ (JENC=0) (8b/10b)	R ² (JENC=1) (64b/66b)
6	16	5	4.125
	24	3.333	2.75
	32	2.5	2.0625
	48	1.667	1.375
	64	1.25	1.03125
	96	0.833	0.6875
	128	0.625	0.515625
	192	0.41667	-
	256	0.3125	-
7	32	5	4.125
	48	3.333	2.75
	64	2.5	2.0625
	96	1.667	1.375
	128	1.25	1.03125
	192	0.833	0.6875
	256	0.625	0.515625
8	1	1	0.825
9	1	1.25	1.031255
10	125	2	1.65
11	1	2.5	2.0625
12	1	4	3.3
13	1	5	4.125
14	1	0.625	0.515625
15	1	1.25	1.03125
16	1	2.5	2.0625
17	1	-	1.546875

1. R の値に基づいて PHY PLL をプログラムする方法については、表 7-47 (8b/10b) または 表 7-48 (64b/66b) を参照してください。
2. R の値が指定されていない場合、関連するレーン エンコーディング (8b/10b または 64b/66b) は、その特定の JMODE および LT 設定ではサポートされません。

表 7-47. 8b/10b モード (JENC = 0) の R パラメータから導出されるパラメータ

R パラメータ	最大 DAC クロック レート (F _{DACCLK})	最大レーン レート (F _{BIT} = R × F _{DACCLK})
0.3125 (40/128)	25.6GHz	8Gbps
0.416667 (40/96)	25.6GHz	10.667Gbps
0.625 (40/64)	25.6GHz	16Gbps
0.833333 (40/48)	19.2GHz	16Gbps
1 (40/40)	16GHz	16Gbps
1.25 (40/32)	12.8GHz	16Gbps
1.666667 (40/24)	9.6GHz	16Gbps
2 (40/20)	8GHz	16Gbps
2.5 (40/16)	6.4GHz	16Gbps

表 7-47. 8b/10b モード (JENC = 0) の R パラメータから導出されるパラメータ (続き)

R パラメータ	最大 DAC クロック レート (F_{DACCLK})	最大レーン レート ($F_{BIT} = R \times F_{DACCLK}$)
3.333333 (40/12)	4.8GHz	16Gbps
4 (40/10)	4GHz	16Gbps
5 (40/8)	3.2GHz	16Gbps

表 7-48. 64b/66b モード (JENC = 0) の R パラメータから導出されるパラメータ

R パラメータ	最大 DAC クロック レート (F_{DACCLK})	最大レーン レート ($F_{BIT} = R \times F_{DACCLK}$)
0.515625 (33/64)	25.6GHz	13.2Gbps
0.6875 (33/48)	25.6GHz	17.6Gbps
0.825 (33/40)	25.6GHz	21.12Gbps
1.03125 (33/32)	25.6GHz	26.4Gbps
1.375 (33/24)	23.636GHz	32.5Gbps
1.546875 (99/64)	21.010GHz	32.5Gbps
1.65 (33/20)	19.697GHz	32.5Gbps
2.0625 (33/16)	15.758GHz	32.5Gbps
2.75 (33/12)	11.818GHz	32.5Gbps
3.3 (33/10)	9.848GHz	32.5Gbps
4.125 (33/8)	7.87GHz	32.5Gbps

7.3.8.6.1 JESD204C のフォーマット図

以下の各サブセクションでは、サンプルとテール ビットをレーンにどのようにマッピングするかを示し、JESD204C の各フレームフォーマットについて説明します。出力形式の表に示されていないレーンは使用されません。各表は 1 つのフレームを表しています。テール ビットは、トランスポート層によって廃棄され、無視されます。すべての図は、LANE_SELn を使用して外部物理レーンに任意にマッピングできる論理レーン番号を基準にしています。各図は、モードでサポートされるストリーム (コンバータ) の最大数を示していますが、ユーザーはより小さな値を設定できます (JESD_M を参照)。この結果、アクティブになるレーン数が少なくなる可能性があります。

表 7-49. JESD モード図の表記

		アプリケーション層への意義付け		
表記	説明	バイパス モード	DUC モード	DDS ストリーム モード
T	テール ビット (ゼロ)	-	-	-
C0[n]	ストリーム 0 のサンプル	DAC_SRC を参照	DSP0 (I)	DSP0 (sdata[15:0])
C1[n]	ストリーム 1 のサンプル	DAC_SRC を参照	DSP0 (Q)	DSP0 (sdata[31:16])
C2[n]	ストリーム 2 のサンプル	-	DSP1 (I)	DSP1 (sdata[15:0])
C3[n]	ストリーム 3 のサンプル	-	DSP1 (Q)	DSP1 (sdata[31:16])
C4[n]	ストリーム 4 のサンプル	-	DSP2 (I)	DSP2 (sdata[15:0])
C5[n]	ストリーム 5 のサンプル	-	DSP2 (Q)	DSP2 (sdata[31:16])
C6[n]	ストリーム 6 のサンプル	-	DSP3 (I)	DSP3 (sdata[15:0])
C7[n]	ストリーム 7 のサンプル	-	DSP3 (Q)	DSP3 (sdata[31:16])

上記の表記では、n はサンプル番号 (0 ~ S-1) を示しています。JESD204C の一部のモードは S=1 (フレームあたりのストリームごとに 1 サンプル) です。その場合は、「[n]」を省略しています。

7.3.8.6.1.1 16 ビット形式

表 7-50. JMODE 0 (16 ビット、ストリームごとに 16 レーン、1 ストリーム)

オクテット	0		1	
Nibble	0	1	2	3
Lane 0			C0[0]	
Lane 1			C0[1]	
Lane 2			C0[2]	
Lane 3			C0[3]	
Lane 4			C0[4]	
Lane 5			C0[5]	
Lane 6			C0[6]	
Lane 7			C0[7]	
Lane 8			C0[8]	
Lane 9			C0[9]	
Lane 10			C0[10]	
Lane 11			C0[11]	
Lane 12			C0[12]	
Lane 13			C0[13]	
Lane 14			C0[14]	
Lane 15			C0[15]	

表 7-51. JMODE 1 (16 ビット、ストリームごとに 8 レーン、最大 2 ストリーム)

オクテット	0		1	
Nibble	0	1	2	3
Lane 0			C0[0]	
Lane 1			C0[1]	
Lane 2			C0[2]	
Lane 3			C0[3]	
Lane 4			C0[4]	
Lane 5			C0[5]	
Lane 6			C0[6]	
Lane 7			C0[7]	
Lane 8			C1[0]	
Lane 9			C1[1]	
Lane 10			C1[2]	
Lane 11			C1[3]	
Lane 12			C1[4]	
Lane 13			C1[5]	
Lane 14			C1[6]	
Lane 15			C1[7]	

表 7-52. JMODE 2 (16 ビット、ストリームごとに 4 レーン、最大 4 ストリーム)

オクテット	0		1	
Nibble	0	1	2	3
Lane 0			C0[0]	
Lane 1			C0[1]	
Lane 2			C0[2]	

表 7-52. JMODE 2 (16 ビット、ストリームごとに 4 レーン、最大 4 ストリーム) (続き)

オクテット	0		1	
Nibble	0	1	2	3
Lane 3			C0[3]	
Lane 4			C1[0]	
Lane 5			C1[1]	
Lane 6			C1[2]	
Lane 7			C1[3]	
Lane 8			C2[0]	
Lane 9			C2[1]	
Lane 10			C2[2]	
Lane 11			C2[3]	
Lane 12			C3[0]	
Lane 13			C3[1]	
Lane 14			C3[2]	
Lane 15			C3[3]	

表 7-53. JMODE 3 (16 ビット、ストリームごとに 2 レーン、最大 8 ストリーム)

オクテット	0		1	
Nibble	0	1	2	3
Lane 0			C0[0]	
Lane 1			C0[1]	
Lane 2			C1[0]	
Lane 3			C1[1]	
Lane 4			C2[0]	
Lane 5			C2[1]	
Lane 6			C3[0]	
Lane 7			C3[1]	
Lane 8			C4[0]	
Lane 9			C4[1]	
Lane 10			C5[0]	
Lane 11			C5[1]	
Lane 12			C6[0]	
Lane 13			C6[1]	
Lane 14			C7[0]	
Lane 15			C7[1]	

表 7-54. JMODE 4 (16 ビット、ストリームごとに 1 レーン、最大 8 ストリーム)

オクテット	0		1	
Nibble	0	1	2	3
Lane 0			C0	
Lane 1			C1	
Lane 2			C2	
Lane 3			C3	
Lane 4			C4	
Lane 5			C5	
Lane 6			C6	

表 7-54. JMODE 4 (16 ビット、ストリームごとに 1 レーン、最大 8 ストリーム) (続き)

オクテット	0		1	
Nibble	0	1	2	3
Lane 7	C7			

表 7-55. JMODE 5 (16 ビット、ストリームごとに 1/2 レーン、最大 8 ストリーム)

オクテット	0		1		2		3	
Nibble	0	1	2	3	4	5	6	7
Lane 0	C0				C1			
Lane 1	C2				C3			
Lane 2	C4				C5			
Lane 3	C6				C7			

表 7-56. JMODE 6 (16 ビット、ストリームごとに 1/4 レーン、最大 8 ストリーム)

オクテット	0		1		2		3		4		5		6		7	
Nibble	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
Lane 0	C0				C1				C2				C3			
Lane 1	C4				C5				C6				C7			

表 7-57. JMODE 7 (16 ビット、ストリームごとに 1/8 レーン、最大 8 ストリーム)

オクテット	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
Nibble	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
Lane 0	C0				C1				C2				C3			
Lane 1	C4				C5				C6				C7			

7.3.8.6.1.2 12 ビット形式

表 7-58. JMODE 8 (12 ビット、ストリームごとに 16 レーン、1 ストリーム)

オクテット	0		1		2		3		4		5		6		7	
ニブル	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
Lane 0	C0[0]		C0[16]		C0[32]		C0[48]		C0[64]		T					
Lane 1	C0[1]		C0[17]		C0[33]		C0[49]		C0[65]		T					
Lane 2	C0[2]		C0[18]		C0[34]		C0[50]		C0[66]		T					
Lane 3	C0[3]		C0[19]		C0[35]		C0[51]		C0[67]		T					
Lane 4	C0[4]		C0[20]		C0[36]		C0[52]		C0[68]		T					
Lane 5	C0[5]		C0[21]		C0[37]		C0[53]		C0[69]		T					
Lane 6	C0[6]		C0[22]		C0[38]		C0[54]		C0[70]		T					
Lane 7	C0[7]		C0[23]		C0[39]		C0[55]		C0[71]		T					
Lane 8	C0[8]		C0[24]		C0[40]		C0[56]		C0[72]		T					
Lane 9	C0[9]		C0[25]		C0[41]		C0[57]		C0[73]		T					
Lane 10	C0[10]		C0[26]		C0[42]		C0[58]		C0[74]		T					
Lane 11	C0[11]		C0[27]		C0[43]		C0[59]		C0[75]		T					
Lane 12	C0[12]		C0[28]		C0[44]		C0[60]		C0[76]		T					
Lane 13	C0[13]		C0[29]		C0[45]		C0[61]		C0[77]		T					
Lane 14	C0[14]		C0[30]		C0[46]		C0[62]		C0[78]		T					
Lane 15	C0[15]		C0[31]		C0[47]		C0[63]		C0[79]		T					

表 7-59. JMODE 9 (12 ビット、ストリームごとに 12 レーン、1 ストリーム)

オクテット	0		1	
ニブル	0	1	2	3
Lane 0	C0[0]			C0[1][11:8]
Lane 1	C0[1][7:0]		C0[2] [11:4]	
Lane 2	C0[2] [3:0]	C0[3]		
Lane 3	C0[4]			C0[5][11:8]
Lane 4	C0[5][7:0]		C0[6] [11:4]	
Lane 5	C0[6] [3:0]	C0[7]		
Lane 6	C0[8]			C0[9][11:8]
Lane 7	C0[9][7:0]		C0[10] [11:4]	
Lane 8	C0[10] [3:0]	C0[11]		
Lane 9	C0[12]			C0[13][11:8]
Lane 10	C0[13][7:0]		C0[14] [11:4]	
Lane 11	C0[14] [3:0]	C0[15]		

表 7-60. JMODE 10 (12 ビット、ストリームごとに 8 レーン、最大 2 ストリーム)

オクテット	0		1		2		3		4		5		6		7	
ニブル	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
Lane 0	C0[0]		C0[8]		C0[16]		C0[24]		C0[32]		T					
Lane 1	C0[1]		C0[9]		C0[17]		C0[25]		C0[33]		T					
Lane 2	C0[2]		C0[10]		C0[18]		C0[26]		C0[34]		T					
Lane 3	C0[3]		C0[11]		C0[19]		C0[27]		C0[35]		T					
Lane 4	C0[4]		C0[12]		C0[20]		C0[28]		C0[36]		T					
Lane 5	C0[5]		C0[13]		C0[21]		C0[29]		C0[37]		T					
Lane 6	C0[6]		C0[14]		C0[22]		C0[30]		C0[38]		T					
Lane 7	C0[7]		C0[15]		C0[23]		C0[31]		C0[39]		T					
Lane 8	C1[0]		C1[8]		C1[16]		C1[24]		C1[32]		T					
Lane 9	C1[1]		C1[9]		C1[17]		C1[25]		C1[33]		T					
Lane 10	C1[2]		C1[10]		C1[18]		C1[26]		C1[34]		T					
Lane 11	C1[3]		C1[11]		C1[19]		C1[27]		C1[35]		T					
Lane 12	C1[4]		C1[12]		C1[20]		C1[28]		C1[36]		T					
Lane 13	C1[5]		C1[13]		C1[21]		C1[29]		C1[37]		T					
Lane 14	C1[6]		C1[14]		C1[22]		C1[30]		C1[38]		T					
Lane 15	C1[7]		C1[15]		C1[23]		C1[31]		C1[39]		T					

表 7-61. JMODE 11 (12 ビット、ストリームごとに 6 レーン、最大 2 ストリーム)

オクテット	0		1	
ニブル	0	1	2	3
Lane 0	C0[0]			C0[1][11:8]
Lane 1	C0[1][7:0]		C0[2][11:4]	
Lane 2	C0[2][3:0]	C0[3]		
Lane 3	C0[4]			C0[5][11:8]
Lane 4	C0[5][7:0]		C0[6][11:4]	
Lane 5	C0[6][3:0]	C0[7]		
Lane 6	C1[0]			C1[1][11:8]
Lane 7	C1[1][7:0]		C1[2][11:4]	

表 7-61. JMODE 11 (12 ビット、ストリームごとに 6 レーン、最大 2 ストリーム) (続き)

オクテット	0				1			
ニブル	0		1		2		3	
Lane 8	C1[2] [3:0]		C1[3]					
Lane 9	C1[4]						C1[5][11:8]	
Lane 10	C1[5][7:0]				C1[6] [11:4]			
Lane 11	C1[6] [3:0]		C1[7]					

表 7-62. JMODE 12 (12 ビット、ストリームごとに 4 レーン、最大 2 ストリーム)

オクテット	0		1		2		3		4		5		6		7	
ニブル	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
Lane 0	C0[0]		C0[4]		C0[8]		C0[12]		C0[16]		T					
Lane 1	C0[1]		C0[5]		C0[9]		C0[13]		C0[17]		T					
Lane 2	C0[2]		C0[6]		C0[10]		C0[14]		C0[18]		T					
Lane 3	C0[3]		C0[7]		C0[11]		C0[15]		C0[19]		T					
Lane 4	C1[0]		C1[4]		C1[8]		C1[12]		C1[16]		T					
Lane 5	C1[1]		C1[5]		C1[9]		C1[13]		C1[17]		T					
Lane 6	C1[2]		C1[6]		C1[10]		C1[14]		C1[18]		T					
Lane 7	C1[3]		C1[7]		C1[11]		C1[15]		C1[19]		T					

表 7-63. JMODE 13 (12 ビット、ストリームごとに 3 レーン、最大 2 ストリーム)

オクテット	0		1	
ニブル	0	1	2	3
Lane 0	C0[0]			C0[1][11:8]
Lane 1	C0[1][7:0]		C0[2] [11:4]	
Lane 2	C0[2] [3:0]	C0[3]		
Lane 3	C0[4]			C0[5][11:8]
Lane 4	C0[5][7:0]		C0[6] [11:4]	
Lane 5	C0[6] [3:0]	C0[7]		

表 7-64. JMODE 17 (12 ビット、ストリームごとに 8 レーン、最大 2 ストリーム)

オクテット	0		1		2	
ニブル	0	1	2	3	4	5
Lane 0	C0[0]			C0[1]		
Lane 1	C0[2]			C0[3]		
Lane 2	C0[4]			C0[10]		
Lane 3	C0[6]			C0[11]		
Lane 4	C0[8]			C0[12]		
Lane 5	C0[10]			C0[13]		
Lane 6	C0[12]			C0[14]		
Lane 7	C0[14]			C0[15]		
Lane 8	C1[0]			C1[1]		
Lane 9	C1[2]			C1[3]		
Lane 10	C1[4]			C1[5]		
Lane 11	C1[6]			C1[7]		
Lane 12	C1[8]			C1[9]		
Lane 13	C1[10]			C1[11]		
Lane 14	C1[12]			C1[13]		

表 7-64. JMODE 17 (12 ビット、ストリームごとに 8 レーン、最大 2 ストリーム) (続き)

オクテット	0		1		2	
ニブル	0	1	2	3	4	5
Lane 15	C1[14]			C1[15]		

7.3.8.6.1.3 8 ビット形式

表 7-65. JMODE 14 (8 ビット、ストリームごとに 16 レーン、1 ストリーム)

オクテット	0	
ニブル	0	1
Lane 0	C0[0]	
Lane 1	C0[1]	
Lane 2	C0[2]	
Lane 3	C0[3]	
Lane 4	C0[4]	
Lane 5	C0[5]	
Lane 6	C0[6]	
Lane 7	C0[7]	
Lane 8	C0[8]	
Lane 9	C0[9]	
Lane 10	C0[10]	
Lane 11	C0[11]	
Lane 12	C0[12]	
Lane 13	C0[13]	
Lane 14	C0[14]	
Lane 15	C0[15]	

表 7-66. JMODE 15 (8 ビット、ストリームごとに 8 レーン、最大 2 ストリーム)

オクテット	0	
ニブル	0	1
Lane 0	C0[0]	
Lane 1	C0[1]	
Lane 2	C0[2]	
Lane 3	C0[3]	
Lane 4	C0[4]	
Lane 5	C0[5]	
Lane 6	C0[6]	
Lane 7	C0[7]	
Lane 8	C1[0]	
Lane 9	C1[1]	
Lane 10	C1[2]	
Lane 11	C1[3]	
Lane 12	C1[4]	
Lane 13	C1[5]	
Lane 14	C1[6]	
Lane 15	C1[7]	

表 7-67. JMODE 16 (8 ビット、ストリームごとに 4 レーン、最大 2 ストリーム)

オクテット	0	
	0	1
ニブル		
Lane 0	C0[0]	
Lane 1	C0[1]	
Lane 2	C0[2]	
Lane 3	C0[3]	
Lane 4	C1[0]	
Lane 5	C1[1]	
Lane 6	C1[2]	
Lane 7	C1[3]	


7.3.8.6.2 DUC および DDS モード

このデバイスには、DUC モードと直接デジタル合成 (DDS) モードが搭載されています。データ パス モードでは、JESD インターフェイスからの複素 (I および Q) データを使用し、DUC 内のデータを補間およびアップコンバートし、DUC 出力を合計して DAC 内のアナログ信号を生成します。DDS モードでは、DUC NCO を直接使用して、入力データを必要とせずに、トーンを生成します。


DDS モードと DUC モードの違いを以下に示します。

1. 補間フィルタは使用できません。
2. JESD204C インターフェイスは無効です。
3. NCO の消費電力が削減されます (複素ミキシングなし)。
4. AMP レジスタは、各 DUC (DDS) チャンネルに固有の振幅を供給するため、DDS チャンネルはトーンを生成して DAC 出力の高調波トーンをキャンセルできます。たとえば、DDS チャンネル 0 が基本トーンを生成した場合、チャンネル 1 は HD2 をキャンセルするトーンを生成し、チャンネル 2 は HD3 をキャンセルするトーンを生成できます。
5. JMODE および DUC_L レジスタは無視され、JESD204C システムおよび補間フィルタによって課される SYSREF 周期制約が削除されます。

7.3.9 データ パス レイテンシ

 **7-53** に示され、**表 7-68** に一覧表示されているように、デバイスに定義されたいくつかの異なるレイテンシーがあります。これらのパラメータの多くは、チップ設定 (JMODE、LT、JENC、RBD、NCO_EN、MXMODE (DES2X)、PFIR_EN、PFIR_MODE) によって異なります。さまざまな動作モードでのデバイスのレイテンシーを計算するために、TI は Excel スプレッドシートカリキュレータを提供しています。

JESD204C サブクラス 0 動作では、Serdes 入力から DAC 出力へのレイテンシーが、 T_{DAC_LAT0} と呼ばれ、確定的ではなく、Excel スプレッドシートのカリキュレータに最小範囲と最大範囲が提供されます。

JESD204C サブクラス 1 の動作では、SYSREF 入力から DAC 出力までのレイテンシー T_{DAC_LAT} は、決定論的で、Excel スプレッドシートのカリキュレータに提供されています。RBD 値が適切に設定されている限り、JESD204C トランスミッタから Rx FIFO 出力への JESD204C リンクも決定論的レイテンシーを持つことができます (適切な条件は、SYSREF とリンクパスのレイテンシーによって異なり、 **7-53** に示されています)。

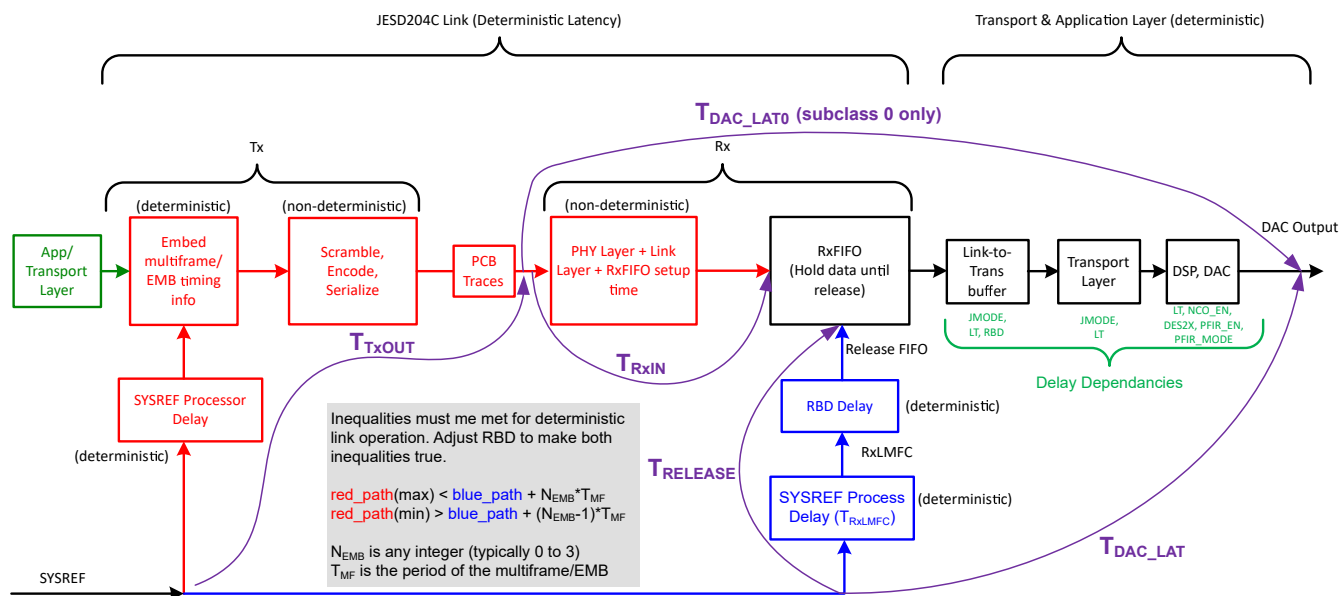


図 7-53. デバイスレイテンシーの定義

表 7-68. レイテンシーの定義

レイテンシーのパラメータ	定義
$T_{RELEASE}$	弾性バッファ用のイベントをリリースするまでの SYSREF の立ち上がりエッジに続く、DACCLK の立ち上がりエッジからのレイテンシー。(サブクラス 1 のみ)。
T_{DAC_LAT}	SYSREF の立ち上がりエッジに続く DACCLK の立ち上がりエッジから、SYSREF によって起動されるマルチフレーム/拡張マルチブロックの DAC 出力における最初のサンプリング時間までのレイテンシー (サブクラス 1 のみ)。
T_{RXIN}	弾性バッファの最小設定時間を含む、レシーバのデータ入力から弾性バッファ入力へのレイテンシー。これは非確定的なので、最小値と最大値の制限が規定されています。
T_{TXOUT}	トランスミッタデバイスの SYSREF 入力から、トランスミッタ (Tx) から出力されてレシーバ (Rx) に到達するまでのマルチフレームまたは EMB 境界までのレイテンシー。
T_{DAC_LATO}	レシーバデータ入力 (マルチフレーム/EMB 境界) から、DAC 出力で起動されるマルチフレームの最初のサンプリングまでのレイテンシー。これは非確定的なので、最小値と最大値の制限が規定されます (サブクラス 0 のみ)。

7.3.10 複数デバイスの同期と決定論的レイテンシ

JESD204C サブクラス 1 では、シリアルリンク全体で決定論的なレイテンシを実現する方法の概要を示します。PLL/VCO を使用する場合、複数デバイスの同期を実行することはできません。2 つのデバイスが同じ確定的レイテンシを達成している場合、それらが同期していると考えられます。このレイテンシは、システムの起動から起動まで、確定的である必要があります。確定的なレイテンシを実現するには、2 つの重要な要件があります。1 番目の要件は、SYSREF を適切にキャプチャすることです。SYSREF は、各デバイスの LMFC カウンタをリセットし、既知のタイミングリファレンスとして動作します。

2 番目の要件は、レシーバ内の適切な弾性バッファリリースポイントを選択することです。コンバータ デバイスは JESD204C リンクのレシーバ (RX) で、ロジック デバイスはトランスミッタ (TX) です。弾性バッファは、決定論的なレイテンシを実現するための重要なブロックであり、データがトランスミッタからレシーバに伝達されるときにシリアル化されたデータの伝搬遅延の変動を吸収することで遅延を実現します。適切なリリースポイントは、遅延変動に対して十分なマージンを確保することです。リリースポイントが正しくないと、1 つの LMFC 周期のレイテンシ変動が発生する場合、場合によってはバッファのオーバーフローが発生してリンクが確立できなくなる場合があります。マルチフレームが短い場合にのみ、ユーザーは不良なリリースポイントが発生したときにそれを取得する可能性があります。通常、レーンのデスキューが誤っているため、不良データが発生します。適切なリリースポイントを選択するには、LMFC エッジを参照する弾性バッファへのデータの平均到着時間と、すべてのデバイスの予測される遅延変動の合計を知る必要があります。この情報を使用して、LMFC 周期内の無効なリリースポイントの領域を定義できます。この領域は、すべてのレーンの最小遅延から最大遅延まで延びます。基本的に、前のリリースポイントが発生した後、次のリリースポイントが発生する前に、すべてのレーンのデータがすべてのデバイスに到着することを設計者は確認する必要があります。無効な領域も実験的に見つけることができます。『RBD のプログラミング』を参照してください。

図 7-54 に、この要件を示すタイミング図を示します。この図には、2 つのトランスミッタ (ADC またはロジック デバイス) のデータが表示されています。2 番目のトランスミッタ (TX 2) は配線距離 (t_{PCB}) が長いため、最初のトランスミッタ (TX 1) よりもリンク遅延が長くなります。まず、LMFC 周期の無効領域は、すべてのデバイスのデータ到着時間によって決定されるとおりにマークオフされます。次に、リリース バッファ遅延 (RBD) パラメータを使用して、リリースポイントを LMFC エッジから適切な数の 4 オクテット ステップにシフトし、LMFC サイクルの有効な領域内でリリースポイントが発生するようにします。図 7-54 の場合は、有効領域の各側に十分なマージンがあるので、LMFC エッジ (RBD = 0) がリリースポイントに適した選択肢です。

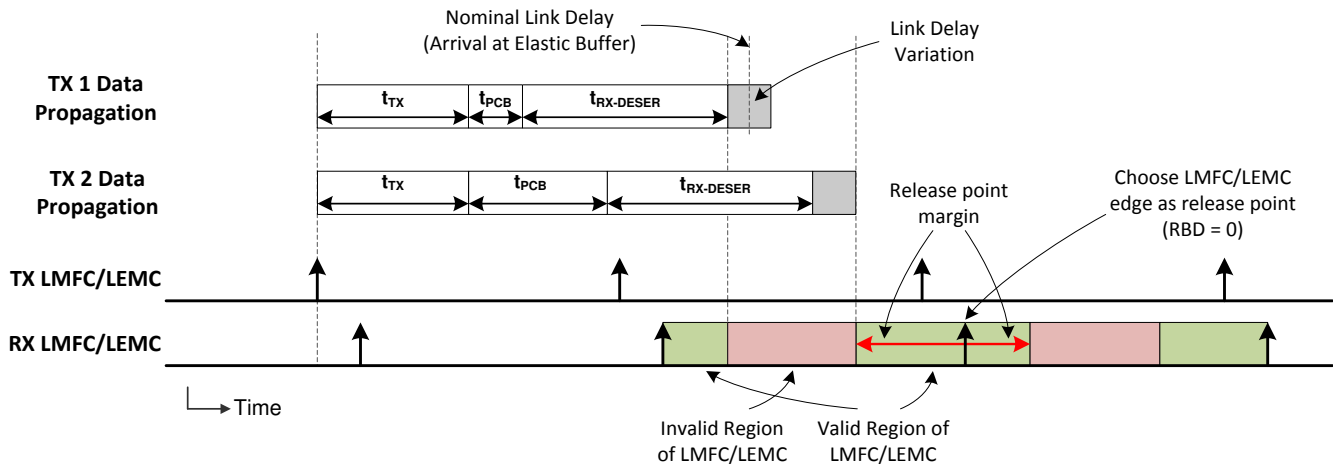


図 7-54. 弾性バッファのリリース ポイント選択における LMFC の有効領域の定義

TX および RX LMFC は必ずしも位相が揃っている必要はありませんが、弾性バッファのリリース ポイントを適切に選択するには、それらの位相を把握することが重要です。また、弾性バッファのリリース ポイントは各 LMFC サイクル内で発生しますが、バッファはすべてのレーンが到着したときのみ解放されます。このため、合計リンク遅延が単一の LMFC 周期を超える可能性があります。詳細については、『[JESD204B 複数デバイスの同期: 詳細情報は 要件を分解](#)』を参照。

7.3.10.1 RBD のプログラミング

サブクラス 1 の動作では、弾性バッファのオーバーフローを防止するため、RBD レジスタを適切にプログラミングする必要があります。

RBD の有効値の範囲は、RX と TX LMFC/LEMC の間の位相デルタ、および SerDes トランスミッタ、チャネル、および SerDes レシーバのリンクレイテンシによって異なります。したがって、すべてのシステムで有効な事前定義の RBD 値を提供することはできません。ユーザーがレーン到着時間を測定し、システムに適した RBD 値を選択するのに役立つように、LANE_ARR レジスタが提供されています。決定論的なレイテンシを確保するため、RBD 値はシステムのプロトタイピング時に選択し、システム ファームウェアに保存できます。システムの電源がオンになるときに RBD を計算すると、非確定的なレイテンシが発生する可能性があります。

到着時間は octa-bytes (8 バイト) 単位で報告され、受信した octo-byte ごとに (レーンごとに) 増加するリファレンスカウンタを基準に測定されます。リファレンスカウンタは SYSREF によって整列 (リセット) され、8b/10b モードでの K の値に関係なく、32 octa-bytes (256 バイト) の係数で動作します。64b/66b モードの場合、係数は 32*E octa-bytes (256*E バイト) です。弾性バッファの深さは EBD と呼ばれ、マルチフレーム / EMB の長さに依存します。

表 7-69. リファレンス カウンタ値と LANE_ARR 値に使用される係数

リンク エンコード	AM (リファレンス カウンタと LANE_ARR の係数) [octa-bytes]
8b/10b (JENC = 0)	32
64b/66b (JENC = 1)	32*E

レーン到着時間はモジュロ値であるため、係数を考慮した演算を使用することが重要です (「直近」の到着レーンは、実際には最初の到着レーンよりも「小さい」LANE_ARR 値である可能性があります)。図 7-55 および 図 7-56 に、これを強調するために RBD 計算を図式で示します。レーン到着時間は、64 個の quad-bytes の円周を持つ円にマッピングされます。これは、レーン到着時間の測定に使用される modulo-64 カウンタに対応します。

使用できる最も初期の RBD 値は、最新の LANE_ARR 値に 1 を加えた値 (モジュロ AM) に等しくなります。使用できる最新の RBD 値は、最も早い LANE_ARR 値にバッファの深さ (モジュロ AM) を加えた値に等しくなります (バッファの深さは EBD で示されます)。使用できる最新の RBD 値により、最も早い到着レーンは、データが読み出されているクロックサイクルと同じクロック サイクルでバッファ データを上書きします (これは許容可能であり、オーバーフローは発生しません)。

使用可能な範囲の中央に RBD 値を選択すると、スキュー許容誤差が最大になりますが、レイテンシを短縮する必要がある場合は、最新の到着レーンに近い値を選択できます。

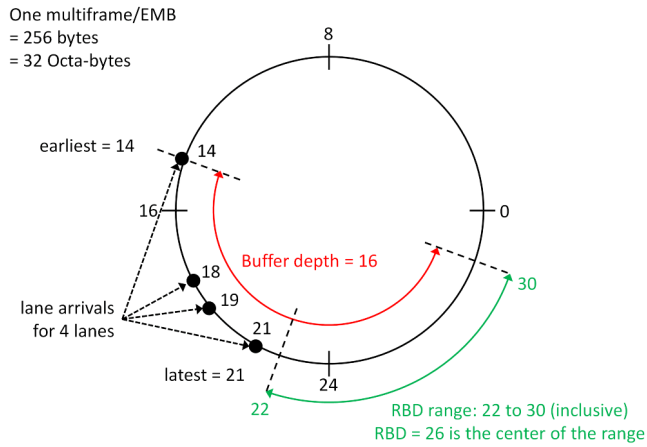


図 7-55. RBD の例 (レーン到着がゼロにまたがっていない場合)

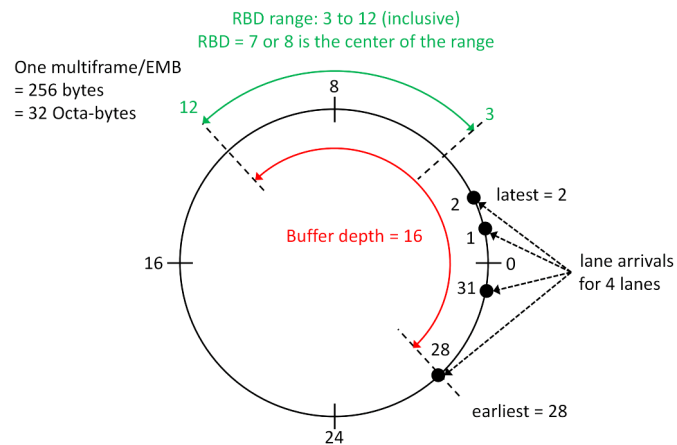


図 7-56. RBD の例 (レーン到着がゼロの場合)

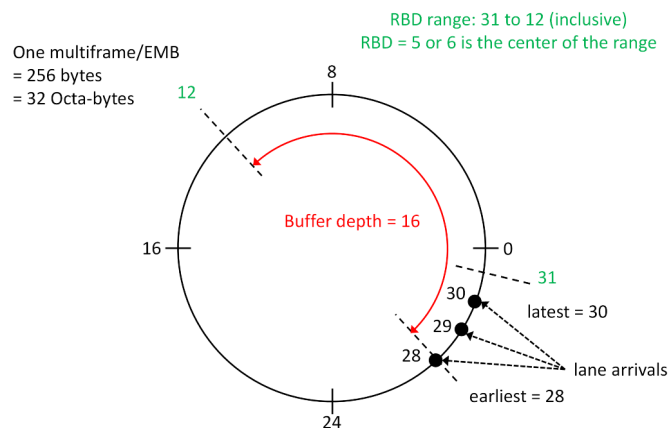


図 7-57. RBD の例 (有効な RBD 範囲がゼロにまたがっている場合)

7.3.10.2 32 Octa-Bytes (256 ビット) 未満のマルチフレーム長

8b/10b モードの場合、実際のマルチフレーム長に関係なく、レーン到着時間は常に 5 ビットのモジュロ 32 カウンタを使用して測定されます。

マルチフレーム長も 32 octa-bytes の場合、5 ビット カウンタ全体が SYSREF によって整列されます。マルチフレーム長が 16 バイトまたは 8 octa-bytes の場合、カウンタの下位 4 ビットまたは 3 ビットのみが SYSREF によって整列され、上位ビットはフリーランのままになります。この配置により、レーンのスキューが 15 octa-bytes に達する場合でも、最も初期かつ最新のレーンを明確に判別することができます (最も初期のレーンから最も初期のレーンを分離する 32 octa-bytes の円には、あいまいではない大きな空のスペースが存在します)。

マルチフレーム長が 32 octa-bytes 未満の場合、LANE_ARR 値はあるリンクの起動から次のリンクの起動に大きく変化する可能性があります、ユーザーが複数のリンクの起動から LANE_ARR データを混在させない限り、RBD の計算には影響しません。

7.3.10.3 RBD 値を決定するための推奨アルゴリズム

初期開始

```
int tries;
```

```
int arrival [];
```

// 起動手順に従ってリンクを開始します。RBD の値はどれでも構いません。

// RBD が無効になる可能性があるため、LINK_UP は設定されない場合があります。

```
startup_link();
```

// LANE_ARR_RDY が High になるまで待ちます

// 1000 回の試行後に放棄します。

```
tries = 0;
```

```
while(read_reg(LANE_ARR_RDY)==0 && tries<1000)
```

```
tries++;
```

// すべてのレーンの LANE_ARR を読み取ります

```
arrival = new [L];
```

```
foreach(arrival[i]) arrival[i] = read_reg(LANE_ARR[i]);
```

```
RBD = determine_RBD(arrival, K*F/8);
```

// この RBD 値を使用してリンクを再起動します

```
end
```

// この関数は、到着時刻の配列から RBD を計算します

```
function determine_RBD(
```

```
int arrival [], // A dynamic array of arrival times from LANE_ARR
```

```
int oneMF // Number of octa-bytes per multiframe/EMB
```

```
);
```

```
int spacing, max_spacing;
```

```

int latest, earliest;
int L, early_overwrite;
int AM, EB_size;

// バッファ サイズは最大 16 octa-bytes ですが、oneMF を超えることはありません
EB_size = oneMF > 16? 16 : oneMF;

// LANE_ARR のモジュロ値
AM = JENC? 32*E : 32;

// レーン数は、到着配列のサイズです
L = arrival.size;
// 到着リストを数字の昇順に並べ替えます
arrival.sort;

// 到着時間の最大間隔を検索します (サークル上)
max_spacing = 0;
for(int i = 0; i<L; i++) begin
spacing = arrival[(i+1)%L] – arrival[i] + (i==L-1)*AM;
if(spacing>max_spacing) begin
max_spacing = spacing;
latest = arrival[i];
earliest = arrival[(i+1)%L];
end
end

// 弾性バッファに対してレーン スキューが大きすぎないことを確認します
if ( (latest-earliest+AM)%AM >= EB_size ) begin
$display("ERROR: Lane skew too large for elastic buffer");
$display(" Earliest=%0d Latest=%0d");
return 0;
end

// 最新の到着レーン (+1) とその瞬間の間に RBD を選択します
// 最初のレーンは弾性バッファを上書きし始めます。
early_overwrite = (earliest+EB_size)%AM;
if(early_overwrite < latest+1) early_overwrite += AM;
return (latest+1+early_overwrite)/2 % oneMF;

endfunction

```

7.3.10.4 Subclass 0 システムでの動作

マルチ DAC の同期と決定論的レイテンシが不要な場合、デバイスはサブクラス 0 との互換性で動作できます。これらの制限により、このデバイスは **SYSREF** をアプリケーションしなくても動作できます。内部 **LMFC** は、開始フェーズが不明な場合に自動的に自己生成されます。同期は、**CGS** と **ILAS** を開始するために通常どおり使用されます。

7.3.11 リンクのリセット

以下の場合に、すべてのレーンのリンク層全体がリセットされます。

- JESD リンクで使用するレーンでギヤボックス FIFO のアンダーフロー / オーバーフローが検出された場合 (**LANE_ERR**)
- JESD リンクで使用するレーンで弾性バッファのオーバーフローが検出された場合 (**EB_ERR**)
- JESD リンクがダウンした場合 (**JESD_LINK_DOWN_ALM**)
- **SYSREF** により、クロック分周器または **LMFC/LEMC** の再整列が発生した場合 (**CLK_REALIGNED**)
- JTimer の有効期限が切れた場合 (**JTIMER_EXPIRED_ALM**, **JTIMER**)
- **SYS_EN=0**
- **JESD_RST=0**
- **MODE≥2**

7.3.12 アラーム生成

alarm ピンは、介入を必要とするイベントをホスト コントローラに通知するために役立ちます。**SYS_ALM** レジスタのアクティブなアラームが **ALM_MASK** レジスタでマスキングされていない場合は、**alarm** 出力がアサートされます。

ミッション モード動作に加えて、**alarm** ピンはテスト出力としても使用できます。**ALARM_SEL** を参照してください。

7.3.12.1 オーバーレンジ検出

データパスには、範囲外状態を検出し、イベントを **OVR_STATUS** レジスタに記録する機能があります。

OVR_STATUS レジスタには、各 **DSP** チャネルと **DAC** チャネルのビットがあります。**OVR_STATUS** のいずれかのビットが設定されている場合には、**OVR_ALM** ビットも設定され、**OVR_MASK=0** の場合はアラーム出力がアサートされます。ユーザーは、**OVR_ALM** ビットに 1 を書き込むことでアラームをクリアすることを選択できます。この方法で、**OVR_STATUS** レジスタのすべてのビットもクリアできます。また、レジスタに「1」を書き込んで、**OVR_STATUS** レジスタのすべてのビットを直接クリアすることもできます。

データパスの一部の部品には、オーバーレンジ状態がフルスケール サンプルとして定義されています。他の部品の場合は、飽和を発生させる必要があります。この区別は軽微であり、この機能の有用性には影響しません。図 7-10 に、検出器の位置を示します。

DSP_n で次のイベントのいずれかが発生すると、**OVR_DSP_n** ビットが設定されます。

1. **DUC** モードで、補間フィルタによってフルスケールと同じ補間サンプルが生成された場合。これは、すべての **DUC** 入力サンプルがフルスケール未満の場合でも発生する可能性があります。
2. ユーザーが、**JESD204C** インターフェイス経由で **DUC** にフルスケール サンプルを入力した場合 (**DUC** がこの検出を防止する前に有効になっている場合は、**PFIR** によって減衰します)。
3. **PFIR** は **DUC** の前に有効され、**PFIR** ゲインがユニティより大きいため、**PFIR** がフルスケール サンプルを生成した場合。
4. ミキサで飽和が発生した場合。ミキサが **I/Q** サンプルを回転させ、飽和が結果であった場合に、これが発生する可能性があります。この現象は、**I/Q** 入力サンプルの絶対値がフルスケールより大きく、かつ **DSP_GAIN_n** が十分大きい場合に発生する可能性があります。

DAC チャネル **n** で次のいずれかのイベントが発生すると、**OVR_DAC_n** ビットが設定されます。

1. チャネル ボンダーで飽和が発生した場合。
 - a. これは、複数の **DSP** チャネルを加算した結果、または 1 つの **DSP** チャネルでチャネル ボンダーの 16 ビットのフルスケール出力でわずかに飽和した 20 ビットの出力サンプルを生成した結果です。

- b. チャンネル ボンダーの飽和は、サンプルが DAC に到達する前に PFIR がサンプルを減衰させた場合でも検出できます。
2. DACn 用 DES2X フィルタで、フルスケール サンプルが生成された場合 (DES2X フィルタにフルスケール入力サンプルがない場合でも)。
3. PFIR がチャンネル ボンダー出力をフィルタリングするように構成されており、PFIR がフルスケール サンプルを生成するために適用された場合。

無効化されたデータパス部品は、オーバーレンジ状態 (フルスケール サンプルおよび / または飽和) を検出することはありません。次に例を示します。

1. DSP0 を DUC モードで構成し、フルスケールのサンプルが含まれており、SYS_EN をクリアして DSP0 を DUC 以外のモードに再構成 (または無効化) すると、無効化された DUC 内のフルスケール サンプルはこれ以上検出されません (SYS_EN=1 を再度設定した後でも)。
2. PFIR または DES2X フィルタにフルスケール サンプルが入力されていて、SYS_EN がクリアされ、PFIR または DES2X フィルタを使用しないように部品が再構成されている場合、データパスが SYS_EN で再度有効化されても、PFIR または DES2X フィルタ内のフルスケール サンプルは検出されません。

7.3.12.2 オーバーレンジ マスキング

オーバーレンジ イベントがアラーム出力に影響を与えないようにするには、OVR_MASK=1 に設定します。これらのイベントは引き続き検出され、OVR_STATUS および OVR_ALM で報告されますが、アラーム出力には影響しません。

さらに、オーバーレンジ イベントの検出と記録を一時的に停止するように部品を設定できます (イベントをマスキングします)。オーバーレンジの原因となると予想される信号を入力し、イベントを報告しないようにする場合は、この操作を選択できます。ユーザーは、複数の入力ピンのいずれかを選択して、マスク信号として使用できます。詳細については、以下の表 7-70 を参照してください。ピンがマスク信号として構成されていない場合、すべてのイベントが検出および記録されます。

表 7-70. オーバーレンジ マスキング プログラミングと動作

ピン	ピンをオーバーレンジ マスクとして使用するよう にプログラミング	オーバーレンジ (フルスケール) イベントがマスキ ングされた場合
TRIG[4]	OVR_MASK_SEL=1	TRIG[4] が High の間、イベントは無視されます。
SYNCB	SYNCB_PIN_FUNC=14	SYNCB が Low の間、イベントは無視されます。
TXENABLE[0]	TX_PIN_FUNC0=14	TXENABLE[0] が Low の間、イベントは無視されます。
TXENABLE[1]	TX_PIN_FUNC1=14	TXENABLE[1] が Low の間、イベントは無視されます。

7.3.13 ミュート機能

ミュート機能は、以下に説明するさまざまな状態で出力データを終了します。出力はミュート時に有効なサンプルからミッドスケール (0) に直接遷移し、ミュート解除時にミッドスケール (0) から有効なサンプルに直接遷移します。

DAC 出力は、次の条件でミュートされます。

- SYS_EN=0
- MODE>0
- デバイスは APP スリープ状態です

ミュート状態が解除されると、ミュートはカウンタによって拡張されます。カウンタの時間は、MXMODE、PFIR_EN、および PFIR_MODE の関数です。ミュート拡張により、エンコーダが起動または再開されるたびに、PFIR、DES2X フィルタ、またはエンコーダ信号パスに保存されている未知のサンプルまたは古いサンプルがフラッシュアウトされます (これらのサンプルは DAC に到達しません)。この拡張機能は、信号路のメモリ深度に基づいてほぼスケールリングされます。

拡張 (DAC サイクル) は、3 つの項で以下の式によって定義されます。

$$\text{合計ミュート拡張 (DAC サイクル数)} = 512 * (2 + D_{\text{PFIR_ENC}} + D_{\text{DES2X}})$$

項の値は以下の表で定義され、各エンコーダ チャネル n に対して一意にすることができます。

表 7-71. フル レート モードでの PFIR 動作の MUTE 拡張 ($D_{\text{PFIR_ENC}}$)

条件	$D_{\text{PFIR_ENC}}$ の値
PFIR_EN[n]&&PFIR_MODE==0	2
他のすべての状態	0

表 7-72. DES2X 動作のミュート拡張 (D_{DES2X})

MXMODE	D_{DES2X}
DES2X または DES2XH	1
その他すべて	0

このミュート機能は、DAC の送信イネーブル信号が Low (transmit_enn) および IDLE_STATIC=0 のときにもトリガされます。この状態を終了したため、ミュート拡張は発生しません。

7.3.13.1 アラーム データ バスのミュート

一部のアラーム状態により、JESD204C トランスポート レイアウト出力がミュートになります。トランスポート レイアウト出力は、次の場合にミュートされます。

1. JESD は有効ですが、JESD リンクはダウンしています。
 - a. JESD インターフェイス イネーブル (JESD_M を参照)、SYS_EN = 1 & LINK_UP = 0
2. デバイスが JESD リンク ダウン アラームから自動的に回復しないように設定されており、リンク ダウン アラームが現在報告されています。
 - a. JESD_LINK_DOWN_REC=0 & JESD_LINK_DOWN_ALM=1
3. 現在、デバイスは有効なレーンのデータ整合性フォルトを検出しています。
 - a. JESD_DI_MUTE_MASK=0 & 有効なレーンは has DI_FAULT=1
4. デバイスは、データ整合性アラームから自動的に回復しないように設定されており、マスキングされていないデータ整合性アラームが現在報告されています。
 - a. JESD_DI_REC=0 & JESD_DI_MUTE_MASK=0 & JESD_DI_ALM=1
5. チップは SYSREF アラームをミュートするように設定されており、SYSREF アラームが現在報告されています。
 - a. SYSREF_MUTE_MASK=0 & SYSREF_ALM=1

7.3.13.2 送信イネーブル

2 つの送信イネーブル ピン TXEN0/1 または SYNC は、オプションで TX_PIN_FUNC および SYNCBPIN_FUNC レジスタを使用して設定し、DAC 出力を迅速にミュートおよびミュート解除することができます。または、TX_EN レジスタをこの目的に使用することもできます。

出力の急激な変化を防ぐために、送信を無効化する前に、入力データをランプダウンすることが推奨されます。送信が再度有効になったとき、新しいデータを出力できるようになるまで、出力はミュートのままです。この期間中にグリッチや古いデータ出力は発生しません。

7.4 デバイスの機能モード

このセクションでは、デバイスの機能モードについて説明します。このセクションの機能の一部については、『機能説明』に詳細な説明が記載されています。

7.4.1 電力モード

デバイスには各種の電力モードがあり、主に **MODE** レジスタによって制御されます。このセクションでは、各モードで有効になるサブシステムの概要を説明します。これらの電力モードは、**SYS_EN=1** のときのみ適用されます。

表 7-73. 電力モードの概要

電力モード	システム部品の状態			
	アプリケーション層 (DSP、エンコーダ)	リンク層	PHY 層	SYSREF サブシステム、LMFC、LEMC、NCO アキუმレータ、DAC コア、レギュレータ
通常動作	オン	オン	オン	オン
APP スリープ	オフ	オン	オン	オン
リンク スリープ	オフ	オフ	オン	オン
PHY スリープ	オフ	オフ	オフ	オン
パワーダウン	オフ	オフ	オフ	オフ

表 7-74. 電力モード

電力モード	説明	このモードに移行する条件
通常動作	<ul style="list-style-type: none"> すべてのシステムが機能しています。 APP_SLEEP0/APP_SLEEP1 機能を使用して、個別のアプリケーション層の部品をスリープ状態にすることができます。 	MODE==0 && !SLEEP (ピン)
APP スリープ	<ul style="list-style-type: none"> 両方の DAC は、IDLE_STATIC レジスタに従ってミュートされます ほとんどの DSP およびエンコーダ クロックはオフになっています。 SYSREF 同期は維持されるため、LMFC/LEMC カウンタ、トリガ クロック カウンタ、NCO アキュムレータは引き続き構成されたとおりに動作します。 TRIG_TYPE で構成された DSP トリガ イベントは、このモードでは処理できません。⁽¹⁾ 	MODE==1 (MODE==0 && SLEEP (ピン))
リンク スリープ	JESD リンク層のクロックがオフになることを除き、APP スリープと同じです (しかし、LMFC/LEMC 位相は維持されます)。	MODE=2
PHY スリープ	JESD PHY 層を除き、リンク スリープと同じものもオフになります。	MODE=3
パワーダウン	<ul style="list-style-type: none"> JESD、DSP、およびエンコーダ サブシステムがオフになります (そしてリセット状態に保持されます)。 LMFC/LEMC、トリガ クロック カウンタ、NCO アキュムレータがオフになります (SYSREF との整列は失われます)。 DACCLK および SYSREF レシーバ (および LDO) がオフになります。 CPLL がオフになります。 両方の DAC コアがオフ、およびミュートされ、経年劣化耐性のある静的コードが使用されます。 これらのサブシステムは引き続き機能します (MODE レジスタとは独立)。 – SPI (スティッキー ステータス ビットを含む) – アナログ テスト パス (有効な場合) – XOR テスト ツリー (有効な場合) 	MODE=7

(1) アプリケーション層がスリープ状態の間、またはデバイスがスリープ状態になる前に 1000 DACCLK サイクルにわたって、DSP トリガ イベントを生成しないでください。これを行うと、予測不可能な動作が発生する可能性があります。アプリケーション層をウェークアップするときは、PWR_IDLE が 1 を返してからトリガ イベントを生成することを確認してください。この推奨事項に従わない場合、ユーザーは APP 層が完全に起動した後にトリガを生成して、予測可能な NCO パラメータを再確立できます。

注

現在の電力モードにかかわらず、SYS_EN が Low であれば、さまざまな部品は無効化されます。詳細については、SYS_EN を参照してください。

注

電力モードにかかわらず、JESD_M=0 なら、リンク層と PHY 層はパワーダウンします。

注

通常動作から 表 7-74 の他のモードのいずれかに遷移するとき、出力は 1000 DACCLK サイクル以内にミュートされます。

[TX_PIN_FUNC0](#)、[TX_PIN_FUNC1](#)、[SYNCB_PIN_FUNC](#) のいずれかが 4 に設定されている場合、TXEN0/1 または SYNC ピンを割り当てることで、デバイスを APP_SLEEP に入れることができます (デバイスがすでに深いスリープ状態にある場合、これは何の効果もありません)。

8 プログラミング

このデバイスには、2 つのプログラミングインターフェイスが搭載されています。レジスタをプログラムするための標準 SPI インターフェイスで、PFIR 係数は、オプションで高速再設定 (FR) インターフェイスを使用して設定することができます。

8.1 標準 SPI インターフェイスを使用

標準 SPI インターフェイスには、シリアル クロック (SCLK)、シリアル データ入力 (SDI)、シリアル データ出力 (SDO)、シリアル インターフェイス チップセレクト ($\overline{\text{SCS}}$) の 4 つのピンを使用してアクセスします。レジスタ・アクセスは、 $\overline{\text{SCS}}$ ピンによって有効にされます。

8.1.1 $\overline{\text{SCS}}$

シリアルインターフェイス経由でレジスタにアクセスするには、この信号を Low にアサートする必要があります。SCLK に対するセットアップ時間とホールド時間を確認する必要があります。

8.1.2 SCLK

シリアル・データ入力、この信号の立ち上がりエッジで受け付けられます。SCLK には最小周波数要件はありません。

8.1.3 SDI

各レジスタアクセスには、この入力仕様仕様の 24 ビットパターンが必要です。このパターンは、読み取り/書き込み (R/W) ビット、レジスタ・アドレス、レジスタ値で構成されます。データは、MSB ファースト・レジスタとマルチ・バイト・レジスタでシフトされ、常にリトルエンディアン形式です (最小桁バイトが最下位アドレスに格納されます)。SCLK に対するセットアップ時間とホールド時間は、遵守する必要があります (『スイッチング特性』を参照)。

8.1.4 SDO

SDO 信号は、読み出しコマンドで要求される出力データを提供します。この出力は、書き込みバス・サイクル中、および読み取りバス・サイクルの読み出しビットおよびレジスタ・アドレス部分においてハイインピーダンスになります。

8.1.5 シリアル インターフェイス プロトコル

図 8-1 に示されているように、各レジスタ アクセスは 24 ビットで構成されています。最初のビットは、読み取りの場合は High、書き込みの場合は Low です。

次の 15 ビットは、書き込み先のレジスタのアドレスです。書き込み動作中、最後の 8 ビットは、アドレス指定されたレジスタに書き込まれるデータです。読み取り動作中、SDI の最後の 8 ビットは無視され、この期間中 SDO がアドレス指定されたレジスタからデータを出力します。図 8-1 に、シリアル プロトコルの詳細を示します。

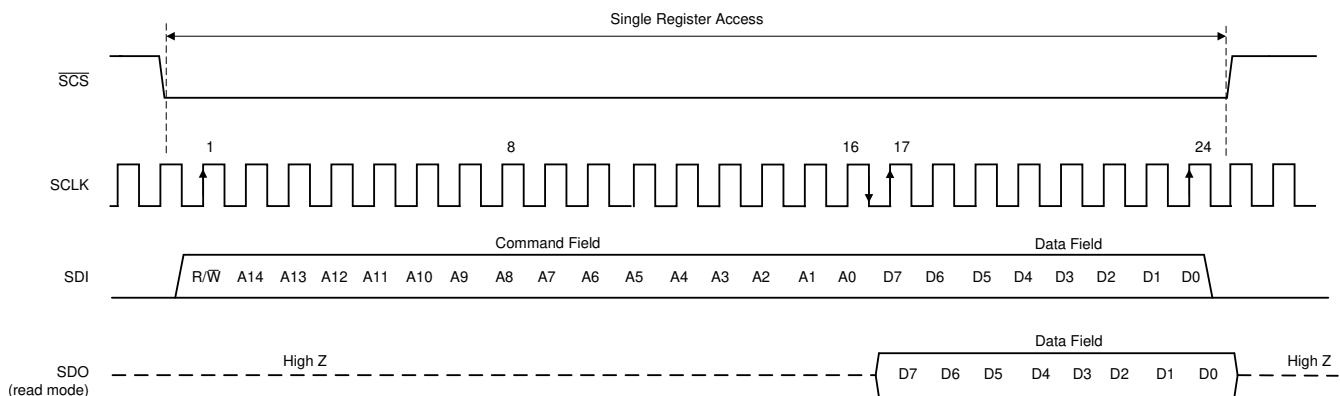


図 8-1. シリアル インターフェイス プロトコル：単一読み取りおよび書き込み

8.1.6 ストリーミングモード

シリアルインターフェイスは、ストリーミング読み取りおよび書き込みをサポートしています。このモードでは、トランザクションの初期 24 ビットによりアクセスタイプ、レジスタアドレス、データ値が通常どおりに指定されます。 $\overline{\text{SCS}}$ 入力のアサート (ロジック Low) 状態に維持されている限り、書き込みデータまたは読み取りデータの追加クロックサイクルは直ちに転送されます。レジスタアドレスは、ストリーミングトランザクションの後続の 8 ビット転送ごとに自動インクリメント (デフォルト) またはデクリメントします。ADDR_ASC ビット (レジスタ 000h、ビット 5 および 2) は、アドレス値を昇順 (インクリメント) または降順 (デクリメント) にするかを制御します。ストリーミングモードは、ADDR_HOLD ビットを設定することで無効化できます (『SPI 構成レジスタ』を参照)。図 8-2 に、ストリーミングモードのトランザクションの詳細を示します。

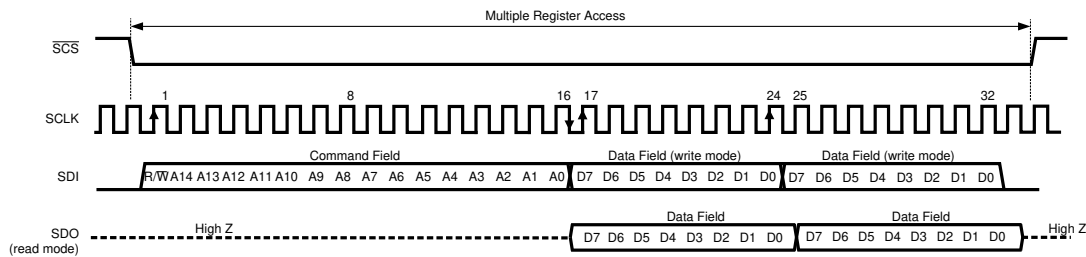


図 8-2. シリアル インターフェイス プロトコル：ストリーミング読み取りおよび書き込み

8.2 高速再構成インターフェイスの使用

高速再構成 (FR) インターフェイスは、PFIR 係数および NCO 周波数および位相を設定するための高速書き込み専用アクセスを提供します。FR インターフェイスは SPI インターフェイスと似ていますが、クロックサイクルごとに 4 ビットが送信され、外部トリガピンが再利用されます。図 8-3 に、FR タイミング図を示します。次に、R/W ビット (このデバイスの書き込みを示すため常に 0 に設定) とトランザクション同期ビット FRS (このデバイスではトランザクション同期はサポートされていないため常に 0 に設定)、および 14 ビットのアドレスに続いていくつかのデータバイトを使用します。このアドレスは、各データバイトの後にデクリメントされます (リトル エンディアンと整合します)。このインターフェイスはバイトでアドレス指定でき、各バイトの後にデータがコミットされます。FR インターフェイスは、1 クロックにつき 4 ビット (1 ニブル) を取ります。マルチニブルフィールドの場合、データは最上位のニブルから送信されます。トランザクション同期ビット (FRS) が設定されている場合、NCO_SYNC_SRC レジスタフィールドで指定された同期イベントが $\overline{\text{FRCS}}$ の立ち上がりエッジで発生します。最初のデータバイトの完了前に終了したトランザクションでは、SYNC イベントがトリガされない場合があります。

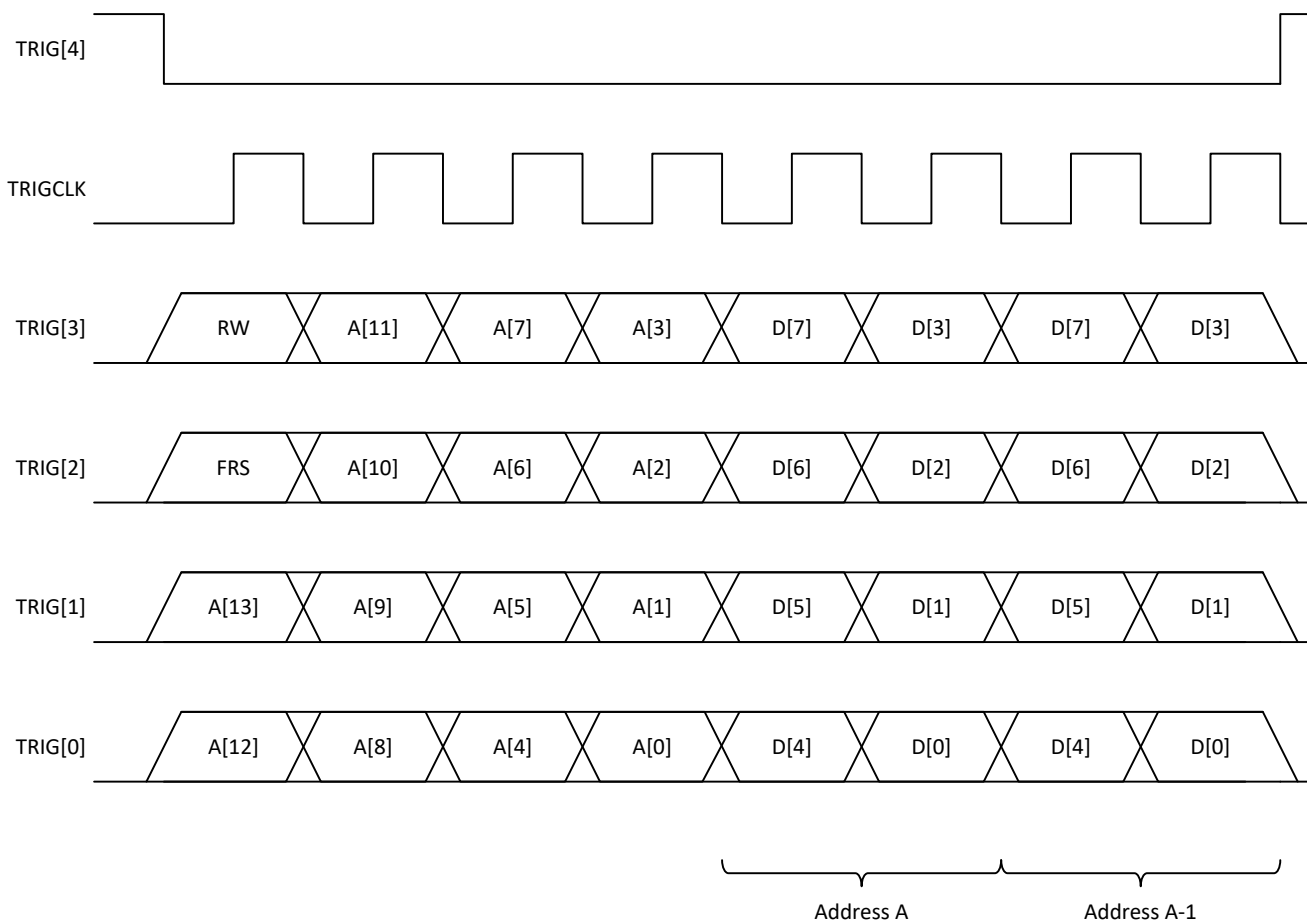


図 8-3. FR インターフェイスのタイミング図

表 8-1 に、PFIR 係数のプログラミングと交換用の FRI レジスタを示します。

次の手順で FRI を有効化します。

1. **TRIGC_OUT_EN=0** をプログラムします。これにより、**TRIGCLK** 出力がトリステートになります。FRI が後で無効になるまで、**TRIGC_OUT_EN** はクリアされたままになっている必要があります。
2. **TRIGCLK** (FRI クロック) をホストシステム (FRI コントローラ) から 0 または 1 に駆動します。**TRIG[4]** (チップ セレクトバー) を 1 に駆動します。両方の入力、手順 5 までトグルしないでください。
3. SPI 書き込みを実行して **FR_EN** を設定します。
4. 少なくとも 100ns 待ちます。
5. この時点で、FRI トランザクションを開始できます。

次の手順で FRI を無効化します。

1. **TRIG[4]=1** で FRI バスがアイドル状態になっていることを確認します。**TRIGCLK** (FRI クロック) は、アイドル時に Low か High のいずれかです。
2. SPI 書き込みを実行して **FR_EN** をクリアします。
3. **TRIG[4]** または **TRIGCLK** をトグルする前に、少なくとも 100ns 待ちます。
4. **TRIGCLK** 出力を有効化する場合、**TRIGC_OUT_EN** を設定する前に、FRI コントローラがトリステートの **TRIGCLK** になっていることを確認してください。

表 8-1. FRI レジスタ

アドレス	名称	説明
0x0303	FR_NCO_AR	NCO アキュムレータのリセット [7:4] 予約済み [3:0] FR_NCO_AR: NCO_AR レジスタへの書き込みアクセスを提供します。
0x0320-0x033F	FR_FREQ[0:3]	NCO_n アキュムレータの周波数 [63:0] FR_FREQ[n]: FREQ レジスタへの書き込みアクセスを提供します。
0x0340-0x0347	FR_PHASE[0:3]	NCO_n アキュムレータの位相 [15:0] FR_PHASE[n]: PHASE レジスタへの書き込みアクセスを提供します。
0x0348-0x034F	FR_AMP[0:3]	DDS の振幅 [15:0] FR_AMP[n]: AMP レジスタへの書き込みアクセスを提供します。
0x0350-0x035F	FR_FREQS[0:3]	NCO_n アキュムレータの 32 ビット周波数 [31:0] FR_FREQS[n]: 各 FREQ レジスタの上位 32 ビットへの書き込みアクセスを提供します。これは、32 ビットの解像度のみが必要な場合に、FRI ストリーミングトランザクションが単一のトランザクションで複数の周波数を更新できるようにするために提供されます。
0x2810-0x2E0F	FR_PFIR_H[767:0]	FR プログラマブル FIR 係数 (デフォルト: 0x0000) [15:0] FR_PFIR_H[n] FR_EN=1 のとき、このレジスタに書き込むと、PFIR_H の値が設定されます <div style="text-align: center;">注</div> <div style="text-align: center;">注: このレジスタは、SYS_EN=0 または PFIR_PROG=1 のときのみ変更できます。</div>
0x2E10	FR_PFIR_PROG	FR プログラマブル FIR プログラム イネーブル (デフォルト: 0x00) [7:1] 予約済み [0] FR_PFIR_PROG: FR_EN=1 のとき、このレジスタに書き込むと、PFIR_PROG の値が設定されます

8.3 レジスタ マップ

8.3.1 Standard_SPI-3.1 レジスタ

表 8-2 Standard_SPI-3.1 レジスタに対応するメモリマップドレジスタを一覧表示します。表 8-2 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 8-2. Standard_SPI-3.1 レジスタ

オフセット	略称	レジスタ名	セクション
0x0	CONFIG_A		セクション 8.3.1.1
0x2	DEVICE_CONFIG		セクション 8.3.1.2
0x3	CHIP_TYPE		セクション 8.3.1.3
0x4	CHIP_ID		セクション 8.3.1.4
0x6	CHIP_VERSION		セクション 8.3.1.5
0xC	VENDOR_ID		セクション 8.3.1.6

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-3 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-3. Standard_SPI-3.1 アクセス タイプ コード

アクセス タイプ	表記	説明
読み取りタイプ		
R	R	読み出し
R-0	R -0	読み出し 0 を返す
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

8.3.1.1 CONFIG_A レジスタ (オフセット = 0x0) [リセット = 0x30]

CONFIG_A を 表 8-4 に示します。

概略表に戻ります。

表 8-4. CONFIG_A レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SOFT_RESET	R/W	0x0	このビットをセットすると、チップとすべての SPI レジスタ (CONFIG_A を含む) が完全にリセットされます。このビットはセルフクリアされ、常に 0 を読み取ります。このビットを書き込んだ後、パーツをリセットするのに最大 150ns を要する場合があります。この期間中は、SPI トランザクションを実行しません。
6	予約済み	R	0x0	予約済み
5	ASCEND	R/W	0x1	アドレスストリーミング方向 0x0 = ストリーミングの読み取り/書き込み中にアドレスが減少します 0x1 = ストリーミングの読み取り/書き込み中にアドレスが増加します (デフォルト)
4	SDO_ACTIVE	R	0x1	常に 1 を読み出す。
3-0	予約済み	R	0x0	予約済み

8.3.1.2 DEVICE_CONFIG レジスタ (オフセット = 0x2) [リセット = 0x00]

DEVICE_CONFIG を [表 8-5](#) に示します。

[概略表](#)に戻ります。

表 8-5. DEVICE_CONFIG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-3	予約済み	R	0x0	
2-0	モード	R/W	0x0	<p>SYS_EN = 1 のときに適用される電力状態を指定します。</p> <p>0x0 = 通常動作 – すべてのシステムが動作中</p> <p>0x1 = APP スリープ – JESD204C リンクは維持されます。</p> <p>0x2 = リンクスリープ – JESD204C リンク層をパワーダウンして APP スリープ。</p> <p>0x3 = PHY スリープ – JESD204C リンク層および物理層をパワーダウンして APP スリープ。</p> <p>0x4 = 予約済み</p> <p>0x5 = 予約済み</p> <p>0x6 = 予約済み</p> <p>0x7 = パワーダウン - フルパワーダウン(最低電力、最低再開)。</p>

8.3.1.3 CHIP_TYPE レジスタ (オフセット = 0x3) [リセット = 0x04]

CHIP_TYPE を [表 8-6](#) に示します。

[概略表](#)に戻ります。

表 8-6. CHIP_TYPE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	0x0	
3-0	CHIP_TYPE	R	0x4	常に 0x4 を返します。これは、部品が高速 DAC であることを示します。

8.3.1.4 CHIP_ID レジスタ (オフセット = 0x4) [リセット = 0x003C]

CHIP_ID を [表 8-7](#) に示します。

[概略表](#)に戻ります。

表 8-7. CHIP_ID レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	CHIP_ID	R	0x3C	DAC39RF20 ファミリとしてチップを識別します

8.3.1.5 CHIP_VERSION レジスタ (オフセット = 0x6) [リセット = 0x01]

CHIP_VERSION を [表 8-8](#) に示します。

[概略表](#)に戻ります。

表 8-8. CHIP_VERSION レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	CHIP_VERSION	R	0x1	<p>デバイスのバージョン:</p> <p>0x01 : DAC39RF20 PG1</p>

8.3.1.6 VENDOR_ID レジスタ (オフセット = 0xC) [リセット = 0x0451]

VENDOR_ID を [表 8-9](#) に示します。

[概略表](#)に戻ります。

表 8-9. VENDOR_ID レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	VENDOR_ID	R/W	0x451	常に 0x0451 (TI のベンダ ID) が返されます

8.3.2 システム レジスタ

表 8-10 に、ステータス レジスタのメモリ マップト レジスタを示します。表 8-10 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 8-10. SYSTEM レジスタ

オフセット	略称	レジスタ名	セクション
0x20	SYS_EN		セクション 8.3.2.1
0x21	FR_EN		セクション 8.3.2.2
0x22	PWR_RAMP		セクション 8.3.2.3
0x23	PWR_IDLE		セクション 8.3.2.4
0x24	CMOS_BOOST		セクション 8.3.2.5
0x25	TX_EN_SEL		セクション 8.3.2.6
0x26	TX_EN		セクション 8.3.2.7
0x27	TX_PIN_FUNC		セクション 8.3.2.8
0x28	SYNCB_PIN_FUNC		セクション 8.3.2.9
0x2A	APP_SLEEP0		セクション 8.3.2.10
0x2B	APP_SLEEP1		セクション 8.3.2.11
0x2C	APP_SLEEP0_EN		セクション 8.3.2.12

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-11 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-11. システム アクセス タイプ コード

アクセス タイプ	表記	説明
読み取りタイプ		
R	R	読み出し
R-0	R -0	読み出し 0 を返す
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

8.3.2.1 SYS_EN レジスタ (オフセット = 0x20) [リセット = 0x00]

表 8-12 に、SYS_EN を示します。

概略表に戻ります。

表 8-12. SYS_EN レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R	0x0	

表 8-12. SYS_EN レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	SYS_EN	R/W	0x0	<p>SYS_EN=0 のとき、DAC クロックで動作するすべての回路 (ヒューズ コントローラを除く) がリセット状態に保持されます。消費電力節約のため、クロックはゲート オフにされます。LMFC/LEMC カウンタもリセット状態に保持されるため、SYSREF は LMFC/LEMC と整合しません。</p> <p>注: このレジスタは、FUSE_DONE=1 の場合にのみ 0 から 1 に変化する必要があります。</p> <p>注: CPLL_EN=1 の場合、CPLL_LOCKED=1 になるまで、このビットを設定しないでください。</p> <p>0x0 = システム動作を無効化 0x1 = システム動作を有効化</p>

8.3.2.2 FR_EN レジスタ (オフセット = 0x21) [リセット = 0x00]

表 8-13 に、FR_EN を示します。

概略表に戻ります。

表 8-13. FR_EN レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R	0x0	
0	FR_EN	R/W	0x0	<p>FRI は TRIG ピンを利用して、DSP をトリガすることはできません。ユーザーは、TX_PIN_FUNC または SYNCB_PIN_FUNC を使って、他のピンをトリガ入力として割り当てることができます。</p> <p>注: TRIGCLK 入力は静的である必要があり、FR_EN の変更前と変更後に、TRIG[4] は 30ns にわたって High になっている必要があります。</p> <p>注: このレジスタは、FRI インターフェイスがアイドル状態のときにのみ変更する必要があります。</p> <p>0x0 = FRI を無効化。PFIR および NCO パラメータは、SPI によって制御されます。</p> <p>0x1 = FRI は有効です。PFIR および NCO パラメータは、FRI によって制御されます。</p>

8.3.2.3 PWR_RAMP レジスタ (オフセット = 0x22) [リセット = 0x00]

表 8-14 に、PWR_RAMP を示します。

概略表に戻ります。

表 8-14. PWR_RAMP レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	予約済み	R	0x0	
1-0	PWR_RAMP	R/W	0x0	<p>このレジスタは、デジタル部品が有効化されたときに、設計の電力を上昇させる方法を制御します。大きな突入電流を避けるため、このレジスタを使用します。設定が高いほど、突入電流が減少します。設計では、次のいずれかの動作の結果として電力が増加します。</p> <ol style="list-style-type: none"> 1) SYS_EN=1 を設定する 2) MODE をより高い電力状態に調整する 3) ピンを使用して、APP スリープ モードを終了する (『TX_PIN_FUNC / SYNCB_PIN_FUNC』を参照) 4) APP_SLEEP0/1 機能を使用して、部品をスリープ モードから解除する。 <p>すべての電源ゾーンを波形化する最大時間:</p> <p>0: 4376 DACCLK サイクル 1: 20256 DACCLK サイクル 2: 252576 DACCLK サイクル 3: 3969696 DACCLK サイクル</p>

8.3.2.4 PWR_IDLE レジスタ (オフセット = 0x23) [リセット = 0x0X]

表 8-15 に、PWR_IDLE を示します。

概略表に戻ります。

表 8-15. PWR_IDLE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R	0x0	
0	PWR_IDLE	R	X	これは、電源コントローラがアイドル状態 (電源ゾーンがオンまたはオフの処理中でない場合) のときに 1 を返します。このビットは ALARM ピンに駆動することもできます。『ALARM_TSEL』を参照してください。

8.3.2.5 CMOS_BOOST レジスタ (オフセット = 0x24) [リセット = 0x00]

表 8-16 に、CMOS_BOOST を示します。

概略表に戻ります。

表 8-16. CMOS_BOOST レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	予約済み	R	0x0	
1	TRIGC_BOOST	R/W	0x0	TRIGCLK 出力の昇圧機能を有効化します。TRIGCLK が出力ピンとして構成されている場合にのみ有効です。
0	SDO_BOOST	R/W	0x0	SDO 出力の昇圧機能を有効化します。

8.3.2.6 TX_EN_SEL レジスタ (オフセット = 0x25) [リセット = 0x00]

表 8-17 に、TX_EN_SEL を示します。

概略表に戻ります。

表 8-17. TX_EN_SEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	0x0	
3	IDLE_STATIC	R/W	0x0	送信が無効のときに DAC が使用する方法を選択します (txenable または TX_EN 経由)。 0x0 = DEM とディザー後に、経年劣化耐性のある静的出力を使用して、送信は無効になります。一部の構成および周波数では、静的な中間スケール コードで通常発生するものよりも DAC 出力に多くのノイズが発生します。しかし、このモードでは、送信イネーブルから DAC 出力までのレイテンシが最小限になります。 0x1 = 出力ノイズを最小限に抑えるため、入力を DEM および DITHER にミュートすることで、送信は無効になります。これにより、送信イネーブルから DAC 出力までのレイテンシが増加します (『送信イネーブル A/C 仕様』を参照)。
2-0	予約済み	R	0x0	

8.3.2.7 TX_EN レジスタ (オフセット = 0x26) [リセット = 0x00]

表 8-18 に、TX_EN を示します。

概略表に戻ります。

表 8-18. TX_EN レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	予約済み	R	0x0	
1	TX_EN1	R/W	0x0	Low の場合、DACB は IDLE_STATIC に従ってミュートされます。
0	TX_EN0	R/W	0x0	Low の場合、DACA は IDLE_STATIC に従ってミュートされます。

8.3.2.8 TX_PIN_FUNC レジスタ (オフセット = 0x27) [リセット = 0x00]

表 8-19 に、TX_PIN_FUNC を示します。

概略表に戻ります。

表 8-19. TX_PIN_FUNC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	TX_PIN_FUNC1	R/W	0x0	<p>TXENABLE[1] ピンの機能を定義します。これらの動作は、ピンが low のときに適用されます。</p> <p>注:これらの設定は TRIG_TYPEx=4 で使用できます。これらはトリガシステムを駆動するための代替ピンを提供しますが、FRI インターフェイスには影響しません (FRI インターフェイスは常に物理トリガピンを使用します)。複数のピンが同じ TRIG[x] ピンの代替入力として構成されている場合、動作は未定義です。</p> <p>注:このレジスタは、SYS_EN=0 のときのみ変更できます。</p> <p>0x0 = ピンは無視されます (デフォルト)</p> <p>0x1 = IDLE_STATIC 値に従って DACA をミュートします。ピンはアクティブ low です。</p> <p>0x2 = IDLE_STATIC 値に従って DACB をミュートします。ピンはアクティブ low です。</p> <p>0x3 = IDLE_STATIC 値に従って DACA と DACB をミュートします。ピンはアクティブ low です。</p> <p>0x4 = APP_SLEEP を形成するアプリケーション層全体をスリープ状態にします。ピンはアクティブ low です。</p> <p>0x5 = APP_SLEEP0 を形成するアプリケーション層全体をスリープ状態にします。ピンはアクティブ low です。</p> <p>0x6 = APP_SLEEP1 を形成するアプリケーション層全体をスリープ状態にします。ピンはアクティブ low です。</p> <p>0x7 = ピンは DAC_SRC_ALT0 バインディングを適用します。アクティブ Low。</p> <p>0x8 = DAC_SRC_ALT1 バインディングを適用します。ピンはアクティブ low です。</p> <p>0x9 = DAC_SRC_ALT0 および DAC_SRC_ALT1 バインディングを適用します。ピンはアクティブ low です。</p> <p>0xA = TRIG[0] の代替入力。TRIG_TYPEx を 4 に設定して使用できます。</p> <p>0xB = TRIG[1] の代替入力。TRIG_TYPEx を 4 に設定して使用できます。</p> <p>0xC = TRIG[2] の代替入力。TRIG_TYPEx を 4 に設定して使用できます。</p> <p>0xD = 予約済み</p> <p>0xE = 範囲外イベントをマスクします。ピンはアクティブ low です。</p> <p>0xF = 予約済み</p>

表 8-19. TX_PIN_FUNC レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3-0	TX_PIN_FUNC0	R/W	0x0	<p>TXENABLE[0] ピンの機能を定義します。これらの動作は、ピンが low のときに適用されます。</p> <p>注:これらの設定は TRIG_TYPEx=4 で使用できます。これらはトリガ システムを駆動するための代替ピンを提供しますが、FRI インターフェイスには影響しません (FRI インターフェイスは常に物理トリガ ピンを使用します)。複数のピンが同じ TRIG[x] ピンの代替入力として構成されている場合、動作は未定義です。</p> <p>注:このレジスタは、SYS_EN=0 のときのみ変更できます。</p> <p>0x0 = ピンは無視されます (デフォルト)</p> <p>0x1 = IDLE_STATIC 値に従って DACA をミュートします。ピンはアクティブ low です。</p> <p>0x2 = IDLE_STATIC 値に従って DACB をミュートします。ピンはアクティブ low です。</p> <p>0x3 = IDLE_STATIC 値に従って DACA と DACB をミュートします。ピンはアクティブ low です。</p> <p>0x4 = APP_SLEEP を形成するアプリケーション層全体をスリープ状態にします。ピンはアクティブ low です。</p> <p>0x5 = APP_SLEEP0 を形成するアプリケーション層全体をスリープ状態にします。ピンはアクティブ low です。</p> <p>0x6 = APP_SLEEP1 を形成するアプリケーション層全体をスリープ状態にします。ピンはアクティブ low です。</p> <p>0x7 = DAC_SRC_ALT0 バインディングを適用します。ピンはアクティブ low です。</p> <p>0x8 = DAC_SRC_ALT1 バインディングを適用します。ピンはアクティブ low です。</p> <p>0x9 = DAC_SRC_ALT0 および DAC_SRC_ALT1 バインディングを適用します。ピンはアクティブ low です。</p> <p>0xA = TRIG[0] の代替入力。TRIG_TYPEx を 4 に設定して使用できます。</p> <p>0xB = TRIG[1] の代替入力。TRIG_TYPEx を 4 に設定して使用できます。</p> <p>0xC = TRIG[2] の代替入力。TRIG_TYPEx を 4 に設定して使用できます。</p> <p>0xD = 予約済み</p> <p>0xE = 範囲外イベントをマスクします。ピンはアクティブ low です。</p> <p>0xF = 予約済み</p>

8.3.2.9 SYNCB_PIN_FUNC レジスタ (オフセット = 0x28) [リセット = 0x00]

表 8-20 に、SYNCB_PIN_FUNC を示します。

概略表に戻ります。

表 8-20. SYNCB_PIN_FUNC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	0x0	

表 8-20. SYNCB_PIN_FUNC レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3-0	SYNCB_PIN_FUNC	R/W	0x0	<p>JENC=1 (64b/66b) のとき、SYNCB ピンの機能を定義します。JENC=0 (8b/10b) のとき、このレジスタは無効です (SYNCB は JESD インターフェイスで使用されます)。</p> <p>これらの動作は、ピンが low のときに適用されます。注:これらの設定は TRIG_TYPEx=4 で使用できます。</p> <p>これらはトリガ システムを駆動するための代替ピンを提供しますが、FRI インターフェイスには影響しません (FRI インターフェイスは常に物理トリガピンを使用します)。複数のピンが同じ TRIG[x] ピンの代替入力として構成されている場合、動作は未定義です。</p> <p>JESD インターフェイスを使用しない場合、すべての DSP は DDS モードになり、JESD_M=0 になります。しかし、SYNCB ピンを入力信号として使用できるようにするには、JENC=1 を設定する必要があります。</p> <p>注:このレジスタは、SYS_EN=0 のときのみ変更できます。</p> <p>0x0 = ピンは無視されます (デフォルト)</p> <p>0x1 = IDLE_STATIC 値に従って DACA をミュートします。ピンはアクティブ low です。</p> <p>0x2 = IDLE_STATIC 値に従って DACB をミュートします。ピンはアクティブ low です。</p> <p>0x3 = IDLE_STATIC 値に従って DACA と DACB をミュートします。ピンはアクティブ low です。</p> <p>0x4 = APP_SLEEP を形成するアプリケーション層全体をスリープ状態にします。ピンはアクティブ low です。</p> <p>0x5 = APP_SLEEP0 を形成するアプリケーション層全体をスリープ状態にします。ピンはアクティブ low です。</p> <p>0x6 = APP_SLEEP1 を形成するアプリケーション層全体をスリープ状態にします。ピンはアクティブ low です。</p> <p>0x7 = DAC_SRC_ALT0 バインディングを適用します。ピンはアクティブ low です。</p> <p>0x8 = DAC_SRC_ALT1 バインディングを適用します。ピンはアクティブ low です。</p> <p>0x9 = DAC_SRC_ALT0 および DAC_SRC_ALT1 バインディングを適用します。ピンはアクティブ low です。</p> <p>0xA = TRIG[0] の代替入力。TRIG_TYPEx を 4 に設定して使用できます。</p> <p>0xB = TRIG[1] の代替入力。TRIG_TYPEx を 4 に設定して使用できます。</p> <p>0xC = TRIG[2] の代替入力。TRIG_TYPEx を 4 に設定して使用できます。</p> <p>0xD = 予約済み</p> <p>0xE = 範囲外イベントをマスクします。ピンはアクティブ low です。</p> <p>0xF = 予約済み</p>

8.3.2.10 APP_SLEEP0 レジスタ (オフセット = 0x2A) [リセット = 0x00]

APP_SLEEP0 を表 8-21 に示します。

[概略表](#)に戻ります。

表 8-21. APP_SLEEP0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0x0	

表 8-21. APP_SLEEP0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5	DACB_SLEEP0	R/W	0x0	これらのビットは、ピンまたはレジスタが APP_SLEEP0 機能を有効化したときに、どの部品をスリープ状態にするかを制御します (『TX_PIN_FUNC』、『SYNCB_PIN_FUNC』、『APP_SLEEP0_EN』を参照)。 注: APP_SLEEP0/APP_SLEEP1 機能が無効になると、電源の電圧低下を防止するため、部品は徐々に再度有効になります。 注: MODE レジスタが 1 以上の場合、アプリケーション層全体がスリープ状態になるため、このレジスタは効果がありません。 注: PFIR が DSP 入力のサンプルを生成しているとき、DSP チャンネルがスリープ状態の場合、PFIR チャンネルはスリープ状態になります。 注: PFIR がエンコーダのサンプルを生成しているとき、エンコーダがスリープ状態の場合、PFIR チャンネルはスリープ状態になります。 注: PFIR チャンネル 0 が両方のエンコーダにブロードキャストしている場合、PFIR は両方のエンコーダがスリープ状態のときのみスリープ状態になります (『PFIR_BC』を参照)。 APP_SLEEP0 機能が有効化されると、DACB は (IDLE_STATIC に従って) ミュートされ、エンコーダ 1 はスリープ状態になります。 モードレジスタが通常動作に構成されている場合、DSP がスリープ状態のときでも、トリガ イベントを処理できます。
4	DACA_SLEEP0	R/W	0x0	DACA は (IDLE_STATIC に従って) ミュートされ、APP_SLEEP0 機能が有効になると、関連するエンコーダはスリープ状態になります。 注: APP_SLEEP0 と APP_SLEEP1 機能の両方が同時に有効になった場合に、いずれかの機能が要求した場合 (論理 OR)、部品はスリープ状態になります。
3	DSP3_SLEEP0	R/W	0x0	APP_SLEEP0 機能が有効になると、DSP チャンネル 3 はスリープ状態になります。
2	DSP2_SLEEP0	R/W	0x0	APP_SLEEP0 機能が有効になると、DSP チャンネル 2 はスリープ状態になります。
1	DSP1_SLEEP0	R/W	0x0	APP_SLEEP0 機能が有効になると、DSP チャンネル 1 はスリープ状態になります。
0	DSP0_SLEEP0	R/W	0x0	APP_SLEEP0 機能が有効になると、DSP チャンネル 0 はスリープ状態になります。

8.3.2.11 APP_SLEEP1 レジスタ (オフセット = 0x2B) [リセット = 0x00]

APP_SLEEP1 を表 8-22 に示します。

概略表に戻ります。

表 8-22. APP_SLEEP1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0x0	
5	DACB_SLEEP1	R/W	0x0	DACB は (IDLE_STATIC に従って) ミュートされ、APP_SLEEP1 機能が有効になると、関連するエンコーダはスリープ状態になります。 APP_SLEEP0 については、注を参照してください。
4	DACA_SLEEP1	R/W	0x0	DACA は (IDLE_STATIC に従って) ミュートされ、APP_SLEEP1 機能が有効になると、エンコーダ 0 はスリープ状態になります。
3	DSP3_SLEEP1	R/W	0x0	APP_SLEEP1 機能が有効になると、DSP チャンネル 3 はスリープ状態になります。
2	DSP2_SLEEP1	R/W	0x0	APP_SLEEP1 機能が有効になると、DSP チャンネル 2 はスリープ状態になります。
1	DSP1_SLEEP1	R/W	0x0	APP_SLEEP1 機能が有効になると、DSP チャンネル 1 はスリープ状態になります。

表 8-22. APP_SLEEP1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	DSP0_SLEEP1	R/W	0x0	APP_SLEEP1 機能が有効になると、DSP チャンネル 0 はスリープ状態になります。

8.3.2.12 APP_SLEEP0_EN レジスタ (オフセット = 0x2C) [リセット = 0x00]

APP_SLEEP0_EN を表 8-23 に示します。

[概略表](#)に戻ります。

表 8-23. APP_SLEEP0_EN レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R	0x0	
0	APP_SLEEP0_EN	R/W	0x0	設定すると、APP_SLEEP0 レジスタに従って部品はスリープ状態になります。これは、アプリケーションのスリープをきめ細かく制御するけれども、有効化するための専用のピンを使用しない場合に使用します。このレジスタは設定されたままにして、APP_SLEEP0 レジスタをスリープ / ウェーク部品に即座に変更できます (SYS_EN=1 の間)。

8.3.3 トリガ レジスタ

表 8-24 に、トリガ レジスタのメモリ マップトレジスタを示します。表 8-24 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 8-24. トリガ レジスタ

オフセット	略称	レジスタ名	セクション
0x40	TRIGC_DIV		セクション 8.3.3.1
0x41	TRIGC_OUT_EN		セクション 8.3.3.2
0x42	TRIG_TYPE		セクション 8.3.3.3
0x44	TRIG_SPI		セクション 8.3.3.4
0x45	TRIG_SEL		セクション 8.3.3.5
0x4F	DSP_TRIG_DET		セクション 8.3.3.6
0x50	FRS_R		セクション 8.3.3.7

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-25 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-25. トリガ アクセス タイプ コード

アクセス タイプ	表記	説明
読み取りタイプ		
R	R	読み出し
R-0	R -0	読み出し 0 を返す
書き込みタイプ		
W	W	書き込み
W1C	W 1C	書き込み 1 でクリア
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

8.3.3.1 TRIGC_DIV レジスタ (オフセット = 0x40) [リセット = 0x7F]

表 8-26 に、TRIGC_DIV を示します。

[概略表](#)に戻ります。

表 8-26. TRIGC_DIV レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0x0	
6-0	TRIGC_DIV	R/W	0x7F	$F_{\text{TRIGCLK}} = F_{\text{DACCLK}} / 32 / (\text{TRIGC_DIV} + 1)$ 注: トリガ クロック周波数を 200MHz 未満に維持するように TRIGC_DIV を設定する必要があります。

8.3.3.2 TRIGC_OUT_EN レジスタ (オフセット = 0x41) [リセット = 0x00]

表 8-27 に、TRIGC_OUT_EN を示します。

[概略表](#)に戻ります。

表 8-27. TRIGC_OUT_EN レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R	0x0	
0	TRIGC_OUT_EN	R/W	0x0	SYS_EN = 1 のとき、トリガ クロックは TRIGCLK 出力で駆動されます。 注: TRIGCLK を動作させるには、少なくとも 1 つの TRIG_TYPEn が 4 である必要があります。 注: FR_EN=1 のとき、TRIGC_OUT_EN は無視され、0 として扱われます。

8.3.3.3 TRIG_TYPE レジスタ (オフセット = 0x42) [リセット = 0x0000]

表 8-28 に、TRIG_TYPE を示します。

概略表に戻ります。

表 8-28. TRIG_TYPE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0x0	
14-12	TRIG_TYPE3	R/W	0x0	TRIG_TYPEn は、DSPn に使用するトリガのタイプを選択します。各 DSP チャンネルには固有のトリガ タイプを割り当てることができます。DSP がトリガされたときに発生する動作の詳細については、『DSP トリガ』を参照してください。一部のトリガ タイプでは、ユーザーが DSPn のトリガ インデックスを選択するために、TRIG_SELn をプログラムする必要があります。 注: JESD204C の LSB ビットは、たとえトリガとして使用されている場合でも、DUC 入力 (または DDS ストリーミング機能) に渡されます。これは、DUC 入力に及ぼす影響は無視できる程度です。DDS ストリーミングを使用する場合、TRIG_TYPEn=3 のときは STREAM_MODEn=1 のみがサポートされます。注: このレジスタは、SYS_EN=0 のときのみ変更できます。 0x0 = TRIG_SPI[TRIG_SELn] の SPI 即時 - A が、DSPn 動作を直ちにトリガします。 0x1 = TRIG_SPI[TRIG_SELn] の SYSREF ワンショット A 立ち上がりエッジが、次の SYSREF 立ち上がりエッジで DSPn 動作をトリガします。 0x2 = TRIG_SPI[TRIG_SELn] の間の SYSREF 連続が High の場合、SYSREF のすべての立ち上がりエッジが DSPn 動作をトリガします。 0x3 = TRIG_SPI[TRIG_SELn] の間の JESD204C LSB が High の場合、ストリーム 0 の JESD204C サンプルの LSB が DSPn 動作をトリガします。トリガ イベントを開始するには、LSB が 4 回連続したサンプルの間 Low になってから、4 回連続したサンプルの間に High になる必要があります。この設定は、DDS0 について DDS 振幅ストリーミングが無効化されている場合にのみ、DDS ストリーム モードと互換性があります (『DSP_MODE』および『AMP_STREAM』を参照)。 0x4 = TRIG[TRIG_SELn] の立ち上がりエッジが DSPn 動作をトリガします。FR_EN が 1 に設定されている場合は使用できません。 0x5 = FRS が設定されている場合、FRCS_n の立ち上がりエッジが DSPn をトリガします。 0x6 = FRS が設定されている場合、frcs_n の立ち上がりエッジに続く trig_c の立ち上がりエッジ (ワンショット) が DSPn をトリガします。 0x7 = 予約済み
11	予約済み	R	0x0	
10-8	TRIG_TYPE2	R/W	0x0	TRIG_TYPE3 の説明参照
7	予約済み	R	0x0	
6-4	TRIG_TYPE1	R/W	0x0	TRIG_TYPE3 の説明参照
3	予約済み	R	0x0	
2-0	TRIG_TYPE0	R/W	0x0	TRIG_TYPE3 の説明参照

8.3.3.4 TRIG_SPI レジスタ (オフセット = 0x44) [リセット = 0x00]

表 8-29 に、TRIG_SPI を示します。

概略表に戻ります。

表 8-29. TRIG_SPI レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	0x0	
3-0	TRIG_SPI	R/W	0x0	これらのビットは、DSP チャンネルのトリガ ソースをトリガまたは有効化するために使用されます。TRIG_TYPE _n レジスタによって、TRIG_SPI の使用方法が決まります。TRIG_SPI[TRIG_SEL _n] は DSP _n に影響します。『DSP トリガ』を参照してください。 注:これらのレジスタビットは、TRIG_TYPE の設定に応じてエッジまたはレベルの影響を受けやすくなります。

8.3.3.5 TRIG_SEL レジスタ (オフセット = 0x45) [リセット = 0x00]

表 8-30 に、TRIG_SEL を示します。

概略表に戻ります。

表 8-30. TRIG_SEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	TRIG_SEL3	R/W	0x0	どの TRIG_SPI ビット、またはどの外部トリガ (TRIG) が DSP チャンネル 3 に結合されているかを決定します。
5-4	TRIG_SEL2	R/W	0x0	どの TRIG_SPI ビット、またはどの外部トリガ (TRIG) が DSP チャンネル 2 に結合されているかを決定します。
3-2	TRIG_SEL1	R/W	0x0	どの TRIG_SPI ビット、またはどの外部トリガ (TRIG) が DSP チャンネル 1 に結合されているかを決定します。
1-0	TRIG_SEL0	R/W	0x0	どの TRIG_SPI ビット、またはどの外部トリガ (TRIG) が DSP チャンネル 0 に結合されているかを決定します。

8.3.3.6 DSP_TRIG_DET レジスタ (オフセット = 0x4F) [リセット = 0x00]

表 8-31 に、DSP_TRIG_DET を示します。

概略表に戻ります。

表 8-31. DSP_TRIG_DET レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R	0x0	予約済み
0	DSP_TRIG_DET	R/W1C	0x0	このビットは、1 つ以上の DSP がトリガ イベントを受信すると、常に設定されます。W1C (1 を書き込むことでビットをクリア) でクリアされます。

8.3.3.7 FRS_R レジスタ (オフセット = 0x50) [リセット = 0xXX]

表 8-32 に、FRS_R を示します。

概略表に戻ります。

表 8-32. FRS_R レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R	X	予約済み

表 8-32. FRS_R レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	FRS_R	R	X	これにより、最後の FRI トランザクションでの FRS の値の読み戻しが行われます

8.3.4 CPLL_AND_CLOCK レジスタ

表 8-33 に、CPLL_AND_CLOCK レジスタのメモリ マップト レジスタを示します。表 8-33 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 8-33. CPLL_AND_CLOCK レジスタ

オフセット	略称	レジスタ名	セクション
0x80	CLK_SLOW		セクション 8.3.4.1
0x82	NOISEREDUCE_CLK		セクション 8.3.4.2
0x84	DES_LOOP_EN		セクション 8.3.4.3
0x85	DES_LOOP_BW		セクション 8.3.4.4
0x8A	CPLL_EN		セクション 8.3.4.5
0x8B	CPLL_MPY		セクション 8.3.4.6
0x8F	CPLL_LOCKED		セクション 8.3.4.7
0x98	CPLL_STATUS		セクション 8.3.4.8
0x99	CPLL_STATUS2		セクション 8.3.4.9

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-34 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-34. CPLL_AND_CLOCK アクセス タイプ コード

アクセス タイプ	表記	説明
読み取りタイプ		
R	R	読み出し
R-0	R-0	読み出し 0 を返す
書き込みタイプ		
W	W	書き込み
W1C	W1C	書き込み 1 でクリア
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

8.3.4.1 CLK_SLOW レジスタ (オフセット = 0x80) [リセット = 0x00]

表 8-35 に、CLK_SLOW を示します。

概略表に戻ります。

表 8-35. CLK_SLOW レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R	0x0	予約済み
0	CLK_SLOW	R/W	0x0	DEVCLK 周波数が 3GHz 未満の場合は、このビットを設定します。

8.3.4.2 NOISEREDUCE_CLK レジスタ (オフセット = 0x82) [リセット = 0x03]

表 8-36 に、NOISEREDUCE_CLK を示します。

概略表に戻ります。

表 8-36. NOISEREDUCE_CLK レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	予約済み	R	0x0	
1	NOISEREDUCE_CLKDIS T_EN	R/W	0x1	クロック ジェネレータ(VDDCLK08) のノイズを低減します。
0	NOISEREDUCE_CLKGE N_EN	R/W	0x1	クロック分配電源 (AVDDCLK) のノイズを低減します。

8.3.4.3 DES_LOOP_EN レジスタ (オフセット = 0x84) [リセット = 0x00]

表 8-37 に、DES_LOOP_EN を示します。

概略表に戻ります。

表 8-37. DES_LOOP_EN レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	予約済み	R	0x0	予約済み
1	DES_LOOP_EN1	R/W	0x0	DES_LOOP_EN1 は、DACB の DES 補正ループを有効化します。これにより、DES モードでの FDAC-FOUT 画像の振幅が減少する可能性があります
0	DES_LOOP_EN0	R/W	0x0	DES_LOOP_EN0 は、DACA の DES 補正ループを有効化します。これにより、DES モードでの FDAC-FOUT 画像の振幅が減少する可能性があります

8.3.4.4 DES_LOOP_BW レジスタ (オフセット = 0x85) [リセット = 0x00]

表 8-38 に、DES_LOOP_BW を示します。

概略表に戻ります。

表 8-38. DES_LOOP_BW レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	予約済み	R	0x0	予約済み
1-0	DES_LOOP_BW	R/W	0x0	DES 補正ループの帯域幅を調整します。両方の DAC チャンネルに影響します。値が最小の場合は安定性が最も高くなりますが、ノイズは大きくなります。

8.3.4.5 CPLL_EN レジスタ (オフセット = 0x8A) [リセット = 0x00]

表 8-39 に、CPLL_EN を示します。

概略表に戻ります。

表 8-39. CPLL_EN レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R	0x0	
0	CPLL_EN	R/W	0x0	High のとき、コンバータの PLL を有効化します。

8.3.4.6 CPLL_MPY レジスタ (オフセット = 0x8B) [リセット = 0x000A]

表 8-40 に、CPLL_MPY を示します。

概略表に戻ります。

表 8-40. CPLL_MPY レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	予約済み	R	0x0	
7-0	CPLL_MPY	R/W	0xA	PHY の PLL 周波数乗数を指定します。『CPLL 制御』を参照してください。使用できる値は 8 ~ 99 です。 $F_{DACCLK} = F_{REF} * CPLL_MPY$

8.3.4.7 CPLL_LOCKED レジスタ (オフセット = 0x8F) [リセット = 0x0X]

表 8-41 に、CPLL_LOCKED を示します。

概略表に戻ります。

表 8-41. CPLL_LOCKED レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R	0x0	
0	CPLL_LOCKED	R	X	CPLL がロックされている場合、このビットは 1 を返します

8.3.4.8 CPLL_STATUS レジスタ (オフセット = 0x98) [リセット = 0x00]

表 8-42 に、CPLL_STATUS を示します。

概略表に戻ります。

表 8-42. CPLL_STATUS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R	0x0	
0	CPLL_LOCK_LOST	R/W1C	0x0	このビットは、LOCK 信号が Low のときに常に設定されます。これはステイキッキー ビットです (CPLL がロックを取得しても設定されたまま)。1 を書き込むことでクリアします。これはデバッグ目的であり、SPI は CPLL が短時間ロックを失ったかどうかを監視することができます。

8.3.4.9 CPLL_STATUS2 レジスタ (オフセット = 0x99) [リセット = 0xXX]

CPLL_STATUS2 を表 8-43 に示します。

概略表に戻ります。

表 8-43. CPLL_STATUS2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0x0	
5	CPLL_NO_LOCK	R	X	これは、CPLL がキャリブレーションを完了したけれども、安定したロックを維持したか、維持できなかったかを示しています。これは、ロックが達成されたけれども、持続的に失われた場合にも発生する可能性があります (基準クロック周波数が変化した場合がある)。
4	CPLL_CORE_GAP	R	X	CPLL がコア間の周波数ギャップを検出した場合は、1 を返します。
3	CPLL_REF_SLOW	R	X	CPLL の基準クロックが低速すぎて CPLL がロックできない場合は、1 を返します。これが発生した場合、CPLL_MPY のプログラミングを確認してください。
2	CPLL_REF_FAST	R	X	CPLL 基準クロックが高速すぎて CPLL がロックできない場合は、1 を返します。これが発生した場合、CPLL_MPY のプログラミングを確認してください。
1	CPLL_VCAL_DONE	R	X	CPLL キャリブレーションが完了したことを示す 1 を返します。

表 8-43. CPLL_STATUS2 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	予約済み	R	0x0	

8.3.5 SYSREF レジスタ

表 8-44 に、SYSREF レジスタに対してメモリマップされたレジスタを一覧表示します。表 8-44 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 8-44. SYSREF レジスタ

オフセット	略称	レジスタ名	セクション
0xA0	SYSREF_ALIGN		セクション 8.3.5.1
0xA2	SYSREF_CALTRK		セクション 8.3.5.2
0xA3	SYSREF_RX_EN		セクション 8.3.5.3
0xA4	SYSREF_PROC_EN		セクション 8.3.5.4
0xA5	SRCAL_CTRL		セクション 8.3.5.5
0xB0	TADJ		セクション 8.3.5.6
0xB3	TSYS		セクション 8.3.5.7
0xC0	TADJ_CAL		セクション 8.3.5.8
0xC3	TSYS_CAL		セクション 8.3.5.9
0xDE	SRCAL_FREEZE		セクション 8.3.5.10
0xDF	SRCAL_STAT		セクション 8.3.5.11
0xFF	SYNC_STATUS		セクション 8.3.5.12

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-45 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-45. SYSREF のアクセス タイプ コード

アクセス タイプ	表記	説明
読み取りタイプ		
R	R	読み出し
R-0	R -0	読み出し 0 を返す
書き込みタイプ		
W	W	書き込み
W1C	W 1C	書き込み 1 でクリア
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

8.3.5.1 SYSREF_ALIGN レジスタ (オフセット = 0xA0) [リセット = 0x00]

SYSREF_ALIGN を 表 8-46 に示します。

概略表に戻ります。

表 8-46. SYSREF_ALIGN レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R	0x0	予約済み

表 8-46. SYSREF_ALIGN レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	SYSREF_ALIGN_EN	R/W	0x0	このビットがセットされている場合、チップは検出された各 SYSREF エッジに再アラインメントします。これは、外部クロック分周器と、すべてのアクティブな内部クロックの両方に影響します。このビットがセットされていない場合、チップはどの SYSREF エッジにも再アラインメントせず、JESD204C リンクが、ミスアラインした SYSREF エッジに応答して再起動することはありません。

8.3.5.2 SYSREF_CALTRK レジスタ (オフセット = 0xA2) [リセット = 0x74]

SYSREF_CALTRK を [表 8-47](#) に示します。

[概略表](#)に戻ります。

表 8-47. SYSREF_CALTRK レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	SRCAL_AVG	R/W	0x1	SYSREF 較正に使用される平均化の量を指定します。値を大きくすると、較正時間が長くなり、較正值のばらつきが減少します。 0x0 = 4 つの累積 0x1 = 16 つの累積 0x2 = 64 つの累積 0x3 = 256 つの累積
5	SRTRK_EN	R/W	0x1	セットすると、キャリブレーション後にトラッキングが実行されます。クリアすると、キャリブレーション後にトラッキングは実行されません。これにより、トラッキングを無効にして、トラッキングがノイズに与える影響を測定したり、トラッキングが正しく機能しない場合に問題が生じないようにすることができます。
4	SRTRK_HYST_EN	R/W	0x1	セットされている場合、トラッキングで調整を行う前に、低速追跡アキュムレータがその最小値または最大値の 2^{SRTRK_AVG+1} 以内である必要があります。「トラッキング」を参照してください。
3-2	SRTRK_AVG	R/W	0x1	SYSREF トラッキングに使用される平均化の量を指定します。値を大きくすると、トラッキングレートが低下し、トラッキングが失敗する可能性が上がります。 0x0 = 16 つの累積 0x1 = 64 つの累積 0x2 = 256 つの累積 0x3 = 1024 つの累積
1-0	SRTRK_STEP	R/W	0x0	SYSREF トラッキングに使用されるステップサイズを指定します。値を大きくすると、トラッキングレートが上昇し、トラッキングが機能する可能性も上がりますが、トラッキング中に発生する遅延の変化も増加する可能性があります。 0x0 = 32 LSB ステップ (変更ごと) 0x1 = 64 LSB ステップ (変更ごと) 0x2 = 256 LSB ステップ (変更ごと) 0x3 = 1024 LSB ステップ (変更ごと)

8.3.5.3 SYSREF_RX_EN レジスタ (オフセット = 0xA3) [リセット = 0x00]

SYSREF_RX_EN を [表 8-48](#) に示します。

[概略表](#)に戻ります。

表 8-48. SYSREF_RX_EN レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R	0x0	予約済み

表 8-48. SYSREF_RX_EN レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	SYSREF_RX_EN	R/W	0x0	このビットを設定すると、SYSREF レシーバ回路が有効になります。このビットをクリアする前に、常に SYSREF_PROC_EN をクリアする必要があります。 注: このビットは、CPLL_EN = 0 の場合のみセットする必要があります。

8.3.5.4 SYSREF_PROC_EN レジスタ (オフセット = 0xA4) [リセット = 0x00]

SYSREF_PROC_EN を [表 8-49](#) に示します。

[概略表](#)に戻ります。

表 8-49. SYSREF_PROC_EN レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R	0x0	予約済み
0	SYSREF_PROC_EN	R/W	0x0	セットされている場合、このビットは、SYSREF プロセッサを有効にします。これが有効化されている場合、システムは新しい SYSREF エッジを受信して処理します。このビットを設定する前に、常に SYSREF_RX_EN を設定する必要があります。このビットは、SYSREF がデジタル信号に供給される前に、SYSREF レシーバーを安定させるために提供されます。

8.3.5.5 SRCAL_CTRL レジスタ (オフセット = 0xA5) [リセット = 0x00]

SRCAL_CTRL を [表 8-50](#) に示します。

[概略表](#)に戻ります。

表 8-50. SRCAL_CTRL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R	0x0	予約済み
0	SRCAL_EN	R/W	0x0	クリアされると、内部の SYSREF キャリブレーションおよびトラッキングエンジンがリセットされ、SYSREF_CAL_DONE はクリアされます。このビットをセットすると、SYSREF キャリブレーションとトラッキングを実行できます。

8.3.5.6 TADJ レジスタ (オフセット = 0xB0) [リセット = 0x000000]

TADJ を [表 8-51](#) に示します。

[概略表](#)に戻ります。

表 8-51. TADJ レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
23	CALCLK_INV	R/W	0x0	セットすると、クロック入力を反転します。 注: このレジスタは、SRCAL_EN=0 の場合にのみ使用されます。
22-19	予約済み	R	0x0	予約済み
18-0	TADJ	R/W	0x0	SYSREF キャリブレーションが無効 (SRCAL_EN = 0) の場合、これは DEVCLK 遅延調整を定義します。エンコードの説明については、「タイミング調整ブロック」を参照してください。 注: このレジスタは、SRCAL_EN=0 の場合にのみ使用されます。

8.3.5.7 TSYS レジスタ (オフセット = 0xB3) [リセット = 0x040000]

TSYS を表 8-52 に示します。

[概略表](#)に戻ります。

表 8-52. TSYS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
23-19	予約済み	R	0x0	予約済み
18-0	TSYS	R/W	0x00040000	SYSREF トラッキングが無効 (SRCAL_EN = 0 または SRTRK_EN = 0) の場合、これは SYSREF 遅延調整を定義します。エンコードの説明については、「タイミング調整ブロック」を参照してください。 注: 注: このレジスタは、SRCAL_EN = 0 または SRTRK_EN = 0 のときにのみ変更できます。

8.3.5.8 TADJ_CAL レジスタ (オフセット = 0xC0) [リセット = 0xFFFFXX]

TADJ_CAL を表 8-53 に示します。

[概略表](#)に戻ります。

表 8-53. TADJ_CAL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
23	CALCLK_INV_CAL	R	X	このレジスタフィールドは、クロック反転キャリブレーション値である必要がありますが、バグにより常に 0 が返されます。CALCLK_INV はキャリブレーションルーチンで動作しています。
22-19	予約済み	R	0x0	予約済み
18-0	TADJ_CAL	R	X	これにより、SYSREF キャリブレーションによって生成される CLK 遅延調整のスナップショットが返されます。 注: このレジスタは、SRCAL_EN = 1 のときのみ有効です。 注: このレジスタは、SRCAL_FREEZE = 1 または SYSREF_CAL_DONE = 1 のときのみ変更できます。

8.3.5.9 TSYS_CAL レジスタ (オフセット = 0xC3) [リセット = 0x0XXXXX]

TSYS_CAL を表 8-54 に示します。

[概略表](#)に戻ります。

表 8-54. TSYS_CAL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
23-19	予約済み	R	0x0	予約済み
18-0	TSYS_CAL	R	X	これにより、SYSREF トラッキングによって生成される SYSREF 遅延調整のスナップショットが返されます。 注: このレジスタは、SRCAL_EN = 1 および SRTRK_EN = 1 のときのみ有効です。 注: このレジスタは、SRCAL_FREEZE = 1 のときのみ読み取る必要があります。

8.3.5.10 SRCAL_FREEZE レジスタ (オフセット = 0xDE) [リセット = 0x00]

SRCAL_FREEZE を表 8-55 に示します。

[概略表](#)に戻ります。

表 8-55. SRCAL_FREEZE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R	0x0	予約済み
0	SRCAL_FREEZE	R/W	0x0	セットすると、TADJ_CAL と TSYS_CAL は現在値で停止されるため、読み取りが可能になります。キャリブレーションとトラッキングアルゴリズムは引き続き動作します。 このビットの設定後、TADJ_CAL または TSYS_CAL を読み取ろうとする前に、24 以上の SYSREF 周期を待つ必要があります。このビットをクリアするときは、データが確実に更新されるようにするため、8 つの SYSREF 周期を超える期間「低」に維持される必要があります。 このレジスタは、SRCAL_EN = 1 の場合にのみ使用できます。 注:TADJ_CAL および TSYS_CAL の凍結値には、アップセット耐性はありません。

8.3.5.11 SRCAL_STAT レジスタ（オフセット = 0xDF）[リセット = 0x0X]

SRCAL_STAT を 表 8-56 に示します。

概略表に戻ります。

表 8-56. SRCAL_STAT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	0x0	予約済み
3	SYSREF_ALIGNMENT	R	X	この値が「高」のとき、SYSREF が上昇するとクロックは「高」になります。ここで返される値は、8 * SRCAL_AVG サイクルで平均化された値です。 CPLL を使用する場合、DEVCLK SYSREF サンプラーが使用されます。それ以外の場合は、DACCLK SYSREF サンプルが使用されます。 注:SYSREF_WIN_EN=1 の場合、このレジスタの値は未定義です。
2	SYSREF_CAL_FAIL	R	X	SYSREF キャリブレーションプロセスが整列を検出できない場合に設定します。このビットは、いつでもクリアされます (SYSREF_RX_EN = 0 および SRCAL_EN = 0)。
1	SYSREF_TRACK_FAIL	R	X	ウィンドウをトラッキングしている間に、SYSREF のトラッキングが遅延範囲外になった場合にセットされます。これが発生する時、トラッキングは引き続き動作を継続しようとしませんが、SYSREF サンプリングウィンドウを維持できなくなる場合があります。これが発生した場合は、キャリブレーションを再実行する必要があります。このビットは、いつでもクリアされます SYSREF_RX_EN = 0 および SRCAL_EN = 0)。
0	SYSREF_CAL_DONE	R	X	SYSREF キャリブレーションが正常に完了すると設定されます。このビットは、いつでもクリアされます SYSREF_RX_EN = 0 および SRCAL_EN = 0)。

8.3.5.12 SYNC_STATUS レジスタ（オフセット = 0xFF）[リセット = 0xXX]

SYNC_STATUS を 表 8-57 に示します。

概略表に戻ります。

表 8-57. SYNC_STATUS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	R	0x0	
4	DIV_REALIGNED	R/W1C	X	このビットは、16 分周クロック分周器が SYSREF に再アラインされると、常に設定されます。CLK_REALIGNED は顧客使用により適しているため、このビットは主にデバッグが目的です。1 を書き込むと、このビットをクリアします。

表 8-57. SYNC_STATUS レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3	CLK_REALIGNED	R/W1C	X	このビットは、アクティブな SYSREF 関連クロック分周器が SYSREF エッジに再アラインされる際に、常に設定されます。このビットは、内部でサンプリングされた SYSREF 信号の周期が正しく安定していることを確認するのに役立ちます。1 を書き込むと、このビットをクリアします。
2	CLK_ALIGNED	R	X	最後の SYSREF パルスが、すべてのアクティブな SYSREF 関連クロック分周器と一致しているかどうかを示します (分周器は調整不要) (1 = 整合性あり、0 = 整合性なし)。このビットを設定するには、最大 2 つの SYSREF パルス (どちらもクロック分周器と整合性あり) が必要となる場合があります。このビットは読み取り専用です (SPI ではクリアできません)。このビットは、SYSREF_ALIGN_EN の状態に関係なく、整列ステータスを報告します。
1	予約済み	R	0x0	
0	SYSREF_DET	R/W1C	X	このビットは、SYSREF が検出されるとセットされます。1 を書き込むとビットがクリアされ、再検出されるようになります。

8.3.6 JESD204C のレジスタ

JESD204C レジスタのメモリマップされたレジスタを、表 8-58 に示します。表 8-58 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 8-58. JESD204C のレジスタ

オフセット	略称	レジスタ名	セクション
0x101	JMODE		セクション 8.3.6.1
0x102	JESD_M		セクション 8.3.6.2
0x103	JCTRL		セクション 8.3.6.3
0x104	SHMODE		セクション 8.3.6.4
0x105	KM1		セクション 8.3.6.5
0x106	RBD		セクション 8.3.6.6
0x107	JESD_STATUS		セクション 8.3.6.7
0x108	REFDIV		セクション 8.3.6.8
0x10A	MPY		セクション 8.3.6.9
0x10B	定格		セクション 8.3.6.10

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-59 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-59. JESD204C のアクセス タイプ コード

アクセス タイプ	表記	説明
読み取りタイプ		
R	R	読み出し
R-0	R-0	読み出し 0 を返す
R-1	R-1	読み取り 1s を返す
書き込みタイプ		
W	W	書き込み
W1C	W 1C	書き込み 1 でクリア
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

8.3.6.1 JMODE レジスタ (オフセット = 0x101) [リセット = 0x00]

JMODE を表 8-60 に示します。

概略表に戻ります。

表 8-60. JMODE レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0x0	
5-0	JMODE	R/W	0x0	JMODE を指定

8.3.6.2 JESD_M レジスタ (オフセット = 0x102) [リセット = 0x01]

JESD_M を [表 8-61](#) に示します。

[概略表](#)に戻ります。

表 8-61. JESD_M レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	0x0	
3-0	JESD_M	R/W	0x1	<p>有効にするサンプルストリームの数 (JESD204C コンバータ) を指定します (JESD204C M パラメータ)。有効なストリームの数は、JESD インターフェイスからサンプルを受信するように設定された DAC または DSP チャネルの数に基づいて適切である必要があります (DSP_MODE、MXMODE、DAC_SRC、DSP_L を参照)。JESD_M=0 のとき、SYS_EN がセットされているとき (たとえば、すべての DSP チャネルが入力サンプルを必要としない場合)、JESD インターフェイスは有効になりません。</p> <p>DSP_MODE = バイパスモード (すべての DSP が無効)。JESD_M は 1 または 2 である必要があります。DAC_SRC を使用して、DAC チャネルを入力ストリーム 0 または 1 にバインドします。</p> <p>DSP_MODE = 任意の DSP が有効である場合、JESD_M は 0、1、2、4、6、8 である必要があります。サンプルを必要とする各 DSP チャネルに対して、2 つのサンプルストリームを有効化します (DSP_MODE を参照)。DSP に入力サンプルが必要ない場合は、JESD_M = 0 を使用して JESD インターフェイスを無効にします。</p> <p>ストリーム 0 と 1 は、DSP チャネル 0 に電力を供給します。 ストリーム 2 と 3 は、DSP チャネル 1 に電力を供給します。 ストリーム 4 と 5 は、DSP チャネル 2 に電力を供給します。 ストリーム 6 と 7 は、DSP チャネル 3 に電力を供給します。</p> <p>注 1: JESD_M は、選択した JMODE に関連付けられている Mx パラメータを超えないようにする必要があります。各 JMODE に関連付けられている Mx 値については、「サポートモード」を参照してください。</p> <p>有効なレーン数 (L) は、$L = \text{ceiling}(M/Mx \times Lx)$ として計算されます。</p> <p>JESD_M=1 の使用は、有効なすべての DSP が JESD 以外のモード (例: DDS SPI、DDS ベクトルモード) を使用している場合にのみ有効です。1 つのサンプルストリームをトリガーソースとして使用できます (TRIG_TYPEn = 3、TRIG_SELn = 0)。このようにトリガする場合は、JMODE 3 から 7 のみがサポートされ、LT は 32、64、128、または 256 にする必要があります (DSP_L を参照)。</p>

8.3.6.3 JCTRL レジスタ (オフセット = 0x103) [リセット = 0x03]

JCTRL を [表 8-62](#) に示します。

[概略表](#)に戻ります。

表 8-62. JCTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0x0	
6	TI_MODE	R/W	0x0	<p>0x0 = JESD204C 標準モード (デフォルト) 0x1 = 特別 TI モード (TI トランスミッタ IP を使用する場合はこれをセットします)。</p>
5	サブクラス	R/W	0x0	<p>弾性バッファのリリース方法の指定: 0x0 = サブクラス 0 の動作 (デフォルト)。すべてのレーンがバッファへの書き込みを開始したら、すぐに弾性バッファをリリースします。 0x1 = サブクラス 1 の動作。LMFC/LEMC および RBD によって定義されたリリースの機会が弾性バッファをリリースします。</p>
4	JENC	R/W	0x0	<p>0x0 = 8b/10b リンク層を使用 0x1 = 64b/66b リンク層を使用</p>
3-2	予約済み	R	0x0	

表 8-62. JCTRL レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1	SFORMAT	R/W	0x1	JESD204C サンプルの入力サンプルフォーマット。 DSP が DSP ストリームモードで設定されている場合は、SFORMAT=1 を使用する必要があります。 0x0 = オフセットバイナリ 0x1 = 符号付き 2 の補数 (デフォルト)
0	SCR	R/W	0x1	スプリアスノイズを改善し、特定のサンプルペイロードが JESD204C レシーバが誤ったコードグループやレーンアライメントを検出できないようにするため、8b/10b スランブラを推奨します。このレジスタは、64b/66b モードには影響しません (常にスランブルされます)。 0x0 = 8b/10b スランブラ無効 0x1 = 8b/10b スランブラ有効 (デフォルト)

8.3.6.4 SHMODE レジスタ (オフセット = 0x104) [リセット = 0x00]

SHMODE を表 8-63 に示します。

[概略表](#)に戻ります。

表 8-63. SHMODE レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	予約済み	R	0x0	
1-0	SHMODE	R/W	0x0	64b/66b 同期ワードのモードを選択します (マルチブロックごとに 32 ビットのデータ)。これは、JENC=1 (64b/66b モード) の場合にのみ適用されます。 注: このデバイスは、JESD204C コマンド機能をサポートしていません。レシーバーは、すべてのコマンドフィールドを無視します。 0x0 = CRC-12 のチェックを有効化 (JESD204C 表 41) (デフォルト設定) 0x1 = 予約済み (サポートされていない CRC-3 用) 0x2 = FEC を有効化 (JESD204C 表 45) 0x3 = 予約済み (サポートされていないスタンドアロンコマンドチャネル用)

8.3.6.5 KM1 レジスタ (オフセット = 0x105) [リセット = 0x3F]

KM1 を表 8-64 に示します。

[概略表](#)に戻ります。

表 8-64. KM1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	KM1	R/W	0x3F	K はマルチフレームあたりのフレーム数です。8b/10b リンク層を使用する場合は、ここで K-1 をプログラミングします (JENC を参照)。JMODE の設定によっては、K の有効値に制約があります。K に不正な値をプログラミングすると、リンクの誤動作の原因になります。 デフォルト値は、KM1=31 で、K=32 に対応します。 注: 64b/66b リンク層を使用するモードでは、KM1 レジスタは無視されます。K の実効値は 256 * E/F です。

8.3.6.6 RBD レジスタ (オフセット = 0x106) [リセット = 0x80]

RBD を表 8-65 に示します。

[概略表](#)に戻ります。

表 8-65. RBD レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0x0	
6-0	RBD	R/W	0x0	このレジスタは、弾性バッファのリリースの機会をシフトさせます。RBD を 1 増やすと、リリースの機会が 8 バイト(オクテット)遅れます。 8b/10b モードの場合、有効な RBD 範囲は 0 から $K \cdot F/8-1$ です。 64b/66b モードの場合、有効な RBD 範囲は 0 から $32 \cdot E-1$ です。

8.3.6.7 JESD_STATUS レジスタ (オフセット = 0x107) [リセット = 0xXX]

JESD_STATUS を [表 8-66](#) に示します。

[概略表](#)に戻ります。

表 8-66. JESD_STATUS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	EB_ERR	W1C	X	弾性バッファでアンダーフロー/オーバーフローが発生しました。
6	LINK_UP	R	X	セットされている場合、これは JESD204C リンクがアップしていることを示します(弾性バッファが開放されている)。
5	JSYNC_STATE	R	X	JESD204C SYNC 信号の状態を返します。 0 = 0b0 = SYNC アサート 1 = 0b1 = SYNC デアサート
4	予約済み	R	X	
3	JESD_ALIGNED	R	X	LMFC/LEMC が SYSREF によってアラインされ、別の SYSREF パルスがその整列を確認したことを示します。このビットは読み取り専用です(SPI ではクリアできません)。SYSREF_ALIGN_EN および SYS_EN がセットされた後で、整列を達成してこのビットをセットするために、最大 15 の SYSREF パルスが部品で必要になる場合があります。
2	PLL_LOCKED	R	X	高のときは、有効になっているすべての PHY PLL がロックされています。
1-0	予約済み	R	X	

8.3.6.8 REFDIV レジスタ (オフセット = 0x108) [リセット = 0x0030]

REFDIV を [表 8-67](#) に示します。

[概略表](#)に戻ります。

表 8-67. REFDIV レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	予約済み	R	0x0	
7-0	REFDIV	R/W	0x30	DAC クロック(F_{DACCLK})から PHY PLL リファレンスクロック(F_{REF})を生成する周波数除数を指定します。 次の値が有効です: 1、2、3、4、5、6、8、10、12、16、20、24、32、40、48、64、80、96、128。 他の値はすべて予約されており、未定義の動作を生成します。 PLL 制御を参照してください。

8.3.6.9 MPY レジスタ (オフセット = 0x10A) [リセット = 0x0A]

MPY を [表 8-68](#) に示します。

[概略表](#)に戻ります。

表 8-68. MPY レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	MPY	R/W	0xA	PHY の PLL 周波数乗数を指定します。「PLL 制御」を参照してください。 この設計では以下の値が有効です: 8 (0x8) = 8x 10 (0xA) = 10x 16 (0x10) = 16x 20 (0x14) = 20x 33 (0x21) = 33x 40 (0x28) = 40x 66 (0x42) = 66x 99 (0x63) = 99x

8.3.6.10 RATE レジスタ (オフセット = 0x10B) [リセット = 0x00]

RATE を表 8-69 に示します。

概略表に戻ります。

表 8-69. RATE レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-3	予約済み	R	0x0	
2-0	定格	R/W	0x0	Serdes VCO 周波数 F_{VCO} から Serdes ビットレート F_{BIT} への周波数乗数を制御します。すべてのレーンに影響します。「Serdes PLL」セクションを参照してください。 0x0 = 2x 0x1 = 1x 0x2 = 0.5x 0x3 = 0.25x 0x4 = 0.125x 0x5 = 予約済み 0x6 = 予約済み 0x7 = 予約済み

8.3.7 JESD204C_Advanced のレジスタ

JESD204C_Advanced レジスタのメモリマップされたレジスタを、表 8-70 に示します。表 8-70 がないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 8-70. JESD204C_ADVANCED のレジスタ

オフセット	略称	レジスタ名	セクション
0x120	JSYNC_N		セクション 8.3.7.1
0x121	JTEST		セクション 8.3.7.2
0x122	JEXTRA		セクション 8.3.7.3
0x124	JTIMER		セクション 8.3.7.4
0x125	JESD_RST		セクション 8.3.7.5
0x127	SYNC_EPW		セクション 8.3.7.6
0x128	DI_TH		セクション 8.3.7.7
0x12C	LANE_ARSTAT		セクション 8.3.7.8
0x12E	LANE_INV		セクション 8.3.7.9
0x130	LANE_SEL_0		セクション 8.3.7.10
0x131	LANE_SEL_1		セクション 8.3.7.11
0x132	LANE_SEL_2		セクション 8.3.7.12
0x133	LANE_SEL_3		セクション 8.3.7.13
0x134	LANE_SEL_4		セクション 8.3.7.14
0x135	LANE_SEL_5		セクション 8.3.7.15
0x136	LANE_SEL_6		セクション 8.3.7.16
0x137	LANE_SEL_7		セクション 8.3.7.17
0x138	LANE_SEL_8		セクション 8.3.7.18
0x139	LANE_SEL_9		セクション 8.3.7.19
0x13A	LANE_SEL_10		セクション 8.3.7.20
0x13B	LANE_SEL_11		セクション 8.3.7.21
0x13C	LANE_SEL_12		セクション 8.3.7.22
0x13D	LANE_SEL_13		セクション 8.3.7.23
0x13E	LANE_SEL_14		セクション 8.3.7.24
0x13F	LANE_SEL_15		セクション 8.3.7.25
0x140	LANE_ARR_0		セクション 8.3.7.26
0x141	LANE_ARR_1		セクション 8.3.7.27
0x142	LANE_ARR_2		セクション 8.3.7.28
0x143	LANE_ARR_3		セクション 8.3.7.29
0x144	LANE_ARR_4		セクション 8.3.7.30
0x145	LANE_ARR_5		セクション 8.3.7.31
0x146	LANE_ARR_6		セクション 8.3.7.32
0x147	LANE_ARR_7		セクション 8.3.7.33
0x148	LANE_ARR_8		セクション 8.3.7.34
0x149	LANE_ARR_9		セクション 8.3.7.35
0x14A	LANE_ARR_10		セクション 8.3.7.36
0x14B	LANE_ARR_11		セクション 8.3.7.37
0x14C	LANE_ARR_12		セクション 8.3.7.38
0x14D	LANE_ARR_13		セクション 8.3.7.39

表 8-70. JESD204C_ADVANCED のレジスタ (続き)

オフセット	略称	レジスタ名	セクション
0x14E	LANE_ARR_14		セクション 8.3.7.40
0x14F	LANE_ARR_15		セクション 8.3.7.41
0x150	LANE_STATUS_0		セクション 8.3.7.42
0x151	LANE_STATUS_1		セクション 8.3.7.43
0x152	LANE_STATUS_2		セクション 8.3.7.44
0x153	LANE_STATUS_3		セクション 8.3.7.45
0x154	LANE_STATUS_4		セクション 8.3.7.46
0x155	LANE_STATUS_5		セクション 8.3.7.47
0x156	LANE_STATUS_6		セクション 8.3.7.48
0x157	LANE_STATUS_7		セクション 8.3.7.49
0x158	LANE_STATUS_8		セクション 8.3.7.50
0x159	LANE_STATUS_9		セクション 8.3.7.51
0x15A	LANE_STATUS_10		セクション 8.3.7.52
0x15B	LANE_STATUS_11		セクション 8.3.7.53
0x15C	LANE_STATUS_12		セクション 8.3.7.54
0x15D	LANE_STATUS_13		セクション 8.3.7.55
0x15E	LANE_STATUS_14		セクション 8.3.7.56
0x15F	LANE_STATUS_15		セクション 8.3.7.57
0x160	LANE_ERROR_0		セクション 8.3.7.58
0x161	LANE_ERROR_1		セクション 8.3.7.59
0x162	LANE_ERROR_2		セクション 8.3.7.60
0x163	LANE_ERROR_3		セクション 8.3.7.61
0x164	LANE_ERROR_4		セクション 8.3.7.62
0x165	LANE_ERROR_5		セクション 8.3.7.63
0x166	LANE_ERROR_6		セクション 8.3.7.64
0x167	LANE_ERROR_7		セクション 8.3.7.65
0x168	LANE_ERROR_8		セクション 8.3.7.66
0x169	LANE_ERROR_9		セクション 8.3.7.67
0x16A	LANE_ERROR_10		セクション 8.3.7.68
0x16B	LANE_ERROR_11		セクション 8.3.7.69
0x16C	LANE_ERROR_12		セクション 8.3.7.70
0x16D	LANE_ERROR_13		セクション 8.3.7.71
0x16E	LANE_ERROR_14		セクション 8.3.7.72
0x16F	LANE_ERROR_15		セクション 8.3.7.73
0x170	FIFO_STATUS_0		セクション 8.3.7.74
0x171	FIFO_STATUS_1		セクション 8.3.7.75
0x172	FIFO_STATUS_2		セクション 8.3.7.76
0x173	FIFO_STATUS_3		セクション 8.3.7.77
0x174	FIFO_STATUS_4		セクション 8.3.7.78
0x175	FIFO_STATUS_5		セクション 8.3.7.79
0x176	FIFO_STATUS_6		セクション 8.3.7.80
0x177	FIFO_STATUS_7		セクション 8.3.7.81

表 8-70. JESD204C_ADVANCED のレジスタ (続き)

オフセット	略称	レジスタ名	セクション
0x178	FIFO_STATUS_8		セクション 8.3.7.82
0x179	FIFO_STATUS_9		セクション 8.3.7.83
0x17A	FIFO_STATUS_10		セクション 8.3.7.84
0x17B	FIFO_STATUS_11		セクション 8.3.7.85
0x17C	FIFO_STATUS_12		セクション 8.3.7.86
0x17D	FIFO_STATUS_13		セクション 8.3.7.87
0x17E	FIFO_STATUS_14		セクション 8.3.7.88
0x17F	FIFO_STATUS_15		セクション 8.3.7.89
0x18A	JCAP_ARM です		セクション 8.3.7.90
0x18B	JCAP_MODE		セクション 8.3.7.91
0x18C	JCAP_OFFSET		セクション 8.3.7.92
0x18E	JCAP_PAGE		セクション 8.3.7.93
0x18F	JCAP_STATUS		セクション 8.3.7.94
0x190	JCAP		セクション 8.3.7.95
0x1A0	LEC_CTRL		セクション 8.3.7.96
0x1B0	LEC_CNT_0		セクション 8.3.7.97
0x1B1	LEC_CNT_1		セクション 8.3.7.98
0x1B2	LEC_CNT_2		セクション 8.3.7.99
0x1B3	LEC_CNT_3		セクション 8.3.7.100
0x1B4	LEC_CNT_4		セクション 8.3.7.101
0x1B5	LEC_CNT_5		セクション 8.3.7.102
0x1B6	LEC_CNT_6		セクション 8.3.7.103
0x1B7	LEC_CNT_7		セクション 8.3.7.104
0x1B8	LEC_CNT_8		セクション 8.3.7.105
0x1B9	LEC_CNT_9		セクション 8.3.7.106
0x1BA	LEC_CNT_10		セクション 8.3.7.107
0x1BB	LEC_CNT_11		セクション 8.3.7.108
0x1BC	LEC_CNT_12		セクション 8.3.7.109
0x1BD	LEC_CNT_13		セクション 8.3.7.110
0x1BE	LEC_CNT_14		セクション 8.3.7.111
0x1BF	LEC_CNT_15		セクション 8.3.7.112

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-71 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-71. JESD204C_Advanced のアクセス タイプ コード

アクセス タイプ	表記	説明
読み取りタイプ		
R	R	読み出し
R-0	R-0	読み出し 0 を返す
書き込みタイプ		
W	W	書き込み

表 8-71. JESD204C_Advanced のアクセス タイプ コード (続き)

アクセス タイプ	表記	説明
W1C	W 1C	書き込み 1 でクリア
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

8.3.7.1 JSYNC_N レジスタ (オフセット = 0x120) [リセット = 0x01]

JSYNC_N を表 8-72 に表示します。

[概略表](#)に戻ります。

表 8-72. JSYNC_N レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R	0x0	
0	JSYNC_N	R/W	0x1	このビットを 0 に設定すると、SYNC~信号が手動でアサートされます。通常動作の場合は、このビットの設定を 1 のままにします。

8.3.7.2 JTEST レジスタ (オフセット = 0x121) [リセット = 0x00]

JTEST を表 8-73 に示します。

[概略表](#)に戻ります。

表 8-73. JTEST レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	R	0x0	
4-0	JTEST	R/W	0x0	PRBS モードを設定します。0x5 以上は予約済みです。BER_EN を参照してください。 0x0 = テストモード無効 (通常操作) 0x1 = PRBS7 0x2 = PRBS9 0x3 = PRBS15 0x4 = PRBS31

8.3.7.3 JEXTRA レジスタ (オフセット = 0x122) [リセット = 0x0000]

JEXTRA を表 8-74 に示します。

[概略表](#)に戻ります。

表 8-74. JEXTRA レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-1	EXTRA_LANE	R/W	0x0	JEXTRA をプログラムして追加の論理レーンを有効にします (選択した JMODE がレーンを使用していない場合でも)。EXTRA_LANE[n] はレーン n (n = 1 から 15) を有効化します。このレジスタにより、リンク層が有効になります。追加レーンの PHY も有効にするには、EXTRA_PHY = 1 にセットします。 注: ビットレートと追加レーンのモードは、JMODE および JTEST レジスタで設定されます。

表 8-74. JEXTRA レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	EXTRA_PHY	R/W	0x0	0x0 = 追加レーンのリンク層のみが有効になります。このモードを使用し、追加レーンからの切り替えノイズを評価します。各追加レーンに関連付けられた PHY は強制オンが不可能になっています。追加レーンに入力データを提供するには、LANE_SELn を使用して、追加の論理レーンを、プライマリアクティブレーンにバインドされた PHY レーン(論理レーン 0 から L-1)にバインドすると便利です 0x1 = 追加レーンの PHY 層も有効化されています。このモードを使用し、追加物理レーンからデータを受信できます。JMODE が許可するレーン数よりも多くのレーンで BER テストを実行したり、それらのレーンで他の PHY タスク(アイスキャンなど)を実行したりする場合は、これを実行する必要があります。

8.3.7.4 JTIMER レジスタ (オフセット = 0x124) [リセット = 0x00]

JTIMER を表 8-75 に示します。

概略表に戻ります。

表 8-75. JTIMER レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	JTPLL	R/W	0x0	このビットがセットされている場合、ウォッチドッグタイマーが満了すると、PHY PLL、bias、リファレンスディバイダ、およびレシーバアナログもリセットされます。このビットが 0 の場合、PHY レシーバデジタルロジックのみがリセットされます。
6	予約済み	R	0x0	
5-4	JTR	R/W	0x0	このレジスタは、リンクがアップ状態で DI_FAULT がセットされていない場合に、ウォッチドッグカウンタが減少する量を決定します。 詳細については、Watchdog Timer (JTIMER) を参照してください。 0x0 = 1 0x1 = 2 0x2 = 8 0x3 = 16
3	予約済み	R	0x0	
2-0	JTT	R/W	0x0	JESD204C ウォッチドッグ カウンタ しきい値。ウォッチドッグカウンタが JTT で定義されたしきい値に達すると、PHY 層がリセットされ (JTPLL = 1 の場合は PHY PLL を含む)、ウォッチドッグタイマーがリセットされます。JTT の値が大きくなるほど、ウォッチドッグタイマーの介入に時間がかかります。 詳細については、Watchdog Timer (JTIMER) を参照してください。 注:ウォッチドッグは、2 ¹¹ (2048) DACCLK サイクルより短いリンクアップイベントを検出しないことがあります。 0x0 = ウォッチドッグ タイマを無効化。 0x1 = 2 ¹⁷ 0x2 = 2 ¹⁹ 0x3 = 2 ²¹ 0x4 = 2 ²³ 0x5 = 予約済み 0x6 = 予約済み 0x7 = 予約済み

8.3.7.5 JESD_RST レジスタ (オフセット = 0x125) [リセット = 0x00]

JESD_RST を表 8-76 に示します。

概略表に戻ります。

表 8-76. JESD_RST レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R	0x0	
0	JESD_RST	R/W	0x0	このビットをセットすると、JESD 回路のデジタル部分がリセット状態で保持されますが、PHY には影響しません。

8.3.7.6 SYNC_EPW レジスタ（オフセット = 0x127）[リセット = 0x00]

SYNC_EPW を表 8-77 に示します。

[概略表](#)に戻ります。

表 8-77. SYNC_EPW レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-3	予約済み	R	0x0	
2-0	SYNC_EPW	R/W	0x0	トランスミッタにエラーを報告するために使用する SYNC のパルス幅を指定します。リンクの再同期を必要としないエラーが検出されると、SYNC_EPW リンク クロック サイクル (8 * SYNC_EPW 文字間隔) の間、SYNC がアサートされます。SYNC~経由のエラー報告を無効にするには、SYNC_EPW = 0 に設定します。SYNC_EPW の有効範囲は 0~4 です。報告されたエラーは、リンクエラーレポートに一覧表示されます。

8.3.7.7 DI_TH レジスタ（オフセット = 0x128）[リセット = 0x00]

DI_TH を表 8-78 に示します。

[概略表](#)に戻ります。

表 8-78. DI_TH レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	0x0	
3-2	DI_ERR_REC	R/W	0x0	データの整合性のエラーカウンタをリセットし、(それがトリガーされた場合はデータの整合性アラームを解除するために)、必要とされる連続したエラーのないマルチブロックの受信数を指定します。 0x0 = 1 マルチブロック 0x1 = 4 マルチブロック 0x2 = 16 マルチブロック 0x3 = 64 マルチブロック
1-0	DI_ERR_TH	R/W	0x0	データの整合性アラームをトリガーするために、データの整合性エラーが発生するマルチブロックの必要数を指定します。レシーバーは各エラーをカウントしますが、連続的にエラーのないマルチブロックが発生すると (DI_ERR_REC で指定されたように)、エラーカウンタはリセットされます。 0x0 = 1 マルチブロック 0x1 = 2 マルチブロック 0x2 = 4 マルチブロック 0x3 = 8 マルチブロック

8.3.7.8 LANE_ARSTAT レジスタ（オフセット = 0x12C）[リセット = 0xXX]

LANE_ARSTAT を表 8-79 に示します。

[概略表](#)に戻ります。

表 8-79. LANE_ARSTAT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R	X	
0	LANE_ARR_RDY	W1C	X	このビットは、レーン到着時間がキャプチャされ、LANE_ARR で読み出しが可能な場合にセットされます。レーン到着データは、すべてのレーンが準備完了したときにキャプチャされ、チップは弾性バッファをリリースしようとします。このビットは、SYS_EN = 0 または JESD_RST = 1 のときにクリアされます。このビットをクリアしてレーン到着データのキャプチャを再開できるようにするには、1 を書き込みます。

8.3.7.9 LANE_INV レジスタ (オフセット = 0x12E) [リセット = 0x0000]

LANE_INV を表 8-80 に示します。

[概略表](#)に戻ります。

表 8-80. LANE_INV レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	LANE_INV	R/W	0x0	物理レーン n を介してビットストリームを反転するには、LANE_INV[n]= 1 をプログラムします。差動ペアがトランスミッタとレシーバ間でスワップされる場合にこれを使用します。

8.3.7.10 LANE_SEL_0 レジスタ (オフセット = 0x130) [リセット = 0x00]

LANE_SEL_0 を表 8-81 に示します。

[概略表](#)に戻ります。

表 8-81. LANE_SEL_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	0x0	
3-0	LANE_SEL[0]	R/W	0x0	論理レーン 0 にバインドされる物理レーン (0 から 15) を指定します。物理レーン p を論理レーン n にバインドするには、LANE_SEL[n]=p をプログラムします。たとえば、論理レーン 0 を物理レーン 3 にバインドするには、LANE_SEL[0]=3 をプログラムします。

8.3.7.11 LANE_SEL_1 レジスタ (オフセット = 0x131) [リセット = 0x01]

LANE_SEL_1 を表 8-82 に示します。

[概略表](#)に戻ります。

表 8-82. LANE_SEL_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	0x0	
3-0	LANE_SEL[1]	R/W	0x1	論理レーン 1 にバインドされる物理レーン (0 から 15) を指定します。

8.3.7.12 LANE_SEL_2 レジスタ (オフセット = 0x132) [リセット = 0x02]

LANE_SEL_2 を表 8-83 に示します。

[概略表](#)に戻ります。

表 8-83. LANE_SEL_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	0x0	
3-0	LANE_SEL[2]	R/W	0x2	論理レーン 2 にバインドされる物理レーン (0 から 15) を指定します。

8.3.7.13 LANE_SEL_3 レジスタ (オフセット = 0x133) [リセット = 0x03]

LANE_SEL_3 を表 8-84 に示します。

[概略表](#)に戻ります。

表 8-84. LANE_SEL_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	0x0	
3-0	LANE_SEL[3]	R/W	0x3	論理レーン 3 にバインドされる物理レーン (0 から 15) を指定します。

8.3.7.14 LANE_SEL_4 レジスタ (オフセット = 0x134) [リセット = 0x04]

LANE_SEL_4 を表 8-85 に示します。

[概略表](#)に戻ります。

表 8-85. LANE_SEL_4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	0x0	
3-0	LANE_SEL[4]	R/W	0x4	論理レーン 4 にバインドされる物理レーン (0 から 15) を指定します。

8.3.7.15 LANE_SEL_5 レジスタ (オフセット = 0x135) [リセット = 0x05]

LANE_SEL_5 を表 8-86 に示します。

[概略表](#)に戻ります。

表 8-86. LANE_SEL_5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	0x0	
3-0	LANE_SEL[5]	R/W	0x5	論理レーン 5 にバインドされる物理レーン (0 から 15) を指定します。

8.3.7.16 LANE_SEL_6 レジスタ (オフセット = 0x136) [リセット = 0x06]

LANE_SEL_6 を表 8-87 に示します。

[概略表](#)に戻ります。

表 8-87. LANE_SEL_6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	0x0	
3-0	LANE_SEL[6]	R/W	0x6	論理レーン 6 にバインドされる物理レーン (0 から 15) を指定します。

8.3.7.17 LANE_SEL_7 レジスタ (オフセット = 0x137) [リセット = 0x07]

LANE_SEL_7 を表 8-88 に示します。

[概略表](#)に戻ります。

表 8-88. LANE_SEL_7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	0x0	
3-0	LANE_SEL[7]	R/W	0x7	論理レーン 7 にバインドされる物理レーン (0 から 15) を指定します。

8.3.7.18 LANE_SEL_8 レジスタ (オフセット = 0x138) [リセット = 0x08]

LANE_SEL_8 を表 8-89 に示します。

[概略表](#)に戻ります。

表 8-89. LANE_SEL_8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	0x0	
3-0	LANE_SEL[8]	R/W	0x8	論理レーン 8 にバインドされる物理レーン (0 から 15) を指定します。

8.3.7.19 LANE_SEL_9 レジスタ (オフセット = 0x139) [リセット = 0x09]

LANE_SEL_9 を表 8-90 に示します。

[概略表](#)に戻ります。

表 8-90. LANE_SEL_9 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	0x0	
3-0	LANE_SEL[9]	R/W	0x9	論理レーン 9 にバインドされる物理レーン (0 から 15) を指定します。

8.3.7.20 LANE_SEL_10 レジスタ (オフセット = 0x13A) [リセット = 0x0A]

LANE_SEL_10 を表 8-91 に示します。

[概略表](#)に戻ります。

表 8-91. LANE_SEL_10 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	0x0	
3-0	LANE_SEL[10]	R/W	0xA	論理レーン 10 にバインドされる物理レーン (0 から 15) を指定します。

8.3.7.21 LANE_SEL_11 レジスタ (オフセット = 0x13B) [リセット = 0x0B]

LANE_SEL_11 を表 8-92 に示します。

[概略表](#)に戻ります。

表 8-92. LANE_SEL_11 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	0x0	

表 8-92. LANE_SEL_11 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3-0	LANE_SEL[11]	R/W	0xB	論理レーン 11 にバインドされる物理レーン (0 から 15) を指定します。

8.3.7.22 LANE_SEL_12 レジスタ (オフセット = 0x13C) [リセット = 0x0C]

LANE_SEL_12 を表 8-93 に示します。

[概略表](#)に戻ります。

表 8-93. LANE_SEL_12 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	0x0	
3-0	LANE_SEL[12]	R/W	0xC	論理レーン 12 にバインドされる物理レーン (0 から 15) を指定します。

8.3.7.23 LANE_SEL_13 レジスタ (オフセット = 0x13D) [リセット = 0x0D]

LANE_SEL_13 を表 8-94 に示します。

[概略表](#)に戻ります。

表 8-94. LANE_SEL_13 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	0x0	
3-0	LANE_SEL[13]	R/W	0xD	論理レーン 13 にバインドされる物理レーン (0 から 15) を指定します。

8.3.7.24 LANE_SEL_14 レジスタ (オフセット = 0x13E) [リセット = 0x0E]

LANE_SEL_14 を表 8-95 に示します。

[概略表](#)に戻ります。

表 8-95. LANE_SEL_14 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	0x0	
3-0	LANE_SEL[14]	R/W	0xE	論理レーン 14 にバインドされる物理レーン (0 から 15) を指定します。

8.3.7.25 LANE_SEL_15 レジスタ (オフセット = 0x13F) [リセット = 0x0F]

LANE_SEL_15 を表 8-96 に示します。

[概略表](#)に戻ります。

表 8-96. LANE_SEL_15 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	0x0	
3-0	LANE_SEL[15]	R/W	0xF	論理レーン 15 にバインドされる物理レーン (0 から 15) を指定します。

8.3.7.26 LANE_ARR_0 レジスタ (オフセット = 0x140) [リセット = 0xXX]

LANE_ARR_0 を表 8-97 に示します。

[概略表](#)に戻ります。

表 8-97. LANE_ARR_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0x0	
6-0	LANE_ARR[0]	R	X	SYSREF によって確立された内部 LMFC/LEMC に対するレーン 0 の到着時間(オクタブイトの単位で)を返します。8b/10b の場合、返される値はマルチフレーム長に関係なく、0 から 31 の範囲で指定できます。64b/66b の場合、返される値は 0 から $32 * E-1$ (含む) です。これらのレジスタは LANE_ARR_RDY = 1 のときにのみ有効です。

8.3.7.27 LANE_ARR_1 レジスタ (オフセット = 0x141) [リセット = 0xXX]

LANE_ARR_1 を [表 8-98](#) に示します。

[概略表](#)に戻ります。

表 8-98. LANE_ARR_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	X	予約済み
6-0	LANE_ARR[1]	R	X	SYSREF によって確立された内部 LMFC/LEMC に関する到着時刻(オクタブイト単位で)を返します。

8.3.7.28 LANE_ARR_2 レジスタ (オフセット = 0x142) [リセット = 0xXX]

LANE_ARR_2 を [表 8-99](#) に示します。

[概略表](#)に戻ります。

表 8-99. LANE_ARR_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	X	
6-0	LANE_ARR[2]	R	X	SYSREF によって確立された内部 LMFC/LEMC に関する到着時刻(オクタブイト単位で)を返します。

8.3.7.29 LANE_ARR_3 レジスタ (オフセット = 0x143) [リセット = 0xXX]

LANE_ARR_3 を [表 8-100](#) に示します。

[概略表](#)に戻ります。

表 8-100. LANE_ARR_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	X	
6-0	LANE_ARR[3]	R	X	SYSREF によって確立された内部 LMFC/LEMC に関する到着時刻(オクタブイト単位で)を返します。

8.3.7.30 LANE_ARR_4 レジスタ (オフセット = 0x144) [リセット = 0xXX]

LANE_ARR_4 を [表 8-101](#) に示します。

[概略表](#)に戻ります。

表 8-101. LANE_ARR_4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	X	
6-0	LANE_ARR[4]	R	X	SYSREF によって確立された内部 LMFC/LEMC に関する到着時刻 (オクタバイト単位で) を返します。

8.3.7.31 LANE_ARR_5 レジスタ (オフセット = 0x145) [リセット = 0xXX]

LANE_ARR_5 を表 8-102 に示します。

[概略表](#)に戻ります。

表 8-102. LANE_ARR_5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	X	
6-0	LANE_ARR[5]	R	X	SYSREF によって確立された内部 LMFC/LEMC に関する到着時刻 (オクタバイト単位で) を返します。

8.3.7.32 LANE_ARR_6 レジスタ (オフセット = 0x146) [リセット = 0xXX]

LANE_ARR_6 を表 8-103 に示します。

[概略表](#)に戻ります。

表 8-103. LANE_ARR_6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	X	
6-0	LANE_ARR[6]	R	X	SYSREF によって確立された内部 LMFC/LEMC に関する到着時刻 (オクタバイト単位で) を返します。

8.3.7.33 LANE_ARR_7 レジスタ (オフセット = 0x147) [リセット = 0xXX]

LANE_ARR_7 を表 8-104 に示します。

[概略表](#)に戻ります。

表 8-104. LANE_ARR_7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	X	
6-0	LANE_ARR[7]	R	X	SYSREF によって確立された内部 LMFC/LEMC に関する到着時刻 (オクタバイト単位で) を返します。

8.3.7.34 LANE_ARR_8 レジスタ (オフセット = 0x148) [リセット = 0xXX]

LANE_ARR_8 を表 8-105 に示します。

[概略表](#)に戻ります。

表 8-105. LANE_ARR_8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	X	

表 8-105. LANE_ARR_8 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6-0	LANE_ARR[8]	R	X	SYSREF によって確立された内部 LMFC/LEMC に関する到着時刻 (オクタバイト単位で) を返します。

8.3.7.35 LANE_ARR_9 レジスタ (オフセット = 0x149) [リセット = 0xXX]

LANE_ARR_9 を表 8-106 に示します。

[概略表](#)に戻ります。

表 8-106. LANE_ARR_9 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	X	
6-0	LANE_ARR[9]	R	X	SYSREF によって確立された内部 LMFC/LEMC に関する到着時刻 (オクタバイト単位で) を返します。

8.3.7.36 LANE_ARR_10 レジスタ (オフセット = 0x14A) [リセット = 0xXX]

LANE_ARR_10 を表 8-107 に示します。

[概略表](#)に戻ります。

表 8-107. LANE_ARR_10 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	X	
6-0	LANE_ARR[10]	R	X	SYSREF によって確立された内部 LMFC/LEMC に関する到着時刻 (オクタバイト単位で) を返します。

8.3.7.37 LANE_ARR_11 レジスタ (オフセット = 0x14B) [リセット = 0xXX]

LANE_ARR_11 を表 8-108 に示します。

[概略表](#)に戻ります。

表 8-108. LANE_ARR_11 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	X	
6-0	LANE_ARR[11]	R	X	SYSREF によって確立された内部 LMFC/LEMC に関する到着時刻 (オクタバイト単位で) を返します。

8.3.7.38 LANE_ARR_12 レジスタ (オフセット = 0x14C) [リセット = 0xXX]

LANE_ARR_12 を表 8-109 に示します。

[概略表](#)に戻ります。

表 8-109. LANE_ARR_12 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	X	
6-0	LANE_ARR[12]	R	X	SYSREF によって確立された内部 LMFC/LEMC に関する到着時刻 (オクタバイト単位で) を返します。

8.3.7.39 LANE_ARR_13 レジスタ (オフセット = 0x14D) [リセット = 0xXX]

LANE_ARR_13 を表 8-110 に示します。

[概略表](#)に戻ります。

表 8-110. LANE_ARR_13 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	X	
6-0	LANE_ARR[13]	R	X	SYSREF によって確立された内部 LMFC/LEMC に関する到着時刻 (オクタバイト単位で) を返します。

8.3.7.40 LANE_ARR_14 レジスタ (オフセット = 0x14E) [リセット = 0xXX]

LANE_ARR_14 を表 8-111 に示します。

[概略表](#)に戻ります。

表 8-111. LANE_ARR_14 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	X	
6-0	LANE_ARR[14]	R	X	SYSREF によって確立された内部 LMFC/LEMC に関する到着時刻 (オクタバイト単位で) を返します。

8.3.7.41 LANE_ARR_15 レジスタ (オフセット = 0x14F) [リセット = 0xXX]

LANE_ARR_15 を表 8-112 に示します。

[概略表](#)に戻ります。

表 8-112. LANE_ARR_15 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	X	
6-0	LANE_ARR[15]	R	X	SYSREF によって確立された内部 LMFC/LEMC に関する到着時刻 (オクタバイト単位で) を返します。

8.3.7.42 LANE_STATUS_0 レジスタ (オフセット = 0x150) [リセット = 0xXX]

LANE_STATUS_0 を表 8-113 に示します。

[概略表](#)に戻ります。

表 8-113. LANE_STATUS_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-3	予約済み	R	X	
2	F_EMB_SYNC	R	X	論理レーン 0 にフレームまたは EMB 同期が存在する場合、1 を返します。
1	CG_BK_SYNC	R	X	論理レーン 0 にコードグループまたはブロック同期が存在する場合、1 を返します。
0	SIG_DET	R	X	論理レーン 0 がデータ信号を検出している場合、1 を返します

8.3.7.43 LANE_STATUS_1 レジスタ (オフセット = 0x151) [リセット = 0xXX]

LANE_STATUS_1 を表 8-114 に示します。

[概略表](#)に戻ります。

表 8-114. LANE_STATUS_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	LANE_STATUS[1]	R	X	LANE_STATUS[0] についてはレジスタと説明を参照する

8.3.7.44 LANE_STATUS_2 レジスタ (オフセット = 0x152) [リセット = 0xXX]

LANE_STATUS_2 を表 8-115 に示します。

[概略表](#)に戻ります。

表 8-115. LANE_STATUS_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	LANE_STATUS[2]	R	X	LANE_STATUS[0] についてはレジスタと説明を参照する

8.3.7.45 LANE_STATUS_3 レジスタ (オフセット = 0x153) [リセット = 0xXX]

LANE_STATUS_3 を表 8-116 に示します。

[概略表](#)に戻ります。

表 8-116. LANE_STATUS_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	LANE_STATUS[3]	R	X	LANE_STATUS[0] についてはレジスタと説明を参照する

8.3.7.46 LANE_STATUS_4 レジスタ (オフセット = 0x154) [リセット = 0xXX]

LANE_STATUS_4 を表 8-117 に示します。

[概略表](#)に戻ります。

表 8-117. LANE_STATUS_4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	LANE_STATUS[4]	R	X	LANE_STATUS[0] についてはレジスタと説明を参照する

8.3.7.47 LANE_STATUS_5 レジスタ (オフセット = 0x155) [リセット = 0xXX]

LANE_STATUS_5 を表 8-118 に示します。

[概略表](#)に戻ります。

表 8-118. LANE_STATUS_5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	LANE_STATUS[5]	R	X	LANE_STATUS[0] についてはレジスタと説明を参照する

8.3.7.48 LANE_STATUS_6 レジスタ (オフセット = 0x156) [リセット = 0xXX]

LANE_STATUS_6 を表 8-119 に示します。

[概略表](#)に戻ります。

表 8-119. LANE_STATUS_6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	LANE_STATUS[6]	R	X	LANE_STATUS[0] についてはレジスタと説明を参照する

8.3.7.49 LANE_STATUS_7 レジスタ (オフセット = 0x157) [リセット = 0xXX]

LANE_STATUS_7 を表 8-120 に示します。

[概略表](#)に戻ります。

表 8-120. LANE_STATUS_7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	LANE_STATUS[7]	R	X	LANE_STATUS[0] についてはレジスタと説明を参照する

8.3.7.50 LANE_STATUS_8 レジスタ (オフセット = 0x158) [リセット = 0xXX]

LANE_STATUS_8 を表 8-121 に示します。

[概略表](#)に戻ります。

表 8-121. LANE_STATUS_8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	LANE_STATUS[8]	R	X	LANE_STATUS[0] についてはレジスタと説明を参照する

8.3.7.51 LANE_STATUS_9 レジスタ (オフセット = 0x159) [リセット = 0xXX]

LANE_STATUS_9 を表 8-122 に示します。

[概略表](#)に戻ります。

表 8-122. LANE_STATUS_9 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	LANE_STATUS[9]	R	X	LANE_STATUS[0] についてはレジスタと説明を参照する

8.3.7.52 LANE_STATUS_10 レジスタ (オフセット = 0x15A) [リセット = 0xXX]

LANE_STATUS_10 を表 8-123 に示します。

[概略表](#)に戻ります。

表 8-123. LANE_STATUS_10 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	LANE_STATUS[10]	R	X	LANE_STATUS[0] についてはレジスタと説明を参照する

8.3.7.53 LANE_STATUS_11 レジスタ (オフセット = 0x15B) [リセット = 0xXX]

LANE_STATUS_11 を表 8-124 に示します。

[概略表](#)に戻ります。

表 8-124. LANE_STATUS_11 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	LANE_STATUS[11]	R	X	LANE_STATUS[0] についてはレジスタと説明を参照する

8.3.7.54 LANE_STATUS_12 レジスタ (オフセット = 0x15C) [リセット = 0xXX]

LANE_STATUS_12 を表 8-125 に示します。

[概略表](#)に戻ります。

表 8-125. LANE_STATUS_12 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	LANE_STATUS[12]	R	X	LANE_STATUS[0] についてはレジスタと説明を参照する

8.3.7.55 LANE_STATUS_13 レジスタ (オフセット = 0x15D) [リセット = 0xXX]

LANE_STATUS_13 を表 8-126 に示します。

[概略表](#)に戻ります。

表 8-126. LANE_STATUS_13 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	LANE_STATUS[13]	R	X	LANE_STATUS[0] についてはレジスタと説明を参照する

8.3.7.56 LANE_STATUS_14 レジスタ (オフセット = 0x15E) [リセット = 0xXX]

LANE_STATUS_14 を表 8-127 に示します。

[概略表](#)に戻ります。

表 8-127. LANE_STATUS_14 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	LANE_STATUS[14]	R	X	LANE_STATUS[0] についてはレジスタと説明を参照する

8.3.7.57 LANE_STATUS_15 レジスタ (オフセット = 0x15F) [リセット = 0xXX]

LANE_STATUS_15 を表 8-128 に示します。

[概略表](#)に戻ります。

表 8-128. LANE_STATUS_15 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	LANE_STATUS[15]	R	X	LANE_STATUS[0] についてはレジスタと説明を参照する

8.3.7.58 LANE_ERROR_0 レジスタ (オフセット = 0x160) [リセット = 0xXX]

LANE_ERROR_0 を表 8-129 に示します。

[概略表](#)に戻ります。

表 8-129. LANE_ERROR_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	LANE_ERROR[0]	W1C	X	<p>レーン 0 のさまざまなエラーを示すスティッキ-ビット。</p> <p>0x0 = ギアボックス FIFO オーバーフローまたはアンダーフロー。書き込みクロック周波数が正しい限り、ギアボックスの書き込みクロックは、このフラグの後にデータ破損を引き起こすことなく 3UI 以上をドリフトする可能性があります。</p> <p>0x1 = ディスパリティエラー (8b/10b) または無効な同期ヘッダー (64b/66b) が発生。</p> <p>0x2 = テーブル内にない、または予期しない制御文字 (8b/10b) またはデータ整合性 (64b/66b) エラーが発生。</p> <p>0x3 = 予約済み</p> <p>0x4 = コードグループまたはブロックの同期が失われました。</p> <p>0x5 = フレーム整列 (8b/10b のみ) または DI_FAULTis 1 (64b/66b) が失われました。</p> <p>0x6 = マルチフレーム、マルチブロック、または拡張マルチブロックの整列が失われました。</p> <p>0x7 = 整列文字が予期しない場所 (8b/10b) または (拡張) で見つかりました-マルチブロックパイロット信号が予期される場所 (64b/66b) にありません</p>

8.3.7.59 LANE_ERROR_1 レジスタ (オフセット = 0x161) [リセット = 0xXX]

LANE_ERROR_1 を表 8-130 に示します。

[概略表](#)に戻ります。

表 8-130. LANE_ERROR_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	LANE_ERROR[1]	W1C	X	<p>レーン 1 のさまざまなエラーを示すスティッキ-ビット。LANE_ERROR[0] の説明を参照</p>

8.3.7.60 LANE_ERROR_2 レジスタ (オフセット = 0x162) [リセット = 0xXX]

LANE_ERROR_2 を表 8-131 に示します。

[概略表](#)に戻ります。

表 8-131. LANE_ERROR_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	LANE_ERROR[2]	W1C	X	<p>レーン 2 のさまざまなエラーを示すスティッキ-ビット。LANE_ERROR[0] の説明を参照</p>

8.3.7.61 LANE_ERROR_3 レジスタ (オフセット = 0x163) [リセット = 0xXX]

LANE_ERROR_3 を表 8-132 に示します。

[概略表](#)に戻ります。

表 8-132. LANE_ERROR_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	LANE_ERROR[3]	W1C	X	<p>レーン 3 のさまざまなエラーを示すスティッキ-ビット。LANE_ERROR[0] の説明を参照</p>

8.3.7.62 LANE_ERROR_4 レジスタ (オフセット = 0x164) [リセット = 0xXX]

LANE_ERROR_4 を表 8-133 に示します。

[概略表](#)に戻ります。

表 8-133. LANE_ERROR_4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	LANE_ERROR[4]	W1C	X	レーン 4 のさまざまなエラーを示すスティッキー-ビット。LANE_ERROR[0] の説明を参照

8.3.7.63 LANE_ERROR_5 レジスタ (オフセット = 0x165) [リセット = 0xXX]

LANE_ERROR_5 を表 8-134 に示します。

[概略表](#)に戻ります。

表 8-134. LANE_ERROR_5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	LANE_ERROR[5]	W1C	X	レーン 5 のさまざまなエラーを示すスティッキー-ビット。LANE_ERROR[0] の説明を参照

8.3.7.64 LANE_ERROR_6 レジスタ (オフセット = 0x166) [リセット = 0xXX]

LANE_ERROR_6 を表 8-135 に示します。

[概略表](#)に戻ります。

表 8-135. LANE_ERROR_6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	LANE_ERROR[6]	W1C	X	レーン 6 のさまざまなエラーを示すスティッキー-ビット。LANE_ERROR[0] の説明を参照

8.3.7.65 LANE_ERROR_7 レジスタ (オフセット = 0x167) [リセット = 0xXX]

LANE_ERROR_7 を表 8-136 に示します。

[概略表](#)に戻ります。

表 8-136. LANE_ERROR_7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	LANE_ERROR[7]	W1C	X	レーン 7 のさまざまなエラーを示すスティッキー-ビット。LANE_ERROR[0] の説明を参照

8.3.7.66 LANE_ERROR_8 レジスタ (オフセット = 0x168) [リセット = 0xXX]

LANE_ERROR_8 を表 8-137 に示します。

[概略表](#)に戻ります。

表 8-137. LANE_ERROR_8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	LANE_ERROR[8]	W1C	X	レーン 8 のさまざまなエラーを示すスティッキー-ビット。LANE_ERROR[0] の説明を参照

8.3.7.67 LANE_ERROR_9 レジスタ (オフセット = 0x169) [リセット = 0xXX]

LANE_ERROR_9 を表 8-138 に示します。

[概略表](#)に戻ります。

表 8-138. LANE_ERROR_9 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	LANE_ERROR[9]	W1C	X	レーン 9 のさまざまなエラーを示すスティッキ-ビット。LANE_ERROR[0] の説明を参照

8.3.7.68 LANE_ERROR_10 レジスタ (オフセット = 0x16A) [リセット = 0xXX]

LANE_ERROR_10 を表 8-139 に示します。

[概略表](#)に戻ります。

表 8-139. LANE_ERROR_10 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	LANE_ERROR[10]	W1C	X	レーン 10 のさまざまなエラーを示すスティッキ-ビット。LANE_ERROR[0] の説明を参照

8.3.7.69 LANE_ERROR_11 レジスタ (オフセット = 0x16B) [リセット = 0xXX]

LANE_ERROR_11 を表 8-140 に示します。

[概略表](#)に戻ります。

表 8-140. LANE_ERROR_11 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	LANE_ERROR[11]	W1C	X	レーン 11 のさまざまなエラーを示すスティッキ-ビット。LANE_ERROR[0] の説明を参照

8.3.7.70 LANE_ERROR_12 レジスタ (オフセット = 0x16C) [リセット = 0xXX]

LANE_ERROR_12 を表 8-141 に示します。

[概略表](#)に戻ります。

表 8-141. LANE_ERROR_12 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	LANE_ERROR[12]	W1C	X	レーン 12 のさまざまなエラーを示すスティッキ-ビット。LANE_ERROR[0] の説明を参照

8.3.7.71 LANE_ERROR_13 レジスタ (オフセット = 0x16D) [リセット = 0xXX]

LANE_ERROR_13 を表 8-142 に示します。

[概略表](#)に戻ります。

表 8-142. LANE_ERROR_13 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	LANE_ERROR[13]	W1C	X	レーン 13 のさまざまなエラーを示すスティッキ-ビット。LANE_ERROR[0] の説明を参照

8.3.7.72 LANE_ERROR_14 レジスタ (オフセット = 0x16E) [リセット = 0xXX]

LANE_ERROR_14 を表 8-143 に示します。

[概略表](#)に戻ります。

表 8-143. LANE_ERROR_14 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	LANE_ERROR[14]	W1C	X	レーン 14 のさまざまなエラーを示すスティッキービット。LANE_ERROR[0] の説明を参照

8.3.7.73 LANE_ERROR_15 レジスタ (オフセット = 0x16F) [リセット = 0xXX]

LANE_ERROR_15 を表 8-144 に示します。

[概略表](#)に戻ります。

表 8-144. LANE_ERROR_15 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	LANE_ERROR[15]	W1C	X	レーン 15 のさまざまなエラーを示すスティッキービット。LANE_ERROR[0] の説明を参照

8.3.7.74 FIFO_STATUS_0 レジスタ (オフセット = 0x170) [リセット = 0xXX]

FIFO_STATUS_0 を表 8-145 に示します。

[概略表](#)に戻ります。

表 8-145. FIFO_STATUS_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	X	
5-0	PDIFF	R	X	このレジスタは、論理レーン 0 のギアボックス FIFO 内の書き込みポイントと読み取りポイントの差を返します。

8.3.7.75 FIFO_STATUS_1 レジスタ (オフセット = 0x171) [リセット = 0xXX]

FIFO_STATUS_1 を表 8-146 に示します。

[概略表](#)に戻ります。

表 8-146. FIFO_STATUS_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	FIFO_STATUS[1]	R	X	FIFO_STATUS[0] の説明を参照

8.3.7.76 FIFO_STATUS_2 レジスタ (オフセット = 0x172) [リセット = 0xXX]

FIFO_STATUS_2 を表 8-147 に示します。

[概略表](#)に戻ります。

表 8-147. FIFO_STATUS_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	FIFO_STATUS[2]	R	X	FIFO_STATUS[0] の説明を参照

8.3.7.77 FIFO_STATUS_3 レジスタ (オフセット = 0x173) [リセット = 0xXX]

FIFO_STATUS_3 を表 8-148 に示します。

[概略表](#)に戻ります。

表 8-148. FIFO_STATUS_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	FIFO_STATUS[3]	R	X	FIFO_STATUS[0] の説明を参照

8.3.7.78 FIFO_STATUS_4 レジスタ (オフセット = 0x174) [リセット = 0xXX]

FIFO_STATUS_4 を表 8-149 に示します。

[概略表](#)に戻ります。

表 8-149. FIFO_STATUS_4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	FIFO_STATUS[4]	R	X	FIFO_STATUS[0] の説明を参照

8.3.7.79 FIFO_STATUS_5 レジスタ (オフセット = 0x175) [リセット = 0xXX]

FIFO_STATUS_5 を表 8-150 に示します。

[概略表](#)に戻ります。

表 8-150. FIFO_STATUS_5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	FIFO_STATUS[5]	R	X	FIFO_STATUS[0] の説明を参照

8.3.7.80 FIFO_STATUS_6 レジスタ (オフセット = 0x176) [リセット = 0xXX]

FIFO_STATUS_6 を表 8-151 に示します。

[概略表](#)に戻ります。

表 8-151. FIFO_STATUS_6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	FIFO_STATUS[6]	R	X	FIFO_STATUS[0] の説明を参照

8.3.7.81 FIFO_STATUS_7 レジスタ (オフセット = 0x177) [リセット = 0xXX]

FIFO_STATUS_7 を表 8-152 に示します。

[概略表](#)に戻ります。

表 8-152. FIFO_STATUS_7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	FIFO_STATUS[7]	R	X	FIFO_STATUS[0] の説明を参照

8.3.7.82 FIFO_STATUS_8 レジスタ (オフセット = 0x178) [リセット = 0xXX]

FIFO_STATUS_8 を表 8-153 に示します。

[概略表](#)に戻ります。

表 8-153. FIFO_STATUS_8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	FIFO_STATUS[8]	R	X	FIFO_STATUS[0] の説明を参照

8.3.7.83 FIFO_STATUS_9 レジスタ (オフセット = 0x179) [リセット = 0xXX]

FIFO_STATUS_9 を [表 8-154](#) に示します。

[概略表](#)に戻ります。

表 8-154. FIFO_STATUS_9 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	FIFO_STATUS[9]	R	X	FIFO_STATUS[0] の説明を参照

8.3.7.84 FIFO_STATUS_10 レジスタ (オフセット = 0x17A) [リセット = 0xXX]

FIFO_STATUS_10 を [表 8-155](#) に示します。

[概略表](#)に戻ります。

表 8-155. FIFO_STATUS_10 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	FIFO_STATUS[10]	R	X	FIFO_STATUS[0] の説明を参照

8.3.7.85 FIFO_STATUS_11 レジスタ (オフセット = 0x17B) [リセット = 0xXX]

FIFO_STATUS_11 を [表 8-156](#) に示します。

[概略表](#)に戻ります。

表 8-156. FIFO_STATUS_11 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	FIFO_STATUS[11]	R	X	FIFO_STATUS[0] の説明を参照

8.3.7.86 FIFO_STATUS_12 レジスタ (オフセット = 0x17C) [リセット = 0xXX]

FIFO_STATUS_12 を [表 8-157](#) に示します。

[概略表](#)に戻ります。

表 8-157. FIFO_STATUS_12 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	FIFO_STATUS[12]	R	X	FIFO_STATUS[0] の説明を参照

8.3.7.87 FIFO_STATUS_13 レジスタ (オフセット = 0x17D) [リセット = 0xXX]

FIFO_STATUS_13 を [表 8-158](#) に示します。

[概略表](#)に戻ります。

表 8-158. FIFO_STATUS_13 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	FIFO_STATUS[13]	R	X	FIFO_STATUS[0] の説明を参照

8.3.7.88 FIFO_STATUS_14 レジスタ (オフセット = 0x17E) [リセット = 0xXX]

FIFO_STATUS_14 を表 8-159 に示します。

[概略表](#)に戻ります。

表 8-159. FIFO_STATUS_14 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	FIFO_STATUS[14]	R	X	FIFO_STATUS[0] の説明を参照

8.3.7.89 FIFO_STATUS_15 レジスタ (オフセット = 0x17F) [リセット = 0xXX]

FIFO_STATUS_15 を表 8-160 に示します。

[概略表](#)に戻ります。

表 8-160. FIFO_STATUS_15 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	FIFO_STATUS[15]	R	X	FIFO_STATUS[0] の説明を参照

8.3.7.90 JCAP_ARM レジスタ (オフセット = 0x18A) [リセット = 0x00]

JCAP_ARM を表 8-161 に示します。

[概略表](#)に戻ります。

表 8-161. JCAP_ARM レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R	0x0	
0	JCAP_ARM です	R/W	0x0	このビットを 0 から 1 に遷移すると、キャプチャデバッグシステムが起動され、次の JCAP トリガーイベントでキャプチャできます。システムが作動するたびに、キャプチャが 1 回だけの実行されます。

8.3.7.91 JCAP_MODE レジスタ (オフセット = 0x18B) [リセット = 0x00]

JCAP_MODE を表 8-162 に示します。

[概略表](#)に戻ります。

表 8-162. JCAP_MODE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	0x0	

表 8-162. JCAP_MODE レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3-0	JCAP_MODE	R/W	0x0	デバッグキャプチャモードを選択します 0x0 = [JESD_JCAP_LINKIN] リンク層の入力をキャプチャします (ギアボックス出力)。JCAP_ARM がセットされた直後にトリガーします。 SYS_EN より前に JCAP_ARM が設定されている場合、SYS_EN がセットされ、ギアボックスがリリースされたときにトリガーされます (異なるレーン用のギアボックスは異なるタイミングでリリースされる可能性があります)。 0x1 = [JESD_JCAP_LINKOUT] は、リンク層の出力をキャプチャします。JCAP_ARM がセットされた後の、次の MF/EMB の開始時にトリガーされます。JCAP_ARM が SYS_EN より前に設定されると、レーンの最初の MF/EMB でトリガーが発生します。(これにより、ILAS を 8b/10b モードでキャプチャできるようになります。) 注: 異なるレーンは、MF/EMB 境界でトリガーされることがあります (JCAP_ARM がセットされる前にリンクがアップした場合、64b/66b または 8b/10b に適用されます)。 0x2 = [JESD_JCAP_TRANS] は、トランスポート層の出力をキャプチャします。JCAP_ARM がセットされた直後にトリガーします。これは LINK_UP = 1 の場合にのみ使用できます。このモードでは、JCAP_OFFSET は無視されます。 0x3~0xF = 予約済み

8.3.7.92 JCAP_OFFSET レジスタ (オフセット = 0x18C) [リセット = 0x0000]

JCAP_OFFSET を 表 8-163 に示します。

[概略表](#)に戻ります。

表 8-163. JCAP_OFFSET レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	JCAP_OFFSET	R/W	0x0	JCAP_MODE によって定義された JCAP トリガーイベントから、JCAP_OFFSET * 8 オクテットまで、キャプチャの開始を遅延させます。

8.3.7.93 JCAP_PAGE レジスタ (オフセット = 0x18E) [リセット = 0x00]

JCAP_PAGE を 表 8-164 に示します。

[概略表](#)に戻ります。

表 8-164. JCAP_PAGE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	R	0x0	
4-0	JCAP_PAGE	R/W	0x0	JCAP または JCAP_STATUS を読み取るときに、キャプチャされたデータにアクセスするための論理ページを選択します。JCAP_MODE < 2 の場合、最初の 16 ページのみが有効で、論理レーンに対応します。 JCAP_MODE=2 の場合、最初の 32 ページが有効であり、トランスポート層デバッグキャプチャに示すように、データをマッピングします。 すべてのレーンからステータスとデータにアクセスするために、必要に応じて JCAP_PAGE を記述することができます。

8.3.7.94 JCAP_STATUS レジスタ (オフセット = 0x18F) [リセット = 0x00]

JCAP_STATUS を 表 8-165 に示します。

[概略表](#)に戻ります。

表 8-165. JCAP_STATUS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R	0x0	
0	JCAP_STATUS	R/W	0x0	このビットが 1 を返すと、JCAP_PAGE で指定されたレーンがキャプチャを完了し、JCAP からデータを読み取ることができることを示します。このビットは、JCAP_ARM = 0、SYS_EN = 0、または JESD_RST = 1 のときにリセットされます。JCAP_STATUS を読み取る前に、JCAP_PAGE をプログラムします。 注: JCAP_MODE < 2 の時、16 の JCAP_PAGE には一意の JCAP_STATUS が含まれます。JCAP_MODE=2 の時、JCAP_STATUS は JCAP_PAGE = 0 のときのみ定義されます。

8.3.7.95 JCAP レジスタ (オフセット = 0x190) [リセット = 0xFFFFFFFFFFFFFFFFFFFFFFFFFFFFFFFF]

JCAP を表 8-166 に示します。

概略表に戻ります。

表 8-166. JCAP レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
127-0	JCAP	R	X	物理層またはリンク層データをキャプチャする場合、アドレス 0x0190 が最初にキャプチャされたバイト、0x019F が最後にキャプチャされたバイトです。各バイト内で、ビット 7 が最初にキャプチャされ、ビット 0 が最後にキャプチャされます。トランスポート層データをキャプチャする場合は、「トランスポート層デバッグキャプチャ」を参照してください。 JCAP を読み取る前に、JCAP_PAGE をプログラムします。 JCAP_STATUS=1 の時、ここで返される値は定義されていません。

8.3.7.96 LEC_CTRL レジスタ (オフセット = 0x1A0) [リセット = 0x02]

LEC_CTRL を表 8-167 に示します。

概略表に戻ります。

表 8-167. LEC_CTRL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	0x0	
3-2	LEC_CNT_SEL	R/W	0x0	LEC_CNT でアクセス可能なレーンエラーカウンタを選択します。 0x0 = BER カウンタ 0x1 = FEC 訂正可能エラーカウンタ 0x2 = FEC 訂正不可能エラーカウンタ 0x3 = 予約済み
1	FEC_EM_EN	R/W	0x1	このビットがセットされると、JENC=1、SHMODE=2、FEC エラーカウンタは、FEC エラー付きのマルチブロックの数をカウントします。カウンタをクリアして再起動するには、FEC_EM_EN を 0 にプログラムしてから、1 に戻ります。
0	BER_EN	R/W	0x0	レシーバーパラメータを設定後、ユーザーは JTEST を PRBS モードにプログラムし、JESD インターフェイスが有効になっていることを確認し (DSP_MODE を参照)、SYS_EN を設定し、BER カウンタを有効にするために BER_EN をセットします (LEC_CNTr を参照)。カウンタをクリアして再起動するには、BER_EN を 0 にプログラムしてから、1 に戻ります。BER ロジックは、BER_EN の立ち上がりエッジの後、入力された PRBS データと自己同期します。

8.3.7.97 LEC_CNT_0 レジスタ (オフセット = 0x1B0) [リセット = 0xXX]

LEC_CNT_0 を表 8-168 に示します。

[概略表](#)に戻ります。

表 8-168. LEC_CNT_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	LEC_CNT[0]	R	X	<p>LEC_CNT_SEL で選択されたエラーカウンタによって、レーン 0 で検出されたエラーの数を返します。この値は 255 で飽和します。</p> <p>BER カウンタの場合、レーン n のビットエラーレートは次のように演算できます。</p> $BER = LEC_CNT[0] / F_{BIT} / T_{BER}$ <p>ここで、T_{BER} は BER_EN がセットされてから LEC_CNT[n] が読み出されるまでに経過した秒数です。T_{BER} は、ホストシステムまたはクロックによって測定されます。</p> <p>FEC カウンタの場合、レーン n のマルチブロックエラーレート(MER)は次のように演算できます。</p> $MER = LEC_CNT[0] / (66 * 32 * F_{BIT}) / T_{MER}$ <p>ここで、T_{MER} はエラーカウンタが開始されてから LEC_CNT[0] が読み出されるまでに経過した秒数を示します。T_{MER} は、ホストシステムまたはクロックによって測定されます。SYS_EN = 0、JESD_RST = 1、FEC_EM_EN = 0、または JTimer が満了すると、FEC エラーカウンタはリセットされます (JTIMER を参照)。</p> <p>注: 無効化されたレーン、および EXTRA_LANE によって有効化されるレーンのエラーカウンタは未定義です。</p> <p>注: このレジスタを読み出す前に、(BER_EN か FEC_EM_EN のどちらかを使用して) カウンタを有効にした後で、1us 以上待機する必要があります。</p>

8.3.7.98 LEC_CNT_1 レジスタ (オフセット = 0x1B1) [リセット = 0xXX]

LEC_CNT_1 を表 8-169 に示します。

[概略表](#)に戻ります。

表 8-169. LEC_CNT_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	LEC_CNT[1]	R	X	LEC_CNT[0]の説明を参照

8.3.7.99 LEC_CNT_2 レジスタ (オフセット = 0x1B2) [リセット = 0xXX]

LEC_CNT_2 を表 8-170 に示します。

[概略表](#)に戻ります。

表 8-170. LEC_CNT_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	LEC_CNT[2]	R	X	LEC_CNT[0]の説明を参照

8.3.7.100 LEC_CNT_3 レジスタ (オフセット = 0x1B3) [リセット = 0xXX]

LEC_CNT_3 を表 8-171 に示します。

[概略表](#)に戻ります。

表 8-171. LEC_CNT_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	LEC_CNT[3]	R	X	LEC_CNT[0]の説明を参照

8.3.7.101 LEC_CNT_4 レジスタ (オフセット = 0x1B4) [リセット = 0xXX]

LEC_CNT_4 を表 8-172 に示します。

[概略表](#)に戻ります。

表 8-172. LEC_CNT_4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	LEC_CNT[4]	R	X	LEC_CNT[0]の説明を参照

8.3.7.102 LEC_CNT_5 レジスタ (オフセット = 0x1B5) [リセット = 0xXX]

LEC_CNT_5 を表 8-173 に示します。

[概略表](#)に戻ります。

表 8-173. LEC_CNT_5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	LEC_CNT[5]	R	X	LEC_CNT[0]の説明を参照

8.3.7.103 LEC_CNT_6 レジスタ (オフセット = 0x1B6) [リセット = 0xXX]

LEC_CNT_6 を表 8-174 に示します。

[概略表](#)に戻ります。

表 8-174. LEC_CNT_6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	LEC_CNT[6]	R	X	LEC_CNT[0]の説明を参照

8.3.7.104 LEC_CNT_7 レジスタ (オフセット = 0x1B7) [リセット = 0xXX]

LEC_CNT_7 を表 8-175 に示します。

[概略表](#)に戻ります。

表 8-175. LEC_CNT_7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	LEC_CNT[7]	R	X	LEC_CNT[0]の説明を参照

8.3.7.105 LEC_CNT_8 レジスタ (オフセット = 0x1B8) [リセット = 0xXX]

LEC_CNT_8 を表 8-176 に示します。

[概略表](#)に戻ります。

表 8-176. LEC_CNT_8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	LEC_CNT[8]	R	X	LEC_CNT[0]の説明を参照

8.3.7.106 LEC_CNT_9 レジスタ (オフセット = 0x1B9) [リセット = 0xXX]

LEC_CNT_9 を表 8-177 に示します。

[概略表](#)に戻ります。

表 8-177. LEC_CNT_9 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	LEC_CNT[9]	R	X	LEC_CNT[0]の説明を参照

8.3.7.107 LEC_CNT_10 レジスタ (オフセット = 0x1BA) [リセット = 0xXX]

LEC_CNT_10 を表 8-178 に示します。

[概略表](#)に戻ります。

表 8-178. LEC_CNT_10 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	LEC_CNT[10]	R	X	LEC_CNT[0]の説明を参照

8.3.7.108 LEC_CNT_11 レジスタ (オフセット = 0x1BB) [リセット = 0xXX]

LEC_CNT_11 を表 8-179 に示します。

[概略表](#)に戻ります。

表 8-179. LEC_CNT_11 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	LEC_CNT[11]	R	X	LEC_CNT[0]の説明を参照

8.3.7.109 LEC_CNT_12 レジスタ (オフセット = 0x1BC) [リセット = 0xXX]

LEC_CNT_12 を表 8-180 に示します。

[概略表](#)に戻ります。

表 8-180. LEC_CNT_12 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	LEC_CNT[12]	R	X	LEC_CNT[0]の説明を参照

8.3.7.110 LEC_CNT_13 レジスタ (オフセット = 0x1BD) [リセット = 0xXX]

LEC_CNT_13 を表 8-181 に示します。

[概略表](#)に戻ります。

表 8-181. LEC_CNT_13 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	LEC_CNT[13]	R	X	LEC_CNT[0]の説明を参照

8.3.7.111 LEC_CNT_14 レジスタ (オフセット = 0x1BE) [リセット = 0xXX]

LEC_CNT_14 を表 8-182 に示します。

[概略表](#)に戻ります。

表 8-182. LEC_CNT_14 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	LEC_CNT[14]	R	X	LEC_CNT[0]の説明を参照

8.3.7.112 LEC_CNT_15 レジスタ (オフセット = 0x1BF) [リセット = 0xXX]

LEC_CNT_15 を表 8-183 に示します。

[概略表](#)に戻ります。

表 8-183. LEC_CNT_15 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	LEC_CNT[15]	R	X	LEC_CNT[0]の説明を参照

8.3.8 SerDes_Equalizer レジスタ

表 8-184 に、SerDes_Equalizer に対してメモリマップされたレジスタを一覧表示します。表 8-184 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 8-184. SERDES_EQUALIZER レジスタ

オフセット	略称	レジスタ名	セクション
0x1C0	CDR0		セクション 8.3.8.1
0x1D0	EQ_CTRL		セクション 8.3.8.2
0x1D1	EQZERO		セクション 8.3.8.3
0x1D2	LANE_EQ_0		セクション 8.3.8.4
0x1D3	LANE_EQ_1		セクション 8.3.8.5
0x1D4	LANE_EQ_2		セクション 8.3.8.6
0x1D5	LANE_EQ_3		セクション 8.3.8.7
0x1D6	LANE_EQ_4		セクション 8.3.8.8
0x1D7	LANE_EQ_5		セクション 8.3.8.9
0x1D8	LANE_EQ_6		セクション 8.3.8.10
0x1D9	LANE_EQ_7		セクション 8.3.8.11
0x1DA	LANE_EQ_8		セクション 8.3.8.12
0x1DB	LANE_EQ_9		セクション 8.3.8.13
0x1DC	LANE_EQ_10		セクション 8.3.8.14
0x1DD	LANE_EQ_11		セクション 8.3.8.15
0x1DE	LANE_EQ_12		セクション 8.3.8.16
0x1DF	LANE_EQ_13		セクション 8.3.8.17
0x1E0	LANE_EQ_14		セクション 8.3.8.18
0x1E1	LANE_EQ_15		セクション 8.3.8.19
0x1E2	EQDEBUG		セクション 8.3.8.20

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-185 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-185. SerDes_Equalizer アクセスタイプコード

アクセス タイプ	表記	説明
読み取りタイプ		
R	R	読み出し
R-0	R -0	読み出し 0 を返す
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

8.3.8.1 CDR0 レジスタ (オフセット = 0x1C0) [リセット = 0x51]

CDR0 を表 8-186 に示します。

概略表に戻ります。

表 8-186. CDR0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0x0	
6-4	CDRVOTE	R/W	0x5	CDR ループで位相補間を調整するために必要な (net) 投票数を指定します。設定値が大きいかほどループは遅くなりますが、ループノイズは低下します。 注: このレジスタは、JESD_EN=0 のときのみ変更する必要があります。 0x0 = 1 0x1 = 3 0x2 = 5 0x3 = 7 0x4 = 15 0x5 = 31 (デフォルト) 0x6 = 予約済み 0x7 = 予約済み
3-2	予約済み	R	0x0	
1-0	CDRSTL	R/W	0x1	位相インターポレータの各調整後、CDR ループがデータ分析を停止させる時間を指定します。 注: このレジスタは、JESD_EN=0 のときのみ変更する必要があります。 0x0 = 32UI 0x1 = 96UI 0x2 = 192UI 0x3 = 2016UI

8.3.8.2 EQ_CTRL レジスタ (オフセット = 0x1D0) [リセット = 0x00]

EQ_CTRL を表 8-187 に示します。

概略表に戻ります。

表 8-187. EQ_CTRL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	R	0x0	
4	EQ_OVR	R/W	0x0	EQMODE が 1 以上の場合、EQLEVEL[n] レジスタを使用して EQ_OVR = 1 をプログラムし、イコライザレベルを上書きできます。すべてのレーンに影響します。
3	EQZ_OVR	R/W	0x0	EQZERO レジスタが有効になるようにこのビットを設定します (イコライザのゼロ周波数をオーバーライドするため)。EQZ_OVR = 0 の場合、周波数は RATE レジスタに基づいてセットされます。すべてのレーンに影響します。
2	EQHOLD	R/W	0x0	イコライザが完全適応モード (EQMODE = 1 および EQ_OVR = 0) のとき、EQHOLD をプログラムすると、(すべてのレーンの) アダプテーションループが停止 (ホールド) されます。
1-0	EQMODE	R/W	0x0	イコライザモードを設定します (すべてのレーンで): 「イコライザ」のセクションを参照してください。 0x0 = EQ_DISABLE 0x1 = EQ_ENABLE 0x2 = EQ_PRECURSOR 0x3 = EQ_POSTCURSOR

8.3.8.3 EQZERO レジスタ (オフセット = 0x1D1) [リセット = 0x00]

EQZERO を表 8-188 に示します。

概略表に戻ります。

表 8-188. EQZERO レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	R	0x0	
4-0	EQZERO	R/W	0x0	EQZ_OVR = 1 の場合、このフィールドは(すべてのレーンの)イコライザのゼロ周波数を上書きします。EQZ_OVR=0 の場合、ゼロ周波数が RATE 設定に基づいて自動的にセットされます。 EQZERO: ゼロ周波数(MHz): 注 0:114: 2:124: RATE = 4 の場合の自動設定 10:169: 17:222: RATE = 3 の場合の自動設定 22:326: 25:426: RATE = 2 の場合の自動設定 27:615: 29:792: RATE = 1 の場合の自動設定 30:1122: 31:2027:: RATE = 0 の場合の自動設定 その他すべて: 予約済み:

8.3.8.4 LANE_EQ_0 レジスタ (オフセット = 0x1D2) [リセット = 0x17]

LANE_EQ_0 を表 8-189 に示します。

[概略表](#)に戻ります。

表 8-189. LANE_EQ_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0x0	
5-4	EQTRIM[0]	R/W	0x1	物理レーン 0 の EQ トリムを制御します。 0x0 = EQ_TRIM_POS12 0x1 = EQ_TRIM_DEFAULT 0x2 = EQ_TRIM_NEG10 0x3 = EQ_TRIM_NEG18
3-0	EQLEVEL[0]	R/W	0x7	EQ_OVR = 1 の場合、このフィールドは物理レーン 0 のイコライゼーションレベルを制御します。有効範囲は 0 から 14 です。

8.3.8.5 LANE_EQ_1 レジスタ (オフセット = 0x1D3) [リセット = 0x17]

LANE_EQ_1 を表 8-190 に示します。

[概略表](#)に戻ります。

表 8-190. LANE_EQ_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0x0	
5-4	EQTRIM[1]	R/W	0x1	物理レーン 1 の EQ トリムを制御します。 0x0 = EQ_TRIM_POS12 0x1 = EQ_TRIM_DEFAULT 0x2 = EQ_TRIM_NEG10 0x3 = EQ_TRIM_NEG18
3-0	EQLEVEL[1]	R/W	0x7	EQ_OVR = 1 の場合、このフィールドは物理レーン 1 のイコライゼーションレベルを制御します。有効範囲は 0 から 14 です。

8.3.8.6 LANE_EQ_2 レジスタ (オフセット = 0x1D4) [リセット = 0x17]

LANE_EQ_2 を表 8-191 に示します。

[概略表](#)に戻ります。

表 8-191. LANE_EQ_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0x0	
5-4	EQTRIM[2]	R/W	0x1	物理レーン 2 の EQ トリムを制御します。 0x0 = EQ_TRIM_POS12 0x1 = EQ_TRIM_DEFAULT 0x2 = EQ_TRIM_NEG10 0x3 = EQ_TRIM_NEG18
3-0	EQLEVEL[2]	R/W	0x7	EQ_OVR = 1 の場合、このフィールドは物理レーン 2 のイコライゼーションレベルを制御します。有効範囲は 0 から 14 です。

8.3.8.7 LANE_EQ_3 レジスタ (オフセット = 0x1D5) [リセット = 0x17]

LANE_EQ_3 を表 8-192 に示します。

[概略表](#)に戻ります。

表 8-192. LANE_EQ_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0x0	
5-4	EQTRIM[3]	R/W	0x1	物理レーン 3 の EQ トリムを制御します。 0x0 = EQ_TRIM_POS12 0x1 = EQ_TRIM_DEFAULT 0x2 = EQ_TRIM_NEG10 0x3 = EQ_TRIM_NEG18
3-0	EQLEVEL[3]	R/W	0x7	EQ_OVR = 1 の場合、このフィールドは物理レーン 3 のイコライゼーションレベルを制御します。有効範囲は 0 から 14 です。

8.3.8.8 LANE_EQ_4 レジスタ (オフセット = 0x1D6) [リセット = 0x17]

LANE_EQ_4 を表 8-193 に示します。

[概略表](#)に戻ります。

表 8-193. LANE_EQ_4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0x0	
5-4	EQTRIM[4]	R/W	0x1	物理レーン 4 の EQ トリムを制御します。 0x0 = EQ_TRIM_POS12 0x1 = EQ_TRIM_DEFAULT 0x2 = EQ_TRIM_NEG10 0x3 = EQ_TRIM_NEG18
3-0	EQLEVEL[4]	R/W	0x7	EQ_OVR = 1 の場合、このフィールドは物理レーン 4 のイコライゼーションレベルを制御します。有効範囲は 0 から 14 です。

8.3.8.9 LANE_EQ_5 レジスタ (オフセット = 0x1D7) [リセット = 0x17]

LANE_EQ_5 を表 8-194 に示します。

[概略表](#)に戻ります。

表 8-194. LANE_EQ_5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0x0	
5-4	EQTRIM[5]	R/W	0x1	物理レーン 5 の EQ トリムを制御します。 0x0 = EQ_TRIM_POS12 0x1 = EQ_TRIM_DEFAULT 0x2 = EQ_TRIM_NEG10 0x3 = EQ_TRIM_NEG18
3-0	EQLEVEL[5]	R/W	0x7	EQ_OVR = 1 の場合、このフィールドは物理レーン 5 のイコライゼーションレベルを制御します。有効範囲は 0 から 14 です。

8.3.8.10 LANE_EQ_6 レジスタ (オフセット = 0x1D8) [リセット = 0x17]

LANE_EQ_6 を表 8-195 に示します。

[概略表](#)に戻ります。

表 8-195. LANE_EQ_6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0x0	
5-4	EQTRIM[6]	R/W	0x1	物理レーン 6 の EQ トリムを制御します。 0x0 = EQ_TRIM_POS12 0x1 = EQ_TRIM_DEFAULT 0x2 = EQ_TRIM_NEG10 0x3 = EQ_TRIM_NEG18
3-0	EQLEVEL[6]	R/W	0x7	EQ_OVR = 1 の場合、このフィールドは物理レーン 6 のイコライゼーションレベルを制御します。有効範囲は 0 から 14 です。

8.3.8.11 LANE_EQ_7 レジスタ (オフセット = 0x1D9) [リセット = 0x17]

LANE_EQ_7 を表 8-196 に示します。

[概略表](#)に戻ります。

表 8-196. LANE_EQ_7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0x0	
5-4	EQTRIM[7]	R/W	0x1	物理レーン 7 の EQ トリムを制御します。 0x0 = EQ_TRIM_POS12 0x1 = EQ_TRIM_DEFAULT 0x2 = EQ_TRIM_NEG10 0x3 = EQ_TRIM_NEG18
3-0	EQLEVEL[7]	R/W	0x7	EQ_OVR = 1 の場合、このフィールドは物理レーン 7 のイコライゼーションレベルを制御します。有効範囲は 0 から 14 です。

8.3.8.12 LANE_EQ_8 レジスタ (オフセット = 0x1DA) [リセット = 0x17]

LANE_EQ_8 を表 8-197 に示します。

[概略表](#)に戻ります。

表 8-197. LANE_EQ_8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0x0	

表 8-197. LANE_EQ_8 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-4	EQTRIM[8]	R/W	0x1	物理レーン 8 の EQ トリムを制御します。 0x0 = EQ_TRIM_POS12 0x1 = EQ_TRIM_DEFAULT 0x2 = EQ_TRIM_NEG10 0x3 = EQ_TRIM_NEG18
3-0	EQLEVEL[8]	R/W	0x7	EQ_OVR = 1 の場合、このフィールドは物理レーン 8 のイコライゼーションレベルを制御します。有効範囲は 0 から 14 です。

8.3.8.13 LANE_EQ_9 レジスタ (オフセット = 0x1DB) [リセット = 0x17]

LANE_EQ_9 を表 8-198 に示します。

[概略表](#)に戻ります。

表 8-198. LANE_EQ_9 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0x0	
5-4	EQTRIM[9]	R/W	0x1	物理レーン 9 の EQ トリムを制御します。 0x0 = EQ_TRIM_POS12 0x1 = EQ_TRIM_DEFAULT 0x2 = EQ_TRIM_NEG10 0x3 = EQ_TRIM_NEG18
3-0	EQLEVEL[9]	R/W	0x7	EQ_OVR = 1 の場合、このフィールドは物理レーン 9 のイコライゼーションレベルを制御します。有効範囲は 0 から 14 です。

8.3.8.14 LANE_EQ_10 レジスタ (オフセット = 0x1DC) [リセット = 0x17]

LANE_EQ_10 を表 8-199 に示します。

[概略表](#)に戻ります。

表 8-199. LANE_EQ_10 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0x0	
5-4	EQTRIM[10]	R/W	0x1	物理レーン 10 の EQ トリムを制御します。 0x0 = EQ_TRIM_POS12 0x1 = EQ_TRIM_DEFAULT 0x2 = EQ_TRIM_NEG10 0x3 = EQ_TRIM_NEG18
3-0	EQLEVEL[10]	R/W	0x7	EQ_OVR = 1 の場合、このフィールドは物理レーン 10 のイコライゼーションレベルを制御します。有効範囲は 0 から 14 です。

8.3.8.15 LANE_EQ_11 レジスタ (オフセット = 0x1DD) [リセット = 0x17]

LANE_EQ_11 を表 8-200 に示します。

[概略表](#)に戻ります。

表 8-200. LANE_EQ_11 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0x0	

表 8-200. LANE_EQ_11 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-4	EQTRIM[11]	R/W	0x1	物理レーン 11 の EQ トリムを制御します。 0x0 = EQ_TRIM_POS12 0x1 = EQ_TRIM_DEFAULT 0x2 = EQ_TRIM_NEG10 0x3 = EQ_TRIM_NEG18
3-0	EQLEVEL[11]	R/W	0x7	EQ_OVR = 1 の場合、このフィールドは物理レーン 11 のイコライゼーションレベルを制御します。有効範囲は 0 から 14 です。

8.3.8.16 LANE_EQ_12 レジスタ (オフセット = 0x1DE) [リセット = 0x17]

LANE_EQ_12 を表 8-201 に示します。

[概略表](#)に戻ります。

表 8-201. LANE_EQ_12 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0x0	
5-4	EQTRIM[12]	R/W	0x1	物理レーン 12 の EQ トリムを制御します。 0x0 = EQ_TRIM_POS12 0x1 = EQ_TRIM_DEFAULT 0x2 = EQ_TRIM_NEG10 0x3 = EQ_TRIM_NEG18
3-0	EQLEVEL[12]	R/W	0x7	EQ_OVR = 1 の場合、このフィールドは物理レーン 12 のイコライゼーションレベルを制御します。有効範囲は 0 から 14 です。

8.3.8.17 LANE_EQ_13 レジスタ (オフセット = 0x1DF) [リセット = 0x17]

LANE_EQ_13 を表 8-202 に示します。

[概略表](#)に戻ります。

表 8-202. LANE_EQ_13 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0x0	
5-4	EQTRIM[13]	R/W	0x1	物理レーン 13 の EQ トリムを制御します。 0x0 = EQ_TRIM_POS12 0x1 = EQ_TRIM_DEFAULT 0x2 = EQ_TRIM_NEG10 0x3 = EQ_TRIM_NEG18
3-0	EQLEVEL[13]	R/W	0x7	EQ_OVR = 1 の場合、このフィールドは物理レーン 13 のイコライゼーションレベルを制御します。有効範囲は 0 から 14 です。

8.3.8.18 LANE_EQ_14 レジスタ (オフセット = 0x1E0) [リセット = 0x17]

LANE_EQ_14 を表 8-203 に示します。

[概略表](#)に戻ります。

表 8-203. LANE_EQ_14 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0x0	

表 8-203. LANE_EQ_14 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-4	EQTRIM[14]	R/W	0x1	物理レーン 14 の EQ トリムを制御します。 0x0 = EQ_TRIM_POS12 0x1 = EQ_TRIM_DEFAULT 0x2 = EQ_TRIM_NEG10 0x3 = EQ_TRIM_NEG18
3-0	EQLEVEL[14]	R/W	0x7	EQ_OVR = 1 の場合、このフィールドは物理レーン 14 のイコライゼーションレベルを制御します。有効範囲は 0 から 14 です。

8.3.8.19 LANE_EQ_15 レジスタ (オフセット = 0x1E1) [リセット = 0x17]

LANE_EQ_15 を表 8-204 に示します。

[概略表](#)に戻ります。

表 8-204. LANE_EQ_15 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0x0	
5-4	EQTRIM[15]	R/W	0x1	物理レーン 15 の EQ トリムを制御します。 0x0 = EQ_TRIM_POS12 0x1 = EQ_TRIM_DEFAULT 0x2 = EQ_TRIM_NEG10 0x3 = EQ_TRIM_NEG18
3-0	EQLEVEL[15]	R/W	0x7	EQ_OVR = 1 の場合、このフィールドは物理レーン 15 のイコライゼーションレベルを制御します。有効範囲は 0 から 14 です。

8.3.8.20 EQDEBUG レジスタ (オフセット = 0x1E2) [リセット = 0x06]

EQDEBUG を表 8-205 に示します。

[概略表](#)に戻ります。

表 8-205. EQDEBUG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0x0	
5	EQUD	R/W	0x0	セットすると、アダプティブ EQ は「P」パターンを検出し、CDR のロックを妨げる可能性のある深刻なイコライゼーション不足の状態から回復する能力を向上させます。
4	EQOD	R/W	0x0	セットすると、アダプティブ EQ は、イコライゼーションパターンが長時間検出されない場合にイコライゼーションレベルを低減します。これは、深刻な過剰イコライゼーション状態からの回復に役立ちます。この機能は PHY には実装されていません。
3-0	予約済み	R	0x0	

8.3.9 SerDes_Eye-Scan レジスタ

表 8-206 に、SerDes_Eye-Scan に対してメモリマップされたレジスタを一覧表示します。表 8-206 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 8-206. SERDES_EYE-SCAN レジスタ

オフセット	略称	レジスタ名	セクション
0x1F0	ESRUN		セクション 8.3.9.1
0x1F1	ES_CNTL		セクション 8.3.9.2
0x1F2	ESPO		セクション 8.3.9.3
0x1F3	ESVO		セクション 8.3.9.4
0x1F4	ESBSEL		セクション 8.3.9.5
0x1F5	ECOUNT_CLR		セクション 8.3.9.6

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-207 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-207. SerDes_Eye-Scan アクセスタイプコード

アクセス タイプ	表記	説明
読み取りタイプ		
R	R	読み出し
R-0	R -0	読み出し 0 を返す
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

8.3.9.1 ESRUN レジスタ (オフセット = 0x1F0) [リセット = 0x00]

ESRUN を表 8-208 に示します。

概略表に戻ります。

表 8-208. ESRUN レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R	0x0	
0	ESRUN	R/W	0x0	アイスキャンの設定後、ESRUN=1 に設定してアイスキャンテストを実行します。「アイスキャンの使用モデル」を参照してください。

8.3.9.2 ES_CNTL レジスタ (オフセット = 0x1F1) [リセット = 0x00]

ES_CNTL を表 8-209 に示します。

概略表に戻ります。

表 8-209. ES_CNTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0x0	

表 8-209. ES_CNTL レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-4	ESLEN	R/W	0x0	<p>アイスキャンテストの長さを指定します。値が大きくなるほど、より一貫した結果が得られますが、より時間がかかります。</p> <p>注: 多くのアイスキャンモードでは、ゼロ (または 1) のみを解析します。このモードはすべてのサンプルを解析しないため、すべてのサンプルを分析するモードと比較して、完了により時間がかかります。</p> <p>0x0 = 127 0x1 = 1032 0x2 = 8191 0x3 = 65535</p>
3-0	EYESCAN_MODE	R/W	0x0	<p>アイスキャンモードを指定します。すべてのレーンに適用されます。</p> <p>注: ESRUN=0 の場合のみ、このレジスタを変更します。</p> <p>0x0 = ES_DISABLED アイスキャンが無効 (デフォルト)。</p> <p>0x1 = ES_COMPARE 通常のサンプラーとアイスキャンサンプラー間の不一致をカウントします。0 と 1 を解析します。</p> <p>0x2 = ES_COMPAREZEROS 0b0001 と同じですが、ゼロのみを解析します。</p> <p>0x3 = ES_COMPAREONES 0b0001 と同じですが、1 のみを解析します。</p> <p>0x4 = アイスキャンサンプルが 1 のとき、ES_COUNTONES は ECOUNT[n] を増加させます。</p> <p>0x5 = 予約済み 0x6 = 予約済み 0x7 = 予約済み 0x8 = ES_AVEZEROS は、ESVO_S[n] をゼロの平均電圧に調整します。</p> <p>0x9 = ES_OUTERZEROS は ESVO_S[n] をゼロの最小電圧に調整します。</p> <p>0xA = ES_INNERZEROS は ESVO_Sn をゼロの最大電圧に調整します。</p> <p>0xB = 予約済み 0xC = ES_AVGONES は ESVO_Sn を 1 の平均電圧に調整します。</p> <p>0xD = ES_OUTERONES は ESVO_Sn を 1 の最高電圧に調整します。</p> <p>0xE = ES_INNERONES は ESVO_Sn を 1 の最低電圧に調整します。</p> <p>0xF = 予約済み</p>

8.3.9.3 ESPO レジスタ (オフセット = 0x1F2) [リセット = 0x00]

ESPO を表 8-210 に示します。

[概略表](#)に戻ります。

表 8-210. ESPO レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0x0	
6-0	ESPO	R/W	0x0	<p>すべてのレーンのアイスキャン位相オフセット。これにより、通常のサンプラーと比較したアイスキャンサンプラーのサンプリングの瞬間を調整します。これは -64 から +63 の符号付き値で、ステップサイズは UI の 1/32 です。</p> <p>注: ESRUN=0 の場合のみ、このレジスタを変更します。</p>

8.3.9.4 ESVO レジスタ (オフセット = 0x1F3) [リセット = 0x00]

ESVO を表 8-211 に示します。

[概略表](#)に戻ります。

表 8-211. ESVO レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0x0	
5-0	ESVO	R/W	0x0	すべてのレーンのアイスキャン電圧オフセット。これは、アイスキャンサンプラーの電圧のしきい値を調整します。これは -32 から +31 の符号付き値です。ステップサイズは約 10mV です (調整範囲は約 -320mV から +310mV です)。このフィールドは、電圧オフセットを自動的に調整して ESVO_S[n] に結果を返すアイスキャンモードでは無視されます。注: ESRUN=0 の場合のみ、このレジスタを変更します。

8.3.9.5 ESBSEL レジスタ (オフセット = 0x1F4) [リセット = 0x00]

ESBSEL を表 8-212 に示します。

概略表に戻ります。

表 8-212. ESBSEL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	R	0x0	
4-0	ESBSEL	R/W	0x0	アイスキャンは、32 ビットごとにのみ実行されます (PHY バス幅は 32 ビット)。このフィールドは、アイスキャンが実行されるビット位置を指定します (有効範囲は 0 から 31)。アイスキャンは、ESBSEL の可能なすべての値と結果を組み合わせて実行することができます。または、デューティサイクルの歪みや反復ジッタの影響を確認するために、結果を分離しておくこともできます。注: ESRUN=0 の場合のみ、このレジスタを変更します。

8.3.9.6 ECOUNT_CLR レジスタ (オフセット = 0x1F5) [リセット = 0x00]

ECOUNT_CLR を表 8-213 に示します。

概略表に戻ります。

表 8-213. ECOUNT_CLR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R	0x0	
0	ECOUNT_CLR	R/W	0x0	これを 1 にプログラムし、次に 0 にして、ECOUNT カウンタをクリアします。

8.3.10 SerDes_Lane_Status レジスタ

表 8-214 に、SerDes_Lane_Status レジスタに対してメモリマップされたレジスタを示します。表 8-214 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 8-214. SERDES_LANE_STATUS レジスタ

オフセット	略称	レジスタ名	セクション
0x218	PHY_LANE		セクション 8.3.10.1
0x219	PHY_SSEL		セクション 8.3.10.2
0x21A	PHY_STATUS		セクション 8.3.10.3

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-215 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-215. SerDes_Lane_Status アクセス タイプ コード

アクセス タイプ	表記	説明
読み取りタイプ		
R	R	読み出し
R-0	R -0	読み出し 0 を返す
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

8.3.10.1 PHY_LANE レジスタ (オフセット = 0x218) [リセット = 0x00]

PHY_LANE を 表 8-216 に示します。

概略表に戻ります。

表 8-216. PHY_LANE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	0x0	予約済み
3-0	PHY_LANE	R/W	0x0	PHY_STATUS レジスタを介してステータスデータを読み戻すために、選択する物理 PHY レーンを指定します。

8.3.10.2 PHY_SSEL レジスタ (オフセット = 0x219) [リセット = 0x00]

PHY_SSEL を 表 8-217 に示します。

概略表に戻ります。

表 8-217. PHY_SSEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	R	0x0	予約済み
4-0	PHY_SSEL	R/W	0x0	PHY_STATUS レジスタで返されるステータスフィールドを指定します

8.3.10.3 PHY_STATUS レジスタ（オフセット = 0x21A）[リセット = 0xFFFF]

PHY_STATUS を [表 8-218](#) に示します。

[概略表](#)に戻ります。

表 8-218. PHY_STATUS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PHY_STATUS	R	X	物理レーンからステータス情報を返します。このレジスタを読み出す前に、物理レーンを選択するように PHY_LANE をプログラムし、返すデータのタイプを選択するように PHY_SSEL をプログラムします。Serdes PHY Status セクションを参照してください

8.3.11 SerDes_PLL レジスタ

表 8-219 に、SerDes_PLL レジスタのメモリ マップト レジスタを示します。表 8-219 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 8-219. SERDES_PLL レジスタ

オフセット	略称	レジスタ名	セクション
0x228	SPLL_STATUS		セクション 8.3.11.1
0x229	SPLL_STATUS2		セクション 8.3.11.2

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-220 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-220. SerDes_PLL アクセス タイプ コード

アクセス タイプ	表記	説明
読み取りタイプ		
R	R	読み出し
R-0	R -0	読み出し 0 を返す
書き込みタイプ		
W	W	書き込み
W1C	W 1C	書き込み 1 でクリア
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

8.3.11.1 SPLL_STATUS レジスタ (オフセット = 0x228) [リセット = 0x0X]

表 8-221 に、SPLL_STATUS を示します。

概略表に戻ります。

表 8-221. SPLL_STATUS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R	0x0	予約済み
0	SPLL_LOCK_LOST	R/W1C	X	このビットは、SPLL からのロック信号が Low になると設定されます。これはスティッキー ビットです (SPLL がロックを取得しても設定されたまま)。1 を書き込むことでクリアします。これはデバッグ目的であり、SPI は SPLL が短時間ロックを失ったかどうかを監視することができます。

8.3.11.2 SPLL_STATUS2 レジスタ (オフセット = 0x229) [リセット = 0xXX]

SPLL_STATUS2 を表 8-222 に示します。

概略表に戻ります。

表 8-222. SPLL_STATUS2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0x0	予約済み
5	SPLL_NO_LOCK	R	X	これは、SPLL がキャリブレーションを完了したけれども、安定したロックを維持したか、維持できなかったかを示しています。これは、ロックが達成されたけれども、持続的に失われた場合にも発生する可能性があります (基準クロック周波数が変化した場合がある)。

表 8-222. SPLL_STATUS2 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
4	SPLL_CORE_GAP	R	X	SPLL がコア間の周波数ギャップを検出した場合は、1 を返します。この場合、SPLL に障害が発生している可能性があります。
3	SPLL_REF_SLOW	R	X	SPLL の基準クロックが低速すぎて SPLL がロックできない場合は、1 を返します。この場合、SPLL 設定 (REFDIV および MPY) を確認します。
2	SPLL_REF_FAST	R	X	SPLL 基準クロックが高速すぎて SPLL がロックできない場合は、1 を返します。この場合、SPLL 設定 (REFDIV および MPY) を確認します。
1	SPLL_VCAL_DONE	R	X	SPLL キャリブレーションが完了したことを示す 1 を返します。JESD_M がゼロ以外で VCAL_EN=1 の場合、SYS_EN が設定された後にキャリブレーションが行われます。
0	予約済み	R	0x0	予約済み

8.3.12 DAC_and_Analog_Configuration レジスタ

表 8-223 に、DAC_and_Analog_Configuration レジスタに対してメモリマップされたレジスタを一覧表示します。表 8-223 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 8-223. DAC_AND_ANALOG_CONFIGURATION レジスタ

オフセット	略称	レジスタ名	セクション
0x280	CURRENT_2X		セクション 8.3.12.1
0x2A0	DACA_CURRENT		セクション 8.3.12.2
0x2A1	DACB_CURRENT		セクション 8.3.12.3
0x2AF	CS_AMP_FILTER		セクション 8.3.12.4
0x2B0	EXTREF_EN		セクション 8.3.12.5
0x2C0	NOISEREDUCE_EN0		セクション 8.3.12.6
0x2C1	NOISEREDUCE_EN1		セクション 8.3.12.7
0x2CF	DAC_OFS_CHG_BLK		セクション 8.3.12.8

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-224 に、このセクションでアクセス タイプに使用しているコードを示します。

**表 8-224. DAC_and_Analog_Configuration アクセス
タイプコード**

アクセス タイプ	表記	説明
読み取りタイプ		
R	R	読み出し
R-0	R -0	読み出し 0 を返す
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

8.3.12.1 CURRENT_2X レジスタ (オフセット = 0x280) [リセット = 0x00]

CURRENT_2X を表 8-225 に示します。

概略表に戻ります。

表 8-225. CURRENT_2X レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R	0x0	予約済み
0	CURRENT_2X_EN	R/W	0x0	0x0 = 両方の DAC の 2x 電流モードを有効化します。 0x1 = 両方の DAC の 2x 電流モードを無効化します。

8.3.12.2 DACA_CURRENT レジスタ (オフセット = 0x2A0) [リセット = 0x0F]

DACA_CURRENT を表 8-226 に示します。

概略表に戻ります。

表 8-226. DACA_CURRENT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	COARSE_CUR_A_SLEEP	R/W	0x0	スリープモードでの DACA の粗電流制御
3-0	COARSE_CUR_A	R/W	0xF	アクティブモードでの DACA の粗電流の制御

8.3.12.3 DACB_CURRENT レジスタ (オフセット = 0x2A1) [リセット = 0x0F]

DACB_CURRENT を [表 8-227](#) に示します。

[概略表](#)に戻ります。

表 8-227. DACB_CURRENT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	COARSE_CUR_B_SLEEP	R/W	0x0	スリープモードでの DACB の粗電流制御
3-0	COARSE_CUR_B	R/W	0xF	アクティブモードでの DACB の粗電流の制御

8.3.12.4 CS_AMP_FILTER レジスタ (オフセット = 0x2AF) [リセット = 0x00]

CS_AMP_FILTER を [表 8-228](#) に示します。

[概略表](#)に戻ります。

表 8-228. CS_AMP_FILTER レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	0x0	
3-2	CS_AMP_FILTER1	R/W	0x0	DACB の電流ソースバイアスパス内のローパスフィルタのカットオフ周波数を調整します。この設定値が大きいほど、現在のソースパスの帯域幅は狭くなり、1/f ノイズは抑制されますが、起動時間は長くなります。 0x0 = 20KHz でカットオフ (デフォルト) 0x1 = 4KHz でカットオフ 0x2 = 800Hz でカットオフ 0x3 = 1Hz でカットオフ
1-0	CS_AMP_FILTER0	R/W	0x0	DACA の電流ソースバイアスパス内で、ローパスフィルタのカットオフ周波数を調整します。CS_AMP_FILTER1 を参照してください。

8.3.12.5 EXTREF_EN レジスタ (オフセット = 0x2B0) [リセット = 0x00]

EXTREF_EN を [表 8-229](#) に示します。

[概略表](#)に戻ります。

表 8-229. EXTREF_EN レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R	0x0	
0	EXTREF_EN	R/W	0x0	外部リファレンスの有効化

8.3.12.6 NOISEREDUCE_EN0 レジスタ (オフセット = 0x2C0) [リセット = 0xFF]

NOISEREDUCE_EN0 を [表 8-230](#) に示します。

[概略表](#)に戻ります。

表 8-230. NOISEREDUCE_EN0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	NOISEREDUCE_IO18_EN	R/W	0x3	1.8V VDDIO 電源のノイズを低減します。
5	NOISEREDUCE_CLKDRV_DACB_EN	R/W	0x1	DACB クロックドライバ電源 (AVDDCLK) のノイズを低減します。
4	NOISEREDUCE_CLKDRV_DACA_EN	R/W	0x1	DACA クロックドライバ電源 (AVDDCLK) のノイズを低減します。
3-2	NOISEREDUCE_MUX_DACB_EN	R/W	0x3	DACB MUX 電源のノイズを低減します。両ビットを同じ値に設定します。
1-0	NOISEREDUCE_MUX_DACA_EN	R/W	0x3	DACA MUX 電源のノイズを低減します。両ビットを同じ値に設定します。

8.3.12.7 NOISEREDUCE_EN1 レジスタ (オフセット = 0x2C1) [リセット = 0x0F]

NOISEREDUCE_EN1 を表 8-231 に示します。

[概略表](#)に戻ります。

表 8-231. NOISEREDUCE_EN1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	0x0	
3-2	NOISEREDUCE_SWDRV_DACB_EN	R/W	0x3	DACB スイッチドライバの電源のノイズを低減します。両ビットを同じ値に設定します。
1-0	NOISEREDUCE_SWDRV_DACA_EN	R/W	0x3	DACA スイッチドライバの電源のノイズを低減します。両ビットを同じ値に設定します。

8.3.12.8 DAC_OFS_CHG_BLK レジスタ (オフセット = 0x2CF) [リセット = 0x00]

DAC_OFS_CHG_BLK を表 8-232 に示します。

[概略表](#)に戻ります。

表 8-232. DAC_OFS_CHG_BLK レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R	0x0	
0	DAC_OFS_CHG_BLK	R/W	0x0	セットされている場合、DAC_OFS[n] に加えられた変更が高速クロックに伝搬されず、両方の DAC は現在の値をそのまま使用し続けます。これが 1 から 0 に変更されると、新しい DAC_OF[n] 値が両方の DAC に適用されます。各 DAC に新しい値が適用されるとき、わずかな時間オフセットが発生する可能性があります (数 10 の CLK サイクル)。

8.3.13 データバスレジスタ

表 8-233 に、データバスに対してメモリマップされたレジスタを一覧表示します。表 8-233 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 8-233. データバスレジスタ

オフセット	略称	レジスタ名	セクション
2E0h	DSP_MODE		表示
2E2h	DSP_L		表示
2E3h	DSP_GAIN0		表示
2E4h	DSP_GAIN1		表示
2E5h	DSP_GAIN2		表示
2E6h	DSP_GAIN3		表示
2E7h	DSP_FORMAT		表示
2E8h	DAC_SRC		表示
2E9h	DAC_SRC_ALT		表示
2EAh	MXMODE		表示
2EBh	TRUNC_HLSB		表示
2ECh	DAC_DLY0		表示
2EDh	DAC_DLY1		表示
2EEh	DAC_INV		表示

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-234 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-234. データバスアクセスタイプコード

アクセス タイプ	表記	説明
読み取りタイプ		
R	R	読み出し
R-0	R-0	読み出し 0 を返す
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

8.3.13.1 DSP_MODE レジスタ（オフセット = 2E0h）[リセット = 0000h]

概略表に戻ります。

表 8-235. DSP_MODE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	

表 8-235. DSP_MODE レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
14-12	DSP_MODE3	R/W	0h	<p>DSP_MODE3 フィールドは、DSP チャンネル 3 の動作モードを定義します。</p> <p>注:注:すべての DSP が無効になると、この部品は自動的にバイパスモードを作動させます (JESD サンプルを DAC に送信)。</p> <p>JESD インターフェイスと DSP チャンネルの間にはクロスバーがありません。</p> <p>JESD サンプルを必要とする DSP モードを下位の DSP チャンネル番号 (チャンネル 0 から JESD_M/2 - 1 まで) に割り当てることが重要です。また、JESD_M を適切にプログラムしてください。DSP に JESD サンプルが必要ない場合、JESD_M=0 を使用してください。DSP モードを参照してください。</p> <p>注:DSP_L が 4x または 6x の補間用に設定されている場合、DSP チャンネル 0 と 1 のみが DUC モードで動作できます。他のチャンネルは別のモードを使用する必要があります (または無効にする必要があります)。</p> <p>注:このレジスタは、SYS_EN=0 のときのみ変更する必要があります。</p> <p>0h = DSP0 は無効 (使用されていません)</p> <p>1h = DUC モード – DUC を介して JESD サンプルを送信</p> <p>2h = DDS SPI モード – FREQ、PHASE および AMP レジスタから DDS 値を使用 (JESD サンプルは使用されていません)</p> <p>3h = DDS ベクトルモード – DDS ベクトルプレイヤーを使用して DAC サンプルを作成 (JESD サンプルは使用されていません)</p> <p>4h = DDS ストリームモード – JESD インターフェイスからストリームされた DDS パラメータを使用</p> <p>5h = 予約済み</p> <p>6h = 予約済み</p> <p>7h = 予約済み</p>
11	予約済み	R	0h	
10-8	DSP_MODE2	R/W	0h	DSP_MODE2 フィールドは、DSP_MODE3 のテーブルごとに DSP チャンネル 2 の動作モードを定義します
7	予約済み	R	0h	
6-4	DSP_MODE1	R/W	0h	DSP_MODE1 フィールドは、DSP_MODE3 のテーブルごとに DSP チャンネル 1 の動作モードを定義します
3	予約済み	R	0h	
2-0	DSP_MODE0	R/W	0h	DSP_MODE0 フィールドは、DSP_MODE3 のテーブルごとに DSP チャンネル 0 の動作モードを定義します

8.3.13.2 DSP_L レジスタ (オフセット = 2E2h) [リセット = 00h]

[概略表](#)に戻ります。

表 8-236. DSP_L レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	0h	

表 8-236. DSP_L レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3-0	DSP_L	R/W	0h	<p>DUC 補間係数または DDS アップサンプリング係数を指定します。</p> <p>DSP_L は、JESD_M が 0 より大きく、少なくとも 1 つの DSP チャンネルが有効である (DSP_MODE) のときのみ適用されます。通常、これは、1 つ以上の DSP チャンネルが DUC モードまたは DDS ストリームモードに設定されていることを意味します (DSP_MODE を参照)。ただし、JESD インターフェイスを使用して、DDS-SPI または DDS-ベクタモードで動作する DSP に対してトリガーを供給することもできます。すべての DSP チャンネルが 1 つの設定を共有します。</p> <p>0x3 から 0xF のすべての設定値は、DUC、DDS-SPI、DDS-Vector モードをサポートしています。</p> <p>注: DSP チャンネルがさまざまなモードで動作している場合は、すべてのアクティブなモードをサポートする DSP_L 設定を選択する必要があります。</p> <p>注: このレジスタは、JESD_EN=0 のときのみ変更する必要があります。</p> <p>0h = 予約済み 1h = 予約済み 2h = 予約済み 3h = [INT_4X] 4x 4h = [INT_6X] 6x 5h = [INT_8X] 8x 6h = [INT_12X] 12x 7h = [INT_16X] 16x (DDS ストリーミング アップサンプル係数にも適用) 8h = [INT_24X] 24x 9h = [INT_32X] 32x (DDS ストリーミング アップサンプル係数にも適用) Ah = [INT_48X] 48x Bh = [INT_64X] 64x (DDS ストリーミング アップサンプル係数にも適用) Ch = [INT_96X] 96x Dh = [INT_128X] 128x Eh = [INT_192X] 192x Fh = [INT_256X] 256x</p>

8.3.13.3 DSP_GAIN0 レジスタ (オフセット = 2E3h) [リセット = 00h]

概略表に戻ります。

表 8-237. DSP_GAIN0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	
6-4	DSP_GAIN0_COARSE	R/W	0h	DSP チャンネル 0 の出力粗ゲインを調整します。 COARSE_GAIN = 2 ^{-VALUE}
3-0	DSP_GAIN0_FINE	R/W	0h	DSP チャンネル 0 の出力微ゲインを調整します。 FINE_GAIN = 1 - (VALUE/32)

8.3.13.4 DSP_GAIN1 レジスタ (オフセット = 2E4h) [リセット = 00h]

概略表に戻ります。

表 8-238. DSP_GAIN1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	
6-4	DSP_GAIN1_COARSE	R/W	0h	DSP チャンネル 1 の出力粗ゲインを調整します。 COARSE_GAIN = 2 ^{-VALUE}
3-0	DSP_GAIN1_FINE	R/W	0h	DSP チャンネル 1 の出力微ゲインを調整します。 FINE_GAIN = 1 - (VALUE/32)

8.3.13.5 DSP_GAIN2 レジスタ (オフセット = 2E5h) [リセット = 00h]

[概略表](#)に戻ります。

表 8-239. DSP_GAIN2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	
6-4	DSP_GAIN2_COARSE	R/W	0h	DSP チャンネル 2 の出力粗ゲインを調整します。 COARSE_GAIN = 2 ^{-VALUE}
3-0	DSP_GAIN2_FINE	R/W	0h	DSP チャンネル 2 の出力微ゲインを調整します。 FINE_GAIN = 1 - (VALUE/32)

8.3.13.6 DSP_GAIN3 レジスタ (オフセット = 2E6h) [リセット = 00h]

[概略表](#)に戻ります。

表 8-240. DSP_GAIN3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	
6-4	DSP_GAIN3_COARSE	R/W	0h	DSP チャンネル 3 の出力粗ゲインを調整します。 COARSE_GAIN = 2 ^{-VALUE}
3-0	DSP_GAIN3_FINE	R/W	0h	DSP チャンネル 3 の出力微ゲインを調整します。 FINE_GAIN = 1 - (VALUE/32)

8.3.13.7 DSP_FORMAT レジスタ (オフセット = 2E7h) [リセット = 00h]

[概略表](#)に戻ります。

表 8-241. DSP_FORMAT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R	0h	
0	DSP_FORMAT	R/W	0h	DSP が DUC モードまたは DDS モードに設定されている場合は、実数または虚数の出力を選択します (DSP_MODE を参照)。 注: このレジスタは、DUC および DDS モードに影響します。 0h = [DSP_OUT_REAL] DSP 出力は実数です (DSP ミキサーは、虚部を破棄することで、複素数を実数に変換)。最大 4 つの DSP を有効化できます。 1h = [DSP_OUT_COMP] DSP 出力は複素数です。最大 2 つの DSP を有効化できます (DSP0 および DSP1)。DSP2 のミキサーは、DSP0 の架空のサンプルを生成するため、DAC_SRC を使用して DAC を DSP2 にバインドする必要があります。同様に、DSP1 が有効である場合、DSP3 のミキサーが DSP1 の架空のサンプルを生成するため、必要に応じて DAC を DSP3 にバインドして、これらのサンプルにアクセスする必要があります。「複素数出力サポート」を参照してください。

8.3.13.8 DAC_SRC レジスタ (オフセット = 2E8h) [リセット = 21h]

[概略表](#)に戻ります。

表 8-242. DAC_SRC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	DAC_SRC1	R/W	2h	バイパスモード (DSP_MODE を参照) では、DAC_SRC1 は、DACB に送信する入力ストリームを選択します。DUC または DDS モードでは、DAC_SRC1 は、どの DSP (DUC/DDS) 出力を DACB に配線 (加算) するかを制御します。「DAC 電源の選択」セクションを参照

表 8-242. DAC_SRC レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3-0	DAC_SRC0	R/W	1h	DAC_SRC1 を参照

8.3.13.9 DAC_SRC_ALT レジスタ (オフセット = 2E9h) [リセット = 00h]

概略表に戻ります。

表 8-243. DAC_SRC_ALT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	0h	予約済み
3-0	予約済み	R	0h	予約済み

8.3.13.10 MXMODE レジスタ (オフセット = 2EAh) [リセット = 00h]

概略表に戻ります。

表 8-244. MXMODE レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	
6-4	MXMODE1	R/W	0h	DACB の DAC 出力モードを指定します。 0h = [NRZ] 通常モード (非ゼロ復帰または NRZ) ($n \cdot FS$ で同期スル) 1h = [RF] RF モード (反転または RTI) (DC および $2n \cdot FS$ で同期スル) 2h = [RTZ] ゼロ復帰 (RTZ) ($2n \cdot FS$ で同期スル) 3h = [DES2XL] DES2XL – DES インターポレータが提供するサンプル 4h = [DES2XH] DES2XH – DES インターポレータが提供するサンプル (ハイパスモード) 5h = 予約済み 6h = [DISABLED] 無効 - DACB は無効 7h = 予約済み
3	予約済み	R	0h	
2-0	MXMODE0	R/W	0h	MXMODE0 を参照してください。

8.3.13.11 TRUNC_HLSB レジスタ (オフセット = 2EBh) [リセット = 00h]

概略表に戻ります。

表 8-245. TRUNC_HLSB レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R	0h	
0	TRUNC_HLSB	R/W	0h	DAC の出力分解能が 16 ビット未満の場合、出力は適切な分解能に切り捨てられます。このビットがセットされている場合、1/2 LSB オフセットが切り捨て値に加算され、切り捨てによって導入される平均オフセットを低下させます。

8.3.13.12 DAC_DLY0 レジスタ (オフセット = 2ECh) [リセット = 00h]

概略表に戻ります。

表 8-246. DAC_DLY0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0h	

表 8-246. DAC_DLY0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5	DAC_DLY0_EN	R/W	0h	0h = DACA の調整可能な遅延を無効化 (デフォルト) 1h = DACA の遅延を有効化
4-0	DAC_DLY0_VAL	R/W	0h	DACA の遅延を調整します。追加された遅延 (DACCLK サイクルで) は、 64 + DAC_DLY0_VAL です。 注: 変更中のサンプルストリームが静的でない限り、このレジスタを変更することで、DAC 出力にグリッチが発生する可能性があります。

8.3.13.13 DAC_DLY1 レジスタ (オフセット = 2EDh) [リセット = 00h]

[概略表](#)に戻ります。

表 8-247. DAC_DLY1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0h	
5	DAC_DLY1_EN	R/W	0h	0h = DACB の調整可能な遅延を無効化 (デフォルト) 1h = DACB の遅延を有効化
4-0	DAC_DLY1_VAL	R/W	0h	DACB の遅延を調整します。追加された遅延 (DACCLK サイクルで) は、 64 + DAC_DLY1_VAL です。 注: 変更中のサンプルストリームが静的でない限り、このレジスタを変更することで、DAC 出力にグリッチが発生する可能性があります。

8.3.13.14 DAC_INV レジスタ (オフセット = 2EEh) [リセット = 00h]

[概略表](#)に戻ります。

表 8-248. DAC_INV レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	予約済み	R	0h	
1	DAC_INV1	R/W	0h	DAC1 出力は、セットされると反転します
0	DAC_INV0	R/W	0h	DAC0 出力は、セットされると反転します

8.3.14 NCO_and_Mixer レジスタ

表 8-249 に、NCO_and_Mixer に対してメモリマップされたレジスタを示します。表 8-249 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 8-249. NCO_AND_MIXER レジスタ

オフセット	略称	レジスタ名	セクション
0x300	NCO_CNTL		セクション 8.3.14.1
0x301	NCO_CONT		セクション 8.3.14.2
0x303	NCO_AR		セクション 8.3.14.3
0x304	STREAM_MODE		セクション 8.3.14.4
0x305	NCO_SS		セクション 8.3.14.5
0x306	NCO_SQ_MODE		セクション 8.3.14.6
0x307	NCO_SQ_EN		セクション 8.3.14.7
0x308	NCO_SQ_SEL		セクション 8.3.14.8
0x320	FREQ_0		セクション 8.3.14.9
0x328	FREQ_1		セクション 8.3.14.10
0x330	FREQ_2		セクション 8.3.14.11
0x338	FREQ_3		セクション 8.3.14.12
0x340	PHASE_0		セクション 8.3.14.13
0x342	PHASE_1		セクション 8.3.14.14
0x344	PHASE_2		セクション 8.3.14.15
0x346	PHASE_3		セクション 8.3.14.16
0x348	AMP_0		セクション 8.3.14.17
0x34A	AMP_1		セクション 8.3.14.18
0x34C	AMP_2		セクション 8.3.14.19
0x34E	AMP_3		セクション 8.3.14.20
0x360	SLEW0		セクション 8.3.14.21
0x361	SLEW1		セクション 8.3.14.22
0x362	SLEW2		セクション 8.3.14.23
0x363	SLEW3		セクション 8.3.14.24
0x364	DUTY_CYCLE0		セクション 8.3.14.25
0x366	DUTY_CYCLE1		セクション 8.3.14.26
0x368	DUTY_CYCLE2		セクション 8.3.14.27
0x36A	DUTY_CYCLE3		セクション 8.3.14.28
0x370	FREQ_R_0		セクション 8.3.14.29
0x378	FREQ_R_1		セクション 8.3.14.30
0x380	FREQ_R_2		セクション 8.3.14.31
0x388	FREQ_R_3		セクション 8.3.14.32
0x390	PHASE_R_0		セクション 8.3.14.33
0x392	PHASE_R_1		セクション 8.3.14.34
0x394	PHASE_R_2		セクション 8.3.14.35
0x396	PHASE_R_3		セクション 8.3.14.36
0x398	AMP_R_0		セクション 8.3.14.37
0x39A	AMP_R_1		セクション 8.3.14.38
0x39C	AMP_R_2		セクション 8.3.14.39

表 8-249. NCO_AND_MIXER レジスタ (続き)

オフセット	略称	レジスタ名	セクション
0x39E	AMP_R_3		セクション 8.3.14.40

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-250 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-250. NCO_and_Mixer アクセス タイプ コード

アクセス タイプ	表記	説明
読み取りタイプ		
R	R	読み出し
R-0	R -0	読み出し 0 を返す
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

8.3.14.1 NCO_CNTL レジスタ (オフセット = 0x300) [リセット = 0x00]

NCO_CNTL を [表 8-251](#) に示します。

[概略表](#)に戻ります。

表 8-251. NCO_CNTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-3	予約済み	R	0x0	
2	NCO_SC	R/W	0x0	自己コヒーレント NCO モード: このビットがセットされている場合、すべての NCO は DDS/DUC チャンネル 0 の NCO からのリファレンスカウンタを使用します。通常これは、NCO_SS レジスタと組み合わせて使用されます。これは、位相コヒーレントモード (NCO_CONT = 0) にのみ影響します。
1	予約済み	R	0x0	
0	NCO_EN	R/W	0x0	セットすると、DUC サンプルは NCO と混合されます。クリアすると、ミキサはバイパスされます。これは DUC モードにのみ適用され、DDS モードには影響しません (DSP_MODE を参照)。

8.3.14.2 NCO_CONT レジスタ (オフセット = 0x301) [リセット = 0x00]

NCO_CONT を [表 8-252](#) に示します。

[概略表](#)に戻ります。

表 8-252. NCO_CONT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	0x0	

表 8-252. NCO_CONT レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3-0	NCO_CONT	R/W	0x0	各ビット NCO_CONT[n] がセットされると、NCO _n は位相連続モードで動作します。これは、位相アキュムレータをシードすることなく周波数の変化が発生することを意味します。このビットがクリアされると、NCO _n は位相コヒーレントモードで動作します。周波数が変化する間に、位相アキュムレータがマスターカウンタからシードされます。これは、周波数が A から B に変化し、その後 A に戻る場合に、変更が起こらなかった場合でも位相が元の状態に戻ることを意味します。NCO_CONT は、DUC モードと DDS SPI モードにのみ適用されます (DSP_MODE を参照)。

8.3.14.3 NCO_AR レジスタ (オフセット = 0x303) [リセット = 0x00]

NCO_AR を [表 8-253](#) に示します。

[概略表](#)に戻ります。

表 8-253. NCO_AR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	0x0	
3-0	NCO_AR	R/W	0x0	各ビット NCO_AR[n] がセットされると、DSP _n に送られるトリガーイベントごとに、NCO _n のアキュムレータがリセットされます。NCO_AR は、DUC モードと DDS ストリームモードにのみ適用されます (DSP_MODE を参照)。「DSP Triggering」を参照してください

8.3.14.4 STREAM_MODE レジスタ (オフセット = 0x304) [リセット = 0x00]

STREAM_MODE を [表 8-254](#) に示します。

[概略表](#)に戻ります。

表 8-254. STREAM_MODE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	STREAM_MODE3	R/W	0x0	STREAM_MODE _n は、DSP _n のストリーミングモードを設定します。これは、DDS ストリームモードに設定された DSP チャネルにのみ適用されます。 注: このレジスタは、JESD_EN=0 のときのみ変更する必要があります。 0x0 = sdata[0] 制御ビットを使用して、周波数/位相/振幅を動的にストリーミングします。 0x1 = ストリーム周波数のサンプルのみ (sdata[0] は周波数 LSB)。位相と振幅は、PHASE[n] および AMP[n] レジスタで設定されます。 0x2 = ストリーム位相/振幅のサンプルのみ (sdata[0] は無視される)。周波数は FREQ[n] レジスタによってセットされます。 0x3 = 予約済み
5-4	STREAM_MODE2	R/W	0x0	STREAM_MODE3 を参照
3-2	STREAM_MODE1	R/W	0x0	STREAM_MODE3 を参照
1-0	STREAM_MODE0	R/W	0x0	STREAM_MODE3 を参照

8.3.14.5 NCO_SS レジスタ (オフセット = 0x305) [リセット = 0x00]

NCO_SS を [表 8-255](#) に示します。

[概略表](#)に戻ります。

表 8-255. NCO_SS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R	0x0	
0	NCO_SS	R/W	0x0	<p>このビットがセットされている場合、すべての NCO は 256 DAC クロックサイクルごとに継続的に自己同期します。大半のアプリケーションではこの機能は使用されませんが、放射線環境下では、NCO_SS を設定することで、AMP、FREQ、および PHASE レジスタのアップセット耐性値を NCO の内部（非耐性）レジスタに継続的に転送するように設定することができます。これは、外部の定期的な同期ソース（SYSREF など）を必要とせずに、放射線下でトーンを生成するのに役立ちます。</p> <p>NCO の動作中（SYS_EN=1）に NCO_SS を変更することができます。新しい FREQ、AMP、または PHASE の値を書き込むには、最初に NCO_SS をクリアしてから、新しい値を書き込み、再度それをセットします。すべての値が、すべての NCO で同時に有効になります。</p> <p>ユーザーは、NCO_SS=1 のときは常に NCO_AR=0 であることを確認する必要があります（そうでない場合、NCO アキュムレータおよびリファレンスカウンタがリセットされます）。</p> <p>ユーザーが NCO_SC=1 および NCO_CONT=0 もセットした場合、4 つすべての NCO が放射線下でも相互にコヒーレンスを維持します（ただし、外部コンポーネントとのコヒーレンスは保証されません）。各 NCO アキュムレータは、DUC/DDS チャネル 0 のリファレンスカウンタから継続的にシードされます。この機能を使用して、コヒーレントな高調波トーンを生成し、DAC の高調波歪みをキャンセルすることができます。</p> <p>これは DUC モード、DDS SPI モード、DDS ストリームモードに使用できます。</p>

8.3.14.6 NCO_SQ_MODE レジスタ（オフセット = 0x306）[リセット = 0x00]

NCO_SQ_MODE を表 8-256 に示します。

概略表に戻ります。

表 8-256. NCO_SQ_MODE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	0x0	
3-0	NCO_SQ_MODE	R/W	0x0	<p>各ビット NCO_SQ_MODE[n] をセットすると、NCO_n の出力は正弦/余弦波形ではなく矩形波を生成します。NCO_SQ_MODE は、DDS モードにのみ適用されます（DSP_MODE を参照）。このモードでは、SLEW レジスタと DUTY_CYCLE レジスタを使用して、波形のスルーレートとデューティサイクルをカスタマイズできます。「NCO 矩形波モード」を参照してください。</p> <p>DSP チャネルが矩形波を生成するように設定されている場合、その DSP を DAC 出力のみにバインドする必要があります（つまり、他の DSP チャネルを同じ DAC に合計しない）。</p> <p>注: このレジスタは、JESD_EN=0 のときのみ変更する必要があります。</p>

8.3.14.7 NCO_SQ_EN レジスタ（オフセット = 0x307）[リセット = 0x00]

NCO_SQ_EN を表 8-257 に示します。

概略表に戻ります。

表 8-257. NCO_SQ_EN レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	0x0	

表 8-257. NCO_SQ_EN レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3-0	NCO_SQ_EN	R/W	0x0	NCO_SQ_SEL _n = 0 の場合、NCO_SQ_EN[n] は NCO _n の矩形波出力の有効な信号として機能します。「矩形波の有効化」を参照してください。

8.3.14.8 NCO_SQ_SEL レジスタ (オフセット = 0x308) [リセット = 0x0000]

NCO_SQ_SEL を表 8-258 に示します。

[概略表](#)に戻ります。

表 8-258. NCO_SQ_SEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0x0	
14-12	NCO_SQ_SEL3	R/W	0x0	NCO_SQ_SEL _n は、NCO _n の波形を有効とみなして機能するピンまたはレジスタを選択します。NCO 矩形波モードにのみ適用されます。「矩形波の有効化」も参照してください。 注 1:SYNCB_PIN_FUNC が TRIG ピンの代替入力として SYNCB を割り当てている場合でも、これらの設定は常に物理 TRIG ピンを使用します。 注 2:このモードでは、SYNCB 入力は「高」で有効になります。 NCO_SQ_SEL _n = 5 を使用する場合は、JENC = 1 および SYNCB_PIN_FUNC = 0 を確認します。 0x0 = レジスタビット (デフォルト) 0x1 = TRIG0 ピン (注 1) 0x2 = TRIG1 ピン (注 1) 0x3 = TRIG2 ピン (注 1) 0x4 = TRIG3 ピン (注 1) 0x5 = SYNCB ピン (注 2) 0x6 = 予約済み 0x7 = 予約済み
11	予約済み	R	0x0	
8	予約済み	R	0x0	
10-8	NCO_SQ_SEL2	R/W	0x0	NCO_SQ_SEL3 を参照してください。
7	予約済み	R	0x0	
6-4	NCO_SQ_SEL1	R/W	0x0	NCO_SQ_SEL3 を参照してください。
3	予約済み	R	0x0	
2-0	NCO_SQ_SEL0	R/W	0x0	NCO_SQ_SEL3 を参照してください。

8.3.14.9 FREQ_0 レジスタ (オフセット = 0x320) [リセット = 0x0000000000000000]

FREQ_0 を表 8-259 に示します。

[概略表](#)に戻ります。

表 8-259. **FREQ_0 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
63-0	FREQ[0]	R/W	0x0	NCO0 の周波数を指定します。DUC モード、DDS SPI モード、DDS ストリーム(位相)モードで使用されます。 NCO 周波数(F_{NCO})は以下の通り: $F_{NCO} = \text{FREQ}[0] * 2^{-64} * F_{DACCLK}$ F_{DACCLK} は DAC のサンプル周波数です。FREQ[0] はこのレジスタの整数値です。このレジスタは、符号付きまたは符号なしと解釈できます(どちらの解釈も有効)。 この式を使用して、プログラムの値を決定します: $\text{FREQ}[0] = 2^{64} * F_{NCO} / F_{DACCLK}$ 注: このレジスタの変更は、DSP0 がトリガーを受信するまで有効になりません(「DSP Triggering」を参照)。 注: FREQ[0] は、DSP0 でのトリガーイベント開始の前後に、 ± 320 DAC サイクルのウィンドウ内で更新しないでください。

8.3.14.10 FREQ_1 レジスタ (オフセット = 0x328) [リセット = 0x0000000000000000]

FREQ_1 を表 8-260 に示します。

[概略表](#)に戻ります。表 8-260. **FREQ_1 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
63-0	FREQ[1]	R/W	0x0	FREQ[0] を参照

8.3.14.11 FREQ_2 レジスタ (オフセット = 0x330) [リセット = 0x0000000000000000]

FREQ_2 を表 8-261 に示します。

[概略表](#)に戻ります。表 8-261. **FREQ_2 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
63-0	FREQ[2]	R/W	0x0	FREQ[0] を参照

8.3.14.12 FREQ_3 レジスタ (オフセット = 0x338) [リセット = 0x0000000000000000]

FREQ_3 を表 8-262 に示します。

[概略表](#)に戻ります。表 8-262. **FREQ_3 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
63-0	FREQ[3]	R/W	0x0	FREQ[0] を参照

8.3.14.13 PHASE_0 レジスタ (オフセット = 0x340) [リセット = 0x0000]

PHASE_0 を表 8-263 に示します。

[概略表](#)に戻ります。

表 8-263. PHASE_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PHASE[0]	R/W	0x0	NCON の位相を指定します。DUC モード、DDS SPI モード、DDS ストリーム (周波数) モードで使用されます。 この値は 64 ビットフィールドに左揃えで配置され、次に位相アキュムレータに追加されます。位相 (ラジアン単位) は $\text{PHASE}[0] * 2^{-16} * 2\pi$ です。このレジスタは、符号付きまたは符号なしと解釈できます。 注: このレジスタの変更は、DSP0 がトリガーを受信するまで有効になりません (「DSP Triggering」を参照)。 注: PHASE[0] は、DSP0 でのトリガーイベント開始の前後に、±320 DAC サイクルのウィンドウ内で更新しないでください。

8.3.14.14 PHASE_1 レジスタ (オフセット = 0x342) [リセット = 0x0001]

PHASE_1 を表 8-264 に示します。

[概略表](#)に戻ります。

表 8-264. PHASE_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PHASE[1]	R/W	0x1	位相[0] を参照

8.3.14.15 PHASE_2 レジスタ (オフセット = 0x344) [リセット = 0x0002]

PHASE_2 を表 8-265 に示します。

[概略表](#)に戻ります。

表 8-265. PHASE_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PHASE[2]	R/W	0x2	位相[0] を参照

8.3.14.16 PHASE_3 レジスタ (オフセット = 0x346) [リセット = 0x0003]

PHASE_3 を表 8-266 に示します。

[概略表](#)に戻ります。

表 8-266. PHASE_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PHASE[3]	R/W	0x3	位相[0] を参照

8.3.14.17 AMP_0 レジスタ (オフセット = 0x348) [リセット = 0x0000]

AMP_0 を表 8-267 に示します。

[概略表](#)に戻ります。

表 8-267. AMP_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	AMP[0]	R/W	0x0	DSP (DDS) チャンネル 0 の DDS 振幅を指定します。16 ビット符号付き値。 このレジスタは、DDS SPI モードと DDS ストリームモードに適用されます (DSP_MODE を参照)。DDS ストリームモードの場合、このレジスタは AMP_STREAM = 0 の場合のみ使用されます。 注: このレジスタの変更は、DSP0 がトリガーを受信するまで有効になりません (「DSP Triggering」を参照)。 注: AMP[0] は、DSP0 でのトリガーイベント開始の前後に、±320 DAC サイクルのウィンドウ内で更新しないでください。

8.3.14.18 AMP_1 レジスタ (オフセット = 0x34A) [リセット = 0x0000]

AMP_1 を表 8-268 に示します。

[概略表](#)に戻ります。

表 8-268. AMP_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	AMP[1]	R/W	0x0	AMP[0] を参照

8.3.14.19 AMP_2 レジスタ (オフセット = 0x34C) [リセット = 0x0000]

AMP_2 を表 8-269 に示します。

[概略表](#)に戻ります。

表 8-269. AMP_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	AMP[2]	R/W	0x0	AMP[0] を参照

8.3.14.20 AMP_3 レジスタ (オフセット = 0x34E) [リセット = 0x0000]

AMP_3 を表 8-270 に示します。

[概略表](#)に戻ります。

表 8-270. AMP_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	AMP[3]	R/W	0x0	AMP[0] を参照

8.3.14.21 SLEW0 レジスタ (オフセット = 0x360) [リセット = 0x00]

SLEW0 を表 8-271 に示します。

[概略表](#)に戻ります。

表 8-271. SLEW0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	0x0	

表 8-271. SLEW0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3-0	SLEW0	R/W	0x0	DDS チャンネル n の DDS 矩形波のスルー時間を指定します。NCO 矩形波モードにのみ適用されます。有効範囲は 0 から 9 です。値が大きいかほど、スルーレートが高速になります (スルー時間が短くなります)。 スルー時間 (度) は以下の通り: $90 * 2^{-SLEW0}$ スルー時間 (ラジアン) は以下の通り: $0.5\pi * 2^{-SLEW0}$ 時間 (秒) は以下の通り: $0.25 * 2^{-SLEW0} / F_{NCO}$ 注: このレジスタへの変更は、DSP0 がトリガーを受信したとき (「DSP Triggering」を参照)、または矩形波出力が「低」でゲートされているときに有効になります。「矩形波の有効化」を参照してください。

8.3.14.22 SLEW1 レジスタ (オフセット = 0x361) [リセット = 0x00]

SLEW1 を表 8-272 に示します。

[概略表](#)に戻ります。

表 8-272. SLEW1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	0x0	
3-0	SLEW1	R/W	0x0	SLEW0 を参照してください。

8.3.14.23 SLEW2 レジスタ (オフセット = 0x362) [リセット = 0x00]

SLEW2 を表 8-273 に示します。

[概略表](#)に戻ります。

表 8-273. SLEW2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	0x0	
3-0	SLEW2	R/W	0x0	SLEW0 を参照してください。

8.3.14.24 SLEW3 レジスタ (オフセット = 0x363) [リセット = 0x00]

SLEW3 を表 8-274 に示します。

[概略表](#)に戻ります。

表 8-274. SLEW3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	0x0	
3-0	SLEW3	R/W	0x0	SLEW0 を参照してください。

8.3.14.25 DUTY_CYCLE0 レジスタ (オフセット = 0x364) [リセット = 0x0800]

DUTY_CYCLE0 を表 8-275 に示します。

[概略表](#)に戻ります。

表 8-275. DUTY_CYCLE0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	予約済み	R	0x0	
11-0	DUTY_CYCLE0	R/W	0x800	DDS チャンネル n の DDS 矩形波のデューティサイクルを指定します。NCO 矩形波モードにのみ適用されます。デフォルト値 (2048 10 進) では、デューティサイクルは 50% です。 デューティサイクル (パーセント単位) は $100\% * \text{DUTY_CYCLE0} / 4096$ です。注: このレジスタへの変更は、DSP0 がトリガーを受信したとき (「DSP Triggering」を参照)、または矩形波出力が「低」でゲートされているときに有効になります。「矩形波の有効化」を参照してください。

8.3.14.26 DUTY_CYCLE1 レジスタ (オフセット = 0x366) [リセット = 0x0800]

DUTY_CYCLE1 を表 8-276 に示します。

[概略表](#)に戻ります。

表 8-276. DUTY_CYCLE1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	予約済み	R	0x0	
11-0	DUTY_CYCLE1	R/W	0x800	DUTY_CYCLE0 を参照してください。

8.3.14.27 DUTY_CYCLE2 レジスタ (オフセット = 0x368) [リセット = 0x0800]

DUTY_CYCLE2 を表 8-277 に示します。

[概略表](#)に戻ります。

表 8-277. DUTY_CYCLE2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	予約済み	R	0x0	
11-0	DUTY_CYCLE2	R/W	0x800	DUTY_CYCLE0 を参照してください。

8.3.14.28 DUTY_CYCLE3 レジスタ (オフセット = 0x36A) [リセット = 0x0800]

DUTY_CYCLE3 を表 8-278 に示します。

[概略表](#)に戻ります。

表 8-278. DUTY_CYCLE3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	予約済み	R	0x0	
11-0	DUTY_CYCLE3	R/W	0x800	DUTY_CYCLE0 を参照してください。

8.3.14.29 FREQ_R_0 レジスタ (オフセット = 0x370) [リセット = 0xFFFFFFFFFFFFFFFF]

FREQ_R_0 を表 8-279 に示します。

[概略表](#)に戻ります。

表 8-279. **FREQ_R_0 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
63-0	FREQ_R[0]	R	X	これにより、DUC/DDS チャンネル 0 で現在使用されている周波数設定が読み戻されます。周波数は、FREQ レジスタまたは他のソースで決定できます。バイトが読み取られるたびに値がサンプリングされるため、読み戻し中に周波数が変化した場合に、一貫性のないデータが返される場合があります。

8.3.14.30 FREQ_R_1 レジスタ (オフセット = 0x378) [リセット = 0xFFFFFFFFFFFFFFFF]

FREQ_R_1 を表 8-280 に示します。

[概略表](#)に戻ります。

表 8-280. **FREQ_R_1 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
63-0	FREQ_R[1]	R	X	FREQ_R[0] を参照

8.3.14.31 FREQ_R_2 レジスタ (オフセット = 0x380) [リセット = 0xFFFFFFFFFFFFFFFF]

FREQ_R_2 を表 8-281 に示します。

[概略表](#)に戻ります。

表 8-281. **FREQ_R_2 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
63-0	FREQ_R[2]	R	X	FREQ_R[0] を参照

8.3.14.32 FREQ_R_3 レジスタ (オフセット = 0x388) [リセット = 0xFFFFFFFFFFFFFFFF]

FREQ_R_3 を表 8-282 に示します。

[概略表](#)に戻ります。

表 8-282. **FREQ_R_3 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
63-0	FREQ_R[3]	R	X	FREQ_R[0] を参照

8.3.14.33 PHASE_R_0 レジスタ (オフセット = 0x390) [リセット = 0XXXXX]

PHASE_R_0 を表 8-283 に示します。

[概略表](#)に戻ります。

表 8-283. **PHASE_R_0 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
15-0	PHASE_R[0]	R	X	これにより、DUC/DDS チャンネル 0 で現在使用されている位相設定が読み戻されます。PHASE レジスタまたは別のソースによって位相を決定することができます。バイトが読み取られるたびに値がサンプリングされるため、読み戻し中に位相が変化した場合に、一貫性のないデータが返される場合があります。

8.3.14.34 PHASE_R_1 レジスタ (オフセット = 0x392) [リセット = 0xXXXX]

PHASE_R_1 を表 8-284 に示します。

[概略表](#)に戻ります。

表 8-284. PHASE_R_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PHASE_R[1]	R	X	PHASE_R[0] を参照

8.3.14.35 PHASE_R_2 レジスタ (オフセット = 0x394) [リセット = 0xXXXX]

PHASE_R_2 を表 8-285 に示します。

[概略表](#)に戻ります。

表 8-285. PHASE_R_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PHASE_R[2]	R	X	PHASE_R[0] を参照

8.3.14.36 PHASE_R_3 レジスタ (オフセット = 0x396) [リセット = 0xXXXX]

PHASE_R_3 を表 8-286 に示します。

[概略表](#)に戻ります。

表 8-286. PHASE_R_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PHASE_R[3]	R	X	PHASE_R[0] を参照

8.3.14.37 AMP_R_0 レジスタ (オフセット = 0x398) [リセット = 0xXXXX]

AMP_R_0 を表 8-287 に示します。

[概略表](#)に戻ります。

表 8-287. AMP_R_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	AMP_R[0]	R	X	これにより、DDS チャンネル 0 で現在使用されている振幅設定が読み戻されます。フォーマットは 16 ビット符号付きです。AMP レジスタまたは他のソースによって振幅を決定することができます。非 DDS モードでは、戻り値は定義されていません。バイトが読み取られるたびに値がサンプリングされるため、読み戻し中に振幅が変化した場合に、一貫性のないデータが返される場合があります。

8.3.14.38 AMP_R_1 レジスタ (オフセット = 0x39A) [リセット = 0xXXXX]

AMP_R_1 を表 8-288 に示します。

[概略表](#)に戻ります。

表 8-288. AMP_R_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	AMP_R[1]	R	X	Amp_R[0] を参照

8.3.14.39 AMP_R_2 レジスタ (オフセット = 0x39C) [リセット = 0xXXXX]

AMP_R_2 を表 8-289 に示します。

[概略表](#)に戻ります。

表 8-289. AMP_R_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	AMP_R[2]	R	X	Amp_R[0] を参照

8.3.14.40 AMP_R_3 レジスタ (オフセット = 0x39E) [リセット = 0xXXXX]

AMP_R_3 を表 8-290 に示します。

[概略表](#)に戻ります。

表 8-290. AMP_R_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	AMP_R[3]	R	X	Amp_R[0] を参照

8.3.15 アラーム レジスタ

表 8-291 に、アラームレジスタに対してメモリマップされたレジスタを一覧表示します。表 8-291 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 8-291. アラーム レジスタ

オフセット	略称	レジスタ名	セクション
0x430	SYS_ALM		セクション 8.3.15.1
0x431	ALM_MASK		セクション 8.3.15.2
0x432	MUTE_MASK		セクション 8.3.15.3
0x433	MUTE_REC		セクション 8.3.15.4
0x434	ALARM_SEL		セクション 8.3.15.5
0x435	OVR_STATUS		セクション 8.3.15.6
0x436	OVR_MASK_SEL		セクション 8.3.15.7

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-292 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-292. アラームアクセスタイプコード

アクセス タイプ	表記	説明
読み取りタイプ		
R	R	読み出し
R-0	R -0	読み出し 0 を返す
書き込みタイプ		
W	W	書き込み
W1C	W 1C	書き込み 1 でクリア
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

8.3.15.1 SYS_ALM レジスタ (オフセット = 0x430) [リセット = 0x02]

SYS_ALM を 表 8-293 に示します。

概略表に戻ります。

表 8-293. SYS_ALM レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	JESD_LINK_DOWN_ALM	R/W1C	0x0	このビットは、SYS_EN = 1 の間に、LINK_UP が 1 から 0 に遷移する際に、いつでも設定されます。
6	JTIMER_EXPIRED_ALM	R/W1C	0x0	このビットは、JESD204C リンクがダウンしている (DSP_MODE で JESD204C インターフェイスが有効、SYS_EN=1、LINK_UP=0) 場合、JTIMER で許容されている時間よりも長い場合にセットされます。
5	JESD_DI_ALM	R/W1C	0x0	このビットは、有効化されたレーンで DI_FAULT が検出されるたびにセットされます。64b/66b モードにのみ適用されます。
4	OVR_ALM	R/W1C	0x0	このビットは、データパスでフルスケールのサンプルが発生した場合にセットされます。アラームをクリアするには 1 を書き込みます。OVR_STATUS も参照してください。
3-2	予約済み	R	0x0	
1	SYSRST_ALM	R/W1C	0x1	このビットは、RESET または SOFT_RESET によってチップがリセットされると、常に設定されます。

表 8-293. SYS_ALM レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	SYSREF_ALM	R/W1C	0x0	このビットは、アクティブな SYSREF 関連クロック分周器に関して不正な整列で SYSREF エッジが検出されるたびに設定されます。

8.3.15.2 ALM_MASK レジスタ (オフセット = 0x431) [リセット = 0x00]

ALM_MASK を [表 8-294](#) に示します。

[概略表](#)に戻ります。

表 8-294. ALM_MASK レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	JESD_LINK_DOWN_MASK	R/W	0x0	セットすると、JESD_LINK_DOWN_ALM レジスタのアラームがマスクされ、アラーム出力に影響を与えません。
6	JTIMER_EXPIRED_MASK	R/W	0x0	セットすると、JTIMER_EXPIRED_ALM レジスタのアラームはマスクされ、アラーム出力に影響を与えません。
5	JESD_DI_MASK	R/W	0x0	セットすると、JESD_DI_ALM レジスタからのアラームはマスクされ、アラーム出力に影響を与えません。
4	OVR_MASK	R/W	0x0	セットすると、OVR_ALM レジスタのアラームはマスクされ、アラーム出力に影響を与えません。
3-1	予約済み	R	0x0	
0	SYSREF_ALM_MASK	R/W	0x0	セットすると、SYSREF_ALM レジスタのアラームはマスクされ、アラーム出力に影響を与えません。

8.3.15.3 MUTE_MASK レジスタ (オフセット = 0x432) [リセット = 0x21]

MUTE_MASK を [表 8-295](#) に示します。

[概略表](#)に戻ります。

表 8-295. MUTE_MASK レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0x0	
5	JESD_DI_MUTE_MASK	R/W	0x1	このレジスタは、JESD204C トランスポート層の出力を自動的にミュートにするアラームを制御します。対応する MUTE_REC ビットが設定されていない場合、トランスポート層出力がミュートされると、ユーザは問題を修正し、アラームを解除してトランスポート層出力のミュートを解除する必要があります (または、ミュートマスクを設定してアラームを無視し、トランスポート層出力をミュート解除することもできます)。 DI_FAULT = 1 のとき、このビットがセットされていない限り、JESD204C トランスポート層出力は、JESD_DI_REC に従ってミュートされます。
4-1	予約済み	R	0x0	
0	SYSREF_MUTE_MASK	R/W	0x1	このレジスタは、JESD204C トランスポート層の出力を自動的にミュートにするアラームを制御します。対応する MUTE_REC ビットが設定されていない場合、トランスポート層出力がミュートされると、ユーザーは問題を修正し、アラームをクリアしてトランスポート層出力をミュート解除する必要があります (または、ミュートマスクを設定してアラームを無視し、トランスポート層出力のミュートを解除することもできます)。 このビットがセットされていない限り、SYSREF_ALM レジスタのアラームは JESD204C トランスポート層出力をミュートします。

8.3.15.4 MUTE_REC レジスタ（オフセット = 0x433）[リセット = 0xA0]

MUTE_REC を表 8-296 に示します。

[概略表](#)に戻ります。

表 8-296. MUTE_REC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0x0	予約済み
6	予約済み	R	0x0	
5	JESD_DI_REC	R/W	0x1	このレジスタは、アラーム状態が解消されたときに JESD204C トランスポート層出力を自動的にミュート解除するかどうかを決定します。 このビットは、JESD_DI_MUTE_MASK = 0 の場合にのみ使用されます。 0: JESD204C トランスポート層出力は、JESD_DI_ALM = 0 になるまでミュートされたままになります 1: DI_FAULT = 0 のとき、JESD204C トランスポート層出力は自動的にミュート解除されます。
4-0	予約済み	R	0x0	

8.3.15.5 ALARM_SEL レジスタ（オフセット = 0x434）[リセット = 0x00]

ALARM_SEL を表 8-297 に示します。

[概略表](#)に戻ります。

表 8-297. ALARM_SEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R	0x0	
0	ALARM_SEL	R/W	0x0	0x0 = マスクされていないアラームが作動すると、ALARM 出力がアサートされます (ミッションモード)。「アラーム生成」を参照してください。 0x1 = ALARM ビンは、トリガクロックを出力します。

8.3.15.6 OVR_STATUS レジスタ（オフセット = 0x435）[リセット = 0x00]

OVR_STATUS を表 8-298 に示します。

[概略表](#)に戻ります。

表 8-298. OVR_STATUS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0x0	
5	OVR_DAC1	R/W1C	0x0	DAC1 でフルスケールのサンプルが検出されると、このビットがセットされます。1 を書き込んでクリアします。 注: オーバーレンジについて考えられる原因については、「オーバーレンジ検出」セクションを参照してください。 注: OVR_ALM レジスタに 1 を書き込むと、このレジスタのすべてのビットがクリアされます。 注: OVR_ALM レジスタは OVR_STATUS のビット単位の OR を返すので、OVR_STATUS のすべてのビットをクリアすると、OVR_ALM も 0 を返します。
4	OVR_DAC0	R/W1C	0x0	DAC0 でフルスケールのサンプルが検出されると、このビットがセットされます。1 を書き込むことでクリア。OVR_DAC1 の注を参照してください。
3	OVR_DSP3	R/W1C	0x0	DSP3 内でフルスケールのサンプルが検出されると、このビットがセットされます。1 を書き込むことでクリア。OVR_DAC1 の注を参照してください。
2	OVR_DSP2	R/W1C	0x0	DSP2 内でフルスケールのサンプルが検出されると、このビットがセットされます。1 を書き込むことでクリア。OVR_DAC1 の注を参照してください。

表 8-298. OVR_STATUS レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1	OVR_DSP1	R/W1C	0x0	DSP1 内でフルスケールのサンプルが検出されると、このビットがセットされます。1 を書き込むことでクリア。OVR_DAC1 の注を参照してください。
0	OVR_DSP0	R/W1C	0x0	DSP0 内でフルスケールのサンプルが検出されると、このビットがセットされます。1 を書き込むことでクリア。OVR_DAC1 の注を参照してください。

8.3.15.7 OVR_MASK_SEL レジスタ (オフセット = 0x436) [リセット = 0x00]

OVR_MASK_SEL を表 8-299 に示します。

概略表に戻ります。

表 8-299. OVR_MASK_SEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R	0x0	
0	OVR_MASK_SEL	R/W	0x0	0x0 = TRIG[4] ピンはオーバーレンジイベントをマスクしません。 0x1 = TRIG[4] ピンが「高」でアサートされると、オーバーレンジイベントはマスクされます (OVR_STATUS ビットがセットされることはありません)。

8.3.16 Fuse_Control レジスタ

表 8-300 は、Fuse_Control レジスタに対してメモリマップされたレジスタを一覧表示します。表 8-300 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 8-300. FUSE_CONTROL レジスタ

オフセット	略称	レジスタ名	セクション
0x600	FUSE_DONE		セクション 8.3.16.1

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-301 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-301. Fuse_Control アクセスタイプコード

アクセス タイプ	表記	説明
読み取りタイプ		
R	R	読み出し
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

8.3.16.1 FUSE_DONE レジスタ (オフセット = 0x600) [リセット = 0xXX]

FUSE_DONE を [表 8-302](#) に示します。

[概略表](#)に戻ります。

表 8-302. FUSE_DONE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R	X	
0	FUSE_DONE	R	X	ヒューズコントローラがアイドル状態のとき、1 を返します。これは、ヒューズの自動ロードシーケンスが完了したか、ヒューズの自動プログラムシーケンスが完了したことを意味します。 FUSE_DONE が 0 の場合、ユーザーは、ヒューズでバックアップされたレジスタの読み書きは行わないでください。

8.3.17 Fuse_Backed レジスタ

表 8-303 に、Fuse_Backed レジスタのメモリ マップト レジスタを示します。表 8-303 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 8-303. FUSE_BACKED レジスタ

オフセット	略称	レジスタ名	セクション
0x711	SPIN_ID		セクション 8.3.17.1
0x723	DACA_CURRENT_FINE		セクション 8.3.17.2
0x724	DACB_CURRENT_FINE		セクション 8.3.17.3
0x727	DEM_ADJ		セクション 8.3.17.4
0x729	DEM_DITH		セクション 8.3.17.5
0x72A	DAC_OFS		セクション 8.3.17.6
0x73E	DES_TRIM0		セクション 8.3.17.7
0x73F	DES_TRIM1		セクション 8.3.17.8

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-304 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-304. Fuse_Backed アクセス タイプ コード

アクセス タイプ	表記	説明
読み取りタイプ		
R	R	読み出し
R-0	R-0	読み出し 0 を返す
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

8.3.17.1 SPIN_ID レジスタ (オフセット = 0x711) [リセット = 0xX0]

表 8-305 に、SPIN_ID を示します。

概略表に戻ります。

表 8-305. SPIN_ID レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	R	X	
4-0	SPIN_ID	R	0x0	このレジスタは、製品バージョンを示します。

8.3.17.2 DACA_CURRENT_FINE レジスタ (オフセット = 0x723) [リセット = 0xXX]

表 8-306 に、DACA_CURRENT_FINE を示します。

概略表に戻ります。

表 8-306. DACA_CURRENT_FINE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	X	

表 8-306. DACA_CURRENT_FINE レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-0	FINE_CUR_A	R/W	X	DACA の微細な電流制御。トリム値を使用したヒューズ負荷からのデフォルト値。小規模なフルスケール電流調整に使用できます。

8.3.17.3 DACB_CURRENT_FINE レジスタ (オフセット = 0x724) [リセット = 0xXX]

表 8-307 に、DACB_CURRENT_FINE を示します。

概略表に戻ります。

表 8-307. DACB_CURRENT_FINE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	X	
5-0	FINE_CUR_B	R/W	X	DACB の微細な電流制御。トリム値を使用したヒューズ負荷からのデフォルト値。小規模なフルスケール電流調整に使用できます。

8.3.17.4 DEM_ADJ レジスタ (オフセット = 0x727) [リセット = 0x00]

表 8-308 に、DEM_ADJ を示します。

概略表に戻ります。

表 8-308. DEM_ADJ レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	DEM_ADJ1	R/W	0x0	DACB 用にデータに依存しないシングル エッジ DEM の DEM 動作を調整します。DACB がデータに依存しないシングル エッジ DEM 用に構成されていない限り、このレジスタは無効です。「DEM とディザリング」セクションを参照してください。
3-0	DEM_ADJ0	R/W	0x0	DACA 用にデータに依存しないシングル エッジ DEM の DEM 動作を調整します。DACA がデータに依存しないシングル エッジ DEM として構成されていない限り、このレジスタは無効です。「DEM とディザリング」セクションを参照してください。

8.3.17.5 DEM_DITH レジスタ (オフセット = 0x729) [リセット = 0xXX]

表 8-309 に、DEM_DITH を示します。

概略表に戻ります。

表 8-309. DEM_DITH レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	DEM1	R/W	X	0x0 = DACB 用にデータに依存しないシングル エッジ DEM を有効化する 0x1 = DACB 用にデータに依存しないデュアル エッジ DEM を有効化する 0x2 = 予約済み 0x3 = DACB の DEM ディスエーブル
5-4	DEM0	R/W	X	DEM1 を参照してください。
3-2	DITH1	R/W	X	0x0 = DACB のシングル エッジ ディザリングを有効化する 0x1 = DACB のデュアル エッジ ディザリングを有効化する 0x2 = 予約済み 0x3 = DACB のディザリング ディスエーブル
1-0	DITH0	R/W	X	DITH1 を参照してください。

8.3.17.6 DAC_OFS レジスタ (オフセット = 0x72A) [リセット = 0xFFFF]

表 8-310 に、DAC_OFS を示します。

概略表に戻ります。

表 8-310. DAC_OFS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-13	予約済み	R	0x0	
12-6	DAC_OFS[1]	R/W	X	DACB のオフセット調整。このレジスタの値は、DACB 出力に追加されます。これは 2 の補数、13 ビット符号付き値です。LSB の重みは 1 つの DAC LSB です。 このレジスタにプログラムされた値は飽和関数を通過し、可能な範囲に調整を制限します。 DACB でディザリングが有効の場合 (DITH1 を参照)、DAC_OFS[1] は ± 128 の範囲に飽和します。DACB でディザリングが無効の場合、飽和範囲は ± 3968 です。トリム値からのデフォルト値。「オフセット調整」セクションを参照してください。
5-0	DAC_OFS[0]	R/W	X	DAC_OFS[1] を参照してください。

8.3.17.7 DES_TRIM0 レジスタ (オフセット = 0x73E) [リセット = 0x00]

DES_TRIM0 を表 8-311 に示します。

概略表に戻ります。

表 8-311. DES_TRIM0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	DES_STEP0	R/W	0x0	DACA の DES タイミング調整設定サイズを調整します 0x0 = 1X 0x1 = 2X 0x2 = 4X 0x3 = 0b10 と同じ
5	DES_POL0	R/W	0x0	DACA の DES タイミング調整極性を変更します 0x0 = 正 0x1 = 負
4-0	DES_OFS0	R/W	0x0	DACA の DES タイミング オフセット値

8.3.17.8 DES_TRIM1 レジスタ (オフセット = 0x73F) [リセット = 0x00]

DES_TRIM1 を表 8-312 に示します。

概略表に戻ります。

表 8-312. DES_TRIM1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	DES_STEP1	R/W	0x0	DACB の DES タイミング調整設定サイズを調整します 0x0 = 1X 0x1 = 2X 0x2 = 4X 0x3 = 0b10 と同じ
5	DES_POL1	R/W	0x0	DACB の DES タイミング調整極性を変更します 0x0 = 正 0x1 = 負
4-0	DES_OFS1	R/W	0x0	DACB の DES タイミング オフセット値

8.3.18 DDS_Vector_Mode レジスタ

表 8-313 に、DDS_Vector_Mode レジスタのメモリ マップトレジスタを示します。表 8-313 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 8-313. DDS_VECTOR_MODE レジスタ

オフセット	略称	レジスタ名	セクション
0x800	DDS_BURST_0		セクション 8.3.18.1
0x802	DDS_BURST_1		セクション 8.3.18.2
0x804	DDS_BURST_2		セクション 8.3.18.3
0x806	DDS_BURST_3		セクション 8.3.18.4
0x808	DDS_IMODE		セクション 8.3.18.5
0x809	DDS_SYM		セクション 8.3.18.6
0x80A	DDS_HOLD		セクション 8.3.18.7
0x80B	DDS_IDLE		セクション 8.3.18.8
0x80C	DDS_INDEX0		セクション 8.3.18.9
0x80D	DDS_INDEX1		セクション 8.3.18.10
0x80E	DDS_INDEX2		セクション 8.3.18.11
0x80F	DDS_INDEX3		セクション 8.3.18.12
0x810	DDS_AMP2		セクション 8.3.18.13
0xB20	DDS_VEC_n		セクション 8.3.18.14

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-314 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-314. DDS_Vector_Mode アクセス タイプ コード

アクセス タイプ	表記	説明
読み取りタイプ		
R	R	読み出し
R-0	R-0	読み出し 0 を返す
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

8.3.18.1 DDS_BURST_0 レジスタ (オフセット = 0x800) [リセット = 0x0000]

DDS_BURST_0 を表 8-315 に示します。

概略表に戻ります。

表 8-315. DDS_BURST_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	DDS_BURST[0]	R/W	0x0	DDS チャンネル n のトリガ バースト制御。DDS ベクトル モードでは、DDS_BURST は、トリガ イベントを受信したときに DDS チャンネルがトリガされる追加回数を定義します (『トリガー バースト』を参照)。追加のトリガはキューに入れられ、DDS は DDS_BURST+1 トリガを受信したように動作します。DDS_BURST の有効範囲は 0 ~ 65535 です。 DDS が有効 (SYS_EN = 1) の間にユーザーは DDS_BURST を変更できますが、SPI トランザクションの間またはトランザクションの完了後 50ns にわたって、トリガ イベントが発生しないことを確認する必要があります。

8.3.18.2 DDS_BURST_1 レジスタ (オフセット = 0x802) [リセット = 0x0000]

DDS_BURST_1 を表 8-316 に示します。

[概略表](#)に戻ります。

表 8-316. DDS_BURST_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	DDS_BURST[1]	R/W	0x0	DDS_BURST[0] の説明を参照

8.3.18.3 DDS_BURST_2 レジスタ (オフセット = 0x804) [リセット = 0x0000]

DDS_BURST_2 を表 8-317 に示します。

[概略表](#)に戻ります。

表 8-317. DDS_BURST_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	DDS_BURST[2]	R/W	0x0	DDS_BURST[0] の説明を参照

8.3.18.4 DDS_BURST_3 レジスタ (オフセット = 0x806) [リセット = 0x0000]

DDS_BURST_3 を表 8-318 に示します。

[概略表](#)に戻ります。

表 8-318. DDS_BURST_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	DDS_BURST[3]	R/W	0x0	DDS_BURST[0] の説明を参照

8.3.18.5 DDS_IMODE レジスタ (オフセット = 0x808) [リセット = 0x00]

表 8-319 に、DDS_IMODE を示します。

[概略表](#)に戻ります。

表 8-319. DDS_IMODE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R	0x0	

表 8-319. DDS_IMODE レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	DDS_IMODE	R/W	0x0	0x0 = インデックス作成モード ディスエーブル。最大 4 つの DDS チャネルを有効にできます。DDS は、各ベクトルの VTRIG_MODE フィールドに従ってトリガを待機します。 0x1 = インデックス作成モード イネーブル。DDS チャネル 0 のみを有効化でき、すべてのベクトル メモリが割り当てられます。TRIG[4:1] 入力は、オンデマンドで特定のベクトルにジャンプできます。詳細については、「インデックス作成モード」セクションを参照してください。

8.3.18.6 DDS_SYM レジスタ (オフセット = 0x809) [リセット = 0x00]

表 8-320 に、DDS_SYM を示します。

概略表に戻ります。

表 8-320. DDS_SYM レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	0x0	
3-0	DDS_SYM	R/W	0x0	DDS_SYM[n] は、DDS チャネル n の対称モードを有効化します。『ベクトル次数と対称モード』を参照してください。

8.3.18.7 DDS_HOLD レジスタ (オフセット = 0x80A) [リセット = 0x00]

表 8-321 に、DDS_HOLD を示します。

概略表に戻ります。

表 8-321. DDS_HOLD レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	0x0	
3-0	DDS_HOLD	R/W	0x0	DDS_HOLD[n] は、DDS チャネル n のホールド モードを有効化します。『ホールド モード』を参照してください。

8.3.18.8 DDS_IDLE レジスタ (オフセット = 0x80B) [リセット = 0xXX]

表 8-322 に、DDS_IDLE を示します。

概略表に戻ります。

表 8-322. DDS_IDLE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	X	
3-0	DDS_IDLE	R	X	DDS_IDLE[n] DDS チャネル n が現在アイドル状態 (トリガ待ち) の場合は 1 を返し、それ以外の場合は 0 を返します。

8.3.18.9 DDS_INDEX0 レジスタ (オフセット = 0x80C) [リセット = 0xXX]

DDS_INDEX0 を表 8-323 に示します。

概略表に戻ります。

表 8-323. DDS_INDEX0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	X	
3-0	DDS_INDEX0	R	X	DDS_Index0 は、DDS チャンネル n が現在実行中である (またはトリガの実行を待機中である) ベクトルのインデックスを返します。

8.3.18.10 DDS_INDEX1 レジスタ (オフセット = 0x80D) [リセット = 0xXX]

DDS_INDEX1 を表 8-324 に示します。

[概略表](#)に戻ります。

表 8-324. DDS_INDEX1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	X	
3-0	DDS_INDEX1	R	X	DDS_INDEX0 を参照してください。

8.3.18.11 DDS_INDEX2 レジスタ (オフセット = 0x80E) [リセット = 0xXX]

DDS_INDEX2 を表 8-325 に示します。

[概略表](#)に戻ります。

表 8-325. DDS_INDEX2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	X	
3-0	DDS_INDEX2	R	X	DDS_INDEX0 を参照してください。

8.3.18.12 DDS_INDEX3 レジスタ (オフセット = 0x80F) [リセット = 0xXX]

DDS_INDEX3 を表 8-326 に示します。

[概略表](#)に戻ります。

表 8-326. DDS_INDEX3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	X	
3-0	DDS_INDEX3	R	X	DDS_INDEX0 を参照してください。

8.3.18.13 DDS_AMP2 レジスタ (オフセット = 0x810) [リセット = 0x00]

DDS_AMP2 を表 8-327 に示します。

[概略表](#)に戻ります。

表 8-327. DDS_AMP2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	0x0	
3-0	DDS_AMP2	R/W	0x0	DDS_AMP2[n] は、DDS チャンネル n の 2 次振幅制御を可能にします。これにより、ベクトル モードでスムーズで正確な振幅曲線を合成できます。 注: このレジスタは、SYS_EN=0 のときのみ変更できます。

8.3.18.14 DDS_VEC_n レジスタ (オフセット = 0xB20) [リセット = 0xFF]

表 8-328 に、DDS_VEC_n を示します。

概略表に戻ります。

表 8-328. DDS_VEC_n レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
167-120	FREQ_START	R/W	X	各ベクトルは 21 バイト (168 ビット) で、ベクトル n のアドレスの冒頭は $0x0B10 + 21 \cdot n$ (21 は 10 の基底値) です。すべての 384 ベクトルは 8064 バイトを占有します。 ベクトルは、有効になっている DDS チャンネルの数に応じて DDS チャンネルに割り当てられます。詳細については、「DDS ベクトル モード」セクションを参照してください。 注: DDS が有効の間、SPI 経由でベクトルを更新できますが、制限が適用されます。『DDS が有効な間のベクトルの書き込み』を参照してください。 周波数アキュムレータの初期値 (48 ビット)。 注: FREQ_START の下位 16 ビットは、2 次振幅制御 (AMP_STEP2、16 ビット、符号付き) 用に転用できます。
119-88	FREQ_STEP	R/W	X	周波数ステップ (32 ビット)
87-72	AMP_START	R/W	X	振幅アキュムレータの初期値 (16 ビット、符号付き)
71-56	AMP_STEP	R/W	X	振幅ステップ (16 ビット、符号付き)
55-40	PHASE_START	R/W	X	位相アキュムレータの初期値 (16 ビット)
39-8	NUM_SAMP_M32	R/W	X	サンプルのベクトル長から 32 (32 ビット) を引いた長さ。 NUM_SAMP_M32 は 8 の倍数である必要があります (最小サンプル数は 32)。下位 3 ビットは常に 0 を返します。
7-3	STEP_EXP	R/W	X	周波数ステップ値と振幅ステップ値に適用される指数を定義します。有効範囲は 3 ~ 31 (DDS_AMP2[n]=1 の場合は 3 ~ 15) です。
2	予約済み	R	0x0	
1	LAST_VEC	R/W	X	0x0 = このベクトルを再生した後、次のベクトルに続行します。 0x1 = このベクトルを再生した後、ベクトル ブロックの開始に戻ります (またはインデックス作成モードで VINDEXTM に戻る)。
0	VTRIG_MODE	R/W	X	0x0 = 自動トリガ (ベクトルは自動的に開始および終了する) 0x1 = 手動トリガ (トリガが発生するまで DDS はストールする可能性がある)

8.3.19 Programmable_FIR レジスタ

表 8-329 に、Programmable_FIR レジスタのメモリ マップト レジスタを示します。表 8-329 にないレジスタ オフセット アドレスはすべて予約済みと見なし、レジスタの内容は変更しないでください。

表 8-329. PROGRAMMABLE_FIR レジスタ

オフセット	略称	レジスタ名	セクション
0x2800	PFIR_EN		セクション 8.3.19.1
0x2801	PFIR_MODE		セクション 8.3.19.2
0x2803	PFIR_LEN		セクション 8.3.19.3
0x2804	PFIR_BC		セクション 8.3.19.4
0x2805	PFIR_DLY		セクション 8.3.19.5
0x2807	FR_EN		セクション 8.3.19.6
0x2810	PFIR_H_n		セクション 8.3.19.7
0x2E10	PFIR_PROG		セクション 8.3.19.8

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-330 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-330. Programmable_FIR アクセス タイプ コード

アクセス タイプ	表記	説明
読み取りタイプ		
R	R	読み出し
R-0	R-0	読み出し 0 を返す
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

8.3.19.1 PFIR_EN レジスタ (オフセット = 0x2800) [リセット = 0x00]

表 8-331 に、PFIR_EN を示します。

概略表に戻ります。

表 8-331. PFIR_EN レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	0x0	
3-0	PFIR_EN	R/W	0x0	PFIR_EN[n] はチャンネル n の PFIR を有効化します。PFIR は SYS_EN が設定されるまで実際に有効になりません。 PFIR_MODE が実数の動作に構成されている場合 (PFIR_MODE=0)、n は DAC チャンネル (n = 0 ~ 1) に対応します。 PFIR_MODE が複素数の動作に構成されている場合 (PFIR_MODE が 0 より大きい場合)、n は DUC チャンネル (n = 0 ~ 3) に対応します。サポートされていないチャンネルで PFIR を有効化すると、未定義の動作が生成されます。「PFIR の設定」セクションを参照してください。 注: PFIR を DUC の前に配置する場合、関連する DSP チャンネルを DUC モードに設定する必要があります (たとえば、PFIR_EN[n] が設定されている場合、DSP_MODEn を DUC モードに構成する必要があります)。

8.3.19.2 PFIR_MODE レジスタ (オフセット = 0x2801) [リセット = 0x00]

表 8-332 に、PFIR_MODE を示します。

概略表に戻ります。

表 8-332. PFIR_MODE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	予約済み	R	0x0	
1-0	PFIR_MODE	R/W	0x0	これは、PFIR の一般モードを指定します (「PFIR の設定」セクションを参照)。すべての PFIR チャネルに影響します。また、PFIR_EN を設定して PFIR を有効化する必要もあります。

8.3.19.3 PFIR_LEN レジスタ (オフセット = 0x2803) [リセット = 0x00]

表 8-333 に、PFIR_LEN を示します。

概略表に戻ります。

表 8-333. PFIR_LEN レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R	0x0	
0	PFIR_LEN	R/W	0x0	サポートされる係数 (NPFIR) の数は、PFIR_MODE および DSP_L に依存します。『PFIR 節電』も参照してください。 注: NPFIR=24 の場合、低消費電力オプションは利用できません (タップ数を 24 未満に減らすことはできません)。 0x0 = NPFIR/2 係数をサポート (低消費電力オプション) 0x1 = NPFIR 係数をサポート (最大出力オプション)

8.3.19.4 PFIR_BC レジスタ (オフセット = 0x2804) [リセット = 0x00]

表 8-334 に、PFIR_BC を示します。

概略表に戻ります。

表 8-334. PFIR_BC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R	0x0	
0	PFIR_BC	R/W	0x0	PFIR_MODE=0 および PFIR_EN=1 の場合、PFIR_BC=1 に設定して、PFIR チャネル 0 の出力を両方の DAC にブロードキャストすることを選択できます。これにより、ユーザーはチャネル 1 の PFIR を有効にする必要なしに、両方の DAC に同じ信号を送信できます (低消費電力)。 0x0 = PFIR ブロードキャスト ディスエーブル 0x1 = PFIR ブロードキャスト イネーブル

8.3.19.5 PFIR_DLY レジスタ (オフセット = 0x2805) [リセット = 0x0000]

表 8-335 に、PFIR_DLY を示します。

概略表に戻ります。

表 8-335. PFIR_DLY レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	PFIR_DLY[1]	R/W	0x0	MODE=0 (PFIR-after-channel-bonder) の場合、このレジスタは、インパルス応答の後半を PFIR_DLY サンプル (例: DAC サイクル) だけ遅延させます。これは反射をキャンセルするのに便利です。PFIR_DLY[1] は、チャンネル 1 の遅延を制御します。「PFIR 反射キャンセル」セクションを参照してください。
7-0	PFIR_DLY[0]	R/W	0x0	MODE=0 (PFIR-after-channel-bonder) の場合、このレジスタは、インパルス応答の後半を PFIR_DLY サンプル (例: DAC サイクル) だけ遅延させます。これは反射をキャンセルするのに便利です。PFIR_DLY[0] は、チャンネル 0 の遅延を制御します。「PFIR 反射キャンセル」セクションを参照してください。

8.3.19.6 FR_EN レジスタ (オフセット = 0x2807) [リセット = 0x00]

表 8-336 に、FR_EN を示します。

概略表に戻ります。

表 8-336. FR_EN レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R	0x0	
0	FR_EN	R/W	0x0	注: このレジスタは、FR インターフェイスがアイドル状態のときにのみ変更する必要があります。 0x0 = FR インターフェイス ディスエーブル。PFIR 係数は PFIR_H によって制御されます。 0x1 = FR インターフェイス イネーブル。PFIR 係数は FR_PFIR_H によって制御されます。

8.3.19.7 PFIR_H_n レジスタ (オフセット = 0x2810) [リセット = 0xXXXX]

表 8-337 に、PFIR_H_n を示します。

概略表に戻ります。

表 8-337. PFIR_H_n レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PFIR_H[n]	R/W	X	FR_EN=1 のとき、このレジスタに書き込むと、PFIR_H の値が設定されます。アドレス $0x2810 + 2 \cdot n$ で係数 n (0:767) のメモリ。各係数は符号付き 16 ビット値で、LSB の重みは 2^{-15} です。この割り当て内の係数の編成は、PFIR_MODE によって異なります。「PFIR のプログラミング」セクションを参照してください。 注: FR_EN=1 のとき、このレジスタは SPI 経由で読み出しや書き込みを行うことはできず、FR インターフェイスでのみ書き込むことができます。値を読み取るには、FR_EN=0 に設定します。

8.3.19.8 PFIR_PROG レジスタ (オフセット = 0x2E10) [リセット = 0xXX]

表 8-338 に、PFIR_PROG を示します。

概略表に戻ります。

表 8-338. PFIR_PROG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R	X	

表 8-338. PFIR_PROG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	FR_PFIR_PROG	R/W	X	FR_EN=1 のとき、このレジスタに書き込むと、PFIR_PROG の値が設定されます。これにより、FR インターフェイス経由で書き込まれた FR_PFIR_PROG 値の読み戻しが提供されます。 注:FR_EN=1 のとき、このレジスタは SPI 経由で読み出し専用であり、FR インターフェイスでのみ書き込むことができます。これは、FR インターフェイスがアイドル状態のときのみ読み出されます。ユーザーは、FR_PFIR_PROG を書き込んだ後、FR_PFIR_H を書き込む前に 1024 DACCLK サイクル待機する必要があります

9 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

9.1.1 起動手順

以下は、デバイスの起動手順です：

1. **パワーアップおよびダウンシーケンス**の手順に従って、ボール **RESET** がアサートされた状態でデバイスの電源をオンにします。
2. **DACCLK** を適用し、**RESET** デアサートします。
3. **CPLL** を使用する場合は、**CPLL_EN = 1** にセットします。
4. すべての動作パラメータを設定します (レジスタは任意の順序でプログラムできます)：
 - a. **DSP_MODE_n** を、**JESD204C** インターフェイスを使用するモードにプログラムします。
 - b. **DUC** モードまたは **DDS** ストリームモードを使用する場合、補間/アップサンプリング係数を選択して、**DSP_L** レジスタをプログラムします。
 - c. 次のステップで必要な値である、合計補間係数 (LT) を決定します。
 - d. 必要なサンプルストリームの数を決定し、**JESD_M** レジスタをプログラムします。
 - e. **JJESD インターフェイスモード** から **JESD204C** モードを選択します。選択したモードが、前に計算した LT の値と目的のリンク層エンコーディングをサポートしていることを確認します。また、**JESD_M** レジスタでセットされた必要なストリーム数が、モードでサポートされていることも確認します。モード番号を **JMODE** レジスタにプログラムします。
 - f. **JENC** レジスタをプログラムして、**8b/10b** または **64b/66b** の動作を選択します。
 - g. **JESD インタフェースモード** を使用して R の値と、先に計算されていた LT 値を計算します。
 - h. **表 7-48 (8b/10b)** または **表 7-47 (64b/66b)** を使用して、R 値と DAC クロック周波数に一致する行を特定します。表に従って、**REFDIV**、**MPY**、および **RATE** をプログラムします。
 - i. 必要に応じて、適切な物理レーンを論理レーンにバインドするように、**LANE_SEL[n]** をプログラムします。レーンの反転 (差動ペアの **+/-** を入れ替える) を考慮する必要がある場合は、**LANE_INV** をプログラムします。
 - j. 使用目的に応じて、他の一般的な設定 (**JCNTL** レジスタの **SUBCLASS**、**SFORMAT**、**SCR**) をプログラムします。
 - k. **8b/10b** エンコーディングを使用する場合は、**KM1** レジスターをプログラムして、リンクパートナーと一致する K パラメータを設定します。**JESD インターフェイスモード** から **KR** パラメータによって課される制約を必ず遵守してください。
 - l. サブクラス 1 の動作が必要な場合 (**SUBCLASS = 1**)、**RBD** もプログラムする必要があります。**RBD のプログラミング**を参照して、**RBD** の適切な値を決定します。
 - m. 必要に応じて、オプションの **Serdes** パラメータ (**CDR0**、**EQ_CTRL**、**EQZERO**、**EQLEVEL**) をプログラムします。
5. **SUBCLASS = 1** の場合、レシーバに **LMFC/LEMC** 位相を確立するために **SYSREF** が必要です。自動 **SYSREF** キャリブレーションを使用するには、次の手順に従います：
 - a. **SRCAL_AVG** および **SRTRK_AVG** を適切な設定にセットします
 - b. トラッキングが必要な場合、**SRTRK_ENSRTRK_EN** をセットします
 - c. **SYSREF_RX_ENSYSREF_RX_EN=1** をセットします。必要に応じて、**SYSREF** レシーバが安定するまでしばらく待ちます。

- d. SYSREF ジェネレータの周期的な SYSREF 信号生成を許可します。各 SYSREF サイクルの周期は **SYSREF 周波数要件**を満たす必要があります。SYSREF が AC 結合されている場合、カップリングコンデンサが安定するまで、十分時間をとってから先に進んでください。
 - e. **SRCAL_EN=1** にセット
 - f. **SYSREF_CAL_DONE=1** を待ちます。SYSREF_CAL_FAILSYSREF_CAL_FAIL=0 を確認します。
6. トランスミッタ (FPGA や ASIC などのリンクパートナー) をプログラムし、送信を開始します。
 7. ヒューズ値がロードされるのを待ちます (レジスタ **FUSE_DONE** が 1 を返します)。
 8. レシーバを起動するには、**SYS_EN=1** をプログラムします。
 9. **SUBCLASS=1** の場合、レシーバは **JESD_ALIGNED** レジスタを設定するのに十分な有効な **SYSREF** パルス処理する必要があります。そうでない場合、**JESD** リンクはダウン状態のままになります。詳細については、**JESD_ALIGNED** レジスタの説明を参照してください。
 10. **JESD_STATUS** レジスタを読み出し、リンクの動作を確認します (**JESD_STATUS = 1** の **LINK_UP** フィールド)。**LINK_UP** フィールドが 0 を返す場合は、次の項目を順に確認します:
 - a. **PLL_LOCKED** が 0 を返した場合、正しい **PLL** 設定 (**REFDIV**、**MPY**、および **RATE**) を確認します。**DACCLK** の周波数が正しいことを確認します。
 - b. **SUBCLASS = 1** および **ALIGNED** が 0 を返す場合は、**SYSREF** が適用されており、**SYSREF** プロセッサが有効 (**SYSREF_PROC_EN=1**) であることを確認します。**SYSREF** 期間が有効であることを確認します。
 - c. **PLL_LOCKED = 1** (および **ALIGNED = 1** または **SUBCLASS = 0**) の場合、**LANE_STATUS[n]** レジスタを読み出します (論理レーン 0 から L-1 のレジスタのみを読み取ります)。レーンによってはコードグループまたはブロック同期を取得できない可能性があることを確認します。その場合、トランスミッタが正しくプログラムされていることを確認します。**LANE_SEL[n]** が正しくプログラムされていることを確認します。**PHY** 動作の検証/最適化 (**JTEST**、**アイスキャンテスト**、または **イコライザ最適化**を使用した **PRBS** テスト) を行うことを検討してください。
 - d. **SUBCLASS = 1** および **EB_ERR = 1** の場合、**RBD** 値が不正にセットされている可能性があります。**RBD** の **プログラミング**を参照してください。
 11. **SUBCLASS = 1** でリンクがアップされている場合、必要に応じて **SYSREF** 信号をオフにすることができます。**SYSREF** が DC 結合されている場合、**SYSREF** は送信側で同期的にゲート制御することができます。**SYSREF** が AC 結合されている場合は、**SYSREF** トランスミッタをオフにする前に **SYSREF_PROC_EN = 0** をプログラムするか、**SYSREF_RX_EN = 0** にセットします (この方法は DC 結合の **SYSREF** に対しても有効です)。
 12. 部品を別のモードに設定するには、**SYS_EN=0** にセットします。その後、ステップ 4 に戻ります。

9.1.2 矩形波モードの帯域幅最適化

DAC 出力モードで検討したように、**DAC** 出力はゼロ次ホールド (ZOH) で、出力値はサンプル時間全体にわたって同じになります (**NRZ** モードのフルクロック周期、または **DES2XL** モードのクロック周期の 1/2)。**DAC** は本来の出力帯域幅が広いので、この出力応答には最小限のフィルタリングしか施されていません。特に、サンプル周期が長い **NRZ** モードではその傾向が顕著です。これは、**NRZ** モード (図 9-1) および **DES2XL** モード (図 9-2) の矩形波の波形をしめしています。

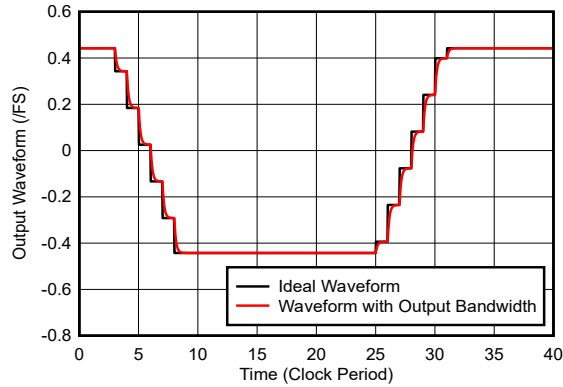


図 9-1. DAC 帯域幅制限を使用した NRZ モードの出力波形

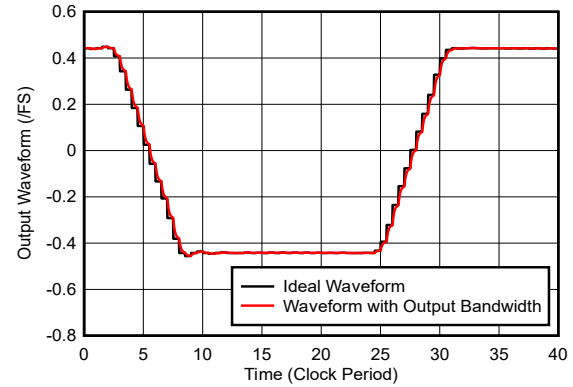


図 9-2. DAC 帯域幅制限を使用した DES モードの出力波形

DAC 出力の帯域幅を狭くして、サンプルからサンプルまでの変動を除去しながら、矩形波モードの高いスルーレートを維持できます。出力帯域幅は、遷移期間の帯域幅(つまり T_{TRANS} が遷移時間である)約 $2/(3 \cdot T_{\text{TRANS}})$ とほぼ同じであり、スルーレートを維持することと ZOH 構造の除去との間で適切な妥協点を提供します。

図 9-3 に、推奨される出力帯域幅を持つ矩形波出力波形を示します

- $f_{\text{CLK}} = 22\text{GHz}$
- $F_{\text{NCO}} = 1\text{GHz}$
- $\text{SLEW} = 2$ (7.5GHz の遷移時間)
- DES2XL モード
- $\text{BW}_{\text{OUT}} = 5\text{GHz}$

矩形波のスルーレートは、ZOH 構造が除去されている間、ほぼ維持されます。

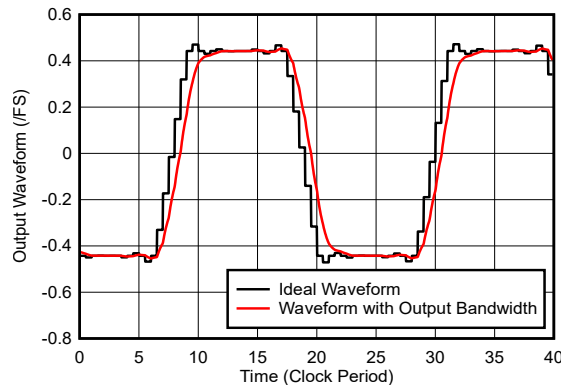


図 9-3. 推奨される出力帯域幅を使用した矩形波出力

9.2 代表的なアプリケーション：Ku バンド レーダー トランスミッタ

9.2.1 設計要件

Ku バンドは 12GHz から 18GHz の周波数範囲を対象とし、レーダーは 15 から 17GHz の範囲を使用します。この例では、信号帯域幅が 1GHz、中心周波数が 16.2GHz のレーダーを使用しています。

ドップラーレーダーは、返された信号内での周波数シフトを使用して、物体の速度を測定します。たとえば、グラウンドクラッターなどからの大きな反射信号は、TX および RX 位相ノイズと混ざり合い、小さな移動物体からの戻り信号を圧倒する可能性があります。この結果、レーダー チャープの近接位相ノイズに対して、近接位相ノイズの要件が課せられます。この例では、16.2GHz の中心周波数において、単一側波帯位相ノイズ要件として -126dBc/Hz を想定しています。

レーダーはスプリアス信号にも敏感であり、この例では、帯域内の SFDR に対して 80dBFS が必要であると想定しています。

9.2.2 詳細な設計手順

表 9-1 に、設計パラメータの概要を示します。1.25GSPS 複素の入力サンプルレートで 1GHz の信号帯域幅がカバーされ、TX サンプルレートを 20GSPS に増加させるために 16x の補間が使用されます。このデバイスの数値制御発振器 (NCO) は、TX 出力に 3.8GHz の信号を配置するために使用されます。DES2XH モードに追加の 2x 補間を適用し、サンプルレートを 40GSPS に、出力周波数を 16.2GHz に増加させます。

JESD204C インターフェイスは、4 つのストリーム (IQ ペアが 2 つ) と IQ ペアごとに 2 つの Serdes レーンを持つ JMODE 4 で構成されています。64/66 ビットエンコーディングにおいて、Serdes のボーレートは 20.625Gbps です。

表 9-1. Ku バンドトランスミッタの設計パラメータ

パラメータ	値
入力クロック	20GHz
DAC サンプルレート	40GSPS
出力モード	DES2XH
DEM とディザリング設定	オン
TX 補間係数	16x
TX 入力レート	1.25GSPS 複素
NCO 周波数	3.8GHz
JMODE	4
# ストリーム	4 (2x IQ ペア、1/DAC)
# Serdes レーン	4
エンコード	64/66
Serdes ボーレート	20.625Gbps

9.2.3 アプリケーション曲線

テストに使用されるレーダーチップの波形は、非線形周波数変調 (NLFM) パルスであり、20GSPS の複素入力レートで 4,096 サンプルに対応します。周波数は、Price が開発した周波数ランプ曲線に従って、-0.5GHz から +0.5GHz まで上昇します。[Price R. *Chebyshev Low Pulse Compression Sidelobes via a Nonlinear FM*. URSI の全国無線科学会議:ポートサイド、エジプト:1979.], $T = 4096$ サンプル付き、 $B = 0.8$ 、 $B_l = 0.5611$ および $B_c = 0.238$ 。

$$f(f, B_l, B_c) = B \times \frac{t - T/2}{T} \times \left(B_l + \frac{B_c}{\sqrt{1 - 4(t - T/2)^2 / T^2}} \right) \quad (8)$$

16.2GHz へのオフセットなしの NLFM チャープ周波数ランプを 図 9-4 に示します。式 8 に基づく時間領域 DDS 波形と連続波形を 図 9-5 に示します。DDS 波形と連続波形の自動相関を 図 9-6 に示します。

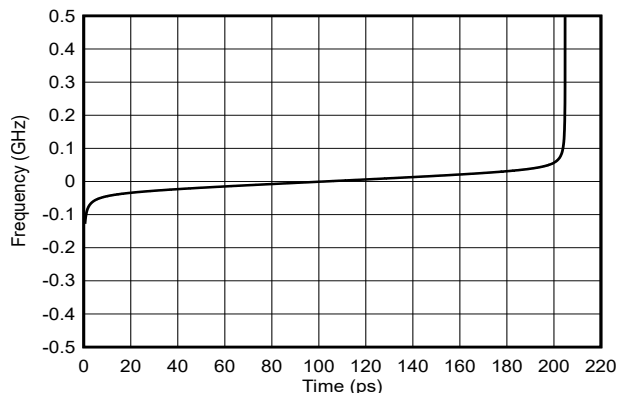


図 9-4. NLFM 周波数ランプ

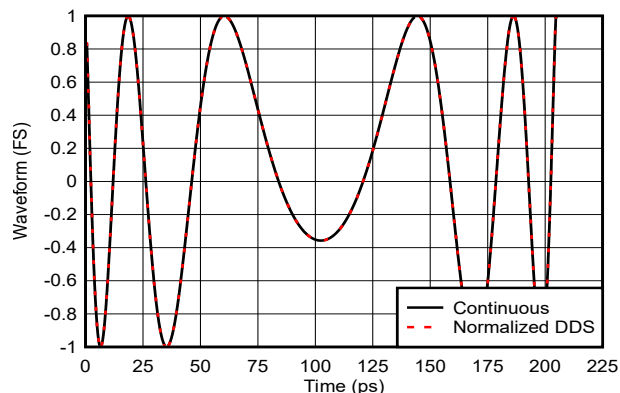


図 9-5. NLFM 波形の正規化されたタイムドメイン (赤 = DDS 波形、黒 = 連続式)

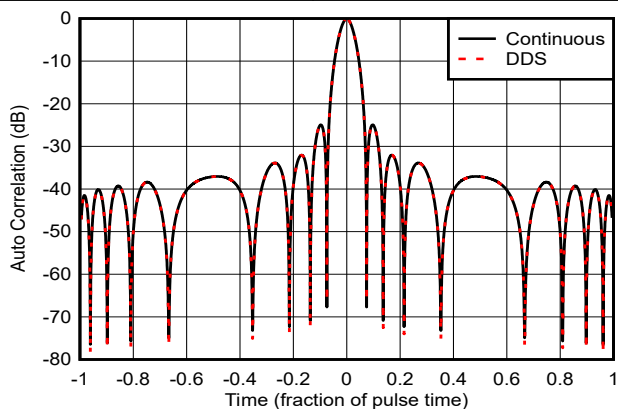


図 9-6. NLFM 波形の自動相関 (赤 = DDS 波形、黒 = 連続式)

16.2GHz トーンのスペクトル純度は、図 9-7 で 5GHz スパンのフルスケールトーンで示されています。最大スプリアスは、3.16GHz 時に約 66dBc であり、これは 4th 高調波です。16.2GHz でのトーンの出力位相ノイズを 図 9-8 に示します。

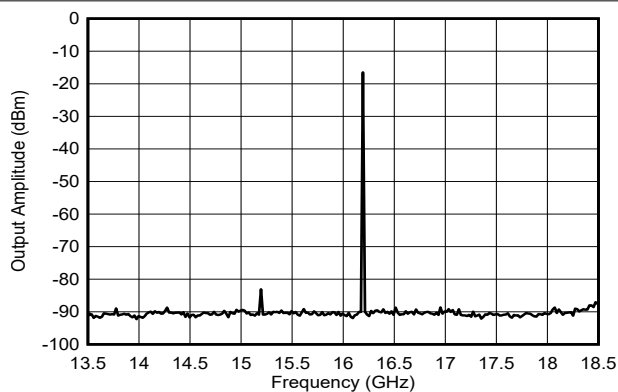


図 9-7. $f_{OUT} = 16.2\text{GHz}$ での帯域内単一トーンの周波数スペクトル

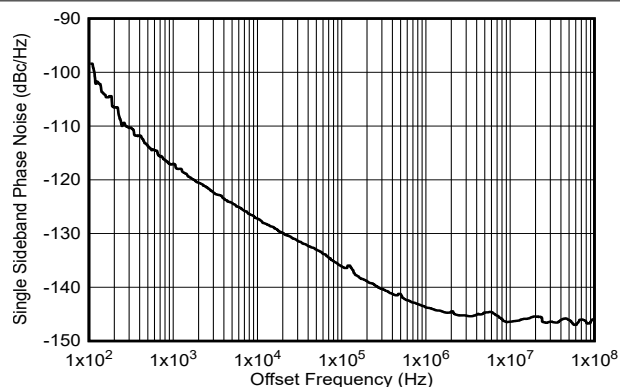


図 9-8. DAC 付加位相ノイズ (16.2GHz)

9.3 電源に関する推奨事項

このデバイスには 3 つの電源電圧があり、表 9-2 に示すデータシートの性能を実現するには 7 つの電源ドメインが必要です:

表 9-2. 推奨される電源電圧ドメイン

電圧	電源ドメイン	デバイス電源
+1.8V	VDDA	VDDA18A、VDDA18B
	VDDIO	VDDIO
	VDDCSR	VDDCLK、VDDSYS、VDDR
	VDDSP18	VDDSP18
	VDDCP18	VDDCP18
+0.8V	VDDL	VDDLA、VDDL B
	VDDCLK08	VDDCLK08
	DVDD	VDDDIG、VDDT、VDDEA、VDDEB
-1.8V	VEE _x	VEEAM18、VEEBM18

推奨電源を図 9-9 に示します。電源電圧は低ノイズで、デバイスの定格性能を達成するために必要な電流を供給する必要があります。高効率の降圧スイッチングコンバータを使用し、次に LDO を使用した第二段階のレギュレーションによりスイッチングノイズを低減し、電圧精度を向上させます。また、TI の **WEBENCH® Power Designer** を参照し、必要に応じて個別の電源エレメントを選択して設計することもできます。推奨される切り替えレギュレータは以下の通り:

- VDDA、VDDIO、VDDCSR、VDDL、VDDCCLK の各ドメインの TPSM82913 =+ 2.3V
- TPS543820 (8A) または TPS543A22 (12A) = +0.8V (DVDD 用)
- VEE_x ドメイン用 TPSM82913 =+ 3.8V

推奨される LDO は以下の通り:

- 1.8V と +0.8V 用の TPS7A9401
- -1.8V 用の LM27762

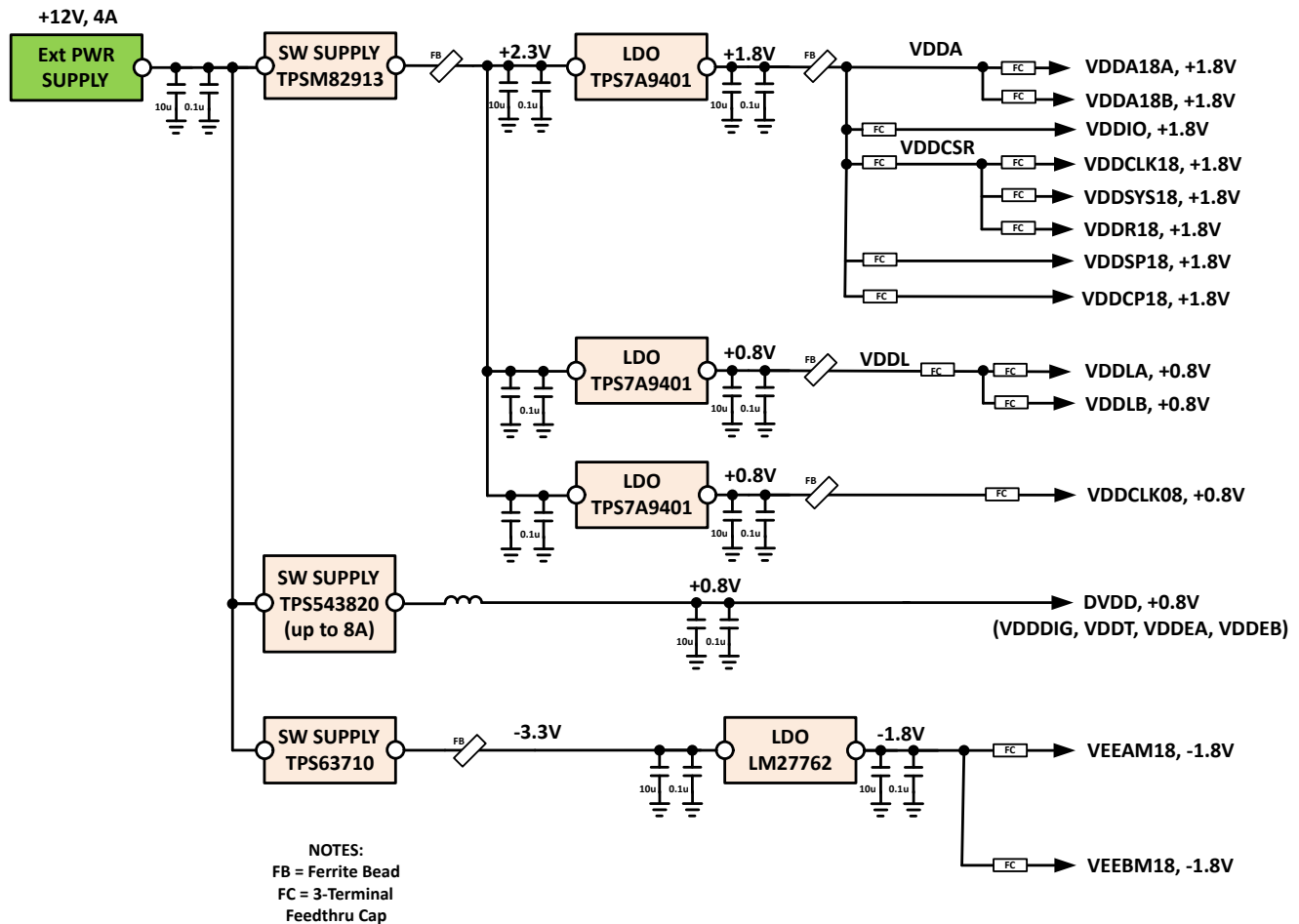


図 9-9. 推奨される電源のブロック図

VDDA 電源は、+1.8V 出力で LDO または低ノイズドロップアウトリニアレギュレータによって制御され、さらに以下のサブグループ電源ドメインに分類されます：

- VDDA: VDDA18A、VDDA18B
- VDDIO
- VDDCSR: VDDCLK18、VDDSYS18、VDDR18
- VDDSP18
- VDDCP18

各デバイスの電源は単一の LDO に接続できますが、フェライトビーズおよび/または三端子コンデンサ、もしくは同様の部品で絶縁されています。

VDDL 電源は +0.8V であり、VDDLA と VDDL B に分割されます。各デバイスの電源は単一の LDO に接続できますが、フェライトビーズおよび/または三端子コンデンサ、もしくは同様の部品で絶縁されています。

VDDCLK08 の電源は +0.8V で、最良の位相ノイズ性能を達成する最も感度の高いものです。クロックパスに結合する他の 0.8V 電源からのノイズを防止するために、VDDCLK08 は LDO によって絶縁する必要があります。

DVDD 電源は +0.8V で、電源スイッチに直接接続できます。DVDD には、VDDDIG、VDDT、VDDDEA、VDDDEB などのデバイス電源が含まれており、すべて相互接続できます。フェライトビーズおよび/または三端子コンデンサ、または類似品を使用してさらに絶縁する必要はありません。

VEE_x 電源は、単一の LDO から派生した -1.8V 電源であり、さらにフェライトビーズや 3 端子コンデンサなどで絶縁された VEEAM18 と VEEBM18 に分割されています。

以下の重要な電源設計の検討事項に従うことをお勧めします:

1. すべての電源レールとバス電圧は、システム基板に接続するとき、デカップリングします。各電源ドメインで、DAC の位置またはその付近に、追加のデカップリングを配置します。通常、データシートまたは EVM アセンブリに明記されていない限り、電源ピンごとに低 ESL 0.1 μ F デカップリングコンデンサを 1 つずつ使用することを推奨します。
2. フィルタリングのステージを追加すること、約 20dB/decade のノイズ抑制が得られることをご記憶ください。
3. 高周波数と低周波数の両方でデカップリングしますが、このとき、コンデンサの値が複数必要になることがあります。
4. 直列フェライトビーズとフィードスルーコンデンサは、一般に電源プレーンのエントリポイントで使用されており、電源ドメインの分離点を追加するために使用できます。電圧が LDO から供給されても、スイッチングレギュレータから供給されても、システム基板上のそれぞれ個別の電源電圧ごとに供給されます。
5. 容量を増やすには、電源とグランドプレーンのペアを緊密にスタックさせ (≤ 4 mil 間隔)、PCB 設計に固有の高周波 (> 500MHz) デカップリングを追加します。
6. DAC のフロントエンド RF ステージや高速クロック、デジタル回路などの感度の高いアナログ回路から電源をできるだけ離してください。
7. スタックアップ、または電源プレーンのエントリポイントがある層の最上部付近に、より大きな電流を必要とする電源ドメインを配置します。これにより、全体的なループのインダクタンスが最小化されます。
8. 電源プレーン上に空白領域またはオープン領域がある場合は、グランドで埋めて、絶縁とシールドを追加します。
9. 隣接するすべての電源プレーンとグランドプレーンの間には、20 から 25mil の隙間を確保します。これにより、同じ層内の隣接する電力ドメインおよび/またはグランドの間のギャップ結合をすべて除去できます。
10. 絶縁性能を強化するために、一部の切り替えレギュレータ回路/コンポーネントを PCB の反対側に配置することもできます。
11. IC メーカーの推奨事項に従ってください。アプリケーションノートやデータシートに直接記載されていない場合は、評価ボードを確認してください。評価ボードは非常に役立つ資料です。これらの点を適用することで、多くのアプリケーションでデータシートの性能を確保できる安定した電源設計を提供することが可能になります。

アプリケーションごとに、電源電圧のノイズの許容誤差が異なるため、これらのトレードオフの詳細を理解するには、以下の 2 つのアプリケーションノートが最も参考になります:

- レーダーアプリケーションにおける RF コンバータ用のノイズの少ない電源 (パート 1)
- レーダーアプリケーションにおける RF コンバータ用のノイズの少ない電源 (パート 2)

一つの電源レイアウトとスタックアップアプローチについての説明は [図 9-15](#) から [図 9-18](#) を参照してください。

9.3.1 パワーアップ/ダウン シーケンス

電源をオンにする時は、次の順序で電源をランプアップします:

1. 1.8V 電源ランプ
2. -1.8V 電源ランプ
3. 0.8V 電源ランプ

ランプダウンは逆の順序で行います。

9.4 レイアウト

9.4.1 レイアウトのガイドラインと例

PC ボード設計中は、特別なケアと注意が必要な重要な信号接続が数多く存在します:

1. DAC アナログ出力信号
2. サンプリングクロック
3. Serdes (JESD204x) データ入力
4. 電源
5. 電力と接地戦略

高速 PCB 設計を開発する際には、注意すべき数多くの検討事項があります。すべての高速 PCB 設計において準拠すべき、いくつかの推奨事項とサンプル数値を以下に示します：

1. Serdes 入力で可能な場合は、緩く結合した 100Ω の差動トレースを使用して配線します。この配線により、ペアのインピーダンスに対するコーナーや長さの一致する蛇行ピンの影響を最小限に抑えることができます。
2. 特に疎結合の差動配線では、クロストークを最小限に抑えるため、十分なペア間の間隔を設けてください。適切な間隔を確保できない場合は、密結合した差動パターンを使用して、自己放射ノイズを低減したり、隣接トレースノイズ耐性を向上させたりすることが可能です。
3. 高速パターンとの結合を最小限に抑えるため、十分なグラウンドプレーン注入間隔を確保してください。グラウンドプレーンの注入には、基板のメイングラウンドプレーンに十分なビア接続が必要です。フローティングまたは接続不良なグラウンドパターンを使用しないでください。
4. 滑らかに丸みを帯びたコーナーを使用し、 45 度や 90 度の屈曲を避けて、アナログとデジタルの両方の信号トレースのすべての高速入力/出力におけるインピーダンスの不一致を減らします。例として 図 9-10 を参照してください。

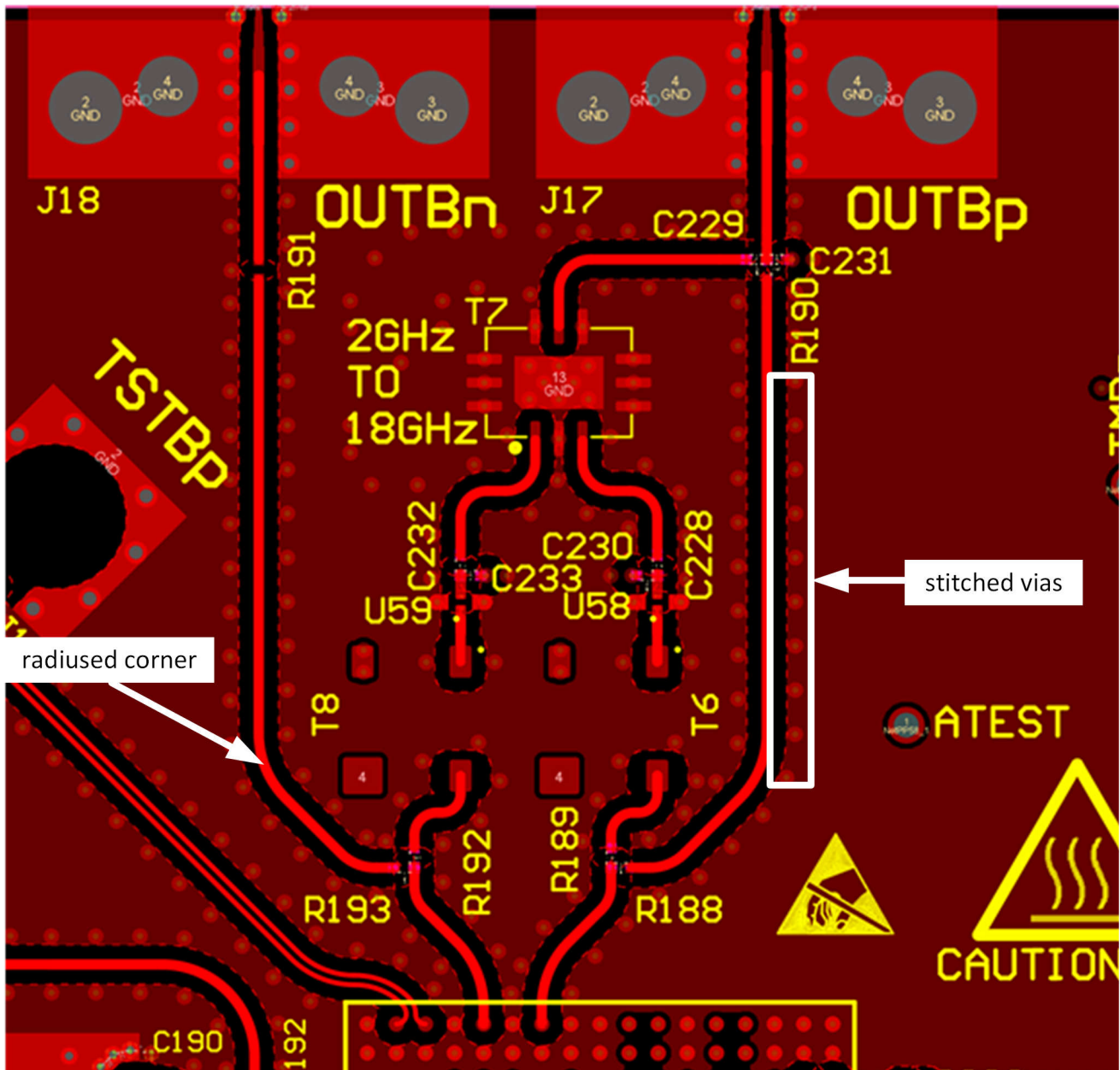


図 9-10. 高速信号トレースの横にあるラディウスコーナーとステッチビア

5. コンポーネントのランディングパッド、すなわち SMA コネクタ、バランなどで必要とされるグランドプレーンの切り欠きをすべて組み込むと、これらの場所でのインピーダンスの不連続性を回避することができます。1 つまたは複数のグランドプレーンのランディングパッドの下での切り欠きにより、必要とされる 50Ω のシングルエンドのインピーダンスを達成するパッドのサイズやスタックアップの高さが実現します。図 9-11 と例を参照してください。

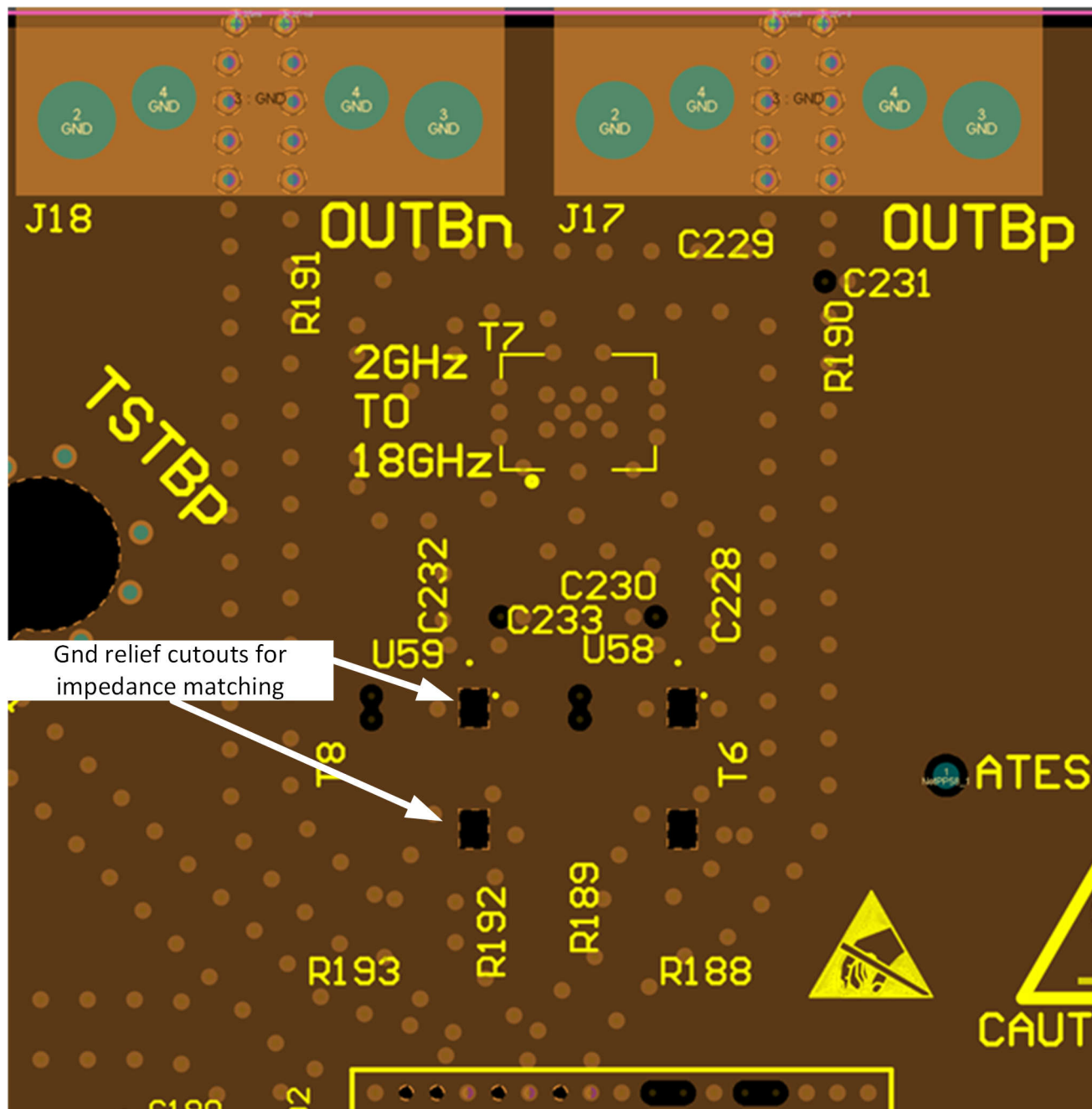


図 9-11. バランピンの下でのグランドの切り欠き

6. 基準グランドプレーンの不規則な部分の近くにトレースを配線することは避けてください。不具合として、電源ビアと信号ビア、およびスルーホール部品のリードに関連するグランドプレーンまたはグランドプレーンの空間距離が不足していることがあります。
7. トレーズトランスポートの最大周波数 ($\lambda/4$) によって決定される適切な間隔で、すべての高速信号に隣接する対称的に配置されたグランド接続ステッチングビアを用意します。例として 図 9-10 を参照してください。

8. ビアを使用して高速信号を別の層に遷移する必要がある場合は、基板をできるだけ遠くまで遷移させて (上下に最適なケース)、ビアの上部または下部にあるビア スタブを最小限に抑えます。レイヤーの選択が柔軟でない場合は、バックドリルまたは埋め込みのブラインド ビアを使用してスタブを除去します。層間の遷移を行うときは、常に臨界高速信号トレースの近くに 2 つのグランドビア (「リターンビア」) を配置して、近くのグランドリターンパスを提供します。例として 図 9-12 を参照してください。

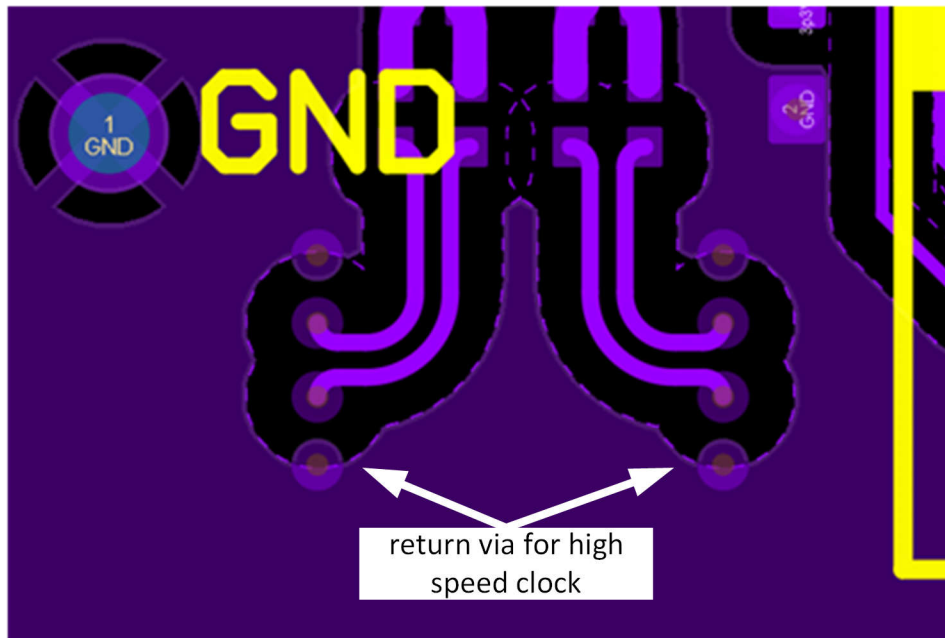
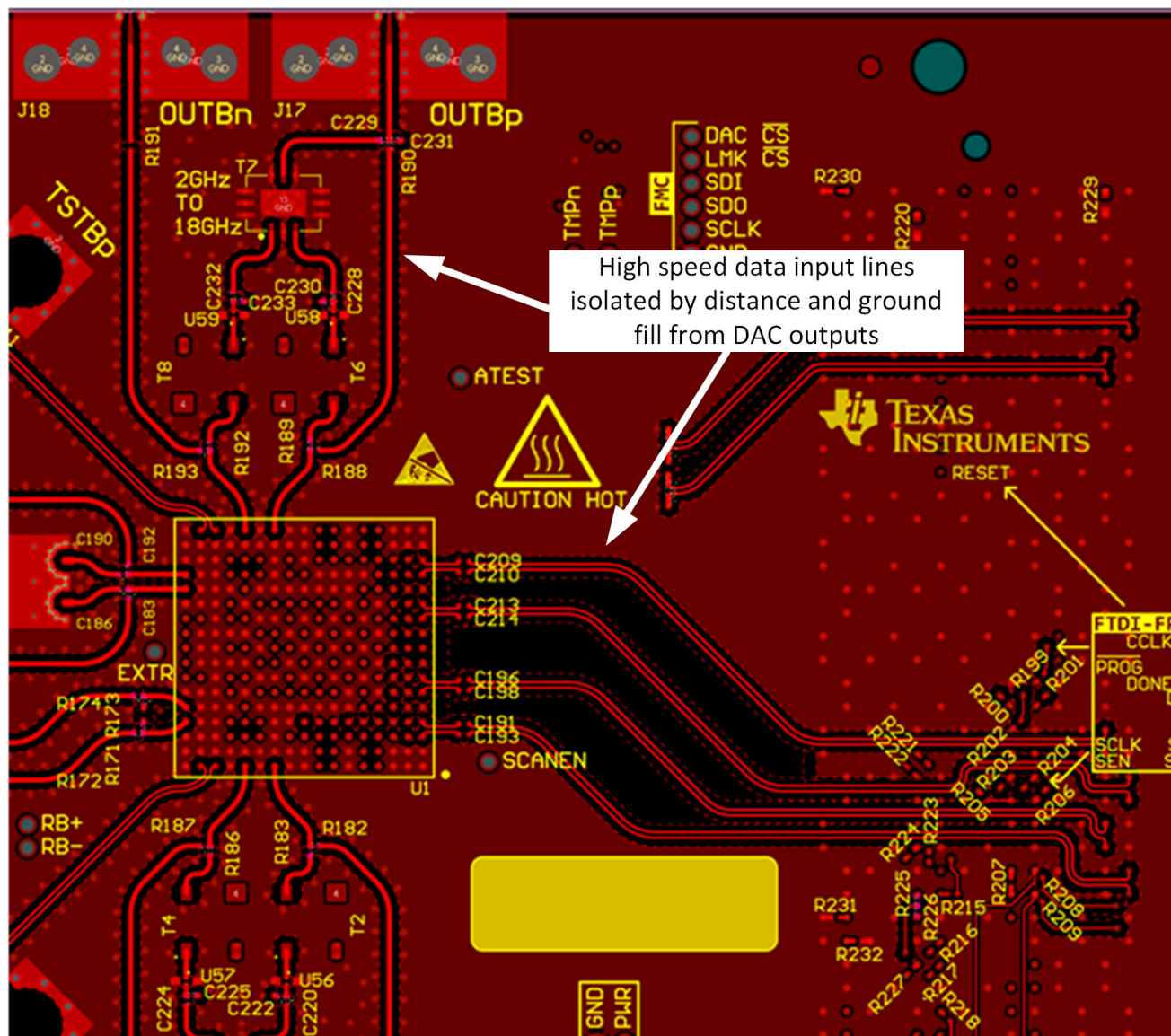


図 9-12. 高速クロックのリターンビア

9. JESD204x のデータ出力配線とアナログ入力配線が結合する場合があるので、特に注意が必要です。JESD204x 入力からのノイズの切り替えは、アナログ出力トレースに結合し、DAC の入力帯域幅が広い広帯域ノイズとして現れることがあります。可能であれば、Serdes JESD204x データ入力を DAC 出力トレースから別の層に配線して、ノイズの結合を回避します。例として 図 9-13 と 図 9-14 を参照してください。



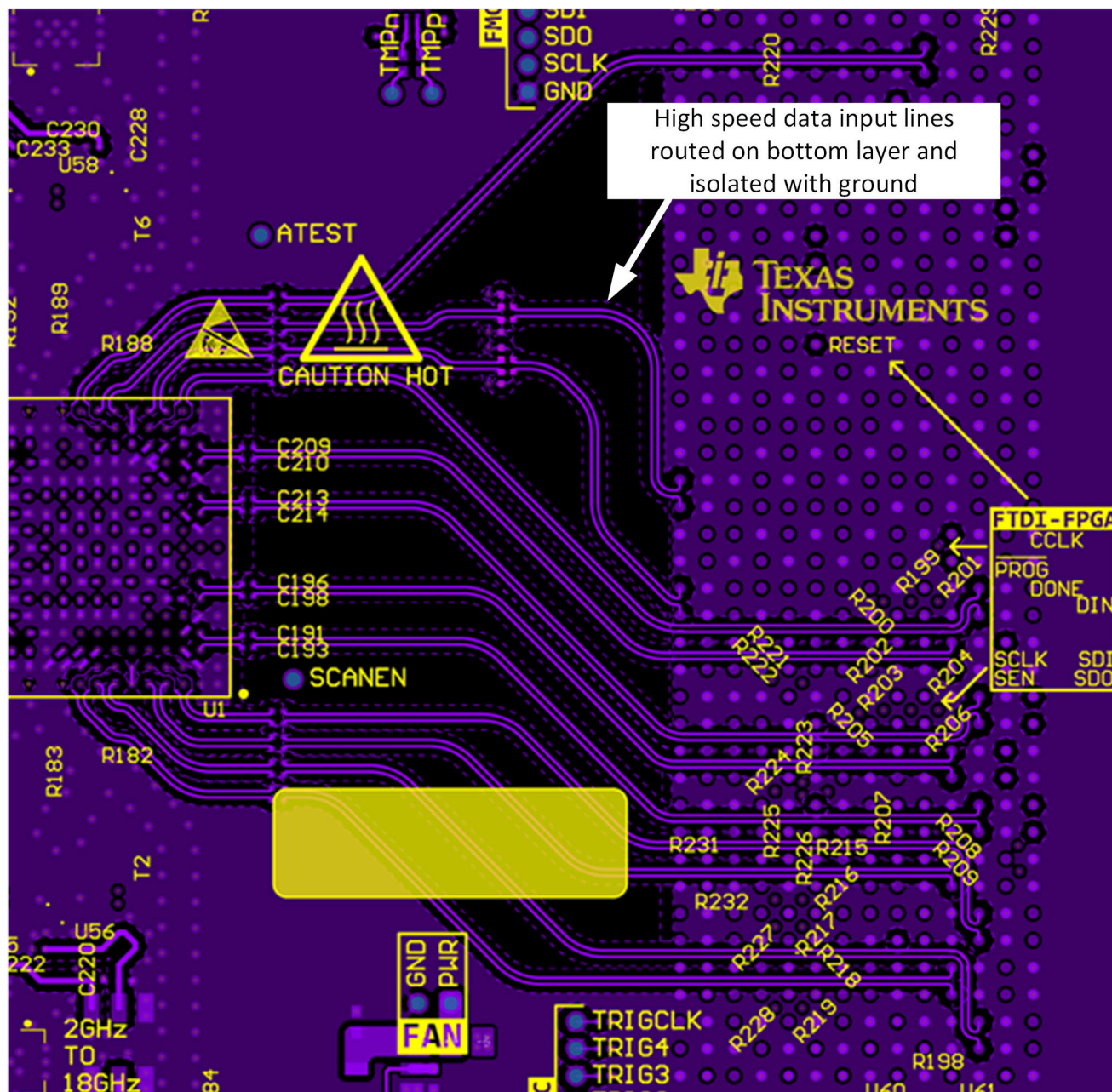


図 9-14. グランド絶縁による Serdes の下層配線

10. クロック振幅を小さくすると、DAC のノイズ性能が低下する可能性があるため、特に高周波数の場合、クロック信号が適切な駆動強度を備えていることを確認してください。この事態を防止するには、パッシブバランを使用してコンバータのサンプリングクロックピンを駆動するか、インターフェイスを実行する場合、クロックソースを DAC の近くに配置する必要があります。トレースの配線が数インチより長い場合、DAC サンプリングクロック入力ピンでのインピーダンスマッチングが必要になる場合があります。

パワープレーンの設計例を 図 9-15 から 図 9-18 に示します。

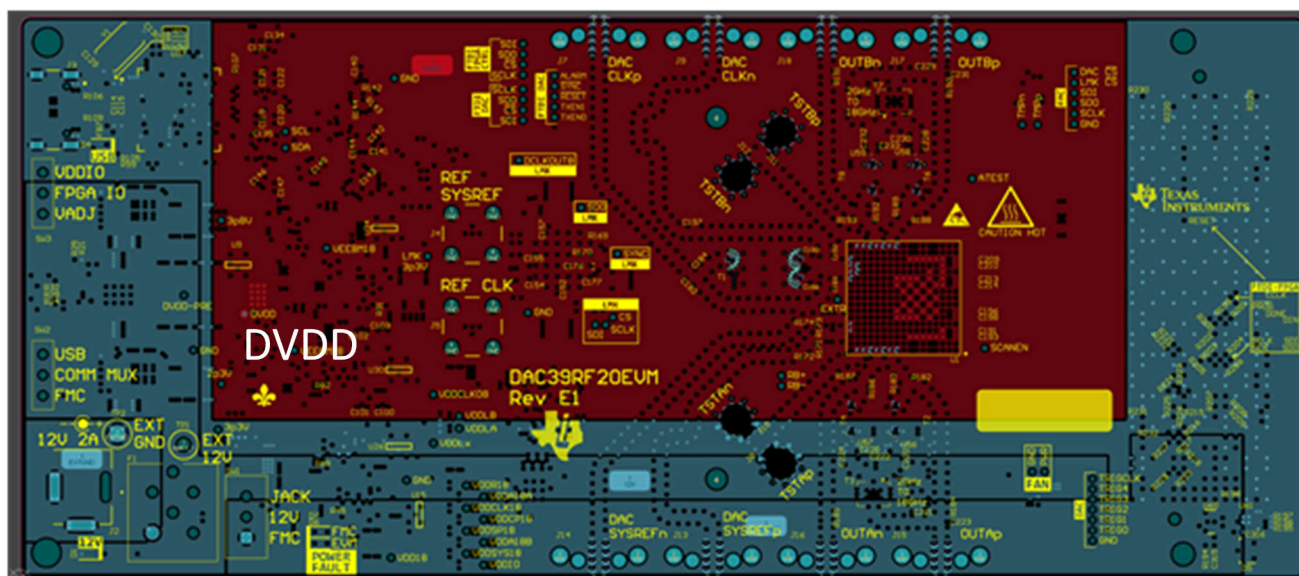


図 9-15. 層 3 の電源プレーンのレイアウト

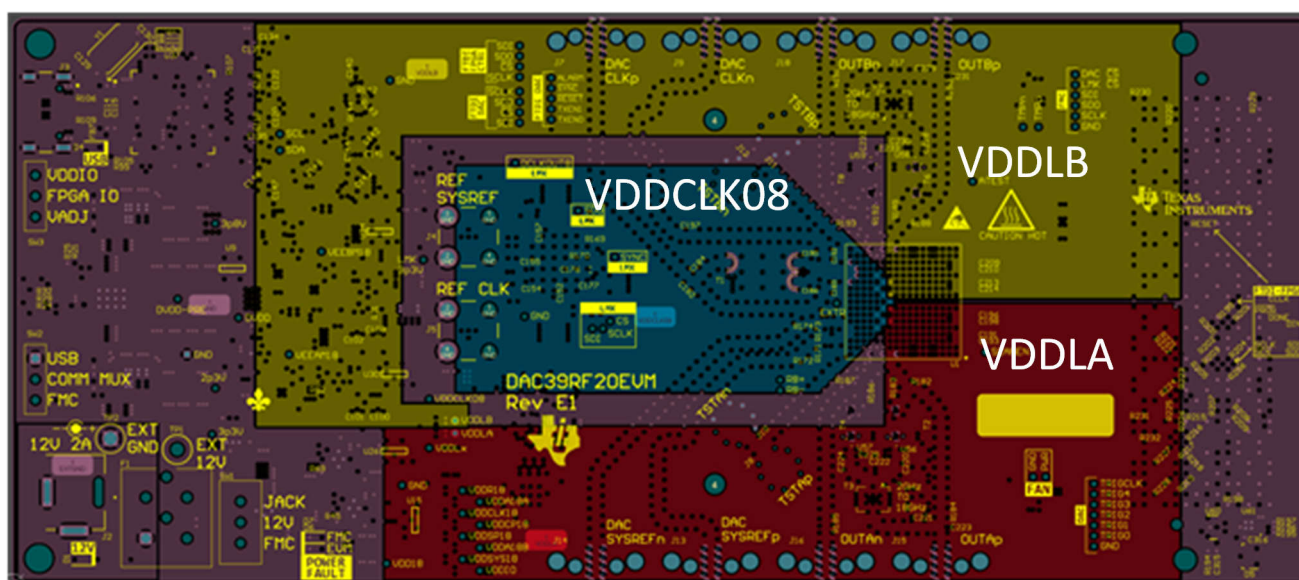


図 9-16. 層 5 の電源プレーンのレイアウト

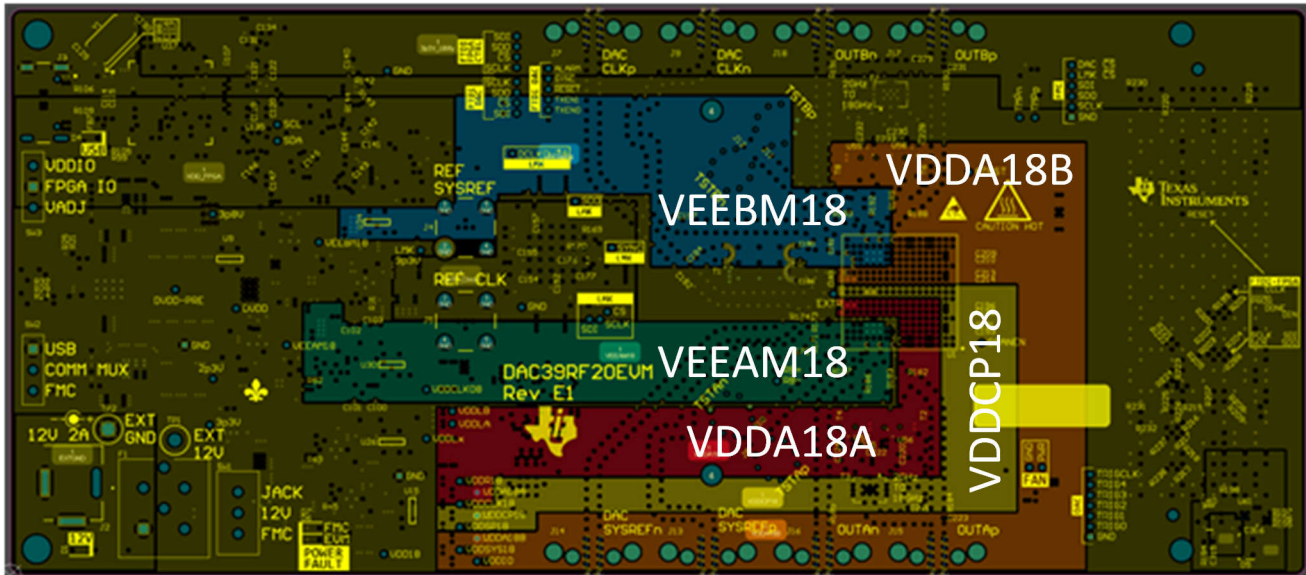


図 9-17. 層 12 の電源プレーンのレイアウト

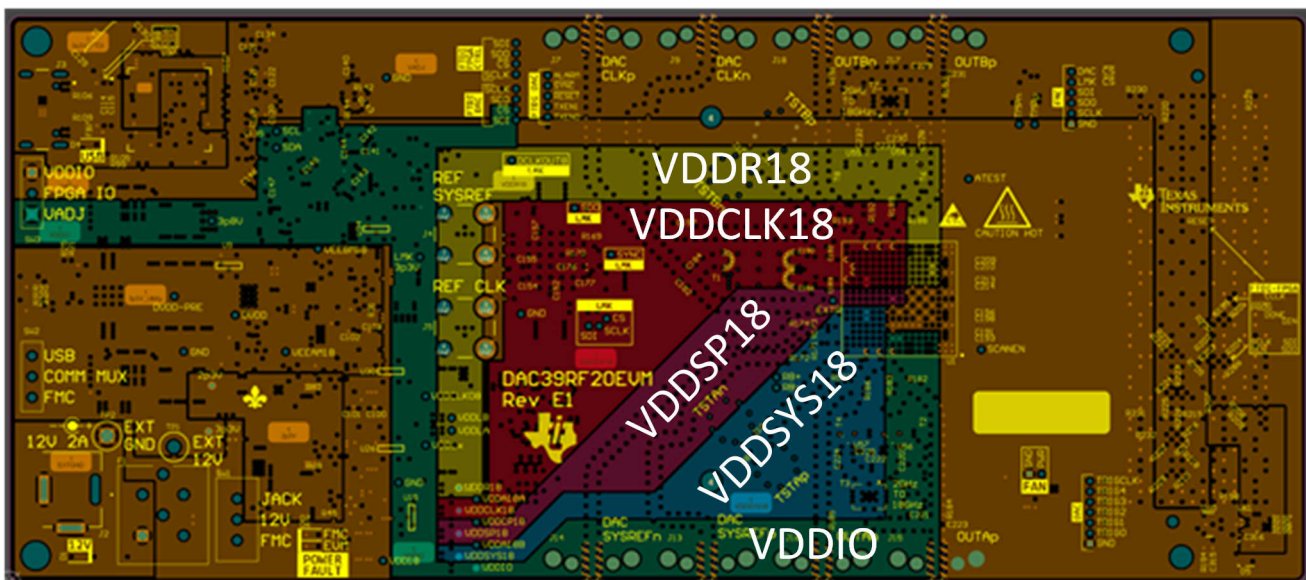


図 9-18. 層 14 の電源プレーンのレイアウト

さらに、TI は、すべての高速 PCB 設計について、以下のような一般的な PCB 製造に関する考慮事項を示すことを推奨します：

1. PCB のスタックアップ内の重要な信号層には、高品質の誘電体材料が使用されています。通常、最上層と最下層が最も重要であり、より多くの基板ハウスで、高品質と標準品質の誘電体材料（ハイブリッドスタックアップとも呼ばれる）を組み合わせることで実装することができます。
2. 必要に応じて、コンバータに堅牢な電力供給システムを提供するために、複数の電力層を使用します。
3. PCB 内で複数のグラウンド、電力、グラウンド層スタックを使用して、PCB 内で高周波デカップリングを開発する場合、これらの層の推奨値は、4mils 以下です。
4. しっかりしたグラウンドプレーンを使用し、損傷を防ぐために、グラウンドプレーンを分割したり、「スロット」を設けたりしてアナログとデジタルの接地バリアや分圧器を作成したりしないでください。

10 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

10.1 ドキュメントのサポート

10.1.1 関連資料

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

テキサス・インスツルメンツ **E2E™ サポート・フォーラム** は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの [使用条件](#) を参照してください。

10.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

WEBENCH® is a registered trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

[テキサス・インスツルメンツ用語集](#)

この用語集には、用語や略語の一覧および定義が記載されています。

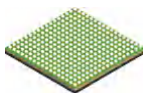
11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
June 2025	*	初版リリース

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

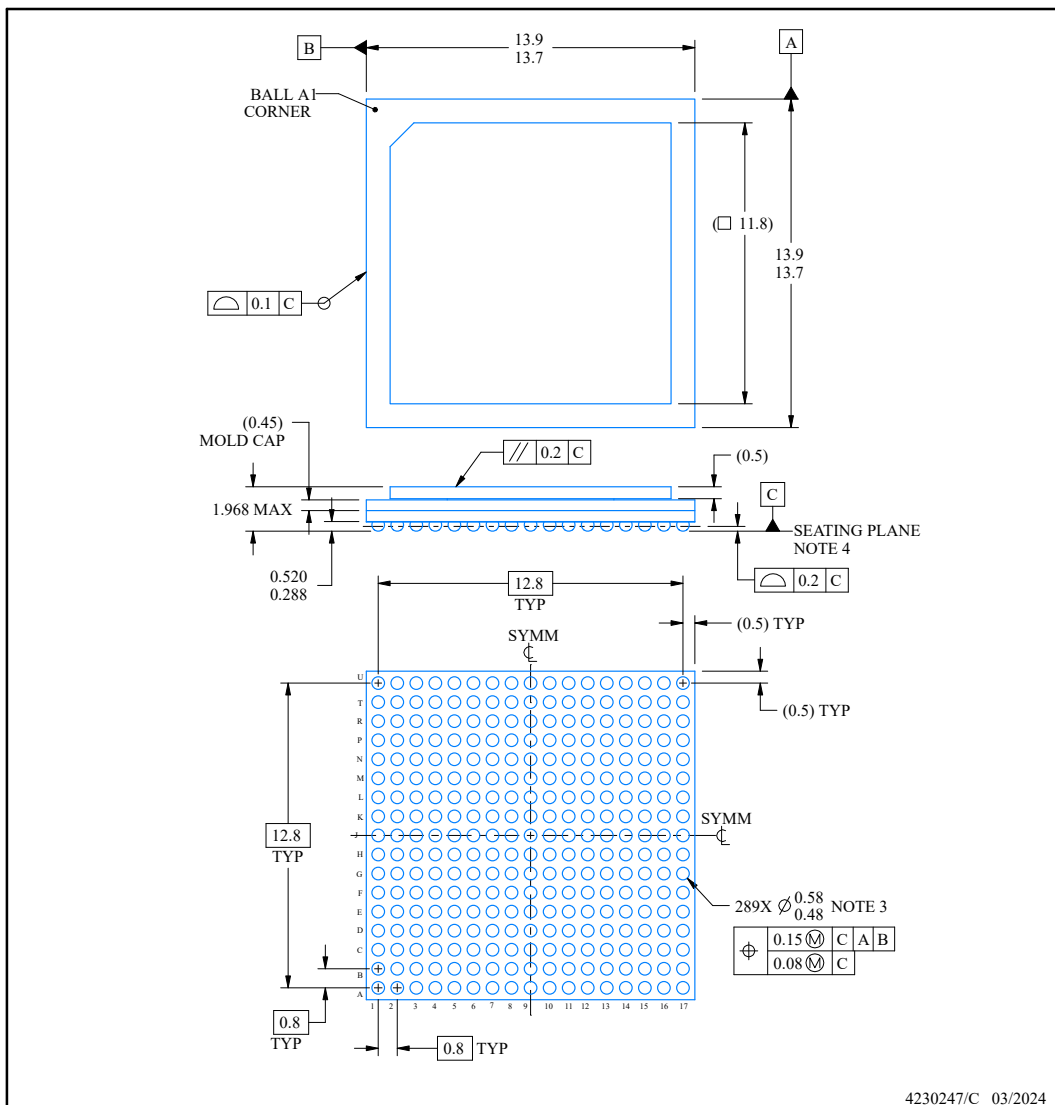


PACKAGE OUTLINE

ANH0289A

FCCSP - 1.968 mm max height

BALL GRID ARRAY



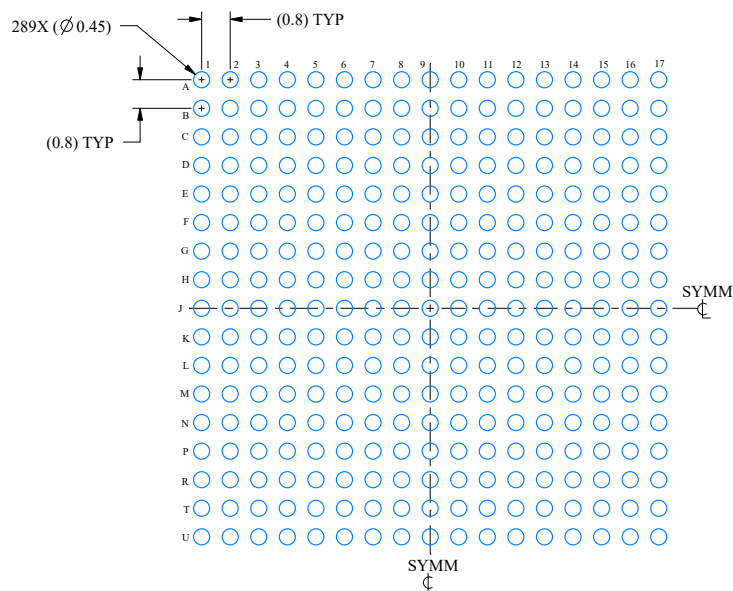
ADVANCE INFORMATION

EXAMPLE BOARD LAYOUT

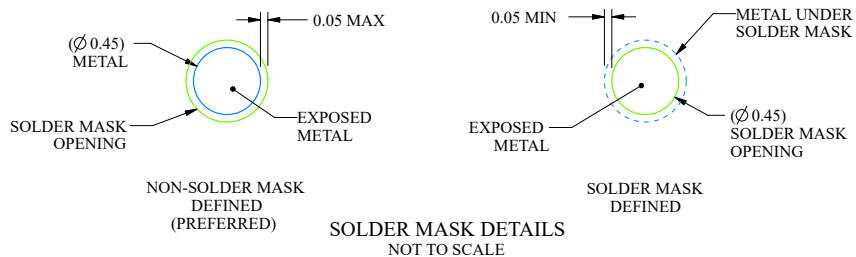
ANH0289A

FCCSP - 1.968 mm max height

BALL GRID ARRAY



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 6X



4230247/C 03/2024

NOTES: (continued)

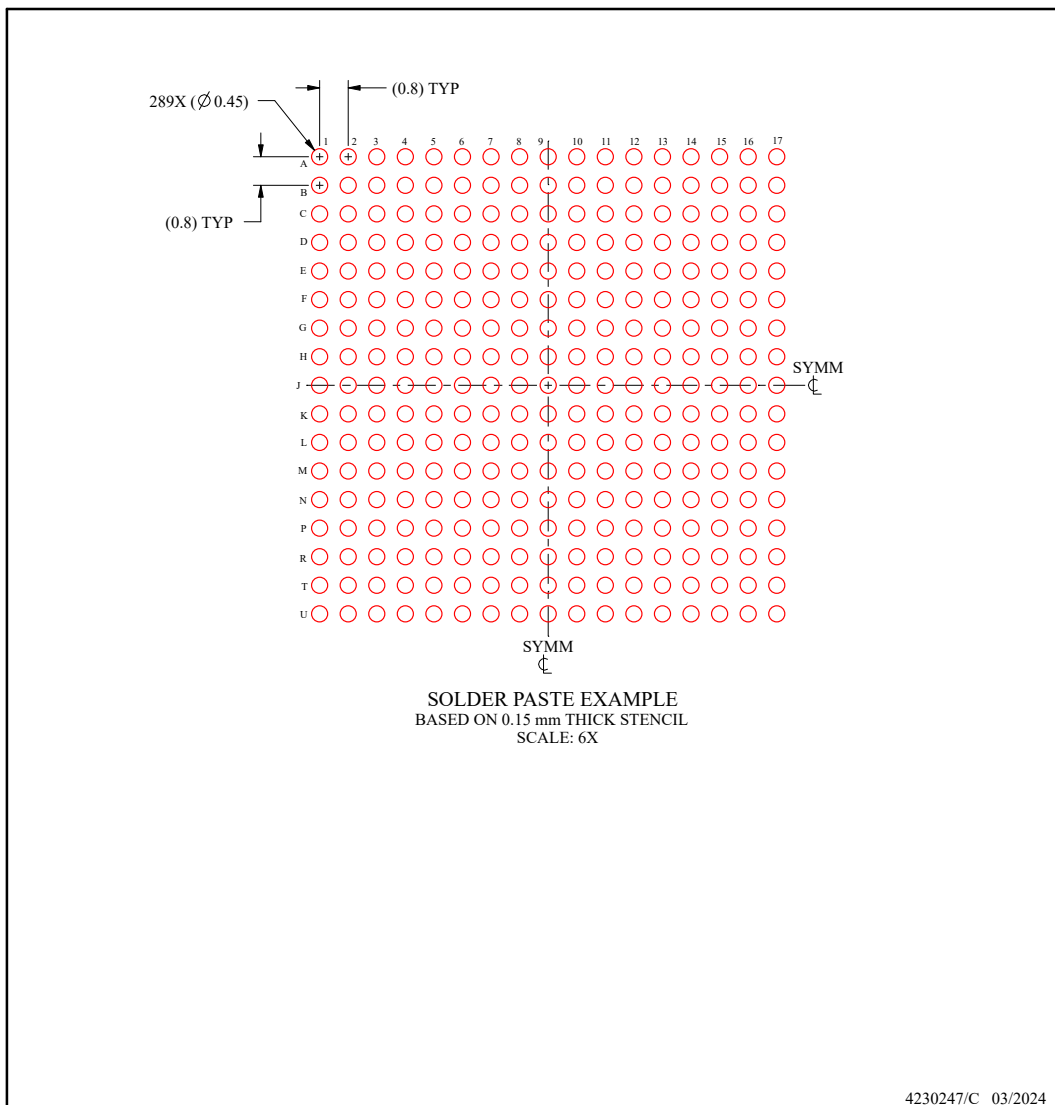
- Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. See Texas Instruments Literature No. SPRU811 (www.ti.com/lit/spru811).

EXAMPLE STENCIL DESIGN

ANH0289A

FCCSP - 1.968 mm max height

BALL GRID ARRAY



NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

ADVANCE INFORMATION

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PDAC39RF20ANH	Active	Preproduction	FCCSP (ANH) 289	90 JEDEC TRAY (5+1)	-	Call TI	Call TI	-40 to 85	

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月