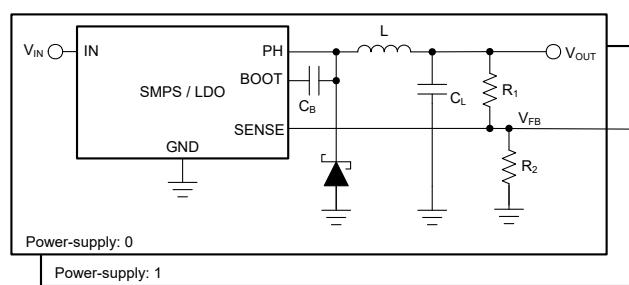


DAC63202W I²C、SPI、またはPMBusTM インターフェイスの自動検出機能付き(DSBGA パッケージ)、12 ビット、デュアル、電圧および電流出力、スマート D/A コンバータ

1 特長

- 柔軟な構成でプログラム可能な電圧または電流出力:
 - 電圧出力:
 - 1LSB DNL
 - 1×、1.5×、2×、3×、4× のゲイン
 - 電流出力:
 - 1LSB INL および DNL (8 ビット)
 - ±25µA、±50µA、±125µA、±250µA の出力範囲を選択可能
- すべてのチャネルでコンパレータ モードをプログラム可能
- VDD オフ時はハイインピーダンス出力
- ハイインピーダンスおよび抵抗性プルダウンのパワーダウン モード
- 50MHz SPI 互換インターフェイス
- I²C、SPI、PMBusTM インターフェイスを自動検出
 - V_{DD} = 5.5V の 1.62V V_{IH}
- さまざまな機能に構成可能な汎用入出力 (GPIO)
- あらかじめ定義された波形生成: 正弦波、余弦波、三角波、のこぎり波
- ユーザーがプログラム可能な不揮発性メモリ (NVM)
- 基準電圧として、内部、外部または電源を使用可能
- 広い動作範囲:
 - 電源: 1.8V ~ 5.5V
 - 温度: -40°C ~ +125°C
- 超小型パッケージ:
 - 16 ピン DSBGA: 1.76mm × 1.76mm (公称値)



2 アプリケーション

- 光学モジュール
- 高性能コンピューティング
- 標準的ノート PC

3 概要

DAC63202W は 12 ビット、デュアル チャネル、バッファ付き、電圧出力および電流出力のスマート D/A コンバータ (DAC) です。DAC63202W デバイスは、ハイインピーダンスのパワーダウン モードと、電源オフ状態でのハイインピーダンス出力をサポートしています。DAC 出力は、プログラマブルなコンパレータおよび電流シンクとして使用するためのフォース センス オプションを備えています。このスマート DAC は、多機能 GPIO、機能生成、およびプログラマ可能不揮発性メモリ (NVM) によって、プロセッサレス アプリケーションや設計の再利用を実現できます。I²C、SPI、PMBusTM インターフェイスを自動的に検出します。また、内部基準電圧を搭載しています。

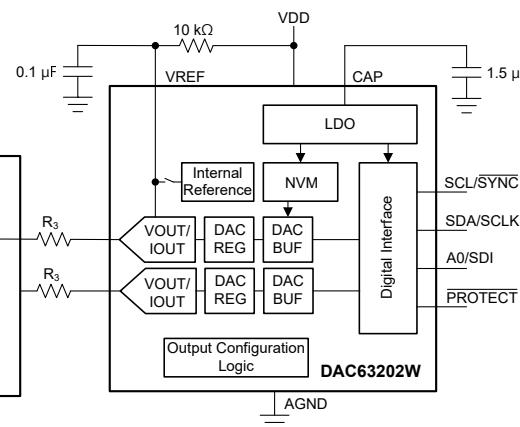
このスマート DAC は、小型パッケージおよび低消費電力という特長を備えており、電圧マージン設定およびスケーリング、バイアスおよびキャリブレーション用の DC セット ポイント、波形生成などの用途に最適です。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
DAC63202W	YBH (DSBGA, 16)	1.76mm × 1.76mm

(1) 詳細については、[セクション 10](#) を参照してください。

(2) パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピントを含みます。



DAC63202W を使用した電圧マージン設定およびスケーリング



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長	1	5.18 代表的特性:電流出力	20
2 アプリケーション	1	5.19 代表的特性:コンパレータ	24
3 概要	1	5.20 代表的特性:総則	25
4 ピン構成および機能	3	6 詳細説明	26
5 仕様	4	6.1 概要	26
5.1 絶対最大定格	4	6.2 機能ブロック図	26
5.2 ESD 定格	4	6.3 機能説明	27
5.3 推奨動作条件	4	6.4 デバイスの機能モード	29
5.4 熱に関する情報	4	6.5 プログラミング	47
5.5 電気的特性:電圧出力	5	6.6 レジスタ マップ	57
5.6 電気的特性:電流出力	7	7 アプリケーションと実装	76
5.7 電気的特性:コンパレータ モード	8	7.1 アプリケーション情報	76
5.8 電気的特性:総則	9	7.2 代表的なアプリケーション	76
5.9 タイミング要件:I ² C スタンダード モード	10	7.3 電源に関する推奨事項	79
5.10 タイミング要件:I ² C 高速モード	10	7.4 レイアウト	79
5.11 タイミング要件:I ² C 高速モード プラス	10	8 デバイスおよびドキュメントのサポート	81
5.12 タイミング要件:SPI 書き込み動作	11	8.1 ドキュメントのサポート	81
5.13 タイミング要件:SPI 読み出しおよびデイジーチェーン動作 (FSDO = 0)	11	8.2 ドキュメントの更新通知を受け取る方法	81
5.14 タイミング要件:SPI 読み出しおよびデイジーチェーン動作 (FSDO = 1)	11	8.3 サポート・リソース	81
5.15 タイミング要件:GPIO	13	8.4 商標	81
5.16 タイミング図	13	8.5 静電気放電に関する注意事項	81
5.17 代表的特性:電圧出力	15	8.6 用語集	81
		9 改訂履歴	81
		10 メカニカル、パッケージ、および注文情報	81

4 ピン構成および機能

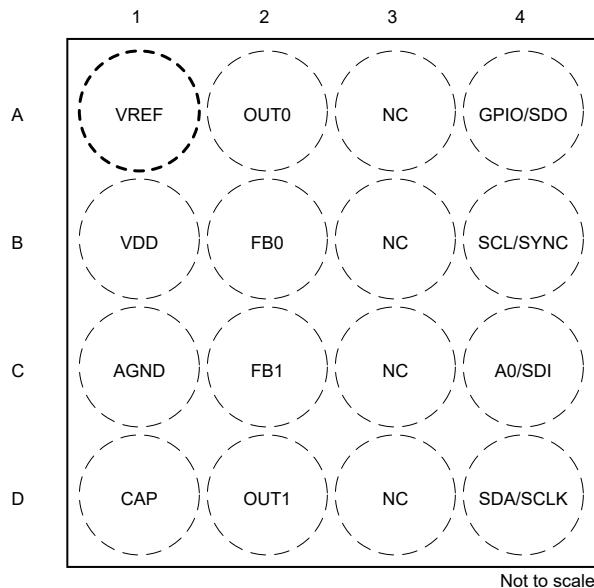


図 4-1. YBH (16 ピン DSBGA) パッケージ、上面図

表 4-1. ピンの機能

番号	ピン 名称	タイプ	説明
A1	VREF	電源	外部基準電圧入力ピン (I)VREF と AGND の間にコンデンサ (約 0.1μF) を接続します。 外部リファレンス電圧を使用しない場合は、VDD にプルアップ抵抗を使用します。このピンは、VDD より前にランプアップしてはいけません。外部リファレンス電圧を使用する場合は、必ず VDD の後にリファレンス電圧が上昇します。
A2	OUT0	出力	DAC チャネル 0 からのアナログ出力電圧。
A3	NC	NC	接続なし。
A4	GPIO/SDO	入力 / 出力	LDAC, PD, PROTECT, RESET, SDO, STATUS として構成可能な汎用入出力。STATUS および SDO の場合、外部プルアップ抵抗を使用してピンを IO 電圧に接続します。使用しない場合は、外付け抵抗を使用して GPIO ピンを VDD または AGND に接続します。このピンは、VDD より前にランプアップしてもかまいません。
B1	VDD	電源	電源電圧。
B2	FB0	入力	チャネル 0 の電圧帰還ピン。電圧出力モードでは、閉ループアンプ出力の場合は OUT0 に接続します。電流出力モードでは、リーク電流を最小限に抑えるため、このピンを未接続のままにします。
B3	NC	NC	接続なし。
B4	SCL/SYNC	出力	I ² C シリアル インターフェイス クロックまたは SPI チップセレクト入力。このピンは、外付けプルアップ抵抗を使用して IO 電圧に接続する必要があります。このピンは、VDD より前にランプアップしてもかまいません。
C1	AGND	グランド	デバイスの全回路のグランド基準点。
C2	FB1	入力	チャネル 1 の電圧帰還ピン。電圧出力モードでは、閉ループアンプ出力の場合は OUT1 に接続します。電流出力モードでは、リーク電流を最小限に抑えるため、このピンを未接続のままにします。
C3	NC	NC	接続なし。
C4	A0/SDI	入力	I ² C または SPI 用シリアルデータ入力のアドレス構成ピン。 A0 の場合、アドレス構成のためにこのピンを VDD, AGND, SDA, SCL のいずれかに接続します (セクション 6.5.2.2.1)。 SDI の場合、このピンをプルアップもプルダウンもする必要はありません。このピンは、VDD より前にランプアップしてもかまいません。
D1	CAP	電源	内部 LDO 用の外部バイパスコンデンサ。CAP と AGND の間にコンデンサ (約 1.5μF) を接続します。
D2	OUT1	出力	DAC チャネル 01 からのアナログ出力電圧
D3	NC	NC	接続なし。
D4	SDA/SCLK	入力 / 出力	双方向 I ² C シリアル データ バスまたは SPI クロック入力。このピンは、I ² C モードでは、外付けプルアップ抵抗を使って IO 電圧に接続する必要があります。このピンは、VDD より前にランプアップしてもかまいません。

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
V_{DD}	電源電圧、 V_{DD} ~ AGND	-0.3	6	V
	デジタル入力 ~ AGND	-0.3	$V_{DD} + 0.3$	V
	V_{FBX} ~ AGND	-0.3	$V_{DD} + 0.3$	V
	V_{OUTX} ~ AGND	-0.3	$V_{DD} + 0.3$	V
V_{REF}	外部リファレンス、 V_{REF} ~ AGND	-0.3	$V_{DD} + 0.3$	V
	OUTx ピン、 V_{DD} ピン、AGND ピンを除く任意のピンに流れ込む電流	-10	10	mA
T_J	接合部温度	-40	150	°C
T_{stg}	保存温度	-65	150	°C

(1) 「絶対最大定格」の範囲外での動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン ⁽¹⁾	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠、すべてのピン ⁽²⁾	±500	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V_{DD}	グランドへの正電源電圧 (AGND)	1.7		5.5	V
V_{REF}	グランドへの外部リファレンス電圧 (AGND)	1.7		V_{DD}	V
V_{IH}	デジタル入力 high 電圧、 $1.7V < V_{DD} \leq 5.5V$		1.62		V
V_{IL}	デジタル入力 low 電圧			0.4	V
C_{CAP}	CAP ピンの外部コンデンサ	0.5		15	μF
T_A	周囲温度	-40		125	°C

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		DAC63202W	単位
		YBH (DSBGA)	
		16 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	80.2	°C/W
$R_{\theta JC(\text{top})}$	接合部からケース (上面) への熱抵抗	0.4	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	18.8	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.2	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	18.8	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

5.5 電気的特性：電圧出力

すべての最小/最大仕様 ($-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$) および標準仕様 ($T_A = 25^{\circ}\text{C}$ 、 $1.7\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$)、DAC リファレンスを V_{DD} に接続、 $\text{GAIN} = 1\times$ 、DAC 出力ピン (OUT) 抵抗性負荷 ($R_L = 5\text{ k}\Omega$ から $\text{AGND} \sim$) および容量性負荷 ($C_L = 200\text{ pF}$ から $\text{AGND} \sim$)、および V_{DD} または AGND でのデジタル入力 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
安定動作					
	分解能	12			ビット
INL	積分非直線性 ⁽¹⁾	-5	5	1	LSB
DNL	微分非直線性 ⁽¹⁾	-1	1	1	LSB
	ゼロコード誤差 ⁽⁴⁾	コード 0d を DAC \sim 、外部リファレンス、 $V_{\text{DD}} = 5.5\text{V}$	6	12	
		コード 0d を DAC \sim 、内部 V_{REF} 、ゲイン = 4 \times 、 $V_{\text{DD}} = 5.5\text{V}$	6	15	mV
	ゼロコード誤差の温度係数 ⁽⁴⁾		± 10		$\mu\text{V}/^{\circ}\text{C}$
	オフセット誤差 ^{(4) (6)}	1.7V $\leq V_{\text{DD}} < 2.7\text{V}$ 、 V_{FB} ピンを V_{OUT} に短絡、DAC コード: 32d	-0.75	0.3	0.75
		2.7V $\leq V_{\text{DD}} \leq 5.5\text{V}$ 、 V_{FB} ピンを V_{OUT} に短絡、DAC コード: 32d	-0.5	0.25	0.5
	オフセット誤差の温度係数 ⁽⁴⁾	V_{FB} ピンを V_{OUT} に短絡、DAC コード: 32d	± 0.0003		%FSR/°C
	ゲイン誤差 ⁽⁴⁾	エンドポイントコード間: 32d ~ 4064d	-0.5	0.25	0.5
	ゲイン誤差の温度係数 ⁽⁴⁾	エンドポイントコード間: 32d ~ 4064d	± 0.0008		%FSR/°C
	フルスケール誤差 ^{(4) (6)}	1.7V $\leq V_{\text{DD}} < 2.7\text{V}$ 、フルスケールの DAC	-1	1	
		2.7V $\leq V_{\text{DD}} \leq 5.5\text{V}$ 、フルスケールの DAC	-0.5	0.5	
	フルスケール誤差の温度係数 ⁽⁴⁾	フルスケールの DAC	± 0.0008		%FSR/°C
出力					
	出力電圧	V_{DD} にリンクされたリファレンス電圧	0	V_{DD}	V
C_L	容量性負荷 ⁽²⁾	$R_L = \text{無限大}$ 、位相マージン = 30°		200	
		位相マージン = 30°		1000	pF
	短絡電流	$V_{\text{DD}} = 1.7\text{V}$ 、フルスケール出力を AGND に短絡、またはゼロスケール出力を V_{DD} に短絡	15		
		$V_{\text{DD}} = 2.7\text{V}$ 、フルスケール出力を AGND に短絡、またはゼロスケール出力を V_{DD} に短絡	50		mA
		$V_{\text{DD}} = 5.5\text{V}$ 、フルスケール出力を AGND に短絡、またはゼロスケール出力を V_{DD} に短絡	60		
	出力電圧ヘッドルーム ⁽²⁾	V_{DD} まで (DAC 出力無負荷、内部リファレンス = 1.21V)、 $V_{\text{DD}} \geq 1.21\text{V} \times \text{ゲイン} + 0.2\text{V}$	0.2		V
		V_{DD} および $\text{AGND} \sim$ (DAC 出力無負荷、 V_{DD} の外部リファレンス電圧 (ゲイン = 1 \times)、 V_{REF} ピンは V_{DD} に短絡していません)	0.8		
		V_{DD} および $\text{AGND} \sim$ ($V_{\text{DD}} = 5.5\text{V}$ で $I_{\text{LOAD}} = 10\text{mA}$ 、 $V_{\text{DD}} = 2.7\text{V}$ で $I_{\text{LOAD}} = 3\text{mA}$ 、 $V_{\text{DD}} = 1.8\text{V}$ で $I_{\text{LOAD}} = 1\text{mA}$)、 V_{DD} (ゲイン = 1 \times) で外部リファレンス、 V_{REF} ピンは V_{DD} に短絡していません)	10		%FSR
Z_O	V_{FB} dc 出力インピーダンス ⁽³⁾	DAC 出力有効、内部リファレンス (ゲイン = 1.5 \times または 2 \times) または V_{DD} で外部リファレンス (ゲイン = 1 \times)、 V_{REF} ピンは V_{DD} に短絡していません	400	500	600
		DAC 出力有効、内部 V_{REF} 、ゲイン = 3 \times または 4 \times	325	400	485
	電源除去比 (DC)	内部 V_{REF} 、ゲイン = 2 \times 、ミッドスケールで DAC、 $V_{\text{DD}} = 5\text{V} \pm 10\%$	0.25		mV/V

5.5 電気的特性：電圧出力 (続き)

すべての最小/最大仕様 ($-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$) および標準仕様 ($T_A = 25^{\circ}\text{C}$ 、 $1.7\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$)、DAC リファレンスを V_{DD} に接続、 $\text{GAIN} = 1\times$ 、DAC 出力ピン (OUT) 抵抗性負荷 ($R_L = 5\text{ k}\Omega$ から AGND へ) および容量性負荷 ($C_L = 200\text{ pF}$ から AGND へ)、および V_{DD} または AGND でのデジタル入力 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
ダイナミック性能					
t_{sett}	出力電圧セッティング時間	1/4 から 3/4 スケール、3/4 から 1/4 へのスケールで 10% FSR にセッティング、 $V_{\text{DD}} = 5.5\text{V}$	20	μs	
		1/4 から 3/4 スケール、3/4 から 1/4 へのスケールで 10% FSR にセッティング、 $V_{\text{DD}} = 5.5\text{V}$ 、内部 V_{REF} 、ゲイン = 4 \times	25		
スルー レート	$V_{\text{DD}} = 5.5\text{V}$	0.3			$\text{V}/\mu\text{s}$
電源オン時のグリッチ振幅	スタートアップ時 (DAC 出力無効)	75	mV		
	スタートアップ時 (DAC 出力無効)、 $R_L = 100\text{k}\Omega$	200			
出力有効時のグリッチ振幅	DAC 出力無効から有効化へ (ゼロスケールの DAC レジスター)、 $R_L = 100\text{k}\Omega$	250			mV
V_n	出力ノイズ電圧 (ピークツーピーク)	$f = 0.1\text{Hz} \sim 10\text{Hz}$ 、ミッドスケールの DAC、 $V_{\text{DD}} = 5.5\text{V}$	50	μV _{PP}	
		内部 V_{REF} 、ゲイン = 4 \times 、 $f = 0.1\text{Hz} \sim 10\text{Hz}$ 、ミッドスケールで DAC、 $V_{\text{DD}} = 5.5\text{V}$	90		
出力ノイズ 密度	$f = 1\text{kHz}$ 、ミッドスケールの DAC、 $V_{\text{DD}} = 5.5\text{V}$	0.35	μV/ $\sqrt{\text{Hz}}$		
	内部 V_{REF} 、ゲイン = 4 \times 、 $f = 1\text{kHz}$ 、ミッドスケールで DAC、 $V_{\text{DD}} = 5.5\text{V}$	0.9			
電源除去比 (AC) ⁽³⁾	内部 V_{REF} 、ゲイン = 4 \times 、200mV 50Hz または 60Hz 正弦波を電源電圧に重畠、DAC はミッドスケール	-68			dB
コード書き換えによるグリッチ インパルス	ミッドスケール付近で $\pm 1\text{LSB}$ の変化 (フィードスルーを含む)	10			nV·s
コード書き換えによるグリッチ インパルス振幅	ミッドスケール付近で $\pm 1\text{LSB}$ の変化 (フィードスルーを含む)	15			mV
電源					
I_{DD}	V_{DD} に流れる電流 ^{(4) (5)}	通常動作、フルスケールの DAC、デジタルピンは静的、 V_{DD} の外部リファレンス電圧ですが、 V_{REF} ピンは V_{DD} に短絡していません	150		$\mu\text{A}/\text{ch}$

- (1) DAC 出力を無負荷の状態で測定。外部リファレンス電圧と内部リファレンス $V_{\text{DD}} \geq 1.21 \times \text{ゲイン} + 0.2\text{V}$ の場合、エンドポイントコードの間: 32d ~ 4064d。
- (2) 設計と特性評価による仕様で、製造テストは未実施。
- (3) 内部リファレンスを使用する場合、リファレンス値に対して 200mV のヘッドルームで規定。
- (4) DAC 出力を無負荷の状態で測定。
- (5) 総消費電力は、 $I_{\text{DD}} \times (\text{電源オンされるチャネルの合計数}) + (\text{スリープモード電流})$ で計算されます。
- (6) DAC チャネルが長期的に IOUT モードに構成されてから VOUT モードに切り替わると、VOUT モードにパラメータドリフトが生じる可能性があります。

5.6 電気的特性：電流出力

すべての最小/最大仕様 ($-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$) と、 $T_A = 25^{\circ}\text{C}$ 、 $1.7\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$ 、 $\pm 250\mu\text{A}$ の出力範囲、 V_{DD} または AGND におけるデジタル入力 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
安定動作					
	分解能	8			ビット
INL	積分非直線性	-1	1	1	LSB
DNL	微分非直線性	-1	1	1	LSB
	オフセット エラー	DAC 出力範囲: $\pm 25\mu\text{A}$ 、 $\pm 50\mu\text{A}$ 、 $\pm 125\mu\text{A}$ 、 $\pm 250\mu\text{A}$ 、ミッドスケールの DAC		± 1	%FSR
	ゲイン誤差	DAC 出力範囲: $\pm 25\mu\text{A}$ 、 $\pm 50\mu\text{A}$ 、 $\pm 125\mu\text{A}$ 、および $\pm 250\mu\text{A}$ 、 $0\text{d} \sim 255\text{d}$ の DAC コード		± 1.3	%FSR
出力					
	出力コンプライアンス電圧 ⁽¹⁾	DAC 出力範囲: $\pm 25\mu\text{A}$ 、 $\pm 50\mu\text{A}$ 、 $\pm 125\mu\text{A}$ 、および $\pm 250\mu\text{A}$ 、 V_{DD} および AGND へ		400	mV
Z_o	$I_{\text{OUT DC}}$ 出力インピーダンス ⁽²⁾	ミッドスケールの DAC、DAC 出力は $V_{\text{DD}}/2$ に維持		60	$\text{M}\Omega$
	電源除去比 (DC)	ミッドスケールの DAC、すべてのバイポーラ レンジ、 V_{DD} が 4.5V から 5.5V に変化		0.23	LSB/V
ダイナミック性能					
t_{sett}	出力電流セッティングタイム	1/4 ~ 3/4 スケールおよび 3/4 ~ 1/4 スケール、8 ビット解像度で 1LSB にセッティング、 $V_{\text{DD}} = 5.5\text{V}$ 、 OUTx ピンが $V_{\text{DD}}/2$ の時の同相電圧		60	μs
V_n	出力ノイズ電流 (ピークツーピーク)	$0.1\text{Hz} \sim 10\text{Hz}$ 、ミッドスケールの DAC、 $V_{\text{DD}} = 5.5\text{V}$ 、 $\pm 250\mu\text{A}$ の出力範囲		150	nA_{PP}
	出力ノイズ 密度	$f = 1\text{kHz}$ 、ミッドスケールの DAC、 $V_{\text{DD}} = 5.5\text{V}$ 、 $\pm 250\mu\text{A}$ 出力範囲		1	$\text{nA}/\sqrt{\text{Hz}}$
	電源除去比 (AC) ⁽³⁾	$\pm 250\mu\text{A}$ の出力範囲、電源電圧に重畠された 200mV 50Hz または 60Hz の正弦波、ミッドスケールの DAC		0.65	LSB/V
電源					
I_{DD}	V _{DD} に流れる電流 ^{(3) (4)}	通常動作、フルスケールの DAC、 $\pm 25\mu\text{A}$ の出力範囲、デジタルピンは静的		42	50
		通常動作、フルスケールの DAC、 $\pm 50\mu\text{A}$ の出力範囲、デジタルピンは静的		56	70
		通常動作、フルスケールの DAC、 $\pm 125\mu\text{A}$ の出力範囲、デジタルピンは静的		98	120
		通常動作、フルスケールの DAC、 $\pm 250\mu\text{A}$ の出力範囲、デジタルピンは静的		167	200

(1) DAC コード $0\text{d} \sim 255\text{d}$ で測定。

(2) 設計と特性評価による仕様で、製造テストは未実施。

(3) V_{DD} に流れる電流は、 OUTx ピンに供給される負荷電流またはシンク電流は考慮されていません。 V_{REF} ピンは V_{DD} に接続されています。

(4) 総消費電力は、 $I_{\text{DD}} \times$ (電源オンされるチャネルの合計数) + (スリープモード電流) で計算されます。

5.7 電気的特性：コンパレータモード

すべての最小/最大仕様 ($-40^{\circ}\text{C} \leq T_A \leq 125^{\circ}\text{C}$) および標準仕様 ($T_A = 25^{\circ}\text{C}$ 、 $1.7\text{V} \leq V_{DD} \leq 5.5\text{V}$)、DAC リファレンスを VDD に接続、GAIN = 1x (電圧出力モードまたは電流出力モードでは $\pm 250\mu\text{A}$ の出力範囲)、DAC 出力ピン (OUT) 抵抗性負荷 ($R_L = 5\text{k}\Omega$ から AGND へ) および容量性負荷 ($C_L = 200\text{pF}$ から AGND へ)、および VDD または AGND でのデジタル入力 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
安定動作					
オフセット誤差 ⁽¹⁾ ⁽²⁾	$1.7\text{V} \leq V_{DD} \leq 5.5\text{V}$ 、ミッドスケールの DAC、Hi-Z のコンパレータ入力、外部リファレンス電圧で動作する DAC で測定。	-6	0	6	mV
オフセット誤差の時間ドリフト ⁽¹⁾	$V_{DD} = 5.5\text{V}$ 、外部リファレンス、 $T_A = 125^{\circ}\text{C}$ 、FB はハイインピーダンスモード、DAC はフルスケール、 V_{FB} は 0V 、または DAC はゼロスケール、 V_{FB} は 1.84V 、ドリフトは 10 年間の連続動作に対して指定されています		4		mV
出力					
入力電圧	V_{REF} は V_{DD} に接続し、 V_{FB} 抵抗ネットワークはグランドに接続する	0	V_{DD}		V
	V_{REF} は V_{DD} に接続し、 V_{FB} 抵抗ネットワークはグランドから切り離す	0	V_{DD} ($1/3 - 1/100$)		
V_{OL}	ロジック Low 出力電圧	$I_{LOAD} = 100\mu\text{A}$ 、オーブンドレイン モードでの出力	0.1		V
ダイナミック性能					
t_{resp}	出力応答時間	DAC はミッドスケールで 10 ビットの分解能、FB 入力はハイインピーダンス、FB ノードでの遷移ステップは ($V_{DAC} - 2\text{LSB}$) から ($V_{DAC} + 2\text{LSB}$)、遷移時間は出力の 10% から 90% の間で測定。出力電流は $100\mu\text{A}$ 、コンパレータ出力はプッシュプル モードに設定、DAC 出力での負荷コンデンサは 25pF	10		μs

- (1) 設計と特性評価による仕様で、製造テストは未実施。
 (2) この仕様には、DAC の合計未調整誤差 (TUE) は含まれていません。

5.8 電気的特性：総則

すべての最小/最大仕様 ($-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$) および標準仕様 ($T_A = 25^{\circ}\text{C}$ 、 $1.7\text{V} \leq V_{DD} \leq 5.5\text{V}$)、DAC リファレンスを VDD に接続、 $\text{GAIN} = 1\times$ (電圧出力モードでは $\pm 250\mu\text{A}$ の出力範囲、電流出力モードでは $\pm 250\mu\text{A}$ の出力範囲)、DAC 出力ピン (OUT) 抵抗性負荷 ($R_L = 5\text{k}\Omega$ から AGND へ) および容量性負荷 ($C_L = 200\text{pF}$ から AGND へ)、および VDD または AGND でのデジタル入力 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
内部リファレンス					
初期精度	$T_A = 25^{\circ}\text{C}$	1.1979	1.212	1.224	V
リファレンス出力の温度係数 ^{(1) (2)}			50		ppm/ $^{\circ}\text{C}$
EXTERNAL REFERENCE					
V_{REF} 入力インピーダンス ^{(1) (3)}		192			$\text{k}\Omega/\text{ch}$
EEPROM					
耐久性 ⁽¹⁾	$-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ $T_A = 125^{\circ}\text{C}$	20000			サイクル
データ保持期間 ⁽¹⁾	$T_A = 25^{\circ}\text{C}$	50			年
EEPROM プログラミング書き込みサイクル時間 ⁽¹⁾		200			ms
デバイスの起動時間 ⁽¹⁾	電源有効 ($V_{DD} \geq 1.7\text{V}$) から出力有効状態 (EEPROM にプログラムされた出力状態) までの所要時間、CAP ピンの $0.5\mu\text{F}$ コンデンサ	5			ms
デジタル入力					
デジタル フィードスルー	電圧出力モード、ミッドスケールの DAC 出力の静的、高速モードプラス、SCL トグル	20			nV-s
I_{DD}	V_{DD} に流れる電流	スリープモードでの DAC、内部リファレンスはパワーダウン、 5.5V での外部リファレンス電圧	28		μA
I_{DD}	V_{DD} に流れる電流 ⁽¹⁾	スリープモードで DAC、内部リファレンス有効、内部リファレンスを流れる追加電流	10		μA
I_{DD}	V_{DD} に流れる電流 ⁽¹⁾	DAC チャネル有効、内部リファレンス有効、電圧出力モードで DAC チャネルごとの内部リファレンスを流れる追加電流	12.5		μA
	ピン容量 1	ピンごと	10		pF
パワーダウン モード					
ハイインピーダンス出力					
I_{LEAK}	V_{OUTX} および V_{FBX} に流れる電流	ハイインピーダンス出力モードの DAC、 $1.7\text{V} \leq V_{DD} \leq 5.5\text{V}$	10		nA
		$V_{DD} = 0\text{V}$ 、 $V_{OUT} \leq 1.5\text{V}$ 、 V_{DD} と AGND = $0.1\mu\text{F}$ の間のデカップリングコンデンサ	200		nA
		$V_{DD} = 0\text{V}$ 、 $1.5\text{V} < V_{OUT} \leq 5.5\text{V}$ 、 V_{DD} と AGND = $0.1\mu\text{F}$ の間のデカップリングコンデンサ	500		nA
		V_{DD} と AGND 間の抵抗は $100\text{k}\Omega$ 、 $V_{OUT} \leq 1.25\text{V}$ 、OUT ピンの直列抵抗は $10\text{k}\Omega$	± 2		μA

- (1) 設計と特性評価による仕様で、製造テストは未実施。
(2) -40°C および 125°C で測定し、勾配率を計算します。
(3) DAC チャネルのインピーダンスは並列に接続されています。

5.9 タイミング要件 : I²C スタンダード モード

すべての入力信号は、V_{IL} から 70% の V_{pull-up}、1.7V ≤ V_{DD} ≤ 5.5V、−40°C ≤ T_A ≤ +125°C、および 1.7V ≤ V_{pull-up} ≤ V_{DD} V で時間を測定します

		最小値	公称値	最大値	単位
f _{SCLK}	SCL 周波数			100	kHz
t _{BUF}	停止条件と始動条件の間のバス解放時間	4.7			μs
t _{HDSTA}	リピート スタート後のホールド時間	4			μs
t _{SUSTA}	繰り返しスタートのセットアップ時間	4.7			μs
t _{SUSTO}	STOP 条件のセットアップ時間	4			μs
t _{HDDAT}	データ ホールド時間	0			ns
t _{SUDAT}	データ セットアップ時間	250			ns
t _{LOW}	SCL クロックの Low 期間	4700			ns
t _{HIGH}	SCL クロックの High 期間	4000			ns
t _F	クロック / データの立ち下がり時間			300	ns
t _R	クロック / データの立ち上がり時間			1000	ns
t _{VDDAT}	データ有効時間、R = 360Ω、C _{TRACE} = 23pF、C _{PROBE} = 10pF			3.45	μs
t _{VDACK}	データ アクノリッジ時間、R = 360Ω、C _{TRACE} = 23pF、C _{PROBE} = 10pF			3.45	μs

5.10 タイミング要件 : I²C 高速モード

すべての入力信号は、V_{IL} から 70% の V_{pull-up}、1.7V ≤ V_{DD} ≤ 5.5V、−40°C ≤ T_A ≤ +125°C、および 1.7V ≤ V_{pull-up} ≤ V_{DD} V で時間を測定します

		最小値	公称値	最大値	単位
f _{SCLK}	SCL 周波数			400	kHz
t _{BUF}	停止条件と始動条件の間のバス解放時間	1.3			μs
t _{HDSTA}	リピート スタート後のホールド時間	0.6			μs
t _{SUSTA}	繰り返しスタートのセットアップ時間	0.6			μs
t _{SUSTO}	STOP 条件のセットアップ時間	0.6			μs
t _{HDDAT}	データ ホールド時間	0			ns
t _{SUDAT}	データ セットアップ時間	100			ns
t _{LOW}	SCL クロックの Low 期間	1300			ns
t _{HIGH}	SCL クロックの High 期間	600			ns
t _F	クロック / データの立ち下がり時間			300	ns
t _R	クロック / データの立ち上がり時間			300	ns
t _{VDDAT}	データ有効時間、R = 360Ω、C _{TRACE} = 23pF、C _{PROBE} = 10pF			0.9	μs
t _{VDACK}	データ アクノリッジ時間、R = 360Ω、C _{TRACE} = 23pF、C _{PROBE} = 10pF			0.9	μs

5.11 タイミング要件 : I²C 高速モード プラス

すべての入力信号は、V_{IL} から 70% の V_{pull-up}、1.7V ≤ V_{DD} ≤ 5.5V、−40°C ≤ T_A ≤ +125°C、および 1.7V ≤ V_{pull-up} ≤ V_{DD} V で時間を測定します

		最小値	公称値	最大値	単位
f _{SCLK}	SCL 周波数			1	MHz
t _{BUF}	停止条件と始動条件の間のバス解放時間	0.5			μs
t _{HDSTA}	リピート スタート後のホールド時間	0.26			μs
t _{SUSTA}	繰り返しスタートのセットアップ時間	0.26			μs
t _{SUSTO}	STOP 条件のセットアップ時間	0.26			μs
t _{HDDAT}	データ ホールド時間	0			ns
t _{SUDAT}	データ セットアップ時間	50			ns
t _{LOW}	SCL クロックの Low 期間	0.5			μs
t _{HIGH}	SCL クロックの High 期間	0.26			μs

すべての入力信号は、VIL から 70% の $V_{\text{pull-up}}$ 、 $1.7V \leq V_{\text{DD}} \leq 5.5V$ 、 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ 、および $1.7V \leq V_{\text{pull-up}} \leq V_{\text{DD}}$ V で時間測定します

		最小値	公称値	最大値	単位
t_F	クロック / データの立ち下がり時間			120	ns
t_R	クロック / データの立ち上がり時間			120	ns
t_{VDDAT}	データ有効時間、 $R = 360\Omega$ 、 $C_{\text{TRACE}} = 23\text{pF}$ 、 $C_{\text{PROBE}} = 10\text{pF}$			0.45	μs
t_{VDACK}	データアクリッジ時間、 $R = 360\Omega$ 、 $C_{\text{TRACE}} = 23\text{pF}$ 、 $C_{\text{PROBE}} = 10\text{pF}$			0.45	μs

5.12 タイミング要件 : SPI 書き込み動作

すべての入力信号は、 $t_r = t_f = 1 \text{ V/ns}$ (10% ~ 90% の V_{IO}) で指定され、 $(V_{\text{IL}} + V_{\text{IH}})/2$ 、 $1.7V \leq V_{\text{IO}} \leq 5.5V$ 、 $1.7V \leq V_{\text{DD}} \leq 5.5V$ 、および $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ の電圧レベルから時間が計測されます。

		最小値	公称値	最大値	単位
f_{SCLK}	シリアル クロック周波数			50	MHz
t_{SCLKHIGH}	SCLK High 時間	9			ns
t_{SCLKLOW}	SCLK Low 時間	9			ns
t_{SDIS}	SDI のセットアップ時間	8			ns
t_{SDIH}	SDI のホールド時間	8			ns
t_{CSS}	$\overline{\text{CS}}$ から SCLK 立ち下がりエッジまでのセットアップ時間	18			ns
t_{CSH}	SCLK 立ち下がりエッジから $\overline{\text{CS}}$ 立ち上がりエッジまで	10			ns
t_{CSHIGH}	$\overline{\text{CS}}$ high 時間	50			ns
t_{DACKWAIT}	同じチャンネルの連続 DAC 更新待機時間 (後続の $\overline{\text{LDAC}}$ 立ち下がりエッジ間の時間)	2			μs
$t_{\text{BCASTWAIT}}$	ブロードキャスト DAC 更新待機時間 (後続の $\overline{\text{LDAC}}$ 立ち下がりエッジ間の時間)	2			μs

5.13 タイミング要件 : SPI 読み出しおよびデイジー チェーン動作 (FSDO = 0)

すべての入力信号は、 $t_r = t_f = 1 \text{ V/ns}$ (10% ~ 90% の V_{IO}) で指定され、 $(V_{\text{IL}} + V_{\text{IH}})/2$ 、 $1.7V \leq V_{\text{IO}} \leq 5.5V$ 、 $1.7V \leq V_{\text{DD}} \leq 5.5V$ 、および $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ および $\text{FSDO} = 0$ の電圧レベルから時間が計測されます。

		最小値	公称値	最大値	単位
f_{SCLK}	シリアル クロック周波数			1.25	MHz
t_{SCLKHIGH}	SCLK High 時間	350			ns
t_{SCLKLOW}	SCLK Low 時間	350			ns
t_{SDIS}	SDI のセットアップ時間	8			ns
t_{SDIH}	SDI のホールド時間	8			ns
t_{CSS}	$\overline{\text{SYNC}}$ から SCLK 立ち下がりエッジまでのセットアップ時間	400			ns
t_{CSH}	SCLK 立ち下がりエッジから $\overline{\text{SYNC}}$ 立ち上がりエッジまで	400			ns
t_{CSHIGH}	$\overline{\text{SYNC}}$ high 時間	1			μs
t_{SDODLY}	SCLK 立ち上がりエッジから SDO 立ち下がりエッジまで、 $I_{\text{OL}} \leq 5\text{mA}$ 、 $C_L = 20\text{pF}$ 。			300	ns

5.14 タイミング要件 : SPI 読み出しおよびデイジー チェーン動作 (FSDO = 1)

すべての入力信号は、 $t_r = t_f = 1 \text{ V/ns}$ (10% ~ 90% の V_{IO}) で指定され、 $(V_{\text{IL}} + V_{\text{IH}})/2$ 、 $1.7V \leq V_{\text{IO}} \leq 5.5V$ 、 $1.7V \leq V_{\text{DD}} \leq 5.5V$ 、および $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ および $\text{FSDO} = 1$ の電圧レベルから時間が計測されます。

		最小値	公称値	最大値	単位
f_{SCLK}	シリアル クロック周波数			2.5	MHz
t_{SCLKHIGH}	SCLK High 時間	175			ns
t_{SCLKLOW}	SCLK Low 時間	175			ns

すべての入力信号は、 $t_r = t_f = 1 \text{ V/ns}$ (10% ~ 90% の V_{IO}) で指定され、 $(V_{IL} + V_{IH})/2$ 、
 $1.7V \leq V_{IO} \leq 5.5V$ 、 $1.7V \leq V_{DD} \leq 5.5V$ 、および $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ および $FSDO = 1$ の電圧レベルから時間が計測されます。

		最小値	公称値	最大値	単位
t_{SDIS}	SDI のセットアップ時間	8			ns
t_{SDIH}	SDI のホールド時間	8			ns
t_{CSS}	SYNC から SCLK 立ち下がりエッジまでのセットアップ時間	300			ns
t_{CSH}	SCLK 立ち下がりエッジから SYNC 立ち上がりエッジまで	300			ns
t_{CSHIGH}	SYNC high 時間	1			μs
t_{SDODLY}	SCLK 立ち上がりエッジから SDO 立ち下がりエッジまで、 $I_{OL} \leq 5\text{mA}$ 、 $C_L = 20\text{pF}$ 。		300		ns

5.15 タイミング要件 : GPIO

すべての入力信号は、 $t_r = t_f = 1 \text{ V/ns}$ (10% ~ 90% の V_{IO}) で指定され、 $(V_{IL} + V_{IH})/2$ 、 $1.7V \leq V_{IO} \leq 5.5V$ 、 $1.7V \leq V_{DD} \leq 5.5V$ 、および $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ の電圧レベルから時間が計測されます。

		最小値	公称値	最大値	単位
$t_{GPIHIGH}$	GPI high 時間 ⁽¹⁾		2		μs
t_{GPILOW}	GPI low 時間 ⁽¹⁾		2		μs
t_{GPAWGD}	LDAC の立ち下がりエッジから DAC 更新までの遅延 ⁽⁴⁾			2	μs
$t_{CS2LDAC}$	SYNC の立ち上がりエッジから LDAC の立ち下がりエッジまで	1			μs
$t_{STP2LDAC}$	I ² C ストップ ビットの立ち上がりエッジから LDAC の立ち下がりエッジまで	1			μs
t_{LDACW}	LDAC low 時間	2			μs

(1) SCL、SDA、A0、A1 ピンは GPIO として構成でき、さまざまなチャネル固有または独立した動作を実行します。GPIO の実際の応答時間は、構成された機能によって生じる遅延と DAC のセッティングタイムによって決定されます。

(2) GPIO は、チャネル固有またはグローバル LDAC 機能として構成できます。

5.16 タイミング図

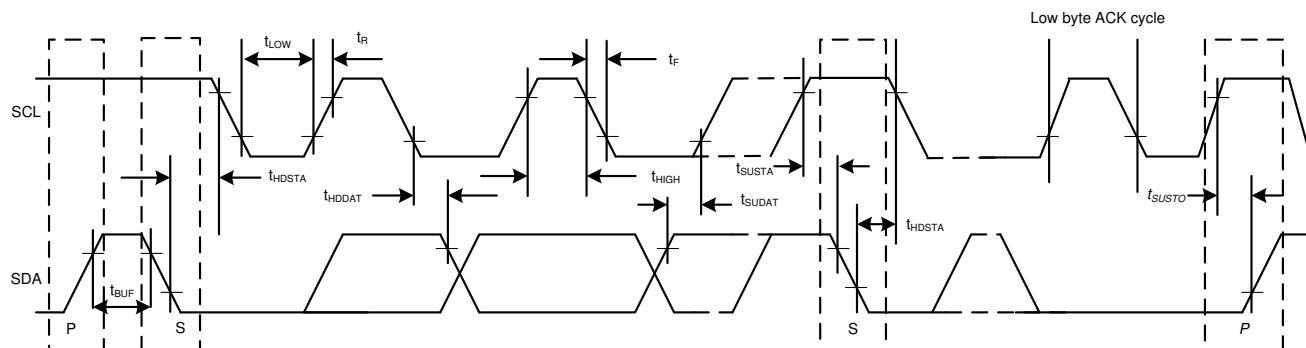


図 5-1. I²C のタイミング図

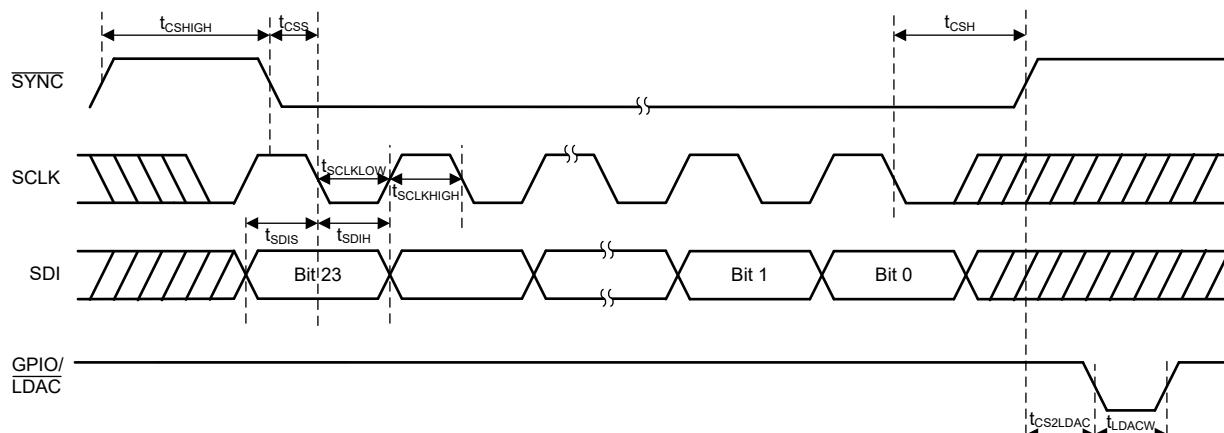


図 5-2. SPI 書き込みタイミング図

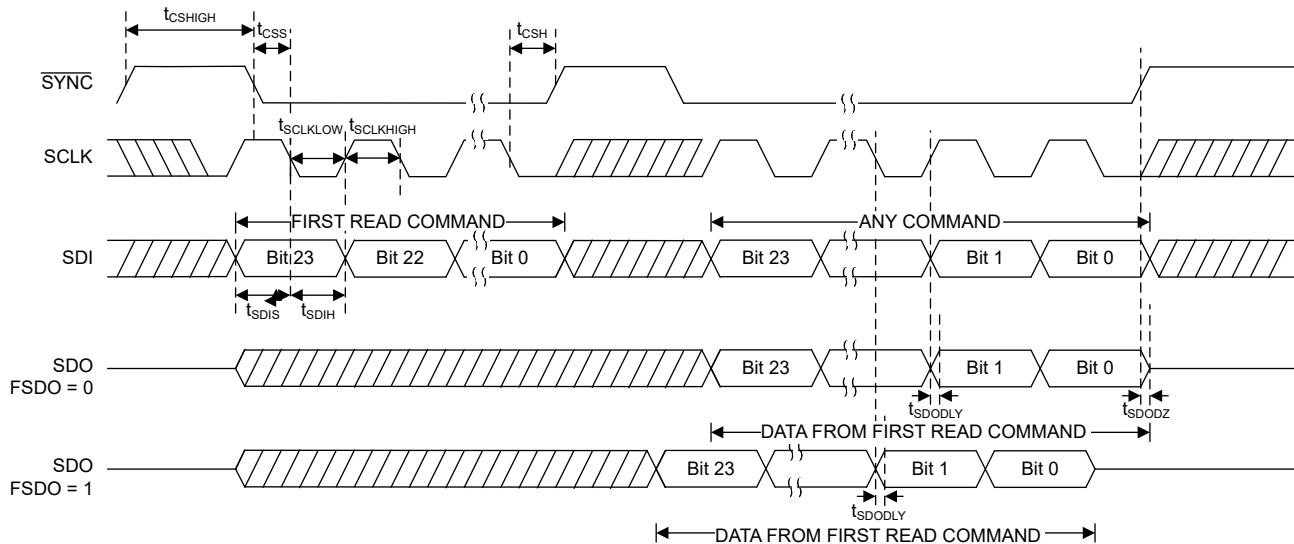


図 5-3. SPI 読み出しのタイミング図

5.17 代表的特性：電圧出力

$T_A = 25^\circ\text{C}$ 、 $V_{DD} = 5.5\text{V}$ 、外部リファレンス = 5.5V 、ゲイン = $1x$ 、12 ビット分解能、DAC 出力は無負荷時 (特に記述のない限り)

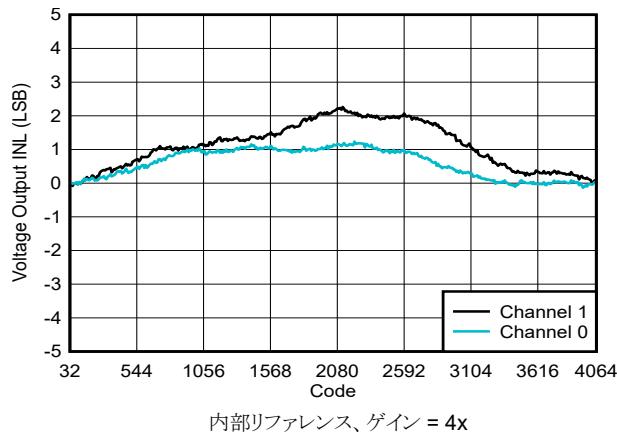


図 5-4. 電力出力 INL とデジタル入力コードとの関係

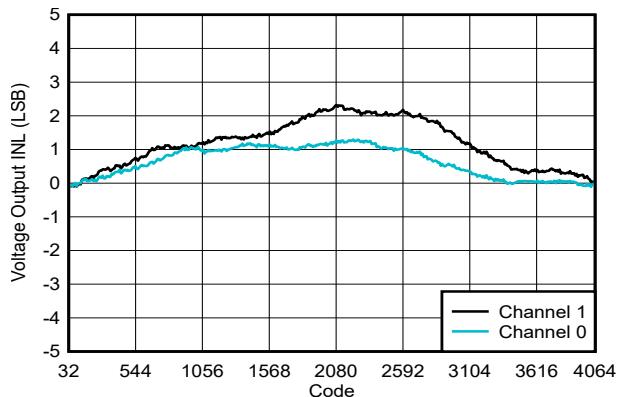


図 5-5. 電力出力 INL とデジタル入力コードとの関係

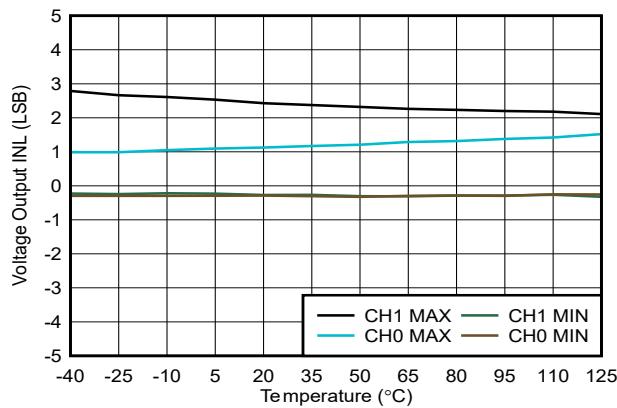


図 5-6. 電力出力 INL と温度との関係

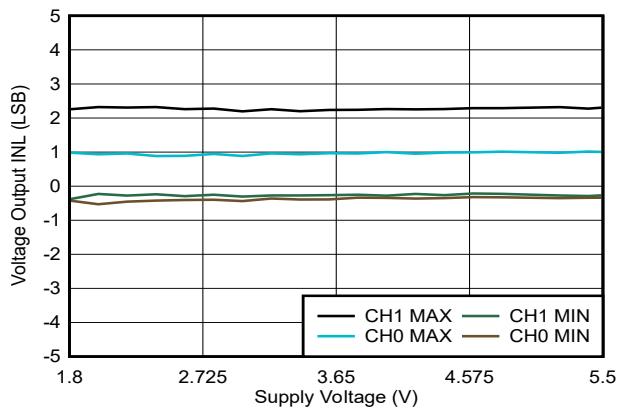


図 5-7. 電圧出力 INL と電源電圧との関係

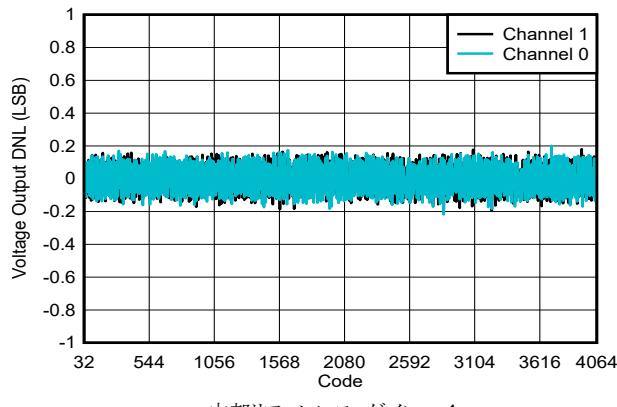


図 5-8. 電力出力 DNL とデジタル入力コードとの関係

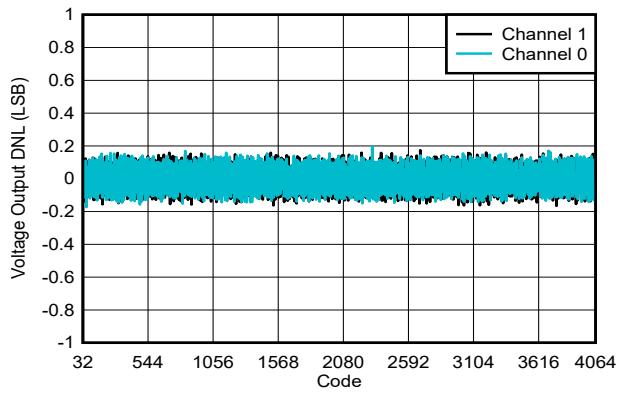


図 5-9. 電力出力 DNL とデジタル入力コードとの関係

5.17 代表的特性：電圧出力 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_{DD} = 5.5\text{V}$ 、外部リファレンス = 5.5V 、ゲイン = $1x$ 、12 ビット分解能、DAC 出力は無負荷時 (特に記述のない限り)

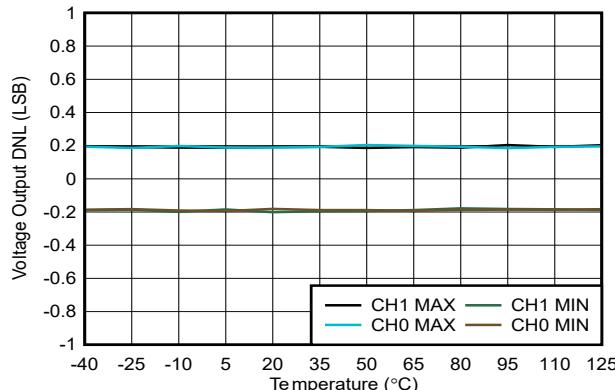


図 5-10. 電力出力 DNL と温度との関係

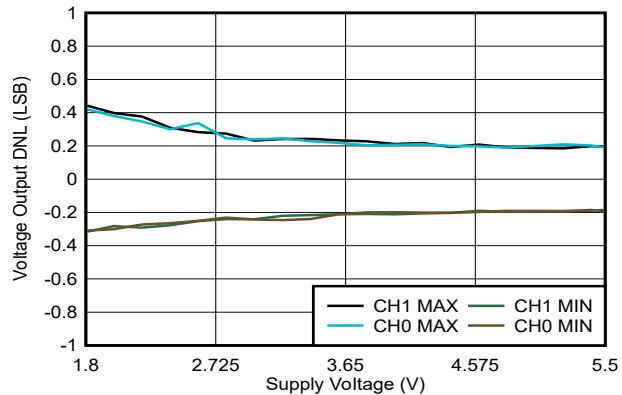
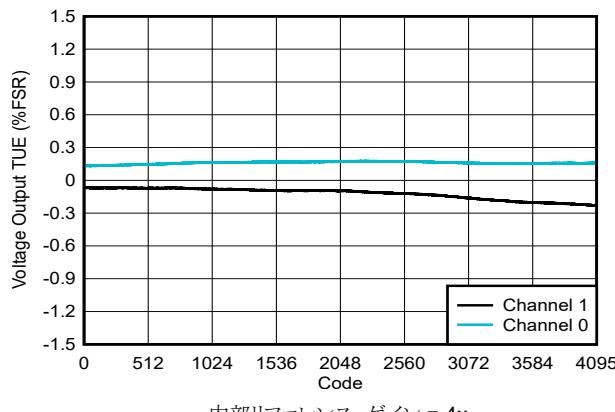


図 5-11. 電圧出力 DNL と電源電圧との関係



内部リファレンス、ゲイン = $4x$

図 5-12. 電力出力 TUE とデジタル入力コードとの関係

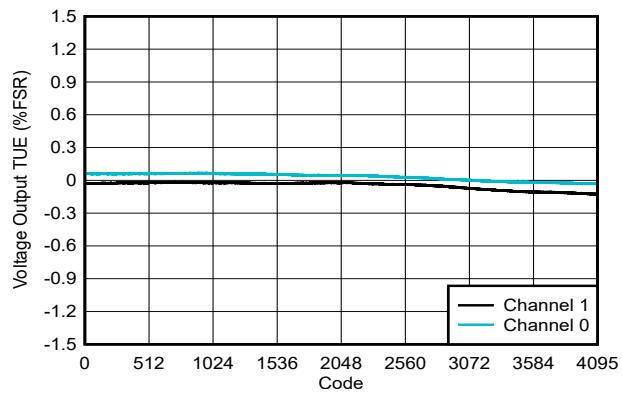
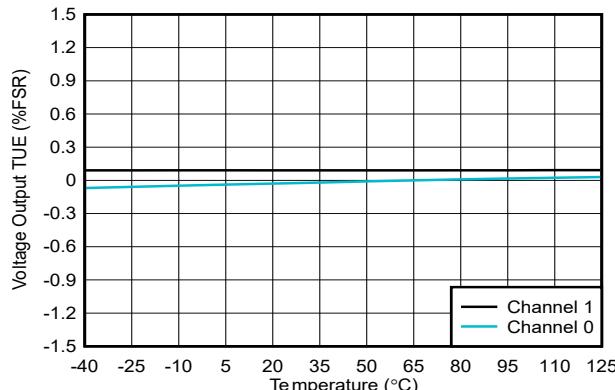
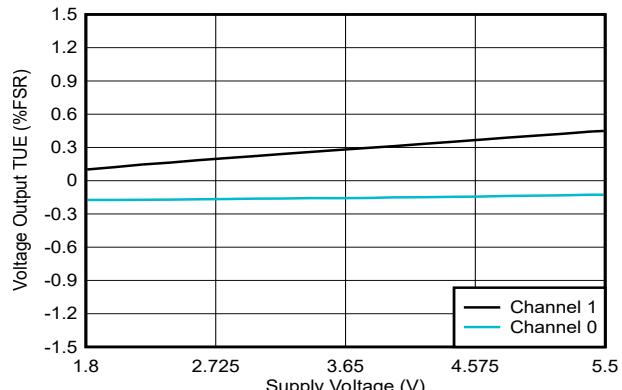


図 5-13. 電力出力 TUE とデジタル入力コードとの関係



ミッドスケールでの DAC チャネル

図 5-14. 電力出力 TUE と温度との関係



ミッドスケールでの DAC チャネル

図 5-15. 電圧出力 TUE と電源電圧との関係

5.17 代表的特性：電圧出力 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_{DD} = 5.5\text{V}$ 、外部リファレンス = 5.5V 、ゲイン = $1x$ 、12ビット分解能、DAC 出力は無負荷時 (特に記述のない限り)

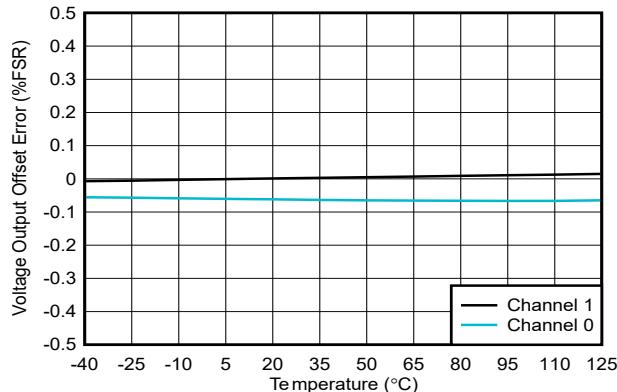


図 5-16. 電力出力オフセット誤差と温度との関係

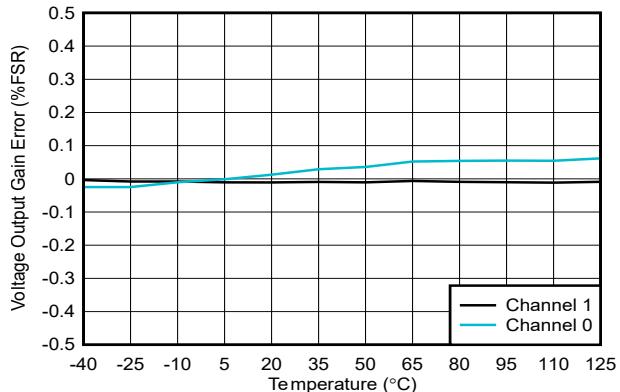
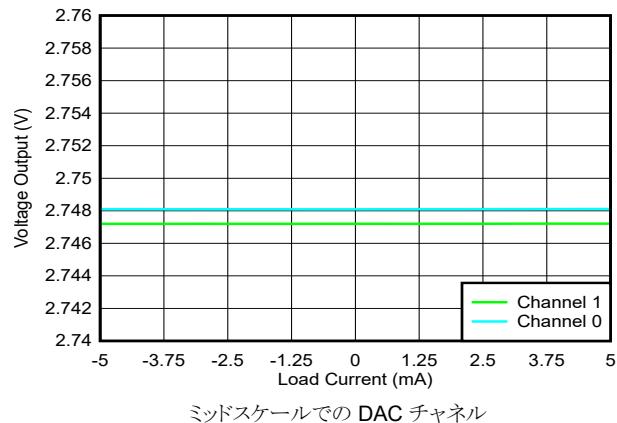


図 5-17. 電圧出力ゲイン誤差と温度との関係



ミッドスケールでの DAC チャネル

図 5-18. 電圧出力と負荷電流との関係

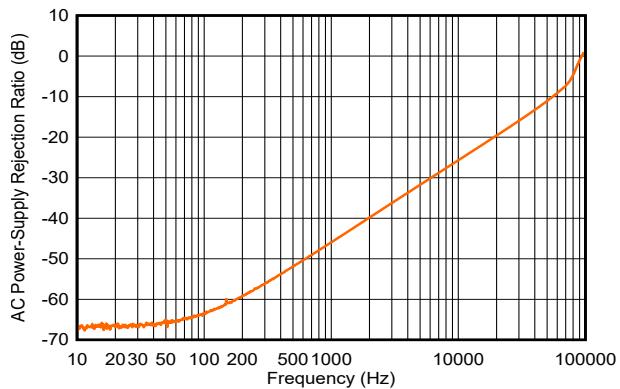


図 5-19. 電圧出力 AC PSRR と周波数との関係

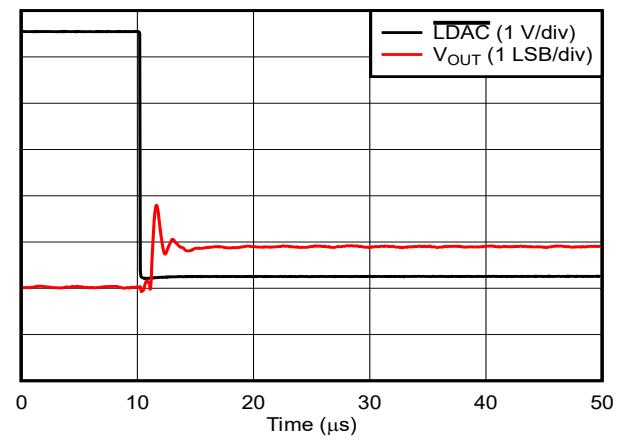


図 5-20. 電圧出力コードツーコード グリッチャー立ち上がりリエッジ

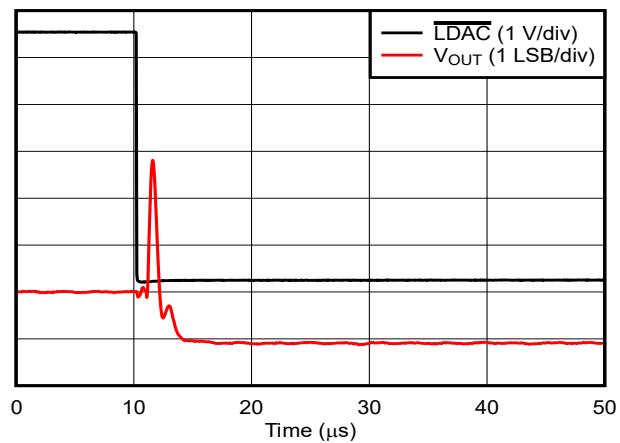
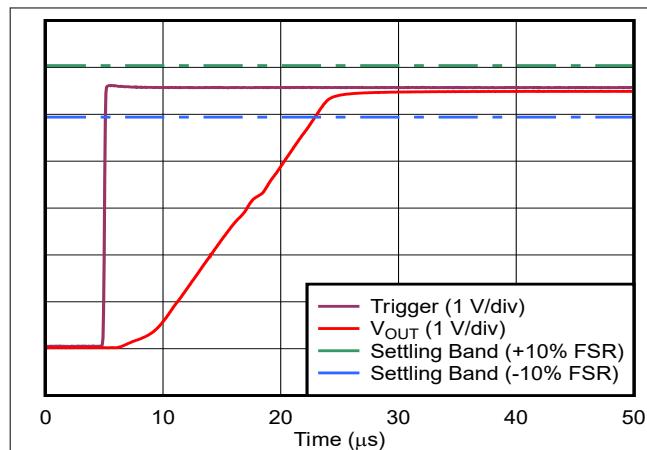


図 5-21. 電圧出力コードツーコード グリッチャー立ち下がりエッジ

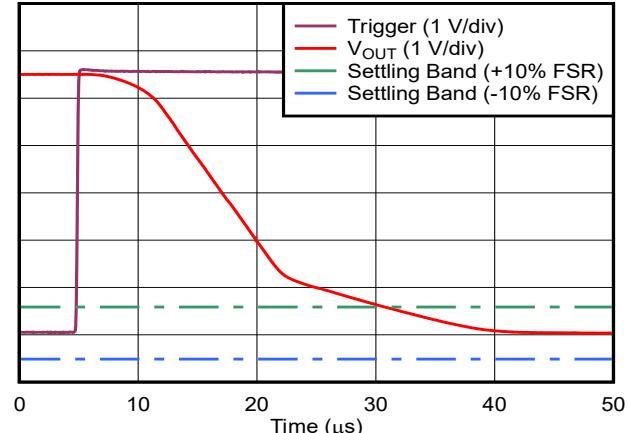
5.17 代表的特性：電圧出力 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_{DD} = 5.5\text{V}$ 、外部リファレンス = 5.5V 、ゲイン = $1x$ 、12ビット分解能、DAC出力は無負荷時 (特に記述のない限り)



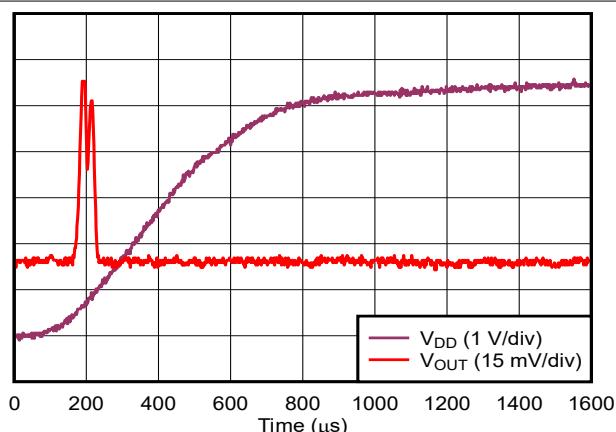
ゼロスケールからフルスケールまでのスイング

図 5-22. 電圧出力セトリング時間 (立ち上がりリエッジ)



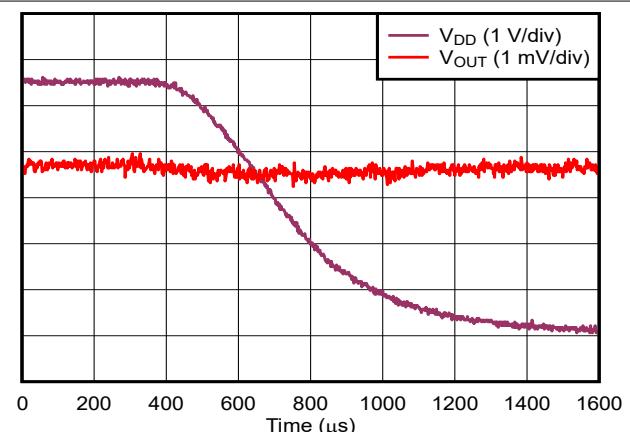
フルスケールからゼロスケールまでのスイング

図 5-23. 電圧出力設定時間 — 立ち下がりリエッジ



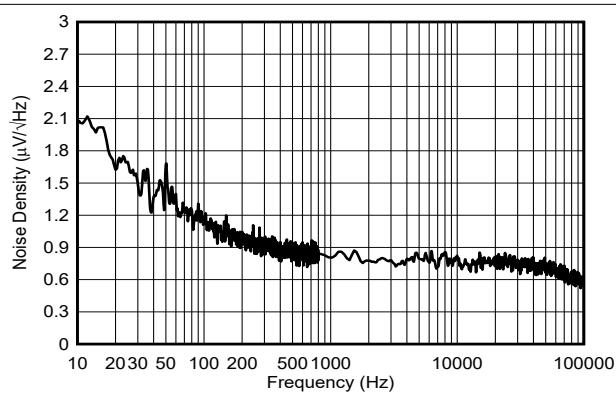
ハイインピーダンスパワーダウンモードの DAC

図 5-24. 電圧出力パワーオン グリッチ



ゼロスケールの DAC

図 5-25. 電圧出力パワーオフ グリッチ



内部リファレンス、ゲイン = $4x$

図 5-26. 電圧出力ノイズ密度

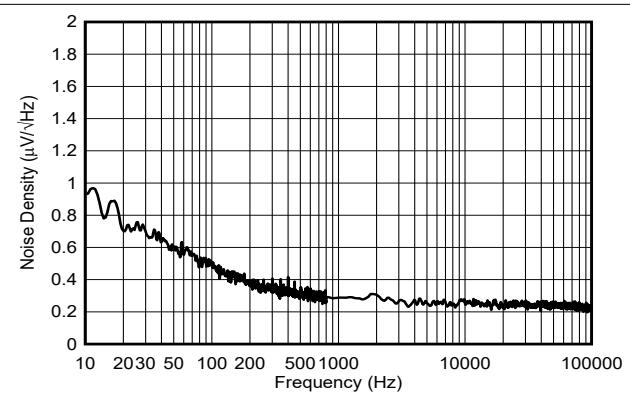
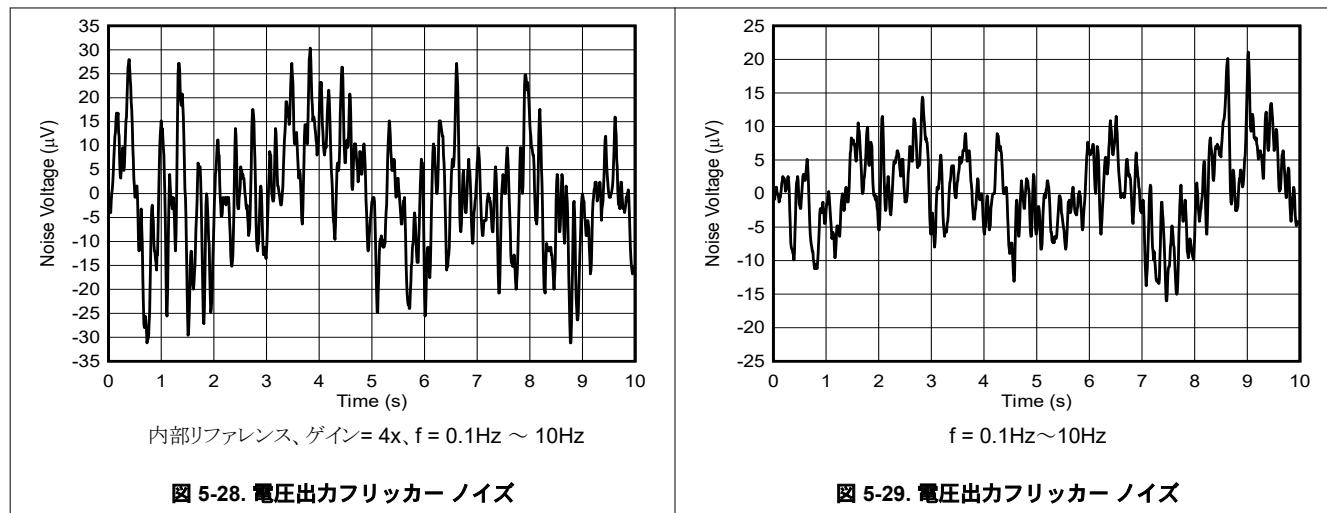


図 5-27. 電圧出力ノイズ密度

5.17 代表的特性：電圧出力 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_{DD} = 5.5\text{V}$ 、外部リファレンス = 5.5V 、ゲイン = $1x$ 、12ビット分解能、DAC 出力は無負荷時 (特に記述のない限り)



5.18 代表的特性：電流出力

$T_A = 25^\circ\text{C}$ 、 $V_{DD} = 5.5\text{V}$ 、出力範囲： $\pm 250\mu\text{A}$ (特に記述のない限り)

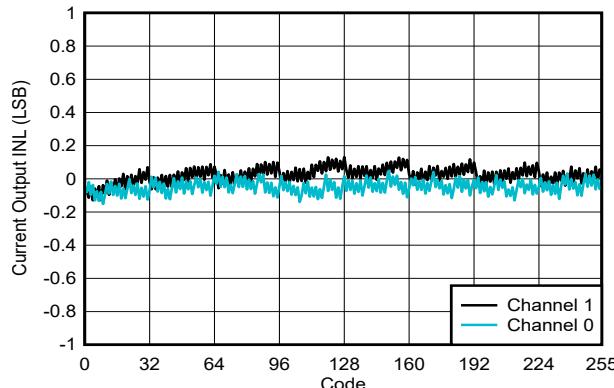


図 5-30. 電流出力 INL とデジタル入力コードとの関係

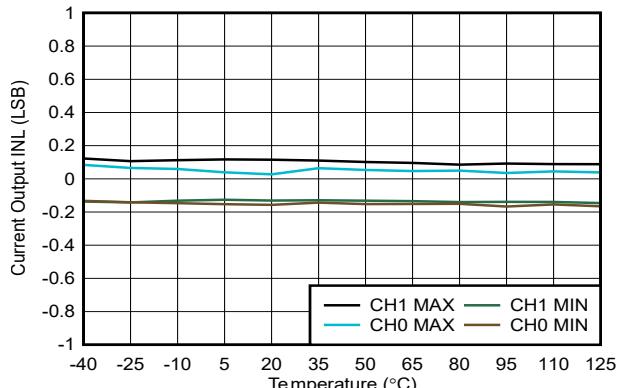


図 5-31. 電流出力 INL と温度との関係

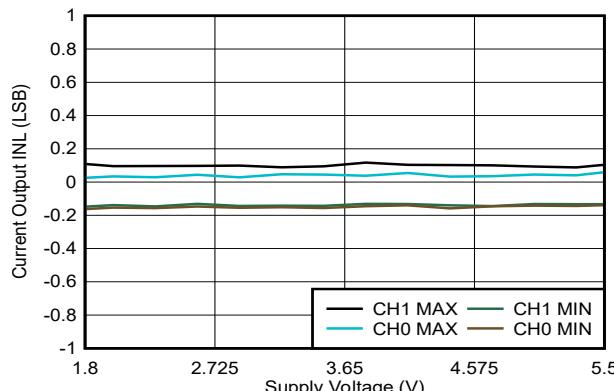


図 5-32. 電流出力 INL と電源電圧との関係

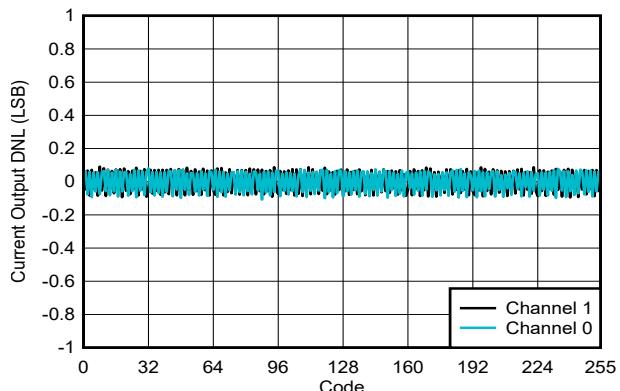


図 5-33. 電流出力 DNL とデジタル入力コードとの関係

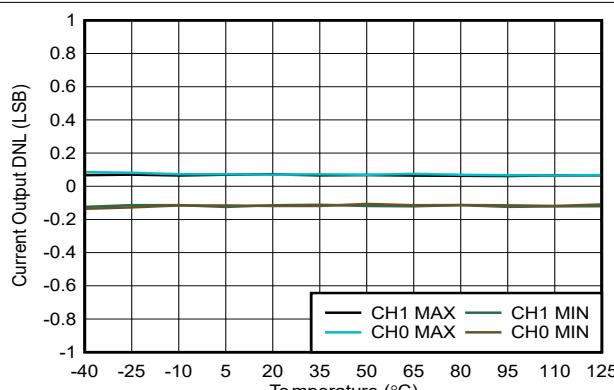


図 5-34. 電流出力 DNL と温度との関係

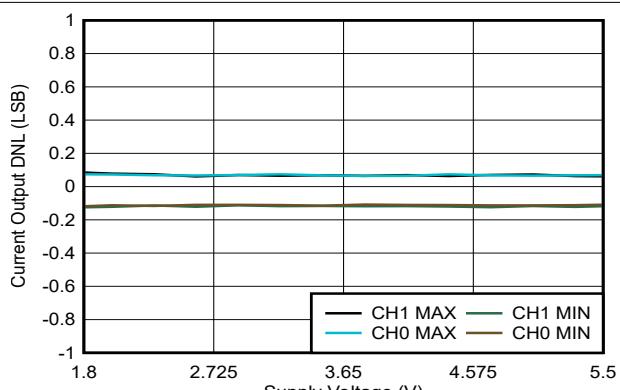


図 5-35. 電流出力 DNL と電源電圧との関係

5.18 代表的特性：電流出力 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_{DD} = 5.5\text{V}$ 、出力範囲： $\pm 250\mu\text{A}$ (特に記述のない限り)

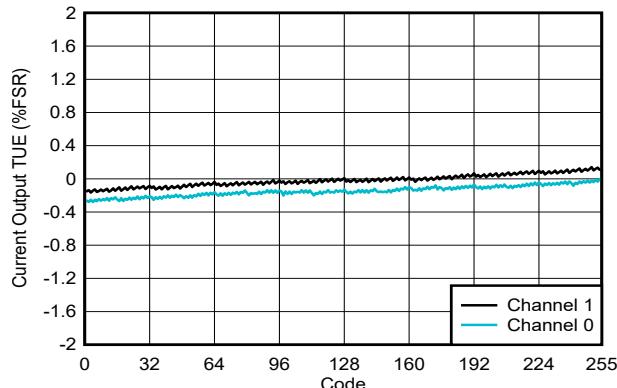
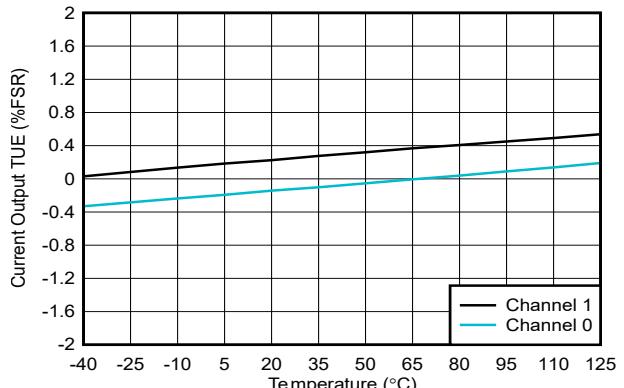
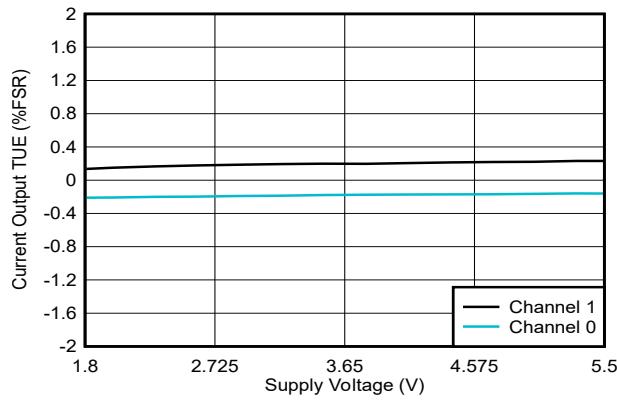


図 5-36. 電流出力 TUE とデジタル入力コードとの関係



ミッドスケールでの DAC チャネル

図 5-37. 電流出力 TUE と温度との関係



ミッドスケールでの DAC チャネル

図 5-38. 電流出力 TUE と電源電圧との関係

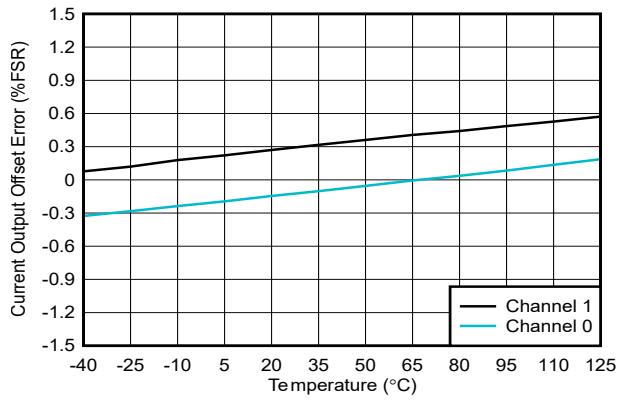


図 5-39. 電流出力オフセット誤差と温度との関係

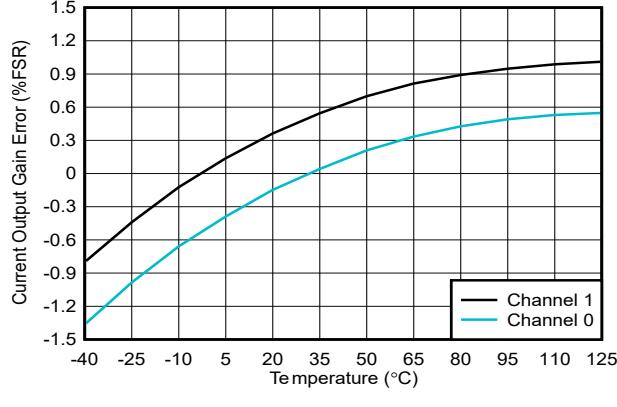


図 5-40. 電流出力ゲイン誤差と温度との関係

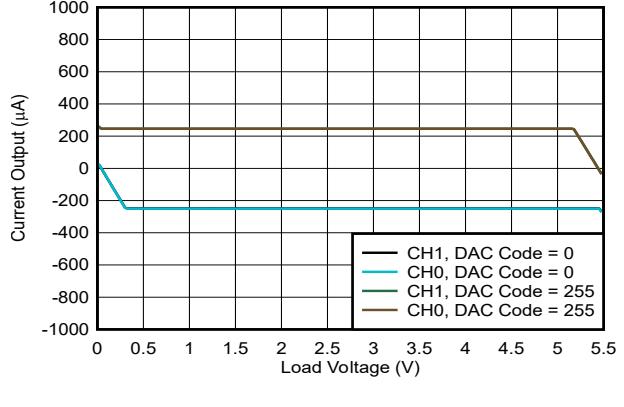


図 5-41. 電流出力と負荷電圧との関係

5.18 代表的特性：電流出力 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_{DD} = 5.5\text{V}$ 、出力範囲： $\pm 250\mu\text{A}$ (特に記述のない限り)

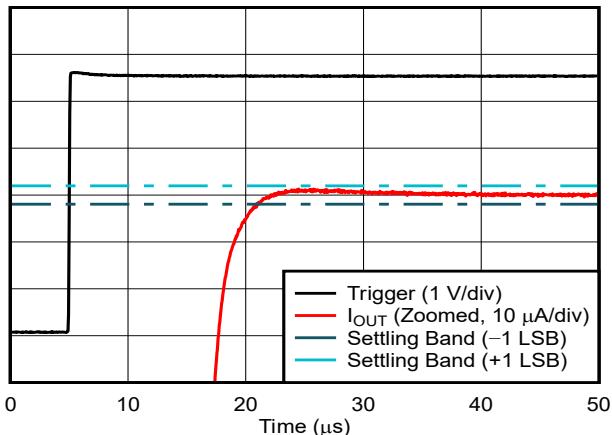


図 5-42. 電流出力セッティング タイム、立ち上がりエッジ

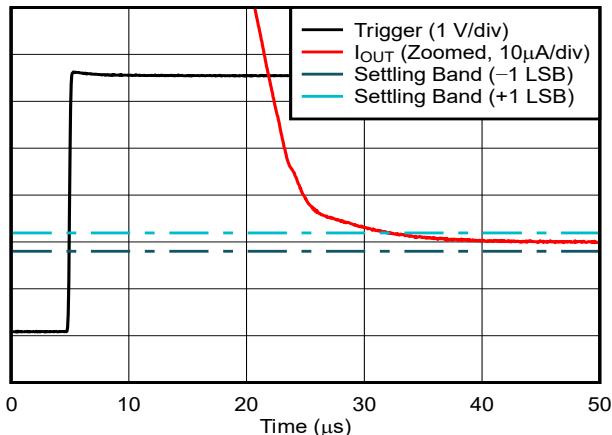
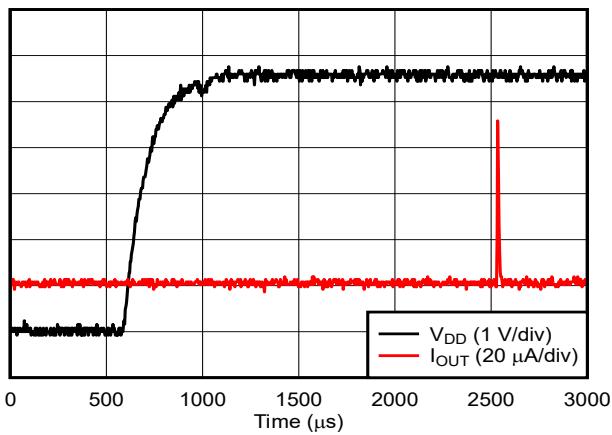
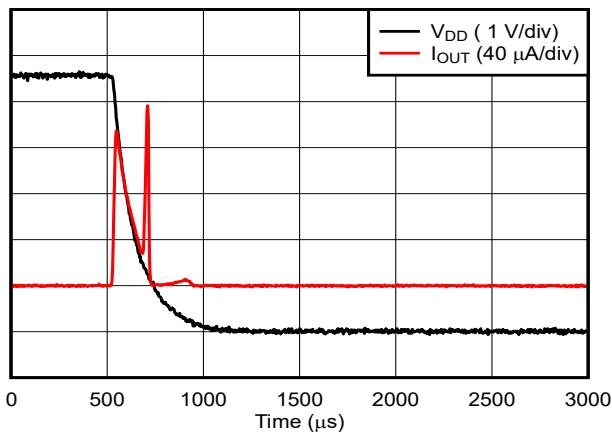


図 5-43. 電流出力設定時間、立ち下がりエッジ



EEPROM に保存されたミッドスケールでの DAC (0μA)

図 5-44. 電流出力パワーオン グリッチ



ミッドスケールでの DAC (0μA)

図 5-45. 電流出力パワーオフ グリッチ

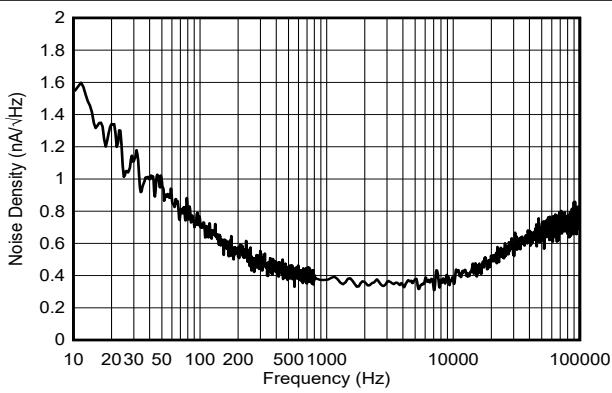
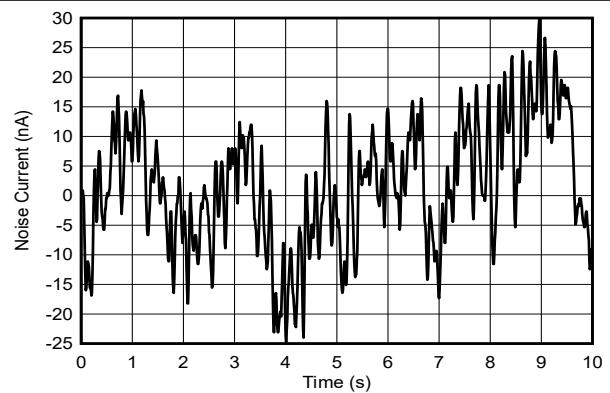


図 5-46. 電流出力ノイズ密度



$f = 0.1\text{Hz} \sim 10\text{Hz}$

図 5-47. 電流出力フリッカーノイズ

5.18 代表的特性：電流出力 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_{DD} = 5.5\text{V}$ 、出力範囲： $\pm 250\mu\text{A}$ (特に記述のない限り)

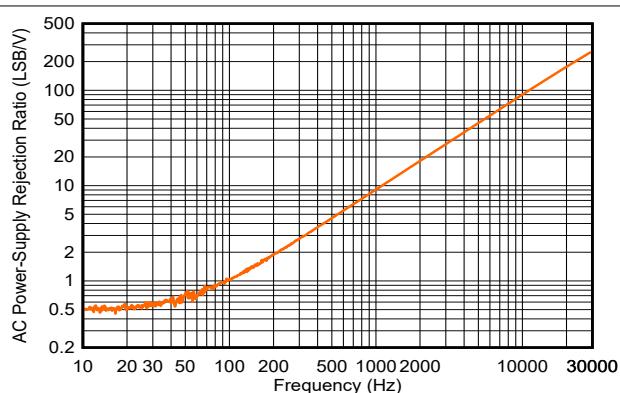
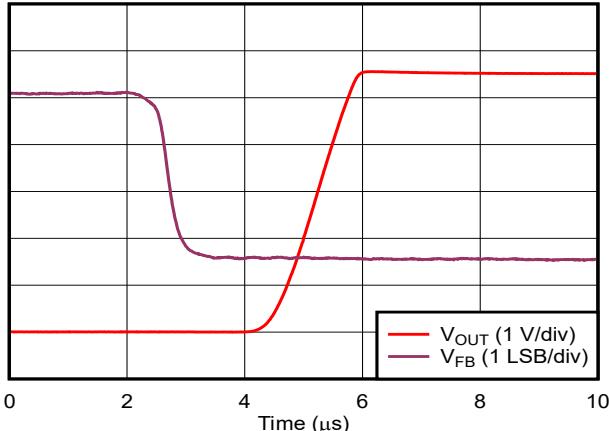


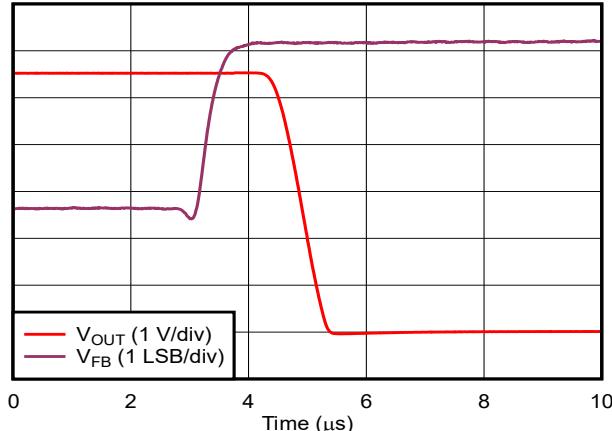
図 5-48. 電流出力 AC PSRR と周波数との関係

5.19 代表的特性：コンパレータ

$T_A = 25^\circ\text{C}$ 、 $V_{DD} = 5.5\text{V}$ の場合、外部リファレンス電圧 = 5.5V、ゲイン = 1x、12 ビット分解能、FBx Bi (ハイインピーダンスモード)、DAC 出力は無負荷 (特に記述のない限り)



プッシュプル モードのコンパレータ出力



プッシュプル モードのコンパレータ出力

図 5-49. コンパレータ応答時間：Low から High への遷移

図 5-50. コンパレータ応答時間：High から Low への遷移

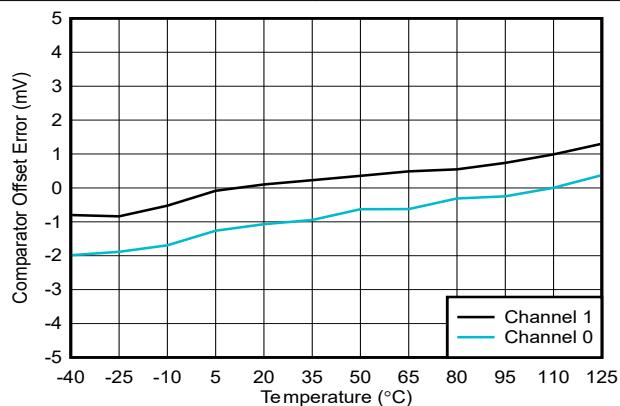


図 5-51. コンパレータ オフセット誤差と温度との関係

5.20 代表的特性：総則

$T_A = 25^\circ\text{C}$ の場合、 $V_{DD} = 5.5\text{V}$ 、および DAC 出力無負荷 (特に記述のない限り)

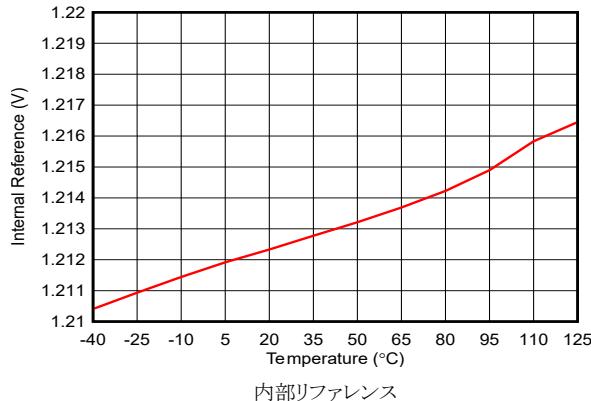


図 5-52. 内部リファレンスと温度との関係

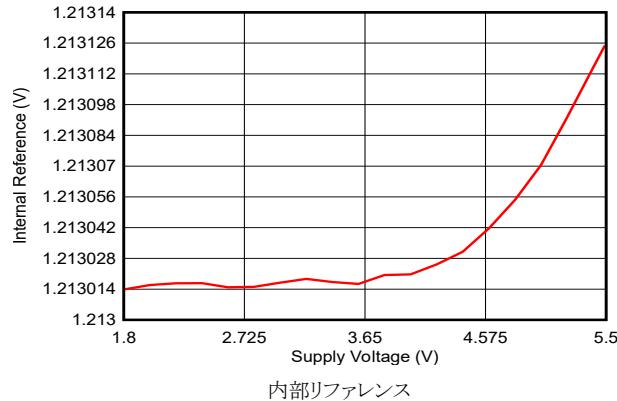


図 5-53. 内部リファレンスと電源電圧の関係

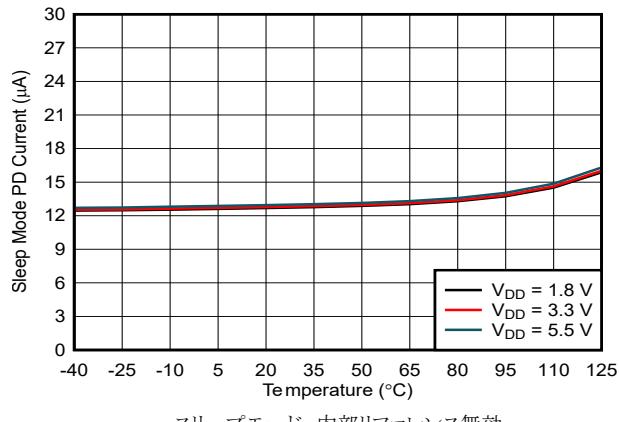


図 5-54. パワーダウン電流と温度との関係

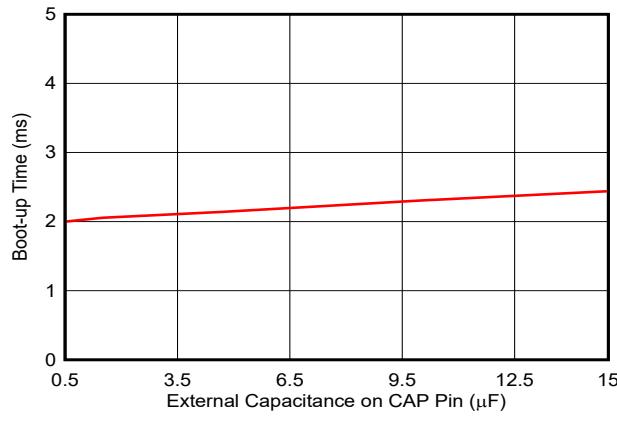


図 5-55. ブートアップ時間と CAP ピンの容量との関係

6 詳細説明

6.1 概要

12 ビット DAC63202W は、デュアル チャネル、バッファ付き、電圧出力および電流出力のスマート D/A コンバータ (DAC) です。DAC チャネルは、電圧出力または電流出力として個別に構成可能です。VDD がオフのとき、DAC 出力はハイインピーダンスに変化します。この機能は、電圧マージン測定アプリケーションに便利です。このスマート DAC は不揮発性メモリ (NVM)、内部リファレンス、I²C または SPI の自動検出機能、I²C モードの PMBus 互換性、フォースセンス出力、汎用入力を内蔵しています。このデバイスはデフォルトでハイインピーダンスのパワーダウン モードをサポートしており、このモードは 100kΩ-GND を使用して 10kΩ-GND または NVM に構成できます。DAC63202W にはパワーオンリセット (POR) 回路があり、すべてのレジスタがデフォルト設定、または NVM を使用してユーザーがプログラムした設定から確実に開始されます。DAC63202W は、内部リファレンス、外部リファレンス、またはリファレンスとして電源を使用して動作し、1.8V ~ 5.5V のフルスケール出力を提供します。

DAC63202W は、I²C の Standard モード (100kbps)、Fast モード (400kbps)、Fast+ モード (1Mbps) をサポートしています。I²C インターフェイスは、A0 ピンを使用して 4 つのターゲットアドレスで構成できます。このデバイスは、ターンオン/オフ、マージン high/low など、特定の PMBus コマンドもサポートしています。SPI モードでは、デフォルトで最大 50Mhz の SCLK 入力を持つ 3 線式インターフェイスをサポートしています。GPIO 入力は、NVM で SDO として構成して、SPI 読み取り機能を実現できます。GPIO 入力は、LDAC、PD、STATUS、FAULT-DUMP、RESET、および PROTECT 機能としていずれも構成できます。

DAC63202W にはデジタルスルーレートコントロール機能も含まれており、正弦波、余弦波、三角波、のこぎり波などの標準波形生成をサポートします。このデバイスは、三角波またはのこぎり波と FB ピンの組み合わせにより、パルス幅変調 (PWM) 出力を生成できます。DAC チャネルのフォースセンス出力は、プログラマブルコンパレータとして使用できます。コンパレータモードでは、プログラマブルヒステリシス、ラッチコンパレータ、ウンドウコンパレータ、NVM へのフォルトダングルが可能です。これらの機能により、DAC63202W は、動作するプロセッサに依存する従来型 DAC の制限を超えることができます。プロセッサレス動作とスマート機能セットにより、DAC63202W はスマート DAC と呼ばれています。

6.2 機能ブロック図

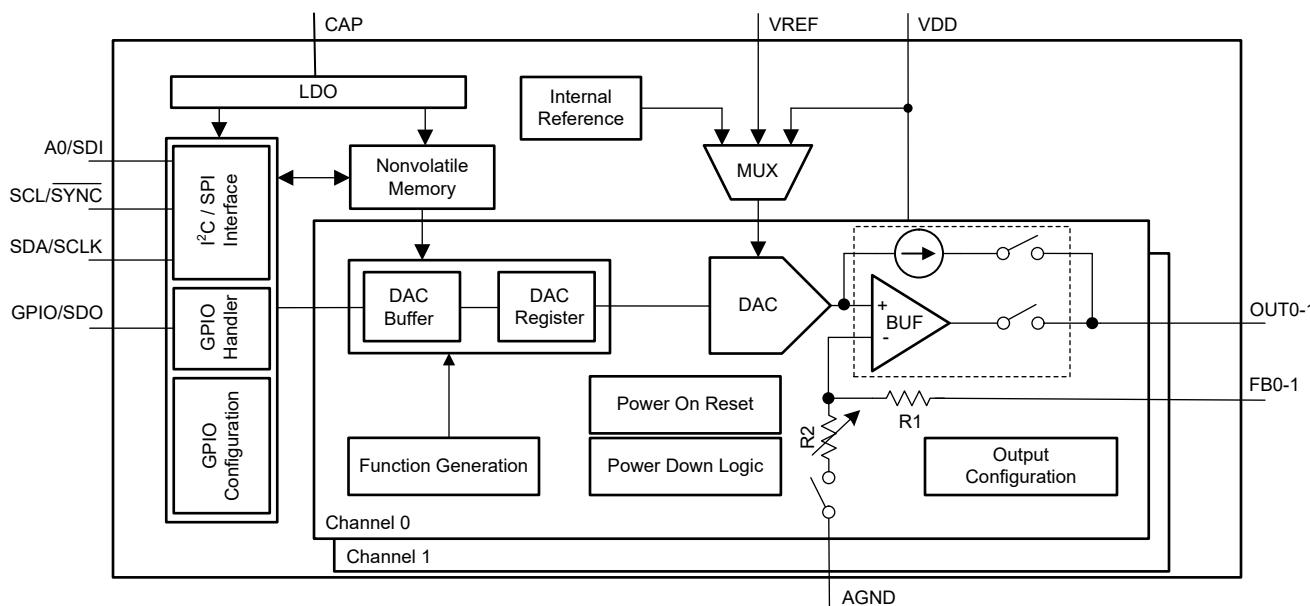


図 6-1. 機能ブロック図

6.3 機能説明

6.3.1 スマートデジタル/アナログ コンバータ (DAC) アーキテクチャ

DAC63202W デバイスは、ストリングアーキテクチャと電圧出力アンプ、各チャネルの外部 FB ピンおよび電圧/電流コンバータで構成されています。セクション 6.2 に、1.8V ~ 5.5V の電源で動作する DAC アーキテクチャをブロック図で示します。DAC の内部リファレンス電圧は 1.21V です。オプションとして、VREF ピンに外部リファレンス電圧を使用するか、電源をリファレンスとして使用できます。電圧出力モードでは、これら 3 つのリファレンス オプションのいずれかを使用します。電流出力モードでは、内部バンドギャップを使用して電流出力を生成します。電圧出力モードと電流出力モードはどちらも、プログラム可能な複数の出力範囲に対応しています。

DAC63202W デバイスは、VDD がオフのときはハイインピーダンス出力をサポートするため、最大 1.25V の強制電圧で出力ピンで非常に低いリーク電流を維持できます。また、DAC 出力ピンはデフォルトで高インピーダンスマードで起動するため、電圧マージン測定とスケーリングのアプリケーションに最適です。パワーアップ モードを 10kΩ-GND または 100kΩ-GND に変更するには、COMMON-CONFIG レジスタの対応する VOUT-PDN-X フィールドをプログラムし、これらのビットをデバイス NVM にロードします。

DAC63202W デバイスは、チャネルごとに独立コンパレータモードをサポートしています。各 FB_x ピンは、コンパレータの入力として機能します。DAC アーキテクチャは、レジスタ設定を使用してコンパレータ出力の反転をサポートしています。コンパレータ出力は、プッシュプルまたはオープンドレインにできます。コンパレータモードは、マージン *high* およびマージン *low* レジスタ フィールド、ラッチ コンパレータ、およびウンドウ コンパレータを使用して、プログラマブル ヒステリシスをサポートしています。コンパレータ出力は、デバイスから内部でアクセスできます。

DAC63202W デバイスには、プロセッサレス動作と高度な統合を可能にするスマートな機能セットが含まれています。NVM により、予測可能な起動が可能になります。プロセッサが存在しない場合、あるいはプロセッサまたはソフトウェアが故障した場合、GPIO は I²C インターフェイスなしで DAC 出力をトリガします。統合された機能と FB_x ピンで、制御アプリケーションの PWM 出力が可能になります。FB_x ピンにより、このデバイスをプログラマブル コンパレータとして使用できます。デジタル スルーレートのコントロールとハイインピーダンス パワーダウン モードをすることで、手間をかけずに電圧マージン測定とスケーリング機能を実現できます。

6.3.2 デジタル入力/出力

DAC63202W には 4 つのデジタル IO ピンがあり、I²C インターフェイス、SPI インターフェイス、PMBus インターフェイス、GPIO インターフェイスを備えています。これらのデバイスは、パワーオン後の最初の通信が成功したときに I²C プロトコルおよび SPI プロトコルを自動的に検出し、検出されたインターフェイスに接続します。インターフェイス プロトコルが接続されると、プロトコルの変更は無視されます。I²C インターフェイスは、A0 ピンを使用して 4 つのアドレス オプションから選択します。SPI インターフェイスは、デフォルトでは 3 線式インターフェイスです。このモードでは、リードバック機能は使用できません。GPIO ピンはレジスタ マップで設定して、SDO ピンとして NVM にプログラムできます。SPI リードバック モードは書き込みモードよりも低速です。プログラミング インターフェイス ピンは次のとおりです。

- I²C: SCL, SDA, A0
- SPI: SCLK, SDI, SYNC, SDO/ GPIO

GPIO は、SDO 以外の複数の機能として構成できます。これらは、LDAC、PD、STATUS、PROTECT、FAULT-DUMP、および RESET です。出力として使用する場合、すべてのデジタル ピンはオープンドレインです。したがって、すべての出力ピンは外付け抵抗を使用して目的の IO 電圧にプルアップする必要があります。

6.3.3 不揮発性メモリ (NVM)

DAC63202W には不揮発性メモリ (NVM) ビットが搭載されています。これらのメモリ ビットはユーザーがプログラムおよび消去することができ、電源がない場合でも設定値が保持されます。セクション 6.6 に強調表示された灰色のセル内に表示されているすべてのレジスタ ビットは、COMMON-TRIGGER レジスタで NVM-PROG = 1 を設定することによって NVM に保存できます。NVM-PROG は自動リセット ビットです。DAC63202W のすべてのレジスタのデフォルト値は、POR イベントが発行されると直ぐに NVM から読み込まれます。

また、DAC63202W は共通トリガ レジスタに NVM リロード ビットも実装しています。このビットを 1 に設定すると、デバイスは NVM リロード動作を開始します。完了後、デバイスは NVM-RELOAD ビットを 0 に自動的に設定します。NVM の

書き込みまたはリロード動作中は、デバイスに対するすべての読み取り/書き込み動作がブロックされます。[セクション 5.8](#) に、NVM 書き込みサイクルのタイミング仕様を示します。プロセッサは、SPI または I²C インターフェイスでの読み取りまたは書き込み動作を再開する前に、指定された期間待機する必要があります。

6.4 デバイスの機能モード

6.4.1 電圧出力モード

各 DAC チャネルの電圧出力モードには、COMMON-CONFIG レジスタの VOUT-PDN-X フィールドのパワーアップ オプションを選択することで移行できます。また、同じレジスタの IOUT-PDN-X ビットを使用して、それぞれのチャネルの電流出力オプションをパワーダウンします。閉ループアンプ出力に対して、各チャネルの OUTx ピンと FBx ピンを外部で短絡します。オープンな FBx ピンにより、アンプ出力は飽和します。目的の電圧出力を得るには、適切な基準電圧オプションを選択し、必要な出力範囲に合わせてアンプ ゲインを選択し、それぞれのチャネルの DAC-X-DATA レジスタに DAC コードをプログラムします。

6.4.1.1 基準電圧と DAC 伝達関数

図 6-2 は、DAC63202W で使用可能な 3 つの電圧リファレンスオプション (内部リファレンス、外部リファレンス、電源) があることを示しています。電圧出力モードとコンパレータモードの DAC 伝達関数は、電圧リファレンスの選択に基づいて変化します。

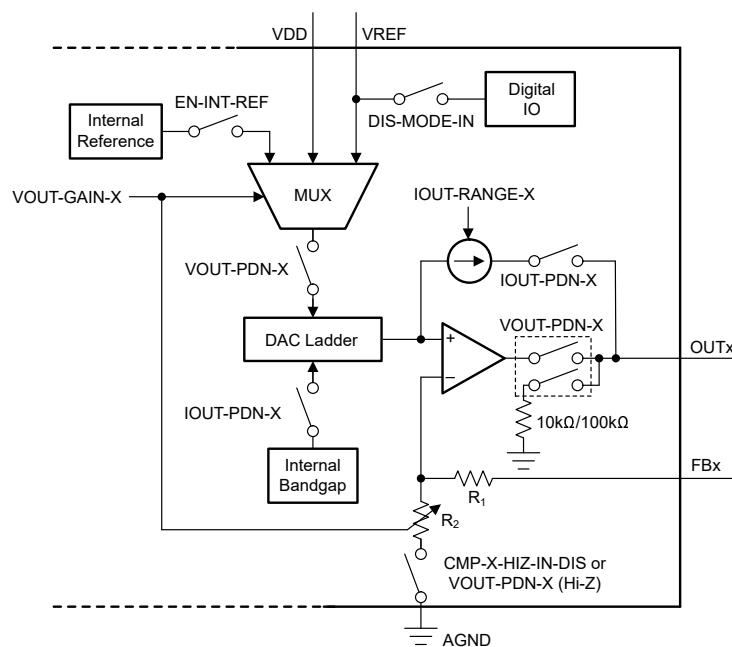


図 6-2. 電圧リファレンスの選択とパワーダウン ロジック

6.4.1.1.1 内部リファレンス

DAC63202W には内部リファレンスが搭載されており、デフォルトで無効になっています。内部リファレンスを有効にするには、COMMON-CONFIG レジスタのビット EN-INT-REF に 1 を書き込みます。内部リファレンスは、固定 1.21V 電圧 (標準値) を生成します。DAC-X-VOUT-CMP-CONFIG レジスタの VOUT-GAIN-X ビットを使用して、DAC 出力電圧 (V_{out}) に $1.5\times$ 、 $2\times$ 、 $3\times$ 、 $4\times$ のゲインを実現します。式 1 に、内部リファレンス電圧を使用した DAC 伝達関数を示します。

$$V_{out} = \frac{DAC_DATA}{2^N} \times V_{REF} \times GAIN \quad (1)$$

ここで

- N はビット単位の解像度、12 です。
- DAC_DATA は、DAC-X-DATA レジスタの DAC-X-DATA ビットにロードされるバイナリコードに等価な 10 進数です。DAC_DATA 範囲は $0 \sim 2^N - 1$ です。
- V_{REF} は内部基準電圧 = 1.21V (標準) です。

- VOUT-X-GAIN ビットに基づいて GAIN = 1.5 ×、2 ×、3 ×、または 4 ×。

6.4.1.1.2 外部リファレンス

デフォルトでは、DAC63202W は外部リファレンス入力で動作します。外部リファレンス オプションは、DAC-X-VOUT-CMP-CONFIG レジスタの VOUT-GAIN-X フィールドを適切に構成することで選択することもできます。DEVICE-MODE-CONFIG レジスタの DIS-MODE-IN ビットに 1 を書き込んで、 I_{DD} を最小化します。外部リファレンスは、1.7V と VDD の間にすることができます。式 2 に、外部リファレンス電圧を使用する場合の DAC 伝達関数を示します。DAC の出力段ゲインは、外部リファレンス モードの場合、常に 1 倍です。

注

外部リファレンス電圧は、過渡状態と定常状態の両方で、VDD を下回る必要があります。したがって、外部リファレンスは VDD の後に上昇し、VDD の前に下降する必要があります。

$$V_{OUT} = \frac{DAC_DATA}{2^N} \times V_{REF} \quad (2)$$

ここで

- N はビット単位の解像度、12 です。
- DAC_DATA は、DAC-X-DATA レジスタの DAC-X-DATA フィールドにロードされるバイナリコードに等価な 10 進数です。DAC_DATA 範囲は 0 ~ $2^N - 1$ です。
- V_REF は外部リファレンス電圧です。

6.4.1.1.3 基準電圧としての電源

DAC63202W は、電源ピン (VDD) をリファレンス電圧として動作できます。式 2 に、電源ピンを基準 (リファレンス) として使用した場合の DAC 伝達関数を示します。出力段のゲインは常に 1 倍です。

$$V_{OUT} = \frac{DAC_DATA}{2^N} \times V_{DD} \quad (3)$$

ここで

- N はビット単位の解像度、12 です。
- DAC_DATA は、DAC-X-DATA レジスタの DAC-X-DATA ビットにロードされるバイナリコードに等価な 10 進数です。
- DAC_DATA 範囲は 0 ~ $2^N - 1$ です。
- V_DD は、DAC のリファレンス電圧として使用されます。

6.4.2 電流出力モード

各 DAC チャネルで電流出力モードに入るには、COMMON-CONFIG レジスタのそれぞれの IOUT-PDN-X ビットを無効にし、同じレジスタのそれぞれの VOUT-PDN-X ビットをハイインピーダンスパワーダウン モードに設定します。DAC-X-IOUT-MISC-CONFIG レジスタの IOUT-RANGE-X ビットに書き込み、目的の電流出力範囲を選択します。電流出力モードでのリーク電流を最小限に抑えるため、FBx ピンを切断します。最高のパワーオン グリッチ性能を得るには、出力チャネルに電力を供給する前に最小の出力範囲を使用して IOUT モードで NVM をプログラムします。その後、DAC コードと目的の出力範囲をただちにプログラムします。出力電流の伝達関数は 式 4 に示されています。

$$I_{OUT} = \frac{DAC_DATA \times (I_{MAX} - I_{MIN})}{2^8} + I_{MIN} \quad (4)$$

ここで

- DAC_DATA は、セクション 6.6.8 で指定されているように DAC-X-DATA ビットにロードされるバイナリコードの 10 進数に相当します。DAC_DATA の範囲は 0 ~ 255 です。
- I_MAX は、セクション 6.6.5 で指定されている IOUT-RANGE-X 設定における符号付き最大電流です。

- I_{MIN} は、セクション 6.6.5 で指定されている IOUT-RANGE-X 設定における符号付き最小電流です。

6.4.3 コンパレータ モード

すべての DAC チャネルは、電圧出力モードでプログラマブルコンパレータとして構成できます。チャネルのコンパレータモードを開始するには、それぞれの DAC-X-VOUT-CMP-CONFIG レジスタの **CMP-X-EN** ビットに 1 を書き込みます。コンパレータの出力は、**CMP-X-OD-EN** ビットを使用して、プッシュプルまたはオーブンドレインとして構成できます。出力ピンのコンパレータ出力を有効にするには、**CMP-X-OUT-EN** ビットに 1 を書き込みます。コンパレータの出力を反転するには、**CMP-X-INV-EN** ビットに 1 を書き込みます。FBx ピンのインピーダンスは有限です。デフォルトでは、FBx ピンはハイインピーダンス モードになっています。FBx ピンの高インピーダンスを無効にするには、**CMP-X-HIZ-IN-DIS** ビットに 1 を書き込みます。表 6-1 に、各種ビット設定に対するピンのコンパレータ出力を示します。

注

ハイインピーダンス入力モードでは、コンパレータの入力範囲は次のように制限されます。

- ゲイン = 1x、1.5x、または 2x の場合: $V_{FB} \leq (V_{REF} \times \text{ゲイン})/3$
- ゲイン = 3x、または 4x の場合: $V_{FB} \leq (V_{REF} \times \text{ゲイン})/6$

それより高い入力電圧はクリップされます。

表 6-1. コンパレータ出力構成

CMP-X-EN	CMP-X-OUT-EN	CMP-X-OD-EN	CMP-X-INV-EN	CMPX-OUT PIN
0	X	X	X	コンパレータは無効
1	0	X	X	出力なし
1	1	0	0	プッシュプル出力
1	1	0	1	プッシュプルおよび反転出力
1	1	1	0	オーブンドレイン出力
1	1	1	1	オーブンドレインと反転出力

図 6-3 に、すべての DAC チャネルをコンパレータとして構成した場合のインターフェイス回路を示します。プログラマブル コンパレータの動作は 図 6-4 に示すとおりです。表 6-2 に示すように、各コンパレータ チャネルは、対応する DAC-X-CMP-MODE-CONFIG レジスタの **CMP-X-MODE** ビットを使用して、ヒステリシスなし、ヒステリシスあり、およびウンドウ コンパレータ モードで構成できます。

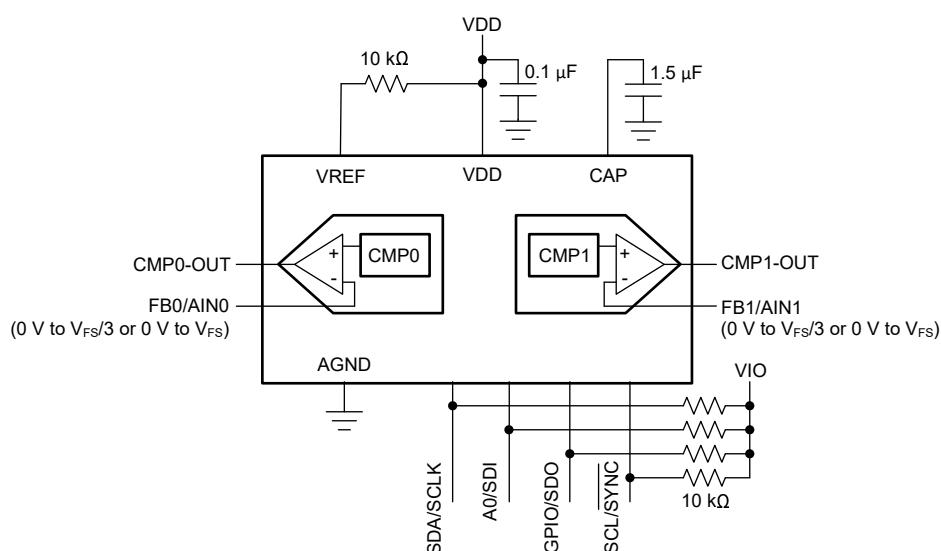


図 6-3. コンパレータ インターフェイス

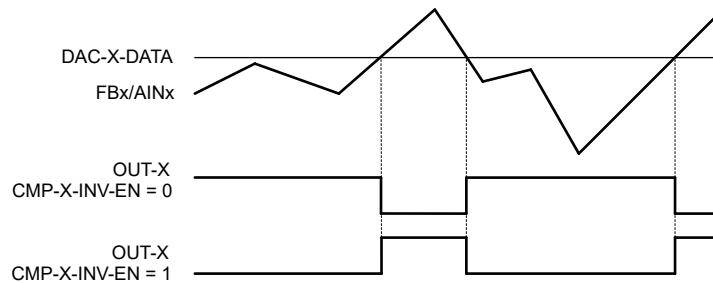


図 6-4. プログラマブル コンパレータの動作

表 6-2. コンパレータモードの選択

CMP-X-MODE のビットフィールド	コンパレータの構成
00	通常のコンパレータ モード。ヒステリシスやウィンドウ動作はありません。
01	ヒステリシス コンパレータ モード。DAC-X-MARGIN-HIGH および DAC-X-MARGIN-LOW レジスタは、ヒステリシスを設定します。
10	ウィンドウ コンパレータ モード。DAC-X-MARGIN-HIGH レジスタおよび DAC-X-MARGIN-LOW レジスタは、ウィンドウ境界を設定します。
11	無効な設定です

6.4.3.1 プログラマブル ヒステリシス コンパレータ

表 6-2 は、CMP-X-MODE ビットが 01b に設定されているとき、コンパレータ モードでヒステリシスが発生することを示しています。図 6-5 は、ヒステリシスが DAC-X-MARGIN-HIGH レジスタと DAC-X-MARGIN-LOW レジスタによって起こされることを示しています。

DAC-X-MARGIN-HIGH がフルコードに設定されるか、DAC-X-MARGIN-LOW がゼロコードに設定されると、コンパレータはラッチ コンパレータとして動作し、スレッショルドを超えた後に出力がラッチされます。ラッチされた出力は、COMMON-DAC-TRIG レジスタの対応する RST-CMP-FLAG-X ビットに書き込むことでリセットできます。図 6-6 は、アクティブ low 出力のラッチ コンパレータの動作を示し、図 6-7 は、アクティブ high 出力のラッチ コンパレータの動作を示しています。

注

DAC-X-MARGIN-HIGH レジスタの値は、DAC-X-MARGIN-LOW レジスタの値より大きくする必要があります。ヒステリシス モードのコンパレータ出力は非反転のみ可能です。つまり、DAC-X-VOUT-CMP-CONFIG レジスタの CMP-X-INV-EN ビットを 0 に設定する必要があります。リセットをラッチモードで有効にするには、入力電圧が DAC-X-MARGIN-HIGH と DAC-X-MARGIN-LOW の範囲内にある必要があります。

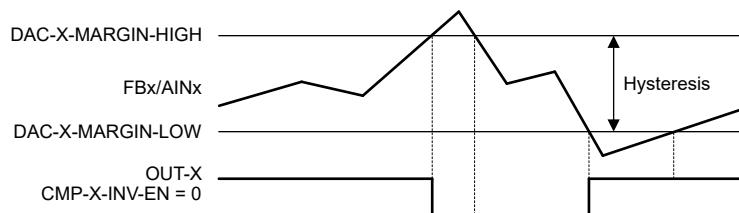


図 6-5. プログラマブル ヒステリシス (出力のラッチなし)

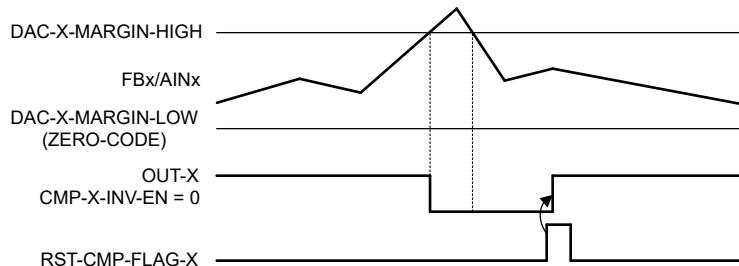


図 6-6. アクティブ Low 出力のラッチ コンパレータ

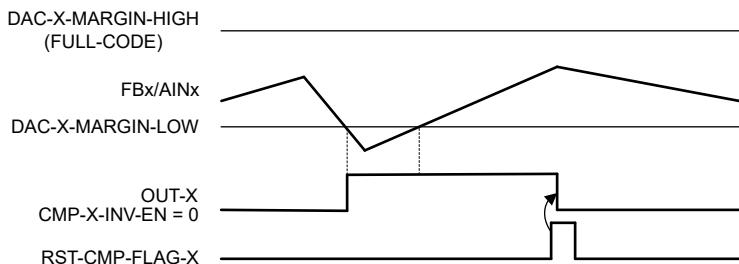


図 6-7. アクティブ High 出力のラッチ コンパレータ

6.4.3.2 プログラマブル ウィンドウ コンパレータ

ウィンドウ コンパレータ モードは、CMP-X-MODE ビットを 10b に設定することで有効になります (表 6-2 も参照してください)。図 6-8 は、ウィンドウ境界が DAC-X-MARGIN-HIGH レジスタと DAC-X-MARGIN-LOW レジスタによって設定されることを示しています。特定のチャネルのウィンドウ コンパレータの出力は、CMP ステータス レジスタの該当する WIN-CMP-X ビットによって示されます。コンパレータの出力 (WIN-CMP-X) は、COMMON-CONFIG レジスタの WIN-LATCH-EN ビットに 1 を書き込むことでラッチできます。ラッチされた後、コンパレータ出力は COMMON-DAC-TRIG レジスタの対応する RST-CMP-FLAG-X ビットを使用してリセットできます。リセットを有効にするには、入力がウィンドウ範囲内にある必要があります。

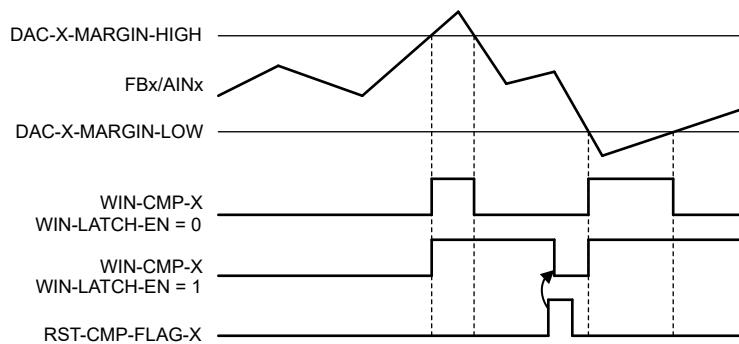


図 6-8. ウィンドウ コンパレータの動作

チャネルごとに 1 つのコンパレータを使用して、ウィンドウのマージン *high* とマージン *low* の両方をチェックします。そのため、ウィンドウ コンパレータ機能の応答時間は有限です (セクション 5.7 も参照してください)。WIN-CMP-X ビットの静的な動作は、出力ピンに反映されません。CMP-X-OUT-EN ビットを 0 に設定します。WIN-CMP-X ビットは、通信インターフェイスを使用してデジタル形式で読み取る必要があります。このビットは GPIO ピンにマッピングすることもできます (表 6-19 も参照してください)。

注

- DAC-X-MARGIN-HIGH レジスタの値は、DAC-X-MARGIN-LOW レジスタの値より大きくする必要があります。
- ウィンドウ コンパレータから最適な応答時間を得るには、DAC-X-FUNC-CONFIG レジスタの SLEW-RATE-X ビットを 0000b (スルーナし) に、LOG-SLEW-EN-X ビットを 0b に設定します。
- DAC-X-VOUT-CMP-CONFIG レジスタの CMP-X-OUT-EN ビットを 0b に設定することで、OUT ピンが不要になります。

6.4.4 フォルトダンプ モード

DAC63202W には、FAULT-DUMP (フォルトダンプ) ビットがトリガされたとき、またはフォルトダンプにマッピングされた GPIO がトリガされたときに、いくつかのレジスタを NVM に保存する機能があります (表 6-18 も参照してください)。この機能は、システムレベルの障害管理で、故障がトリガされる直前のデバイスまたはシステムの状態をキャプチャし、故障が発生した後で診断できるようにするのに役立ちます。フォルトダンプがトリガされたときに保存されるレジスタは次のとおりです。

- CMP-STATUS[7:0]
- DAC-0-DATA[15:8]
- DAC-1-DATA[15:8]

注

フォルトダンプ サイクルの進行中は、データに変更を加えると最終的な結果が破損する可能性があります。

NVM 書き込みサイクル中は、コンパレータと DAC コードが安定していることを確認してください。

表 6-3 に、NVM のレジスタの保存フォーマットを示します。

表 6-3. フォルトダンプ NVM ストレージ フォーマット

NVM 行	B31-B24	B23-B16	B15-B8	B7-B0
Row1	CMP-STATUS[7:0]		未使用	
Row2	DAC-1-DATA[15:8]		未使用	DAC-1-DATA[15:8]

フォルトダンプ後に NVM でキャプチャされたデータは、次の特定のシーケンスで読み取ることができます。

1. COMMON-CONFIG レジスタで EE-READ-ADDR ビットを 0b に設定して、NVM の行 1 を選択します。
2. COMMON-TRIGGER レジスタの READ-ONE-TRIG に 1 を書き込んで、選択された NVM 行の読み出しをトリガします。このビットは自動セットされます。このアクションにより、選択された NVM 行のデータが SRAM アドレス 0x9D (NVM の LSB 16 ビット) および 0x9E (NVM の MSB 16 ビット) にコピーされます。
3. SRAM データを読み取るには、次の手順に従います。
 - a. SRAM-CONFIG レジスタに 0x009D を書き込みます。
 - b. SRAM DATA レジスタからデータを読み取り、 LSB 16 ビットを取得します。
 - c. SRAM-CONFIG レジスタに 0x009E を書き込みます。
 - d. SRAM-DATA レジスタからデータを再度読み取り、MSB ビットを取得します。
4. COMMON-CONFIG レジスタで EE-READ-ADDR ビットを 1b に設定して、NVM の行 2 を選択します。ステップ 2 と 3 を繰り返します。

6.4.5 アプリケーション固有のモード

このセクションでは、DAC63202W で利用できる特定のアプリケーション（用途）向けの機能モードについて詳しく説明します。

6.4.5.1 電圧マージン処理およびスケーリング

電圧マージン処理やスケーリングは、DAC63202W の主な用途です。このセクションでは、ハイインピーダンス出力、スルーレート制御、PROTECT 入力、PMBus 互換性など、この用途で利用できる具体的な機能を示します。

6.4.5.1.1 ハイインピーダンスおよびPROTECT 入力

VDD がオフのとき、すべての DAC 出力チャネルはハイインピーダンス状態 (Hi-Z) に維持されます。図 6-9 に、電圧マージン測定アプリケーションで使用される DAC63202W の概略回路図を示します。直列抵抗 R_S は、電圧出力モードで必要ですが、電流出力モードではオプションです。ほぼすべてのリニアレギュレータと DC/DC コンバータの帰還電圧は $\leq 1.25V$ です。出力での低リーケ電流は、 $V_{FB} \leq 1.25V$ で維持されます。したがって、実用上、電圧マージンおよびスケーリング アプリケーションで DAC の VDD がオフの場合、DAC 出力は Hi-Z (ハイインピーダンス) と表示されます。この機能により、DAC の電源シーケンスを追加しなくても、DAC63202W をシステムにシームレスに統合できます。

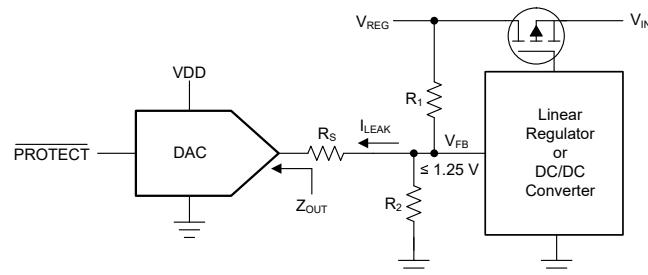


図 6-9. ハイインピーダンス (Hi-Z) 出力およびPROTECT 入力

DAC チャンネルは起動時にハイインピーダンスにパワーダウンします。出力は、DC/DC コンバータまたはリニアレギュレータの公称出力に対応する事前にプログラムされたコードで起動できます。この機能により、DC/DC コンバータやリニアレギュレータの帰還ループに影響を及ぼすことなく、DAC のスムーズなパワーアップとパワーダウンが可能になります。

表 6-18 に、DAC63202W の GPIO ピンを PROTECT 機能として構成する方法を示します。PROTECT 機能は、DAC 出力を予測可能な状態にし、スルーまたは直接遷移します。この機能は、DAC 出力がプロセッサの関与なしで事前定義された状態に達することを要求する、異常条件（ブランクアウトなど）、サブシステム障害、またはソフトウェアのクラッシュが発生したシステムに役立ちます。検出されたイベントは、PROTECT 入力として構成されている GPIO ピンに供給することができます。PROTECT 機能は、共通トリガレジスタの保護ビットを使用してトリガすることもできます。表 6-4 は、DEVICE-MODE-CONFIG レジスタの PROTECT-CONFIG フィールドで PROTECT 機能の動作を設定する方法を示しています。

注

- PROTECT 機能がトリガされた後、機能が完了するまで、通信インターフェイスで書き込み機能は無効になります。
- PROTECT 機能がトリガされると、CMP-STATUS レジスタの保護フラグビットは 1 に設定されます。このビットは、CMP-STATUS レジスタを読み出すことでポーリングできます。PROTECT 機能の完了後、CMP-STATUS レジスタの読み取りコマンドによって PROTECT-FLAG ビットがリセットされます。

表 6-4. PROTECT 機能設定

PROTECT-CONFIG FIELD	機能
00	ハイインピーダンスパワーダウン（スルーなし）に切り替えます。
01	NVM に保存された DAC コード（スルーなし）に切り替えてから、ハイインピーダンスパワーダウンに切り替えます。
10	マージン low コードまでスルーし、その後、ハイインピーダンスパワーダウンに切り替えます。

表 6-4. **PROTECT** 機能設定 (続き)

PROTECT-CONFIG FIELD	機能
11	マージン high コードまでスルーし、その後、ハイインピーダンスパワーダウンに切り替わります。

6.4.5.1.2 プログラム可能なスルーレート コントロール

DAC データレジスタに書き込まれると、DAC 出力 (V_{OUT}) の電圧は、電気的特性で指定されたスルーレートとセトリング時間に従って、すぐに新しいコードに遷移します。

スルーレートコントロール能を使用すると、ユーザーは出力電圧 (V_{OUT}) の変化率を制御できます。この機能を有効にすると (SLEW-RATE-X[3:0] ビットを使用)、DAC 出力は、DAC-X-FUNC-CONFIG レジスタの CODE-STEP-X ビットと SLEW-RATE-X ビットで設定されたステップサイズとステップあたりの時間間隔を使用して、現在のコードから DAC-X-MARGIN-HIGH レジスタまたは DAC-X-MARGIN-LOW レジスタのコードに変更されます (DAC にマージン high または low コマンドが発行された場合)。

- SLEW-RATE-X は、デジタルスルーが更新されるステップごとの時間間隔を定義します。
- CODE-STEP-X は、対応するチャネルの各更新時に出力値が変化する LSB の数を定義します。

表 6-5 と表 6-6 は、CODE-STEP-X と SLEW-RATE-X で利用可能な異なる設定を示しています。デフォルトのスルーレートコントロール設定である「no-slew」では、出力は出力駆動回路と接続された負荷によって制限されるレートで即座に変化します。

スルーレートコントロール機能を使用する場合、プログラムされたスルーレートで出力の変化が発生します。図 6-10 は、この構成で出力が階段状態になることを示しています。出力スルーレート動作中は、CODE-STEP-X、SLEW-RATE-X、または DAC-X-DATA に書き込まないでください。式 5 はスルーレート (t_{SLEW}) を計算するための式です。

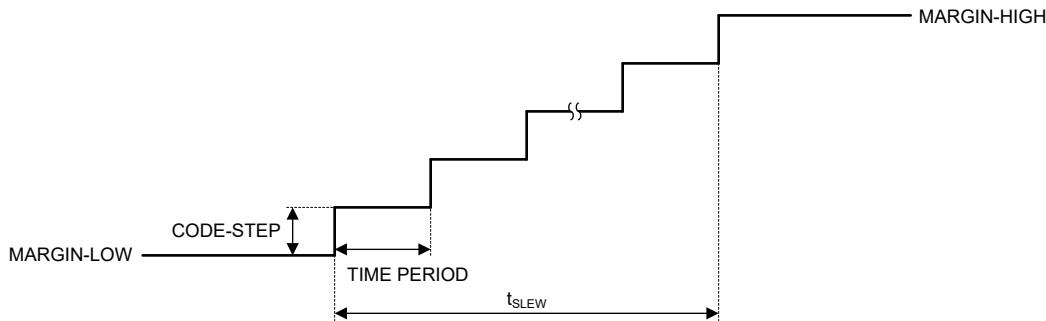


図 6-10. プログラム可能なスルーレート コントロール

$$t_{SLEW} = SLEW_RATE \times \text{CEILING}\left(\frac{\text{MARGIN_HIGH} - \text{MARGIN_LOW}}{\text{CODE_STEP}} + 1\right) \quad (5)$$

ここで

- SLEW_RATE は、表 6-6 に指定された SLEW-RATE-X 設定です。
- CODE_STEP は、表 6-5 に指定された CODE-STEP-X 設定です。
- MARGIN_HIGH は、DAC-X-MARGIN-HIGH レジスタの DAC-X-MARGIN-HIGH ビットの 10 進数値です。
- MARGIN_LOW は、DAC-X-MARGIN-LOW レジスタの DAC-X-MARGIN-LOW ビットの 10 進数値です。

表 6-5. コードステップ

レジスタ	CODE-STEP-X[2]	CODE-STEP-X[1]	CODE-STEP-X[0]	CODE STEP SIZE
DAC-X-FUNC-CONFIG	0	0	0	1 LSB (デフォルト)
	0	0	1	2 LSB
	0	1	0	3 LSB
	0	1	1	4 LSB
	1	0	0	6 LSB
	1	0	1	8 LSB
	1	1	0	16 LSB
	1	1	1	32 LSB

表 6-6. スルー レート

レジスタ	SLEW-RATE-X[3]	SLEW-RATE-X[2]	SLEW-RATE-X[1]	SLEW-RATE-X[0]	TIME PERIOD (PER STEP)
DAC-X-FUNC-CONFIG	0	0	0	0	スルーなし (デフォルト)
	0	0	0	1	4μs
	0	0	1	0	8μs
	0	0	1	1	12μs
	0	1	0	0	18μs
	0	1	0	1	27μs
	0	1	1	0	40.5μs
	0	1	1	1	60.75μs
	1	0	0	0	91.13μs
	1	0	0	1	136.69μs
	1	0	1	0	239.2μs
	1	0	1	1	418.61μs
	1	1	0	0	732.56μs
	1	1	0	1	1281.98μs
	1	1	1	0	2563.96μs
	1	1	1	1	5127.92μs

6.4.5.1.3 PMBus 互換モード

PMBus プロトコルは、電源管理のための I²C ベースの通信規格です。PMBus には、電源アプリケーション向けにカスタマイズされた標準コマンドコードが含まれています。DAC63202W は、*Turn Off*、*Turn On*、*Margin Low*、*Margin High*、*Communication Failure Alert Bit (CML)*、および *PMBUS revision* などのいくつかの PMBus コマンドを実装しています。図 6-11 に、代表的な PMBus 接続を示します。PMBus プロトコルを有効にするには、INTERFACE-CONFIG レジスタの EN-PMBUS ビットを 1 にセットする必要があります。

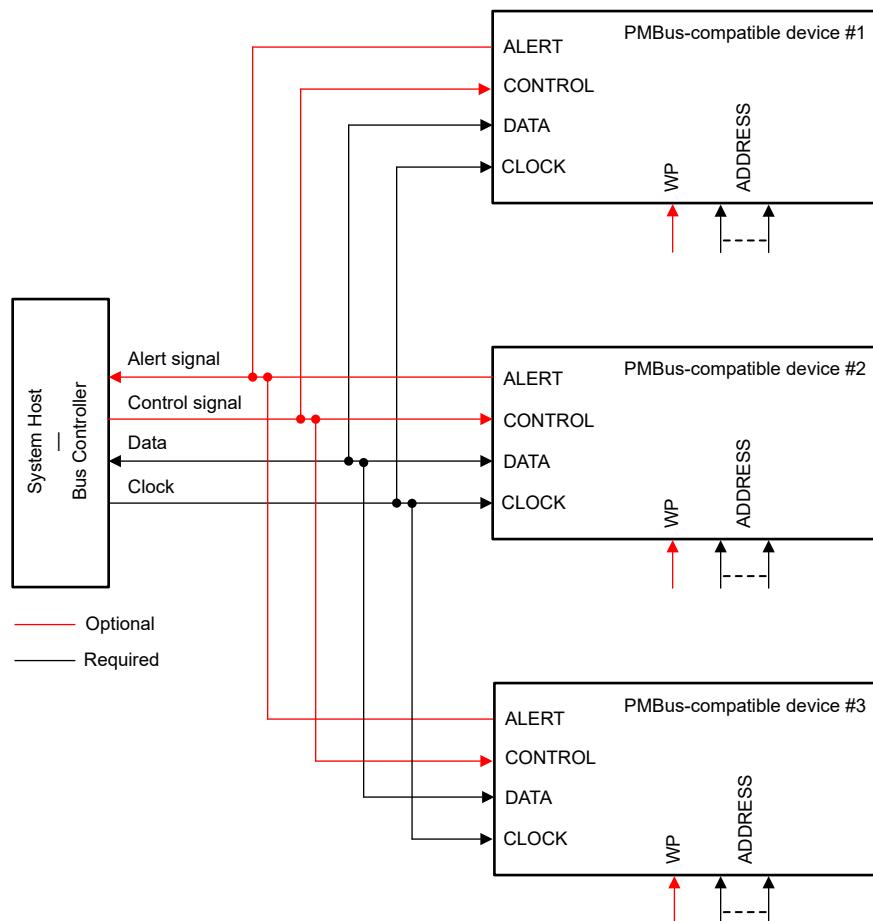


図 6-11. PMBus の接続

I²C と同様に、PMBus は 8 ビットデータバイトの可変長パケットであり、それぞれにレシーバアクノリッジ (受信確認) があり、START ビットと STOP ビットの間でラップされます。最初のバイトは常に 7 ビットのターゲット アドレスで、その後に書き込みビット (偶数アドレスと呼ばれることもあります) が続き、パケットの宛先の受信者を識別します。2 番目のバイトは 8 ビットのコマンドバイトで、それぞれのコマンドコードを使用して、送信される PMBus コマンドを識別します。コマンドバイトの後、トランシッタはコマンドに関連付けられたデータをレシーバのコマンド レジスタに書き込むために送信するか (最下位バイトから最上位バイトへ。表 6-7 も参照してください)、コマンド レジスタに関連付けられたデータをレシーバから読み取る要求を指示する新しいスタートビットを送信します。次に、レシーバは最下位バイトを最初に送信する形式でデータを送信します (表 6-8 も参照してください)。

表 6-7. PMBus 更新シーケンス

MSB	...	LSB	ACK	MSB	...	LSB	ACK	MSB	...	LSB	ACK	MSB	...	LSB	ACK
アドレス (A) バイト セクション 6.5.2.2.1				コマンド バイト セクション 6.5.2.2.2				データバイト — LSDB				データバイト — MSDB (オプション)			
DB [31:24]				DB [23:16]				DB [15:8]				DB [7:0]			

表 6-8. PMBus 読み出しシーケンス

S	MSB	...	R/W (0)	ACK	MSB	...	LSB	ACK	Sr	MSB	...	R/W (1)	ACK	MSB	...	LSB	ACK	MSB	...	LSB	ACK
	アドレス バイト セクション 6.5.2.2.1				コマンド バイト セクション 6.5.2.2.2				Sr	アドレス バイト セクション 6.5.2.2.1				LSDB			MSDB (オプション)				
コントローラから	ターゲット	コントローラから	ターゲット		コントローラから		ターゲット			ターゲットから		コントローラ		ターゲットから		コントローラ		ターゲットから		コントローラ	

DAC63202W の I²C インターフェイスには、一部の PMBus コマンドが実装されています。表 6-9 は、DAC63202W に実装されているサポートされている PMBus コマンドを示しています。DAC は、PMBUS-OPERATION-CMD-X に DAC-X-MARGIN-LOW、DAC-X-MARGIN-HIGH ビット、SLEW-RATE-X、および CODE-STEP-X ビットを使用します。複数のチャネルにアクセスするには、まずレジスタマップセクションのレジスタ名テーブルで指定されている PMBus ページアドレスを PMBUS-PAGE レジスタに書き込み、次にチャネル固有のレジスタに書き込みます。

表 6-9. PMBus 動作コマンド

レジスタ	PMBUS-OPERATION-CMD-X[15:8]	説明
PMBUS-OP-CMD-X	00h	ターンオフ
	80h	ターンオン
	94h	マージン low
	A4h	マージン high

DAC63202W は、グループ コマンド プロトコルや通信タイムアウト障害などの PMBus 機能も実装しています。PMBUS-CML レジスタの CML ビットは、PMBus の通信故障を示します。このビットは 1 を書き込むことによってリセットされます。

PMBus のバージョンを取得するには、PMBUS-VERSION レジスタを読み取ります。

6.4.5.2 機能生成

DAC63202W は、連続機能または波形生成機能を実装しています。これらのデバイスは、すべてのチャネルに対して三角波、ノコギリ波、正弦波を独立して生成できます。

6.4.5.2.1 三角波生成

図 6-12 は、三角波では、それぞれ最小レベルと最大レベルに **DAC-X-MARGIN-LOW (FUNCTION-MIN)** レジスタと **DAC-X-MARGIN-HIGH (FUNCTION-MAX)** レジスタが使用されることを示しています。式 6 に示すとおり、波形の周波数は、最小レベルと最大レベル、コードステップとスルーレートの設定によって異なります。時定数がスルーレート設定よりも大きい外部 RC 負荷は、内部周波数の計算で支配的になります。CODE-STEP-X および SLEW-RATE-X 設定は、**DAC-X-FUNC-CONFIG** レジスタで使用できます。**DAC-X-FUNC-CONFIG** レジスタの **FUNC-CONFIG-X** ビットフィールドに 0b000 を書き込むと、三角波が選択されます。

$$f_{\text{TRIANGLE}} = \frac{1}{2 \times \text{TIME_STEP} \times \text{CEILING}\left(\frac{\text{FUNCTION_MAX} - \text{FUNCTION_MIN}}{\text{CODE_STEP}}\right)} \quad (6)$$

ここで、

- TIME_STEP は、表 6-6 に指定された SLEW-RATE-X 設定です。
- CODE_STEP は、表 6-5 に指定された CODE-STEP-X 設定です。
- FUNCTION_MAX は、DAC-X-MARGIN-HIGH レジスタの DAC-X-MARGIN-HIGH ビットの 10 進数値です。
- FUNCTION_MIN は、DAC-X-MARGIN-LOW レジスタの DAC-X-MARGIN-LOW ビットの 10 進数値です。

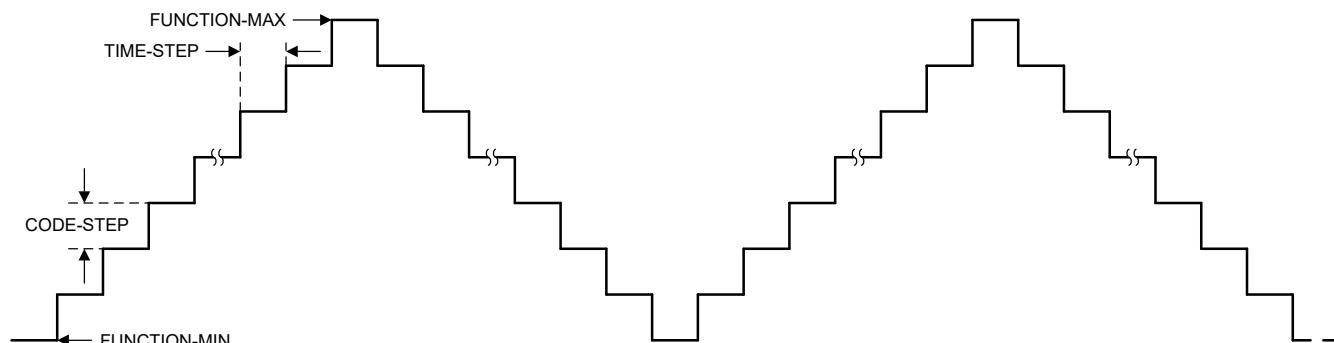


図 6-12. 三角波

6.4.5.2.2 ノコギリ波生成

図 6-13 は、ノコギリ波と逆ノコギリ波は、それぞれ最小レベルと最大レベルに DAC-X-MARGIN-LOW (FUNCTION-MIN) レジスタと DAC-X-MARGIN-HIGH (FUNCTION-MAX) レジスタが使用されることを示しています。式 7 に示すとおり、波形の周波数は、最小レベルと最大レベル、コードステップとスルーレートの設定によって異なります。時定数がスルーレート設定よりも大きい外部 RC 負荷は、内部周波数の計算で支配的になります。CODE-STEP-X および SLEW-RATE-X 設定は、DAC-X-FUNC-CONFIG レジスタで使用できます。DAC-X-FUNC-CONFIG レジスタの FUNC-CONFIG-X ビットフィールドに 0b001 を書き込み、ノコギリ波を選択し、0b010 を書き込み、逆ノコギリ波を選択します。

$$f_{SAWTOOTH} = \frac{1}{\text{TIME_STEP} \times \text{CEILING}\left(\frac{\text{FUNCTION_MAX} - \text{FUNCTION_MIN}}{\text{CODE_STEP}} + 1\right)} \quad (7)$$

ここで、

- TIME_STEP は、表 6-6 に指定された SLEW-RATE-X 設定です。
- CODE_STEP は、表 6-5 に指定された CODE-STEP-X 設定です。
- FUNCTION_MAX は、DAC-X-MARGIN-HIGH レジスタの DAC-X-MARGIN-HIGH ビットの 10 進数値です。
- FUNCTION_MIN は、DAC-X-MARGIN-LOW レジスタの DAC-X-MARGIN-LOW ビットの 10 進数値です。

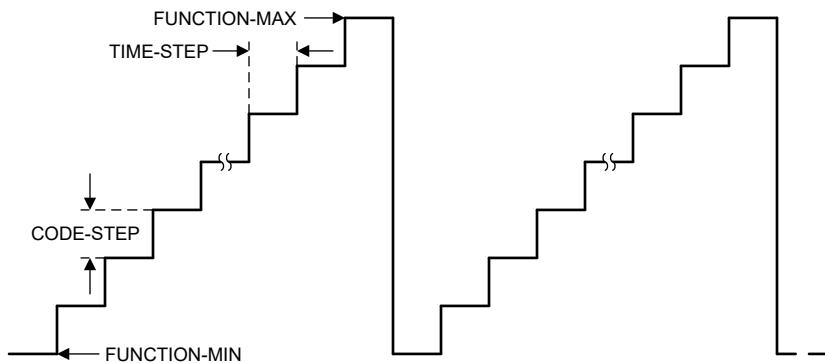


図 6-13. ノコギリ波

6.4.5.2.3 正弦波形生成

正弦波機能では、サイクルごとに 24 のプログラムされたポイントを使用します。正弦波の周波数は、式 8 に示すように SLEW-RATE 設定によって異なります：

$$f_{\text{SINE_WAVE}} = \frac{1}{24 \times \text{SLEW_RATE}} \quad (8)$$

ここで、SLEW_RATE は、表 6-6 で指定されている SLEW-RATE-X 設定です。

時定数がスルーレート設定よりも大きい外部 RC 負荷は、内部周波数の計算で支配的になります。SLEW-RATE-X 設定は、DAC-X-FUNC-CONFIG レジスタで使用できます。DAC-X-FUNC-CONFIG レジスタの FUNC-CONFIG-X ビットフィールドに 0b100 を書き込むと、正弦波が選択されます。正弦波のコードは固定されています。内部リファレンス電圧オプションでフルスケール出力を変更するには、出力アンプのゲイン設定を使用します。ゲイン設定は、DAC-X-VOUT-CMP-CONFIG レジスタの VOUT-GAIN-X ビットからアクセスできます。表 6-10 は、12 ビット解像度の正弦波のハードコードされた離散ポイントのリストを示し、図 6-14 は正弦波の図式表現を示します。正弦波には 4 つの位相設定があり、DAC-X-FUNC-CONFIG レジスタの PHASE-SEL-X ビットを使用して選択されます。

表 6-10. 正弦波データポイント

シーケンス	12-BIT の値	シーケンス	12-BIT の値
0 (0° 位相開始)	0x800	12	0x800
1	0x9A8	13	0x658
2	0xB33	14	0x4CD
3	0xC87	15	0x379
4	0xD8B	16 (240° 位相開始)	0x275
5	0xE2F	17	0x1D1
6 (90° 位相開始)	0xE66	18	0x19A
7	0xE2F	19	0x1D1
8 (120° 位相開始)	0xD8B	20	0x275
9	0xC87	21	0x379
10	0xB33	22	0x4CD
11	0x9A8	23	0x658

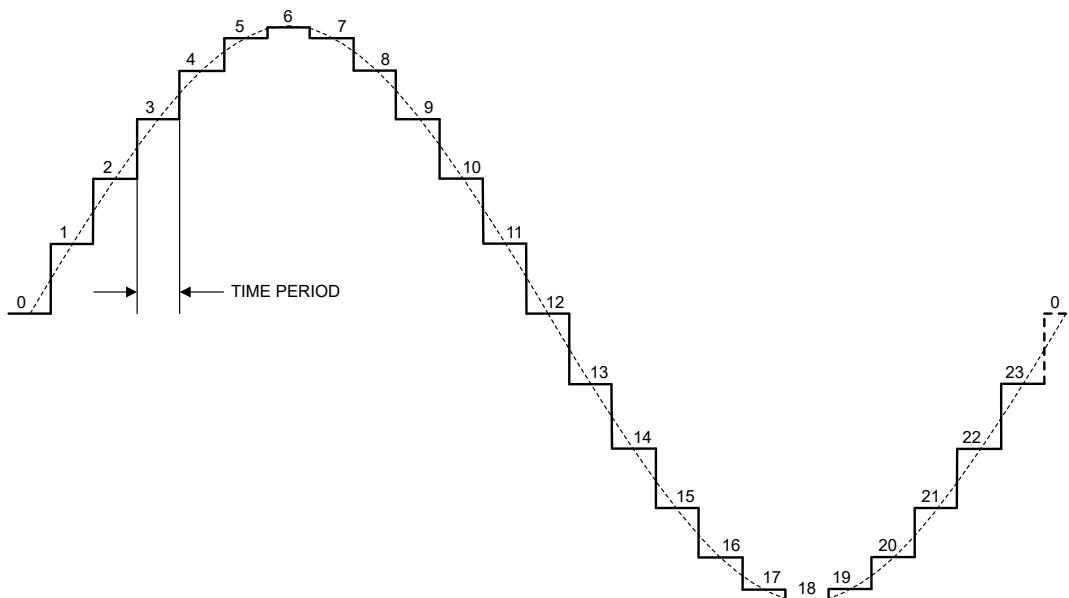


図 6-14. 正弦波生成

6.4.6 デバイスのリセットと故障管理

このセクションでは、DAC63202W パワークリセット (POR)、ソフトウェアリセット、その他の診断およびフォルト管理機能について詳しく説明します。

6.4.6.1 パワークリセット (POR)

DAC63202W ファミリは、電源投入時に出力電圧を制御するパワークリセット (POR) 機能を備えています。 V_{DD} 電源が立ち上がるとき、POR イベントが発行されます。POR によりすべてのレジスタがデフォルト値に初期化され、デバイスとの通信は POR (ブートアップ) 遅延後にのみ有効になります。DAC63202W のすべてのレジスタのデフォルト値は、POR イベントが発行されると直ちに NVM から読み込まれます。

デバイスがパワーアップすると、POR 回路によってデバイスがデフォルト モードに設定されます。図 6-15 は、POR 回路がパワーアップ時に内部コンデンサが放電およびデバイスをリセットするように特定の V_{DD} レベルを必要とする示しています。POR が発生するようにするには、 V_{DD} が 1ms 以上 0.7V 未満である必要があります。 V_{DD} が 1.65V 未満まで低下しても、0.7V を超えるまま (未定義の領域と表示)、指定されたすべての温度および電源条件でデバイスがリセットされる場合と、リセットされない場合があります。この場合は、POR を開始します。 V_{DD} が 1.65V を超えると、POR は発生しません。

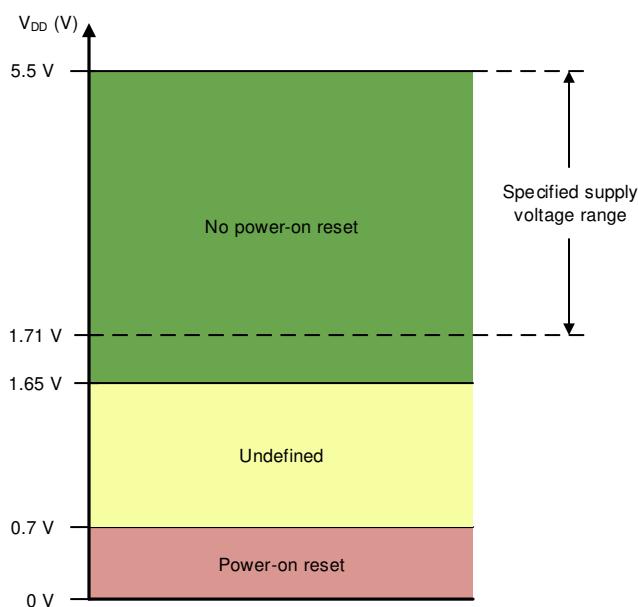


図 6-15. V_{DD} POR 回路のスレッショルド レベル

6.4.6.2 外部リセット

デバイスへの外部リセットは、GPIO ピンまたはレジスタマップを介してトリガできます。デバイスのソフトウェアリセットイベントを開始するには、共通トリガレジスタの RESET フィールドに予約コード 1010 を書き込みます。このソフトウェアリセットにより、POR イベントが開始されます。表 6-18 に、GPIO ピンを RESET ピンとして構成する方法を示します。デバイスのリセット後に設定がクリアされないように、この構成を NVM にプログラムする必要があります。RESET 入力は low パルスである必要があります。RESET 入力の立ち下がりエッジの後、デバイスはブートアップ シーケンスを開始します。RESET 入力の立ち上がりエッジは、何の影響も及ぼしません。

6.4.6.3 レジスタマップロック

DAC63202W は、DAC レジスタへの偶発的な (意図しない) 書き込みを防止するレジスタマップロック機能を実装しています。COMMON-CONFIG レジスタの DEV-LOCK ビットが 1 に設定されている場合、デバイスはすべてのレジスタをロックします。ただし、I²C インターフェイスを使用している場合、COMMON-TRIGGER レジスタによるソフトウェアリセット

機能はロックされません。DEV-LOCK 設定をバイパスするには、COMMON-TRIGGER レジスタの DEV-UNLOCK ビットに 0101 を書き込みます。

6.4.6.4 NVM 巡回冗長検査 (CRC)

DAC63202W には、NVM に保存されたデータが破損していないように、NVM に巡回冗長検査 (CRC) 機能が実装されています。DAC63202W には、次の二種類の CRC アラームビットが実装されています。

- NVM-CRC-FAIL-USER
- NVM-CRC-FAIL-INT

NVM-CRC-FAIL-USER ビットは、ユーザーがプログラム可能な NVM ビットのステータスを示し、NVM-CRC-FAIL-INT ビットは、内部 NVM ビットのステータスを示します。CRC 機能は、NVM プログラム操作 (書き込みまたは再ロード) が実行されるたび、およびデバイスの起動中に、NVM データとともに 16 ビット CRC (CRC-16-CCITT) を保存することによって実装されます。デバイスは NVM データを読み取り、保存されている CRC を使用してデータを検証します。CRC アラーム ビット (汎用ステータス レジスタの NVM-CRC-FAIL-USER と NVM-CRC-FAIL-INT) は、デバイスの NVM からデータが読み取られた後、エラーを報告します。アラーム ビットはブートアップ時にのみ設定されます。

6.4.6.4.1 NVM-CRC-FAIL-USER ビット

NVM-CRC-FAIL-USER ビットのロジック 1 は、ユーザーがプログラム可能な NVM データが破損していることを示しています。この条件の間、DAC 内のすべてのレジスタが工場出荷時リセットの値で初期化され、任意の DAC レジスタへの書き込みまたは読み出しが可能になります。アラーム ビットを 0 にリセットするには、ソフトウェアリセット ([セクション 6.4.6.2](#) も参照してください) コマンドを発行するか、DAC の電源を入れ直します。ソフトウェアリセットや電源サイクルの際にも、ユーザーがプログラム可能な NVM ビットがリロードされます。問題が解決しない場合は、NVM を再プログラムします。

6.4.6.4.2 NVM-CRC-FAIL-INT ビット

NVM-CRC-FAIL-INT ビットのロジック 1 は、内部プログラム可能な NVM データが破損していることを示しています。この条件の間、DAC 内のすべてのレジスタが工場出荷時リセットの値で初期化され、任意の DAC レジスタへの書き込みまたは読み出しが可能になります。一時的な障害が発生した場合、アラーム ビットを 0 にリセットするには、ソフトウェアリセット ([セクション 6.4.6.2](#) も参照してください) コマンドを発行するか、DAC の電源を入れ直します。NVM に永続的な障害が発生すると、デバイスは使用できなくなります。

6.4.7 パワーダウン モード

DAC63202W 出力アンプと内部リファレンスは、COMMON-CONFIG レジスタの EN-INT-REF ビット、VOUT-PDN-X ビット、IOUT-PDN-X ビットにより、個別にパワーダウンできます (図 6-2 も参照してください)。パワーアップ時に、DAC 出力と内部リファレンスはデフォルトで無効になります。パワーダウン モードでは、DAC 出力 (OUTx ピン) はハイインピーダンス状態になります。電圧出力モード (パワーアップ時) でこの状態を $10k\Omega$ -A_{GND} または $100k\Omega$ -A_{GND} に変更するには、VOUT-PDN-X ビットを使用します。電流出力モードのパワーダウン状態は常にハイインピーダンスです。

DAC のパワーアップ状態は、NVM を使用して任意の状態 (パワーダウンまたは通常モード) にプログラムできます。表 6-11 に、DAC のパワーダウンビットを示します。個別のチャネルパワーダウンビットまたはグローバル デバイス パワーダウン機能は、GPIO-CONFIG レジスタを使用して GPIO ピンに割り当てることができます。

表 6-11. DAC パワーダウン ビット

レジスタ	VOUT-PDN-X[1]	VOUT-PDN-X[0]	IOUT-PDN-X	説明
COMMON-CONFIG	0	0	1	VOUT-X をパワーアップします。
	0	1	1	$10k\Omega$ VOUT-X を AGND へパワーダウン。 IOUT-X をハイインピーダンスにパワーダウンします。
	1	0	1	$100k\Omega$ VOUT-X を AGND へパワーダウン。 IOUT-X をハイインピーダンスにパワーダウンします。
	1	1	1	VOUT-X をハイインピーダンスにパワーダウンします。 IOUT-X をハイインピーダンスにパワーダウンします (デフォルト)。
	1	1	0	VOUT-X をハイインピーダンスにパワーダウンします。 IOUT-X をパワーアップします。

6.5 プログラミング

DAC63202W は、3 線式 SPI または 2 線式の I²C インターフェイスでプログラムされます。4 線式 SPI モードは、GPIO ピンを SDO にマッピングすることで有効になります。SPI 読み戻しは、標準の SPI 書き込み動作よりも SCLK よりも低い電圧で動作します。インターフェイスのタイプは、デバイスのパワーアップ後に通信する最初のプロトコルに基づいて決定されます。インターフェイス タイプが判別されると、デバイスはデバイスの電源が入っている間、タイプの変更を無視します。インターフェイスのタイプは、パワーサイクル後に変更できます。

6.5.1 SPI プログラミングモード

DAC63202W の SPI アクセスサイクルを開始するには、SYNC ピンを **low** にアサートします。シリアル クロック **SCLK** は、連続クロックとしても、ゲート クロックとしても動作します。SDI データは、SCLK の立ち下がりエッジに同期します。DAC63202W の SPI フレームは 24 ビット長です。そのため、SYNC ピンは、少なくとも 24 個の SCLK の立ち下がりエッジの間、**low** に維持されます。SYNC ピンが **High** にデアサートされると、アクセス サイクルは終了します。アクセス サイクルに最小クロック エッジよりも短い場合、通信は無視されます。デフォルトでは、SDO ピンは有効になっていません (3 線式 SPI)。3 線式 SPI モードでは、アクセス サイクルに最小クロック エッジより多く含まれる場合、デバイスは最初の 24 ビットのみを使用します。SYNC が **high** のとき、SCLK 信号および SDI 信号がブロックされ、SDO はハイインピーダンスになります。バス上に接続されている他のデバイスからのデータの読み戻しが可能になります。

表 6-12 と 図 6-16 は 24 ビット SPI アクセス サイクルの形式を示しています。SDI への最初のバイト入力は命令サイクルです。命令サイクルは、要求を読み取りコマンドまたは書き込みコマンドとして識別し、アクセスする 7 ビット アドレスを識別します。最後の 16 ビットは、データ サイクルを形成します。

表 6-12. SPI 読み取り/書き込みアクセスサイクル

ビット	フィールド	説明
23	R/W	アドレス指定されたレジスタに対する読み取りまたは書き込みコマンドとして通信を識別します。R/W = 0 は書き込み動作を設定します。R/W = 1 は読み取り動作を設定します
22-16	A[6:0]	レジスタ アドレス: 読み取りまたは書き込み操作中にアクセスするレジスタを指定します
15-0	D[15:0]	データ サイクル ビット: 書き込みコマンドの場合、データ サイクルのビットはアドレス A[6:0] のレジスタに書き込まれる値となります。読み取りコマンドの場合、データ サイクルのビットはドンケル値となります。

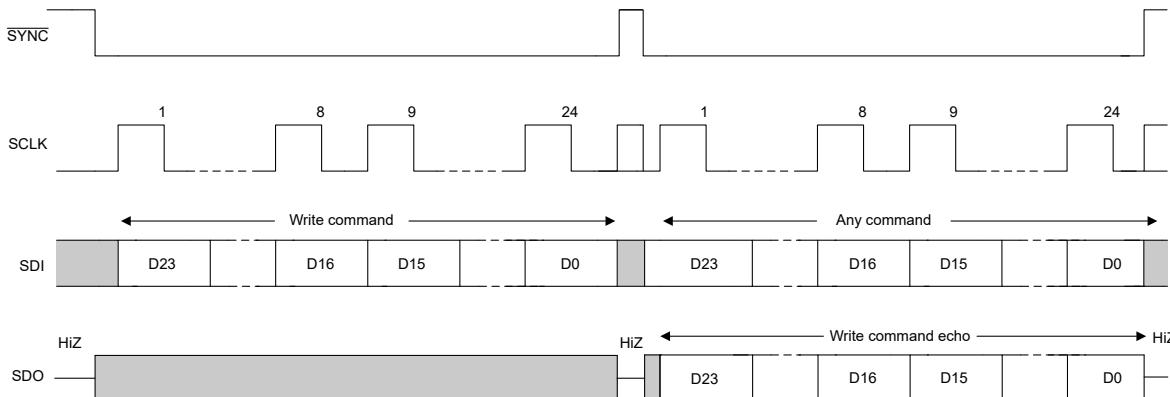


図 6-16. SPI 書き込みサイクル

読み取り操作を行うには、まず INTERFACE-CONFIG レジスタの SDO-EN ビットを設定して SDO ピンを有効にする必要があります。この構成を 4 線式 SPI と呼びます。読み取り操作は、読み取りコマンドのアクセス サイクルを発行することで開始されます。読み取りコマンドの後、要求されたデータを取得するために、2 回目のアクセスサイクルを発行する必要があります。表 6-13 および 図 6-17 に、出力データのフォーマットを示します。データは、FSDO ビットに応じて、SCLK の下落エッジまたは上昇エッジのいずれかで SDO ピンでクロックアウトされます (図 5-3 も参照してください)。

表 6-13. SDO 出力アクセスサイクル

ビット	フィールド	説明
23	R/W	前回のアクセス サイクルのエコー R/W

表 6-13. SDO 出力アクセスサイクル (続き)

ビット	フィールド	説明
22-16	A[6:0]	前回のアクセスサイクルからのレジスタアドレスをエコー
15-0	DI[15:0]	前回のアクセスサイクルで要求されたリードバックデータ

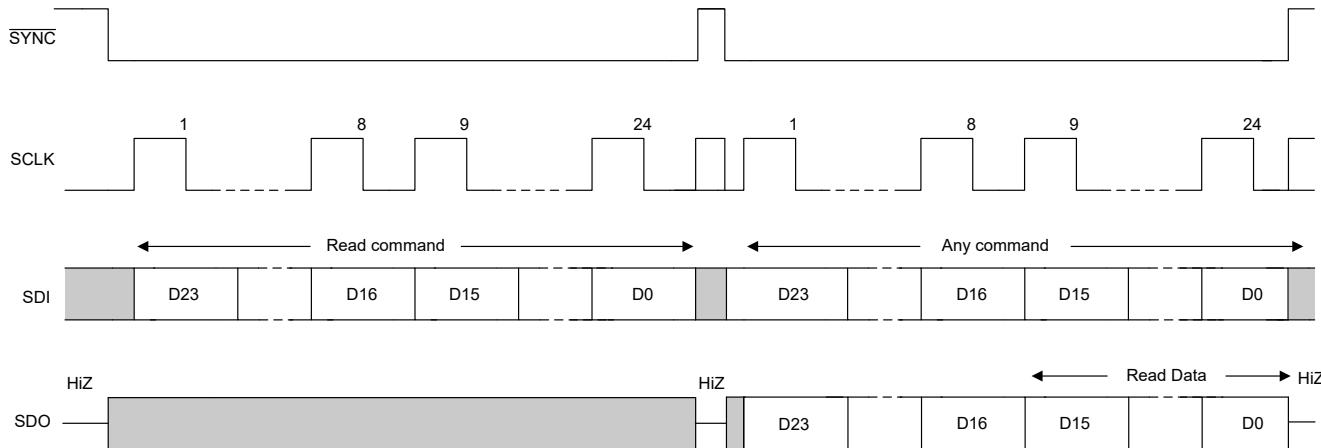


図 6-17. SPI 読み取りサイクル

デイジーチェーン動作は、SDO ピンでも有効になります。図 6-18 は、デイジーチェーンモードでは、1 つのデバイスの SDO ピンが次のデバイスの SDI ピンに接続され、複数のデバイスがチェーン接続されていることを示しています。SPI ホストは、チェーン内の最初のデバイスの SDI ピンを駆動します。チェーン内の最後のデバイスの SDO ピンは、SPI ホストの POCI ピンに接続されます。4 線式 SPI モードでは、アクセスサイクルに 24 のクロックエッジの倍数が含まれる場合、チェーン内の最初のデバイスでは最後の 24 ビットのみが使用されます。アクセスサイクルに 24 の倍数ではないクロックエッジが含まれている場合、SPI パケットはデバイスによって無視されます。図 6-19 に、デイジーチェーン書き込みサイクルのパケットフォーマットを示します。

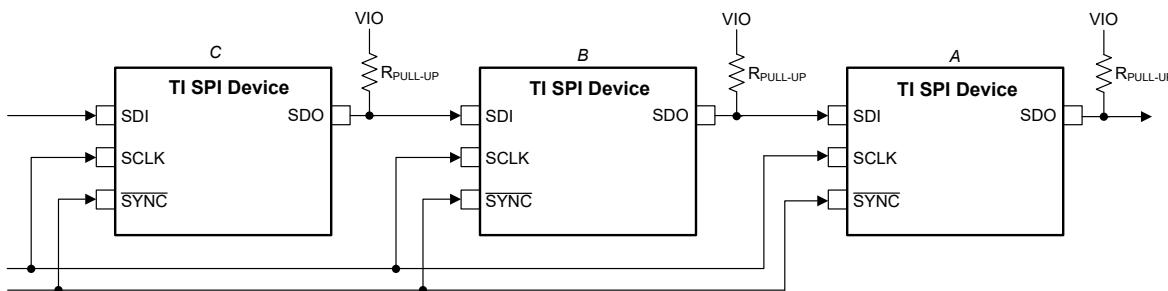


図 6-18. SPI デイジーチェーン接続

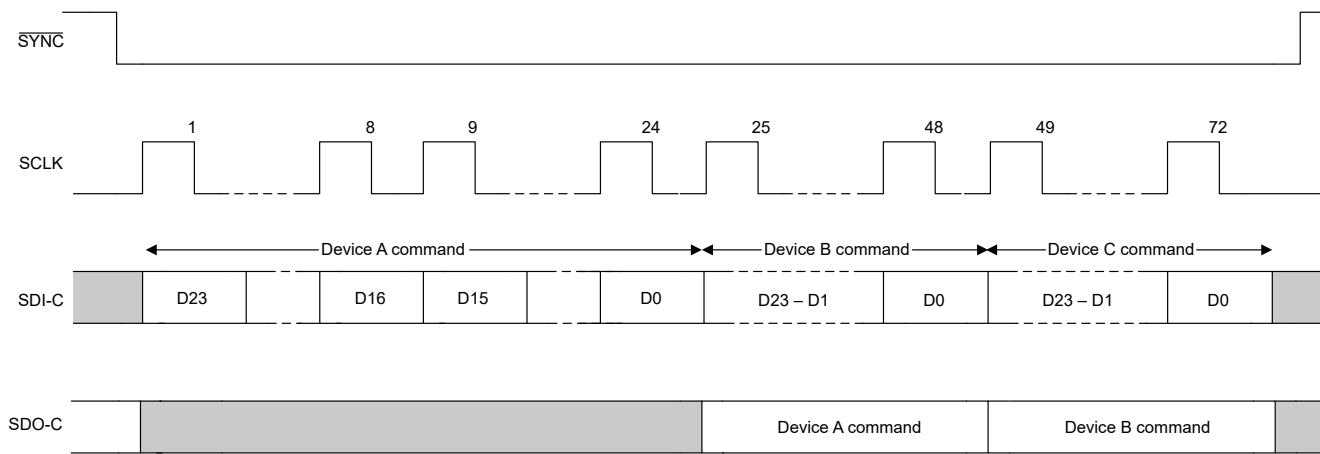


図 6-19. SPI デイジーチェーン書き込みサイクル

6.5.2 I²C プログラミング モード

DAC63202W デバイスには 2 線式シリアルインターフェイス (SCL および SDA) と 1 つのアドレスピン (A0) があります。ピンの構成と機能セクションのピン図も参照してください。I²C バスは、プルアップ構造を持つデータライン (SDA) とクロックライン (SCL) で構成されます。バスがアイドルのときは、SDA ラインと SCL ラインの両方が High にプルされます。I²C 互換のデバイスはすべて、オープンドレインの I/O ピンである SDA および SCL を介して I²C バスに接続します。

I²C 仕様では、通信を制御するデバイスをコントローラと呼び、コントローラによって制御されるデバイスをターゲットと呼びます。コントローラは SCL 信号を生成します。また、コントローラは、バス上に特別なタイミング条件 (スタート条件、繰り返しスタート条件、停止条件) を生成し、データ転送の開始または停止を指示します。デバイスアドレッシングはコントローラが実行します。I²C バス上のコントローラは通常、マイクロコントローラまたはデジタル信号プロセッサ (DSP) です。DAC63202W ファミリは I²C バス上のターゲットとして動作します。ターゲットはコントローラのコマンドを確認し、コントローラの制御下でデータを受信または送信します。

通常、DAC63202W ファミリはターゲット レシーバとして動作します。コントローラは ターゲット レシーバである DAC63202W に対して書き込みを行います。ただし、コントローラが DAC63202W の内部レジスタデータを必要とする場合は、DAC63202W がターゲットトランスマッタとして動作します。この場合、コントローラは DAC63202W から読み取ります。I²C の用語では、読み取りと書き込みはコントローラを指します。

DAC63202W ファミリは、以下のデータ転送モードをサポートしています。

- 標準モード (100kbps)
- ファストモード (400kbps)
- ファストモード プラス (1.0Mbps)

スタンダード モードとファスト モードのデータ転送プロトコルはまったく同じであるため、このデータシートでは両方のモードを F/S モードと呼びます。ファストモードプラスプロトコルは、データ転送速度の点でサポートされていますが、出力電流はサポートされていません。Low レベル出力電流は 3mA で、標準モードおよびファストモードの場合と同様です。DAC63202W ファミリは 7 ビットアドレッシングをサポートしています。10 ビットアドレッシング モードはサポートしていません。また、ジェネラル コール リセット機能をサポートしています。次のシーケンスを送信すると、デバイス内でソフトウェアリセットが開始されます：開始、または開始、0x00、0x06、停止の繰り返し。リセットは、2 番目のバイトに続く ACK ビットの立ち上がりエッジでデバイス内でアサートされます。

特定のタイミング信号以外では、I²C インターフェイスはシリアル バイトで動作します。各バイトの最後に、9 回目のクロックサイクルで確認応答信号が生成および検出されます。確認応答は、9 回目のクロック サイクルの high 期間中 SDA ラインを low にすることで行われます。否定応答は、図 6-20 に示すように 9 回目のクロック サイクルの high 期間中 SDA ラインを high のまま保持することで行われます。

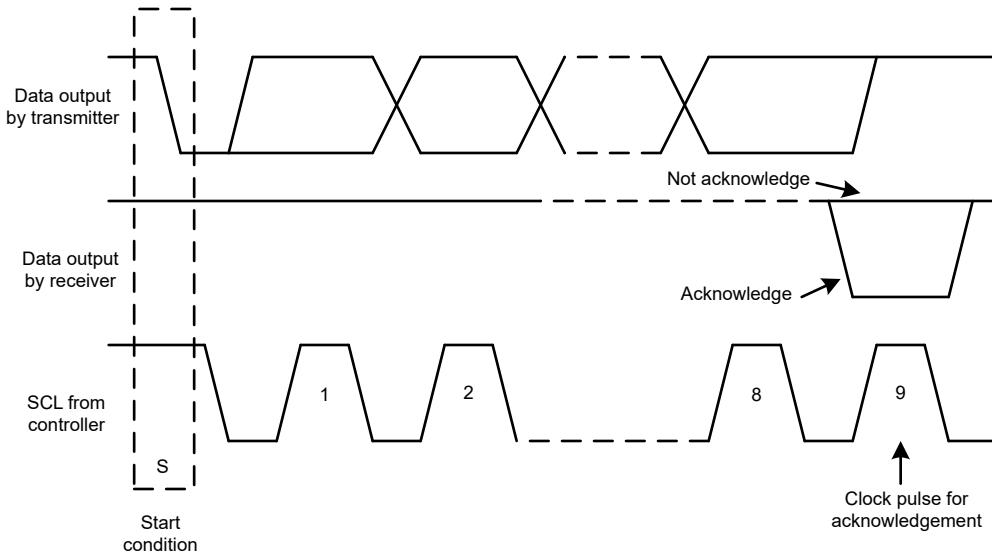


図 6-20. I²C バスにおける確認応答と非確認応答

6.5.2.1 F/S モードのプロトコル

次のステップでは、F/S モードでのトランザクションの完了について説明します。

1. コントローラは、スタート条件を生成することで、データ転送を開始します。図 6-21 は、SCL がハイの状態で SDA ラインにハイからローへの遷移が発生すると、スタート条件を示しています。すべての I²C 互換デバイスは、スタート条件を認識します。
2. 次に、コントローラは SCL パルスを生成し、7 ビットのアドレスと読み取り/書き込み方向ビット (R/W) を SDA ライン上で送信します。すべての送信中、コントローラはデータが有効であることを確認します。図 6-22 は、有効なデータ条件では、クロックパルスのハイ期間全体にわたって SDA ラインが安定している必要があることを示しています。すべてのデバイスは、コントローラによって送信されたアドレスを認識して、そのアドレスをそれぞれの内部の固定アドレスと比較します。一致するアドレスを持つターゲット デバイスだけが、9 番目の SCL サイクルのハイ期間全体にわたって SDA ラインをローにすることで、アクノリッジを生成します (図 6-20 も参照してください)。コントローラがこの確認を検出すると、ターゲットとの通信リンクが確立されます。
3. コントローラは、ターゲットにデータを送信 (R/W ビット 0) または受信 (R/W ビット 1) するために、さらに SCL サイクルを生成します。どちらの場合も、トランシッタから送信されたデータに対してレシーバがアクノリッジを返す必要があります。確認応答信号は、コントローラまたはターゲットのどちらが受信者であるかによって、コントローラまたはターゲットによって生成されます。8 つのデータビットと 1 つのアクノリッジ ビットから構成される 9 ビットの有効なデータシーケンスを、必要なだけ続けることができます。
4. 図 6-21 は、データ転送の終了を通知するために、コントローラは SCL ラインがハイの状態で SDA ラインを low から high に引き上げることでストップ条件を生成することを示しています。このアクションによってバスが解放され、アドレス指定されたターゲットとの通信リンクが停止します。すべての I²C 互換デバイスが、ストップ条件を認識する必要があります。ストップ条件の受信によって、バスは解放され、すべてのターゲット デバイスはスタート条件および一致するアドレスが送信されるのを待ちます。

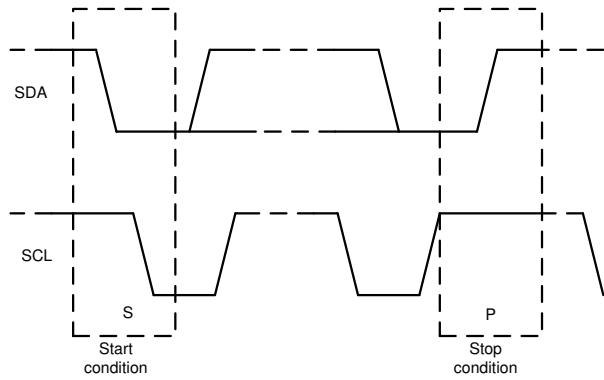
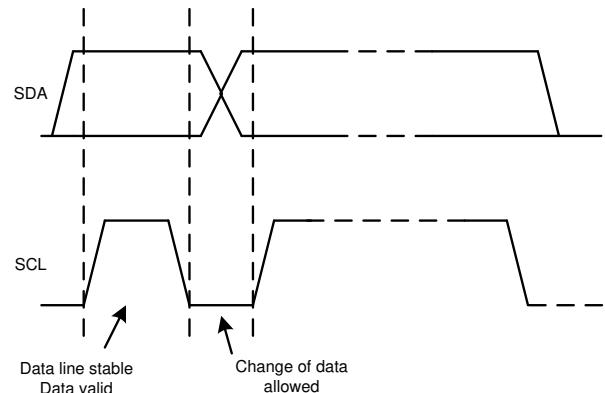


図 6-21. START 条件と STOP 条件

図 6-22. I²C バスでのビット転送

6.5.2.2 I²C 更新シーケンス

表 6-14 は、1 回の更新で、DAC63202W には開始条件、有効な I²C アドレスバイト、コマンドバイト、および 2 つのデータバイトが必要であることを示しています。

表 6-14. 更新シーケンス

MSB	...	LSB	ACK	MSB	...	LSB	ACK	MSB	...	LSB	ACK	MSB	...	LSB	ACK
アドレス (A) バイト セクション 6.5.2.2.1	コマンド バイト セクション 6.5.2.2.2			データバイト — MSDB			データバイト — LSDB								
DB [31:24]	DB [23:16]			DB [15:8]			DB [7:0]								

図 6-23 は、各バイトの受信後、DAC63202W ファミリは 1 つのクロック パルスの high 期間中に SDA ラインを low にすることによって、確認応答を行うことを示しています。この 4 つのバイトと確認応答サイクルにより、1 回の更新を実行するために必要な 36 のクロック サイクルが生成されます。有効な I²C アドレスバイトによって、DAC63202W が選択されます。

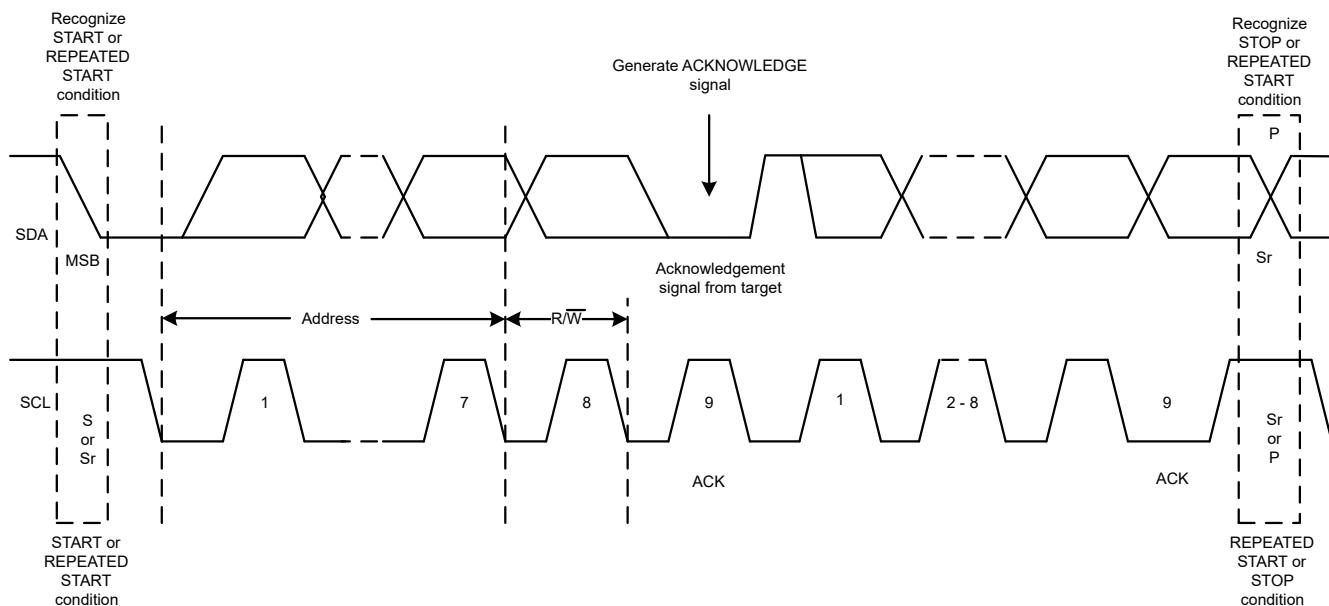


図 6-23. I²C バス プロトコル

コマンド バイトは、選択した DAC63202W デバイスの動作モードを設定します。このバイトによって動作モードが選択されたときにデータ更新が行われるためには、DAC63202W デバイスは最上位データバイト (MSDB) と最下位データバイト (LSDB) の 2 つのデータバイトを受信する必要があります。DAC63202W デバイスは、LSDB バイトに続くアクリシジ信号の立ち下がりエッジで更新を実行します。

高速モード (クロック = 400kHz) を使用する場合、DAC の最大更新レートは 10kSPS に制限されます。高速モード プラス (クロック = 1MHz) を使用すると、DAC の最大更新レートは 25 kSPS に制限されます。ストップ条件を受信すると、DAC63202W デバイスは I²C バスを解放し、新しいスタート条件を待ちます。

6.5.2.2.1 アドレスバイト

表 6-15 に、スタート条件に続いてコントローラ デバイスから受信した最初のバイトであるアドレスバイトを示します。アドレスの最初の 4 ビット (MSB) は工場出荷時に 1001 にプリセットされています。アドレスの次の 3 ビットは、A0 ピンによって制御されます。A0 ピン入力は、VDD、AGND、SCL、SDA に接続できます。各データフレームの最初のバイトにおいて A0 ピンがサンプリングされて、アドレスが決定します。デバイスはアドレス ピンの値をラッチし、その結果として、表 6-16 に従ってその特定のアドレスに応答します。

表 6-15. アドレスバイト

備考	MSB								LSB
	AD6	AD5	AD4	AD3	AD2	AD1	AD0	R/W	
一般アドレス	1	0	0	1	表 6-16 (ターゲットアドレスの列) を参照			0 または 1	
ブロードキャストアドレス	1	0	0	0	1	1	1	0	

表 6-16. アドレスフォーマット

TARGET ADDRESS	A0 ピン
000	AGND
001	VDD
010	SDA
011	SCL

DAC63202W は、複数の DAC63202W デバイスを同期的に更新または電源をオフにするために使用されるブロードキャストアドレス指定をサポートしています。ブロードキャストアドレスを使用すると、DAC63202W はアドレス ピンの状態に関係なく応答します。ブロードキャストは、書き込みモードでのみサポートされます。

6.5.2.2.2 コマンドバイト

「レジスタマップ」セクションの「レジスタ名」表に、アドレス列のコマンドバイトを示します。

6.5.2.3 I²C 読み出しシーケンス

レジスタを読み取るには、次のコマンド シーケンスを使用する必要があります。

1. スタートまたは再スタートコマンドとターゲットアドレス、書き込みの 0 に設定した R/W ビットを送信します。デバイスは、このイベントをアクノリッジ(受信確認)します。
2. 読み取り対象レジスタのコマンド バイトを送信します。デバイスは、このイベントを再度アクノリッジします。
3. 再スタートとターゲットアドレス、読み取りの「1」に設定した R/W ビットを送信します。デバイスは、このイベントをアクノリッジ(受信確認)します。
4. デバイスは、アドレス指定されたレジスタの MSDB バイトを書き込みます。コントローラはこのバイトをアクノリッジする必要があります。
5. 最後に、デバイスはレジスタの LSDB に書き込みます。

ブロードキャストアドレスを読み取りに使用することはできません。

表 6-17. 読み取りシーケンス

S	MSB	...	R/W (0)	ACK	MSB	...	LSB	ACK	Sr	MSB	...	R/W (1)	ACK	MSB	...	LSB	ACK	MSB	...	LSB	ACK
	アドレス バイト セクション 6.5.2.2.1				コマンド バイト セクション 6.5.2.2.2			Sr	アドレス バイト セクション 6.5.2.2.1				MSDB				LSDB				
	コントローラから		ターゲット		コントローラから		ターゲット		コントローラから		ターゲット		ターゲットから		コントローラ		ターゲットから		コントローラ		

6.5.3 汎用入出力(GPIO) モード

I²C と共に、DAC63202W GPIO もサポートしており、NVM で複数の機能を構成できます。このピンにより、プログラミングインターフェイスを使わずに DAC 出力チャネルとステータスビットを更新できるため、プロセッサレス動作が可能になります。GPIO-CONFIG レジスタで、GPI-EN ビットに 1 を書き込んで GPIO ピンを入力として設定するか、GPO-EN ビットに 1 を書き込んでピンを出力として設定します。GPIO ピンには、グローバルおよびチャネル固有の機能が割り当てられています。チャネル固有の機能については、GPIO-CONFIG レジスタの GPI-CH-SEL フィールドを使用してチャネルを選択します。表 6-18 に、入力として GPIO で利用可能な機能オプションを示し、表 6-19 に、出力としての GPIO のオプションを示します。GP 入力動作の一部は、デバイスが起動した後にエッジトリガれます。電源投入後、デバイスは GPI レベルを登録し、関連するコマンドを実行します。この機能により、電源オン時の初期出力状態を構成できます。デフォルトでは、GPIO ピンはどの動作にもマッピングされません。GPIO ピンが特定の入力機能にマッピングされると、競合状態を回避するため、対応するソフトウェアビット機能が無効になります。リセット入力として使用する場合、デバイスリセットをトリガるために、GPIO ピンはアクティブ low のパルスを送信する必要があります。機能の他のすべての制約は、GPIO ベースのトリガに適用されます。

注

未使用時は、GPIO ピンを high または low にします。GPIO ピンをリセットとして使用するときは、その構成を NVM にプログラムする必要があります。それ以外の場合は、デバイスのリセット後に設定はクリアされます。

表 6-18. 汎用入力機能マップ

レジスタ	ビット フィールド	値	チャネル	GPIO エッジレベル	機能
GPIO-CONFIG	GPI-CONFIG	0010	すべて	立ち下がりエッジ	FAULT-DUMP をトリガ
				立ち上がりエッジ	影響なし
		0011	GPI-CH-SEL に従います	立ち下がりエッジ	IOUT パワーダウン
				立ち上がりエッジ	IOUT パワーアップ
		0100	GPI-CH-SEL に従います	立ち下がりエッジ	VOUT パワーダウン。VOUT-PDN-X 設定に準拠するプルダウン抵抗
				立ち上がりエッジ	VOUT パワーアップ
		0101	すべて	立ち下がりエッジ	PROTECT 機能をトリガ
				立ち上がりエッジ	影響なし
		0111	すべて	立ち下がりエッジ	CLR 機能をトリガ
				立ち上がりエッジ	影響なし
		1000	GPI-CH-SEL に従って、SYNC-CONFIG-X と GPI-CH-SEL の両方を各チャネルに対して設定する必要があります。	立ち下がりエッジ	LDAC 機能をトリガ
				立ち上がりエッジ	影響なし
		1001	GPI-CH-SEL に従います	立ち下がりエッジ	STOP 関数の生成
				立ち上がりエッジ	START 関数の生成
		1010	GPI-CH-SEL に従います	立ち下がりエッジ	マージン low をトリガ
				立ち上がりエッジ	マージン high をトリガ
		1011	すべて	Low パルス	デバイス RESET をトリガ。RESET 構成は NVM にプログラムする必要があります。
				立ち上がりエッジ	影響なし
		1100	すべて	立ち下がりエッジ	NVM プログラミングが可能
				立ち上がりエッジ	NVM のプログラミングをブロック
		1101	すべて	立ち下がりエッジ	レジスタ マップ更新を許可
				立ち上がりエッジ	I ² C または SPI 経由の DEV-UNLOCK フィールドおよび I ² C 経由の RESET フィールドへの書き込みを除くレジスタマップの書き込みをブロックします
		その他	該当なし	該当なし	該当なし

表 6-19. 汎用出力 (STATUS) 機能マップ

レジスタ	ビット フィールド	値	機能
GPIO-CONFIG	GPO-CONFIG	0001	NVM-BUSY
		0100	DAC-1-BUSY
		0111	DAC-0-BUSY
		1000	WIN-CMP-1
		1011	WIN-CMP-0
		その他	該当なし

6.6 レジスタ マップ

表 6-20. レジスタ マップ

REGISTER ^{(1) (2)}	最上位データバイト (MSDB)								最下位データバイト (LSDB)																				
	BIT15	BIT14	BIT13	BIT12	BIT11	BIT10	BIT9	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0													
NOP	NOP																												
DAC-X-MARGIN-HIGH	DAC-X-MARGIN-HIGH																												
DAC-X-MARGIN-LOW	DAC-X-MARGIN-LOW																												
DAC-X-VOUT-CMP-CONFIG	X		VOUT-X-GAIN			X				CMP-X-OD-EN	CMP-X-OUT-EN	CMP-X-HIZ-IN-DIS	CMP-X-INV-EN	CMP-X-EN															
DAC-X-IOUT-MISC-CONFIG	X		IOUT-X-RANGE			X																							
DAC-X-CMP-MODE-CONFIG	X			CMP-X-MODE		X																							
DAC-X-FUNC-CONFIG	CLR-SEL-X	SYNC-CONFIG-X	BRD-CONFIG-X	FUNC-GEN-CONFIG-BLOCK-X																									
DAC-X-DATA	DAC-X-DATA																												
COMMON-CONFIG	WIN-LATCH-EN	DEV-LOCK	EE-READ-ADDR	EN-INT-REF	VOUT-PDN-0	IOUT-PDN-0	X					VOUT-PDN-1		IOUT-PDN-1															
COMMON-TRIGGER	DEV-UNLOCK			リセット			LDAC	CLR	X	FAULT-DUMP	PROTECT	READ-ONE-TRIG	NVM-PROG	NVM-RELOAD															
COMMON-DAC-TRIG	RST-CMP-FLAG-1	TRIG-MAR-LO-1	TRIG-MAR-HI-1	START-FUNC-1	X					RST-CMP-FLAG-0	TRIG-MAR-LO-0	TRIG-MAR-HI-0	START-FUNC-0																
GENERAL-STATUS	NVM-CRC-FAIL-INT	NVM-CRC-FAIL-USER	X	DAC-BUSY-0	X	DAC-BUSY-1	NVM-BUSY	DEVICE-ID																					
CMP-STATUS	X					PROTECT-FLAG	WIN-CMP-0	X	WIN-CMP-1	CMP-FLAG-0	X	CMP-FLAG-1																	
GPIO-CONFIG	GF-EN	X	GPO-EN	GPO-CONFIG		GPI-CH-SEL			GPI-CONFIG				GPI-EN																
DEVICE-MODE-CONFIG	RESERVED		DIS-MODE-IN	RESERVED		PROTECT-CONFIG	RESERVED			X																			
INTERFACE-CONFIG	X		TIMEOUT-EN	X		EN-PMBUS	X					FAST-SDO-EN	X	SDO-EN															
SRAM-CONFIG	X																												
SRAM-DATA	SRAM-DATA																												
BRDCAST-DATA	BRDCAST-DATA												X																
PMBUS-PAGE	PMBUS-PAGE						該当なし																						
PMBUS-OP-CMD	PMBUS-OPERATION-CMD-X						該当なし																						
PMBUS-CML	X				CML	X	該当なし																						
PMBUS-VERSION	PMBUS-VERSION																												

(1) 灰色で強調表示されているセルは、NVM に保存されているレジスタビットまたはフィールドを示しています。

(2) X = ドットケア。

表 6-21. レジスタ名

I ² C/SPI ADDRESS	PMBUS PAGE ADDR	PMBUS REGISTER ADDR	レジスタ名	セクション
00h	FFh	D0h	NOP	セクション 6.6.1
01h	00h	25h	DAC-1-MARGIN-HIGH	セクション 6.6.2
02h	00h	26h	DAC-1-MARGIN-LOW	セクション 6.6.3
03h	FFh	D1h	DAC-1-VOUT-CMP-CONFIG	セクション 6.6.4
04h	FFh	D2h	DAC-1-IOUT-MISC-CONFIG	セクション 6.6.5
05h	FFh	D3h	DAC-1-CMP-MODE-CONFIG	セクション 6.6.6
06h	FFh	D4h	DAC-1-FUNC-CONFIG	セクション 6.6.7
13h	03h	25h	DAC-0-MARGIN-HIGH	セクション 6.6.2
14h	03h	26h	DAC-0-MARGIN-LOW	セクション 6.6.3
15h	FFh	DDh	DAC-0-VOUT-CMP-CONFIG	セクション 6.6.4
16h	FFh	DEh	DAC-0-IOUT-MISC-CONFIG	セクション 6.6.5
17h	FFh	DFh	DAC-0-CMP-MODE-CONFIG	セクション 6.6.6
18h	FFh	E0h	DAC-0-FUNC-CONFIG	セクション 6.6.7
19h	00h	21h	DAC-1-DATA	セクション 6.6.8
1Ch	03h	21h	DAC-0-DATA	セクション 6.6.8
1Fh	FFh	E3h	COMMON-CONFIG	セクション 6.6.9
20h	FFh	E4h	COMMON-TRIGGER	セクション 6.6.10
21h	FFh	E5h	COMMON-DAC-TRIG	セクション 6.6.11
22h	FFh	E6h	GENERAL-STATUS	セクション 6.6.12
23h	FFh	E7h	CMP-STATUS	セクション 6.6.13
24h	FFh	E8h	GPIO-CONFIG	セクション 6.6.14
25h	FFh	E9h	DEVICE-MODE-CONFIG	セクション 6.6.15
26h	FFh	EAh	INTERFACE-CONFIG	セクション 6.6.16
2Bh	FFh	EFh	SRAM-CONFIG	セクション 6.6.17
2Ch	FFh	F0h	SRAM-DATA	セクション 6.6.18
50h	FFh	F1h	BRDCAST-DATA	セクション 6.6.19
該当なし	すべてのページ	00h	PMBUS-PAGE	セクション 6.6.20
該当なし	00h	01h	PMBUS-OP-CMD-0	セクション 6.6.21
該当なし	01h	01h	PMBUS-OP-CMD-1	セクション 6.6.21
該当なし	02h	01h	PMBUS-OP-CMD-2	セクション 6.6.21
該当なし	03h	01h	PMBUS-OP-CMD-3	セクション 6.6.21
該当なし	すべてのページ	78h	PMBUS-CML	セクション 6.6.22

表 6-21. レジスタ名 (続き)

I ² C/SPI ADDRESS	PMBUS PAGE ADDR	PMBUS REGISTER ADDR	レジスタ名	セクション
該当なし	すべてのページ	98h	PMBUS-VERSION	セクション 6.6.23

表 6-22. アクセス タイプ コード

アクセス タイプ	コード	概要
X	X	未使用
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

6.6.1 NOP レジスタ (アドレス = 00h) [リセット = 0000h]

PMBus ページアドレス = FFh、PMBus レジスタ アドレス = D0h

図 6-24. NOP レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NOP															
R-0h															

表 6-23. NOP レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15-0	NOP	R	0000h	無操作

6.6.2 DAC-MARGIN-HIGH レジスタ (アドレス = 13h, 01h) [リセット = 0000h]

PMBus ページアドレス = 03h、00h、PMBus レジスタ アドレス = 25h

図 6-25. DAC-X-MARGIN-HIGH レジスタ (X = 0、1)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
VOUT: DAC-X-MARGIN-HIGH[11:0] IOUT: DAC-X-MARGIN-HIGH[7:0]								X							
R/W-0h								X-0h							

表 6-24. DAC-X-MARGIN-HIGH レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15-4	VOUT: DAC-X-MARGIN-HIGH[11:0] IOUT: DAC-X-MARGIN-HIGH[7:0]	R/W	000h	DAC 出力 データのマージン high コードは、ストレートバイナリ形式です。MSB 左揃え。以下のビット整列を使用します： VOUT: {DAC-X-MARGIN-HIGH[11:0]} IOUT: {DAC-X-MARGIN-HIGH[7:0], X, X, X, X} X = ドントケア ビット。
3-0	X	X	0	未使用

6.6.3 DAC-MARGIN-LOW レジスタ (アドレス = 14h, 02h) [リセット = 0000h]

PMBus ページアドレス = 03h、00h、PMBus レジスタ アドレス = 26h

図 6-26. DAC-X-MARGIN-LOW レジスタ (X = 0、1)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
VOUT: DAC-X-MARGIN-LOW[11:0] IOUT: DAC-X-MARGIN-LOW[7:0]								X							
R/W-0h								X-0h							

表 6-25. DAC-X-MARGIN-LOW レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15-4	VOUT: DAC-X-MARGIN-LOW[11:0] IOUT: DAC-X-MARGIN-LOW[7:0]	R/W	000h	DAC 出力 データのマージン low コードは、ストレートバイナリ形式です。MSB 左揃え。以下のビット整列を使用します： VOUT: {DAC-X-MARGIN-LOW[11:0]} IOUT: {DAC-X-MARGIN-LOW[7:0], X, X, X, X} X = ドントケア ビット。
3-0	X	X	0	未使用

6.6.4 DAC-X-VOUT-CMP-CONFIG レジスタ (アドレス = 15h, 03h) [reset = 0000h]

PMBus ページアドレス = FFh、PMBus レジスタアドレス = DDh、D1h

図 6-27. DAC-X-VOUT-CMP-CONFIG レジスタ (X = 0, 1)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
X			VOUT-GAIN-X					X			CMP-X-OD-EN	CMP-X-OUT-EN	CMP-X-HIZ-IN-DIS	CMP-X-INV-EN	CMP-X-EN
X-0h			R/W-0h					X-0h			R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 6-26. DAC-X-VOUT-CMP-CONFIG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15-13	X	X	0h	未使用
12-10	VOUT-GAIN-X	R/W	0h	000: ゲイン = 1x、VREF ピンの外部リファレンス 001: ゲイン = 1x、リファレンスとして VDD 010: ゲイン = 1.5x、内部リファレンス 011: ゲイン = 2x、内部リファレンス 100: ゲイン = 3x、内部リファレンス 101: ゲイン = 4x、内部リファレンス その他: 無効
9-5	X	X	0h	未使用
4	CMP-X-OD-EN	R/W	0	0: OUTx ピンをプッシュプルとして設定します 1: コンパレータモードで OUTx ピンをオープンドレインとして設定 (CMP-X-EN = 1 および CMP-X-OUT-EN = 1)
3	CMP-X-OUT-EN	R/W	0	0: コンパレータ出力を生成するが内部で消費します 1: コンパレータ出力をそれぞれの OUTx ピンに接続します
2	CMP-X-HIZ-IN-DIS	R/W	0	0: FBx 入力はハイインピーダンスです。入力電圧範囲は制限されています。 1: FBx 入力は抵抗分割器に接続されており、有限インピーダンスを持ちます。入力電圧範囲はフルスケールと同じです。
1	CMP-X-INV-EN	R/W	0	0: コンパレータ出力を反転しません 1: コンパレータ出力を反転します
0	CMP-X-EN	R/W	0	0: コンパレータモードを無効化します 1: コンパレータモードを有効にします。電流出力はパワーダウン状態でなければなりません。電圧出力モードは有効にする必要があります。

6.6.5 DAC-X-IOUT-MISC-CONFIG レジスタ (アドレス = 16h, 04h) [reset = 0000h]

PMBus ページアドレス = FFh, PMBus レジスタアドレス = DEh, D2h

図 6-28. DAC-X-IOUT-MISC-CONFIG レジスタ (X = 0, 1)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
X													X		
X-0h													X-0h		

表 6-27. DAC-X-IOUT-MISC-CONFIG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15-13	X	X	0h	未使用
12-9	IOUT-RANGE-X	R/W	0000	1000: -25µA ~ +25µA 1001: -50µA ~ +50µA 1010: -125µA ~ +125µA 1011: -250µA ~ +250µA その他:無効
8-0	X	X	000h	未使用

6.6.6 DAC-X-CMP-MODE-CONFIG レジスタ (アドレス = 17h, 05h) [reset = 0000h]

PMBus ページアドレス = FFh, PMBus レジスタアドレス = DFh, D3h

図 6-29. DAC-X-CMP-MODE-CONFIG レジスタ (X = 0, 1)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
X													X		
X-0h													X-0h		

表 6-28. DAC-X-CMP-MODE-CONFIG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15-12	X	X	00h	未使用
11-10	CMP-X-MODE	R/W	00	00:ヒステリシスまたはウインドウ機能なし 01: DAC-X-MARGIN-HIGH および DAC-X-MARGIN-LOW レジスタを使用したヒステリシス 10: DAC-X-MARGIN-HIGH および DAC-X-MARGIN-LOW レジスタでウインドウ境界を設定するウインドウ コンパレータ モード 11: 無効
9-0	X	X	000h	未使用

6.6.7 DAC-FUNC-CONFIG レジスタ (アドレス = 18h, 06h) [reset = 0000h]

PMBus ページアドレス = FFh、PMBus レジスタアドレス = E0h、D4h

図 6-30. DAC-X-FUNC-CONFIG レジスタ (X = 0, 1)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
CLR-SEL-X	SYNC-CONFIG-X	BRD-CONFIG-X	FUNC-GEN-CONFIG-BLOCK													
R/W-0h	R/W-0h	R/W-0h	R/W-0h													

表 6-29. DAC-X-FUNC-CONFIG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	CLR-SEL-X	R/W	0	0: DAC-X をゼロスケールにクリアします 1: DAC-X をミッドスケールにクリアします
14	SYNC-CONFIG-X	R/W	0	0: 書き込みコマンドの直後に DAC-X 出力を更新 1: DAC-X 出力は、LDAC ピンの立ち下がりエッジ、または共通トリガレジスタの LDAC ピットが 1 にセットされたときに更新されます
13	BRD-CONFIG-X	R/W	0	0: ブロードキャストコマンドで DAC-X を更新しない 1: ブロードキャストコマンドで DAC-X を更新

表 6-30. リニアスルー モード : FUNC-GEN-CONFIG-BLOCK フィールドの説明

ビット	フィールド	タイプ	リセット	概要
12-11	PHASE-SEL-X	R/W	0	00: 0° 01: 120° 10: 240° 11: 90°
10-8	FUNC-CONFIG-X	R/W	0	000: 三角波 001: のこぎり波 010: 逆のこぎり波 100: 正弦波 111: 機能生成を無効化 その他: 無効
7	LOG-SLEW-EN-X	R/W	0	0: リニアスルーを有効化
6-4	CODE-STEP-X	R/W	0	リニアスルーモードの CODE-STEP: 000: 1-LSB 001: 2-LSB 010: 3-LSB 011: 4-LSB 100: 6-LSB 101: 8-LSB 110: 16-LSB 111: 32-LSB

表 6-30. リニアスルー モード : FUNC-GEN-CONFIG-BLOCK フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	概要
3-0	SLEW-RATE-X	R/W	0	リニアスルーモードの SLEW-RATE: 0000: マージン Hihh およびマージン low ではスルーなし。波形生成 に対して無効です。 0001: 4 μ s/ステップ 0010: 8 μ s/ステップ 0011: 12 μ s/ステップ 0100: 18 μ s/ステップ 0101: 27.04 μ s/ステップ 0110: 40.48 μ s/ステップ 0111: 60.72 μ s/ステップ 1000: 91.12 μ s/ステップ 1001: 136.72 μ s/ステップ 1010: 239.2 μ s/ステップ 1011: 418.64 μ s/ステップ 1100: 732.56 μ s/ステップ 1101: 1282 μ s/ステップ 1110: 2563.96 μ s/ステップ 1111: 5127.92 μ s/ステップ

表 6-31. 対数スルーモード : FUNC-GEN-CONFIG-BLOCK フィールドの説明

ビット	フィールド	タイプ	リセット	概要
12-11	PHASE-SEL-X	R/W	0	00: 0° 01: 120° 10: 240° 11: 90°
10-8	FUNC-CONFIG-X	R/W	0	000: 三角波 001: のこぎり波 010: 逆のこぎり波 100: 正弦波 111: 機能生成を無効化 その他: 無効
7	LOG-SLEW-EN-X	R/W	0	1: 対数スルーを有効化します。 対数スルーモードでは、DAC 出力は DAC-X-MARGIN-LOW コードから DAC-X-MARGIN-HIGH コードへ、またはその逆に 3.125% ステップで移動します。 正の方向にスルーする場合、次のステップは現在のステップの (1 + 0.03125) 倍になります。 負の方向にスルーする場合、次のステップは現在のステップの (1 - 0.03125) 倍になります。 DAC-X-MARGIN-LOW が 0 の場合、スルーモードはコード 1 から開始されます。 各ステップの時間間隔は、RISE-SLEW-X と FALL-SLEW-X によって定義されます。
6-4	RISE-SLEW-X	R/W	0	対数スルーモードの SLEW-RATE (DAC-X-MARGIN-LOW - DAC-X-MARGIN-HIGH): 000: 4 μ s/ステップ 001: 12 μ s/ステップ 010: 27.04 μ s/ステップ 011: 60.72 μ s/ステップ 100: 136.72 μ s/ステップ 101: 418.64 μ s/ステップ 110: 1282 μ s/ステップ 111: 5127.92 μ s/ステップ

表 6-31. 対数スルーモード : FUNC-GEN-CONFIG-BLOCK フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	概要
3-1	FALL-SLEW-X	R/W	0	対数スルーモードの SLEW-RATE (DAC-X-MARGIN-HIGH - DAC-X-MARGIN-LOW): 000: 4 μ s/ステップ 001: 12 μ s/ステップ 010: 27.04 μ s/ステップ 011: 60.72 μ s/ステップ 100: 136.72 μ s/ステップ 101: 418.64 μ s/ステップ 110: 1282 μ s/ステップ 111: 5127.92 μ s/ステップ
0	X	X	0	未使用

6.6.8 DAC-X-DATA レジスタ (アドレス = 1Ch, 19h) [リセット = 0000h]

PMBus ページアドレス = 03h, 00h, PMBus レジスタ アドレス = 21h

図 6-31. DAC-X-DATA レジスタ (X = 0, 1)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
VOUT: DAC-X-DATA[11:0] IOUT: DAC-X-DATA[7:0]										X					
R/W-0h										X-0h					

表 6-32. DAC-X-DATA レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15-4	VOUT: DAC-X-DATA[11:0] IOUT: DAC-X-DATA[7:0]	R/W	000h	DAC 出力 データのデータは、ストレートバイナリ形式です。MSB 左揃え。MSB 左揃え。以下のビット整列を使用します: VOUT: {DAC-X-DATA[11:0]} IOUT: {DAC-X-DATA[7:0], X, X, X, X} X = ドントケアビット。
3-0	X	X	0h	未使用

6.6.9 COMMON-CONFIG レジスタ (アドレス = 1Fh) [リセット = 0FFFh]

PMBus ページアドレス = FFh, PMBus レジスタアドレス = E3h

図 6-32. COMMON-CONFIG レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WIN-LATCH-EN	DEV-LOCK	EE-READ-ADDR	EN-INT-REF	VOUT-PDN-0	IOUT-PDN-0							未使用		VOUT-PDN-1	IOUT-PDN-1
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-11b	R/W-1b							X-11h		R/W-11b	R/W-1b

表 6-33. COMMON-CONFIG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	WIN-LATCH-EN	R/W	0	0: ラッチなしウインドウ コンパレータ出力 1: ラッチ付きウンドウ コンパレータ出力
14	DEV-LOCK	R/W	0	0: デバイスがロックされていません 1: デバイスはロックされています。デバイスはすべてのレジスタをロックしています。このビットを 0 (デバイスのロックを解除) に戻すには、まず COMMON-TRIGGER レジスタの DEV-UNLOCK フィールドに UNLOCK コードを書き込み、その後 DEV-LOCK ビットに 0 を書き込みます。
13	EE-READ-ADDR	R/W	0	0: アドレス 0x00 1 でのフォルトダンプ読み取り有効: アドレス 0x01 でのフォルトダンプ読み取り有効
12	EN-INT-REF	R/W	0	0: 内部リファレンス無効 1: 内部リファレンス無効。内部リファレンスゲイン設定を使用する前に、このビットを設定する必要があります。
11-10, 2-1	VOUT-PDN-X	R/W	11	00: VOUT-X パワーアップ 01: 10kΩ VOUT-X を AGND へパワーダウン 10: 100kΩ VOUT-X を AGND へパワーダウン 11: ハイインピーダンス VOUT-X を AGND へパワーダウン
9, 0	IOUT-PDN-X	R/W	1	0: IOUT-X パワーアップ 1: IOUT-X パワーダウン
8-3	X	X	11h	未使用

6.6.10 COMMON-TRIGGER レジスタ(アドレス = 20h) [リセット = 0000h]

PMBus ページアドレス = FFh、PMBus レジスタアドレス = E4h

図 6-33. COMMON-TRIGGER レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DEV-UNLOCK				リセット			LDAC	CLR	X	FAULT-DUMP	PROTECT	READ-ONE-TRIG	NVM-PROG	NVM-RELOAD	
R/W-0h				R/W-0h			R/W-0h	R/W-0h	X-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	

表 6-34. COMMON-TRIGGER レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15-12	DEV-UNLOCK	R/W	0000	0101:デバイスのロック解除パスワード その他:未使用
11-8	リセット	W	0000	1010:POR リセットがトリガされました。このビットはセルフ クリアされます。 その他:未使用
7	LDAC	R/W	0	0:LDAC 動作はトリガされません 1:DAC-X-FUNC-CONFIG レジスタの対応する SYNC-CONFIG-X ビットが 1 の場合、LDAC 動作がトリガされます。このビットはセルフ クリアされます。
6	CLR	R/W	0	0:DAC レジスタと出力の影響を受けません 1:DAC レジスタと出力は、DAC-X-FUNC-CONFIG レジスタのそれぞれの CLR-SEL-X ビットに基づいてゼロ コードまたはミッド コードに設定されます。このビットはセルフ クリアされます。
5	X	X	0	未使用
4	FAULT-DUMP	R/W	0	0:フォルトダンプはトリガされません 1:フォルトダンプ シーケンスをトリガします。このビットはセルフ クリアされます。
3	PROTECT	R/W	0	0:PROTECT 機能はトリガされません 1:PROTECT 機能をトリガします。このビットはセルフ クリアされます。
2	READ-ONE-TRIG	R/W	0	0:フォルトダンプの読み取りはトリガされません 1:フォルトダンプのために NVM から 1 行読み出します。このビットはセルフ クリアされます。
1	NVM-PROG	R/W	0	0:NVM 書き込みはトリガされません 1:NVM 書き込みがトリガされました。このビットはセルフ クリアされます。
0	NVM-RELOAD	R/W	0	0:NVM の再ロードはトリガされません 1:NVM からレジスタマップにデータを再ロードします。このビットはセルフ クリアされます。

6.6.11 COMMON-DAC-TRIG レジスタ (アドレス = 21h) [リセット = 0000h]

PMBus ページアドレス = FFh、PMBus レジスタアドレス = E5h

図 6-34. COMMON-DAC-TRIG レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESET-CMP-FLAG-1	TRIG-MAR-LO-1	TRIG-MAR-HI-1	START-FUNC-1									RESET-CMP-FLAG-0	TRIG-MAR-LO-0	TRIG-MAR-HI-0	START-FUNC-0
W-0h	W-0h	W-0h	R/W-0h								X-0h	W-0h	W-0h	W-0h	R/W-0h

表 6-35. COMMON-DAC-TRIG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15, 3	RESET-CMP-FLAG-X	W	0	0: ラッチコンパレータ出力は影響を受けません 1: リセット ラッチ コンパレータとウンドウ コンパレータの出力。このビットはセルフ クリアされます。
14, 2	TRIG-MAR-LO-X	W	0	0: ドント ケア 1: Trigger margin-low コマンド。このビットはセルフ クリアされます。
13, 1	TRIG-MAR-HI-X	W	0	0: ドント ケア 1: Trigger margin-high コマンド。このビットはセルフ クリアされます。
12, 0	START-FUNC-X	R/W	0	0: STOP 関数の生成 1: DAC-X-FUNC-CONFIG レジスタの FUNC-GEN-CONFIG-X に従って、機能生成を開始します。
11-4	X	X	0h	未使用

6.6.12 GENERAL-STATUS レジスタ(アドレス = 22h) [リセット = 00h, DEVICE-ID, VERSION-ID]

PMBus ページアドレス = FFh、PMBus レジスタアドレス = E6h

図 6-35. GENERAL-STATUS レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NVM-CRC-FAIL-INT	NVM-CRC-FAIL-USER	X	DAC-0-BUSY	X	DAC-1-BUSY	X								DEVICE-ID	VERSION-ID
R-0h	R-0h	R-0h	R-0h	X-0h	R-0h	X-0h							R		R-0h

表 6-36. GENERAL-STATUS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	NVM-CRC-FAIL-INT	R	0	0:OTP に CRC エラーなし 1:OTP ロードの障害を示します。一時的な障害が発生した場合、ソフトウェアリセットまたはパワーサイクルによって本デバイスはこの状態から復帰することができます。
14	NVM-CRC-FAIL-USER	R	0	0:NVM ローディングに CRC エラーなし 1:NVM ロードの障害を示します。レジスタ設定が破損しました。デバイスは、このエラー条件でのすべての動作を許可します。元の状態を取得するため、NVM を再プログラムします。ソフトウェアリセットにより、デバイスはこの一時的なエラー状態から復帰します。
13	X	R	0	未使用
12	DAC-0-BUSY	R	0	0:DAC-0 チャネルはコマンドを受け入れ可能 1:DAC-0 チャネルはコマンドを受け入れません
11-10	X	X	0	未使用
9	DAC-1-BUSY	R	0	0:DAC-1 チャネルはコマンドを受け入れ可能 1:DAC-1 チャネルはコマンドを受け入れません
8	X	R	0	未使用
7-2	DEVICE-ID	R	06h	デバイス識別子。
1-0	VERSION-ID	R	00	バージョン識別子。

6.6.13 CMP-STATUS レジスタ (アドレス = 23h) [リセット = 0000h]

PMBus ページアドレス = FFh、PMBus レジスタアドレス = E7h

図 6-36. CMP-STATUS レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
			X				PROTECT-FLAG	WIN-CMP-0	X		WIN-CMP-1	CMP-FLAG-0	X		CMP-FLAG-1
							X-0h	R-0h	R-0h	X-0h	R-0h	R-0h	X-0h		R-0h

表 6-37. CMP-STATUS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15-9, 6-5, 2-1	X	X	0	未使用
8	PROTECT-FLAG	R	0	0: PROTECT 動作はトリガされません。 1: PROTECT 機能は完了しているか進行中です。このビットは読み取られると 0 にリセットされます。
7, 4	WIN-CMP-X	R	0	各チャネルからのウインドウ コンパレータ出力。COMMON-CONFIG レジスタの WINDOW-LATCH-EN 設定に基づいて、出力がラッチされるか、またはラッチされません。
3, 0	CMP-FLAG-X	R	0	各チャネルからの同期されたコンパレータ出力。

6.6.14 GPIO-CONFIG レジスタ (アドレス = 24h) [リセット = 0000h]

PMBus ページアドレス = FFh、PMBus レジスタアドレス = E8h

図 6-37. GPIO-CONFIG レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
GF-EN	X	GPO-EN		GPO-CONFIG				GPI-CH-SEL		GPI-CONFIG		GPI-EN			
R/W-0h	X-0h	R/W-0h		R/W-0h				R/W-0h		R/W-0h		R/W-0h		R/W-0h	

表 6-38. GPIO-CONFIG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	GF-EN	R/W	0	0: GP 入力用のグリッチフィルタが無効。この設定により、応答が高速化されます。 1: GPI 用のグリッチフィルタが有効。この設定により、さらに伝播遅延が発生しますが、堅牢性が向上します。
14	X	X	0	ドントケア。
13	GPO-EN	R/W	0	0: GPIO ピンの出力モードを無効にします。 1: GPIO ピンの出力モードを有効にします。
12-9	GPO-CONFIG	R/W	0000	STATUS 機能の設定。GPIO ピンは、出力として次のレジスタビットにマップされます: 0001: NVM-BUSY 0100: DAC-1-BUSY 0111: DAC-0-BUSY 1000: WIN-CMP-1 1011: WIN-CMP-0 その他: 該当なし
8-5	GPI-CH-SEL	R/W	0000	2 つのビットは、2 つの DAC チャネルに対応しています。0b は無効、1b は有効です。 GPI-CH-SEL[0]: チャネル 1 GPI-CH-SEL[3]: チャネル 0 例: GPI-CH-SEL が 1001 の場合、チャネル 0 とチャネル 1 の両方が有効になります。

表 6-38. GPIO-CONFIG レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	概要
4-1	GPI-CONFIG	R/W	0000	<p>GPIO ピンの入力構成。グローバル設定はデバイス全体に適用されます。チャネル固有の設定は、GPI-CH-SEL ビットによるチャネル選択によって異なります。</p> <p>0010: <u>FAULT-DUMP</u> (グローバル)。GPIO の立ち下がりエッジでフォルトダンプがトリガされ、GPIO = 1 は影響しません。</p> <p>0011: IOUT パワーアップダウン (チャネル固有)。GPIO の立ち下がりエッジはパワーダウンをトリガし、GPIO の立ち上がりエッジはパワーオンをトリガします。</p> <p>0100: VOUT パワーアップダウン (チャネル固有)。出力負荷は、VOUT-PDN-X 設定に従います。GPIO の立ち下がりエッジはパワーダウンをトリガし、GPIO の立ち上がりエッジはパワーオンをトリガします。</p> <p>0101: <u>PROTECT</u> 入力 (グローバル)。GPIO の立ち下がりエッジで <u>PROTECT</u> 機能をアサートし、GPIO = 1 は影響を与えません。</p> <p>0111: <u>CLR</u> 入力 (グローバル)。GPIO = 0 は <u>CLR</u> 機能をアサートし、GPIO = 1 は影響しません。</p> <p>1000: <u>LDAC</u> 入力 (チャネル固有)。GPIO の立ち下がりエッジで <u>LDAC</u> 機能をアサートし、GPIO = 1 は影響を与えません。SYNC-CONFIG-X と GPI-CH-SEL の両方を各チャネルに対して設定する必要があります。</p> <p>1001: 開始/停止機能の生成 (チャネル固有)。GPIO の立ち下がりエッジは機能の生成を停止します。GPIO の立ち上がりエッジで機能が生成を開始します。</p> <p>1010: トリガマージン high — low (チャネル固有)。GPIO の立ち下がりエッジによってマージン low がトリガされます。GPIO の立ち上がりエッジによってマージン high がトリガされます。</p> <p>1011: <u>RESET</u> 入力 (グローバル)。GPIO ピンの立ち下がりエッジにより <u>RESET</u> 機能がアサートされます。<u>RESET</u> 入力はパルスである必要があります。GPIO の立ち上がりエッジにより、デバイスがリセットから復帰します。<u>RESET</u> 構成は NVM にプログラムする必要があります。それ以外の場合は、デバイスのリセット後に設定はクリアされます。</p> <p>1100: NVM 書き込み保護 (グローバル)。GPIO の立ち下がりエッジにより、NVM プログラミングが可能になります。GPIO の立ち上がりエッジブロック NVM のプログラミング。</p> <p>1101: レジスタマップロック (グローバル)。GPIO の立ち下がりエッジにより、レジスタマップを更新できます。GPIO 立ち上がりエッジは、I²C または SPI 経由の DEV-UNLOCK フィールドおよび I²C 経由の <u>RESET</u> フィールドへの更新を除くレジスタマップの書き込みをブロックします。</p> <p>その他: 無効</p>
0	GPI-EN	R/W	0	0: GPIO ピンの入力モードを無効にします。 1: GPIO ピンの入力モードを有効にします。

6.6.15 DEVICE-MODE-CONFIG レジスタ (アドレス = 25h) [リセット = 0000h]

PMBus ページアドレス = FFh、PMBus レジスタアドレス = E9h

図 6-38. DEVICE-MODE-CONFIG レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	DIS-MODE-IN	RESERVED		PROTECT-CONFIG	RESERVED								X		
R/W-0h	R/W-0h	R/W-0h		R/W-0h	R/W-0h								X-0h		

表 6-39. DEVICE-MODE-CONFIG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15-14	予約済み	R/W	00	常に 0b00 を書き込む
13	DIS-MODE-IN	R/W	0	低消費電力を実現するには、このビットに 1 を書き込みます。
12-10	予約済み	R/W	0	常に 0b000 を書き込む
9-8	PROTECT-CONFIG	R/W	00	00: ハイインピーダンスパワーダウン (スルーなし) に切り替え 01: NVM に保存された DAC コード (スルーなし) に切り替えてから、 ハイインピーダンスパワーダウンに切り替えます 10: マージン low コードまでスルーし、その後、ハイインピーダンスパ ワーダウンに切り替わります 11: マージン high コードまでスルーし、その後、ハイインピーダンスパ ワーダウンに切り替わります
7-5	予約済み	R/W	0	常に 0b000 を書き込む
4-0	X	R/W	00h	未使用

6.6.16 INTERFACE-CONFIG レジスタ (アドレス = 26h) [リセット = 0000h]

図 6-39. INTERFACE-CONFIG レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
X	TIMEOUT-EN		X	EN-PMBUS				X					FSDO-EN	X	SDO-EN
X-0h	R/W-0h		X-0h	R/W-0h				X-0h					R/W-0h	X-0h	R/W-0h

表 6-40. INTERFACE-CONFIG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15-13	X	X	0h	未使用
12	TIMEOUT-EN	R/W	0	0: I ² C タイムアウト無効 1: I ² C タイムアウト有効
11-9	X	X	0h	未使用
8	EN-PMBUS	R/W	0	0: PMBus 無効 1: PMBus 有効化
7-3	X	X	00h	未使用
2	FSDO-EN	R/W	0	0: 高速 SDO 無効 1: 高速 SDO 有効
1	X	X	0	未使用
0	SDO-EN	R/W	0	0: SDO 無効 1: GPIO ピンで SDO 有効

6.6.17 SRAM-CONFIG レジスタ (アドレス = 2Bh) [リセット = 0000h]

PMBus ページアドレス = FFh、PMBus レジスタアドレス = EFh

図 6-40. SRAM-CONFIG レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
								SRAM-ADDR							
								X-0h							
								R/W-0h							

表 6-41. SRAM-CONFIG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15-8	X	X	0h	未使用
7-0	SRAM-ADDR	R/W	0h	8 ビット SRAM アドレス。このレジスタ フィールドに書き込むと、次にアクセスする SRAM アドレスが設定されます。このアドレスは、SRAM への書き込み後に自動的にインクリメントされます。

6.6.18 SRAM-DATA レジスタ (アドレス = 2Ch) [リセット = 0000h]

PMBus ページアドレス = FFh、PMBus レジスタアドレス = F0h

図 6-41. SRAM-DATA レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
								SRAM-DATA							
								R/W-0h							

表 6-42. SRAM-DATA レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15-0	SRAM-ADDR	R/W	0h	16 ビット SRAM データ。このデータは、SRAM-CONFIG レジスタで設定されているアドレスとの間で書き込みまたは読み取りが行われます。

6.6.19 BRDCAST-DATA レジスタ (アドレス = 50h) [リセット = 0000h]

PMBus ページアドレス = FFh、PMBus レジスタアドレス = F1h

図 6-42. BRDCAST-DATA レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
								VOUT: BRDCAST-DATA[11:0] IOUT: BRDCAST-DATA[7:0]							
								R/W-0h							
								X-0h							

表 6-43. BRDCAST-DATA レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15-4	VOUT: BRDCAST-DATA[11:0] IOUT: BRDCAST-DATA[7:0]	R/W	000h	すべての DAC チャネルのブロードキャストコード データはストレートバイナリ形式です。MSB 左揃え。以下のビット整列 を使用します: VOUT: {BROADCAST-DATA[11:0]} IOUT: {BROADCAST-DATA[7:0], X, X, X, X} X = ドントケアビット。 DAC-X-FUNC-CONFIG レジスタの BRD-CONFIG-X ビットをそれ ぞれのチャネルに対して有効にする必要があります。
3-0	X	X	0h	ドントケア。

6.6.20 PMBUS-PAGE レジスタ [リセット = 0300h]

PMBus ページアドレス = X, PMBus レジスタアドレス = 00h

図 6-43. PMBUS-PAGE レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PMBUS-PAGE								X							
R/W-03h								X-00h							

表 6-44. PMBUS_OPERATION レジスタフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15-8	PMBUS-PAGE	R/W	03h	表 6-21 で指定された 8 ビットの PMBus ページ アドレス。
7-0	X	X	00h	該当なし

6.6.21 PMBUS-OP-CMD-X レジスタ [リセット = 0000h]

PMBus ページアドレス = 00h, 01h, 02h, 03h, PMBus レジスタアドレス = 01h

図 6-44. PMBUS-OP-CMD-X レジスタ (X = 0, 1, 2, 3)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PMBUS-OPERATION-CMD-X								X							
R/W-00h								X-00h							

表 6-45. PMBUS-OP-CMD-X レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15-8	PMBUS-OPERATION-CMD-X	R/W	00h	PMBus 動作コマンド: 00h: ターンオフ 80h: A4h をオン: マージン high、DAC 出力マージン high から DAC-X-MARGIN-HIGH コード 94h: マージン low、DAC 出力マージン low から DAC-X-MARGIN-LOW コード
7-0	X	X	00h	該当なし

6.6.22 PMBUS-CML レジスタ [リセット = 0000h]

PMBus ページアドレス = X, PMBus レジスタアドレス = 78h

図 6-45. PMBUS-CML レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
X								CML X							
X-00h								R/W-0h X-0h X-00h							

表 6-46. PMBUS-CML レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15-10	X	X	00h	未使用
9	CML	R/W	0h	0: 通信故障なし 1: 誤ったクロック数による書き込み、書き込みコマンド前の読み出し、無効なコマンドアドレス、無効またはサポートされていないデータ値による PMBus 通信故障。1 を書き込むことでこのビットをリセットします。
8	X	X	0h	未使用
7-0	X	X	00h	該当なし

6.6.23 PMBUS-VERSION レジスタ [リセット = 2200h]

PMBus ページアドレス = X, PMBus レジスタアドレス = 98h

図 6-46. PMBUS-VERSION レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PMBUS-VERSION								X							
R-22h								X-00h							

表 6-47. PMBUS-VERSION レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15-8	PMBUS-VERSION	R	22h	PMBus バージョン
7-0	X	X	00h	該当なし

7 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

DAC63202W は、デュアルチャネル、バッファ付き、フォースセンス出力、電圧出力および電流出力のスマート DAC で、NVM と内部リファレンスを内蔵し、超小型の 1.76mm×1.76mm (公称値) パッケージで供給されます。

- 電圧出力モードでは、各チャネルの OUTx ピンと FBx ピンを短絡します。電流出力モードでは、FBx ピンを未接続のままにします。FBx ピンはコンパレータモードで入力として機能します。
- 過渡状態または定常状態のとき、外部リファレンスは VDD を超えないようにする必要があります。最高のハイインピーダンス出力性能を得るには、VREF ピンの VDD へのプルアップ抵抗を使用します。オフ状態の間に VDD がフローティング状態のまま維持される場合は、VDD オフ状態を適切に検出するために、100kΩ 抵抗を AGND に接続します。
- すべてのデジタル出力はオープンドレインであるため、これらのピンに外付けプルアップ抵抗を使用します。
- 電源投入時にインターフェイスプロトコルは検出され、VDD がオンになっている限り、デバイスはプロトコルにロックします。
- システムの I²C バスに重複しない I²C アドレスを割り当てる場合は、ブロードキャストアドレスも考慮してください。堅牢性を高めるために I²C タイムアウトを有効にすることができます。
- SPI モードは、デフォルトで 3 線式です。SPI リードバック機能のために NVM で GPIO ピンを SDO として構成します。リードバックモードでの SPI クロック速度は、書き込みモードよりも低速です。
- パワーダウンモードにより、DAC 出力はデフォルトでハイインピーダンスに設定されます。さまざまなパワーダウン設定に合わせて構成を適切に変更します。DAC チャネルは、NVM のプログラムされた DAC コードを使用してパワーアップすることもできます。

7.2 代表的なアプリケーション

電源マージン処理およびスケーリング回路は、電力コンバータの出力を調整、スケーリング、またはテストするために使用されます。この例の回路は、電源をマージしてアダプティブ電圧スケーリングを行うことでシステムをテストしたり、出力側で目標の値をプログラムしたりするために使用されます。Low ドロップアウトレギュレータ (LDO) や DC/DC コンバータなどの調整可能な電源は、フィードバックを提供したり、必要な出力を設定するために使用される入力を調整したりします。高精度電圧出力 DAC は、電源出力を直線的に制御するのに最適です。図 7-1 に、DAC63202W を使用したスイッチモード電源 (SMPS) の制御回路を示します。電源マージン処理の一般的な用途は、通信機器、エンタープライズサーバー、試験および測定、汎用電源モジュールです。

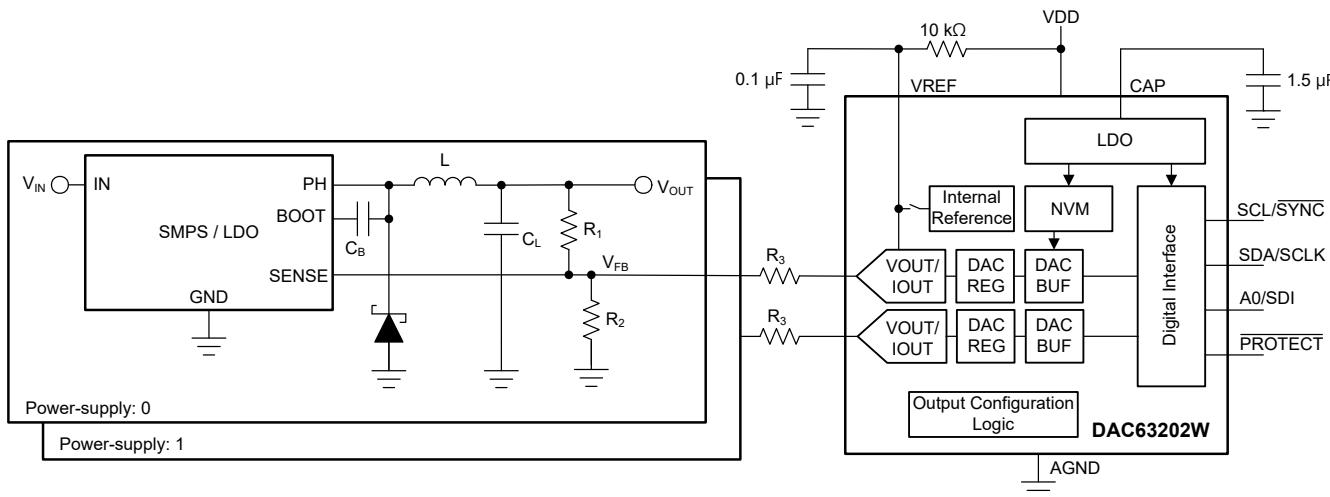


図 7-1. 電圧マージン処理およびスケーリング

7.2.1 設計要件

表 7-1. 設計パラメータ

パラメータ	値
電源の公称出力	3.3V
コンバータのリファレンス電圧 (V_{FB})	0.6V
Margin	±10% (つまり 2.97V ~ 3.63V)
DAC の出力範囲	1.8V
R_1 および R_2 を流れる公称電流	100μA

7.2.2 詳細な設計手順

DAC63202W は、NVM メモリを使用して異なるプログラムがされていない限り、パワーアップ時にデフォルトで設定されるハイインピーダンスパワーダウンモードを備えています。DAC 出力がハイインピーダンスの場合、 R_3 を流れる電流はゼロで、SMPS は公称出力電圧 3.3V に設定されます。DAC 電源投入時に同じ公称状態を維持するため、 V_{FB} (0.6V) と同じ出力でデバイスを起動します。この構成により、電源投入時にも R_3 に電流が流れないようにになります。 R_1 は $(V_{OUT} - V_{FB})/100\mu A = 27k\Omega$ として計算します。

±10% のマージン high およびマージン low の条件を達成するには、DAC は R_1 経由で追加の電流をシンクまたはソースする必要があります。式 9 を使用して DAC (I_{MARGIN}) からの電流を 12μA として計算します。

$$I_{MARGIN} = \left(\frac{V_{OUT} \times (1 + MARGIN) - V_{FB}}{R_1} \right) - I_{NOMINAL} \quad (9)$$

ここで、

- I_{MARGIN} は、DAC から供給またはシンクされるマージン電流です。
- マージンは、パーセンテージのマージン値を 100 で割った値です。
- $I_{NOMINAL}$ は、 R_1 と R_2 を流れる公称電流です。
- V_{OUT} はそれぞれの DAC チャネルの出力電圧です。
- V_{FB} は、パワーコンバータの SENSE ノードに印加されるリファレンス電圧です。
- R_1 は、パワーコンバータの出力ピンと SENSE ピンとの間の抵抗です。

R_3 の値を計算するために、最初に DAC の出力範囲を決定し、リニア領域での安全な動作のためにゼロスケールとフルスケールに近いコードは避ける必要があります。20mV の DAC 出力は、最小出力として安全な考慮事項であり、最大出力は $(1.8V - 0.6V - 20mV = 1.18V)$ です。DAC 出力が 20mV のとき、電源はマージン high になり、DAC 出力が 1.18V

のとき、電源はマージン *low* になります。式 10 を使用して R_3 の値を $48.3\text{ k}\Omega$ として計算します。標準の抵抗値を選択し、DAC 出力を調整します。 $R_3 = 47\text{k}\Omega$ を選択すると、DAC マージン *high* コードは 1.164V 、DAC マージン *low* コードは 36mV になります。

$$R_3 = \frac{|V_{DAC} - V_{FB}|}{IMARGIN} \quad (10)$$

DAC63202W を電流出力モードに設定する場合、直列抵抗 R_3 は不要です。DAC 出力を $-25\mu\text{A} \sim +25\mu\text{A}$ の電流出力範囲に設定し、それに応じて DAC コードを設定し、 $\pm 12\mu\text{A}$ のマージン電流を実現します。

DAC63202W にはスルーレート機能があり、マージン *high*、マージン *low*、および公称出力を定義されたスルーレートで切り替えるために使用されます。セクション 6.6.7 も参照してください。

注

DAC63202W の DAC-X-MARGIN-HIGH レジスタ値は、電源出力のマージン *low* 値になります。同様に、DAC63202W の DAC-X-MARGIN-LOW レジスタ値は、電源出力のマージン *high* 値になります。

電源制御アプリケーションの使用を開始するための疑似コードは、以下のとおりです。

```
//SYNTAX: WRITE <REGISTER NAME (Hex code)>, <MSB DATA>, <LSB DATA>
//Write DAC code for nominal output (repeat for all DAC channels)
//For a 1.8-v output range, the 10-bit hex code for 0.6 v is 0x155. with 16-bit left alignment,
this becomes 0x5540
WRITE DAC_0_DATA(0x1C), 0x55, 0x40
//Power-up voltage output on both the channels, enables internal reference
WRITE COMMON-CONFIG(0x1F), 0x12, 0x01
//Set channel 0 gain setting to 1.5x internal reference (1.8 v)
WRITE DAC_0-VOUT-CMP-CONFIG(0x15), 0x08, 0x00
//Set channel 1 gain setting to 1.5x internal reference (1.8 v)
WRITE DAC_1-VOUT-CMP-CONFIG(0x3), 0x08, 0x00
//Configure GPI for Margin-High, Low trigger for all channels
WRITE GPIO-CONFIG(0x24), 0x01, 0x35
//Set slew rate and code step (repeat for all channels)
//CODE_STEP: 2 LSB, SLEW_RATE: 60.72 µs/step
WRITE DAC_0-FUNC-CONFIG(0x18), 0x00, 0x17
//Write DAC margin high code (repeat for all channels)
//For a 1.8-v output range, the 10-bit hex code for 1.164 v is 0x296. with 16-bit left alignment,
this becomes 0xA540
WRITE DAC_0-MARGIN-HIGH(0x13), 0xA5, 0x40
//Write DAC margin low code (repeat for all channels)
//For a 1.8-v output range, the 10-bit hex code for 36 mv is 0x14. with 16-bit left alignment, this
becomes 0x0500
WRITE DAC_0-MARGIN-LOW(0x14), 0x05, 0x00
//Save settings to NVM
WRITE COMMON-TRIGGER(0x20), 0x00, 0x02
```

7.2.3 アプリケーション曲線

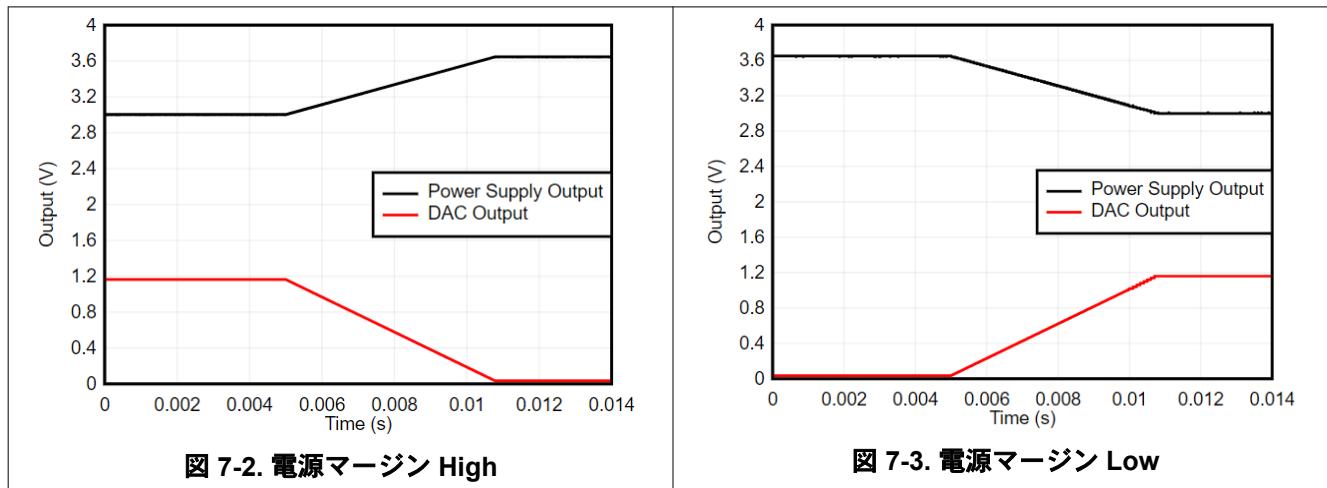


図 7-2. 電源マージン High

図 7-3. 電源マージン Low

7.3 電源に関する推奨事項

DAC63202W ファミリのデバイスは、特定の電源シーケンスを必要としません。これらのデバイスは、単一の電源 V_{DD} を必要とします。ただし、 V_{DD} の後に外部電圧リファレンスが印加されるようにしてください。 V_{DD} ピンには $0.1\mu F$ のデカップリングコンデンサを使用します。 CAP ピンには約 $1.5\mu F$ のバイパスコンデンサを使用します。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

DAC63202W のピン構成では、レイアウトを最適化できるようにアナログ ピン、デジタル ピン、電源ピンを離しています。信号のインテグリティを確保するには、デジタルトレースとアナログトレースを分離し、デカップリングコンデンサをデバイスピンの近くに配置します。

7.4.2 レイアウト例

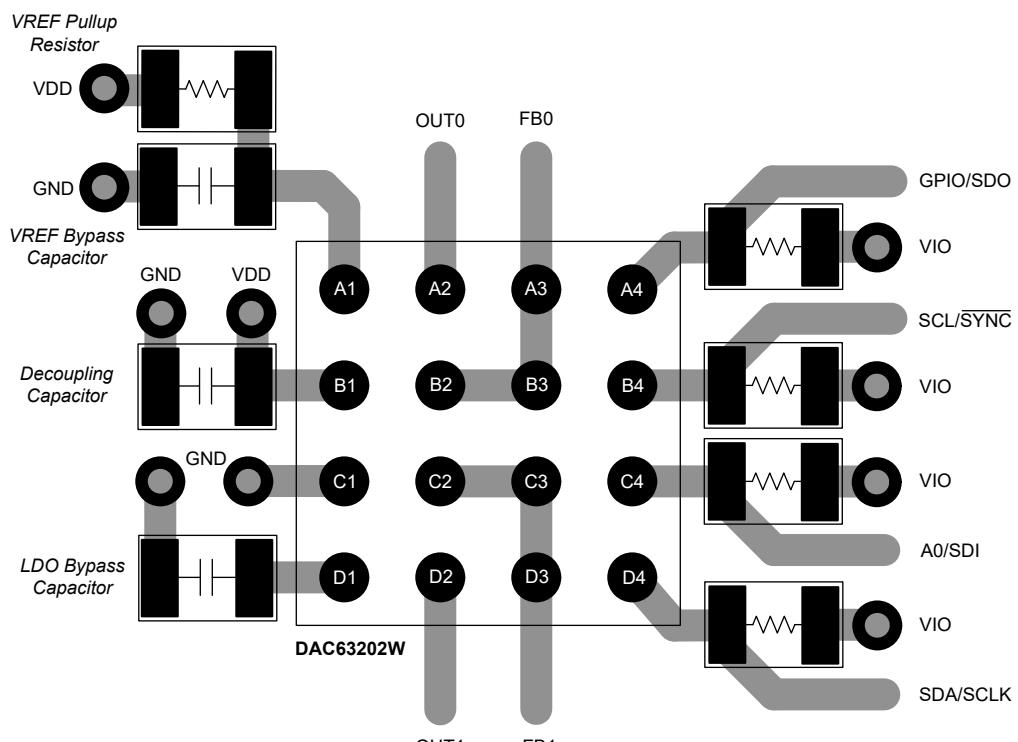


図 7-4. レイアウト例

注:明確化のため、グランドプレーンと電源プレーンは省略しています。サーマルパッドをグランドに接続します。

8 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

8.1 ドキュメントのサポート

8.1.1 関連資料

次の EVM ユーザー ガイドが入手可能です: [DACx3204 評価モジュールユーザーガイド](#)

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.4 商標

PMBus™ is a trademark of SMIF, Inc..

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

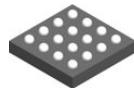
Changes from Revision * (April 2023) to Revision A (July 2025)	Page
• 機能の最後の項目でパッケージ寸法を 1.72mm × 1.72mm から 1.76mm × 1.76mm に変更.....	1
• パッケージ情報テーブルのパッケージ寸法を 1.72mm × 1.72mm から 1.76mm × 1.76mm に変更しました.....	1
• アプリケーション情報のパッケージ寸法を 1.72mm × 1.72mm から 1.76mm × 1.76mm に変更しました.....	76
• YBH パッケージのアウトラインを更新し、寸法を訂正.....	81

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用している場合は、画面左側の説明をご覧ください。

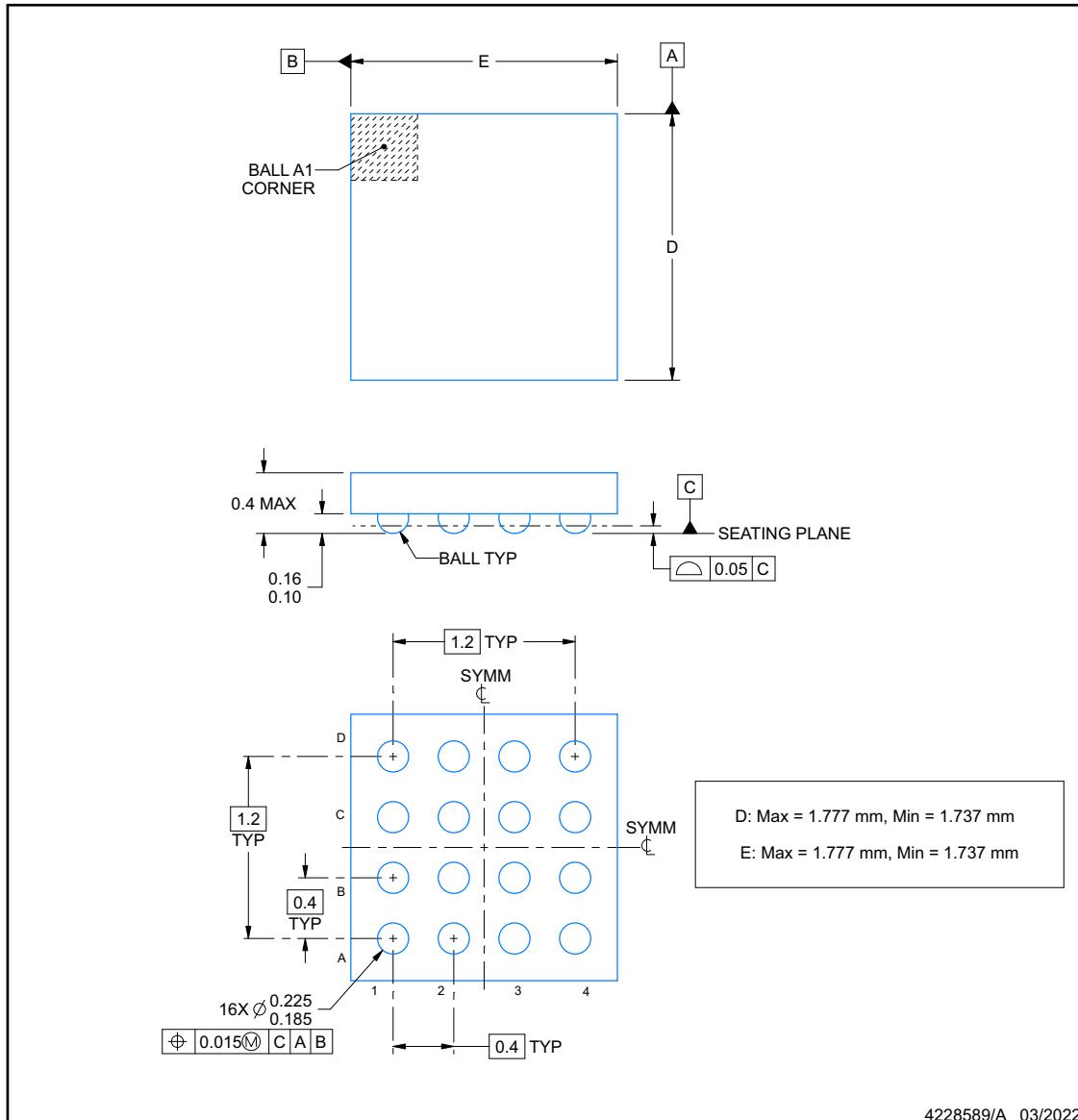
PACKAGE OUTLINE

YBH0016-C03



DSBGA - 0.4 mm max height

DIE SIZE BALL GRID ARRAY



NOTES:

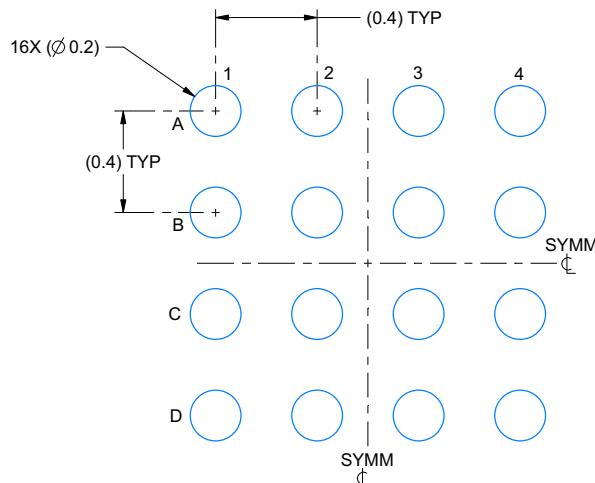
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

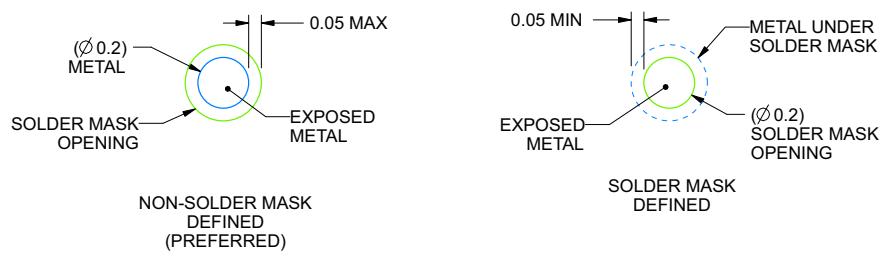
YBH0016-C03

DSBGa - 0.4 mm max height

DIE SIZE BALL GRID ARRAY



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 40X



SOLDER MASK DETAILS
NOT TO SCALE

4228589/A 03/2022

NOTES: (continued)

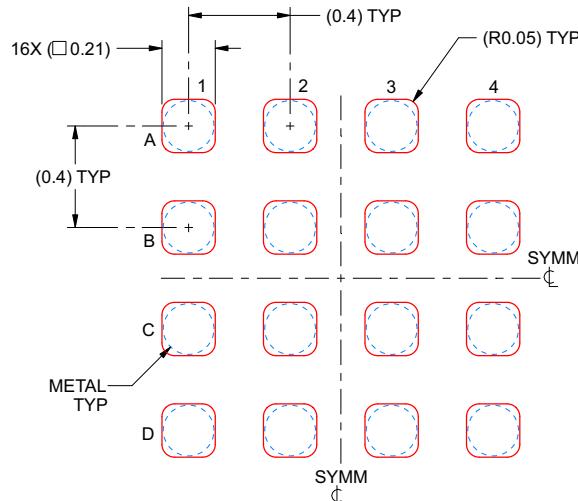
3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.
See Texas Instruments Literature No. SNVA009 (www.ti.com/lit/snva009).

EXAMPLE STENCIL DESIGN

YBH0016-C03

DSBGA - 0.4 mm max height

DIE SIZE BALL GRID ARRAY



SOLDER PASTE EXAMPLE
 BASED ON 0.075 mm THICK STENCIL
 SCALE: 40X

4228589/A 03/2022

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DAC63202YBHR	Active	Production	DSBGA (YBH) 16	3000 LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	DAC 63202
DAC63202YBHR.A	Active	Production	DSBGA (YBH) 16	3000 LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	DAC 63202

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

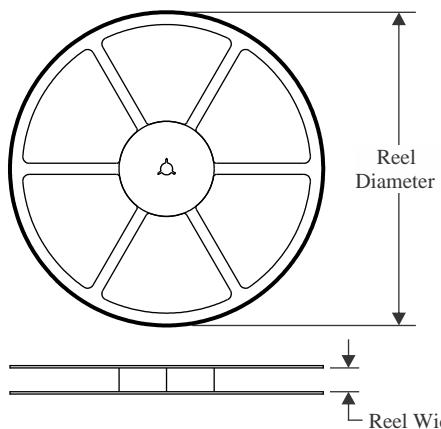
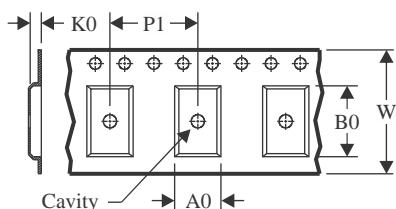
⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

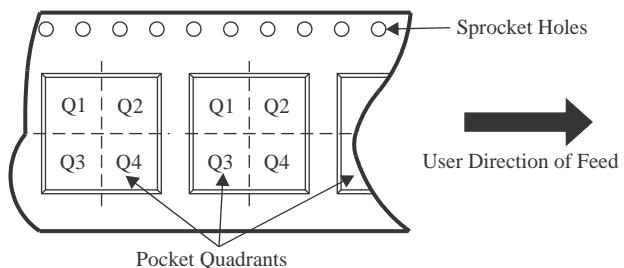
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

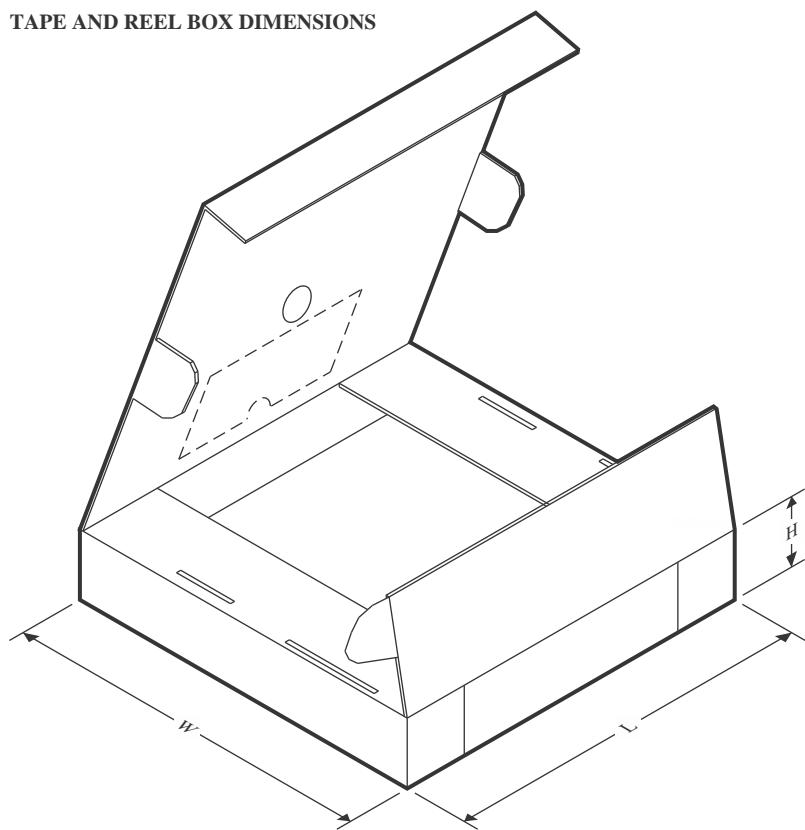
TAPE AND REEL INFORMATION
REEL DIMENSIONS

TAPE DIMENSIONS


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DAC63202YBHR	DSBGA	YBH	16	3000	180.0	8.4	1.94	1.94	0.69	4.0	8.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DAC63202YBHR	DSBGA	YBH	16	3000	182.0	182.0	20.0

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月