

## DP83825I 低消費電力 10/100Mbps イーサネット物理層トランシーバ

### 1 特長

- 超小型フォームファクタ 10/100Mbps PHY: QFN 3mm×3mm、24 ピン
- ケーブルの到達範囲: 最大 150m
- 127mW 未満の超低消費電力
- MDI と MAC の終端抵抗を内蔵
- プログラム可能な省エネルギーモード
  - アクティブスリープ
  - ディープパワーダウン
  - Energy Efficient Ethernet (EEE) IEEE 802.3az
  - レガシー MAC での EEE サポート
  - Wake-on-LAN (WoL)
- 電圧モードラインドライバ
- MAC インターフェイス: RMII (リーダーおよびフォロワモード)
- 3.3V の単一電源電圧
- I/O 電圧: 1.8V および 3.3V
- リピータ: アンマネージドモードでの RMII 双方向モード
- 構成およびステータス用 MDC/MDIO インターフェイス
- 高速なリンクドロップモード
- 診断ツール: ケーブル診断、内蔵自己テスト (BIST)、ループバックモード
- プログラマブルなハードウェア割り込みピン
- 動作温度範囲: -40°C ~ 85°C
- IEEE 802.3 100BASE-TX および 10BASE-Te 仕様に準拠

### 2 アプリケーション

- ビルディングオートメーション: IP カメラ、HMI
- モータードライブ
- POS システム
- ファクトリオートメーション

### 3 説明

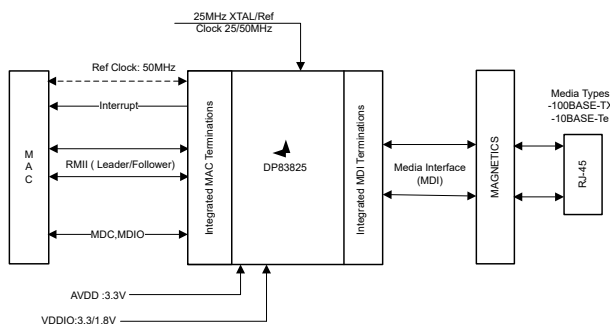
DP83825I は、10BASE-Te および 100BASE-TX イーサネットプロトコルをサポートする PMD サブレイヤを内蔵した超小型フォームファクタ、超低消費電力のイーサネット物理層 (PHY) トランシーバです。この PHY は、CAT5e ケーブルで最大 150m の伝送距離をサポートします。DP83825I は、外付けトランスを介してツイストペアメディアに直接接続できます。

DP83825I は、Energy Efficient Ethernet (EEE)、Wake-on-LAN (WoL)、MAC 絶縁にも対応しているため、システムの消費電力をさらに低減できます。MAC 上での EEE 信号処理をサポートしていないレガシー MAC の場合でも、レジスタ構成を使って Energy Efficient モードを有効にできます。DP83825I はアンマネージドリピータモードで動作できます。このモードでは、DP83825I はレジスタ設定なしでリピータとして動作します。DP83825I にはケーブル診断ツール、組み込みの自己テスト、ループバック機能が内蔵されており、開発やデバッグが容易です。

#### パッケージ情報

部品番号	パッケージ (1)	パッケージサイズ (2)	属性
DP83826E	VQFN (32)	5.00mm × 5.00mm	最小のレイテンシ、一般的なピン配置
DP83822HF/IF/H/I			広い温度範囲、ファイバー、RGMII のサポート
DP83825I	WQFN (24)	3.00mm × 3.00mm	小さなサイズ、最適化されたコスト

- 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
- パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



DP83825I アプリケーション図



## 目次

<b>1 特長</b> .....	1	6.4 デバイスの機能モード.....	33
<b>2 アプリケーション</b> .....	1	6.5 プログラミング.....	35
<b>3 説明</b> .....	1	<b>7 デバイスのレジスタ</b> .....	38
<b>4 ピン構成および機能</b> .....	3	<b>8 アプリケーションと実装</b> .....	86
<b>5 仕様</b> .....	5	8.1 使用上の注意.....	86
5.1 絶対最大定格.....	5	8.2 代表的なアプリケーション.....	86
5.2 ESD 定格.....	5	8.3 電源に関する推奨事項.....	90
5.3 推奨動作条件.....	5	8.4 レイアウト.....	90
5.4 熱に関する情報.....	5	<b>9 デバイスおよびドキュメントのサポート</b> .....	94
5.5 電気的特性.....	6	9.1 ドキュメントの更新通知を受け取る方法.....	94
5.6 タイミング要件.....	8	9.2 サポート・リソース.....	94
5.7 タイミング図.....	11	9.3 商標.....	94
5.8 代表的特性.....	14	9.4 静電気放電に関する注意事項.....	94
<b>6 詳細説明</b> .....	18	9.5 用語集.....	94
6.1 概要.....	18	<b>10 改訂履歴</b> .....	94
6.2 機能ブロック図.....	19	<b>11 メカニカル、パッケージ、および注文情報</b> .....	95
6.3 機能説明.....	19		

## 4 ピン構成および機能

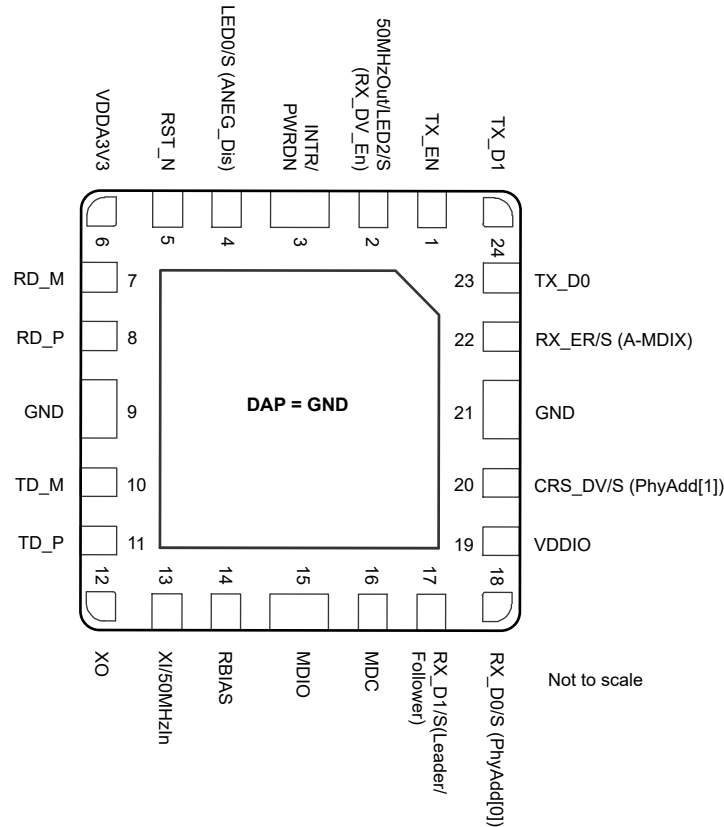


図 4-1. DP83825I RMQ パッケージ 24 ピン QFN 上面図

表 4-1. DP83825I のピン機能

ピン		タイプ <sup>(1)</sup>	説明
名称	番号		
TX_EN	1	リセット: I, PD アクティブ: I, PD	RMII 送信イネーブル: TX_EN はアクティブ High 信号であり、TX_CLK の立ち上がりエッジに示されます。TX_EN は、TX_D [1:0] に有効なデータ入力が存在することを示します。
50MHzOut/LED2	2	リセット: I, PD, S アクティブ: O	RMII リーダー モード: 50MHz クロック アウト (デフォルト)。 RMII フォロワー モード: LED_2 (デフォルト): このピンは、レジスタ構成を使用して GPIO として構成できます。
INTR/PWRDN	3	リセット: I, PU アクティブ: I/O, PU	割り込み / パワーダウン (デフォルト): このピンのデフォルトの機能はパワーダウンです。このピンを割り込みとして構成するには、レジスタ アクセスが必要です。パワーダウン機能では、このピンにアクティブ Low 信号が印加されると、デバイスはパワーダウン モードに移行します。このピンが割り込みピンとして構成されている場合に割り込み状態が発生すると、このピンが Low にアサートされます。このピンには、弱い内部プルアップ抵抗 (9.5kΩ) のオープンドレイン出力があります。一部のアプリケーションでは、外部プルアップ抵抗が必要となります。
LED0	4	リセット: I, PD, S アクティブ: O	LED0: アクティビティ表示 LED は、リンクのステータスに加えて、送受信アクティビティを示します。リンクが正常な場合は LED が点灯します。トランスミッタまたはレシーバがアクティブになると、LED が点滅します。このピンは、レジスタ構成により GPIO としても機能できます。 このピンは常に 3.3V であり、VDDIO ピンに供給される電圧にはリンクされていません。これは、PHY を VDDIO 1.8V で動作させる場合の外付け部品を回避するためです。
RST_N	5	リセット: I, PU アクティブ: I, PU	RST_N: このピンはアクティブ Low リセット入力です。このピンを 25µs 以上 Low にアサートすると、リセットプロセスが強制的に開始されます。リセットが開始されると、ストラップ ピンが再スキャンされ、PHY のすべての内部レジスタがデフォルト値にリセットされます。このピンは常に 3.3V であり、VDDIO ピンに供給される電圧にはリンクされていません。これは、PHY を VDDIO 1.8V で動作させる場合の外付け部品を回避するためです。
VDDA3V3	6	電源	入力アナログ電源: 3.3V デカップリング コンデンサ要件については、「セクション 8.3」セクションを参照してください。
RD_M	7	A	差動受信入力 (PMD): これらの差動入力は、10BASE-Te または 100BASE-TX 固有の信号モードを受け入れるように自動的に構成されます
RD_P	8	A	
GND	9	GND	グラウンド: グラウンドに接続します。

表 4-1. DP83825I のピン機能 (続き)

ピン		タイプ <sup>(1)</sup>	説明
名称	番号		
TD_M	10	A	差動送信出力 (PMD): これらの差動出力は、PHY に選択されている構成に基づいて、10BASE-Te または 100BASE-TX のいずれかの信号モードに構成されます。
TD_P	11	A	
XO	12	A	水晶振動子出力: 基準クロック出力。XO ピンは水晶振動子の場合にのみ使用されます。CMOS レベル発振器を XI に接続する場合、このピンを浮動にしておくことができます。
XI/50MHzIn	13	A	水晶振動子 / 発振器の入力クロック RMII リーダー モード: 25MHz 許容誤差 ±50ppm の水晶振動子または発振器クロック RMII フォロワ モード: 50MHz 許容誤差 ±50ppm の CMOS レベル発振器クロック
RBIAS	14	A	このピンにはバイアス抵抗が必要です。RBIAS ピンとグランドとの間に 6.49kΩ の許容誤差 ±1% の抵抗を接続します。
MDIO	15	リセット: I, PU-10kΩ アクティブ: I/O、 PU-10kΩ	管理データ I/O: 管理ステーションまたは PHY から出力される可能性がある双方向管理データ信号。このピンには、10kΩ への内部プルアップが搭載されています。必要に応じて、最大 2.2kΩ の外部プルアップを追加できます
MDC	16	リセット: I, PD アクティブ: I, PD	管理データ クロック: MDIO シリアル管理入力 / 出力データへの同期クロック。このクロックは、MAC の送信クロックおよび受信クロックと非同期にすることができます。最大クロックレートは 24MHz です。最小クロックレートはありません。
RX_D1	17	リセット: I, PD, S アクティブ: O	RMII 受信データ: ケーブルで受信されたシンボルはデコードされ、基準クロックに同期してこれらのピンに表示されます。これらのシンボルには、RX_DV がアサートされている間のみ有効なデータが含まれています。
RX_D0	18	リセット: I, PD, S アクティブ: O	RMII 受信データ: ケーブルで受信されたシンボルはデコードされ、基準クロックに同期してこれらのピンに表示されます。これらのシンボルには、RX_DV がアサートされている間のみ有効なデータが含まれています。
VDDIO	19	電源	I/O 電源: 3.3V/1.8V。デカップリング コンデンサ要件については、「セクション 8」セクションを参照してください。
CRS_DV	20	リセット: I, PD, S アクティブ: O	搬送波検知 / 受信データは有効です: このピンは、RMII キャリアと受信データ有効通知を組み合わせたものです。
GND	21	GND	グランドピン
RX_ER	22	リセット: I, PD, S アクティブ: O	RMII 受信データ エラー: このピンは、RMII モードで受信バケット内にエラー シンボルが検出されたことを示します。基準クロックの立ち上がりエッジに同期して、RX_ER が High にアサートされます。RMII モードでは、PHY が受信エラー時にデータを自動的に破損させるため、このピンは MAC にとって不要です。
TX_D0	23	リセット: I, PD アクティブ: I, PD	RMII 送信データ: MAC から受信された TX_D[1:0] は基準クロックの立ち上がりエッジに同期します。
TX_D1	24	リセット: I, PD アクティブ: I, PD	

- (1) ピンの機能は以下のように定義されます。
- タイプ I: 入力
  - タイプ O: 出力
  - タイプ I/O: 入力 / 出力
  - タイプ PD または PU: 内部プルダウンまたはプルアップ
  - タイプ S: ストラップ構成ピン

## 5 仕様

### 5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) <sup>(1)</sup>

パラメータ		最小値	最大値	単位
アナログ電源電圧	AVDD3V3	-0.3	4	V
IO 電源	VDDIO3V3	-0.3	4	V
	VDDIO1V8	-0.3	2.1	V
接合部温度	Tj		105	°C
保管温度	Tstg	-65	150	°C
MDI ピン	TD-, TD+, RD-, RD+	-0.3	4	V
MAC インターフェイス ピン		-0.3	4	V
SMI インターフェイス ピン		-0.3	4	V
XI		-0.3	4	V
リセット		-0.3	4	V

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

### 5.2 ESD 定格

パラメータ	定義	最小値	最大値	単位
人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 <sup>(1)</sup>	すべてのピン (MDI を除く)	±1.5		kV
	MDI (メディア依存インターフェイス) ピン	±5		kV

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。必要な予防措置をとれば、HBM の ESD 耐圧が 500V 未満でも製造可能です。

### 5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		最小値	標準値	最大値	単位
アナログ電源電圧	AVDD3V3	3	3.3	3.6	V
IO 電源	VDDIO3V3	3	3.3	3.6	V
	VDDIO1V8	1.62	1.8	1.98	V
自由気流での動作温度 (DP83825I)	Ta	-40	25	85	C
ピン	TX_EN, TX_D0, TX_D1, RX_D0, RX_D1, RX_DV, RX_ER, MDIO, MDC, INT/PWDN, LED2	VDDIO-10%	VDDIO	VDDIO + 10%	V
ピン	XI 発振器入力	VDDIO-10%	VDDIO	VDDIO + 10%	V
ピン	LED0, RST_N	AVDD3V3-10%	AVDD3V3	AVDD3V3 + 10%	V

### 5.4 熱に関する情報

熱評価基準 <sup>(1)</sup>			単位
R <sub>θJA</sub>	接合部から周囲への熱抵抗	53.5	°C/W
R <sub>θJC(top)</sub>	接合部からケース (上面) への熱抵抗	49.6	°C/W

## 5.4 熱に関する情報 (続き)

熱評価基準 <sup>(1)</sup>			単位
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	28.6	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	2.3	°C/W
$Y_{JT}$	接合部から上面への特性パラメータ	28.5	°C/W
$Y_{JB}$	接合部から基板への特性パラメータ	14.9	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。

## 5.5 電気的特性

VDDA = 3.3V の自由空気での動作温度範囲内 (特に記述のない限り)<sup>(1)</sup>

パラメータ	テスト条件	最小値	標準値	最大値	単位
<b>IEEE Tx 準拠 (100BaseTx)</b>					
差動出力電圧	100 Base Tx アイドル送信		1.0		V
<b>IEEE Tx 準拠 (10BaseTe)</b>					
差動電圧	10BaseTe データ送信		1.75		V
<b>消費電力 (電力オプティマイザ モード)</b>					
$I(AVDD3 V3)$	RMII リーダー (100BaseTx)	トラフィック = 50%	37.5		mA
$I(AVDD3 V3)$	RMII フォロフ (100BaseTx)	トラフィック = 50%	37.5		mA
$I(VDDIO = 3V3)$	RMII リーダー (100BaseTx)	トラフィック = 50%	7.5		mA
$I(VDDIO = 3V3)$	RMII フォロフ (100BaseTx)	トラフィック = 50%	3.5		mA
$I(VDDIO = 1V8)$	RMII リーダー (100BaseTx)	トラフィック = 50%	4.5		mA
$I(VDDIO = 1V8)$	RMII フォロフ (100BaseTx)	トラフィック = 50%	1.6		mA
<b>消費電力 (ケーブル到達範囲最適化モード)</b>					
$I(AVDD3 V3)$	RMII リーダー (100BaseTx)	トラフィック = 50%	41		mA
$I(AVDD3 V3)$	RMII リーダー (100BaseTx)	トラフィック = 100%	41	50	mA
$I(AVDD3 V3)$	RMII リーダー (10BaseTe)	トラフィック = 50%	28		mA
$I(AVDD3 V3)$	RMII リーダー (10BaseTe)	トラフィック = 100%	32	40	mA
$I(AVDD3 V3)$	RMII フォロフ (100BaseTx)	トラフィック = 50%	41	50	mA
$I(AVDD3 V3)$	RMII フォロフ (100BaseTx)	トラフィック = 100%	41	50	mA
$I(AVDD3 V3)$	RMII フォロフ (10BaseTe)	トラフィック = 50%	28		mA
$I(AVDD3 V3)$	RMII フォロフ (10BaseTe)	トラフィック = 100%	32	40	mA
$I(VDDIO = 3V3)$	RMII リーダー (100BaseTx)	トラフィック = 50%	7.5		mA
$I(VDDIO = 3V3)$	RMII リーダー (100BaseTx)	トラフィック = 100%	10	14	mA
$I(VDDIO = 3V3)$	RMII リーダー (10BaseTe)	トラフィック = 50%	6.5		mA

## 5.5 電気的特性 (続き)

VDDA = 3.3V の自由空気での動作温度範囲内 (特に記述のない限り)<sup>(1)</sup>

パラメータ		テスト条件	最小値	標準値	最大値	単位
I(VDDIO = 3V3)	RMII リーダー (10BaseTe)	トラフィック = 100%		7.5	12	mA
I(VDDIO = 3V3)	RMII フォロフ (100BaseTx)	トラフィック = 50%		3.5		mA
I(VDDIO = 3V3)	RMII フォロフ (100BaseTx)	トラフィック = 100%		5	8	mA
I(VDDIO = 3V3)	RMII フォロフ (10BaseTe)	トラフィック = 50%		2.5	6	mA
I(VDDIO = 3V3)	RMII フォロフ (10BaseTe)	トラフィック = 100%		2.5	6	mA
I(VDDIO = 1V8)	RMII リーダー (100BaseTx)	トラフィック = 50%		4	14	mA
I(VDDIO = 1V8)	RMII リーダー (100BaseTx)	トラフィック = 100%		5.5	14	mA
I(VDDIO = 1V8)	RMII リーダー (10BaseTe)	トラフィック = 50%		4		mA
I(VDDIO = 1V8)	RMII リーダー (10BaseTe)	トラフィック = 100%		4	14	mA
I(VDDIO = 1V8)	RMII フォロフ (100BaseTx)	トラフィック = 50%		1.5		mA
I(VDDIO = 1V8)	RMII フォロフ (100BaseTx)	トラフィック = 100%		2.5	6	mA
I(VDDIO = 1V8)	RMII フォロフ (10BaseTe)	トラフィック = 50%		1		mA
I(VDDIO = 1V8)	RMII フォロフ (10BaseTe)	トラフィック = 100%		1	6	mA
<b>消費電力 (低消費電力モード)</b>						
I(AVDD = 3V3)	100 BaseTx EEE モード	EEE モードの 100 BaseTx リンク (LPI オン)		15.5		mA
	ディープ パワー ダウン			3.5		mA
	IEEE パワーダウン			4		mA
	アクティブ スリープ			11		mA
	アクティブだがリンクなし			37		mA
	リセット			5.5		mA
I(VDDIO = 3V3)	100 BaseTx EEE モード			2		mA
	ディープ パワー ダウン			2.5		mA
	IEEE パワーダウン			2		mA
	アクティブ スリープ			5		mA
	アクティブだがリンクなし			5		mA
	リセット			2.5		mA
I(VDDIO = 1V8)	100 BaseTx EEE モード			2		mA
	ディープ パワー ダウン			1.5		mA
	IEEE パワーダウン			1.5		mA
	アクティブ スリープ			3		mA
	アクティブだがリンクなし			3		mA
	リセット			1.5		mA
<b>ブートストラップ DC 特性 (2 レベル)</b>						

## 5.5 電気的特性 (続き)

VDDA = 3.3V の自由空気での動作温度範囲内 (特に記述のない限り)<sup>(1)</sup>

パラメータ		テスト条件	最小値	標準値	最大値	単位
V <sub>IH_3V3</sub>	High レベルのブートストラップ スレッショルド: 3V3		1.3			V
V <sub>IL_3V3</sub>	Low レベルのブートストラップ スレッショルド: 3V3				0.6	V
V <sub>IH_1V8</sub>	High レベルのブートストラップ スレッショルド: 1V8		1.3			V
V <sub>IL_1V8</sub>	Low レベルのブートストラップ スレッショルド: 1V8				0.6	V
<b>水晶発振器</b>						
	負荷容量			15	30	pF
<b>IO</b>						
3V3	V <sub>IH</sub> High レベル入力電圧	VDDIO = 3V3 +/- 10%	1.7			V
	V <sub>IL</sub> Low レベル入力電圧	VDDIO = 3V3 +/- 10%			0.8	V
	V <sub>OH</sub> High レベル出力電圧	I <sub>oH</sub> = -2mA, VDDIO = 3V3 +/- 10%	2.4			V
	V <sub>OL</sub> Low レベル出力電圧	I <sub>oL</sub> = 2mA, VDDIO = 3V3 +/- 10%			0.4	V
1V8	V <sub>IH</sub> High レベル入力電圧	VDDIO = 1V8 +/- 10%	0.65*V <sub>DIO</sub>			V
	V <sub>IL</sub> Low レベル入力電圧	VDDIO = 1V8 +/- 10%			0.35*V <sub>DIO</sub>	V
	V <sub>OH</sub> High レベル出力電圧	I <sub>oH</sub> = -2mA, VDDIO = 1V8 +/- 10%	VDDIO-0.45			V
	V <sub>OL</sub> Low レベル出力電圧	I <sub>oL</sub> = 2mA, VDDIO = 1V8 +/- 10%			0.45	V
	I <sub>IH</sub> (VIN = VCC)	T <sub>A</sub> = -40°C ~ 85°C, VIN = VDDIO			15	μA
	I <sub>IL</sub> (VIN = GND)	T <sub>A</sub> = -40°C ~ 85°C, VIN = GND			15	μA
	I <sub>OZH</sub>	トライステート出力高電流	-15		15	μA
	I <sub>OZL</sub>	トライステート出力低電流	-15		15	μA
	C <sub>in</sub> (入力容量)			5		pF
	プルダウン抵抗値		8	10	13	KΩ
	プルアップ抵抗値		8	10	13	KΩ
	XI 入力発振器クロック pk-pk			VDDIO		V
	XI 入力発振器クロックの同相モード			VDDIO/2		V

(1) 製造試験、特性評価、設計によって指定済み

## 5.6 タイミング要件

パラメータ		最小値	公称値	最大値	単位
<b>電源投入のタイミング</b>					
T1	電圧ランプ期間 (VDDIO の 0% ~ 100%) <sup>(1)</sup>	0.5		40	ms
T2	電源シーケンシング: VDDIO が最初に上昇し、次に AVDD が上昇します	0		200	ms
T3	電圧ランプ期間 (AVDD の 0% ~ 100%)	0.5		40	ms
T4	POR リリース時間 / 電源投入から SMI レディまで: レジスタアクセスの MDC プリアンプルまでの、電源投入後安定化時間			50	ms
T5	電源投入から FLP まで		1500		ms
	電源立ち上げの前の AVDD、VDDIO のベデスタル電圧			0.3	V

## 5.6 タイミング要件 (続き)

パラメータ		最小値	公称値	最大値	単位
AVDD と VDDIO が安定するまで、すべての入力を Low または High に駆動させないでください					
<b>リセット タイミング</b>					
T1	リセット パルス幅:リセット可能な最小リセット パルス幅 (デバウンス コンデンサなし)	25			us
T2	リセットから SMI レディまで:レジスタ アクセスの MDC プリアンブルまでの、リセット後安定化時間			2	ms
T3	リセットから FLP まで		1500		ms
	リセットから 100M 信号まで (ストラップ モード)		0.5		ms
	リセットから RMII リーダー クロックまで		0.2		ms
<b>100M EEE のタイミング</b>					
	スリープ時間 (Ts)		210		us
	静音時間 (Tq)		20		ms
	リフレッシュ時間 (Tr)		200		us
	ウェーク時間 (Tw_sys_tx)		36		us
<b>RMII 送信タイミング</b>					
T1	RMII リーダー クロック周期		20		ns
	RMII リーダー クロック デューティ サイクル	35		65	%
T2	TX_D[1:0], TX_ER, TX_EN の RMII リーダー クロックに対するセットアップ <sup>(2)</sup>	4			ns
T3	TX_D[1:0], TX_ER, TX_EN の RMII リーダー クロックからのホールド	2			ns
<b>RMII 受信タイミング</b>					
T1	入力基準クロック周期		20		ns
	入力クロック デューティ サイクル	35		65	%
T2	XI クロックの立ち上がりからの RX_D[1:0], RX_ER, RX_DV のホールド	4		14	ns
<b>SMI タイミング</b>					
T1	MDC から MDIO (出力) までの遅延時間	0		10	ns
T2	MDC に対する MDIO (入力) のセットアップ時間	10			ns
T3	MDC に対する MDIO (入力) のホールド時間	10			ns
T4	MDC 周波数		2.5	20	MHz
<b>出力クロック タイミング (50M RMII リーダー クロック)</b>					
	周波数 (PPM)	-50		50	ppm
	デューティ サイクル	35		65	%
	立ち上がり時間			4000	ps
	立ち下がり時間			4000	ps
	ジッタ (長期)			450	ps
	複数のリセットでの RefCLK からクロック アウトまでの遅延			40	ns
<b>入力クロック許容誤差</b>					
25MHz	周波数許容誤差	-50		50	ppm
	立ち上がり / 立ち下がり時間			5	ns
	ジッター耐性 (100,000 サイクルにわたって累積)			1.75	ns
	デューティ サイクル	40		60	%
	1KHz での入力位相ノイズ			-98	dBc/Hz
	10KHz での入力位相ノイズ			-113	dBc/Hz

## 5.6 タイミング要件 (続き)

パラメータ		最小値	公称値	最大値	単位
	100KHz での入力位相ノイズ			-113	dBc/Hz
	1MHz での入力位相ノイズ			-113	dBc/Hz
	10MHz での入力位相ノイズ			-113	dBc/Hz
50MHz	周波数許容誤差	-50		50	ppm
	立ち上がり / 立ち下がり時間			5	ns
	ジッター耐性 (100,000 サイクルにわたって累積)			1.75	ns
	デューティ サイクル	40		60	%
	1KHz での入力位相ノイズ			-87	dBc/Hz
	10KHz での入力位相ノイズ			-107	dBc/Hz
	100KHz での入力位相ノイズ			-107	dBc/Hz
	1MHz での入力位相ノイズ			-107	dBc/Hz
	10MHz での入力位相ノイズ			-107	dBc/Hz
<b>レイテンシ タイミング</b>					
Tx	RMII フォロワの XI クロックの立ち上がりエッジ (TX_EN アサート時) から MDI の SSD シンボルまで (100M)		105		ns
	RMII リーダーのクロックの立ち上がりエッジ (TX_EN アサート時) から MDI の SSD シンボルまで (100M)		105		ns
	RMII フォロワの XI クロックの立ち上がりエッジ (TX_EN アサート時) から MDI の SSD シンボルまで (10M)		1350		ns
	RMII リーダーのクロックの立ち上がりエッジ (TX_EN アサート時) から MDI の SSD シンボルまで (10M)		1300		ns
Rx	MDI の SSD シンボルから RMII フォロワの XI クロックの立ち上がりエッジ (CRS_DV アサート時) まで (100M)		350		ns
	MDI の SSD シンボルから RMII リーダーのリーダー クロックの立ち上がりエッジ (CRS_DV アサート時) まで (100M)		325		ns
	MDI の SSD シンボルから RMII フォロワの XI クロックの立ち上がりエッジ (CRS_DV アサート時) まで (10M)		2150		ns
	MDI の SSD シンボルから RMII リーダーのリーダー クロックの立ち上がりエッジ (CRS_DV アサート時) まで (10M)		2150		ns

- クロックは、電源の立ち上げ時に利用可能である必要があります。電源の立ち上げ後にクロックが供給される場合、クロックが利用可能になった時点で PHY の外部リセットが必要です
- RMII フォロワ出力タイミングのデフォルト設定では、最大 7.5ns のセットアップ時間をサポートしています。7.5ns ~ 10.5ns の場合は、レジスタ 0x0017.8 = 1、0x0042 = 0x0014 をプログラムします

## 5.7 タイミング図

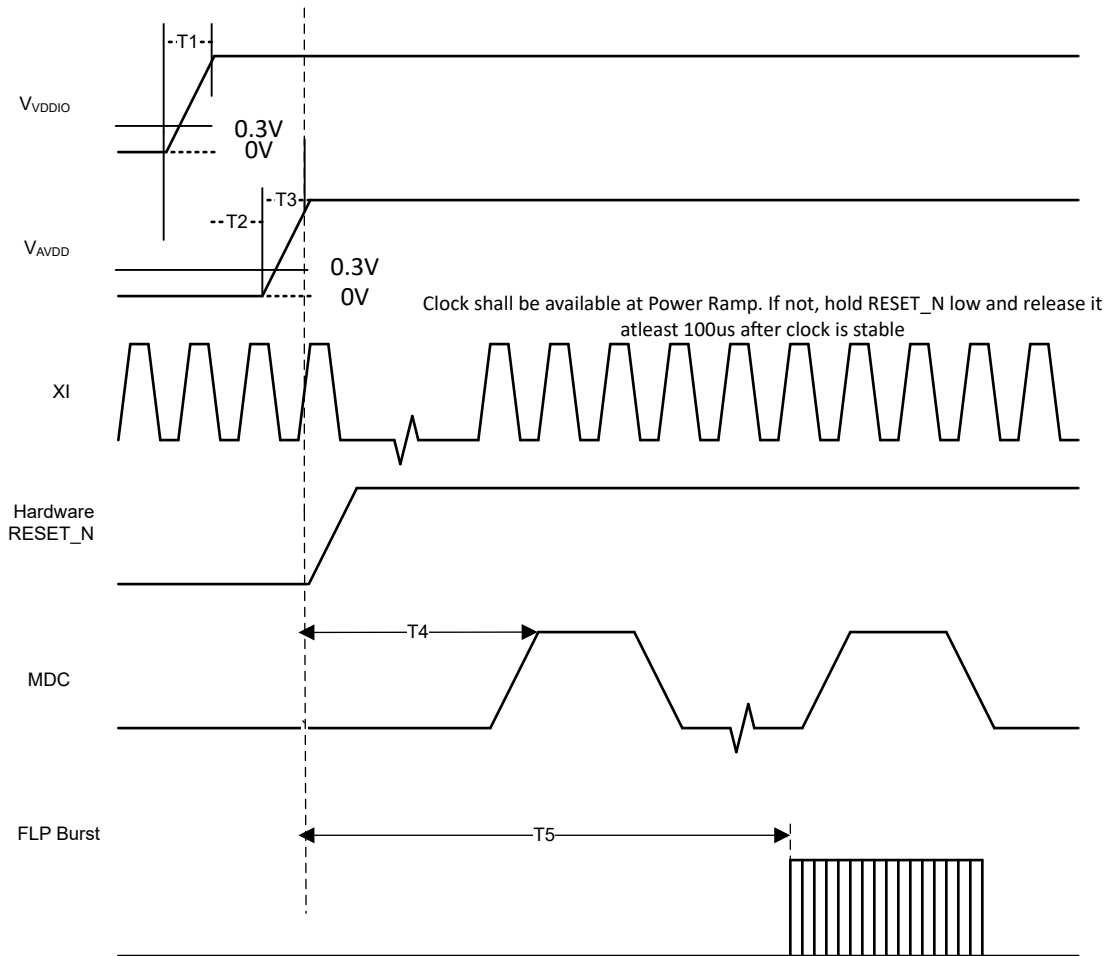


図 5-1. 電源投入のタイミング

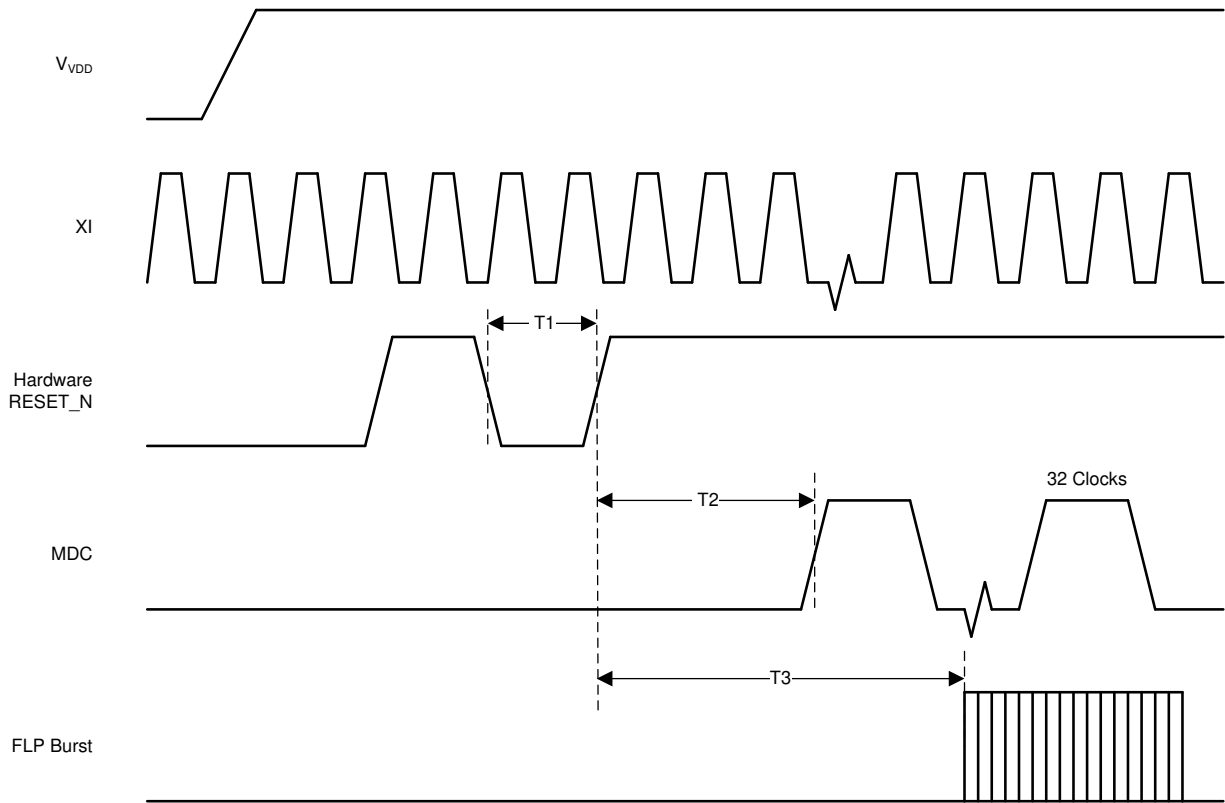


図 5-2. リセット タイミング

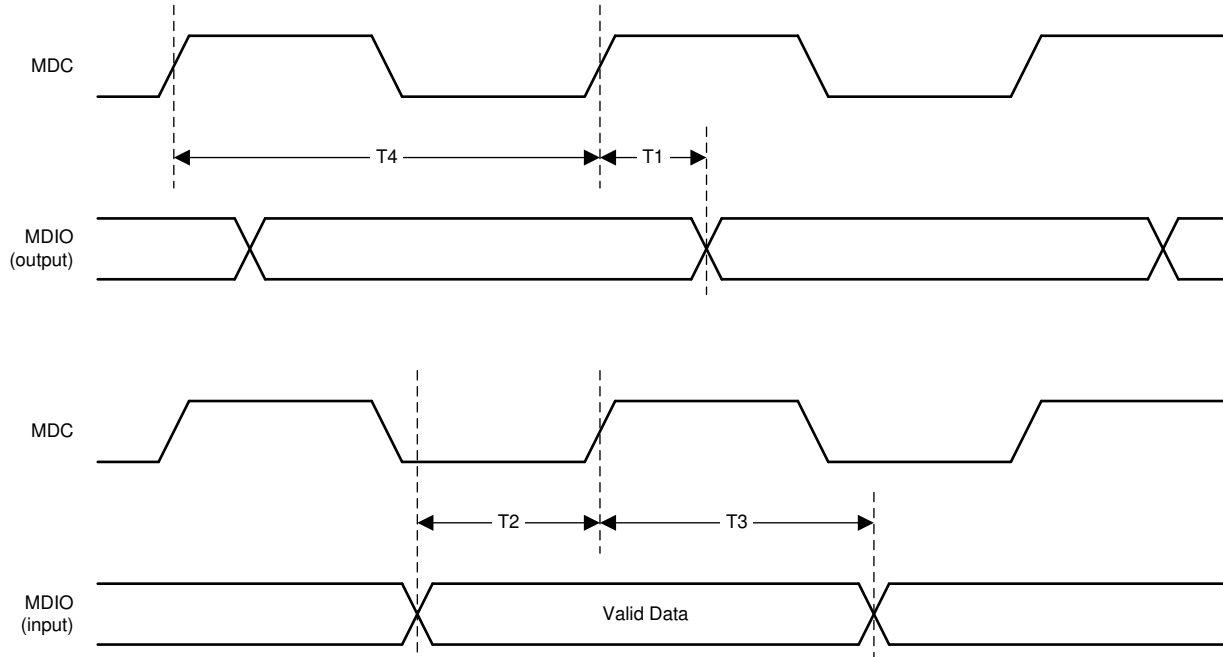


図 5-3. シリアル マネージメントのタイミング

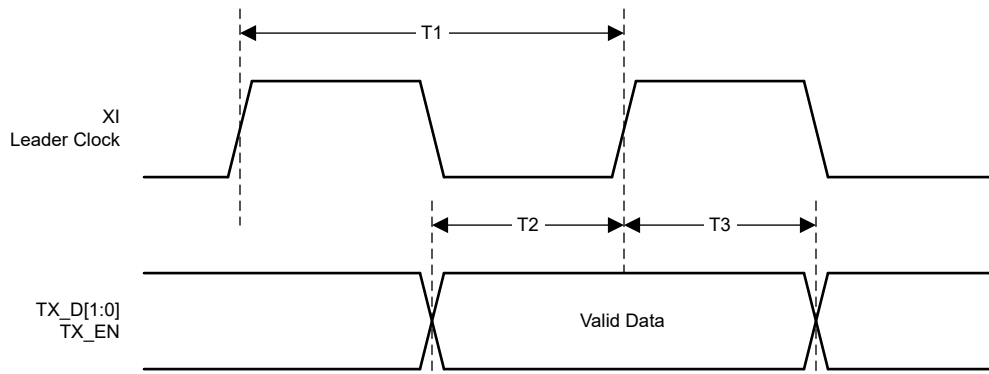


図 5-4. RMII 送信タイミング

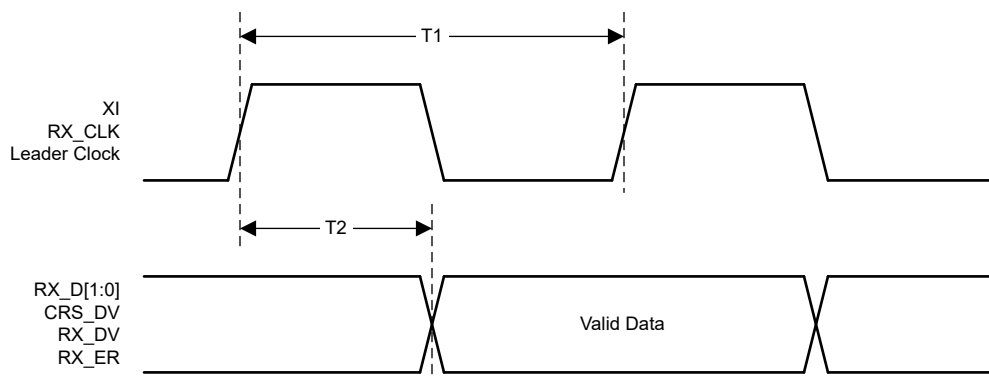


図 5-5. RMII 受信タイミング

## 5.8 代表的特性

このセクションでは、VDDIO 3.3V および 1.8V の DP83825 駆動特性について説明します。

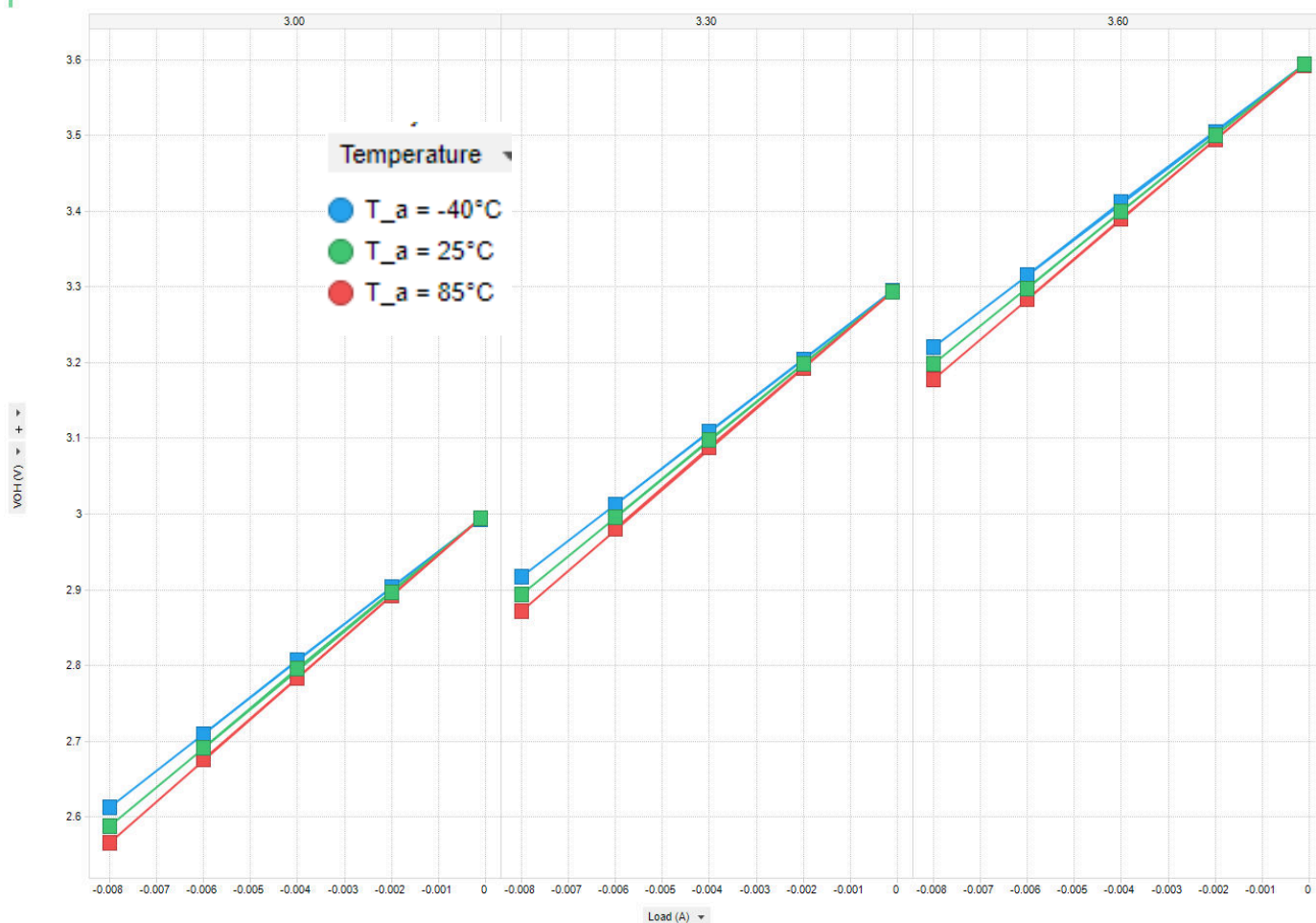


図 5-6. LED\_0、LED\_2、CLKOUT V<sub>OH</sub> 3.3V

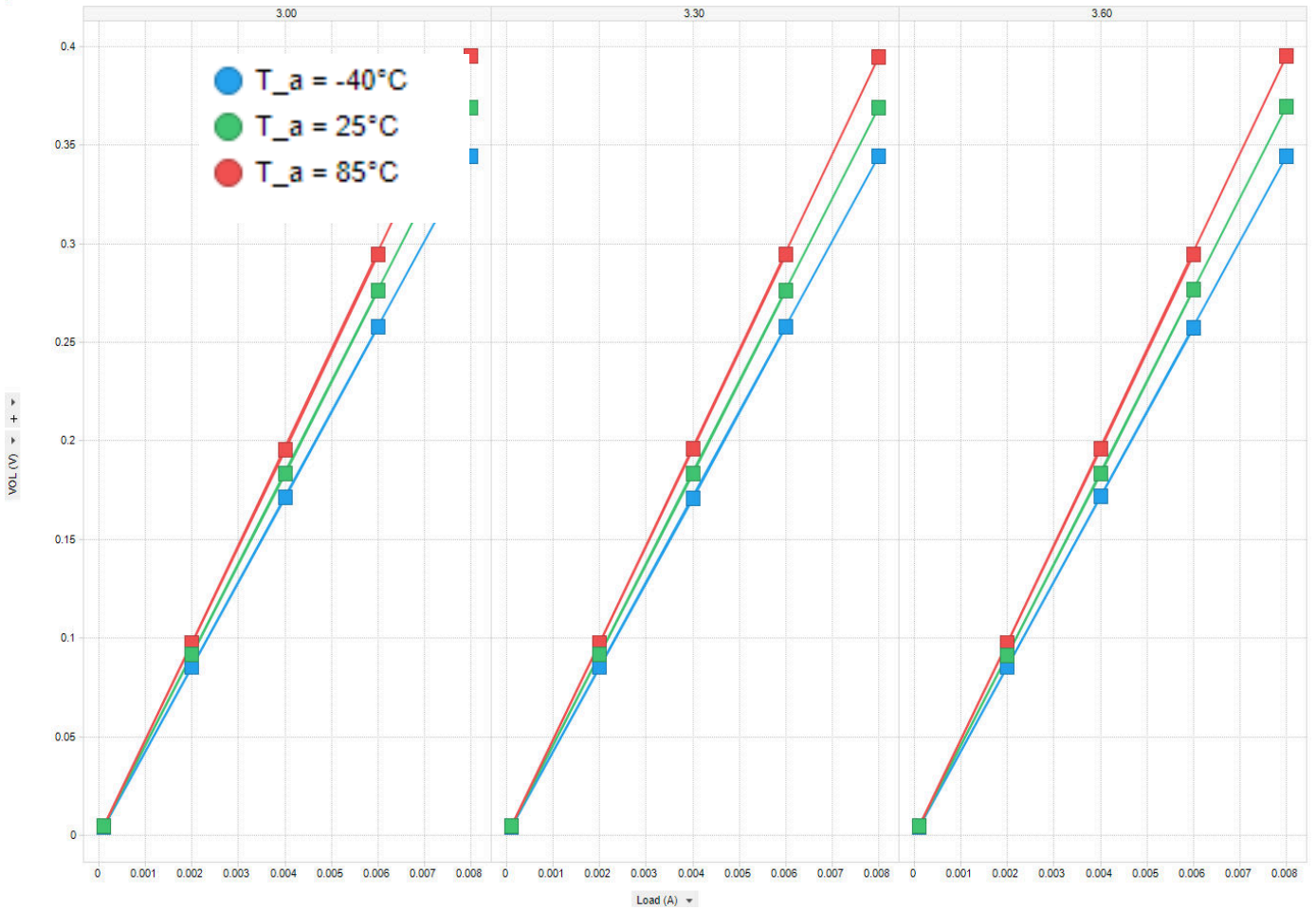


図 5-7. LED\_0、LED\_2、CLKOUT VOL 3.3V

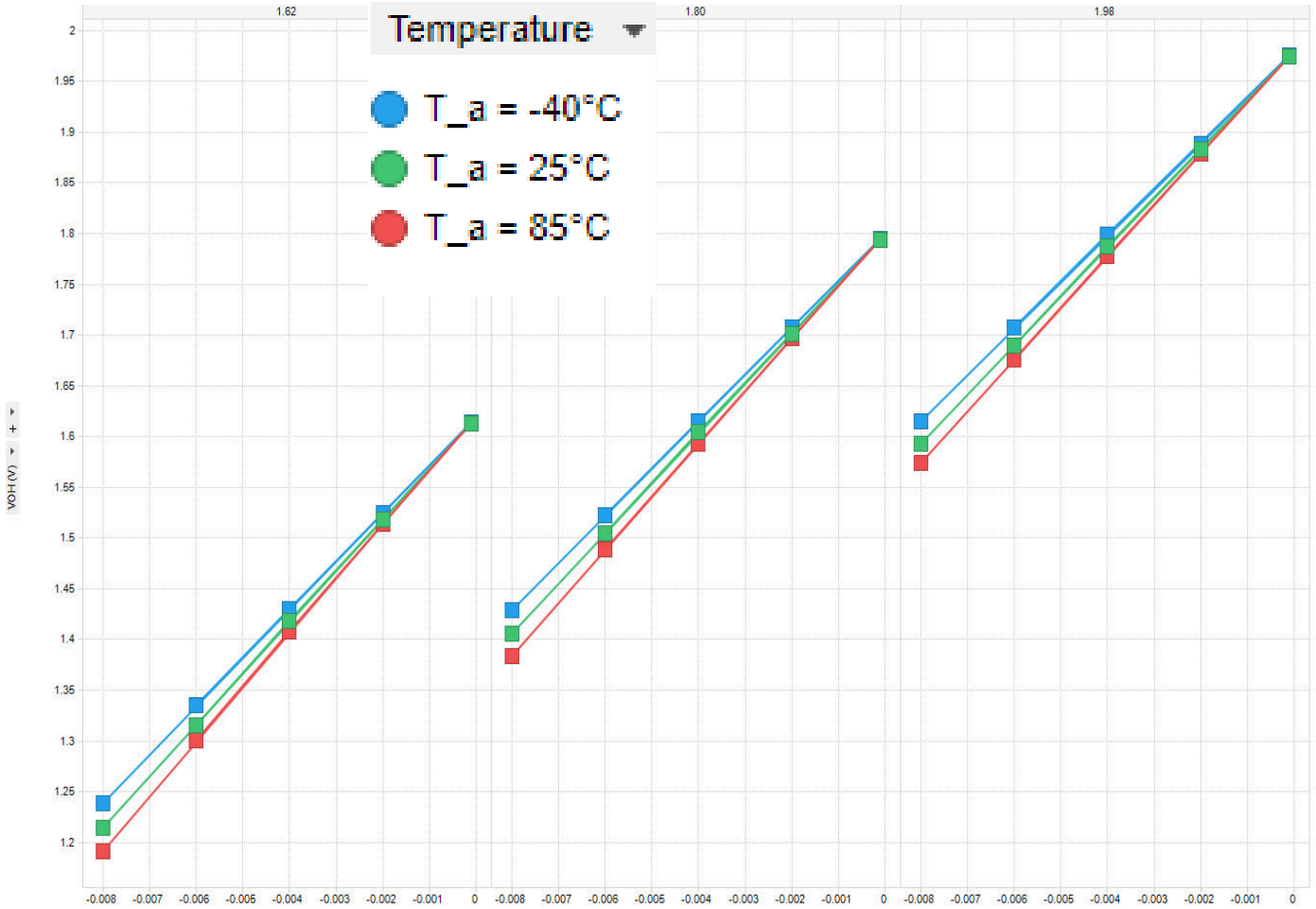


図 5-8. LED\_0、LED\_2、CLKOUT VOH 1.8V

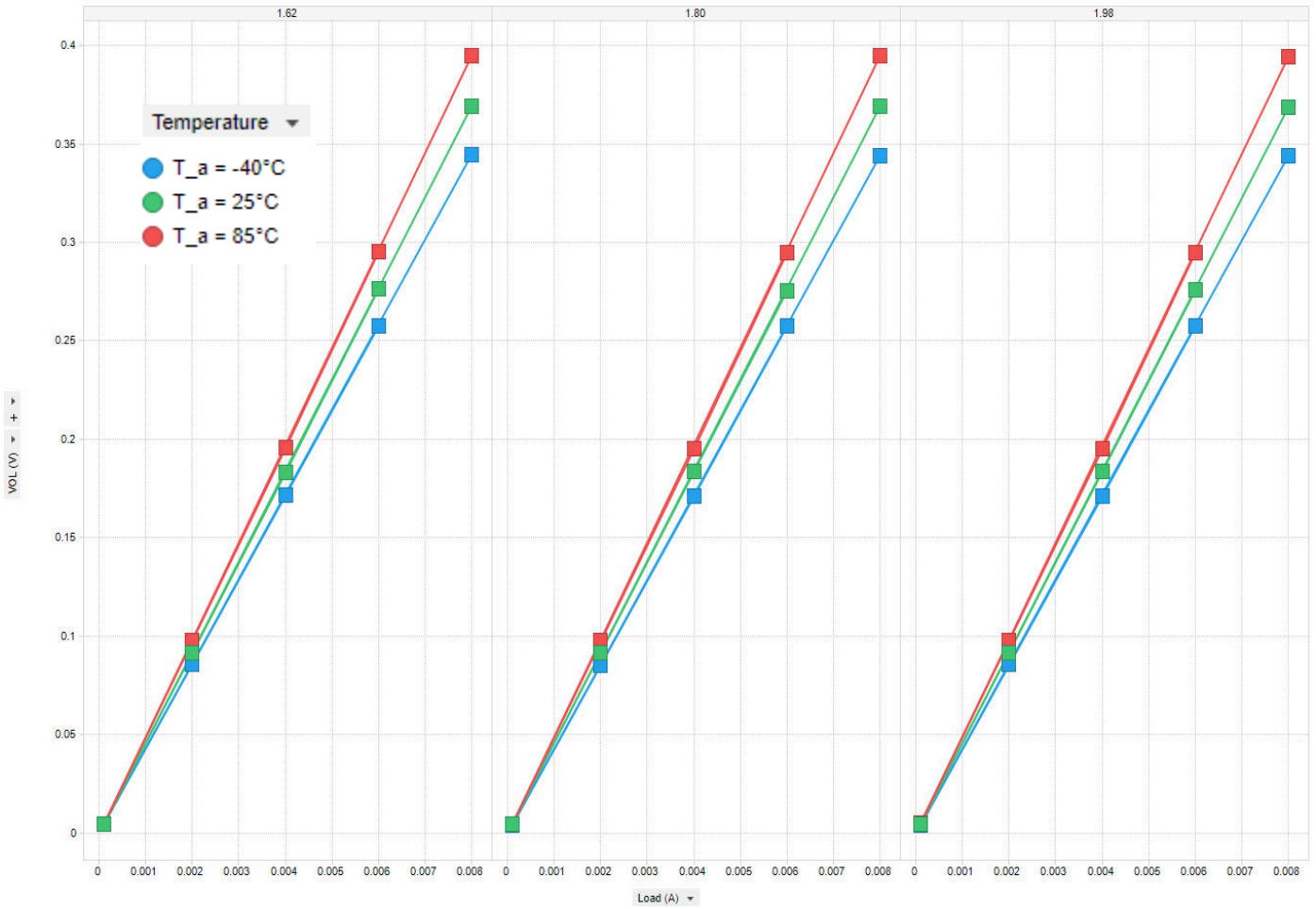


図 5-9. LED\_0、LED\_2、CLKOUT VOL 1.8V

## 6 詳細説明

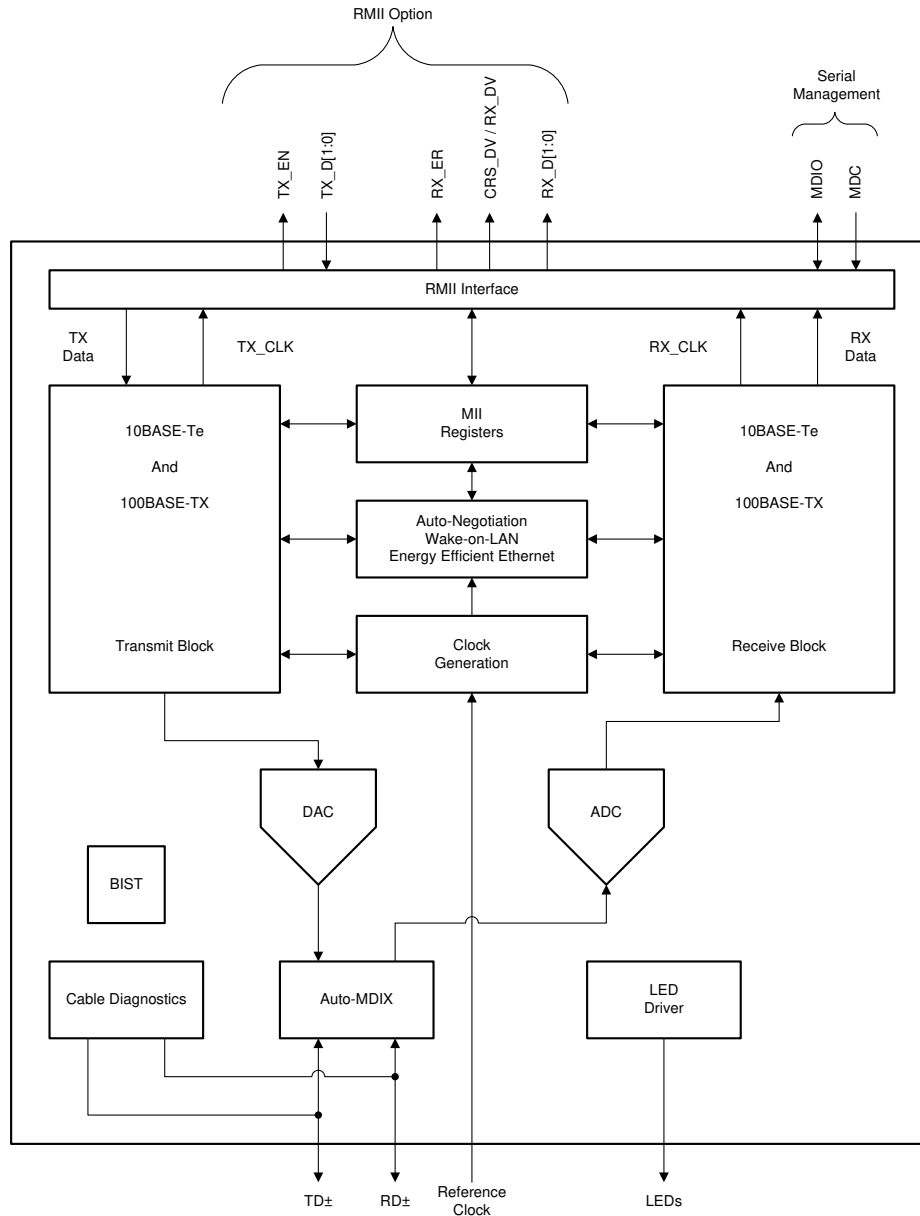
### 6.1 概要

DP83825I は、IEEE802.3 10BASE-Te および 100BASE-TX 規格に準拠したフル機能搭載のシングル ポートの物理層トランシーバです。このデバイスは、メディア アクセス コントローラ (MAC) に直接接続するための標準規格である簡易メディア独立インターフェイス (RMII) をサポートしています。

デバイスは 3.3V 単一電源で動作し、LDO を内蔵しているため、内部ブロックに必要な電圧レールを供給できます。このデバイスでは、3.3V または 1.8V の I/O 電圧インターフェイスに対応しています。DP83825I 内の自動電源構成により、追加の構成設定を必要とせずに、VDDIO 電源および AVDD 電源を自由に組み合わせて使用できます。

DP83825I では、ミックスド シグナル処理を使用してイコライゼーション、データの回復、および誤り訂正が行われるため、ケーブル長が 150m 以上の CAT5e ツイストペア配線で信頼性の高い動作を実現できます。DP83825I は、アクティブ スリープ、IEEE パワーダウン、ディープ パワーダウンなどのさまざまな低消費電力機能をサポートしています。DP83825I DP83825IA/D は、省電力型イーサネットと Wake-on-LAN もサポートしています。

## 6.2 機能ブロック図



## 6.3 機能説明

### 6.3.1 オートネゴシエーション(速度/二重モード選択)

オートネゴシエーションは、リンク セグメントの両端間で設定情報を交換するメカニズムを提供します。このメカニズムは、高速リンク パルス (FLP) を交換することによって実装されます。FLPS は、リンク セグメントの各終端にある 2 つのデバイス間の機能を通信するために使用される情報を提供するバースト パルスです。DP83825I は、オートネゴシエーションのために 100BASE-TX および 10BASE-Te の動作モードをサポートしています。オートネゴシエーションにより、リンク パートナーとローカル デバイスのアダプタ化された能力に基づいて、最も高い共通速度が選択されるようになります。オートネゴシエーションは、ベーシック モード制御レジスタ (BMCR、アドレス 0x0000) のビット [12] を使って、ブートストラップを使用して、またはレジスタ設定を使用して、ハードウェアで有効化または無効化できます。オートネゴシエーションの詳細については、IEEE 802.3 条項 28 の仕様を参照してください。

### 6.3.2 Auto-MDIX の解決

DP83825I は、リンク パートナーへの接続に「ストレート」ケーブルと「クロスオーバー」ケーブルのいずれを使用しているかを判断できます。DP83825I は、リンク パートナーとのリンクを確立するためにチャンネル A と B を自動的に再割り当てできます。Auto-MDIX 解決は、機能をアダプタイズするために FLP を交換する実際のオートネゴシエーション プロセスよりも前に行われます。Auto-MDI/MDIX は、IEEE 802.3 の 40 項の 40.8.2 項に記載されています。Auto-MDIX は 10BASE-Te および 100BASE-TX には必要な実装ではありません。Auto-MDIX は、PHY を強制モードで動作させる際にも使用できます。

Auto-MDIX は、ハードウェア ブートストラップを使用して、またはレジスタ構成を行うことで、PHY 制御レジスタ (PHYCR、アドレス 0x0019) のビット [15] を使用して有効化または無効化できます。Auto-MDIX が無効化されている場合、PMA は MDI (ストレート) または MDIX (クロスオーバー) のいずれかに強制されます。MDI または MDIX の手動構成は、PHYCR のビット [14] を使用し、レジスタ構成を使用して行うこともできます。

### 6.3.3 EEE (Energy Efficient Ethernet)

#### 6.3.3.1 EEE の概要

IEEE 802.3az で定義されている省電力型イーサネット (EEE) は、低消費電力アイドル (LPI) モードで動作するレイヤ 1 (物理層) およびレイヤ 2 (データリンク層) に統合された機能です。LPI モードでは、パケットの使用率が低いときに電力が節約されます。EEE は、リンクのドロップまたはパケットの破損を発生させずに、LPI モードの移行および終了を実行するプロトコルを定義します。

DP83825I EEE は、100Mbps および 10Mbps の速度をサポートします。10BASE-Te 動作では、EEE は 10BASE-T PHY と完全に相互運用可能な低い送信振幅で動作します。

#### 6.3.3.2 EEE ネゴシエーション

EEE は、オートネゴシエーション中にアダプタイズされます。オートネゴシエーションは、パワーアップ時、管理コマンド時、リンク障害後、またはユーザ介入によって実行されます。EEE は、両方のリンク パートナーが EEE 機能をアダプタイズする場合にのみサポートされます。EEE がサポートされていない場合、すべての EEE 機能が無効になり、MAC は LPI をアサートしません。EEE 機能をアダプタイズするため、PHY は追加のフォーマット済み次ページと未フォーマットの次ページを順番に交換する必要があります。

EEE ネゴシエーションは、レジスタ アクセスを使用して有効化できます。IEEE 802.3az では、MMD3 および MMD7 が EEE 制御およびステータス レジスタの場所として定義されています。MMD3 レジスタ 0x1014、0x1001、0x1016、および MMD7 レジスタ 0x203C、0x203D には、EEE の動作に必要なすべての制御とステータス表示が含まれています。省電力型イーサネット構成レジスタ #3 (EEECFG3、アドレス 0x04D1) には、EEE 構成バイパスの制御が含まれています。デフォルトでは、EEE 機能はバイパスされます。MMD3 および MMD7 レジスタに基づいて EEE をアダプタイズするには、EEE 機能バイパスを無効化 (0x04D1.0 = 0、0x04D1.3 = 0) し、EEE アダプタイズメントを有効化 (MMD7 0x203C.1 = 1) する必要があります。

### 6.3.4 802.3az をサポートしていないレガシー MAC のための EEE

デバイスは、レジスタのプログラミングによって LPI 信号 (アイドルおよびリフレッシュ) を開始するように構成することもできます。この機能により、使用されている MAC が EEE をサポートしていない場合でも、システムは EEE を実行できます。このモードでは、ホスト コントローラ アプリケーションによって、LPI 信号のイネーブル / ディスエーブルが決まります。DP83825I が LPI 信号モードの場合、このアプリケーションは DP83825I をアクティブ モードに移行してから、MAC インターフェイス経由でデータを送信します。DP83825I には、LPI 信号モード中にデータを保存するためのバッファリング機能はありません。レジスタ設定によって EEE を有効化するには、以下のレジスタを設定する必要があります。

1. 0x04D1.0 = 0、0x04D1.3 = 0 を書き込むことで、EEE 機能を有効化します
2. 書き込み (MMD7 0x203C.1 = 1) により、オートネゴシエーション中に EEE 機能をアダプタイズします
3. 0x0000.9 = 1 を書き込むことで、リンクを再ネゴシエーションします
4. 0x04D1.12 = 1 を書き込むことで、強制的に Tx LPI をアイドル状態にします

5.LPI アイドルの送信を停止するには、0x04D1.12 = 0 を書き込みます

### 6.3.5 WoL (Wake-on-LAN) パケット検出

Wake-on-LAN (WoL) は、特定のフレームを検出し、レジスタ ステータスの変更、GPIO 表示、割り込みフラグのいずれかを通じて接続コントローラに通知するメカニズムを提供します。DP83825I の WoL 機能により、物理層より上位にある接続デバイスは、適格な資格情報を持つフレームが検出されるまで低消費電力状態を維持できます。サポートされている WoL フレーム タイプには、マジック パケットと Secure-ON マッチ付きマジック パケットがあります。適格 WoL フレームを受信すると、DP83825I WoL ロジック回路は、GPIO ピンによってユーザー定義イベント (パルスまたはレベル変化) またはステータス割り込みフラグを生成し、接続コントローラにウェーク イベントが発生したことを通知します。さらに、DP83825I には CRC ゲートが内蔵されており、無効なパケットによってウェークアップ イベントがトリガされることを防止します。Wake-on-LAN 機能には以下が含まれます。

- サポートされているすべての速度 (100BASE-TX および 10BASE-Te) での WoL フレームの識別。
- WoL フレーム受信時のウェークアップ割り込み生成。
- 無効なフレームからの割り込み生成を防止するための WoL フレーム CRC エラー チェック。

#### 6.3.5.1 マジック パケット構造

マジック パケット検出を構成した場合、DP83825I は、ノードにアドレス指定された受信フレームすべてを、特定のデータシーケンスでスキャンします。このシーケンスにより、フレームがマジック パケットフレームとして識別されます。

マジック パケット フレームは、送信元アドレス、宛先アドレス (受信ステーションの IEEE アドレスまたはブロードキャストアドレス)、CRC など、選択した LAN 技術の基本的な要件も満たしている必要があります。

特定のマジック パケット シーケンスは、このノードの MAC アドレスを 16 個複製したもので、中断や中断はありません。セキュリティが有効な場合は、Secure-On パスワードが続きます。このシーケンスはパケット内の任意の場所に配置できますが、同期ストリームの前に配置する必要があります。同期ストリームは、6 バイトの 0xFF として定義されます。

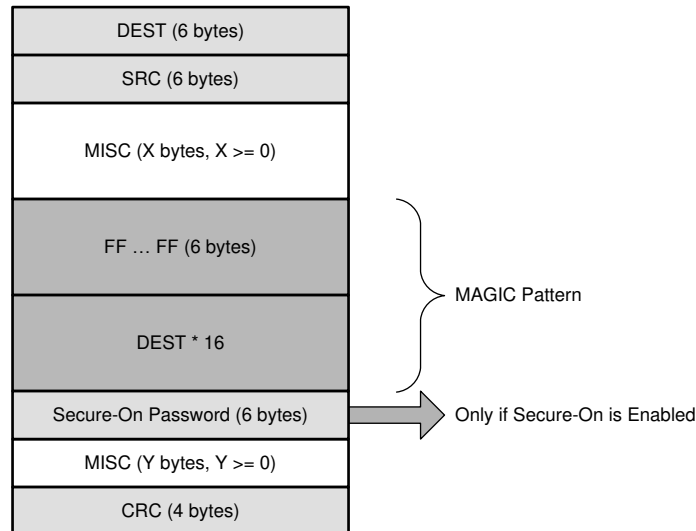


図 6-1. マジック パケット構造

#### 6.3.5.2 マジック パケットの例

以下は、宛先アドレス 11h 22h 33h 44h 55h 66h および Secure-On パスワード 2Ah 2Bh 2Ch 2Dh 2Eh 2Fh のマジック パケットの例です。

```

DESTINATION SOURCE MISC FF FF FF FF FF FF
11 22 33 44 55 66 11 22 33 44 55 66 11 22 33 44 55 66
11 22 33 44 55 66 11 22 33 44 55 66 11 22 33 44 55 66
    
```

11	22	33	44	55	66	11	22	33	44	55	66	11	22	33	44	55	66
11	22	33	44	55	66	11	22	33	44	55	66	11	22	33	44	55	66
11	22	33	44	55	66	11	22	33	44	55	66	11	22	33	44	55	66
11	22	33	44	55	66	2A	2B	2C	2D	2E	2F	MISC	CRC				

### 6.3.5.3 Wake-on-LAN の構成と状態

Wake-on-LAN 機能は、受信構成レジスタ (RXFCFG、アドレス 0x04A0) を使って構成します。レシーバ ステータス レジスタ (RXFS、アドレス 0x04A1) に Wake-on-LAN ステータスが通知されます。Wake-on-LAN 割り込みフラグの構成と状態は、MII 割り込みステータス レジスタ #2 (MISR2、アドレス 0x0013) にあります。

### 6.3.6 低消費電力モード

DP83825I デバイスは、3 つの低消費電力モードをサポートしています。このセクションでは、これらの低消費電力モードの背後にある原理、およびそれらを有効にする構成について説明します。

#### 6.3.6.1 アクティブ スリープ

DP83825I がアクティブ スリープ モードに遷移すると、TD± および RD± ピンの SMI 回路とエネルギー検出回路を除く PHY のすべての内部回路がシャットダウンします。このモードでは、DP83825 は 1.4 秒ごとに NLP を送信して、リンク パートナーをウェイクアップします。リンク パートナーが検出されると、自動パワーアップが実行されます。

PHY 固有の制御レジスタ (PHYSCR、アドレス 0x0011) のビット [14:12] = 0b110 を設定することで、アクティブ スリープ モードが有効化されます。

#### 6.3.7 IEEE パワーダウン

IEEE パワーダウンは、SMI および内部クロック回路を除くすべての PHY 回路をシャットダウンします。

IEEE パワーダウンは、レジスタ アクセスによって、またはピンがパワーダウン機能に構成されている場合に、INTR/PWRDN ピンのいずれかを使用して有効化できます。

INTR/PWRDN ピンによる IEEE パワーダウンを有効化するには、このピンを LOW にしてグラウンドに駆動する必要があります。

SMI による IEEE パワーダウンを有効化するには、ベーシック モード制御レジスタ (BMCR、アドレス 0x0000) のビット [11] を 1 に設定します。

#### 6.3.8 ディープパワーダウン

ディープパワーダウンは、SMI を除くすべての PHY 回路をシャットダウンします。このモードでは、PHY PLL をシャットダウンして、消費電力をさらに低減します。

ディープパワーダウンは、まず IEEE パワーダウンをイネーブルにしてから (SMI または INT/PWRDN\_N ピンのいずれかから)、ディープパワーダウン制御レジスタ (DPDWN、アドレス 0x0428) のビット [2] = 1 に設定することでアクティブになります。

### 6.3.9 RMII (Reduced Media Independent Interface)

DP83825I には、RMII 仕様 v1.2 で規定されている RMII (reduced media-independent interface) が組み込まれています。このインターフェイスの目的は、条項 22 で規定されている IEEE 802.3 の MII の代替として、ピン数を削減することです。アーキテクチャとしては、RMII 仕様は MII の両側に追加の整合レイヤを提供しますが、MII がない場合に実装できます。これには、RMII フォロワ と RMII リーダーの 2 種類の RMII 動作があります。RMII リーダー動作では、DP83825I は XI ピンに接続された 25MHz CMOS レベル発振器、または XI ピンと XO ピン間に接続された 25MHz 水晶振動子のいずれかで動作します。DP83825I から、基準となる 50MHz 出力クロックを MAC に接続できます。RMII フォロワ動作では、DP83825I は XI ピンに接続された 50MHz CMOS レベル発振器で動作し、MAC と同じクロックを共有します。または、RMII フォロワ モードでは、ホスト MAC から供給される 50MHz クロックを使用して PHY を動作させることもできます。

RMII 仕様には、次の特性があります。

- 10BASE-TX および 10BASE-Te をサポートします。

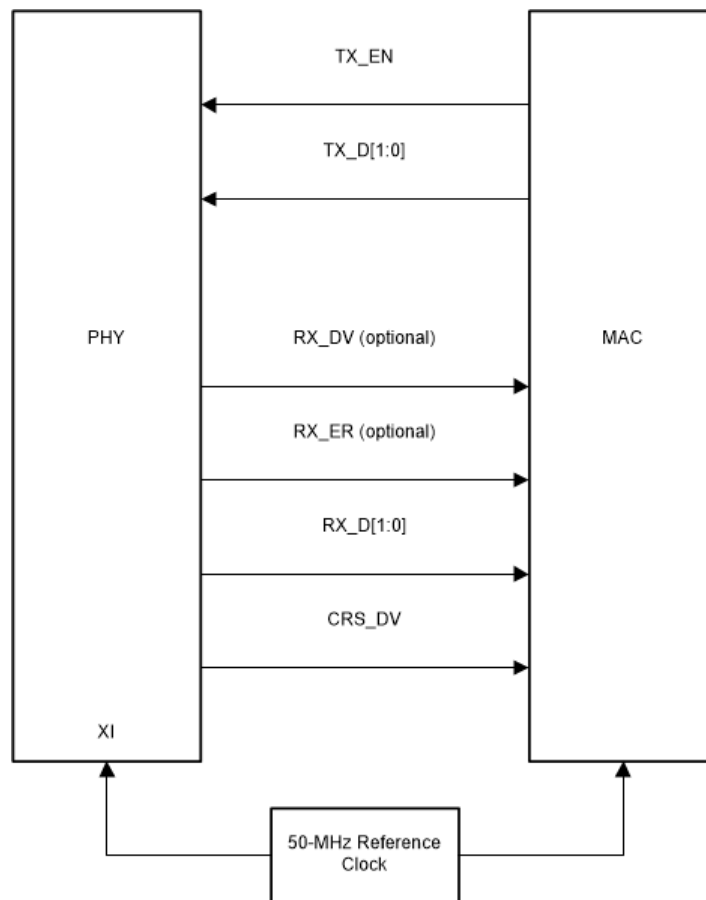
- MAC から PHY (または外部ソース) に供給される単一のクロック リファレンス
- 独立した 2 ビット幅の送受信データ パスを提供
- MII インターフェイスと同じレベルの CMOS 信号レベルを使用

このモードでは、送信パスと受信パスの両方に内部 50MHz リファレンス クロックを使用して、クロック サイクルごとに 2 ビットのデータ転送が行われます。

表 6-1 に、RMII 信号のまとめを示します。

**表 6-1. RMII 信号**

機能	ピン
受信データライン	TX_D[1:0]
送信データライン	RX_D[1:0]
受信制御信号	TX_EN
送信制御信号	CRS_DV



**図 6-2. RMII フォロワ信号**

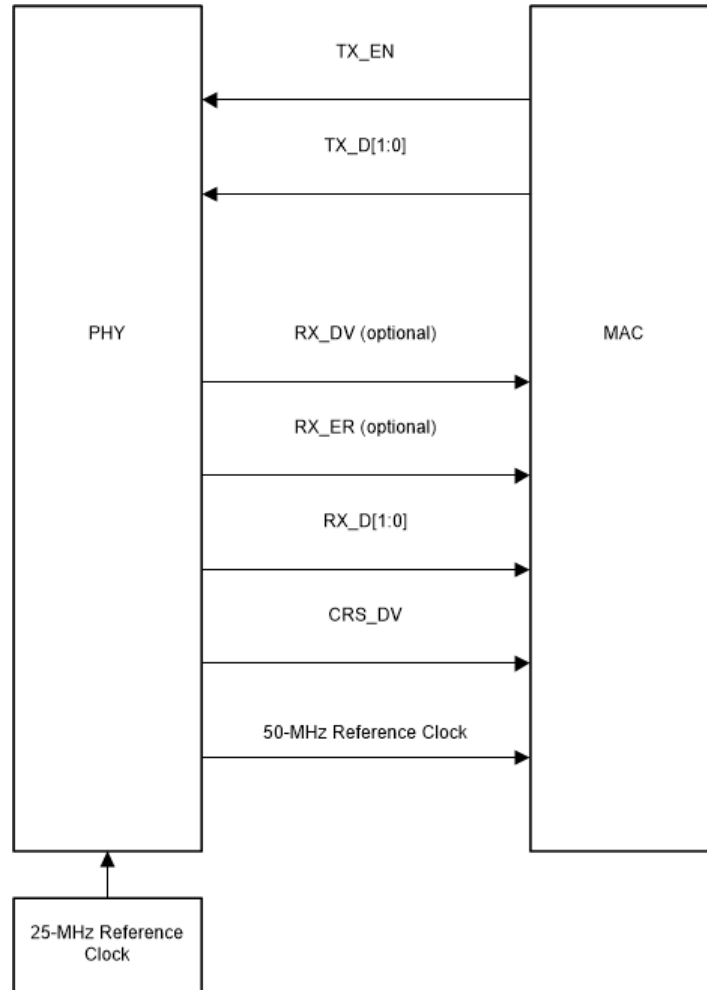


図 6-3. RMII リーダー信号

TX\_D[1:0] のデータは、XI ピンのクロック エッジを基準として PHY 内でラッチされます。RX\_D[1:0] のデータは、XI ピンの同じクロック エッジを基準として MAC 内でラッチされます。

また、CRX\_DV は RX\_DV 信号として構成できます。これにより、受信データを簡単に回復でき、RX\_DV を CRS\_DV 表示から分離する必要もありません。

### 6.3.10 RMII リピータ モード

DP83825I には、(レジスタ構成を追加する必要なく) アンマネージド モードでケーブルの到達範囲を延長するための反復モード機能を有効にするオプションがあります。2 つの DP83825I は、外部構成なしで双方向モードで接続できます。これは、RMII インターフェイスの CRS\_DV ピンを RX\_DV ピンで双方向動作に構成するためのハードウェアストラップを備えています。図 6-4 に、DP83825I が反復モードで動作できるようにする RMII ピンの接続を示します。マネージドモードを使用すると、両方の PHY への外部リセットが同時にトリガされます。

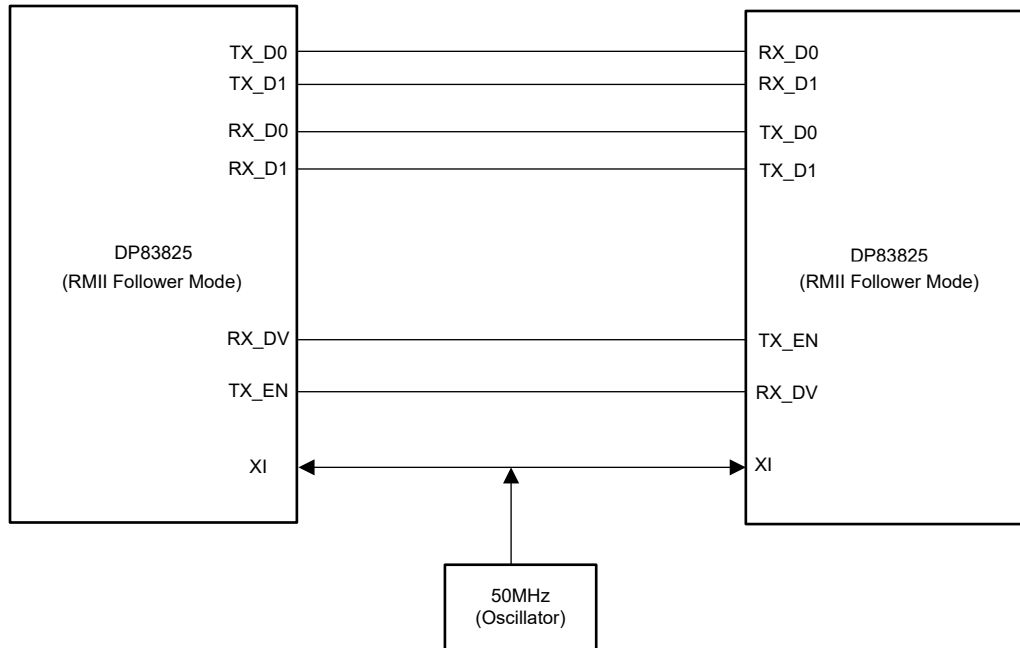


図 6-4. RMIIL リピータ モード

### 6.3.11 シリアル マネージメント インターフェイス

シリアル マネージメント インターフェイスを使うことで、ステータス情報と構成のために使われている DP83825I の内部レジスタ空間にアクセスできます。SMI は IEEE 802.3 の 22 項に適合しています。実装されているレジスタ セットは、IEEE 802.3 に必要なレジスタと、DP83825I の可視性と制御性を高めるためのその他のレジスタで構成されています。

SMI には、管理クロック (MDC) と、管理入力 / 出力データ ピン (MDIO) が含まれます。MDC は、ステーション (STA) とも呼ばれる外部管理エンティティから供給され、最大 24MHz クロック レートで実行できます。MDC は連続的である必要はなく、バスがアイドル状態の場合、外部管理エンティティがオフにすることもできます。

MDIO の信号は外部管理エンティティと PHY から供給されます。MDIO ピンのデータは、MDC の立ち上がりエッジでラッチされます。MDIO ピンにはプルアップ抵抗 (2.2kΩ) が必要であり、それによってアイドル時およびターンアラウンド時に MDIO は High にプルされます。

最大 4 つの PHY が共通の SMI バスを共有できます。PHY を区別するために、パワーアップ時またはハードウェア リセット時に、DP83825I は `Phy_Address[1:0]` 構成ピンをラッチして、アドレスを決定します。

管理エンティティは、パワーアップ時またはハードウェア リセットの後の最初のサイクルで SMI トランザクションを開始してはなりません。有効な動作を維持するため、リセットがデアサートされた後、少なくとも 1 MDC サイクルの間、SMI バスは非アクティブのままである必要があります。通常の MDIO トランザクションでは、管理フレームのレジスタ アドレス フィールドからレジスタ アドレスが直接取り込まれるため、32 の 16 ビット レジスタ (IEEE 802.3 で定義されたレジスタとベンダ固有のレジスタを含む) に直接アクセスできます。データ フィールドは、読み出しと書き込みの両方に使用されます。スタートコードは <01> パターンで示されます。このパターンにより、MDIO ラインはデフォルトのアイドル ライン状態から必ず遷移します。ターンアラウンドは、レジスタ アドレス フィールドとデータ フィールドの間に挿入されたアイドル ビット期間として定義されます。読み出しトランザクション中の競合を避けるため、ターンアラウンドの先頭ビットの間、デバイスは MDIO 信号をアクティブに駆動できません。アドレス指定された DP83825I は、2 番目のビットのターンアラウンドの間 MDIO を 0 で駆動し、その後に必要なデータを送信します。

書き込みトランザクションの場合、ステーション管理エンティティはアドレス指定された DP83825I にデータを書き込みます。そのため、MDIO ターンアラウンドは不要です。ターンアラウンド期間には、管理エンティティによって <10> が挿入されます。

表 6-2. SMI プロトコル

SMI プロトコル	<idle><start><op code><PHY address><reg addr><turnaround><data><idle>
読み出し動作	<アイドル><01><10><AAAAA><RRRRR><Z0><XXXX XXXX XXXX XXXX><アイドル>
書き込み動作	<アイドル><01><01><AAAAA><RRRRR><10><XXXX XXXX XXXX XXXX><アイドル>

### 6.3.11.1 拡張レジスタ スペース アクセス

DP83825I の SMI 機能は、レジスタ REGCR (0x0D) および ADDAR (0x0E) と MMD (MDIO Manageable Device) 間接方式 (IEEE 802.3ah Draft, 22 項「アクセス」、45 項「拡張レジスタセット」で定義) を使った拡張レジスタ セットへの読み出しおよび書き込みアクセスをサポートしています。

標準のレジスタセット MDIO レジスタ 0~31 には、通常の直接 MDIO アクセスまたは間接方式でアクセスしますが、レジスタ REGCR (0x0D) および ADDAR (0x0E) は別で、通常の MDIO トランザクションでのみアクセスされます。SMI 関数は、これらのレジスタへの間接アクセスを無視します。

REGCR (0x0D) は MMD アクセス制御です。一般に、レジスタ REGCR[4:0] は、ADDAR (0x0E) レジスタのすべてのアクセスを適切な MMD に向けるデバイス アドレス DEVAD です。

DP83825I は、1 つの MMD デバイス アドレスをサポートしています。ベンダ固有のデバイス アドレス DEVAD[4:0] = 11111 は、一般的な MMD レジスタ アクセスに使用されます。

レジスタ REGCR および ADDAR によるすべてのアクセスでは、適切な DEVAD を使用する必要があります。その他の DEVAD を使ったトランザクションは無視されます。REGCR[15:14] はアクセス機能 (アドレス (00)、ポスト インクリメントなしのデータ (01)、読み出し / 書き込み時ポスト インクリメントありのデータ (10)、書き込み時ポスト インクリメントありのデータ (11)) を保持します。

表 6-3. REGCR DEVAD 関数

REGCR[15:14]	機能
00	レジスタ ADDAR へのアクセスにより、拡張レジスタの「セット アドレス」レジスタが変更されます。拡張レジスタ セット内のいずれのレジスタにアクセスするにも、このアドレスレジスタを必ず初期化する必要があります。
01	レジスタ ADDAR にアクセスすると、アドレスレジスタの値によって選択された拡張レジスタ セット内のレジスタにアクセスします。
10	レジスタ ADDAR にアクセスすると、アドレスレジスタの値によって選択された拡張レジスタ セット内のレジスタにアクセスします。そのアクセスが完了した後、読み出しの場合も書き込みの場合も、アドレスレジスタの値がインクリメントされます。
11	レジスタ ADDAR にアクセスすると、アドレスレジスタの値によって選択された拡張レジスタ セット内のレジスタにアクセスします。このアクセスが完了した後、書き込みアクセスの場合のみ、アドレスレジスタの値がインクリメントされます。読み出しアクセスの場合、アドレスレジスタの値は変更されません。

以下のセクションでは、レジスタ REGCR および ADDAR を使って拡張レジスタ セットを操作する方法について説明します。これらの説明は、一般的な MMD レジスタ アクセス (DEVAD[4:0] = 11111) のデバイス アドレスを使用します。

### 6.3.11.2 読み出し動作

拡張レジスタ セットのレジスタを読み出すには、次の手順に従います。

手順	例: 0x0170 を読み出します
1. レジスタ REGCR に値 0x001F (機能フィールド = 00 (アドレス)、DEVAD = '31') を書き込む。	値 0x001F にレジスタ 0x0D を書き込む
2. レジスタ ADDAR に目的のレジスタ アドレスを書き込む。	値 0x0170 にレジスタ 0x0E を書き込む
3. レジスタ REGCR に値 0x401F (データ、ポスト インクリメントなし機能フィールド = 01、DEVAD = 31) を書き込む。	値 0x401F にレジスタ 0x0D を書き込む
4. レジスタ ADDAR に目的の拡張レジスタ セットレジスタの内容を読み出します。	レジスタ 0x0E を読み出す

それ以降、レジスタ ADDAR (ステップ 4) から読み出すと、アドレスレジスタの値によって選択されたレジスタが引き続き読み出されます。

**注**

アドレスレジスタが前もって設定されている場合、ステップ (1) および (2) を飛ばすことができます。

**6.3.11.3 書き込み動作**

拡張レジスタ セット内のレジスタを書き込むには、次の手順に従います。

手順	例:レジスタ 0x0170 = 0C50 に設定する
1.レジスタ REGCR (0x0D) に値 0x001F (アドレス機能フィールド= 00、DEVAD = 31) を書き込む。	値 0x001F にレジスタ 0x0D を書き込む
2.レジスタ ADDAR (0x0E) に目的のレジスタ アドレスを書き込む。	値 0x0170 にレジスタ 0x0E を書き込む
3.レジスタ REGCR に値 0x401F (データ、ポスト インクリメントなし機能フィールド = 01、DEVAD = 31) を書き込む。	値 0x401F にレジスタ 0x0D を書き込む
4.レジスタ ADDAR に目的の拡張レジスタ セットレジスタの内容を書き込む。	値 0x0C50 にレジスタ 0x0E を書き込む

それ以降、レジスタ ADDAR (ステップ 4) に書き込むと、そのアドレスレジスタの値によって選択されたレジスタが引き続き書き換えられます。

**注**

アドレスレジスタが前もって設定されている場合、ステップ (1) および (2) を飛ばすことができます。

**6.3.12 100BASE-TX**

**6.3.12.1 100BASE-TX トランスミッタ**

100BASE-TX トランスミッタは、MII によって供給される同期 4 ビット ニブル データを、MDI のスクランブルされた MLT-3 125Mbps シリアル データ ストリームに変換するいくつかの機能ブロックで構成されています。4B5B のエンコードとデコードの詳細については、下の 表 6-4 を参照してください。

送信部は、以下の機能ブロックで構成されています。

1. コード グループのエンコーダおよび注入ブロック
2. バイパス オプション付きスクランブラ ブロック
3. NRZ - NRZI エンコーダ ブロック
4. バイナリ - MLT-3 コンバータ / 共通ドライバ ブロック

100BASE-TX トランスミッタの機能ブロックのバイパス オプションを使うことで、データ変換が常に必要なわけではないアプリケーションに柔軟に対応できます。DP83825I には、IEEE 802.3 規格条項 24 に規定されている 100BASE-TX 送信ステート マシン図が実装されています。

表 6-4. 4B5B コード グループのエンコード / デコード

名称	PCS 5B コード グループ	MII 4B ニブルコード
<b>データコード</b>		
0	11110	0000
1	01001	0001
2	10100	0010
3	10101	0011
4	01010	0100
5	01011	0101
6	01110	0110
7	01111	0111
8	10010	1000
9	10011	1001
A	10110	1010
B	10111	1011
C	11010	1100
D	11011	1101
E	11100	1110
F	11101	1111
<b>IDLE および制御コード<sup>(1)</sup></b>		
H	00100	HALT コード グループ - エラー コード
I	11111	パケット間 IDLE - 0000
J	11000	最初のパケット開始 - 0101
K	10001	2 番目のパケット開始 - 0101
T	01101	最初のパケット終了 - 0000
R	00111	2 番目のパケット終了 - 0000
P	00000	EEE LPI - 0001 <sup>(2)</sup>
<b>無効なコード</b>		
V	00001	
V	00010	
V	00011	
V	00101	
V	00110	
V	01000	
V	01100	
V	10000	
V	11001	

(1) データフィールドの制御コードグループ I、J、K、T、R は、無効なコードとしてマッピングされ、RX\_ER がアサートされます。

(2) 省電力型イーサネット LPI でも、TX\_ER / RX\_ER をアサートし、TX\_EN / RX\_DV をデアサートする必要があります。

### 6.3.12.1.1 コードグループのコード化と注入

コードグループ エンコーダは、MAC によって生成された 4 ビット (4B) ニブル データを 5 ビット (5B) のコードグループに変換して送信します。この変換は、制御データをパケット データ コードグループと組み合わせるために必要です。4B から 5B のコードグループ マッピングの詳細については、表 6-4 を参照してください。

コードグループ エンコーダは、伝送時に MAC プリアンプルの最初の 8 ビットを、J/K コードグループ ペア (11000 10001) に置き換えます。コードグループ エンコーダは続けて、4B プリアンプルとデータ ニブルを、対応する 5B コードグループに置き換えます。送信パケットの終了時に、MAC からの送信イネーブル (TX\_EN) 信号がデアサートされると、コードグループ エンコーダはフレームの終了を示す T/R コードグループ ペア (01101 00111) を注入します。

T/R コードグループ ペアの後、コードグループ エンコーダは、次の送信パケットが検出されるまで (送信イネーブルの再割り当て)、送信データ ストリームに IDLE を継続的に注入します。

### 6.3.12.1.2 スクランブル機能

スクランブラは、メディア コネクタおよびツイストペア ケーブルの放射型電磁波を制御するために必要です。データをスクランブルすることで、ケーブルに放射される総エネルギーは、広い周波数範囲にわたってランダムに分布します。スクランブラを使用しないと、5B シーケンスの繰り返しに関連する周波数 (IDLE の連続転送) で、MDI およびケーブルのエネルギー レベルが FCC 制限を超える可能性があります。

スクランブラは、11 ビットの多項式を持つ閉ループの線形帰還シフト レジスタ (LFSR) として構成されます。閉ループ LFSR の出力は、コードグループ エンコーダからのシリアル NRZ データを含む X-ORd です。その結果、特定の周波数で放射型電磁波を最大 20dB 低減するのに十分なランダム化を伴うスクランブル データ ストリームが得られます。

### 6.3.12.1.3 NRZ から NRZI へのエンコーダ

送信データ ストリームがシリアライズおよびスクランブル化された後、Category-5 シールドなしツイストペア ケーブルを介した 100BASE-TX 転送の TP-PMD 規格に準拠するように、データを NRZI エンコードする必要があります。DP83825I 内では、このブロックをバイパスすることはできません。NRZI データは 100Mbps ドライバに送信されます。

### 6.3.12.1.4 バイナリから MLT-3 へのコンバータ

バイナリから MLT-3 への変換は、NRZI エンコーダからのシリアル バイナリ データ ストリームを、交互に位相シフトされたロジック 1 イベントを持つ 2 つのバイナリ データ ストリームに変換することで行われます。これら 2 つのバイナリ ストリームをツイストペア出力ドライバに供給し、ツイストペア出力ドライバは電圧を電流に変換して、送信トランスの一次巻線のいずれかの側を交互に駆動して、最小の電流 MLT-3 信号を生成します。

PMD 出力ペアの共通ドライバから供給される 100BASE-TX MLT-3 信号は、スルーレート制御されます。設計者は、AC 結合磁気素子を選択する際に、TP-PMD 規格に準拠した遷移時間 ( $3\text{ns} < \text{Trise}/\text{fall} < 5\text{ns}$ ) を確保するために、この点を考慮する必要があります。

DP83825I 内の 100BASE-TX 送信 TP-PMD 機能は、MLT-3 エンコードされたデータのみをソースできます。100Mbps モードでは、PMD 出力ペアからのバイナリ出力はできません。Tx+ と Tx- の両方で完全にエンコードされた MLT-3 で、レジスタ 0x0404 を使って構成できます (たとえば、トランスレス設計)。

### 6.3.12.2 100BASE-TX レシーバ

100BASE-TX レシーバはいくつかの機能ブロックで構成されており、スクランブルされた MLT-3 125Mbps シリアル データ ストリームを、RMII に提供される同期 2 ビット幅のデータに変換します。

受信セクションは、以下の機能ブロックで構成されています。

1. 入力および BLW 補償
2. 信号検出
3. デジタル アダプティブ イコライゼーション
4. MLT-3 - バイナリ デコーダ
5. クロック リカバリ モジュール
6. NRZI - NRZ デコーダ

7. デスクランブラ
8. シリアルからパラレルへ
9. コードグループの整合
10. 4B/5B デコーダ
11. リンク整合性モニタ
12. 不良 SSD 検出

### 6.3.13 10BASE-Te

10BASE-Te トランシーバ モジュールは、IEEE 802.3 に準拠しています。規格で定義されているように、これには、レーザ、トランスミッタ、衝突検出、ハートビート、ループバック、ジャバ、リンク整合性機能が含まれています。

#### 6.3.13.1 スケルチ

スケルチは、差動受信入力に有効なデータが存在するかどうかを判断する役割を果たします。スケルチ回路は、振幅とタイミングの測定値 (IEEE 802.3 10BASE-Te 規格で規定) を組み合わせて、ツイストペア入力上のデータの有効性を決定します。

パケット開始時の信号はスケルチによってチェックされ、スケルチ レベルを超えないパルス (極性に依りて正または負) は拒否されます。この最初のスケルチ レベルを正しく超えると、反対側のスケルチ レベルを 50ns 以上超える必要があります。最後に、信号が有効な入力波形として認定されるには、50ns 以内に元のスケルチ レベルを再度超え、拒否されない必要があります。このチェック手順では、各パケットの先頭でプリアンブル ビットが 3 つ失われるのが一般的です。トランスミッタの動作中は、5 回連続した遷移が確認されてから、有効なデータが存在することを示します。このとき、スケルチ回路はリセットされます。

#### 6.3.13.2 通常リンク パルスの検出と生成

リンク パルス ジェネレータは、IEEE 802.3 10BASE-Te 規格の定義に従ってパルスを生成します。各リンク パルスは通常 100ns の持続時間で、送信データがない場合は 16ms ごとに送信されます。リンク パルスは、リモート エンドとの接続の整合性をチェックするために使用されます。

#### 6.3.13.3 ジャバ

ジャバとは、通常、フォルト状態に起因して、ステーションが最大許容パケット長よりも長い時間送信を行う状態です。ジャバ機能は DP83825I 出力を監視し、トランスミッタが法的サイズを超えるパケット送信を試みると、トランスミッタを無効化します。ジャバ タイマはトランスミッタを監視し、トランスミッタが約 100ms アクティブな場合に、送信を無効にします。ジャバ機能によって無効化された場合、モジュールの内部送信イネーブルがアサートされている間、トランスミッタはデイスエーブルのままとなります。ジャバ機能が送信出力を再度有効化する前に、この信号を約 500ms (解除時間 / Unjab Time) デアサートする必要があります。ジャバ機能は 10BASE-Te モードでのみ使用可能およびアクティブです。

#### 6.3.13.4 アクティブ リンクの極性検出と訂正

ツイストペア内のワイヤを交換すると、極性エラーが発生し、極性が間違っていると 10BASE-Te 接続に影響します。100BASE-TX は、MLT-3 エンコーディングに基づいているため、極性の問題に耐性があります。10BASE-Te 受信ブロックは、逆極性を自動的に検出します。

### 6.3.14 ループバック モード

DP83825I には、PHY 内のさまざまな機能ブロックをテストおよび検証するループバック オプションがいくつか備わっています。ループバック モードを有効化すると、デジタルおよびアナログ データ パスのインサーキット テストが可能となります。DP83825I は、以下で説明するループバック モードのいずれかに構成できます。MII ループバックは、ベーシック モード制御レジスタ (BMCR、アドレス 0x0000) を使って構成します。その他のすべてのループバック モードは、BIST 制御レジスタ (BISCR、アドレス 0x0016) を使用して有効化します。特に記述のない限り、ループバック モードはすべての速度 (10/100Mbps およびすべての MAC インターフェイス) でサポートされています。

ループバック モードを選択する前に、オートネゴシエーションを無効にする必要があります。この制約は、外部ループバック モードには適用されません。

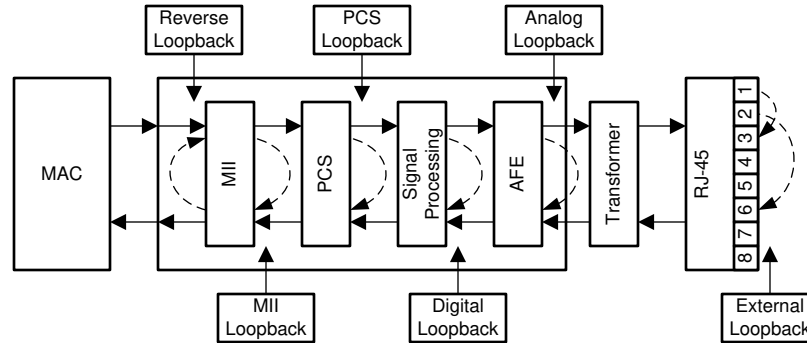


図 6-5. ループバック テスト モード

#### 6.3.14.1 MII のループバック

MII ループバックは、PHY を通過する最も浅いループです。MII ループバックは MAC と PHY の間の通信を検証するには、便利なテスト モードです。MII ループバックでは、TX パス上の接続された MAC から送信されたデータが DP83825I 内部でループバックされて RX ピンに戻され、MAC によってデータをチェックできます。

MII ループバックを有効化するには、BMCR のビット[14]、BISCR のビット [2] を設定します。

#### 6.3.14.2 PCS のループバック

PCS ループバックは、PHY の PCS 層で発生します。PCS ループバックを使用する場合、信号処理は実行されません。

PCS 入力ループバックは、BISCR のビット [0] を設定することで有効化されます。

PCS 出力ループバックは、BISCR のビット [1] を設定することで有効化されます。

#### 6.3.14.3 デジタル ループバック

デジタル ループバックには、デジタル送信および受信パス全体が含まれています。アナログ回路の前にデータがループバックされます。

デジタル ループバックは、BISCR のビット [2] を設定することで有効になります。

#### 6.3.14.4 アナログ ループバック

10BASE-Te または 100BASE-TX モードで動作する場合、アナログ フロント エンドの後に信号をループバックできます。アナログ ループバックには、RJ45 のピン 1 と 2 の間に 100Ω の終端、およびピン 3 と 6 の間に 100Ω の終端が必要です。

アナログ ループバックは、BISCR のビット [3] を設定することで有効になります。

#### 6.3.14.5 リバース ループバック

リバース ループバックは、リンク パートナーとの PHY テストを可能にするための特別なテスト モードです。このモードでは、リンク パートナーから受信したデータは PHY のレシーバを通過し、MAC インターフェイスでループバックされてからリンク パートナーに送信されます。このモードでは、MAC からのすべてのデータ信号が無視されます。これには、ピン 1 とピン 2 の間に 100Ω の終端が必要です。

リバース ループバックは、BISCR のビット [4] を設定することで有効化されます。

#### 6.3.15 BIST の構成

DP83825I は、内部 PRBS 内蔵セルフテスト (BIST) 回路を備えており、インサーキット テストおよび診断に適しています。BIST 回路を使用して、送信および受信データ パスの整合性をテストできます。BIST は、内部ループバック (デジタルまたはアナログ) またはケーブル固定具を使用して外部ループバックを使用して実行できます。BIST は、実際のパケットと回線上のパケット間ギャップ (IPG) 形式の擬似ランダムなデータ転送シナリオをシミュレートします。BIST により、パケット長と IPG の完全な制御が可能になります。

BIST パケット長は、BIST 制御およびステータス レジスタ #2 (BICSR2、アドレス 0x001C) のビット [10:0] を使用して制御されます。BIST IPG 長は、BIST 制御およびステータス レジスタ #1 (BICSR1、アドレス 0x001B) のビット [7:0] を使用して制御されます。

BIST は、独立した送信および受信パスを使用して実装されており、送信クロックによって疑似ランダム シーケンスの連続ストリームを生成します。デバイスは、BIST のために 15 ビット疑似ランダム シーケンスを生成します。受信したデータは生成された疑似ランダム データと比較され、合格/不合格ステータスが判定されます。PRBS チェッカが受信したエラーバイト数は、BICSR1 のビット [15:8] に保存されます。PRBS ロック ステータスおよび同期は、BIST 制御レジスタ (BISCR、アドレス 0x0016) から読み出すことができます。

PRBS テストは、BISCR のビット [14] を使用して連続モードに移行させることができます。連続モードでは、BIST エラーカウンタが最大値に達すると、カウンタは再びゼロからカウントを開始します。BIST エラー カウントを読み取るには、BICSR1 のビット [15] を「1」に設定する必要があります。これにより、読み取りのために BIST エラーの現在の値がロックされます。ビット [15] を設定すると、BIST エラー カウンタがクリアされることに注意してください。

### 6.3.16 ケーブル診断

イーサネット デバイスは広く導入されていることから、信頼性が高く包括的で、かつユーザーに配慮したケーブル診断ツールに対するニーズがこれまで以上に高まっています。さまざまな種類のケーブル、トポロジ、コネクタが導入されるため、コードの実行に影響を与えずにケーブル障害の識別と報告を行う必要があります。DP83825I には、ケーブルの開放と短絡を検出する時間ドメイン反射率測定 (TDR) 機能があります。

#### 6.3.16.1 TDR

DP83825I は、時間ドメイン反射率測定 (TDR) を使用して、ケーブル長の推定の他に、ケーブル、コネクタ、終端の品質を判定します。診断され得る問題としては、オープン、短絡、ケーブル インピーダンスの不一致、コネクタの不良、終端の不一致、クロス フォルト、クロス ショート、およびケーブルに沿ったその他の不連続性などが挙げられます。

DP83825I は、接続されているケーブルの 2 ペアごとに、振幅 (1V) が既知のテスト パルスを送信します。送信された信号はケーブルに沿って進み、各ケーブルの欠陥、故障、コネクタ、ケーブルの端から反射します。パルス送信後、DP83825I は、これらすべての反射パルスの復帰時間と振幅を測定します。この手法により、終端されていないケーブル (オープンまたはショート)、不連続性 (不良コネクタ)、不適切に終端されたケーブルの距離と大きさ (インピーダンス) を  $\pm 1\text{m}$  の精度で測定できます。

すべての TDR 測定において、外部ホストによる軽微な計算 (乗算、加算、参照テーブルなど) を使用して、到着時刻と物理距離の変換が行われます。ホストは、ケーブルの予想伝播遅延を認識している必要があります。これは、ケーブル カテゴリ (CAT5、CAT5e、CAT6 など) によって異なります。

以下の状況下で、TDR 測定が可能となります。

- リンク パートナーが接続解除されている間 - 反対側でケーブルが接続されていない状態
- リンク パートナーは接続されているが、「休止」のままの状態 (パワーダウン モード時など)
- リンクに障害が発生した場合、またはドロップされた場合に、TDR を自動的にアクティブにできる状態

TDR 自動実行を有効化するには、制御レジスタ #1 (Cr1、アドレス 0x0009) のビット [8] を使用します。リンクがドロップされると、TDR は自動的に実行し、結果をそれぞれの TDR ケーブル診断ロケーション結果レジスタ #1 ~ #5 (CDLRR、アドレス 0x0180 ~ 0x0184) およびケーブル診断振幅結果レジスタ #1 ~ #5 (CDLAR、アドレス 0x0185 ~ 0x0189) に保存します。TDR は、ケーブル診断制御レジスタ (CDCR、アドレス 0x001E) のビット [15] を使用して、手動で実行することもできます。ケーブル診断ステータスは、CDCR のビット [1:0] を読み出すことで取得できます。サイクル平均化やクロスオーバー ディスエーブルなどの TDR の追加機能は、ケーブル診断固有の制御レジスタ (CDSCR、アドレス 0x0170) にあります。

#### 6.3.16.2 高速リンク ドロップ機能

DP83825I には高度なリンクドロップ機能があり、さまざまなリアルタイム アプリケーションをサポートしています。リンクドロップ メカニズムは構成可能であり、非常に高速なリンクドロップ応答時間を可能にする ENHANCED モードを搭載しています。

DP83825I は、高速リンクドロップ (FLD) と呼ばれる拡張リンクドロップ メカニズムをサポートしており、リンクを判定するための観測ウィンドウを短縮できます。リンク ステータスを決定する方法は複数あり、ユーザの好みに応じて有効化または無効化することができます。高速リンクドロップは、レジスタ構成を使用してソフトウェアで有効にできます。FLD は制御レジスタ #3 (CR3、アドレス 0x000B) を使用して構成できます。ビット [3:0] およびビット [10] を使用すると、各種 FLD 状態を有効化することができます。リンクドロップが発生した場合は、高速リンクドロップ ステータスレジスタ (FLDS、アドレス 0x000F) から特定のフォルト状態の表示を読み出すことができます。

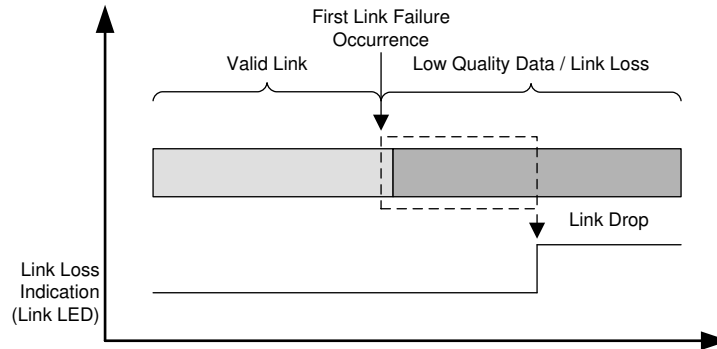


図 6-6. 高速リンク ドロップ

高速リンクドロップ基準には、以下が含まれます。

- RX エラー カウント - 定義されている 32 の RX\_ER が 10 $\mu$ s ウィンドウで発生すると、リンクがドロップされます。
- MLT3 エラー カウント - 定義されている 20 の MLT3 エラーが 10 $\mu$ s ウィンドウで発生すると、リンクがドロップされます。
- 低信号対雑音比スレッシュホールド - 定義されている 20 のスレッシュホールド超過が 10 $\mu$ s ウィンドウで発生すると、リンクがドロップされます。
- 信号 / エネルギー損失 - エネルギー検出器がエネルギー損失を示すと、リンクがドロップされます。

高速リンクドロップ機能により、これらの各オプションを個別に、または任意の組み合わせで使用できます。

#### 注

このモードでは非常に高速な応答が可能のため、一時的なリンク品質の低下といった状況にさらされやすくなります。

## 6.4 デバイスの機能モード

DP83825I には、ケーブルの到達範囲と消費電力を最適化するモードがあります。デフォルト モードでは、DP83825I は 100m 以上のケーブル到達範囲を持っています。消費電力を最小限に抑えつつ省電力型イーサネットおよび 150m のケーブル長を実現するには、設計者は PHY がリセット状態から復帰した後に構成をプログラムする必要があります。以下のセクションでは、これらの実現に必要なさまざまなモードと構成について説明します。

#### • デフォルト モード

このモードでは、追加の構成プログラミングを必要とせず、100m 以上のケーブル到達範囲モードを提供します。

#### • 消費電力最適化モード

このモードは、消費電力が最も少なく、ケーブルの到達範囲は 130m 以上です。表 6-5 に、MDC/MDIO インターフェイスを介してプログラムされる、必要なレジスタ構成を示します。

表 6-5. 電力オプティマイザ モード、130m のケーブル到達範囲の構成

レジスタ・アドレス	値
0x0416	0x1F30
0x040D	0x000D

表 6-5. 電力オプティマイザモード、130m のケーブル到達範囲の構成 (続き)

レジスタ・アドレス	値
0x0429	0x0200
0x030B	0x0BC0
0X030C	0x0011
0x033C	0x0001
0X0311	0x0000
0x0313	0x06E3
0x033A	0x579C
0x0404	0x0000
0x033D	0x8110
0x031B	0x0048
0x001F	0x4000

- ケーブル到達範囲最適化モード

このモードでは、最大 150m のケーブル到達範囲を実現します。表 6-6 に、MDC/MDIO インターフェイスを介してプログラムされる、必要なレジスタ構成を示します。

表 6-6. ケーブル到達範囲最適化モード、150m のケーブル到達範囲の構成

レジスタ・アドレス	値
0x0416	0x1F30
0x040D	0x000D
0x0429	0x0200
0x030B	0x0BC0
0X030C	0x0011
0x033C	0x0001
0X0311	0x0000
0x0313	0x06E3
0x033A	0x579C
0x0404	0x0080
0x033D	0x8110
0x031B	0x0048
0x001F	0x4000

- EEE を使用したケーブル到達範囲最適化モード

DP83825I では、省電力型イーサネット (EEE) がデフォルトで無効になっています。EEE は、レジスタのプログラミングによって有効化する必要があります。表 6-7 に、MDC/MDIO インターフェイスを介してプログラムされる、必要なレジスタ構成を示します

表 6-7. EEE の構成

レジスタ・アドレス	値
0x0416	0x1F30
0x040D	0x000d

表 6-7. EEE の構成 (続き)

レジスタ・アドレス	値
0x0429	0x0200
0x030B	0x0BC0
0x30C	0x0011
0x33C	0x0001
0x0311	0x0000
0x0313	0x06E3
0x033A	0x579C
0x0404	0x0080
0x0130	0x4750
0x0123	0x0800
0x030F	0x0400
0x04D4	0x6633
0x4D5	0x027F
0x4D6	0x01B0
0x4D7	0x01B0
0x031F	0xFC36
0x031C	0x1103
0x0101	0x0882
0x010A	0x2010
0x04CE	0x00FF
0x04CD	0xA5A5
0x0308	0x0982
0x04CF	0x231D
0x04D0	0x0F8F
0x033E	0x861E
0x04D1	0x00C2
0x04D2	0x215B
0x033D	0x8110
0x031B	0x0048
0x001F	0x4000

## 6.5 プログラミング

DP83825I は、プログラミングとステータス用に IEEE によって定義されたレジスタ セットを提供しており、IEEE レジスタでサポートされていないその他の機能を構成するための追加のレジスタ セットも備えています。

### 6.5.1 ストラップ構成

DP83825 は、デバイスを特定の動作モードに設定するために、多くの機能ピンをストラップ オプションとして使用します。これらのピンの値は、パワーアップ時またはハード リセット時にサンプリングされます。ソフトウェア リセット時には、パワーアップ時またはハード リセット時にサンプリングされた値からストラップ オプションが内部的に再ロードされます。ストラップ

オプションのピン構成を以下に定義します。デバイスの構成は、ストラップピンまたは管理レジスタインターフェイスを通じて行うことができます。推奨値のプルアップ抵抗またはプルダウン抵抗を使用して、ストラップピン入力と電源の電圧比を設定し、使用可能なモードのいずれかを選択します。MAC インターフェイスピンは、3.3V と 1.8V の I/O 電圧をサポートする必要があります。これらのピンにはストラップ入力が含まれているため、I/O に選択される電圧に応じて、ストラップは 3.3V および 1.8V 電源での動作もサポートする必要があります。すべてのストラップピンに 2 つのレベルがあります。

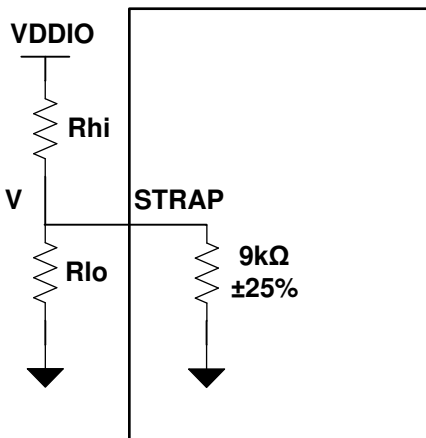


図 6-7. ストラップ回路

表 6-8. 2 レベルのストラップ抵抗比

モード	推奨抵抗	
	Rhi (kΩ)	Rlo (kΩ)
0	オープン	2.49
1	2.49	オープン

### 6.5.1.1 PHY アドレスのストラップ

表 6-9. PHY アドレス ストラップ表

ピン名	ストラップ名	ピン番号	デフォルト		
RX_D0	PhyAdd[0] <sup>(1)</sup>	18	0	PHY_ADD0	
				MODE 0	0
				MODE 1	1
CRS_DV	PhyAdd[1] <sup>(1)</sup>	20	0	PHY_ADD1	
				MODE 0	0
				MODE 1	1

(1) PhyAdd[1:0] は、それぞれビット [0] とビット [1] に変換されるピン 18 と 20 の 2 つのストラップによって決定されます。

表 6-10. RMII MAC モード ストラップ表

ピン名	ストラップ名	ピン番号	デフォルト		
RX_D1	リーダー / フォロワ	17	0	0	RMII リーダー モード
				1	RMII フォロワーモード
50MHzOut/LED2	RX_DV_En	2	0	0	ピン 20 は CRS_DV として構成
				1	ピン 20 は RX_DV として構成 (RMII 反復モードの場合)

**表 6-11. Auto\_Neg ストラップ表**

ピン名	ストラップ名	ピン番号	デフォルト		
RX_ER	A-MDIX	22	0	0	MDIX 自動有効化
				1	MDIX 自動無効化
LED0	ANeg_Dis	4	0	0	オートネゴシエーション イネーブル
				1	オートネゴシエーション ディスエーブル。強制モード 100M を有効化します

## 7 デバイスのレジスタ

表 7-1 に、デバイスのレジスタ用のメモリ マップト レジスタを示します。表 7-1 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 7-1. デバイスのレジスタ

オフセット	略称	レジスタ名	セクション
0h	BMCR_Register		セクション 7.1
1h	BMSR_Register		セクション 7.2
2h	PHYDR1_Register		セクション 7.3
3h	PHYDR2_Register		セクション 7.4
4h	ANAR_Register		セクション 7.5
5h	ALNPAR_Register		セクション 7.6
6h	ANER_Register		セクション 7.7
7h	ANNPTR_Register		セクション 7.8
8h	ANLNPTR_Register		セクション 7.9
9h	CR1_Register		セクション 7.10
Ah	CR2_Register		セクション 7.11
Bh	CR3_Register		セクション 7.12
Ch	Register_12		セクション 7.13
Dh	REGCR_Register		セクション 7.14
Eh	ADDAR_Register		セクション 7.15
Fh	FLDS_Register		セクション 7.16
10h	PHYSTS_Register		セクション 7.17
11h	PHYSCR_Register		セクション 7.18
12h	MISR1_Register		セクション 7.19
13h	MISR2_Register		セクション 7.20
14h	FCSCR_Register		セクション 7.21
15h	RECR_Register		セクション 7.22
16h	BISCR_Register		セクション 7.23
17h	RCSR_Register		セクション 7.24
18h	LEDCR_Register		セクション 7.25
19h	PHYCR_Register		セクション 7.26
1Ah	10BTSCR_Register		セクション 7.27
1Bh	BICSR1_Register		セクション 7.28
1Ch	BICSR2_Register		セクション 7.29
1Eh	CDCR_Register		セクション 7.30
1Fh	PHYRCR_Register		セクション 7.31
25h	MLEDCA_Register		セクション 7.32
27h	COMPT_Regsiter		セクション 7.33
101h	Register_101		セクション 7.34
10Ah	Register_10a		セクション 7.35
123h	Register_123		セクション 7.36
130h	Register_130		セクション 7.37
170h	CDSCR_Register		セクション 7.38

**表 7-1. デバイスのレジスタ (続き)**

オフセット	略称	レジスタ名	セクション
171h	CDSCR2_Register		セクション 7.39
172h	TDR_172_Register		セクション 7.40
173h	CDSCR3_Register		セクション 7.41
174h	TDR_174_Register		セクション 7.42
175h	TDR_175_Register		セクション 7.43
176h	TDR_176_Register		セクション 7.44
177h	CDSCR4_Register		セクション 7.45
178h	TDR_178_Register		セクション 7.46
180h	CDLRR1_Register		セクション 7.47
181h	CDLRR2_Register		セクション 7.48
182h	CDLRR3_Register		セクション 7.49
183h	CDLRR4_Register		セクション 7.50
184h	CDLRR5_Register		セクション 7.51
185h	CDLAR1_Register		セクション 7.52
186h	CDLAR2_Register		セクション 7.53
187h	CDLAR3_Register		セクション 7.54
188h	CDLAR4_Register		セクション 7.55
189h	CDLAR5_Register		セクション 7.56
18Ah	CDLAR6_Register		セクション 7.57
302h	IO_CFG_Register		セクション 7.58
305h	IO_CFG_2_Register		セクション 7.59
308h	SPARE_OUT		セクション 7.60
30Bh	DAC_CFG_0		セクション 7.61
30Ch	DAC_CFG_1		セクション 7.62
30Fh	DSP_CFG_0		セクション 7.63
311h	DSP_CFG_2		セクション 7.64
313h	DSP_CFG_4		セクション 7.65
31Ch	DSP_CFG_13		セクション 7.66
31Fh	DSP_CFG_16		セクション 7.67
33Ch	DSP_CFG_25		セクション 7.68
33Eh	DSP_CFG_27		セクション 7.69
404h	ANA_LD_PRG_SL_Register		セクション 7.70
40Dh	ANA_RX10BT_CTRL_Register		セクション 7.71
416h	Register_416		セクション 7.72
428h	DPDWN_Register		セクション 7.73
429h	Register_429		セクション 7.74
456h	GENCFG_Register		セクション 7.75
460h	LEDCFG_Register		セクション 7.76
461h	IOCTRL_Register		セクション 7.77
467h	SOR1_Register		セクション 7.78
468h	SOR2_Register		セクション 7.79
469h	Register_0x469_Register		セクション 7.80

表 7-1. デバイスのレジスタ (続き)

オフセット	略称	レジスタ名	セクション
4A0h	RXFCFG_Register		セクション 7.81
4A1h	RXFS_Register		セクション 7.82
4A2h	RXFPMD1_Register		セクション 7.83
4A3h	RXFPMD2_Register		セクション 7.84
4A4h	RXFPMD3_Register		セクション 7.85
4CDh	Register_0x4cd		セクション 7.86
4CEh	Register_0x4ce		セクション 7.87
4CFh	Register_0x4cf		セクション 7.88
4D0h	EEECFG2_Register		セクション 7.89
4D1h	EEECFG3_Register		セクション 7.90
4D2h	Register_0x4d2		セクション 7.91
4D4h	Register_0x4d4		セクション 7.92
4D5h	DSP_100M_STEP_2_Register		セクション 7.93
4D6h	DSP_100M_STEP_3_Register		セクション 7.94
4D7h	DSP_100M_STEP_4_Register		セクション 7.95
1000h	MMD3_PCS_CTRL_1_Register		セクション 7.96
1001h	MMD3_PCS_STATUS_1		セクション 7.97
1014h	MMD3_EEE_CAPABILITY_Register		セクション 7.98
1016h	MMD3_WAKE_ERR_CNT_Register		セクション 7.99
203Ch	MMD7_EEE_ADVERTISEMENT_Register		セクション 7.100
203Dh	MMD7_EEE_LP_ABILITY_Register		セクション 7.101

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 7-2 に、このセクションでアクセス タイプに使用しているコードを示します。

表 7-2. デバイスのアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
RC	R C	読み出し後 クリア
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

## 7.1 BMCR\_Register (オフセット = 0h) [リセット = 3100h]

BMCR\_Register を表 7-3 に示します。

[概略表](#)に戻ります。

表 7-3. BMCR\_Register フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	リセット	W	0h	PHY ソフトウェア リセット:このビットに 1 を書き込むと、PHY PCS レジスタがリセットされます。リセット動作が完了すると、このビットは自動的に 0 にクリアされます。PHY ベンダ固有のレジスタはクリアされません。 0H = 通常動作 1h = ソフトウェア リセットの開始 / リセット進行中
14	MII_Loopback	R/W	0h	MII のループバック:MII ループバック モードが起動すると、MII TXD に提示された送信データは、内部で MII RXD にループバックされます。使用可能な RMII インターフェイスのみに適用できます。さらに、次の追加ビット (100Base-TX の場合はビット BISCRA 0x0016[4:0] = 0b00100、10Base-Te の場合は BISCRA 0x0016[4:0] = 00001b) を設定する必要があります。 0H = 通常動作 1h = MII ループバック イネーブル
13	Speed_Selection	R/W	1h	速度選択:オートネゴシエーションがディスエーブルの場合 (レジスタ 0x0000 のビット [12] = 0)、このビットに書き込むと、ポート速度を選択できます。 0h = 10Mbps 1h = 100Mbps
12	Auto-Negotiation_Enable	R/W	1h	オートネゴシエーション イネーブル: 0h = オートネゴシエーションを無効化 - ビット [8] および [13] によって、ポート速度と二重モードが決まります。 1h = オートネゴシエーションを有効化 - このビットが設定されていると、このレジスタのビット [8] および [13] は無視されます
11	IEEE_Power_Down	R/W	0h	パワーダウン:このビットを設定した後、PHY のパワーダウンします。このパワーダウン状況中、レジスタ アクセスのみが有効化されます。パワーダウンメカニズムを制御するため、このビットは INT/PWDN_N ピンからの入力での OR 論理和がとられます。アクティブ Low INT/PWDN_N がアサートされると、このビットが設定されます。 0H = 通常動作 1h = IEEE パワーダウン
10	絶縁	R/W	0h	絶縁: 0H = 通常動作 1h = ポートを MII から絶縁します (シリアル マネージメント インターフェイスを除く)。また、これは RMII リーダー モードで 50MHz クロックを無効化します
9	Restart_Auto-Negotiation	R/W	0h	オートネゴシエーション再開:オートネゴシエーションがディスエーブルの場合 (ビット [12] = 0)、ビット [9] は無視されます。このビットは、オートネゴシエーションが開始されるまで、自動でクリアされ、値 1 を返します。その後、このビットは自動でクリアされます。オートネゴシエーション プロセスの動作は、管理エンティティがこのビットをクリアしても影響を受けません。 0H = 通常動作 1h = オートネゴシエーションを再開、オートネゴシエーション プロセスを再起動
8	Duplex_Mode	R/W	1h	二重モード:オートネゴシエーションがディスエーブルのとき、このビットに書き込むと、ポートの二重機能を選択できます。 0h = 半二重 1h = 全二重
7	Collision_Test	R/W	0h	衝突テスト:このビットを設定すると、512 ビット時間以内に、TX_EN がアサートされ、COL 信号がアサートされます。COL 信号は、TX_EN がアサートされるのに対応して、4 ビット時間以内にデアサートされます。 0H = 通常動作 1h = COL 信号テストを有効化
6-0	予約済み	R	0h	予約済み

## 7.2 BMSR\_Register (オフセット = 1h) [リセット = 7849h]

BMSR\_Register を表 7-4 に示します。

概略表に戻ります。

表 7-4. BMSR\_Register フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	100Base-T4	R	0h	100Base-T4 対応:このプロトコルは使用できません。常に 0 として読み出します
14	100Base-TX_Full-Duplex	R	1h	100Base-TX 全二重対応: 0h = デバイスは全二重 100Base-TX を実行できない 1h = デバイスは全二重 100Base-TX を実行できる
13	100Base-TX_Half-Duplex	R	1h	100BASE-TX 半二重対応: 0h = デバイスは半二重 100Base-TX を実行できない 1h = デバイスは半二重 100Base-TX を実行できる
12	10Base-T_Full-Duplex	R	1h	10Base-T 全二重対応: 0h = デバイスは全二重 10Base-T を実行できない 1h = デバイスは全二重 10Base-T を実行できる
11	10Base-T_Half-Duplex	R	1h	10BASE-T 半二重対応: 0h = デバイスは半二重 10Base-T を実行できない 1h = デバイスは半二重 10Base-T を実行できる
10-7	予約済み	R	0h	予約済み
6	SMI_Preamble_Suppression	R	1h	プリアンブル抑制対応:このビットが 1 に設定されている場合、リセット後、無効なオペレーションコード後、または無効なターンアラウンド後に、32 ビットのプリアンブルが 1 回のみ必要となります。このデバイスでは、次のトランザクションを開始する前に、2 つのトランザクション間に少なくとも 500ns のギャップが必要です。その後、MDC の 1 つの立ち上がりエッジおよび MDIO = 1 が続きます。 0h = デバイスはプリアンブルが抑制された状態で管理トランザクションを実行できない 1h = デバイスはプリアンブルが抑制された状態で管理トランザクションを実行できる
5	Auto-Negotiation_Complete	R	0h	オートネゴシエーション完了: 0h = オートネゴシエーション プロセスが未完了 (まだ処理中、ディスプレイ、リセット中) 1h = オートネゴシエーション プロセスが完了
4	Remote_Fault	R	0h	リモート障害:ファール エンド障害の表示またはリンク パートナーからのリモート障害の通知。このビットは、読み取り時またはリセット時にクリアされます。 0h = リモート障害状態は未検出 1h = リモート障害状態を検出済み
3	Auto-Negotiation_Ability	R	1h	オートネゴシエーション機能: 0h = デバイスはオートネゴシエーションを実行できない 1h = デバイスはオートネゴシエーションを実行できる
2	Link_Status	R	0h	リンク ステータス: 0h = リンクが未確立 1h = 有効なリンクが確立済み (10Mbps または 100Mbps 動作の場合)
1	Jabber_Detect	R	0h	ジャババー検出: 0h = ジャババー条件は未検出。このビットは 10Base-T 動作に対してのみ意味を持ちます。 1h = ジャババー状態を検出済み
0	Extended_Capability	R	1h	拡張機能: 0h = 基本レジスタ設定機能のみ 1h = 拡張レジスタ機能

### 7.3 PHYIDR1\_Register (オフセット = 2h) [リセット = 2000h]

PHYIDR1\_Register を表 7-5 に示します。

[概略表](#)に戻ります。

表 7-5. PHYIDR1\_Register のフィールド説明

ビット	フィールド	タイプ	リセット	説明
15-0	Organizationally_Unique_Identifier_Bits_21:6	R	2000h	PHY 識別子レジスタ #1

### 7.4 PHYIDR2\_Register (オフセット = 3h) [リセット = A140h]

PHYIDR2\_Register を表 7-6 に示します。

[概略表](#)に戻ります。

表 7-6. PHYIDR2\_Register のフィールド説明

ビット	フィールド	タイプ	リセット	説明
15-10	Organizationally_Unique_Identifier_Bits_5:0	R	28h	PHY 識別子レジスタ #2
9-4	Model_Number	R	14h	ベンダ モデル番号:ベンダ モデル番号の 6 ビットはビット [9] ~ [4] に割り当てられています。
3-0	Revision_Number	R	0h	モデル リビジョン番号:ベンダ モデル リビジョン番号の 4 ビットはビット [3:0] に割り当てられています。このフィールドは、すべての主要なデバイス変更に対してインクリメントされます。

### 7.5 ANAR\_Register (オフセット = 4h) [リセット = 01E1h]

ANAR\_Register を表 7-7 に示します。

[概略表](#)に戻ります。

表 7-7. ANAR\_Register フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	Next_Page	R/W	0h	次ページ表示: 0h = 次ページ転送が不要 1h = 次ページ転送が必要
14	予約済み	R	0h	予約済み
13	Remote_Fault	R/W	0h	リモート障害: 0h = リモート障害は未検出 1h = このデバイスがリモート障害を検出したことをアドバタイズ DP83825 はリモート障害をサポートしていないことに注意してください。このビットはアプリケーションで設定されません
12	予約済み	R	0h	予約済み
11	Asymmetric_Pause	R/W	0h	全二重リンクの非対称型一時停止サポート: 0h = 非対称型一時停止機能をアドバタイズしない 1h = 非対称型一時停止機能をアドバタイズする
10	一時停止	R/W	0h	全二重リンクの一時停止サポート: 0h = 一時停止機能をアドバタイズしない 1h = 一時停止機能をアドバタイズする
9	100Base-T4	R	0h	100Base-T4 サポート: 0h = 100Base-T4 機能をアドバタイズしない 1h = 100Base-T4 機能をアドバタイズする

表 7-7. ANAR\_Register フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
8	100Base-TX_Full-Duplex	R/W	1h	100BASE-TX 全二重サポート: 値は、強制モードでは重要ではありません 0h = 強制モードでは、100Base-TX 全二重機能の値をアドバタイズしない 1h = 100Base-TX 全二重機能をアドバタイズする
7	100Base-TX_Half-Duplex	R/W	1h	100BASE-TX 半二重サポート: 値は、強制モードでは重要ではありません 0h = 強制モードでは、100Base-TX 半二重機能値をアドバタイズしない 1h = 100Base-TX 半二重機能をアドバタイズする
6	10Base-T_Full-Duplex	R/W	1h	10BASE-T 全二重サポート: 値は、強制モードでは重要ではありません 0h = 強制モードでは、10Base-T 全二重機能値をアドバタイズしない 1h = 10Base-T 全二重機能をアドバタイズする
5	10Base-T_Half-Duplex	R/W	1h	10BASE-T 半二重サポート: 値は、強制モードでは重要ではありません 0h = 強制モードでは、10Base-T 半二重機能値をアドバタイズしない 1h = 10Base-T 半二重機能をアドバタイズする
4-0	Selector_Field	R/W	1h	プロトコル選択ビット: 技術セレクタ フィールド (IEEE802.3u<00001>)

## 7.6 ALNPAR\_Register (オフセット = 5h) [リセット = 0000h]

ALNPAR\_Register を表 7-8 に示します。

[概略表](#)に戻ります。

表 7-8. ALNPAR\_Register フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	Next_Page	R	0h	次ページ表示: 0h = リンク パートナーが次ページ転送を要求しない 1h = リンク パートナーが次ページ転送を要求する
14	アクノリッジ	R	0h	アクノリッジ: 0h = リンク パートナーがリンク コード ワードの受信をアクノリッジしない 1h = リンク パートナーがリンク コード ワードの受信をアクノリッジする
13	Remote_Fault	R	0h	リモート障害: 0h = リンク パートナーがリモート障害イベント検出をアドバタイズしない 1h = リンク パートナーがリモート障害イベント検出をアドバタイズする
12	予約済み	R	0h	予約済み
11	Asymmetric_Pause	R	0h	非対称型一時停止: 0h = リンク パートナーが非対称型一時停止機能をアドバタイズしない 1h = リンク パートナーが非対称型一時停止機能をアドバタイズする
10	一時停止	R	0h	一時停止: 0h = リンク パートナーが一時停止機能をアドバタイズしない 1h = リンク パートナーが一時停止機能をアドバタイズする
9	100Base-T4	R	0h	100Base-T4 サポート: 0h = リンク パートナーが 100Base-T4 機能をアドバタイズしない 1h = リンク パートナーが 100Base-T4 機能をアドバタイズする
8	100Base-TX_Full-Duplex	R	0h	100BASE-TX 全二重サポート: 0h = リンク パートナーが 100Base-TX 全二重機能をアドバタイズしない 1h = リンク パートナーが 100Base-TX 全二重機能をアドバタイズする
7	100Base-TX_Half-Duplex	R	0h	100BASE-TX 半二重サポート: 0h = リンク パートナーが 100Base-TX 半二重機能をアドバタイズしない 1h = リンク パートナーが 100Base-TX 半二重機能をアドバタイズする
6	10Base-T_Full-Duplex	R	0h	10BASE-T 全二重サポート: 0h = リンク パートナーが 10Base-T 全二重機能をアドバタイズしない 1h = リンク パートナーが 10Base-T 全二重機能をアドバタイズする

表 7-8. ALNPAR\_Register フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5	10Base-T_Half-Duplex	R	0h	10BASE-T 半二重サポート: 0h = リンク パートナーが 10Base-T 半二重機能をアドバタイズしない 1h = リンク パートナーが 10Base-T 半二重機能をアドバタイズする
4-0	Selector_Field	R	0h	プロトコル選択ビット:技術セレクタ フィールド (IEEE802.3<00001>)

### 7.7 ANER\_Register (オフセット = 6h) [リセット = 0004h]

ANER\_Register を表 7-9 に示します。

概略表に戻ります。

表 7-9. ANER\_Register フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-5	予約済み	R	0h	予約済み
4	Parallel_Detection_Fault	R	0h	並列検出フォルト: 0h = フォルトは未検出 1h = 並列検出プロセス中にフォルトを検出済み
3	Link_Partner_Next_Page_Able	R	0h	リンクパートナーの次ページ機能: 0h = リンク パートナーが次ページを交換できない 1h = リンク パートナーが次ページを交換できる
2	Local_Device_Next_Page_Able	R	1h	次ページ機能: 0h = ローカル デバイスが次ページを交換できない 1h = ローカル デバイスが次ページを交換できる
1	Page_Received	R	0h	リンクコードワード ページの受信: 0h = 新しいページは未受信 1h = 新しいオートネゴシエーション ページを受信済み
0	Link_Partner_Auto-Negotiation_Able	R	0h	リンク パートナーのオートネゴシエーション機能: 0h = リンク パートナーがオートネゴシエーションをサポートしていない 1h = リンク パートナーがオートネゴシエーションをサポートしている

### 7.8 ANNPTR\_Register (オフセット = 7h) [リセット = 2001h]

ANNPTR\_Register を表 7-10 に示します。

概略表に戻ります。

表 7-10. ANNPTR\_Register フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	Next_Page	R/W	0h	次ページ表示: 0h = 追加の次ページの送信の希望をアドバタイズしない 1h = 追加の次ページの送信の希望をアドバタイズする
14	予約済み	R	0h	予約済み
13	Message_Page	R/W	1h	メッセージ ページ: 0h = 現在のページは未フォーマット ページ 1h = 現在のページはメッセージ ページ
12	Acknowledge_2	R/W	0h	Acknowledge2: アクブリッジ 2 は、ローカル デバイスに受信メッセージに準拠する機能があることを示すために、次ページ機能によって使用されます。 0h = メッセージに準拠できない 1h = メッセージに準拠する

表 7-10. ANNPTR\_Register フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
11	点滅	R	0h	トグル:トグルは、オートネゴシエーション内の調停機能によって使用され、次ページ交換中にリンク パートナーと同期します。このビットは常に、前に交換されたリンク コード ワード内のトグル ビットとは逆の値を取ります。 0h = 前に送信されたリンク コード ワードのトグル ビットの値が 1 1h = 前に送信されたリンク コード ワードのトグル ビットの値が 0
10-0	コード	R/W	1h	このフィールドは、次ページ送信のコード フィールドを表します。メッセージ ページ ビットが設定されている場合 (このレジスタのビット [13])、コードは、IEEE 802.3u 付録 28C で定義されているメッセージ ページとして解釈されます。それ以外の場合、コードは未フォーマット ページとして相互に扱われ、解釈はアプリケーション固有です。コードのデフォルト値は、IEEE 802.3u 付録 28C で定義されている Null ページを表します。

### 7.9 ANLNPTR\_Register (オフセット = 8h) [リセット = 0000h]

ANLNPTR\_Register を表 7-11 に示します。

概略表に戻ります。

表 7-11. ANLNPTR\_Register フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	Next_Page	R	0h	次ページ表示: 0h = 追加の次ページの送信の希望をアドバタイズしない 1h = 追加の次ページの送信の希望をアドバタイズする
14	アクリッジ	R	0h	アクリッジ: 0h = リンク パートナーがリンク コード動作の受信をアクリッジしない 1h = リンク パートナーがリンク コード ワードの受信をアクリッジする
13	Message_Page	R	0h	メッセージ ページ: 0h = 現在のページは未フォーマット ページ 1h = 現在のページはメッセージ ページ
12	Acknowledge_2	R	0h	Acknowledge2: アクリッジ 2 は、ローカル デバイスに受信メッセージに準拠する機能があることを示すために、次ページ機能によって使用されます。 0h = メッセージに準拠できない 1h = メッセージに準拠する
11	点滅	R	0h	トグル:トグルは、オートネゴシエーション内の調停機能によって使用され、次ページ交換中にリンク パートナーと同期します。このビットは常に、前に交換されたリンク コード ワード内のトグル ビットとは逆の値を取ります。 0h = 前に送信されたリンク コード ワードのトグル ビットの値が 1 1h = 前に送信されたリンク コード ワードのトグル ビットの値が 0
10-0	Message/ Unformatted_Field	R	0h	このフィールドは、次ページ送信のコード フィールドを表します。メッセージ ページ ビットが設定されている場合 (このレジスタのビット 13)、コードは、IEEE 802.3u 付録 28C で定義されているメッセージ ページとして解釈されます。それ以外の場合、コードは未フォーマット ページとして相互に扱われ、解釈はアプリケーション固有です。コードのデフォルト値は、IEEE 802.3u 付録 28C で定義されている Null ページを表します。

### 7.10 CR1\_Register (オフセット = 9h) [リセット = 0000h]

CR1\_Register を表 7-12 に示します。

概略表に戻ります。

表 7-12. CR1\_Register のフィールド説明

ビット	フィールド	タイプ	リセット	説明
15-10	予約済み	R	0h	予約済み
9	予約済み	R	0h	予約済み
8	TDR_Auto-Run	R/W	0h	リンク ダウン時の TDR 自動実行 0h = TDR 自動実行を無効化 1h = リンク ダウン イベント後の TDR 手順の実行を有効化
7	予約済み	R	0h	予約済み
6	予約済み	R	0h	予約済み
5	robust_Auto_MDIX	R/W	0h	堅牢な Auto-MDIX: リンク パートナーが通常の Auto-MDIX でサポートされていない動作モード用に設定されている場合、堅牢な Auto-MDIX によって MDI/MDIX 解決が可能になり、デッドロックが防止されます。 0h = Auto-MDIX を無効化 1h = 堅牢な Auto-MDIX を有効化
4	予約済み	R	0h	予約済み
3-2	予約済み	R	0h	予約済み
1	Fast_RXDV_Detection	R/W	0h	高速 RXDV 検出: 0h = 高速 RX_DV 検出を無効化。PHY は通常モードで動作します。/JK/ の検出後の RX_DV アサート。 1h = /J/ シンボルの検出のみにより、受信パケットで RX_DV のアサート High を有効化する。連続した /K/ が表示されない場合は、RX_ER が生成されます。
0	予約済み	R	0h	予約済み

### 7.11 CR2\_Register (オフセット = Ah) [リセット = 0100h]

CR2\_Register を表 7-13 に示します。

概略表に戻ります。

表 7-13. CR2\_Register のフィールド説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14	予約済み	R	0h	予約済み
13-7	予約済み	R	0h	予約済み
6	予約済み	R	0h	予約済み
5	Extended_Full-Duplex_Ability	R/W	0h	拡張全二重機能: 0h = 拡張全二重機能を無効化。全二重モードと半二重モードのどちらかで動作するかは、IEEE の仕様に従います。 1h = 強制 100Base-TX でリンク パートナーと連携している間、全二重を有効化。PHY がオートネゴシエーションまたは強制 100Base-TX に設定され、リンク パートナーが Force 100Base-TX で動作する場合、リンクは常に全二重になります。
4	予約済み	R	0h	予約済み
3	予約済み	R	0h	予約済み
2	RX_ER_During_IDLE	R/W	0h	IDLE 状態での受信シンボル エラーの検出: 0h = IDLE 状態時の受信シンボル エラーの検出を無効化 1h = IDLE 状態時の受信シンボル エラーの検出を有効化
1	Odd-Nibble_Detection_Disable	R/W	0h	送信エラーの検出: 0h = 奇数ニブル境界での TX_EN のデアサートの検出を有効化。この場合、TX_EN は 1 つの追加 TX_CLK サイクルによって延長され、その追加サイクル中に TX_ER がアサートされているかのように動作します 1h = 奇数ニブル境界での送信エラーの検出を無効化

表 7-13. CR2\_Register のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	予約済み	R	0h	予約済み

## 7.12 CR3\_Register (オフセット = Bh) [リセット = 0000h]

CR3\_Register を表 7-14 に示します。

概略表に戻ります。

表 7-14. CR3\_Register のフィールド説明

ビット	フィールド	タイプ	リセット	説明
15-11	予約済み	R	0h	予約済み
10	Descrambler_Fast_Link_Down_Mode	R/W	0h	デスクランブラ高速リンクドロップ: このオプションは、他の高速リンクダウンモードと並列にビット [3:0] で有効化できます。 0h = デスクランブラのリンク損失時にリンクをドロップしない 1h = デスクランブラのリンク損失時にリンクをドロップする
9	予約済み	R	0h	予約済み
8	予約済み	R	0h	予約済み
7	予約済み	R	0h	予約済み
6	Polarity_Swap	R/W	0h	極性スワップ: ポートミラーリング機能: ポートミラーリングを有効化するには、このビットとビット [5] を High に設定します。 1h = 両方のペアで反転極性: TD+ および TD-, RD+ および RD- 0h = 通常極性
5	MDI/MDIX_Swap	R/W	0h	MDI/MDIX スワップ: ポートミラーリング機能: ポートミラーリングを有効化するには、このビットとビット [6] を High に設定します。 0h = MDI ペアは通常 (RD ペアを受信、TD ペアで送信) 1h = MDI ペアをスワップ (TD ペアを受信、RD ペアで送信)
4	予約済み	R	0h	予約済み
3-0	Fast_Link_Down_Mode	R/W	0h	高速リンクダウンモード: a) ビット 3 は、MII インターフェイスの RX エラー数に基づいてリンクをドロップします。10 $\mu$ s 間隔で、事前定義されている 32 の RX エラー発生数に達すると、リンクがドロップされます。 b) ビット 2 は、MLT3 エラー カウント (DSP 出力の MLT3 コーディング違反) に基づいてリンクをドロップします。10 $\mu$ s 間隔で、事前定義されている 20 の MLT3 エラー発生数に達すると、リンクがドロップされます。 c) ビット 1 は、低信号対雑音比スレッシュホールドに基づいてリンクをドロップします。10 $\mu$ s 間隔で、事前定義されている 20 のスレッシュホールド超過が発生すると、リンクがドロップされます。 d) ビット 0 は、信号 / エネルギー損失表示に基づいてリンクをドロップします。エネルギー検出器がエネルギー損失を示すと、リンクがドロップされます。代表的な応答時間は 10 $\mu$ s です。 高速リンクダウン機能は 5 つのオプションすべての論理和 (ビット [10] および [3:0]) であり、設計者はこれらの条件の任意の組み合わせを有効にすることができます。

## 7.13 Register\_12 (オフセット = Ch) [リセット = 0000h]

Register\_12 を表 7-15 に示します。

概略表に戻ります。

表 7-15. Register\_12 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
15	Link_Quality_interrupt	RC	0h	リンク品質を表示するための割り込み
14	energy_detect_interrupt	RC	0h	エネルギー検出を表示するための割り込み

表 7-15. Register\_12 のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
13	link_interrupt	RC	0h	リンク ステータスの割り込み
12	speed_interrupt	RC	0h	速度ステータスの割り込み
11	duplex_interrupt	RC	0h	二重の割り込み
10	auto_negotiation_complete_interrupt	RC	0h	オートネゴシエーションの割り込み
9	false_carrier_half_full_interrupt	RC	0h	誤搬送波の割り込み
8	rhf_interrupt	RC	0h	rhf の割り込み
7	Link_Quality_interrupt_enable	R/W	0h	リンク品質を表示するための割り込みイネーブル
6	energy_detect_interrupt_enable	R/W	0h	エネルギー検出を表示するための割り込みイネーブル
5	link_interrupt_enable	R/W	0h	リンク ステータスの割り込みイネーブル
4	speed_interrupt_enable	R/W	0h	速度ステータスのために割り込みイネーブル
3	duplex_interrupt_enable	R/W	0h	二重の割り込みイネーブル
2	auto_negotiation_complete_interrupt_enable	R/W	0h	オートネゴシエーションの割り込みイネーブル
1	false_carrier_half_full_interrupt_enable	R/W	0h	誤搬送波の割り込みイネーブル
0	rhf_interrupt_enable	R/W	0h	rhf の割り込みイネーブル

#### 7.14 REGCR\_Register (オフセット = Dh) [リセット = 0000h]

REGCR\_Register を表 7-16 に示します。

[概略表](#)に戻ります。

表 7-16. REGCR\_Register フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	Extended_Register_Command	R/W	0h	拡張レジスタ コマンド: 0h = アドレス 1h = データ、ポスト インクリメントなし 2h = データ、読み出しおよび書き込み時にポスト インクリメント 3h = データ、書き込み時のみにポスト インクリメント
13-5	予約済み	R	0h	予約済み
4-0	DEVAD	R/W	0h	デバイス アドレス: ビット [4:0] はデバイス アドレス DEVAD であり、ADDAR レジスタ (0x000E) へのアクセスを適切な MMD に指示します。特に DP83825 は、アドレスが 0x04D1 以下のレジスタへのアクセスのためにベンダ固有の DEVAD [4:0] = '11111' を使います。MMD3 アクセスの場合、DEVAD[4:0] = '00011' になります。MMD7 アクセスの場合、DEVAD[4:0] = '00111' になります。レジスタ REGCR および ADDAR によるすべてのアクセスでは、MMD、MMD3、MMD7 のいずれにも DEVAD を使うことができます。その他の DEVAD を使ったトランザクションは無視されます。

#### 7.15 ADDAR\_Register (オフセット = Eh) [リセット = 0000h]

ADDAR\_Register を表 7-17 に示します。

[概略表](#)に戻ります。

表 7-17. ADDAR\_Register フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	アドレス / データ	R/W	0h	REGCR レジスタ ビット [15:14] = '00' の場合、MMD DEVAD のアドレスレジスタを保持します。それ以外の場合、MMD DEVAD のデータを保持します。

## 7.16 FLDS\_Register (オフセット = Fh) [リセット = 0000h]

FLDS\_Register を表 7-18 に示します。

[概略表](#)に戻ります。

表 7-18. FLDS\_Register フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-9	予約済み	R	0h	予約済み
8-4	Fast_Link_Down_Status	R	0h	高速リンク ダウン ステータス: 特定の高速リンク ダウン モードがアクティブになるたびに High にラッチされるステータス レジスタで、リンクドロップが発生します (モードが有効であると仮定した場合) 1h = 信号 / エネルギー損失 2h = 信号対雑音比レベル 4h = MLT3 エラー 8h = RX エラー 10h = デスクランブラ損失同期
3-0	予約済み	R	0h	予約済み

## 7.17 PHYSTS\_Register (オフセット = 10h) [リセット = 0000h]

PHYSTS\_Register を表 7-19 に示します。

[概略表](#)に戻ります。

表 7-19. PHYSTS\_Register フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14	MDI/MDIX_Mode	R	0h	MDI/MDIX モード ステータス: 0h = MDI ペアは通常 (RD ペアで受信、TD ペアで送信) 1h = MDI ペアはスワップ済み (TD ペアで受信、RD ペアで送信)
13	Receive_error_Latch	R	0h	受信エラー ラッチ: このビットは、RECR レジスタを読み出すとクリアされます。 0h = 受信エラー イベントは未発生 1h = RXERCNT レジスタ (0x0015) の最後の読み出し以降に受信エラー イベントが発生
12	Polarity_Status	R	0h	極性ステータス: このビットは、10BTSCR レジスタ (0x001A) のビット [4] の複製です。このビットは 10BTSCR レジスタの読み出しによってクリアされますが、PHYSTS レジスタの読み出しではクリアされません。 0h = 正しい極性を検出済み 1h = 反転極性を検出済み
11	False_Carrier_Sense_Latch	R	0h	誤搬送波検知ラッチ: このビットは、FCSCR レジスタを読み出すとクリアされます。 0h = 誤搬送波イベントは未発生 1h = FCSCR レジスタ (0x0014) の最後の読み出し以降に、誤った誤搬送波イベントが発生
10	Signal_Detect	R	0h	信号検出: PMD からのアクティブ HIGH 100Base-TX 無条件信号検出表示

表 7-19. PHYSTS\_Register フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9	Descrambler_Lock	R	0h	デスクランブラ ロック: PMD からのアクティブ HIGH 100Base-TX デスクランブラ ロック表示
8	Page_Received	R	0h	リンク コードワード ページの受信: このビットは、ANER レジスタで受信したページ (ビット [1]) の複製であり、ANER レジスタ (0x0006) の読み取り時にクリアされます。 0h = リンク コードワード ページは未受信 1h = 新しいリンク コードワード ページを受信済み
7	MII_Interrupt	R	0h	MII 割り込み保留: 割り込みソースは、MISR レジスタ (0x0012) を読み出すことで判定できます。MISR を読み出すと、この割り込みビット表示はクリアされます。 0h = 割り込み保留なし 1h = 内部割り込みが保留中であることを示す
6	Remote_Fault	R	0h	リモート障害: BMSR レジスタ (0x0001) の読み出しまたはリセットによってクリアされます。 1h = リモート障害状態は未検出フォルト条件: オートネゴシエーションを介したリモート障害のリンク パートナーからの通知「0h = リモート障害状況なし」が未検出
5	Jabber_Detect	R	0h	ジャババー検出: このビットは 10Mbps 動作専用です。このビットは、BMSR レジスタ (0x0001) のジャババー検出ビットの複製であり、PHYSTS レジスタを読み出ししてもクリアされません。 0h = ジャババーなし 1h = ジャババー状態を検出済み
4	Auto-Negotiation_Status	R	0h	オートネゴシエーション ステータス: 0h = オートネゴシエーションが未完了 1h = オートネゴシエーションが完了
3	MII_Loopback_Status	R	0h	MII ループバック ステータス: 0h = 通常動作 1h = ループバックを有効化
2	Duplex_Status	R	0h	二重モードのステータス: 0h = 半二重モード 1h = 全二重モード
1	Speed_Status	R	0h	速度ステータス: 0h = 100Mbps モード 1h = 10Mbps モード
0	Link_Status	R	0h	リンク ステータス: このビットは、BMSR レジスタ (アドレス 0x0001) のリンクステータス ビットから複製され、PHYSTS レジスタを読み出しでもクリアされません。 0h = リンクが未確立 1h = 有効なリンクが確立済み (10Mbps または 100Mbps の場合)

## 7.18 PHYSCR\_Register (オフセット = 11h) [リセット = 0108h]

PHYSCR\_Register を表 7-20 に示します。

[概略表](#)に戻ります。

表 7-20. PHYSCR\_Register フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	Disable_PLL	R/W	0h	PLL を無効化: 注: クロック回路は IEEE のパワーダウン モードでのみ無効化できます。 0h = 通常動作 1h = 内部クロック回路を無効化

表 7-20. PHYSCR\_Register フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
14	Power_Save_Mode_Enable	R/W	0h	パワー セーブ モード イネーブル: 0h = 通常動作 1h = パワー セーブ モードを有効化
13-12	Power_Save_Modes	R/W	0h	パワー セーブ モード: 0h = 通常動作モード。PHY は完全な機能を備えています 1h = 予約済み 2h = アクティブ スリープ、SMI およびエネルギー検出機能以外のすべての内部回路をシャットダウンする低消費電力アクティブ省エネモード。このモードでは、PHY は 1.4 秒ごとに NLP を送信して、リンク パートナーをウェークアップします。リンク パートナーが検出されると、自動パワーアップが実行されます。
11	Scrambler_Bypass	R/W	0h	スクランブラ バイパス: 0h = スクランブラ バイパス ディスエーブル 1h = スクランブラ バイパス イネーブル
10	予約済み	R	0h	予約済み
9-8	Loopback_FIFO_Depth	R/W	1h	ファーエンド ループバック FIFO 深度: この FIFO は、RX (受信) クロック レートを TX クロック レートに調整するために使用されます。FIFO の深度は、予想される最大パケット サイズとクロック精度に基づいて設定する必要があります。デフォルト値は 5 ニブルに設定されます。 0h = 4 ニブル FIFO 1h = 5 ニブル FIFO 2h = 6 ニブル FIFO 3h = 8 ニブル FIFO
7-5	予約済み	R	0h	予約済み
4	予約済み	R	0h	予約済み
3	Interrupt_Polarity	R/W	1h	割り込み極性: 0h = 定常状態 (通常動作) は 0 ロジック、割り込み中は 1 ロジック 1h = 定常状態 (通常動作) は 1 ロジック、割り込み中は 0 ロジック
2	Test_Interrupt	R/W	0h	割り込みのテスト: 割り込みのテストを容易にするため、PHY に割り込みを生成させます。このビットが設定されている間、割り込みは生成され続けます。 0h = 割り込みを生成しない 1h = 割り込みを生成する
1	Interrupt_Enable	R/W	0h	割り込みイネーブル: MISR レジスタ (0x0012) でのイベント イネーブルに応じて割り込みを有効化します。 0h = イベント ベースの割り込みを無効化 1h = イベント ベースの割り込みを有効化
0	Interrupt_Output_Enable	R/W	0h	割り込み出力イネーブル: INTR/PWRDN ピンを出力として構成することで、INTR/PWRDN ピンを使用してアクティブ Low の割り込みイベントを有効化します。 0h = INTR/PWRDN はパワーダウン ピン 1h = INTR/PWRDN は割り込み出力

## 7.19 MISR1\_Register (オフセット = 12h) [リセット = 0000h]

MISR1\_Register を表 7-21 に示します。

[概略表](#)に戻ります。

表 7-21. MISR1\_Register のフィールド説明

ビット	フィールド	タイプ	リセット	説明
15	Link_Quality_Interrupt	R	0h	リンク品質ステータス変化割り込み: 0h = リンク品質は良好 1h = リンクがオンの場合のリンク品質の変化

表 7-21. MISR1\_Register のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
14	Energy_Detect_Interrupt	R	0h	エネルギー検出ステータス変化割り込み: 0h = エネルギーの変化は未検出 1h = エネルギーの変化を検出済み
13	Link_Status_Changed_Interrupt	R	0h	リンクステータス変化割り込み: 0h = リンクステータスの変化なし 1h = リンクステータス変化時の割り込みが保留中
12	Speed_Changed_Interrupt	R	0h	速度ステータス変化割り込み: 0h = 速度ステータスの変化なし 1h = 速度ステータス変化時の割り込みが保留中
11	Duplex_Mode_Changed_Interrupt	R	0h	二重ステータス変化割り込み: 0h = 二重モードのステータスは変化なし 1h = 二重ステータス変化時の割り込みが保留中
10	Auto-Negotiation_Completed_Interrupt	R	0h	オートネゴシエーション完了割り込み: 0h = オートネゴシエーション完了イベントが保留中 1h = オートネゴシエーション完了割り込みが保留中
9	False_Carrier_Counter_Half-Full_Interrupt	R	0h	誤搬送波カウンタ ハーフフル割り込み: 0h = 誤搬送波ハーフフル イベントは保留中でない 1h = ハーフフル割り込みを上回る誤搬送波カウンタ (レジスタ FCSCR、アドレス 0x0014) が保留中
8	Receive_error_Counter_Half-Full_Interrupt	R	0h	受信エラー カウンタ ハーフフル割り込み: 0h = 受信エラー ハーフフル イベントは保留中でない 1h = ハーフフル割り込みを上回る受信エラー カウンタ (レジスタ RECR、アドレス 0x0015) が保留中
7	Link_Quality_Interrupt_Enable	R/W	0h	リンク品質の変化時の割り込みを有効化
6	Energy_Detect_Interrupt_Enable	R/W	0h	エネルギー変化検出時の割り込みを有効化
5	Link_Status_Changed_Enable	R/W	0h	リンクステータス変化時の割り込みを有効化
4	Speed_Changed_Interrupt_Enable	R/W	0h	速度ステータス変化時の割り込みを有効化
3	Duplex_Mode_Changed_Interrupt_Enable	R/W	0h	二重ステータス変化時の割り込みを有効化
2	Auto-Negotiation_Completed_Enable	R/W	0h	オートネゴシエーション完了イベント時の割り込みを有効化
1	False_Carrier_HF_Enable	R/W	0h	誤搬送波カウンタ レジスタ ハーフフル イベント時の割り込みを有効化
0	Receive_error_HF_Enable	R/W	0h	受信エラー カウンタ レジスタ ハーフフル イベント時の割り込みを有効化

## 7.20 MISR2\_Register (オフセット = 13h) [リセット = 0000h]

MISR2\_Register を表 7-22 に示します。

概略表に戻ります。

表 7-22. MISR2\_Register のフィールド説明

ビット	フィールド	タイプ	リセット	説明
15	EEE_error_Interrupt	R	0h	省電力型イーサネット エラー割り込み: 0h = EEE エラーは未発生 1h = EEE エラーが発生
14	Auto-Negotiation_error_Interrupt	R	0h	オートネゴシエーション エラー割り込み: 0h = オートネゴシエーション エラー イベントが保留中 1h = オートネゴシエーション エラー割り込みが保留中

表 7-22. MISR2\_Register のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
13	Page_Received_Interrupt	R	0h	ページ受信割り込み: 0h = ページは未受信 1h = ページを受信済み
12	Loopback_FIFO_OF/ UF_Event_Interrupt	R	0h	ループバック FIFO オーバーフロー / アンダーフロー イベント割り込み: 0h = 保留中の FIFO オーバーフロー / アンダーフロー イベントなし 1h = FIFO オーバーフロー / アンダーフロー イベント割り込みが保留中
11	MDI_CRssover_Change_Interrupt	R	0h	MDI/MDIX クロスオーバー ステータス変化割り込み: 0h = MDI クロスオーバー ステータスは変化なし 1h = MDI クロスオーバー ステータス変化割り込みが保留中
10	Sleep_Mode_Interrupt	R	0h	スリープ モード イベント割り込み: 0h = 保留中のスリープ モード イベントなし 1h = スリープ モード イベント割り込みが保留中
9	Inverted_Polarity_Interrupt_ _WoL_Packet_Received_Interrupt	R	0h	反転極性割り込み / WoL パケット受信割り込み: 0h = 保留中の反転極性イベントなし / WoL パケットは未受信 1h = 反転極性割り込みが保留中 / WoL パケットを受信済み
8	Jabber_Detect_Interrupt	R	0h	ジャババー検出イベント割り込み: 0h = 保留中のジャババー検出イベントなし 1h = ジャババー検出イベント割り込みが保留中
7	EEE_error_Interrupt_Enable	R/W	0h	EEE エラー時の割り込みを有効化
6	Auto-Negotiation_error_Interrupt_Enable	R/W	0h	オートネゴシエーション エラー イベント時の割り込みを有効化
5	Page_Received_Interrupt_Enable	R/W	0h	ページ受信イベント時の割り込みを有効化
4	Loopback_FIFO_OF/ UF_Enable	R/W	0h	ループバック FIFO オーバーフロー / アンダーフロー イベント時の割り込みを有効化
3	MDI_CRssover_Change_Enable	R/W	0h	MDI/X ステータス変化時の割り込みを有効化
2	Sleep_Mode_Event_Enable	R/W	0h	スリープ モード イベント時の割り込みを有効化
1	Polarity_Changed_ _WoL_Packet_Enable	R/W	0h	極性ステータス変化時の割り込みを有効化
0	Jabber_Detect_Enable	R/W	0h	ジャババー検出イベント時の割り込みを有効化

## 7.21 FCSCR\_Register (オフセット = 14h) [リセット = 0000h]

FCSCR\_Register を表 7-23 に示します。

[概略表](#)に戻ります。

表 7-23. FCSCR\_Register フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	予約済み	R	0h	予約済み
7-0	False_Carrier_Event_Counter	R	0h	誤搬送波イベントカウンタ: この 8 ビット カウンタは、誤搬送波イベントごとにインクリメントします。最大カウント (FFh) に達すると、このカウンタは停止します。カウンタがハーフフル (7Fh) を超えると、割り込みイベントが生成されます。このレジスタは、読み取り時にクリアされます。

## 7.22 RECR\_Register (オフセット = 15h) [リセット = 0000h]

RECR\_Register を表 7-24 に示します。

[概略表](#)に戻ります。

**表 7-24. RECR\_Register フィールドの説明**

ビット	フィールド	タイプ	リセット	説明
15-0	Receive_error_Counter	R	0h	RX_ER カウンタ: 有効なキャリアが存在し (RXDV が設定されている間のみ)、無効なデータ シンボルが少なくとも 1 回発生すると、この 16 ビット カウンタは、検出された受信エラーごとにインクリメントします。MII ループバック モードでは、RX_ER カウンタはカウントされません。最大カウント (FFh) に達すると、カウンタは停止します。カウンタがハーフフル (7Fh) を超えると、割り込みが生成されます。このレジスタは、読み取り時にクリアされます。

## 7.23 BISCR\_Register (オフセット = 16h) [リセット = 0100h]

BISCR\_Register を表 7-25 に示します。

[概略表](#)に戻ります。

**表 7-25. BISCR\_Register フィールドの説明**

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14	BIST_error_Counter_Mode	R/W	0h	BIST エラー カウンタ モード: 0h = シングル モード、BIST エラー カウンタが最大値に達すると、PRBS チェッカはカウントを停止します。 1h = 連続モード、BIST エラー カウンタが最大値に達すると、パルスが生成され、カウンタは再びゼロからカウントを開始します。
13	PRBS_Checker_Config	R/W	0h	PRBS チェッカ構成: ビット [13:12] 0h = PRBS ジェネレータとチェッカの両方がディスエーブル 1h = イネーブル、レジスタ 0x001C で構成されているように、PRBS ジェネレータが定数データを含むシングル パケットを送信。チェッカはディスエーブル。 2h = PRBS 生成はディスエーブル。PRBS チェッカはイネーブル。 3h = PRBS ジェネレータとチェッカの両方がイネーブル。レジスタ 0x001C で構成されているように、PRBS が連続パケットを生成
12	Packet_Generation_Enable	R/W	0h	パケット生成イネーブル: ビット [13:12] 0h = PRBS ジェネレータとチェッカの両方がディスエーブル 1h = イネーブル、レジスタ 0x001C で構成されているように、PRBS ジェネレータが定数データを含むシングル パケットを送信。チェッカはディスエーブル。 2h = PRBS 生成はディスエーブル。PRBS チェッカはイネーブル。 3h = PRBS ジェネレータとチェッカの両方がイネーブル。レジスタ 0x001C で構成されているように、PRBS が連続パケットを生成
11	PRBS_Checker_Lock/Sync	R	0h	PRBS チェッカ ロック / 同期表示: 0h = PRBS チェッカはロックしていない 1h = PRBS チェッカが受信ビット ストリームにロックおよび同期
10	PRBS_Checker_Sync_Loss	R	0h	PRBS チェッカ同期喪失の表示: 0h = PRBS チェッカは同期を失っていない 1h = PRBS チェッカは同期を失った
9	Packet_Generator_Status	R	0h	パケット生成ステータス表示: 0h = パケット ジェネレータはオフ 1h = パケット ジェネレータがアクティブでパケットを生成
8	Power_Mode	R	1h	スリープ モード表示: 0h = PHY がアクティブ スリープ モードであることを示す 1h = PHY が通常の電力モードであることを示す

表 7-25. BISCR\_Register フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	Transmit_in_MII_Loopback	R/W	0h	MII ループバック モードでのデータ送信 (100Mbps でのみ有効) 0h = MII ループバックで、データがラインに送信されない 1h = TX ピンで受信した MAC からのデータを、MII ループバックから RX ピンへの動作に並行して、ラインに送信できる。このビットは、BMCR レジスタ (0x0000) の MII ループバック モード設定ビット [14] でのみ設定できます。
5	予約済み	R	0h	予約済み
4-0	Loopback_Mode	R/W	0h	ループバック モードの選択: PHY には、PHY 内の各種機能ブロックをテストおよび検証するループバックの複数オプションがあります。ループバック モードを有効化すると、DP83825 のデジタルおよびアナログ データパスのインサーキットテストが可能となります。 1h = PCS 入力ループバック (10Base-Te のみで使用) 2h = PCS 出力ループバック 4h = デジタル ループバック (100Base-TX のみで使用) 8h = アナログ ループバック (100Ω の終端が必要) 10h = 逆ループバック

## 7.24 RCSR\_Register (オフセット = 17h) [リセット = 0061h]

RCSR\_Register を表 7-26 に示します。

[概略表](#)に戻ります。

表 7-26. RCSR\_Register フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-13	予約済み	R	0h	予約済み
12	予約済み	R	0h	予約済み
11	予約済み	R	0h	予約済み
10	予約済み	R	0h	予約済み
9	予約済み	R	0h	予約済み
8	RMII_TX_Clock_Shift	R/W	0h	RMII TX クロック シフト: RMII フォロウ モードでのみ適用されます 0h = 送信パスの内部クロック シフトはディスエーブル 1h = 送信パスの内部クロック シフトはイネーブル
7	RMII_Clock_Select	R/W	0h	RMII 基準クロックの選択: ストラップ (リーダー / フォロウ) は、クロック基準の要件を決定します。 0h = 25MHz クロック リファレンス、水晶振動子または CMOS レベル発振器 1h = 50MHz クロック リファレンス、CMOS レベル発振器
6	予約済み	R	0h	予約済み
5	予約済み	R	0h	予約済み
4	RMII_Revision_Select	R/W	0h	RMII リビジョンの選択: 0h = (RMII リビジョン 1.2) CRS_DV はパケットの最後でトグルし、CRS のデアサートを示す 1h = (RMII リビジョン 1.0) 最終データが転送されるまで CRS_DV はアサートされたままとなる CRS_DV は、パケットの最後でトグルしません
3	RMII_Overflow_Status	RC	0h	RX FIFO オーバーフロー ステータス: 0h = 通常 1h = オーバーフローを検出済み
2	RMII_Underflow_Status	RC	0h	RX FIFO アンダーフロー ステータス: 0h = 通常 1h = アンダーフローを検出済み

表 7-26. RCSR\_Register フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1-0	Receive_Elasticity_Buffer_Size	R/W	1h	受信弾性バッファ サイズ: このフィールドは受信弾性バッファを制御し、50MHz の RMII クロックと回復されたデータとの間で周波数変動の許容誤差を許容します。次の値は、シングル パケットの許容範囲をビット単位で示したものです。最小設定では、 $\pm 50\text{ppm}$ の精度で標準イーサネット フレーム サイズを使用できます。周波数の許容誤差を大きくするには、パケット長をスケールアップすることができます ( $\pm 100\text{ppm}$ )。パケット長を 2 で割ります。 0h = 14 ビット許容値 (最大 16800 バイトのパケット) 1h = 2 ビット許容値 (最大 2400 バイトのパケット) 2h = 6 ビット許容値 (最大 7200 バイトのパケット) 3h = 10 ビット許容値 (最大 12000 バイトのパケット)

### 7.25 LEDCR\_Register (オフセット = 18h) [リセット = 0400h]

LEDCR\_Register を表 7-27 に示します。

[概略表](#)に戻ります。

表 7-27. LEDCR\_Register フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-11	予約済み	R	0h	予約済み
10-9	Blink_Rate	R/W	2h	LED 点滅速度 (オン/オフ持続時間) : 0h = 20Hz (50ms) 1h = 10Hz (100ms) 2h = 5Hz (200ms) 3h = 2Hz (500ms)
8	予約済み	R	0h	予約済み
7	LED_Link_Polarity	R/W	0h	LED リンク極性の設定: このピンのストラップ値によって定義されるリンク LED の極性。このレジスタにより、このストラップ値を無効にすることができます。 0h = アクティブ Low 極性設定 1h = アクティブ High 極性設定
6-5	予約済み	R	0h	予約済み
4	Drive_Link_LED	R/W	0h	駆動リンク LED の選択: 0h = 通常動作 1h = ON/OFF ビット [1] の駆動値を LED_0 出力ピンに印加
3-2	予約済み	R	0h	予約済み
1	Link_LED_ON/OFF_Setting	R/W	0h	リンク LED 出力を強制的にオンにする値
0	予約済み	R	0h	予約済み

### 7.26 PHYCR\_Register (オフセット = 19h) [リセット = 8000h]

PHYCR\_Register を表 7-28 に示します。

[概略表](#)に戻ります。

表 7-28. PHYCR\_Register フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	Auto_MDI/X_Enable	R/W	1h	Auto-MDIX イネーブル: 0h = オートネゴシエーション Auto-MDIX 機能を無効化 1h = オートネゴシエーション Auto-MDIX 機能を有効化

表 7-28. PHYCR\_Register フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
14	Force_MDI/X	R/W	0h	MDIX の強制: 0h = 通常動作 (RD ペアで受信、TD ペアで送信) 1h = MDI ペアを強制的に交差 (TD ペアで受信、RD ペアで送信)
13	Pause_RX_Status	R	0h	受信ネゴシエーションの一時停止ステータス:MAC で、一時停止受信を有効化できることを示します。ANAR レジスタのビット [11:10] と ANLPAR レジスタ設定のビット [11:10] に基づきます。この機能は、オートネゴシエーションの最も高い共通分母が全二重技術である場合にのみ、IEEE 802.3 付録 28B の表 28B-3「Pause Resolution」に従って有効化する必要があります。
12	Pause_TX_Status	R	0h	送信ネゴシエーションステータスの一時停止:MAC で、一時停止を有効化できることを示します。ANAR レジスタのビット [11:10] と ANLPAR レジスタ設定のビット [11:10] に基づきます。この機能は、オートネゴシエーションの最も高い共通分母が全二重技術である場合にのみ、IEEE 802.3 付録 28B の表 28B-3「Pause Resolution」に従って有効化できます。
11	MII_Link_Status	R	0h	MII リンクステータス: 0h = アクティブな 100Base-TX 全二重リンクなし、オートネゴシエーションを使用して確立 1h = 100Base-TX 全二重リンクがアクティブ、オートネゴシエーションを使用して確立
10-8	予約済み	R	0h	予約済み
7	Bypass_LED_Stretching	R/W	0h	LED ストレッチをバイパス:このビットを「1」に設定すると、LED ストレッチがバイパスされ、LED に内部値が反映されます。 0h = 通常の LED 動作 1h = LED ストレッチをバイパス
6	予約済み	R	0h	予約済み
5	LED_Configuration	R/W	0h	
4-0	PHY_Address	R	0h	PHY アドレス

## 7.27 10BTSCR\_Register (オフセット = 1Ah) [リセット = 0000h]

10BTSCR\_Register を表 7-29 に示します。

概略表に戻ります。

表 7-29. 10BTSCR\_Register のフィールド説明

ビット	フィールド	タイプ	リセット	説明
15-14	予約済み	R	0h	予約済み
13	Receiver_Threshold_Enable	R/W	0h	レシーバの下限スレッショルド イネーブル: 0h = 通常の 10Base-T 動作 1h = 10Base-T の受信スレッショルドを低くして、より長いケーブルでの動作を実現
12-9	スケルチ	R/W	0h	スケルチ構成: 10Base-T レシーバのピーク スケルチ「オン」スレッショルドを設定するために使用します。以下に示されているように、200mV ~ 600mV で始まり、50mV のステップ サイズで一部重なります。 0h = 200 mV 1h = 250 mV 2h = 300 mV 3h = 350 mV 4h = 400 mV 5h = 450 mV 6h = 500 mV 7h = 550 mV 8h = 600 mV
8	予約済み	R	0h	予約済み

表 7-29. 10BTSCR\_Register のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
7	NLP_Disable	R/W	0h	NLP 転送制御: 0h = NLP の転送を有効化 1h = NLP の転送を無効化
6-5	予約済み	R	0h	予約済み
4	Polarity_Status	R	0h	極性ステータス:このビットは、PHYSTS レジスタ (0x0010) のビット [12] の複製です。これらのビットは、10BTSCR レジスタの読み取り時にクリアされますが、PHYSTS レジスタの読み取り時にはクリアされません。 0h = 正しい極性を検出済み 1h = 反転極性を検出済み
3-1	予約済み	R	0h	予約済み
0	Jabber_Disable	R/W	0h	ジャババー ディスエーブル:注:この機能は、10Base-Te 動作でのみ適用されます。 0h = ジャババー機能はイネーブル 1h = ジャババー機能はディスエーブル

### 7.28 BICSR1\_Register (オフセット = 1Bh) [リセット = 007Dh]

BICSR1\_Register を表 7-30 に示します。

[概略表](#)に戻ります。

表 7-30. BICSR1\_Register のフィールド説明

ビット	フィールド	タイプ	リセット	説明
15-8	BIST_error_Count	R	0h	BIST エラー カウント:PRBS チェッカによって受信されたエラー バイトを保持します。このレジスタの値はロックされ、ビット [15] への書き込みが行われるとクリアされます。BIST エラー カウンタ モードが「0」に設定されている場合、カウントは 0xFF で停止します (レジスタ 0x0016 を参照) 注:ビット [15] に「1」を書き込むと、連続する読み取り動作のためのカウンタ値がロックされ、BIST エラー カウンタがクリアされます。
7-0	BIST_IPG_Length	R/W	7Dh	BIST IPG 長:パケット間ギャップ (IPG) の長さにより、BIST によって生成される任意の 2 つの連続するパケット間のギャップ (バイト単位) のサイズが定義されます。デフォルト値は 0x7D です (125 バイト * 4 = 500 バイトに相当)。実際の IPG 長を得るには、バイナリ値に 4 を掛ける必要があります

### 7.29 BICSR2\_Register (オフセット = 1Ch) [リセット = 05EEh]

BICSR2\_Register を表 7-31 に示します。

[概略表](#)に戻ります。

表 7-31. BICSR2\_Register のフィールド説明

ビット	フィールド	タイプ	リセット	説明
15-11	予約済み	R	0h	予約済み
10-0	BIST_Packet_Length	R/W	5EEh	BIST パケット長:生成された BIST パケットの長さ。このレジスタの値により、BIST によって生成されるすべてのパケットサイズ (バイト単位) が定義されます。デフォルト値は 0x5DC です (1500 バイトに相当)。

### 7.30 CDCR\_Register (オフセット = 1Eh) [リセット = 0000h]

CDCR\_Register を表 7-32 に示します。

[概略表](#)に戻ります。

**表 7-32. CDCR\_Register フィールドの説明**

ビット	フィールド	タイプ	リセット	説明
15	Cable_Diagnostic_Start	R/W	0h	ケーブル診断プロセスの開始: 診断完了通知ビットがトリガされると、診断開始ビットはクリアされます。 0h = ケーブル診断はディスエーブル 1h = ケーブル測定を開始
14	cfg_rescal_en	R/W	0h	抵抗較正開始
13-2	予約済み	R	0h	予約済み
1	Cable_Diagnostic_Status	R	0h	ケーブル診断プロセス完了: 0h = ケーブル診断が未完了 1h = ケーブル測定プロセスが完了したことを示す
0	Cable_Diagnostic_Test_Fail	R	0h	ケーブル診断プロセスの失敗: 0h = ケーブル診断が失敗していない 1h = ケーブル測定プロセスが失敗したことを示す

### 7.31 PHYRCR\_Register (オフセット = 1Fh) [リセット = 0000h]

PHYRCR\_Register を表 7-33 に示します。

[概略表](#)に戻ります。

**表 7-33. PHYRCR\_Register フィールドの説明**

ビット	フィールド	タイプ	リセット	説明
15	Software_Hard_Reset	R/W	0h	ソフトウェア ハードリセット: 0H = 通常動作 1h = PHY をリセット。このビットは自動的にクリアされ、ハードウェアリセットピンと同じ効果を持っています。
14	Digital_reset	R/W	0h	ソフトウェア リスタート: 0H = 通常動作 1h = PHY を再起動。このビットは自動的にクリアされ、レジスタを除くすべての PHY 回路をリセットします。
13	予約済み	R	0h	予約済み
12-0	予約済み	R	0h	予約済み

### 7.32 MLEDCR\_Register (オフセット = 25h) [リセット = 0041h]

MLEDCR\_Register を表 7-34 に示します。

[概略表](#)に戻ります。

**表 7-34. MLEDCR\_Register フィールドの説明**

ビット	フィールド	タイプ	リセット	説明
15-10	予約済み	R	0h	予約済み
9	MLED_Polarity_Swap	R/W	0h	MLED 極性スワップ: MLED 極性はルーティング構成と COL ピンのストラップで決まります。ピンストラップがプルアップされている場合、極性はアクティブ Low になります。ピンストラップがプルダウンされている場合、極性はアクティブ High になります。
8-7	予約済み	R	0h	予約済み

**表 7-34. MLEDCR\_Register フィールドの説明 (続き)**

ビット	フィールド	タイプ	リセット	説明
6-3	LED_0_Configuration	R/W	8h	MLED 構成: 0h = リンク OK 1h = RX/TX 動作 2h = TX 動作 3h = RX 動作 4h = 衝突 5h = 100BASE-TX で高速 6h = 10BASE-T で高速 7h = 全二重 8h = TX/RX 動作時にリンク OK / 点滅 9h = アクティブ ストレッチ信号 Ah = MII リンク (100BT+FD) Bh = LPI モード (EEE) Ch = TX/RX MII エラー Dh = リンク損失 (レジスタ 0x0001 が読み出されるまでオンに維持) Eh = PRBS エラーの場合に点滅 (シングル エラーの場合はオンに維持、カウンタがクリアされるまで維持) Fh = 予約済み
2-1	予約済み	R	0h	予約済み
0	cfg_mled_en	R/W	1h	LED_0 への MLED ルート: 0h = リンク ステータスは LED_0 に配線 1h = MLED は LED_0 に配線

### 7.33 COMPT\_Regsiter レジスタ (オフセット = 27h) [リセット = 0000h]

COMPT\_Regsiter を表 7-35 に示します。

[概略表](#)に戻ります。

**表 7-35. COMPT\_Regsiter レジスタ フィールドの説明**

ビット	フィールド	タイプ	リセット	説明
15-4	予約済み	R	0h	予約済み

表 7-35. COMPT\_Regsiter レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3-0	Compliance_Test_Configuration	R/W	0h	<p>コンプライアンス テスト構成の選択:            レジスタ 0x0027 = 1 のビット [4]、10Base-T テスト パターンを有効化            レジスタ 0x0428 = 1 のビット [4]、100Base-TX テスト モードを有効化            ビット [3:0] は以下のように 10Base-T テスト パターンを選択:            0000 = シングル NLP            0001 = シングル パルス 1            0010 = シングル パルス 0            0011 = 反復 1            0100 = 反復 0            0101 = プリアンブル (反復「10」)            0110 = TP_IDLE が後に続く 1 つの 1            0111 = TP_IDLE が後に続く 1 つの 0            1000 = 反復「1001」シーケンス            1001 = ランダム 10Base-T データ            1010 = TP_IDLE_00            1011 = TP_IDLE_01            1100 = TP_IDLE_10            1101 = TP_IDLE_11</p> <p>100Base-TX テスト モードは、レジスタ 0x0428 のビット {[5]、レジスタ 0x0027 の [3:0]} によって決まります。これらのビットにより、「1」の後に続く 0 の数が決まります。            0,0001 = 「1」の後に 1 個の「0」            0,0010 = 「1」の後に 2 個の「0」            0,0011 = 「1」の後に 3 個の「0」            0,0100 = 「1」の後に 4 個の「0」            0,0101 = 「1」の後に 5 個の「0」            0,0110 = 「1」の後に 6 個の「0」            0,0111 = 「1」の後に 7 個の「0」            ...            1,1111 = 「1」の後に 31 個の「0」            0,0000 = シフトレジスタをクリア</p> <p>注 1: 100Base-TX テスト モードを再構成するには、レジスタ 0x0428 のビット [4] をクリアしてから、新しいパターンを構成するために「1」にリセットする必要があります。            注 2: 100Base-TX または 10Base-T テスト モードを実行するときは、ベーシックモード制御レジスタ (BMCR) アドレス 0x0000 を使って速度を強制的に設定する必要があります。</p>

### 7.34 Register\_101 (オフセット = 101h) [リセット = 2082h]

Register\_101 を表 7-36 に示します。

[概略表](#)に戻ります。

表 7-36. Register\_101 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
15-8	cfg_energy_lost_th_norma l	R/W	20h	DSP_ENERGY_THR_VAL レジスタ
7	cfg_dfe_freeze	R/W	1h	DSP_FRZ_CTRL_REGISTER
6-5	予約済み	R	0h	予約済み
4	cfg_seq_wd_off	R/W	0h	WD_TIMER_CTRL レジスタ
3-1	cfg_ss_bad_mse_tc_sel	R/W	1h	DSP_100M_MSE_TIMER VAL
0	cfg_use_nrg_det_le_only_ as_int	R/W	0h	DSP_100M_CTRL レジスタ

### 7.35 Register\_10a (オフセット = 10Ah) [リセット = 2040h]

Register\_10a を表 7-37 に示します。

[概略表](#)に戻ります。

**表 7-37. Register\_10a のフィールド説明**

ビット	フィールド	タイプ	リセット	説明
15-8	cfg_energy_window_len_normal	R/W	20h	DSP_100M_ENERGY_VAL レジスタ
7-0	cfg_energy_on_th_normal	R/W	40h	DSP_ENERGY_THR_VAL レジスタ

### 7.36 Register\_123 (オフセット = 123h) [リセット = 051Ch]

Register\_123 を表 7-38 に示します。

[概略表](#)に戻ります。

**表 7-38. Register\_123 のフィールド説明**

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14-0	cfg_100m_mse_good2_th	R/W	51Ch	ループ収束チェックの MSE しスレッシュヨルド

### 7.37 Register\_130 (オフセット = 130h) [リセット = 4F28h]

Register\_130 を表 7-39 に示します。

[概略表](#)に戻ります。

**表 7-39. Register\_130 のフィールド説明**

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14-12	cfg_100m_retrain_tc_sel	R/W	4h	ゲイン再キャリブレーションのタイマ
11	cfg_retrain_cagc_bypass	R/W	1h	ゲインの再キャリブレーションを有効にします
10	cfg_retrain_cagc_gear	R/W	1h	ゲイン再キャリブレーション ステップの選択
9	cfg_energy_lost_usec	R/W	1h	エネルギー損失のトリガ選択
8	cfg_energy_lost_clear_sel	R/W	1h	エネルギー損失 CLR の選択
7-0	cfg_seq_wd_sel	R/W	28h	WD タイマ カウント選択

### 7.38 CDSCR\_Register (オフセット = 170h) [リセット = 0C12h]

CDSCR\_Register を表 7-40 に示します。

[概略表](#)に戻ります。

**表 7-40. CDSCR\_Register フィールドの説明**

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14	Cable_Diagnostic_CRss_Disable	R/W	0h	クロス TDR 診断モード: 0h = TDR は 0x170[13] で構成された送信チャネル以外のチャネルでの反射を探す。 1h = TDR は 0x170[13] で構成された送信チャネルと同じチャネルの反射を探す。

表 7-40. CDSCR\_Register フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
13	cfg_tdr_chan_sel	R/W	0h	TDR TX チャンネルの選択: 0h = 送信チャンネルとしてチャンネル A を選択。 1h = 送信チャンネルとしてチャンネル B を選択。
12	cfg_tdr_dc_rem_no_init	R/W	0h	TDR の前に DC 除去モジュールがリセットされないようにし、TDR 反射で DC 除去が有効になるようにする
11	予約済み	R	0h	予約済み
10-8	Cable_Diagnostic_Average_Cycles	R/W	4h	平均される TDR サイクル数 0h = 1 TDR サイクル 1h = 2 TDR サイクル 2h = 4 TDR サイクル 3h = 8 TDR サイクル 4h = 16 TDR サイクル 5h = 32 TDR サイクル 6h = 64 TDR サイクル 7h = 予約済み
7	予約済み	R	0h	予約済み
6-4	cfg_tdr_seg_num	R/W	1h	TDR を実行するケーブル セグメントを選択 - 000b = 予約済み 001b = 0m ~ 10m 010b = 10m ~ 20m 011b = 20m ~ 40m 100b = 40m ~ 80m 101b = 80m 以上 110b = 予約済み 111b = 予約済み
3-0	予約済み	R	0h	予約済み

### 7.39 CDSCR2\_Register (オフセット = 171h) [リセット = C850h]

CDSCR2\_Register を表 7-41 に示します。

[概略表](#)に戻ります。

表 7-41. CDSCR2\_Register のフィールド説明

ビット	フィールド	タイプ	リセット	説明
15-0	予約済み	R	0h	予約済み

### 7.40 TDR\_172\_Register (オフセット = 172h) [リセット = 0000h]

TDR\_172\_Register を表 7-42 に示します。

[概略表](#)に戻ります。

表 7-42. TDR\_172\_Register のフィールド説明

ビット	フィールド	タイプ	リセット	説明
15-0	予約済み	R	0h	予約済み

### 7.41 CDSCR3\_Register (オフセット = 173h) [リセット = 1304h]

CDSCR3\_Register を表 7-43 に示します。

[概略表](#)に戻ります。

**表 7-43. CDSCR3\_Register のフィールド説明**

ビット	フィールド	タイプ	リセット	説明
15-8	cfg_tdr_seg_duration	R/W	13h	TDR に選択されたセグメントの継続時間。計算方法:セグメント #1 の場合は (Length_in_meters * 2 * 5.2)/8、セグメント #2 の場合は 8'hd、セグメント #3 の場合は 8'h1A、セグメント #4 の場合は 8'h34、セグメント #5 の場合は 8'h8F
7-0	cfg_tdr_initial_skip	R/W	4h	セグメントの開始前に回避するサンプル数:セグメント #1 の場合は 8'h7、セグメント #2 の場合は 8'h14、セグメント #3 の場合は 8'h21、セグメント #4 の場合は 8'h3B、セグメント #5 の場合は 8'h6F

#### 7.42 TDR\_174\_Register (オフセット = 174h) [リセット = 0000h]

TDR\_174\_Register を表 7-44 に示します。

[概略表](#)に戻ります。

**表 7-44. TDR\_174\_Register のフィールド説明**

ビット	フィールド	タイプ	リセット	説明
15-0	予約済み	R	0h	予約済み

#### 7.43 TDR\_175\_Register (オフセット = 175h) [リセット = 1004h]

TDR\_175\_Register を表 7-45 に示します。

[概略表](#)に戻ります。

**表 7-45. TDR\_175\_Register のフィールド説明**

ビット	フィールド	タイプ	リセット	説明
15-14	予約済み	R	0h	予約済み
13-11	cfg_tdr_sdw_avg_loc	R/W	2h	TDR シャドウ平均位置:セグメント #1 の場合は 3'h2、セグメント #2 の場合は 3'h2、セグメント #3 の場合は 3'h2、セグメント #4 の場合は 3'h2、セグメント #5 の場合は 3'h2
10-5	予約済み	R	0h	予約済み
4	予約済み	R	0h	予約済み
3-0	cfg_tdr_fwd_shadow	R/W	4h	構成されたセグメントのフォワード シャドウの長さ (フォルトピークのシャドウが別のフォルトピークと見なされるのを避けるため):セグメント #1 の場合は 4'h4、セグメント #2 の場合は 4'h4、セグメント #3 の場合は 4'h5、セグメント #4 の場合は 4'h8、セグメント #5 の場合は 4'hB

#### 7.44 TDR\_176\_Register (オフセット = 176h) [リセット = 0005h]

TDR\_176\_Register を表 7-46 に示します。

[概略表](#)に戻ります。

**表 7-46. TDR\_176\_Register のフィールド説明**

ビット	フィールド	タイプ	リセット	説明
15-5	予約済み	R	0h	予約済み
4-0	cfg_tdr_p_loc_thresh_seg	R/W	5h	

### 7.45 CDSCR4\_Register (オフセット = 177h) [リセット = 1E00h]

CDSCR4\_Register を表 7-47 に示します。

[概略表](#)に戻ります。

**表 7-47. CDSCR4\_Register のフィールド説明**

ビット	フィールド	タイプ	リセット	説明
15-13	予約済み	R	0h	予約済み
12-8	Short_Cables_Threshold	R/W	1Eh	ショートケーブルでの強い反射を補償する TH
7-0	予約済み	R	0h	予約済み

### 7.46 TDR\_178\_Register (オフセット = 178h) [リセット = 0002h]

TDR\_178\_Register を表 7-48 に示します。

[概略表](#)に戻ります。

**表 7-48. TDR\_178\_Register のフィールド説明**

ビット	フィールド	タイプ	リセット	説明
15-3	予約済み	R	0h	予約済み
2-0	cfg_tdr_tx_pulse_width_seg	R/W	2h	セグメントの TDR TX パルス幅:セグメント #1 の場合は 3'h2、セグメント #2 の場合は 3'h2、セグメント #3 の場合は 3'h2、セグメント #4 の場合は 3'h2、セグメント #5 の場合は 3'h6

### 7.47 CDLRR1\_Register (オフセット = 180h) [リセット = 0000h]

CDLRR1\_Register を表 7-49 に示します。

[概略表](#)に戻ります。

**表 7-49. CDLRR1\_Register のフィールド説明**

ビット	フィールド	タイプ	リセット	説明
15-8	予約済み	R	0h	予約済み
7-0	TD_Peak_Location_1	R	0h	TDR メカニズムによって送信チャネル (TD) で検出された最初のピークの位置。これらのビットの値は、PHY からの距離に変換する必要があります。

### 7.48 CDLRR2\_Register (オフセット = 181h) [リセット = 0000h]

CDLRR2\_Register を表 7-50 に示します。

[概略表](#)に戻ります。

**表 7-50. CDLRR2\_Register のフィールド説明**

ビット	フィールド	タイプ	リセット	説明
15-0	予約済み	R	0h	予約済み

### 7.49 CDLRR3\_Register (オフセット = 182h) [リセット = 0000h]

CDLRR3\_Register を表 7-51 に示します。

[概略表](#)に戻ります。

**表 7-51. CDLRR3\_Register のフィールド説明**

ビット	フィールド	タイプ	リセット	説明
15-0	予約済み	R	0h	予約済み

### 7.50 CDLRR4\_Register (オフセット = 183h) [リセット = 0000h]

CDLRR4\_Register を表 7-52 に示します。

[概略表](#)に戻ります。

**表 7-52. CDLRR4\_Register のフィールド説明**

ビット	フィールド	タイプ	リセット	説明
15-0	予約済み	R	0h	予約済み

### 7.51 CDLRR5\_Register (オフセット = 184h) [リセット = 0000h]

CDLRR5\_Register を表 7-53 に示します。

[概略表](#)に戻ります。

**表 7-53. CDLRR5\_Register のフィールド説明**

ビット	フィールド	タイプ	リセット	説明
15-0	予約済み	R	0h	予約済み

### 7.52 CDLAR1\_Register (オフセット = 185h) [リセット = 0000h]

CDLAR1\_Register を表 7-54 に示します。

[概略表](#)に戻ります。

**表 7-54. CDLAR1\_Register のフィールド説明**

ビット	フィールド	タイプ	リセット	説明
15-7	予約済み	R	0h	予約済み
6-0	TD_Peak_Amplitude_1	R	0h	TDR メカニズムによって送信チャネル (TD) で検出された最初のピークの振幅。これらのビットの値は、ケーブル障害や干渉のタイプに変換されます。

### 7.53 CDLAR2\_Register (オフセット = 186h) [リセット = 0000h]

CDLAR2\_Register を表 7-55 に示します。

[概略表](#)に戻ります。

**表 7-55. CDLAR2\_Register のフィールド説明**

ビット	フィールド	タイプ	リセット	説明
15-0	予約済み	R	0h	予約済み

### 7.54 CDLAR3\_Register (オフセット = 187h) [リセット = 0000h]

CDLAR3\_Register を表 7-56 に示します。

[概略表](#)に戻ります。

表 7-56. CDLAR3\_Register のフィールド説明

ビット	フィールド	タイプ	リセット	説明
15-0	予約済み	R	0h	予約済み

### 7.55 CDLAR4\_Register (オフセット = 188h) [リセット = 0000h]

CDLAR4\_Register を表 7-57 に示します。

[概略表](#)に戻ります。

表 7-57. CDLAR4\_Register のフィールド説明

ビット	フィールド	タイプ	リセット	説明
15-0	予約済み	R	0h	予約済み

### 7.56 CDLAR5\_Register (オフセット = 189h) [リセット = 0000h]

CDLAR5\_Register を表 7-58 に示します。

[概略表](#)に戻ります。

表 7-58. CDLAR5\_Register のフィールド説明

ビット	フィールド	タイプ	リセット	説明
15-0	予約済み	R	0h	予約済み

### 7.57 CDLAR6\_Register (オフセット = 18Ah) [リセット = 0000h]

CDLAR6\_Register を表 7-59 に示します。

[概略表](#)に戻ります。

表 7-59. CDLAR6\_Register のフィールド説明

ビット	フィールド	タイプ	リセット	説明
15-12	予約済み	R	0h	予約済み
11	TD_Peak_Polarity_1	R	0h	TDR メカニズムによって送信チャネル (TD) で検出された最初のピークの極性。
10-6	予約済み	R	0h	予約済み
5	CRss_Detect_on_TD	R	0h	TD でクロス リフレクションが検出されました。TD と TD の間で短絡していることを示しています
4	予約済み	R	0h	予約済み
3	予約済み	R	0h	予約済み
2	予約済み	R	0h	予約済み
1-0	予約済み	R	0h	予約済み

### 7.58 IO\_CFG\_Register (オフセット = 302h) [リセット = 0000h]

IO\_CFG\_Register を表 7-60 に示します。

[概略表](#)に戻ります。

**表 7-60. IO\_CFG\_Register フィールドの説明**

ビット	フィールド	タイプ	リセット	説明
15-14	MaC_Impedance_control	R/W	0h	MAC インピーダンス制御:MAC インターフェイスのインピーダンス制御により、デジタル ピンの直列終端が設定されます。 0h = 50Ω 終端 1h = 25Ω 終端
13	予約済み	R	0h	予約済み
12-9	予約済み	R	0h	予約済み
8	CRS_DV/RX_DV	R/W	0h	RMII モードでは有効です。ピン 20 (CRS_DV) を RX_DV または CRS_DV (RX_DV + CRS) として機能するように構成します 0h = CRS_DV 1h = RX_DV
7	予約済み	R	0h	予約済み
6	cfg_clkout25m_off	R/W	0h	消費電流を低減するために、このビットはアプリケーションによって設定する必要があります 0h = CLKOUT25 が利用可能 1h = LED_1_GPIO が利用可能
5-0	予約済み	R	0h	予約済み

### 7.59 IO\_CFG\_2\_Register (オフセット = 305h) [リセット = 0008h]

IO\_CFG\_2\_Register を表 7-61 に示します。

[概略表](#)に戻ります。

**表 7-61. IO\_CFG\_2\_Register のフィールド説明**

ビット	フィールド	タイプ	リセット	説明
15-6	予約済み	R	0h	予約済み
5-3	予約済み	R	0h	予約済み
2-0	Pin2_GPIO_Configuration	R/W	0h	GPIO の構成 0h = LED_2 (フオロフ モード時のみ) 1h = LED_2 2h = WoL 3h = 0 4h = MDINT 5h = 0 6h = 1 7h = 0

### 7.60 SPARE\_OUT レジスタ (オフセット = 308h) [リセット = 0002h]

SPARE\_OUT を表 7-62 に示します。

[概略表](#)に戻ります。

表 7-62. SPARE\_OUT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-1	spare_out	R/W	1h	アナログ予備ビットビット 1 - リビジョン ID として機能するため 1'b1 に接続ビット 2 - cfg_rmii_rx_clk_sel ビット 4 - rx_is_dis が High の場合にすべてのループをフリーズ ビット 5: LPI_WAKE 状態で MSE チェッカーをバイパス ビット 6 - LPI_FREEZE に入る前に STEADY_STATE でフリーズを有効化 ビット 7: LPI フリーズ サイクルのカウント ベース フリーズ メカニズムを有効化 ビット 8: LPI のリフレッシュサイクル中のカウント ベース フリーズには、176µs/192µs の tmer を選択 ビット 10 - LPI_WAIT で fagc をフリーズ ビット 11 - LPI_WAIT で ffe をフリーズ ビット 12 - LPI_WAIT で dfe をフリーズ ビット 13 - LPI_WAIT で kp ループをフリーズ ビット 14 - LPI_WAIT で kf ループをフリーズ ビット 15 - LPI_WAIT で DC 除去をフリーズ
0	cfg_clkout_25m_off_status	R	0h	このビットは DP83825I にのみ適用されます。また、R のみです 0h = CLKOUT25 が利用可能 1h = LED_1_GPIO は使用可能であり、digpad3_3_gpio_ctrl によって制御されます

## 7.61 DAC\_CFG\_0 レジスタ (オフセット = 30Bh) [リセット = 0C00h]

DAC\_CFG\_0 を表 7-63 に示します。

概略表に戻ります。

表 7-63. DAC\_CFG\_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	予約済み	R	0h	予約済み
11-6	cfg_dac_minus_one_val	R/W	30h	mlt3 エンコードされたマイナス 1 のデータの LD データ
5-0	cfg_dac_zero_val	R/W	0h	mlt3 エンコードされたゼロのデータの LD データ

## 7.62 DAC\_CFG\_1 レジスタ (オフセット = 30Ch) [リセット = 0020h]

DAC\_CFG\_1 を表 7-64 に示します。

概略表に戻ります。

表 7-64. DAC\_CFG\_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-6	予約済み	R	0h	予約済み
5-0	cfg_dac_plus_one_val	R/W	20h	mlt3 エンコードされたプラス 1 のデータの LD データ

## 7.63 DSP\_CFG\_0 レジスタ (オフセット = 30Fh) [リセット = 0464h]

DSP\_CFG\_0 を表 7-65 に示します。

概略表に戻ります。

表 7-65. DSP\_CFG\_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-11	予約済み	R	0h	予約済み
10-8	cfg_100m_ffe1_tc_sel	R/W	4h	FFE_1 状態のタイマ
7	cfg_ffe1_freeze	R/W	0h	FFE_1 状態で FFE オプションをフリーズします。1 -> フリーズします。
6	cfg_ffe2_freeze	R/W	1h	FFE_2 状態で FFE オプションをフリーズします。1 -> フリーズします。

表 7-65. DSP\_CFG\_0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5	cfg_ffe3_freeze	R/W	1h	FFE_3 状態で FFE オプションをフリーズします。1 -> フリーズします。
4-2	cfg_deq_thr_check_en	R/W	1h	DEQ スweep中の各種メトリック チェックのためのビットを有効化します。cfg_deq_thr_check_en[0] -> DFE 係数スレッショルド チェックを有効にします。cfg_deq_thr_check_en[1] -> MSE のスレッショルドチェックを有効にします。cfg_deq_thr_check_en[2] -> プリカーソル値のチェックを有効にします。
1	cfg_tloop_freqacc_clr_deq_sweep	R/W	0h	DEQ スweepの反復中に tloop 周波数アキュムレータを再初期化するオプション。
0	cfg_dfe_reset_deqsweep	R/W	0h	DEQ スweepの反復中に DFE 係数をリセットするオプション。

#### 7.64 DSP\_CFG\_2 レジスタ (オフセット = 311h) [リセット = 01FCh]

DSP\_CFG\_2 を表 7-66 に示します。

[概略表](#)に戻ります。

表 7-66. DSP\_CFG\_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	cfg_cagc_gain_mapping_sel	R/W	0h	CAGC により、BPF および PGA ゲインの各種組み合わせを選択するオプション。0 -> デフォルトのオプション。その他のオプションは 1 と 2 です。(オプションは 3 つのみです。)
13	cfg_deq_coeff_sel	R/W	0h	イコライゼーション モード制御レジスタ 0h = 低プリカーソルの係数。 1h = 表 2 (LS) の DEQ 係数
12-9	予約済み	R	0h	予約済み
8-1	cfg_deq_coeff_0_val_1	R/W	FEh	ケーブル長が 75m 未満の場合のイコライゼーション強制 coefficient_0 の値
0	予約済み	R	0h	予約済み

#### 7.65 DSP\_CFG\_4 レジスタ (オフセット = 313h) [リセット = 06F8h]

DSP\_CFG\_4 を表 7-67 に示します。

[概略表](#)に戻ります。

表 7-67. DSP\_CFG\_4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	cfg_deq_coeff_0_val_4	R/W	6h	ケーブル長が 130m 以上の場合のイコライゼーション強制 coefficient_0 の値
7-0	cfg_deq_coeff_1_val_1	R/W	F8h	ケーブル長が 75m 未満の場合のイコライゼーション強制 coefficient_1 の値

#### 7.66 DSP\_CFG\_13 レジスタ (オフセット = 31Ch) [リセット = 1101h]

DSP\_CFG\_13 を表 7-68 に示します。

[概略表](#)に戻ります。

表 7-68. DSP\_CFG\_13 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	cfg_kp_force_en	R/W	0h	タイミング ループ pRp アーム ゲインの強制を有効化します

表 7-68. DSP\_CFG\_13 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
14	cfg_kf_force_en	R/W	0h	タイミング ループ積分アーム ゲインの強制を有効化します
13-11	cfg_kp_force_val	R/W	2h	タイミング ループ pRp アーム ゲインを強制する値
10-7	cfg_kf_force_val	R/W	2h	タイミング ループ積分アーム ゲインを強制する値
6	cfg_kp_freeze_en	R/W	0h	pRp アームをフリーズする場合に有効にします
5	cfg_kp_freeze_val	R/W	0h	pRp アームをフリーズする値。 0h = フリーズ解除 1h = フリーズ。
4	cfg_kf_freeze_en	R/W	0h	積分アームをフリーズする場合に有効にします
3	cfg_kf_freeze_val	R/W	0h	積分アームをフリーズする値。 0h = フリーズ解除 1h = フリーズ
2	cfg_pd_pol	R/W	0h	TED 極性反転
1	cfg_energy_det_in_sel	R/W	0h	エネルギー計算の入力を選択するオプション。 0h = スライサ入力 (デフォルト) 1h = ADC 出力 (DC なし)
0	cfg_compute_pre_cursor_metric_en	R/W	1h	プリカーソル メトリック計算を有効にします

### 7.67 DSP\_CFG\_16 レジスタ (オフセット = 31Fh) [リセット = FC36h]

DSP\_CFG\_16 を表 7-69 に示します。

[概略表](#)に戻ります。

表 7-69. DSP\_CFG\_16 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-11	cfg_100m_frz_frz	R/W	1Fh	シーケンス状態で cmd をフリーズ: gRups による LPI_FREEZE: [4] FFE [3] Tloop_Kf [2] Tloop_Kp [1] dfe [0] Fagc、ffe、mse
10-6	cfg_100m_wake_frz	R/W	10h	シーケンス状態で cmd をフリーズ: LPI_Wake、gRups による: [4] FFE [3] Tloop_Kf [2] Tloop_Kp [1] dfe [0] Fagc、ffe、mse
5-1	cfg_100m_flush_frz	R/W	1Bh	シーケンス状態で cmd をフリーズ: LPI_Wake、gRups による: [4] FFE [3] Tloop_Kf [2] Tloop_Kp [1] dfe [0] Fagc、ffe、mse
0	予約済み	R	0h	予約済み

### 7.68 DSP\_CFG\_25 レジスタ (オフセット = 33Ch) [リセット = EC00h]

DSP\_CFG\_25 を表 7-70 に示します。

[概略表](#)に戻ります。

表 7-70. DSP\_CFG\_25 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	deq_coeff_1	R	ECh	予約済み
7	予約済み	R	0h	予約済み
6-0	cfg_deq_coeff_force	R/W	0h	EQUALIZATION_FRC_CTRL レジスタ

### 7.69 DSP\_CFG\_27 レジスタ (オフセット = 33Eh) [リセット = 261Eh]

DSP\_CFG\_27 を表 7-71 に示します。

[概略表](#)に戻ります。

**表 7-71. DSP\_CFG\_27 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
15	cfg_wait_lpi_el_dis	R/W	0h	EEE_WAKE_CTRL レジスタ
14-13	cfg_dfe_coeff_lim_sel	R/W	1h	DFE 係数の最大制限の制限を有効にします
12-8	cfg_dfe_coeff_lim_val	R/W	6h	DFE 係数の制限値
7	cfg_wait_lpi_ed_dis	R	0h	EEE_WAKE_CTRL レジスタ
6	cfg_mse_th_scaled_en	R/W	0h	DEQ スイープにおいて、PGA ゲインに基づく MSE スレッシュホールドのスケールリングを有効にします
5	cfg_dfe_th_scaled_en	R/W	0h	DEQ スイープにおいて、PGA ゲインに基づく DFE スレッシュホールドのスケールリングを有効にします
4-0	cfg_dfe_mse_th_offset	R/W	1Eh	MSE および DFE スレッシュホールドのスケールリングに使用する PGA 減衰レベルにオフセットを追加します

### 7.70 ANA\_LD\_PRG\_SL\_Register (オフセット = 404h) [リセット = 0080h]

ANA\_LD\_PRG\_SL\_Register を [表 7-72](#) に示します。

[概略表](#)に戻ります。

**表 7-72. ANA\_LD\_PRG\_SL\_Register フィールドの説明**

ビット	フィールド	タイプ	リセット	説明
15-0	ld_pRg_sl	R/W	80h	<15:12> ld_bias <11:8> cm_control: 出力同相モードを変更するデバッグモード <7:5> iq_control:ld 消費電力 - 000:12.7mA、100:15.7mA、111:19.5mA <4:0> 未使用 <0>ld_burnin_mode

### 7.71 ANA\_RX10BT\_CTRL\_Register (オフセット = 40Dh) [リセット = 0000h]

ANA\_RX10BT\_CTRL\_Register を [表 7-73](#) に示します。

[概略表](#)に戻ります。

**表 7-73. ANA\_RX10BT\_CTRL\_Register のフィールド説明**

ビット	フィールド	タイプ	リセット	説明
15-5	予約済み	R	0h	予約済み
4-0	rx10bt_comp_sl	R/W	0h	10B-T 電流ゲイン、正と負の両方で共通、200mV ~ 575mV、ステップサイズ 25mV PG1.1 変更:ビット 3 は内部で反転されています

### 7.72 Register\_416 (オフセット = 416h) [リセット = 083Ch]

Register\_416 を [表 7-74](#) に示します。

[概略表](#)に戻ります。

**表 7-74. Register\_416 のフィールド説明**

ビット	フィールド	タイプ	リセット	説明
15-13	予約済み	R	0h	予約済み
12	hpf_cal_force_ctrl	R/W	0h	ANA RX PATH CTRL レジスタ
11-8	hpf_cal_sl	R/W	8h	予約済み
7	hpf_gain_force_ctrl	R/W	0h	ANA RX PATH CTRL レジスタ
6	予約済み	R	0h	予約済み

表 7-74. Register\_416 のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-4	hpf_gain_sl	R/W	3h	ANA RX PATH CTRL レジスタ
3-2	予約済み	R	0h	予約済み
1	hpf_en_force_ctrl	R/W	0h	ANA RX PATH CTRL レジスタ
0	hpf_en_sl	R/W	0h	ANA RX PATH CTRL レジスタ

### 7.73 DPDWN\_Register (オフセット = 428h) [リセット = 0000h]

DPDWN\_Register を表 7-75 に示します。

[概略表](#)に戻ります。

表 7-75. DPDWN\_Register フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-6	予約済み	R	0h	予約済み
5	予約済み	R	0h	予約済み
4	予約済み	R	0h	予約済み
3	予約済み	R	0h	予約済み
2	Deep_Power_Down_Enable	R/W	0h	ディープ パワーダウン有効化:。注: 設定されると、DP83825 はディープ パワーダウン モードに移行します。ディープ パワーダウン モードでは、レジスタ アクセス (レジスタ 0x0000 でビット [11] を設定) または INT/PWDN ピンを使用して、最初に IEEE パワーダウンをイネーブルにする必要があります 0h = 通常動作 1h = ディープ パワーダウン有効化
1	予約済み	R	0h	予約済み
0	予約済み	R	0h	予約済み

### 7.74 Register\_429 (オフセット = 429h) [リセット = 0000h]

Register\_429 を表 7-76 に示します。

[概略表](#)に戻ります。

表 7-76. Register\_429 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
15-8	top_pRg_vbgbyr_control	R/W	0h	IVBGR_CTRL レジスタ
7-0	予約済み	R	0h	予約済み

### 7.75 GENCFG\_Register (オフセット = 456h) [リセット = 0008h]

GENCFG\_Register を表 7-77 に示します。

[概略表](#)に戻ります。

表 7-77. GENCFG\_Register フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-4	予約済み	R	0h	予約済み
3	Min_IPG_Enable	R/W	1h	最小 IPG イネーブル: 0h = IPG を 0.20 $\mu$ s に設定 1h = 最小パケット間隔を有効化 (IPG を 0.20 $\mu$ s ではなく 120ns に設定)

表 7-77. GENCFG\_Register フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2-0	予約済み	R	0h	予約済み

### 7.76 LEDCFG\_Register (オフセット = 460h) [リセット = 0515h]

LEDCFG\_Register を表 7-78 に示します。

概略表に戻ります。

表 7-78. LEDCFG\_Register フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	予約済み	R	0h	予約済み
11-8	予約済み	R	0h	予約済み
7-4	LED_2_control	R/W	1h	LED_2 制御:LED_2 のソースを選択します。 0h = リンク OK 1h = RX/TX 動作 2h = TX 動作 3h = RX 動作 4h = 衝突 5h = 100BASE-TX で高速 6h = 10BASE-T で高速 7h = 全二重 8h = TX/RX 動作時にリンク OK / 点滅 9h = アクティブ ストレッチ信号 Ah = MII リンク (100BT+FD) Bh = LPI モード (省電力型イーサネット) Ch = TX/RX MII エラー Dh = リンク損失 (レジスタ 0x0001 が読み出されるまでオンに維持) Eh = PRBS エラーの場合に点滅 (シングル エラーの場合はオンに維持、カウンタがクリアされるまで維持) Fh = 予約済み
3-0	予約済み	R	0h	予約済み

### 7.77 IOCTRL\_Register (オフセット = 461h) [リセット = 0010h]

IOCTRL\_Register を表 7-79 に示します。

概略表に戻ります。

表 7-79. IOCTRL\_Register フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14	予約済み	R	0h	予約済み
13-12	予約済み	R	0h	予約済み
11	予約済み	R	0h	予約済み
10-7	予約済み	R	0h	予約済み
6-5	予約済み	R	0h	予約済み
4-0	予約済み	R	0h	予約済み

### 7.78 SOR1\_Register (オフセット = 467h) [リセット = 0533h]

SOR1\_Register を表 7-80 に示します。

概略表に戻ります。

**表 7-80. SOR1\_Register のフィールド説明**

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14	CRS_DV/RX_DV	R	0h	予約済み
13	CFG_PHY_AD_1	R	0h	PhyAddress[1] のラッチ値
12	CFG_PHY_AD_0	R	0h	PhyAddress[0] のラッチ値
11	予約済み	R	0h	予約済み
10	予約済み	R	0h	予約済み
9	予約済み	R	0h	予約済み
8	CFG_AMDIX	R	1h	1 = 自動 MDI 0 = 手動 MDI
7	予約済み	R	0h	予約済み
6	予約済み	R	0h	予約済み
5	予約済み	R	0h	予約済み
4	予約済み	R	0h	予約済み
3	CFG_RMII_Leader/ Follower	R	0h	0 = RMII リーダー: XI 1 = RMII フォロワでの 25MHz クロック基準: XI での 50MHz クロック基準
2	予約済み	R	0h	予約済み
1	予約済み	R	0h	予約済み
0	Autonegotiation_enable	R	1h	1: オートネゴシエーション イネーブル 0: オートネゴシエーション ディスエーブル

### 7.79 SOR2\_Register (オフセット = 468h) [リセット = 1290h]

SOR2\_Register を表 7-81 に示します。

概略表に戻ります。

**表 7-81. SOR2\_Register のフィールド説明**

ビット	フィールド	タイプ	リセット	説明
15-13	予約済み	R	0h	予約済み
12	予約済み	R	0h	予約済み
11	CRS_DV_vs_RX_DV	R	0h	
10	予約済み	R	0h	予約済み
9	予約済み	R	0h	予約済み
8	予約済み	R	0h	予約済み
7	CFG_LED_LINK_POL	R	1h	1 = LED_LINK はアクティブ High 0 = LED_LINK はアクティブ Low
6	予約済み	R	0h	予約済み
5	予約済み	R	0h	予約済み
4	予約済み	R	0h	予約済み
3	予約済み	R	0h	予約済み
2	予約済み	R	0h	予約済み
1	予約済み	R	0h	予約済み
0	予約済み	R	0h	予約済み

## 7.80 Register\_0x469\_Register (オフセット = 469h) [リセット = 0040h]

Register\_0x469\_Register を表 7-82 に示します。

概略表に戻ります。

表 7-82. Register\_0x469\_Register のフィールド説明

ビット	フィールド	タイプ	リセット	説明
15-11	予約済み	R	0h	予約済み
10	予約済み	R	0h	予約済み
9	予約済み	R	0h	予約済み
8	予約済み	R	0h	予約済み
7	予約済み	R	0h	予約済み
6	led_2_polarity	R/W	1h	led 2 極性 0h = アクティブ Low 1h = アクティブ High
5	led_2_drv_val	R/W	0h	led 2 駆動値
4	led_2_drv_en	R/W	0h	led 2 駆動イネーブル 0h = 通常動作 1h = LED 極性を駆動
3	予約済み	R	0h	予約済み
2	予約済み	R	0h	予約済み
1	予約済み	R	0h	予約済み
0	予約済み	R	0h	予約済み

## 7.81 RXFCFG\_Register (オフセット = 4A0h) [リセット = 1081h]

RXFCFG\_Register を表 7-83 に示します。

概略表に戻ります。

表 7-83. RXFCFG\_Register フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	予約済み	R	0h	予約済み
13	予約済み	R	0h	予約済み
12	CRC_Gate	R/W	1h	CRC ゲート: マジック パケットに不良 CRC が含まれている場合、イネーブル時は表示 (ステータス、割り込み、GPIO) はありません。 0h = 不良 CRC はマジック パケットまたはパターンの表示をゲートしない 1h = 不良 CRC はマジック パケットおよびパターンの表示をゲートする
11	WoL_Level_Change_Indication_Clear	W	0h	WoL レベル変化表示クリア: WoL 表示がレベル変化モードに設定されている場合、このビットは書き込み時にレベルをクリアします。 0h=クリア
10-9	WoL_Pulse_Indication_Select	R/W	0h	WoL パルス表示の選択: WoL 表示がパルス モードに設定されている場合のみ有効です。 0h = 8 クロック サイクル (125MHz クロック) 1h = 16 クロック サイクル 2h = 32 クロック サイクル 3h = 64 クロック サイクル
8	WoL_Indication_Select	R/W	0h	WoL 表示の選択: 0h = パルス モード 1h = レベル変化モード
7	WoL_Enable	R/W	1h	WoL イネーブル: 0h = 通常動作 1h = Wake-on-LAN (WoL) を有効化

表 7-83. RXFCFG\_Register フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6	Bit_Mask_Flag	R/W	0h	ビット マスク フラグ
5	Secure-ON_Enable	R/W	0h	マジック パケットの Secure-ON パスワードを有効化
4	予約済み	R	0h	予約済み
3	予約済み	R	0h	予約済み
2	予約済み	R	0h	予約済み
1	予約済み	R	0h	予約済み
0	WoL_Magic_Packet_Enable	R/W	1h	マジック パケット受信時の割り込みを有効化します

## 7.82 RXFS\_Register (オフセット = 4A1h) [リセット = 1000h]

RXFS\_Register を表 7-84 に示します。

[概略表](#)に戻ります。

表 7-84. RXFS\_Register フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-13	予約済み	R	0h	予約済み
12	WoL_Interrupt_Source	R/W	1h	WoL 割り込みソース: レジスタ 0x0013 のビット [1] の割り込みソース。 WoL を有効化すると、このビットは自動的に WoL 割り込みに設定されます。 0h = データ極性割り込み 1h = WoL 割り込み
11-8	予約済み	R	0h	予約済み
7	SFD_error	RC	0h	SFD エラー: 0h = SFD エラーなし 1h = SFD エラーのあるパケット (ビット [13] レジスタ 0x04A0 に示される SFD バイトなし)
6	Bad_CRC	RC	0h	不良 CRC: 0h = 不良 CRC は未受信 1h = 不良 CRC を受信済み
5	Secure-On_Hack_Flag	RC	0h	Secure-ON ハック フラグ: 0h = 有効な Secure-ON パスワード 1h = マジック パケットの無効なパスワードを検出済み
4	予約済み	R	0h	予約済み
3	予約済み	R	0h	予約済み
2	予約済み	R	0h	予約済み
1	予約済み	R	0h	予約済み
0	WoL_Magic_Packet_Status	RC	0h	WoL マジック パケット ステータス:

## 7.83 RXFPMD1\_Register (オフセット = 4A2h) [リセット = 0000h]

RXFPMD1\_Register を表 7-85 に示します。

[概略表](#)に戻ります。

表 7-85. RXFPMD1\_Register のフィールド説明

ビット	フィールド	タイプ	リセット	説明
15-8	MAC_Destination_Addresses_Byte_4	R/W	0h	一致データ: MAC 宛先アドレスに構成されている

**表 7-85. RXFPMD1\_Register のフィールド説明 (続き)**

ビット	フィールド	タイプ	リセット	説明
7-0	MAC_Destination_Addresses_Byte_5_MSB	R/W	0h	一致データ:MAC 宛先アドレスに構成されている

#### 7.84 RXFPMD2\_Register (オフセット = 4A3h) [リセット = 0000h]

RXFPMD2\_Register を表 7-86 に示します。

[概略表](#)に戻ります。

**表 7-86. RXFPMD2\_Register のフィールド説明**

ビット	フィールド	タイプ	リセット	説明
15-8	MAC_Destination_Addresses_Byte_2	R/W	0h	一致データ:MAC 宛先アドレスに構成されている
7-0	MAC_Destination_Addresses_Byte_3	R/W	0h	一致データ:MAC 宛先アドレスに構成されている

#### 7.85 RXFPMD3\_Register (オフセット = 4A4h) [リセット = 0000h]

RXFPMD3\_Register を表 7-87 に示します。

[概略表](#)に戻ります。

**表 7-87. RXFPMD3\_Register のフィールド説明**

ビット	フィールド	タイプ	リセット	説明
15-8	MAC_Destination_Addresses_Byte_0	R/W	0h	一致データ:MAC 宛先アドレスに構成されている
7-0	MAC_Destination_Addresses_Byte_1	R/W	0h	一致データ:MAC 宛先アドレスに構成されている

#### 7.86 Register\_0x4cd (オフセット = 4CDh) [リセット = 0408h]

Register\_0x4cd を表 7-88 に示します。

[概略表](#)に戻ります。

**表 7-88. Register\_0x4cd のフィールド説明**

ビット	フィールド	タイプ	リセット	説明
15-8	cfg_lpi_energy_lost_th	R/W	4h	CFG_EEE_ENERGY_CTRL レジスタ
7-0	cfg_lpi_energy_on_th	R/W	8h	CFG_EEE_ENERGY_CTRL レジスタ

#### 7.87 Register\_0x4ce (オフセット = 4CEh) [リセット = 0012h]

Register\_0x4ce を表 7-89 に示します。

[概略表](#)に戻ります。

**表 7-89. Register\_0x4ce のフィールド説明**

ビット	フィールド	タイプ	リセット	説明
15-8	予約済み	R	0h	予約済み
7-0	cfg_lpi_energy_window_length	R/W	12h	CFG_EEE_ENERGY_CTRL レジスタ

### 7.88 Register\_0x4cf (オフセット = 4CFh) [リセット = 261Dh]

Register\_0x4cf を表 7-90 に示します。

[概略表](#)に戻ります。

**表 7-90. Register\_0x4cf のフィールド説明**

ビット	フィールド	タイプ	リセット	説明
15-12	cfg_sd_on_win_len	R/W	2h	EEE_WAKE_CTRL レジスタ
11-8	cfg_100m_tloop_kf_step_ss	R/W	6h	DSP100M_TLOOP_CTRL レジスタ
7-4	cfg_sd_on_thr_100m	R/W	1h	予約済み
3	cfg_100m_use_sd_en	R/W	1h	予約済み
2	cfg_sd_cnt_level	R/W	1h	予約済み
1	cfg_en_zc_cnt	R/W	0h	予約済み
0	cfg_en_cmp_cnt	R/W	1h	予約済み

### 7.89 EEECFG2\_Register (オフセット = 4D0h) [リセット = 0302h]

EEECFG2\_Register を表 7-91 に示します。

[概略表](#)に戻ります。

**表 7-91. EEECFG2\_Register のフィールド説明**

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14	予約済み	R	0h	予約済み
13-7	予約済み	R	0h	予約済み
6-5	予約済み	R	0h	予約済み
4-0	予約済み	R	0h	予約済み

### 7.90 EEECFG3\_Register (オフセット = 4D1h) [リセット = 018Bh]

EEECFG3\_Register を表 7-92 に示します。

[概略表](#)に戻ります。

**表 7-92. EEECFG3\_Register のフィールド説明**

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14-13	Force_EEE_Enable	R/W	0h	EEE の強制: 注: 両方のリンク パートナーは、EEE を強制するように構成する必要があります。 0h = EEE 強制モード オフ 1h = Reserved0 2h = Reserved1 3h = EEE 強制 LPI がイネーブル
12	Force_LPI_Request_TX	R/W	0h	LPI 要求 TX を強制的に送信: このビットは、ビット [14:13] を「EEE 強制 LPI がイネーブル」に設定した後に設定する必要があります。 0h = 通常動作 1h = 送信時の LPI 要求の強制がイネーブル
11	予約済み	R	0h	予約済み
10	cfg_dis_lpi_bypass_rvrs_l oop	R/W	0h	省電力型イーサネット構成レジスタ #3
9	cfg_dis_lpi_bypass_fifo	R/W	0h	省電力型イーサネット構成レジスタ #3

表 7-92. EEECFG3\_Register のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
8	cfg_100m_en_lpi_wake_fallback	R/W	1h	省電力型イーサネット構成レジスタ #3
7-4	cfg_lpi_mse_timer_tc_val	R/W	8h	省電力型イーサネット構成レジスタ #3
3	EEE_Capabilities_Bypass	R/W	1h	EEE アドバタイズ オプション: オートネゴシエーション中の EEE アドバタイズメントは、次ページレジスタ (MMD7 のレジスタ 0x003C およびレジスタ 0x003D) ではなく、レジスタ 0x04D1 のビット [0] によって決定されるようにします。 0h = ビット [0] は EEE のオートネゴシエーション機能を決定します 1h = MMD3 および MMD7 のレジスタが EEE のオートネゴシエーション機能を決定します
2	EEE_Next_Page_Disable	R/W	0h	EEE 次ページの無効化: 0h = EEE 次ページの受信がイネーブル 1h = EEE 次ページの受信がディスエーブル
1	EEE_RX_Path_Shutdown	R/W	1h	EEE RX パスのシャットダウン: 0h = アナログ RX パスは LPI_Quiet 中アクティブ 1h = LPI_Quiet でのアナログ RX パスのシャットダウンをイネーブルにします
0	EEE_Capabilities_Enable	R	1h	EEE 機能の無効化 0h = PHY は EEE 機能をサポートします。MMD7 のレジスタ 0x003C とレジスタ 0x003D で定義されているように、オートネゴシエーションが EEE とネゴシエートします。 1h = PHY は EEE をサポートしていません (MMD3 のレジスタ 0x0014、MMD7 のレジスタ 0x003C およびレジスタ 0x003D は無視されます)

### 7.91 Register\_0x4d2 (オフセット = 4D2h) [リセット = 354Ah]

Register\_0x4d2 を表 7-93 に示します。

概略表に戻ります。

表 7-93. Register\_0x4d2 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
15-14	cfg_flush_ph_shift_updn	R/W	0h	PI_CTRL レジスタ
13	cfg_ph_shift_toggle_en	R/W	1h	PI_CTRL レジスタ
12	cfg_fast_Follower_wake_100	R/W	1h	DSP_100M_EEE_LINK CTRL レジスタ
11	cfg_dis_dscr_100_tout	R/W	0h	DSP_100M_EEE_LINK CTRL レジスタ
10	cfg_lpi_pre_flush_en	R/W	1h	DSP_EEE_SEQ CTRL レジスタ
9-5	cfg_100m_rx_lpi_ts_timer	R/W	Ah	DSP_100M_EEE_LINK CTRL レジスタ
4-0	cfg_100m_rx_lpi_link_fail	R/W	Ah	DSP_100M_EEE_LINK CTRL レジスタ

### 7.92 Register\_0x4d4 (オフセット = 4D4h) [リセット = 6633h]

Register\_0x4d4 を表 7-94 に示します。

概略表に戻ります。

表 7-94. Register\_0x4d4 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14-12	cfg_100m_tloop_kp_step_1	R/W	6h	DSP_100M_STEP_1_Register

表 7-94. Register\_0x4d4 のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
11	予約済み	R	0h	予約済み
10-8	cfg_100m_tloop_kp_step_0	R/W	6h	DSP_100M_STEP_0_Register
7	予約済み	R	0h	予約済み
6-4	cfg_100m_tloop_kf_step_1	R/W	3h	DSP_100M_STEP_1_Register
3	予約済み	R	0h	予約済み
2-0	cfg_100m_tloop_kf_step_0	R/W	3h	DSP_100M_STEP_0_Register

### 7.93 DSP\_100M\_STEP\_2\_Register (オフセット = 4D5h) [リセット = 02F1h]

DSP\_100M\_STEP\_2\_Register を表 7-95 に示します。

[概略表](#)に戻ります。

表 7-95. DSP\_100M\_STEP\_2\_Register のフィールド説明

ビット	フィールド	タイプ	リセット	説明
15-10	予約済み	R	0h	予約済み
9-7	cfg_100m_tloop_kp_step_2	R/W	5h	DSP_100M_STEP_2 レジスタ
6-4	cfg_100m_tloop_kf_step_2	R/W	7h	DSP_100M_STEP_2 レジスタ
3-2	cfg_100m_mse_step_2	R/W	0h	DSP_100M_STEP_2 レジスタ
1	cfg_100m_dfe_step_2	R/W	0h	DSP_100M_STEP_2 レジスタ
0	cfg_100m_fagc_step_2	R/W	1h	DSP_100M_STEP_2 レジスタ

### 7.94 DSP\_100M\_STEP\_3\_Register (オフセット = 4D6h) [リセット = 0171h]

DSP\_100M\_STEP\_3\_Register を表 7-96 に示します。

[概略表](#)に戻ります。

表 7-96. DSP\_100M\_STEP\_3\_Register のフィールド説明

ビット	フィールド	タイプ	リセット	説明
15-10	予約済み	R	0h	予約済み
9-7	cfg_100m_tloop_kp_step_3	R/W	2h	DSP_100M_STEP_3 レジスタ
6-4	cfg_100m_tloop_kf_step_3	R/W	7h	DSP_100M_STEP_3 レジスタ
3-2	cfg_100m_mse_step_3	R/W	0h	DSP_100M_STEP_3 レジスタ
1	cfg_100m_dfe_step_3	R/W	0h	DSP_100M_STEP_3 レジスタ
0	cfg_100m_fagc_step_3	R/W	1h	DSP_100M_STEP_3 レジスタ

### 7.95 DSP\_100M\_STEP\_4\_Register (オフセット = 4D7h) [リセット = 0171h]

DSP\_100M\_STEP\_4\_Register を表 7-97 に示します。

[概略表](#)に戻ります。

表 7-97. DSP\_100M\_STEP\_4\_Register のフィールド説明

ビット	フィールド	タイプ	リセット	説明
15-10	予約済み	R	0h	予約済み
9-7	cfg_100m_tloop_kp_step_4	R/W	2h	DSP_100M_STEP_4 レジスタ
6-4	cfg_100m_tloop_kf_step_4	R/W	7h	DSP_100M_STEP_4 レジスタ
3-2	cfg_100m_mse_step_4	R/W	0h	DSP_100M_STEP_4 レジスタ
1	cfg_100m_dfe_step_4	R/W	0h	DSP_100M_STEP_4 レジスタ
0	cfg_100m_fagc_step_4	R/W	1h	DSP_100M_STEP_4 レジスタ

### 7.96 MMD3\_PCS\_CTRL\_1\_Register (オフセット = 1000h) [リセット = 4000h]

MMD3\_PCS\_CTRL\_1\_Register を表 7-98 に示します。

概略表に戻ります。

表 7-98. MMD3\_PCS\_CTRL\_1\_Register のフィールド説明

ビット	フィールド	タイプ	リセット	説明
15	PCS_Reset	R/W	0h	PCS リセット:リセットにより、MMD3、MMD7、PCS レジスタがクリアされます。リセットでは、ベンダ固有のレジスタ (DEVAD = 31) はクリアされません。 0h = 通常動作 1h = MMD3、MMD7、PCS レジスタのソフトリセット
14-11	予約済み	R	0h	予約済み
10	RX_Clock_Stoppable	R/W	0h	RX クロック停止可能: 0h = 受信クロックを停止できない 1h = LPI 中は受信クロックを停止できます
9-0	予約済み	R	0h	予約済み

### 7.97 MMD3\_PCS\_STATUS\_1 レジスタ (オフセット = 1001h) [リセット = 0040h]

MMD3\_PCS\_STATUS\_1 を表 7-99 に示します。

概略表に戻ります。

表 7-99. MMD3\_PCS\_STATUS\_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	予約済み	R	0h	予約済み
11	TX_LPI_Received	R	0h	TX LPI 受信済み: 0h = LPI の受信なし 1h = TX PCS は LPI を受信しました
10	RX_LPI_Received	R	0h	RX LPI 受信済み: 0h = LPI の受信なし 1h = RX PCS は LPI を受信しました
9	TX_LPI_Indication	R	0h	TX LPI インジケーション: 0h = TX PCS が現在 LPI を受信中ではない 1h = TX PCS が現在 LPI を受信中
8	RX_LPI_Indication	R	0h	RX LPI インジケーション: 0h = RX PCS が現在 LPI を受信中ではない 1h = RX PCS が現在 LPI を受信中
7	予約済み	R	0h	予約済み

表 7-99. MMD3\_PCS\_STATUS\_1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6	TX_Clock_Stoppable	R	1h	TX クロック停止可能: 0h = TX クロックは停止できません 1h = LPI 中に MAC はクロックを停止できます
5-0	予約済み	R	0h	予約済み

### 7.98 MMD3\_EEE\_CAPABILITY\_Register (オフセット = 1014h) [リセット = 0002h]

MMD3\_EEE\_CAPABILITY\_Register を表 7-100 に示します。

[概略表](#)に戻ります。

表 7-100. MMD3\_EEE\_CAPABILITY\_Register のフィールド説明

ビット	フィールド	タイプ	リセット	説明
15-3	予約済み	R	0h	予約済み
2	EEE_1Gbps_Enable	R	0h	EEE 1Gbps の有効化: 0h = EEE は 1000Base-T ではサポートされていません 1h = EEE は 1000Base-T でサポートされています
1	EEE_100Mbps_Enable	R	1h	EEE 100Mbps の有効化: 0h = EEE は 100Base-TX ではサポートされていません 1h = EEE は 100Base-TX でサポートされています
0	予約済み	R	0h	予約済み

### 7.99 MMD3\_WAKE\_ERR\_CNT\_Register (オフセット = 1016h) [リセット = 0000h]

MMD3\_WAKE\_ERR\_CNT\_Register を表 7-101 に示します。

[概略表](#)に戻ります。

表 7-101. MMD3\_WAKE\_ERR\_CNT\_Register のフィールド説明

ビット	フィールド	タイプ	リセット	説明
15-0	EEE_Wake_error_Counter	R	0h	EEE ウェーク エラー カウンタ: このレジスタは、特定の PHY タイプに必要な時間内に PHY が通常のウェークシーケンスを完了できなかったウェーク時間フォルトをカウントします。このカウンタは読み取り後にクリアされ、オーバーフロー発生時はすべて 1 に保持されます。PCS リセットはこのレジスタもクリアします

### 7.100 MMD7\_EEE\_ADVERTISEMENT\_Register (オフセット = 203Ch) [リセット = 0000h]

MMD7\_EEE\_ADVERTISEMENT\_Register を表 7-102 に示します。

[概略表](#)に戻ります。

表 7-102. MMD7\_EEE\_ADVERTISEMENT\_Register のフィールド説明

ビット	フィールド	タイプ	リセット	説明
15-2	予約済み	R	0h	予約済み
1	Advertise_100Base-TX_EEE	R/W	0h	100Base-TX EEE をアドバタイズ: 0h = 省電力型イーサネットはアドバタイズされていません 1h = 省電力型イーサネットは 100Base-TX 向けにアドバタイズされています
0	予約済み	R	0h	予約済み

### 7.101 MMD7\_EEE\_LP\_ABILITY\_Register (オフセット = 203Dh) [リセット = 0000h]

MMD7\_EEE\_LP\_ABILITY\_Register を表 7-103 に示します。

[概略表](#)に戻ります。

**表 7-103. MMD7\_EEE\_LP\_ABILITY\_Register のフィールド説明**

ビット	フィールド	タイプ	リセット	説明
15-2	予約済み	R	0h	予約済み
1	Link_Partner_EEE_Capability	R	0h	リンク パートナー EEE 機能: 0h = リンク パートナーは 100Base-TX の EEE 機能をアダプタイズしていません 1h = リンク パートナーは 100Base-TX の EEE 機能をアダプタイズしています
0	予約済み	R	0h	予約済み

## 8 アプリケーションと実装

### 注

以下のアプリケーションのセクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 8.1 使用上の注意

DP83825I はシングル ポートの 10/100Mbps イーサネット PHY です。DP83825I は RMII を使ったイーサネット MAC への接続をサポートしています。イーサネット メディアへの接続は、IEEE 802.3 で定義されたメディア依存インターフェイスを介して行われます。

イーサネット アプリケーションで本デバイスを使用する場合、通常動作のための一定の要件を満たす必要があります。以下のサブセクションは、適切な部品選択と必要な回路の接続に役立つことを目的としています。

### 8.2 代表的なアプリケーション

図 8-1 に、DP83825I の代表的なアプリケーションを示します。

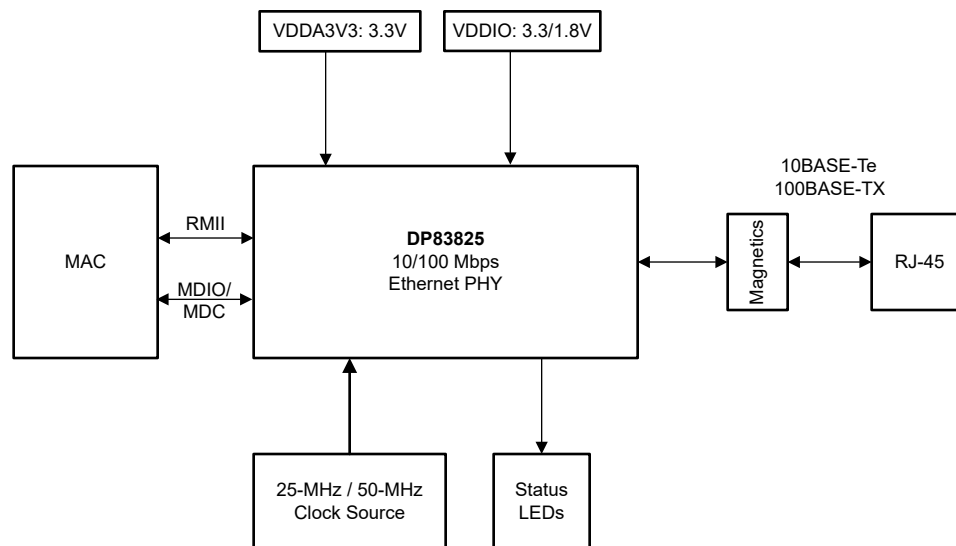


図 8-1. 代表的な DP83825I のアプリケーション

#### 8.2.1 設計要件

TPI 動作 (100BASE-TX または 10BASE-Te) における DP83825I の設計要件は次の通りです。

1. AVD 電源 = 3.3V
2. VDDIO 電源 = 3.3V または 1.8V
3. 基準クロック入力 = 25MHz または 50MHz (RMII フォロワ)

##### 8.2.1.1 クロック要件

DP83825I は、外部 CMOS レベル発振器ソース、または外部水晶振動子を使用した内部発振器をサポートしています。

### 8.2.1.1.1 発振器

外部クロック ソースを使用する場合は、XI をクロック ソースに接続して、XO をフローティングのままにする必要があります。発振器の振幅は、VDDIO の公称電圧である必要があります。

### 8.2.1.1.2 水晶振動子

水晶振動子で動作させる場合は、25MHz の並列共振、20pF の負荷水晶振動子を使用することが推奨されます。水晶振動子回路の代表的なピン配置を以下に示します。負荷コンデンサの値は、水晶振動子のベンダによって異なることに注意してください。推奨される負荷については、ベンダに問い合わせてください。直列抵抗値は、水晶振動子の駆動レベルを満たすように調整する必要があります。詳細については、[アプリケーション ノート『テキサス インストルメンツのイーサネット物理層トランシーバ用水晶振動子の選択と仕様』](#)を参照してください。

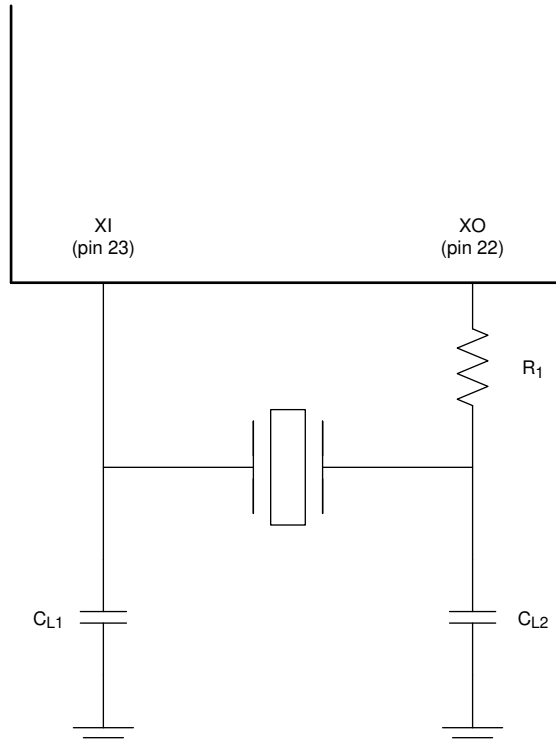


図 8-2. 水晶発振回路

表 8-1. 25MHz 水晶振動子仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
周波数		25			MHz
周波数の許容誤差	動作温度、経年劣化、他の要因を含む	-50		50	ppm
負荷容量			15	40	pF
ESR				50	Ω

## 8.2.2 詳細な設計手順

メディア独立インターフェイス RMII は、DP83825I をメディア アクセス コントローラ (MAC) に接続します。MAC は、実際には独立したデバイスである場合もあれば、マイクロプロセッサ、CPU、FPGA、または ASIC に統合されている場合もあります。メディア依存インターフェイス (MDI) は、DP83825I をイーサネット ネットワークのトランス、またはトランスレス構成で AC 絶縁コンデンサに接続します。

### 8.2.2.1 RMII のレイアウト ガイドライン

1. RMII 信号はシングルエンド信号であることに注意してください。

2. トレースは、グランドとの間に  $50\Omega$  のインピーダンスで配線する必要があります。
3. トレースの長さはできる限り短くします。TI では、トレース長は 2 ~ 6 インチの間を維持することを推奨しています。

### 8.2.2.2 MDI のレイアウト ガイドライン

1. MDI 信号は差動であることに注意してください。
2. トレースはグランドへのインピーダンスが  $50\Omega$  で、差動制御インピーダンスが  $100\Omega$  になるように配線する必要があります。
3. MDI トレースは同じ層のトランスに配線します。
4. 金属シールドの RJ-45 コネクタを使用し、シールドをシャーシ グランドに電気的に接続します。
5. 磁気素子の下の電源と設置は避けます。
6. 回路のグランドとシャーシのグランド プレーンが重ならないようにしてください。プレーン間に隙間を残して、シャーシグランドを絶縁されたアイランドに変えることで、シャーシのグランドと回路のグランドを分離した状態にします。フローティング金属を防止するため、シャーシのグランドと回路のグランドとの間に 1206 (サイズ) のコンデンサを接続することが推奨されます。805 (サイズ) 未満のコンデンサは、空間距離が小さいために、ESD のアーチ型パスが形成される可能性があります。

### 8.2.2.3 TPI ネットワーク回路

図 8-3 に、10/100Mbps の推奨ツイストペア インターフェイス ネットワーク回路を示します。PCB および部品の特性によって異なるため、アプリケーションをテストして、回路が目的のアプリケーションの要件を満たしていることを確認する必要があります。

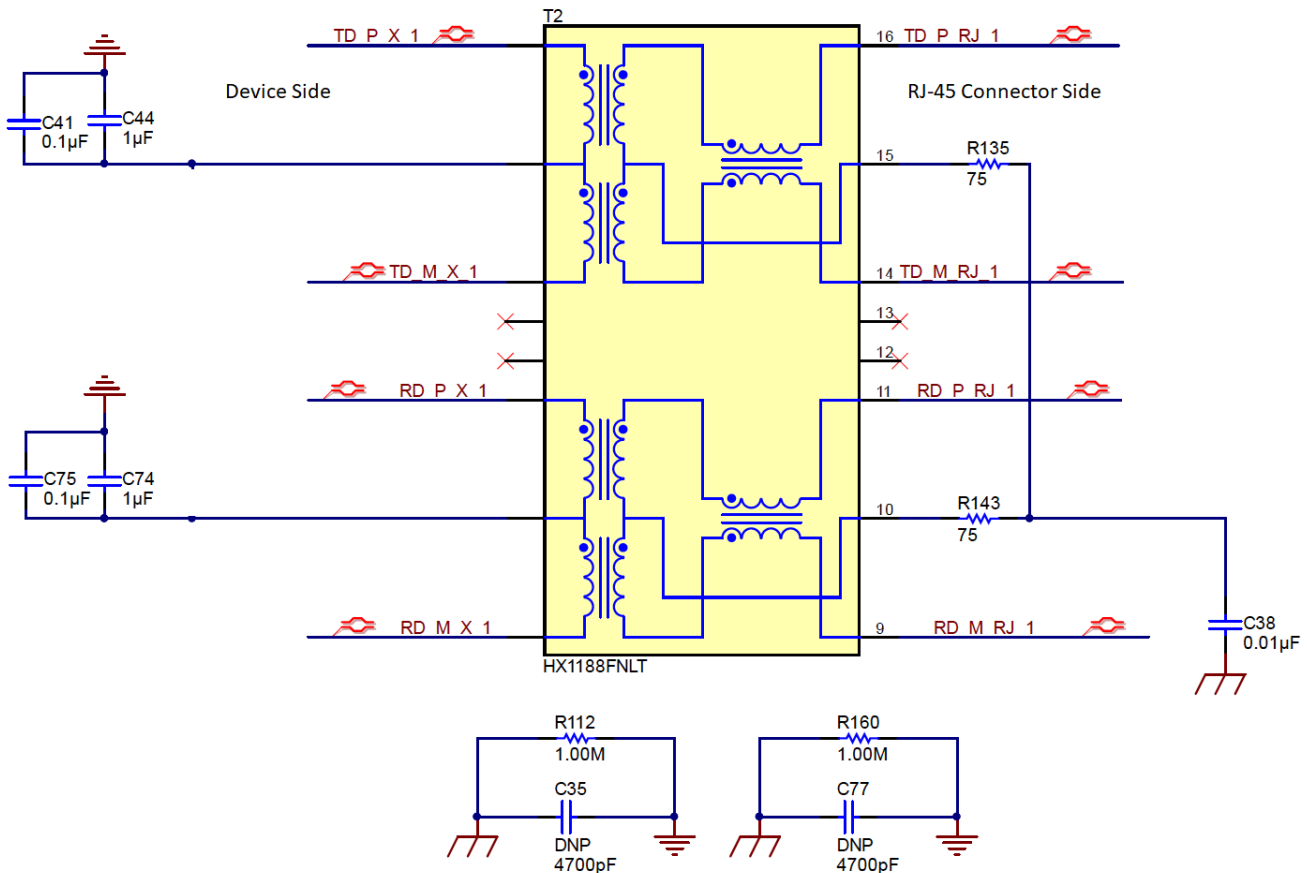


図 8-3. TPI ネットワーク回路

### 8.2.2.4 VOD の構成

レジスタ DAC\_CFG\_0 (0x30B) および DAC\_CFG\_1 (0x30C) も VOD 制御レジスタとして機能します。これは、[VOD 構成の説明](#) に示すとおりです。

**表 8-2. VOD 構成の説明**

VoD 変更	0x30B	0x30C
150%	0x0A00	0x0018
143.75%	0x0A40	0x0017
137.50%	0x0A80	0x0016
131.25%	0x0AC0	0x0015
125%	0x0B00	0x0014
118.75%	0x0B40	0x0013
112.50%	0x0B80	0x0012
106.25%	0x0BC0	0x0011
100%	0x0C00	0x0010
93.75%	0x0C40	0x000F
87.50%	0x0C80	0x000E
81.25%	0x0CC0	0x000D
75%	0x0D00	0x000C
68.75%	0x0D40	0x000B
62.50%	0x0D80	0x000A
56.25%	0x0DC0	0x0009
50%	0x00E0	0x0008

**表 8-3. VOD の微調整**

VOD 変更	0x30E
+2.5%	Offset_2
+1.25%	Offset_1
デフォルト (0x30B 0x30C から)	Offset_0
+1.25%	Offset_-1
-2.5%	Offset_-2

レジスタ 0x30E は、レジスタ 0x30B および 0x30C で選択された元の値から  $\pm 2.5\%$  の最大値に VOD の値を 1.25% 刻みで微調整するために使われます。

Offset\_X を計算するには:

1. Reg 0x333 を読み込みます。この値はユニットによって異なります
2.  $A = 0x333[15:11]$  を 10 進数に変換
3.  $B = 0x333[10:6]$  を 10 進数に変換
4.  $C = 8 - A + B$ 。この変数は 0~15 で有界です。C が境界外であると計算された場合、変数 C は境界内に四捨五入するものとします。C が -2 と計算される場合は、C に 0 を設定します
5.  $D(x) = C + x$ 、ここで、x は Reg 0x30E 列を使用して決定されます
6.  $Offset\_x = [2D(x) + 1] \times 2048$ 、16 進数に変換されます

出発点は、RBIAS を 6.34k $\Omega$  に変更し、VoD を -8% に設定して、マージンをさらに改善することです。

### 8.3 電源に関する推奨事項

DP83825I は、3.3V または 1.8V の I/O 電源電圧と 3.3V のアナログ電源で動作できます。DP83825I は VDDIO が完全に上昇した後は VDDA3V3 を必要とします。詳細は「セクション 5.7」に記載されています。顧客の基板で電源シーケンスが実行できない場合、VDDA3V3 と VDDIO 電源の両方が上昇するときに、ピン 5 に外部リセット (RST\_N) が必要です。

図 8-4 に、推奨される電源デカップリング ネットワークを示します。

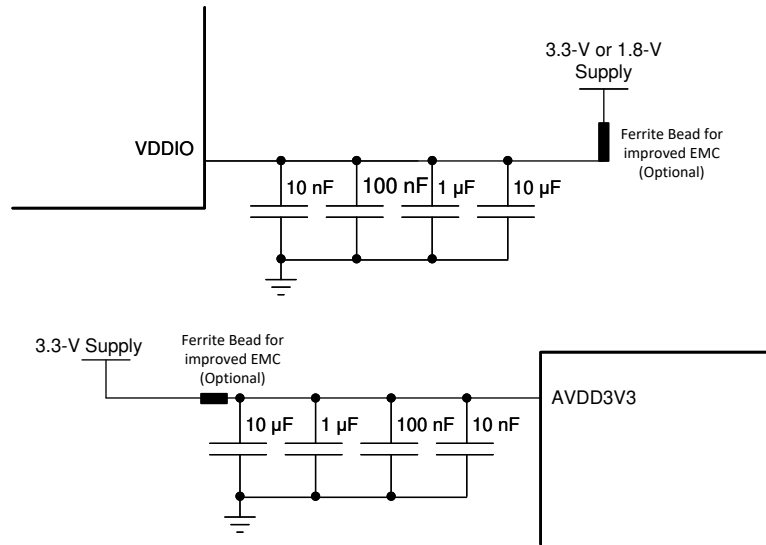


図 8-4. DP83825I 電源デカップリングに関する推奨事項

## 8.4 レイアウト

### 8.4.1 レイアウトのガイドライン

#### 8.4.1.1 信号トレース

PCB トレースは損失が大きいため、長いトレースが信号品質を低下させる可能性があります。トレースはできるだけ短くする必要があります。特に記述のない限り、すべての信号トレースは 50 $\Omega$  のシングルエンド インピーダンスでなくてはなりません。差動トレースは、100 $\Omega$  差動にする必要があります。初めから終わりまでインピーダンスが制御されるように注意します。インピーダンスの不連続性は反射を引き起こし、放射とシグナル インテグリティの問題につながります。スタブは、すべての信号トレース (特に差動信号ペア) で回避しなければなりません。

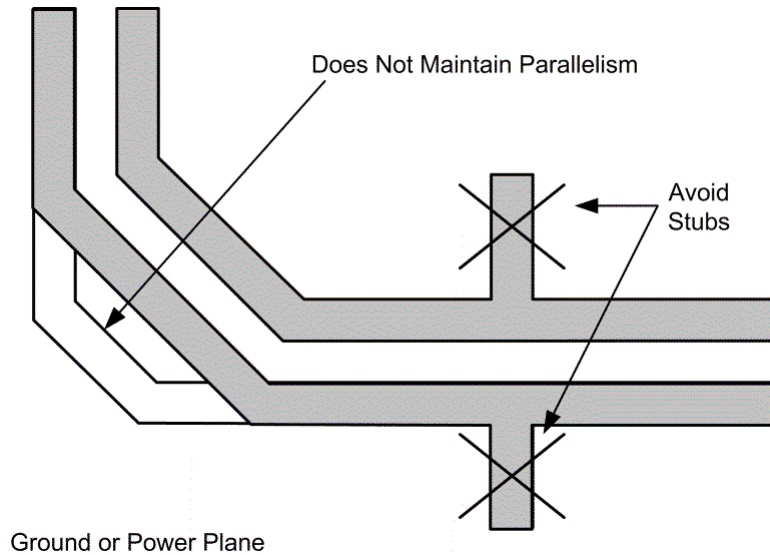


図 8-5. 差動信号トレース

差動ペア内では、トレースを互いに並行させ、長さを一致させる必要があります。長さを一致させることで遅延の差が最小化され、同相ノイズと放射の増加を防止できます。MAC インターフェイス接続でも、長さを一致させることは重要です。RMII の送信信号トレースはすべて互いに一致している必要があります、すべての RMII 受信信号トレース長も互いに一致している必要があります。

信号パスのトレースには交差もビアも存在しないようにします。ビアにはインピーダンスの不連続性を生じさせるため、できるだけ少なくする必要があります。トレース ペアは同じ層に配線します。異なる層の信号は、それらの間に少なくとも 1 つの復帰パス プレーンがない限り、互いに交差させてはなりません。差動ペアは、それらの間の結合距離を常に一定に保つ必要があります。利便性と効率性を高めるため、重要な信号 (例:MDI 差動ペア、基準クロック、MAC IF トレース) を最初に配線することを推奨します。

#### 8.4.1.2 復帰パス

一般に最も良い方法は、すべての MDI 信号トレースの下にベタの復帰パスを設けることです。この復帰パスは、連続的なグランドまたは DC 電源プレーンであってもかまいません。復帰パスの幅を狭くすると、信号トレースのインピーダンスに影響を及ぼす可能性があります。この影響は、復帰パスの幅が信号トレースの幅と同等である場合、より顕著になります。信号トレースの間の復帰パスの断線は、絶対に避ける必要があります。分割されたプレーンをまたぐ信号は、予測不可能な復帰パス電流を引き起こし、信号の品質に影響を及ぼし、放射の問題を引き起こす可能性があります。

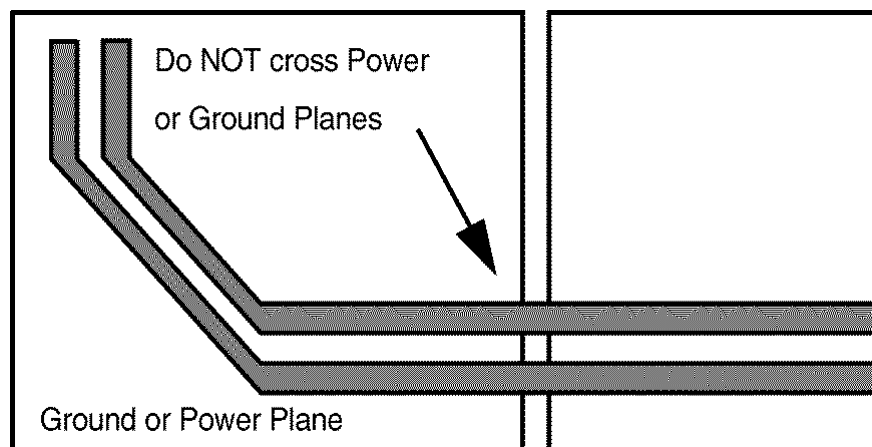


図 8-6. 差動信号ペアおよびプレーン交差

### 8.4.1.3 トランスのレイアウト

トランスの下に金属層が存在しないようことを確認します。トランスはその下にある金属にノイズを注入する可能性があり、システムの性能に影響を及ぼす可能性があります。図 8-3 を参照してください。

#### 8.4.1.3.1 トランスに関する推奨事項

以下の磁性部品は DP83825I を使用し、DP83825IEVM でテストされています。

表 8-4. 推奨されるトランス

製造元	部品番号
Pulse Electronics	HX1188NL
	HX1198FNL
	HX1188FNL

表 8-5. トランスの電気的仕様

パラメータ	テスト条件	標準値	単位
巻線比	±2%	1:1	-
挿入損失	1 ~ 100MHz	-1	dB
リターンロス	1 ~ 30MHz	-16	dB
	30 ~ 60MHz	-10	dB
	60 ~ 80MHz	-7.5	dB
差動と同相の除去比	1	-61	dB
	50MHz	-33	dB
	150MHz	-25	dB
クロストーク	30MHz	-45	dB
	60MHz	-39	dB
絶縁	HPOT	1500	Vrms

#### 8.4.1.4 静電容量式 DC ブロッキング

トランスレス ネットワーク アプリケーションの動作要件を満たすには、図 8-7 の回路図に示されている以下の設計を使用する必要があります。

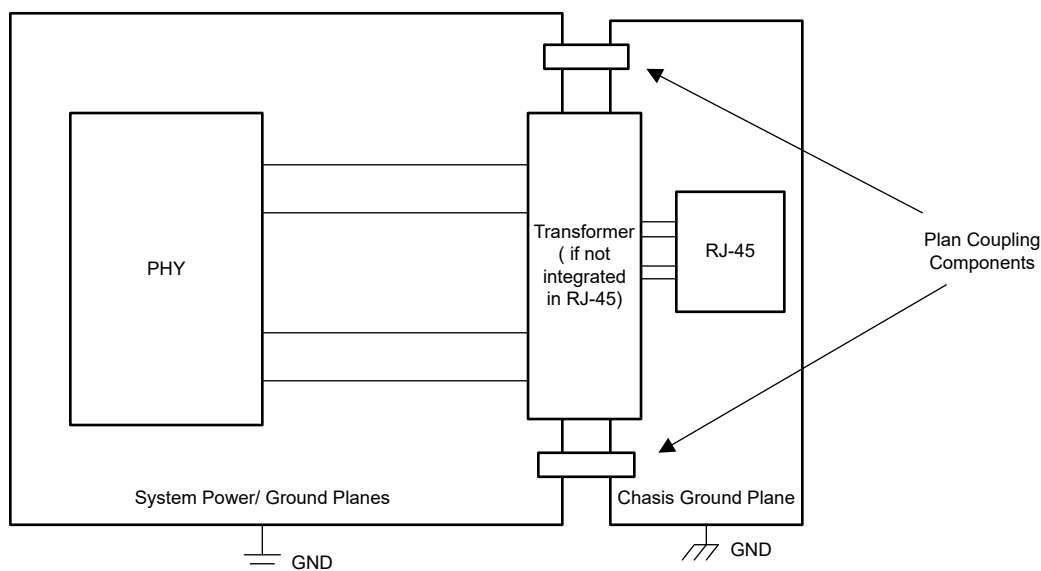


図 8-7. トランスレス DC ブロッキングの構成

#### 8.4.1.5 金属注入

信号でも電源でもないすべての金属注入領域は、グランドに接続する必要があります。システム内に浮動の金属が存在していないことと、差動パターン間に金属が存在していないことが必要です。

#### 8.4.1.6 PCB 層スタッキング

シグナル インテグリティと性能の要件を満たすには、4 層以上の PCB が推奨されます。しかし、可能であれば 6 層の PCB を使うべきです。

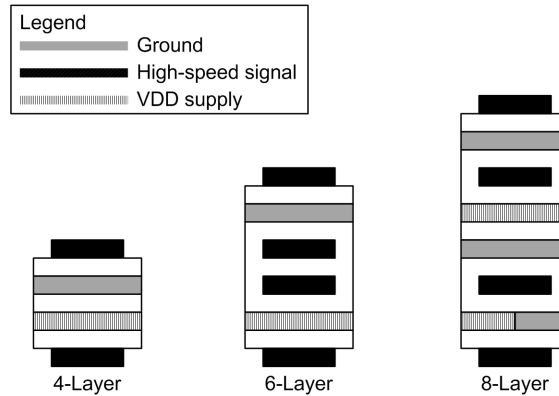


図 8-8. 推奨レイヤ スタックアップ

#### 8.4.2 レイアウト例

レイアウトの詳細については、DP83825EVM を参照してください。

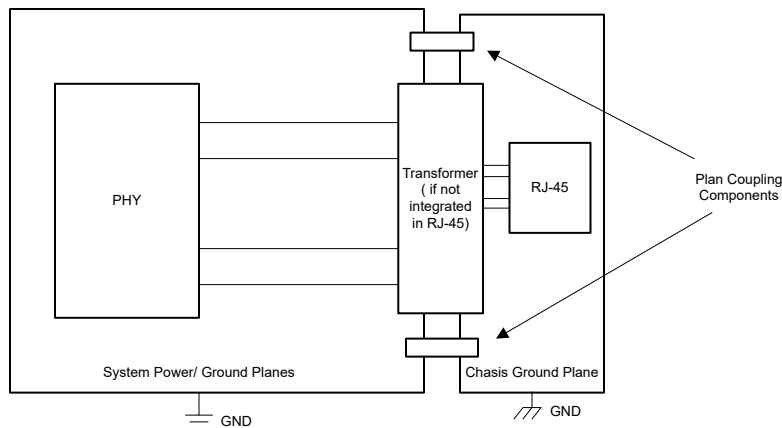


図 8-9. レイアウト例

## 9 デバイスおよびドキュメントのサポート

### 9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 9.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

### 9.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

### 9.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 9.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

## 10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (January 2025) to Revision C (April 2026)	Page
• 用語を「マスター / スレーブ」から「リーダー / フォロワ」に変更.....	1
• フロント ページに記載されているアプリケーションへのリンクを追加.....	1
• Rev A. の Rev A. 脚注 (2) の元の検証データを反映させるため、RMII 受信ホールド時間の変更を追加.....	8

Changes from Revision A (August 2019) to Revision B (January 2025)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• 「ピンの機能」表の RST_N のホールド時間を変更.....	3
• 「パワーアップのタイミング (T2)」で AVDD よりも前に VDDIO となるように、電源シーケンシングを変更.....	8
• パワーアップのタイミングで T2 の最小時間として 0ms を追加.....	8
• タイミング図をよりの確に反映できるように、RMII リーダー / フォロワを RMII 送信 / 受信に変更.....	8
• クロックが不安定な場合にリセット ボタンを押し続ける時間を追加.....	11
• <a href="#">図 6-2</a> と <a href="#">図 6-3</a> を変更.....	22
• 「拡張レジスタ アクセス」の文章を明確化のため修正.....	25
• <a href="#">表 6-5</a> 、 <a href="#">表 6-6</a> 、 <a href="#">表 6-7</a> を変更し、アドレス 0x001F への書き込みを最後のステップとして移動.....	33
• レジスタ 0x17 (ビット 2 および 3) および 0x4D1 (ビット 0 および 3) のビット値を反転.....	36
• 「VOD 構成」セクションを追加.....	89

- 「静電容量式ブロッキング」セクションを追加.....92

## 11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側のナビゲーションをご覧ください。

**PACKAGING INFORMATION**

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
<a href="#">DP83825IRMQR</a>	Active	Production	WQFN (RMQ)   24	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	825I
DP83825IRMQR.A	Active	Production	WQFN (RMQ)   24	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	825I
DP83825IRMQRG4	Active	Production	WQFN (RMQ)   24	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	825I
DP83825IRMQRG4.A	Active	Production	WQFN (RMQ)   24	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	825I
<a href="#">DP83825IRMQT</a>	Active	Production	WQFN (RMQ)   24	250   SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	825I
DP83825IRMQT.A	Active	Production	WQFN (RMQ)   24	250   SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	825I

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

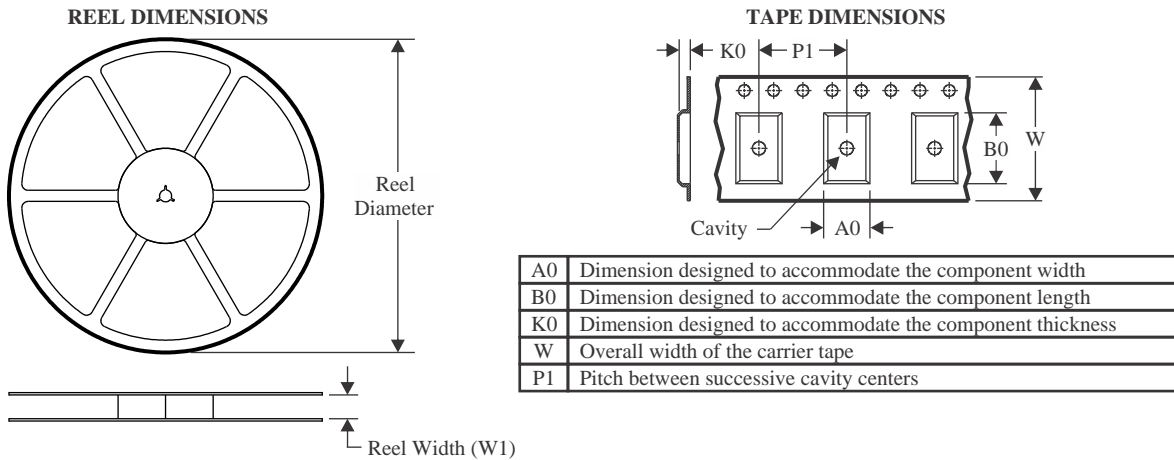
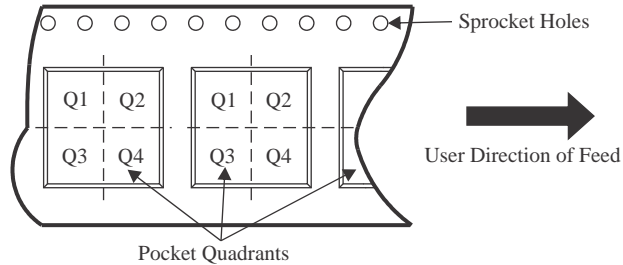
(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

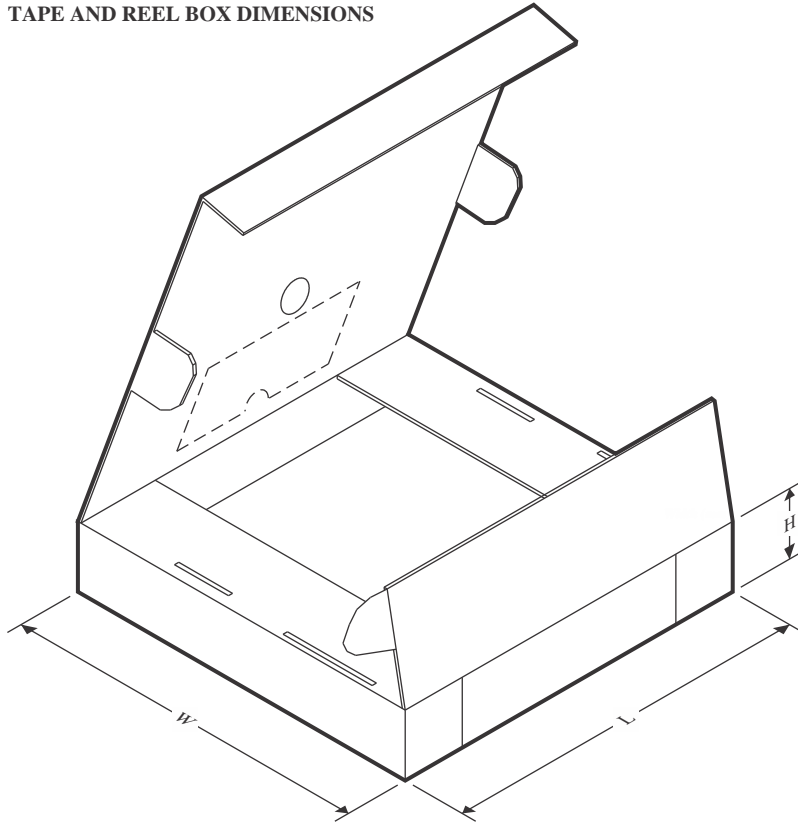
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.



**TAPE AND REEL INFORMATION**

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DP83825IRMQR	WQFN	RMQ	24	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
DP83825IRMQRG4	WQFN	RMQ	24	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
DP83825IRMQT	WQFN	RMQ	24	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

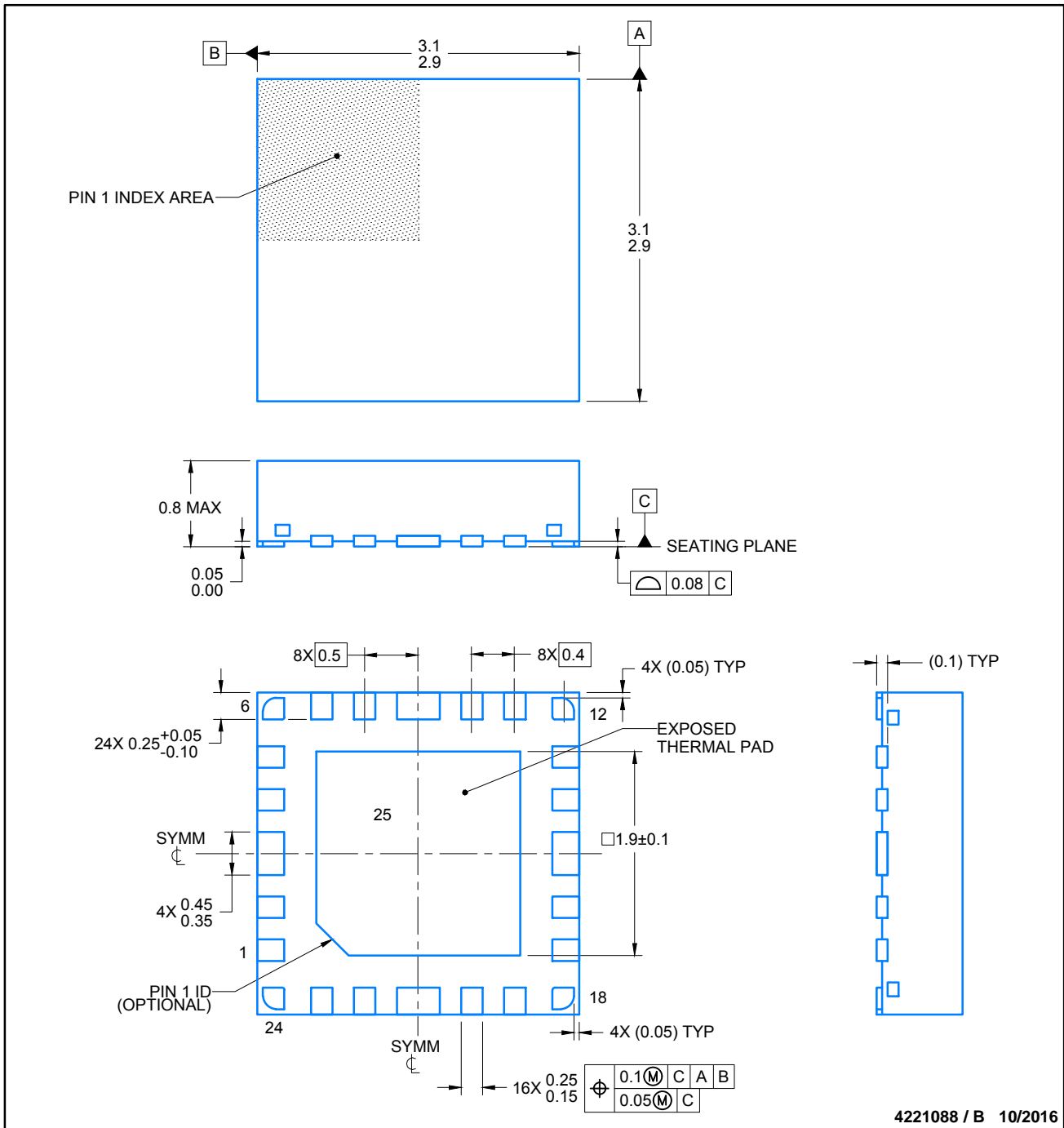
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DP83825IRMQR	WQFN	RMQ	24	3000	367.0	367.0	35.0
DP83825IRMQRG4	WQFN	RMQ	24	3000	367.0	367.0	35.0
DP83825IRMQT	WQFN	RMQ	24	250	210.0	185.0	35.0

# RMQ0024A

# PACKAGE OUTLINE

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



**NOTES:**

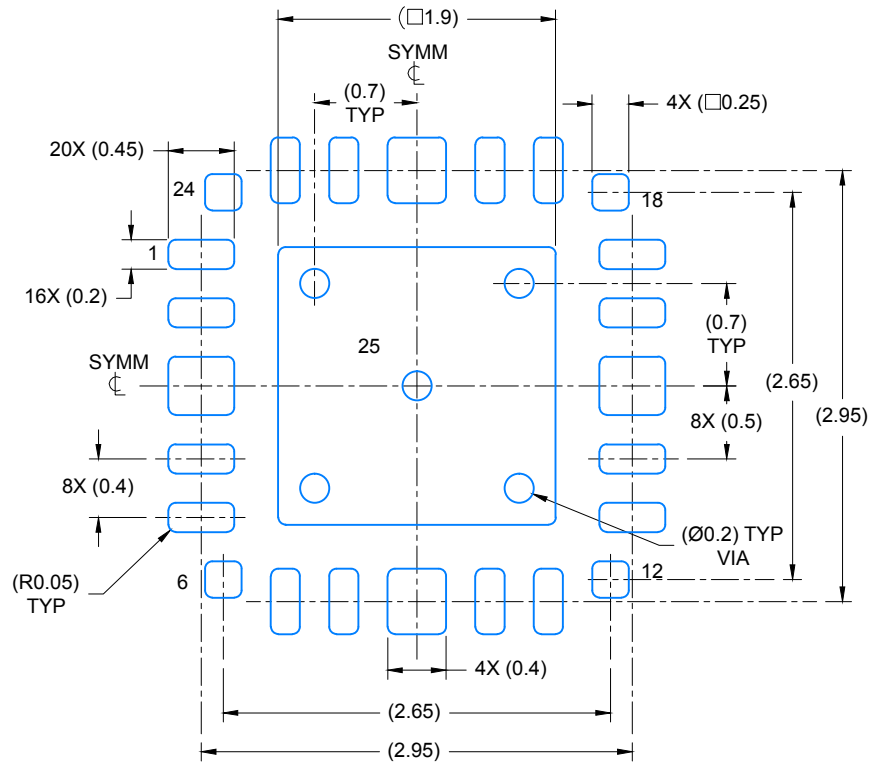
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

# EXAMPLE BOARD LAYOUT

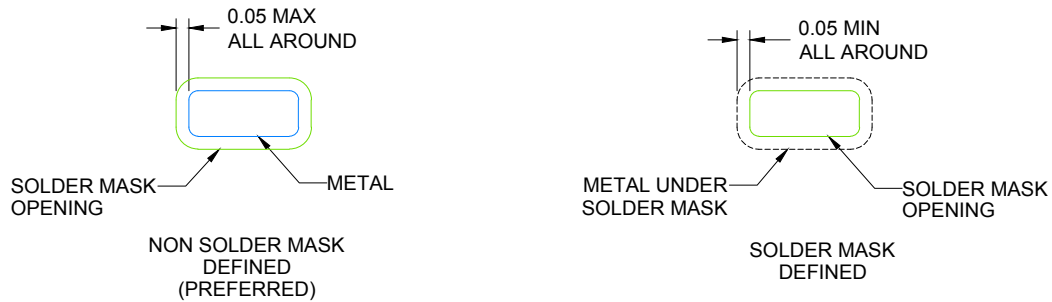
RMQ0024A

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE  
SCALE: 20X



SOLDER MASK DETAILS

4221088 / B 10/2016

NOTES: (continued)

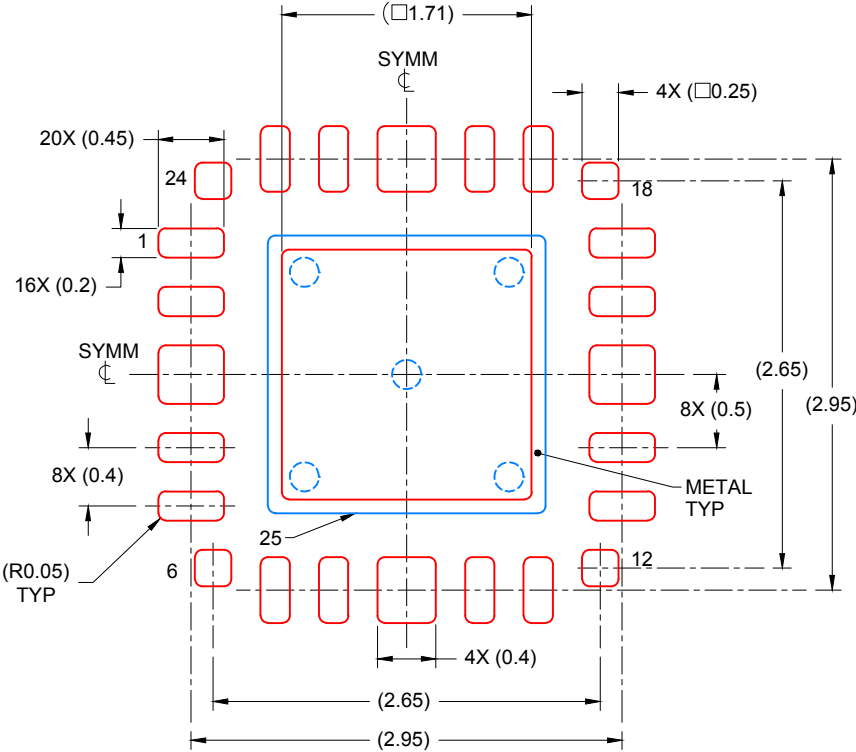
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/sluea271](http://www.ti.com/lit/sluea271)).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

# EXAMPLE STENCIL DESIGN

WQFN - 0.8 mm max height

RMQ0024A

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE  
 BASED ON 0.1 mm THICK STENCIL

EXPOSED PAD  
 81% PRINTED COVERAGE BY AREA  
 SCALE: 20X

4221088 / B 10/2016

NOTES: (continued)

- 6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations..

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月