

DRV3946-Q1 電流レギュレーション、クランプ、診断機能搭載、デュアルチャンネル車載用ソレノイドドライバ

1 特長

- 車載アプリケーション向けに AEC-Q100 認証済み
 - 温度グレード 1: -40°C ~ +125°C、T_A
- 機能安全準拠
 - 機能安全アプリケーション向けに開発
 - ISO26262 システムの設計に役立つ資料が利用可能
 - ASIL D までのインテグリティレベル
 - ASIL C までのハードウェア安全度
- 車載 EV 接触器リレーとソレノイド制御の各アプリケーションをターゲットとする高集積ソレノイドドライバ
 - 電源、電流レギュレーション、診断、安全機能の統合
 - 構成可能なピーク / ホールド電流設定による高効率ソレノイド駆動
 - 電源、インターフェイス、ドライバ、モニタの内蔵セルフテストおよび診断機能
 - 冗長電源、ローサイドおよびハイサイドドライバ、2 次側監視ロジックにより信頼性の高い動作を実現するアーキテクチャ
- 動作範囲: 最大 28V (絶対最大定格 40V)
- 改良型ハーフブリッジ内蔵
 - 充電、還流、クランプ用途
 - 代表値 R_{DS(ON)}: 37mΩ (ローサイド)、57mΩ (ハイサイド)
 - クランプ回路内蔵による迅速なターンオフ機能
 - ハイサイドクランプと冗長ローサイドクランプ
- 1 線式接続によるローサイド負荷制御
 - 外部ハイサイドスイッチにより冗長シャットオフが可能
- ±5% 精度のローサイドおよびハイサイド電流センス
 - アナログ負荷電流帰還ピン (IPROPI)
- 内部制御モード:
 - 閉ループ PWM 電流レギュレーション
 - 構成可能なピーク時間、ピーク電流、ホールド電流
- 外部制御モード:
 - 固定 PWM 周波数でデューティサイクルを変動
 - 固定デューティサイクルで PWM 周波数を変動
- CRC 搭載 4 線式アドレス指定可能 24 ビット SPI
 - 同じ SPI 上で複数のデバイスを動作可能
 - 共有 SPI バス上のすべてのデバイスがブロードキャストコマンドを受信可能
- 包括的な保護機能と診断機能:
 - デバイス内蔵セルフテスト
 - 負荷監視による開路 / 短絡の検出

- ドライバのオン / オフ中の制御喪失の検出
- 低電流または低電圧時に強制リレーがオープン
- 冗長ピン シャットオフ
- nFAULT ピンによるフォルト通知

2 アプリケーション

- EV 接触器リレー
- ピークおよびホールド ソレノイド
- オン / オフ リレー
- 比例ソレノイド
- バッテリー切り離しユニット (BDU)
- バッテリージャンクション ボックス (BJB)
- パワー ディストリビューション ボックス (PDB)
- アクティブ サスペンション システム
- 車両制御ユニット (VCU)

パッケージ情報

部品番号 (1)	パッケージ	パッケージサイズ (公称) (2)
DRV3946-Q1	HTSSOP (28)	9.7mm × 4.4mm

- 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
- パッケージサイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。

製品情報

主要な機能
2 個のソレノイドを高効率で駆動可能
オン抵抗の低い電力段
迅速なターンオフを可能にするクランプ回路
閉ループ PWM 電流レギュレーション
ピーク電流とホールド電流とタイミング パラメータを構成可能
最大 20kHz の PWM 周波数オプション
包括的なオン / オフ状態診断
アドレス指定可能な 24 ビット SPI



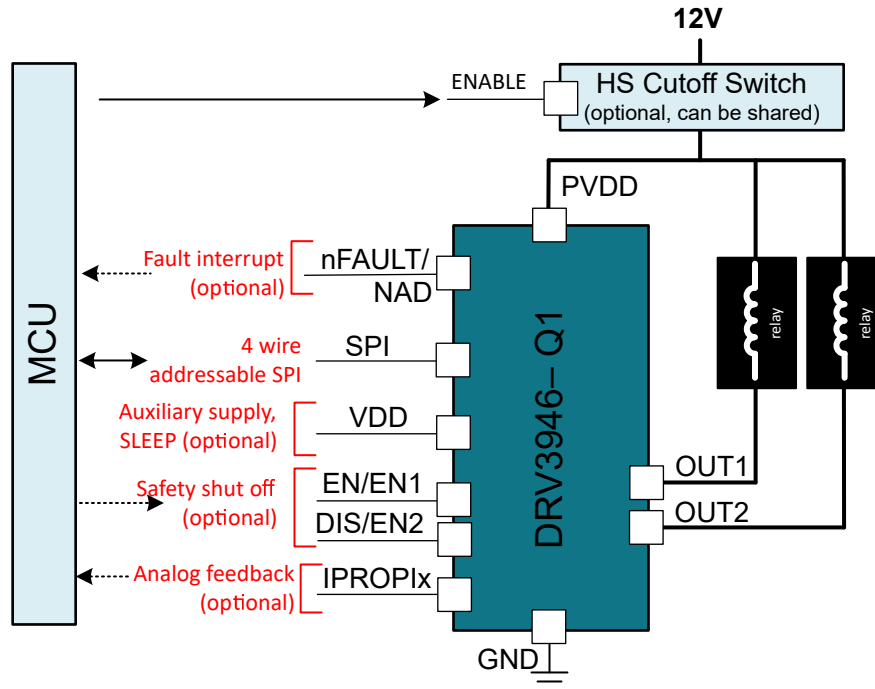
3 概要

DRV3946-Q1 は、EV バッテリ管理システムの接触器リレーなど、車載アプリケーション用の 2 つのソレノイドを駆動する高集積ソリューションです。電源、電流センシングと電流レギュレーション、構成可能なピーク/ホールド電流と関連タイミング、診断機能と保護機能を搭載しています。また、従来のディスクリットソレノイドドライバに比べて性能を向上させる複数の独自機能も搭載しています。これらの機能には、負荷電流を迅速に放電するための内蔵冗長クランプ回路、アドレス指定可能な SPI、オン抵抗の低いスイッチを備えた変更型ハーフブリッジドライバ段が含まれます。

このデバイスは、1 線式のローサイド接続でソレノイド負荷を制御し、(共有可能な) 外部ハイサイドスイッチと組み合わせることで、冗長シャットオフ機能を実現できます。内蔵スイッチは、充電、還流、クランプを実行します。このデバイスは、内部および外部の電流制御モードをサポートしています。PWM 周波数は構成可能で、自動疑似ランダム周波数生成および波形整形を使用した低周波数ディザリングが追加されています。内部 PWM 電流制御ループは、MCU 電流制御ループが不要なため、ソフトウェア開発の労力削減につながります。DRV3946-Q1 は柔軟な電流制御パラメータをサポートしており、広範な種類のソレノイドをサポートしています。ピーク電流とホールド電流、および対応するタイミングパラメータが構成可能なため、システムレベルで省電力を実現できます。

DRV3946-Q1 は機能安全準拠を目標としており、リレー制御と意図しない動作の防止を目的として、ASIL-C 定格の機能安全を目標としています。このデバイスは、開放および短絡検出のための負荷の継続的な監視、オンおよびオフ状態診断、電圧監視、短絡保護、高電圧定格 IO などの包括的な保護および診断機能をサポートしています。

アドレス指定可能な SPI により、1 つの共有 SPI バスで複数のデバイスを制御できます。必要なマイコンリソースの削減に加えて、アドレス指定可能な SPI にはブロードキャストコマンド構造が組み込まれており、共有アドレス指定バス上のすべてのデバイスが、ある特定のアクションを同時に行うことができます。SPI には、CRC、アドレス読み戻し機能、各種バスフォルト検出メカニズムなど、複数の堅牢性機能が組み込まれています。



概略回路図

目次

1 特長	1	7.3 CONFIG A レジスタ	62
2 アプリケーション	1	7.4 CONFIG B レジスタ	66
3 概要	2	7.5 CMD レジスタ	70
4 ピン構成および機能	4	8 アプリケーションと実装	75
5 仕様	5	8.1 使用上の注意	75
5.1 絶対最大定格	5	8.2 代表的なアプリケーション	75
5.2 ESD 定格	5	8.3 初期設定	80
5.3 推奨動作条件	5	8.4 電源に関する推奨事項	84
5.4 熱に関する情報	6	8.5 レイアウト	85
5.5 電気的特性	6	9 デバイスおよびドキュメントのサポート	86
5.6 SPI のタイミング要件	14	9.1 ドキュメントの更新通知を受け取る方法	86
5.7 タイミング図	15	9.2 サポート・リソース	86
5.8 代表的特性	16	9.3 商標	86
6 詳細説明	19	9.4 静電気放電に関する注意事項	86
6.1 概要	19	9.5 用語集	86
6.2 機能ブロック図	20	10 改訂履歴	86
6.3 機能説明	21	11 メカニカル、パッケージ、および注文情報	87
7 レジスタ マップ	48	11.1 付録: パッケージ オプション	88
7.1 ステータス レジスタ	50	11.2 テープおよびリール情報	89
7.2 MEAS レジスタ	57		

4 ピン構成および機能

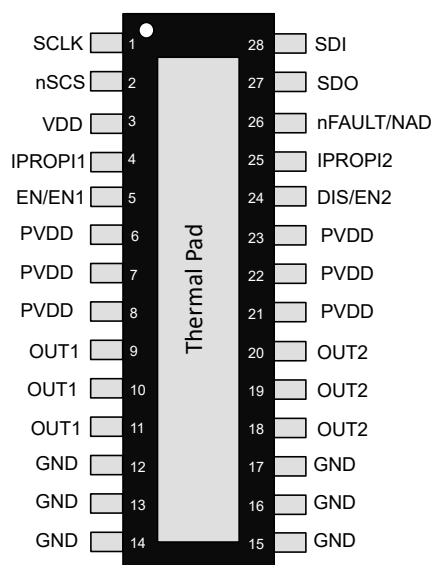


Figure not drawn to scale

図 4-1. PWP PowerPAD™ パッケージ 28 ピン HTSSOP 上面図

表 4-1. ピンの機能

ピン		I/O	タイプ	説明
名称	番号			
SCLK	1	I	デジタル	シリアル クロック入力。シリアル データは、立ち下がりエッジでキャプチャされ、立ち上がりエッジでシフトされます。GND への内部プルダウン抵抗。
nSCS	2	I	デジタル	シリアル チップ選択。このピンのロジック LOW により、シリアル インターフェイス通信が可能になります。V5_S への内部プルアップ抵抗。
VDD	3	I	電源	デバイスの低電圧および補助電源。
IPROPI1 ⁽¹⁾	4	O	アナログ	出力 1 のアナログ電流帰還
EN/EN1 ⁽¹⁾	5	I	デジタル	出力 1 をシャットオフするため、または両方の出力をシャットオフするための独立した PIN 入力
PVDD	6-8, 21-23	I	電源	デバイスの主電源
OUT1 ⁽¹⁾	9-11	O	電源	ドライバ出力 1
GND	12-17	I	電源	デバイスのグラウンド。システム グラウンドに接続。
OUT2 ⁽¹⁾	18-20	O	電源	ドライバ出力 2
DIS/EN2 ⁽¹⁾	24	I	デジタル	出力 2 をシャットオフするため、または両方の出力をシャットオフするための独立した PIN 入力
IPROPI2 ⁽¹⁾	25	O	アナログ	出力 2 のアナログ電流帰還
nFAULT/NAD	26	O	デジタル	デバイス アドレスを設定します。通常動作時にフォルトを通知するオープンドレイン出力。
SDO	27	O	デジタル	シリアル データ出力。データは、SCLK ピンの立ち上がりエッジでシフトアウトされます。プッシュプル出力。
SDI	28	I	デジタル	シリアル データ入力。データは、SCLK ピンの立ち下がりエッジでキャプチャされます。GND への内部プルダウン抵抗。
TPAD	該当なし	該当なし	該当なし	デバイスのサーマルパッド。GND に接続。

- (1) 未使用の OUTx ピンは PVDD に接続でき、未使用の IPROPIx ピンは GND に接続でき、未使用の EN/EN1 および DIS/EN2 ピンは必要に応じて VDD または GND に接続できます。

5 仕様

5.1 絶対最大定格

動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
電源ピン電圧	PVDD	-0.3 ⁽³⁾	40	V
電源過渡電圧ランブ	PVDD		2	V/μs
低電圧電源ピン	VDD	-0.3	40	V
電源過渡電圧ランブ	VDD		2	V/μs
出力ピンの電圧 (GND を基準とする)	OUT1, OUT2	内部クランプによる制限		V
出力ピンの電圧 (PVDD を基準とする)	OUT1, OUT2	内部クランプによる制限		V
出力ピンの電流	OUT1, OUT2	内部で制限 ⁽²⁾		A
OUTx 上の誘導性キックバック エネルギー (ピンへの電流)	OUT1, OUT2		250 ⁽⁴⁾	mJ
コントローラの入力ピン電圧	イネーブル、ディスエーブル	-0.3	40	V
コントローラの出力ピン電圧	IPROPIx	-0.3	5.5	V
nFAULT ピンの電圧	nFAULT/NAD	-0.3	40	V
SPI 入力ピン電圧	SDI, nSCS, SCLK	-0.3	40	V
SPI 出力ピン電圧	SDO	-0.3	40	V
周囲温度、T _A		-40	125	°C
接合部温度、T _J		-40	150	°C
保管温度、T _{stg}		-65	150	°C

- (1) 「絶対最大定格」に記載の値を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて言及して、絶対最大定格において、またはこのデータシートの「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) デバイスの過電流および過熱保護機能により制限されます
- (3) PVDD ピンの電流が 1A 未満に制限されるため、外付けダイオードで保護した場合、最大 10ms の負の過渡電圧に対応できます
- (4) T_{AMB} = 85°C、負荷電流 = 3A、単一パルスで測定。

5.2 ESD 定格

			値	単位	
V _(ESD)	静電放電	人体モデル (HBM)、AEC Q100-002 ⁽¹⁾	PVDD, OUT1, OUT2, GND	±4000	V
		HBM ESD 分類レベル 2 準拠	その他のすべてのピン	±2000	
		デバイス帯電モデル (CDM)、AEC Q100-011 CDM	角のピン	±750	
		ESD 分類レベル C4B 準拠	その他のピン	±500	

- (1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

5.3 推奨動作条件

動作温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
V _{PVDD}	電源電圧	PVDD	4.5	13.5	35 ⁽¹⁾	V
V _{VDD}	ロジック電源電圧	VDD	4.5		5.5	V
V _{LOGIC}	コントローラ ピン電圧	ENABLE, DISABLE, IPROPI1, IPROPI2, nFAULT/NAD	0		5.5	V
V _{SPI_IOS}	SPI ピン電圧	SDI, SDO, nSCS, SCLK	0		5.5	V
T _A	動作時周囲温度		-40		125	°C

動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
T_J	動作時接合部温度	-40		150	°C

(1) 過電流保護機能は、電源電圧が 28V を超える短絡インダクタンス < 1 μ H をサポートしていません

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		HTSSOP	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	23.9	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	13.2	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	5.1	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.3	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	5.1	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	0.8	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

5.5 電気的特性

4.5V < V_{PVDD} < 35V, 4.5V < V_{VDD} < 5.5V, -40°C < T_J < 150°C (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位	
PVDD および VDD 電源						
V_{PVDD_REV}	逆電流時の電源ピン電圧	$I_{PVDD} = -1A, T_J = 25^\circ C$	-3	-0.1	V	
		$I_{PVDD} = -1A, T_J = 150^\circ C$	-2.8	-0.15	V	
I_{PVDD_STBY}	スタンバイ状態の PVDD 電流	ドライバ ハイ インピーダンス (SPI および PIN を使用)、オフ状態診断が有効		7	12	mA
I_{VDD_STBY}	スタンバイ状態の VDD 電流	ドライバ ハイ インピーダンス、PVDD = 0V (SPI アクティビティなし)		4.3	7.5	mA
I_{VDD_PEAK}	1 SCLK サイクルにおいて SDO バスが競合している (データの衝突がある) 場合のピーク VDD 電流	PVDD = 13.5V		17	30	mA
t_{READY}	POR からデバイスがコマンドを受け入れる準備ができるまでのパワーアップ時間	PVDD 電源パワーアップの立ち上がり		1		ms
I_{PVDD_VDD}	PVDD から VDD へのリーク電流、VDD ピンで測定	PVDD = 13.5V、VDD = 0V		5	12	μ A
	PVDD から VDD へのリーク電流、PVDD ピンで測定	PVDD = 0V、VDD = 5V		-5		μ A
I_{PVDD_GND}	PVDD、OUTx から GND へのリーク電流	INIT1 状態で PVDD = OUTx = 1V、VDD = 5V		50	250	μ A
リセット (nPOR)						
$V_{PVDD_RST_FALL}$	リセットが発生した際、VDD がハイ インピーダンスの場合、PVDD の電圧が低下します	VDD = 0V		2.6	3.1	V
$V_{PVDD_RST_RISE}$	PVDD がハイ インピーダンスの場合のリセット解除時の VDD 立ち上がりレベル	VDD = 0V		3.1	3.8	V
$V_{PVDD_RST_HYST}$	VDD がハイ インピーダンスの場合、V5_S は PVDD に対してヒステリシスをリセットします	VDD = 0V		0.6		V
$V_{VDD_RST_FALL}$	リセットが発生した際、VDD がハイ インピーダンスの場合、VDD の電圧が低下します	PVDD = 0V		2.6	3.1	V
$V_{VDD_RST_RISE}$	VDD がハイ インピーダンスの場合のリセット解除時の VDD 立ち上がりレベル	PVDD = 0V		3.1	3.8	V

$4.5V < V_{PVDD} < 35V, 4.5V < V_{VDD} < 5.5V, -40^{\circ}C < T_J < 150^{\circ}C$ (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{VDD_RST_HYS}$	PVDD がハイ インピーダンスの場合、 $V5_S$ は VDD に対してヒステリシスをリセットします	PVDD = 0V		0.6		V
PVDD モニタ						
$V_{PVDD_UV_BIAS_FALL}$	立ち下がり時の PVDD BIAS 低電圧スレッショルド (LS 100% デューティ サイクル)	$VDD > 4.5V$	2.6		3.1	V
$V_{PVDD_UV_BIAS_RISE}$	立ち上がり時の PVDD BIAS 低電圧スレッショルド	$VDD > 4.5V$	2.8		3.3	V
$V_{PVDD_UV_BIAS_HYST}$	PVDD BIAS 低電圧ヒステリシス	$VDD > 4.5V$		0.21		V
$t_{PVDD5R_UV_BIAS}$	PVDD BIAS UV グリッチ除去時間		15		19	μs
$V_{PVDD_UV_FALL}$	立ち下がり時の PVDD 低電圧トリガ スレッショルド		4.3	4.54	4.8	V
$V_{PVDD_UV_RISE}$	立ち上がり時の PVDD 低電圧復帰スレッショルド		4.5	4.75	5	V
$V_{PVDD_UV_HYS}$	PVDD UV ヒステリシス			0.21		V
$t_{PVDD_UV_W}$	警告用の PVDD UV グリッチ除去時間		15		19	μs
t_{PVDD_UV}	PVDD UV グリッチ除去時間	PVDD_UV_FLTR = 0x0	240		315	μs
		PVDD_UV_FLTR = 0x1	475		600	μs
		PVDD_UV_FLTR = 0x2	700		890	μs
		PVDD_UV_FLTR = 0x3	940		1170	μs
$V_{PVDD_OV_RISE}$	立ち上がり時の PVDD 過電圧トリガ スレッショルド		31.2	33	34.8	V
$V_{PVDD_OV_FALL}$	立ち下がり時の PVDD 過電圧復帰スレッショルド		30.2	31.9	33.8	V
$V_{PVDD_OV_HYS}$	PVDD 過電圧ヒステリシス			1.1		V
t_{PVDD_OV}	PVDD OV グリッチ除去時間	PVDD_OV_FLTR = 0x0	240		315	μs
		PVDD_OV_FLTR = 0x1	475		600	μs
		PVDD_OV_FLTR = 0x2	700		890	μs
		PVDD_OV_FLTR = 0x3	940		1170	μs
$V_{PVDD_OV_W_RISE}$	立ち上がり時の PVDD 過電圧警告スレッショルド		19	19.7	20.5	V
$V_{PVDD_OV_W_FALL}$	立ち下がり時の PVDD 過電圧警告スレッショルド		18.2	18.8	19.4	V
$V_{PVDD_OV_W_HYST}$	PVDD 過電圧ヒステリシス			0.9		V
$t_{PVDD_OV_W}$	警告用の PVDD OV グリッチ除去時間		15		19	μs
VDD モニタ						
$V_{VDD_UV_FALL}$	立ち下がり時の VDD 低電圧トリガ スレッショルド		4	4.2	4.4	V
$V_{VDD_UV_RISE}$	立ち上がり時の VDD 低電圧復帰スレッショルド		4.1	4.3	4.5	V
$V_{VDD_UV_HYS}$	VDD UV ヒステリシス			0.105		V
$t_{VDD_UV_W}$	警告用の VDD UV グリッチ除去時間		15		19	μs

$4.5V < V_{PVDD} < 35V, 4.5V < V_{VDD} < 5.5V, -40^{\circ}C < T_J < 150^{\circ}C$ (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t _{VDD_UV}	VDD UV グリッチ除去時間	VDD_UV_FLTR = 0x0	240		315	μs
		VDD_UV_FLTR = 0x1	475		600	μs
		VDD_UV_FLTR = 0x2	700		890	μs
		VDD_UV_FLTR = 0x3	940		1170	μs
V _{VDD_OV_RISE}	立ち上がり時の VDD 過電圧トリガ スレッシュホルド		5.9	6.2	6.5	V
V _{VDD_OV_FALL}	立ち下がり時の VDD 過電圧復帰スレッシュホルド		5.5	5.8	6.1	V
V _{VDD_OV_HYST}	VDD 過電圧ヒステリシス			0.4		V
t _{VDD_OV_W}	警告用の VDD OV グリッチ除去時間 ⁽¹⁾		15		19	μs
t _{VDD_OV}	VDD OV グリッチ除去時間	VDD_OV_FLTR = 0x0	240		315	μs
		VDD_OV_FLTR = 0x1	475		600	μs
		VDD_OV_FLTR = 0x2	700		890	μs
		VDD_OV_FLTR = 0x3	940		1170	μs
EN/EN1 および DIS/EN2 ピン						
V _{IL}	入力ロジック Low 電圧				0.7	V
V _{IH}	入力ロジック High 電圧		1.5			V
V _{IHYS}	ピンの入力ヒステリシス			0.11		V
R _{PD_ENABLE}	ENABLE ピンから GND への入力プルダウン抵抗	最小 VIH レベルで測定	100		200	kΩ
R _{PD_DISABLE}	DISABLE ピンから GND への入力プルダウン抵抗	最小 VIH レベルで測定	100		200	kΩ
t _{FLTR_PIN}	ピンの立ち下がりエッジでのフィルタリングに起因する遅延		1		2.2	μs
t _{FLTR_PIN}	ピンの立ち上がりエッジでのフィルタリングに起因する遅延		0.15		0.6	μs
t _{PIN_TURNON_DLY}	ピンのターン オン遅延	PIN_TURNON_DLYx = 0x0			0	ms
		PIN_TURNON_DLYx = 0x1	3.5		4.5	ms
		PIN_TURNON_DLYx = 0x2	7		9	ms
		PIN_TURNON_DLYx = 0x3	14		18	ms
		PIN_TURNON_DLYx = 0x4	21		27	ms
		PIN_TURNON_DLYx = 0x5	28		36	ms
		PIN_TURNON_DLYx = 0x6	35		45	ms
		PIN_TURNON_DLYx = 0x7	49		63	ms
t _{PIN_TURNOFF_DLY}	ピンのターン オフ遅延	PIN_TURNOFF_DLYx = 0x0			0	ms
		PIN_TURNOFF_DLYx = 0x1	3.5		4.5	ms
		PIN_TURNOFF_DLYx = 0x2	7		9	ms
		PIN_TURNOFF_DLYx = 0x3	14		18	ms
		PIN_TURNOFF_DLYx = 0x4	21		27	ms
		PIN_TURNOFF_DLYx = 0x5	28		36	ms
		PIN_TURNOFF_DLYx = 0x6	35		45	ms
		PIN_TURNOFF_DLYx = 0x7	49		63	ms
SPI I/O						
R _{PU_nSCS}	nSCS から VDD に対する入力プルアップ抵抗	最小 VIH レベルで測定	100		200	kΩ

4.5V < V_{PVDD} < 35V, 4.5V < V_{VDD} < 5.5V, -40°C < T_J < 150°C (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
R _{PD_SDI}	SDI から GND に対する入力プルダウン抵抗	最大 VIL レベルで測定	200		400	kΩ
R _{PD_SCLK}	SCLK から GND に対する入力プルダウン抵抗	最小 VIH レベルで測定	200		400	kΩ
V _{IL_SPI}	入力ロジック Low 電圧	SDI, nSCS, SCLK ピン			0.7	V
V _{IH_SPI}	入力ロジック High 電圧	SDI, nSCS, SCLK ピン	1.5			V
V _{IHYS_SPI}	入力ヒステリシス	SDI, nSCS, SCLK ピン		0.11		V
R _{PU_SDO}	SDO から VDD に対する入力プルアップ抵抗	最大 VIL レベルで測定	500		1050	kΩ
V _{OL_SDO}	SDO 出力ロジック Low 電圧	ピンへの 0.5mA シンク			0.3	V
V _{OH_SDO}	SDO 出力ロジック High 電圧	このピンからの 0.5mA ソース	VDD - 0.3			V
I _{OH_SDO}	SDO 出力ロジック High 電流	SDO の 1V で測定		15	35	mA
nFAULT/NAD ピン						
R _{LVL_OORL}	VDD への抵抗値 - 最小値未満				2.8	kΩ
R _{LVL1}	NAD 割り当て用の VDD への抵抗 = 2'b00	+/- 10% 抵抗	5.04	5.6	6.16	kΩ
R _{LVL2}	NAD 割り当て用の VDD への抵抗 = 2'b01	+/- 10% 抵抗	10.8	12	13.2	kΩ
R _{LVL3}	NAD 割り当て用の VDD への抵抗 = 2'b10	+/- 10% 抵抗	24.3	27	29.7	kΩ
R _{LVL4}	NAD 割り当て用の VDD への抵抗 = 2'b11	+/- 10% 抵抗	50.4	56	61.6	kΩ
R _{LVL_OORH}	VDD への抵抗値 - 最大値超		100			kΩ
I _{nFAULT_PD}	フォルトを通知するための nFAULT ピンのプルダウン電流	V(nFAULT) = 0.3 V	5			mA
V _{IL_nFAULT}	nFAULT フィードバック バッファの入力ロジック Low 電圧	nFAULT ピン			0.5	V
V _{IH_nFAULT}	nFAULT フィードバック バッファの入力ロジック High 電圧	nFAULT ピン	1.3			V
V _{IHYS_nFAULT}	nFAULT フィードバック バッファの入力ヒステリシス	nFAULT ピン		0.11		V
t _{nFAULT}	nFAULT フィードバックのグリッチ除去時間	nFAULT ピン	15		19	μs
出力ドライバ						
R _{ON_LS}	ローサイド MOSFET オン抵抗	V _{VM} = 13.5V, I _O = 3A, T _J = 25°C		37	45	mΩ
		V _{VM} = 13.5V, I _O = 3A, T _J = 150°C		57	75	mΩ
R _{ON_RECIRC}	双方向ハイサイド MOSFET の合計オン抵抗	V _{VM} = 13.5V, I _O = 3A, T _J = 25°C		57	75	mΩ
		V _{VM} = 13.5V, I _O = 3A, T _J = 150°C		87	120	mΩ
V _{CLAMP_HS}	PVDD を基準とするハイサイド クランプ	I _{OUTx} = 3A (ピンへの入力)、PVDD < 15V	PVDD + 27	PVDD + 32	PVDD + 36	V
		I _{OUTx} = 3A (ピンへの入力)、PVDD = 18V	PVDD + 23.5	PVDD + 27	PVDD + 32	V
		I _{OUTx} = 3A (ピンへの入力)、PVDD = 27V	PVDD + 14	PVDD + 19	PVDD + 23	V
		I _{OUTx} = 3A (ピンへの入力)、PVDD = 35V	PVDD + 6.5	PVDD + 10	PVDD + 15	V
V _{CLAMP_LS_ACTIVE}	GND を基準とするローサイド クランプ (冗長)	I _{OUTx} = 3A (ピンへの入力)、電力供給状態、PVDD ≥ OV レベル	41.5	45	49.5	V
		I _{OUTx} = 3A (ピンへの入力)、電力供給状態、PVDD < OV レベル	V _{CLAMP_HS} + 1	V _{CLAMP_HS} + 2.5	V _{CLAMP_HS} + 4	V

$4.5V < V_{PVDD} < 35V, 4.5V < V_{VDD} < 5.5V, -40^{\circ}C < T_J < 150^{\circ}C$ (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{CLAMP_LS_PASSIVE}$	GND を基準とするローサイド クランプ (冗長)	$I_{OUTx} = 3A$ (ピンへの入力)、電源が供給されていない状態	28	30	32	V
V_{SD_LS}	ボディダイオード順方向電圧	$I_{OUTx} = -3A$ (ピン外)	-1.2		-0.5	V
I_{OCP_HS}	HS FET に対する過電流保護スレッシュホールド		11		22	A
I_{OCP_LS}	LS FET に対する過電流保護スレッシュホールド		11		22	A
t_{OCP}	過電流保護グリッチ除去時間	OCP_FLTR = 0x0	3.8		4.7	μs
		OCP_FLTR = 0x1、PVDD < $V_{PVDD_OV_W_RISE}$	7.1		9.2	μs
電流センス						
A_{IPROPI}	電流スケーリング係数 (LS)	電流範囲: 0.8A ~ 6A	19000	20000	21000	A/A
A_{IPROPI_LOW}	電流スケーリング係数 (LS)	電流範囲: 0.2A ~ 0.8A	18500	20000	21500	A/A
Offset t_{IPROPI}	無負荷電流時の IPROPI のオフセット電流 (LS)	無負荷電流時、ACTIVE 状態で測定			1	μA
A_{IPROPI_MATCH}	電流スケーリング係数のマッチング (LS を基準とする HS)	電流範囲: 0.8A ~ 3A	-8		8	%
A_{IPROPI_HS}	電流スケーリング係数 (HS)	電流範囲: 0.8A ~ 3A	18800	20000	21200	A/A
$A_{IPROPI_LOW_HS}$	電流スケーリング係数 (HS)	電流範囲: 0.2A ~ 0.8A	18000	20000	22000	A/A
Offset t_{IPROPI_HS}	無負荷電流時の IPROPI のオフセット電流 (ハイサイド検出)	無負荷電流時、ACTIVE 状態で測定			1	μA
内部電流レギュレーション						
V_{ITRIP_LVL}	電流レギュレーションをトリガするための IPROPIx ピンの電圧スレッシュホールド	CHx_HC = 0x00	0.18	0.195	0.21	V
		CHx_HC = 0x01	0.19	0.205	0.22	V
		CHx_HC = 0x02	0.205	0.22	0.235	V
		CHx_HC = 0x04	0.225	0.24	0.255	V
		CHx_HC = 0x08	0.27	0.285	0.3	V
		CHx_HC = 0x10	0.36	0.375	0.39	V
		CHx_HC = 0x20	0.53	0.55	0.57	V
		CHx_HC = 0x40	0.85	0.9	0.95	V
		CHx_HC = 0x80	1.55	1.61	1.67	V
		CHx_HC = 0xFF	2.9	3.02	3.14	V
V_{QTO_START}	QTO 開始を検出するための、OUTx ピンの PVDD を基準とした電圧スレッシュホールド	負荷 = 15mH、1.5 Ω 、0.3A	1.75	2.00	2.25	V
V_{QTO_END}	QTO 終了を検出するための、OUTx ピンの PVDD を基準とした電圧スレッシュホールド	負荷 = 15mH、1.5 Ω 、0.3A	1.65	1.9	2.15	V
t_{QTO_DELAY}	QTO 開始 / 停止検出に対する遅延時間 ⁽¹⁾	負荷 = 15mH、1.5 Ω 、0.3A		10		μs
t_{QTO_DETECT}	QTO 開始 / 停止検出に対するグリッチ除去時間	負荷 = 15mH、1.5 Ω 、0.3A	15		19	μs
$V_{IRIPPLE_LVL_H}$	電流リップル レギュレーションをトリガするための内部 IPROPI 冗長ノードの上限電圧スレッシュホールド (HC に正規化)	CHx_HC = 0x80、CHx_RIPPLE_THRS = 0x0	13.8	15	16.2	%
		CHx_HC = 0x80、CHx_RIPPLE_THRS = 0x1	18.8	20	21.2	%
		CHx_HC = 0x80、CHx_RIPPLE_THRS = 0x2	23.8	25	26.2	%
		CHx_HC = 0x80、CHx_RIPPLE_THRS = 0x4	33.8	35	36.2	%

4.5V < V_{PVDD} < 35V, 4.5V < V_{VDD} < 5.5V, -40°C < T_J < 150°C (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V _{IRIPPLE_LVL}	電流リップルレギュレーションをトリガするための内部 IPROPI 冗長ノードの下限電圧スレッショルド (HC に正規化)	CHx_HC = 0x80, CHx_RIPPLE_THRS = 0x0	-16.2	-15	-13.8	%
		CHx_HC = 0x80, CHx_RIPPLE_THRS = 0x1	-21.2	-20	-18.8	%
		CHx_HC = 0x80, CHx_RIPPLE_THRS = 0x2	-26.2	-25	-23.8	%
		CHx_HC = 0x80, CHx_RIPPLE_THRS = 0x4	-36.2	-35	-33.8	%
V _{UCLO_LVL}	HC に正規化された低電流ロックアウト (UCLO) をトリガする IPROPIx ピンの電圧スレッショルド	CHx_HC = 0x80, CHx_RIPPLE_THRS = 0x4, CHx_UCLO_THRS = 0x0	-53.6	-52.2	-50.8	%
		CHx_HC = 0x80, CHx_RIPPLE_THRS = 0x4, CHx_UCLO_THRS = 0x1	-50.3	-48.9	-47.5	%
		CHx_HC = 0x80, CHx_RIPPLE_THRS = 0x4, CHx_UCLO_THRS = 0x2	-47.1	-45.7	-44.3	%
		CHx_HC = 0x80, CHx_RIPPLE_THRS = 0x4, CHx_UCLO_THRS = 0x3	-43.9	-42.5	-41.1	%
f _{CPWM}	PWM 中心周波数	CHx_fC_PWM = 0x04	4.3	5	5.7	KHz
		CHx_fC_PWM = 0x0B	8.6	10	11.4	KHz
		CHx_fC_PWM = 0x1F	17.2	20	22.8	KHz
f _{CPWM}	PWM 周波数は中心周波数付近に拡散されます	CHx_fC_PWM = 0x1F, CHx_fSS_SEL = 0x3		27		%
t _{PC}	ピーク電流タイマ	CHx_PT = 0x0	14		18	ms
		CHx_PT = 0x1	21		27	ms
		CHx_PT = 0x2	28		36	ms
		CHx_PT = 0x3	35		45	ms
		CHx_PT = 0x4	42		54	ms
		CHx_PT = 0x5	49		63	ms
		CHx_PT = 0x6	56		72	ms
		CHx_PT = 0x7	63		81	ms
		CHx_PT = 0x8	70		90	ms
		CHx_PT = 0x9	77		99	ms
		CHx_PT = 0xA	84		108	ms
		CHx_PT = 0xB	91		117	ms
		CHx_PT = 0xC	98		126	ms
		CHx_PT = 0xD	105		135	ms
		CHx_PT = 0xE	112		144	ms
CHx_PT = 0xF	224		288	ms		
スイッチング パラメータ						
SR _{LSOFF}	出力電圧立ち上がり時間、10% ~ 90%、VM = 13.5V、負荷 = 15mH、1.5Ω	SR = 0x0	1.3	2.9	4.5	V/μs
		SR = 0x1	2.2	4.5	6.8	V/μs
		SR = 0x2	4	7.4	10.8	V/μs
		SR = 0x3	6.2	12.6	19	V/μs
		SR = 0x4	8.1	16.3	24.5	V/μs
		SR = 0x5	13	24.1	35.2	V/μs
		SR = 0x6	16.5	31.2	45.9	V/μs
		SR = 0x7	22.2	41.8	61.4	V/μs

$4.5V < V_{PVDD} < 35V, 4.5V < V_{VDD} < 5.5V, -40^{\circ}C < T_J < 150^{\circ}C$ (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
SR _{LSON}	出力電圧立ち下がり時間、90% ~ 10%、 VM = 13.5V、負荷 = 15mH、1.5Ω	SR = 0x0	1.3	2.9	4.5	V/μs
		SR = 0x1	2.2	4.5	6.8	V/μs
		SR = 0x2	4	7.4	10.8	V/μs
		SR = 0x3	6.2	12.6	19	V/μs
		SR = 0x4	8.1	16.3	24.5	V/μs
		SR = 0x5	13	24.1	35.2	V/μs
		SR = 0x6	16.5	31.2	45.9	V/μs
		SR = 0x7	22.2	41.8	61.4	V/μs
t _{ON_MIN}	最小 LS ON 充電時間 (PWM = 1)、VM = 13.5V、負荷 = 15mH、1.5Ω、3A	SR = 0x0	6	8.7	11.8	μs
		SR = 0x1	5.2	7.1	9.4	μs
		SR = 0x2	4.6	6	7.3	μs
		SR = 0x3	4.4	5.7	6.8	μs
		SR = 0x4	4.1	5.2	6.3	μs
		SR = 0x5	3.7	4.7	5.7	μs
		SR = 0x6	3.5	4.4	5.3	μs
		SR = 0x7	3.3	4.2	5.1	μs
t _{RETRCIRC_MIN}	最小再循環時間 (PWM = 0)、VM = 13.5V、負荷 = 15mH、1.5Ω、3A	SR = 0x0	6.6	9.8	12.8	μs
		SR = 0x1	5.7	8.1	10.6	μs
		SR = 0x2	4.9	6.8	8.7	μs
		SR = 0x3	4.6	6.4	8	μs
		SR = 0x4	4.3	5.8	7.4	μs
		SR = 0x5	3.9	5.3	6.8	μs
		SR = 0x6	3.6	5	6.4	μs
		SR = 0x7	3.5	4.8	6.1	μs
リトライの待機						
t _{RETRY_WAIT}	強制リトライの遅延時間	RETRY_WAIT_SEL = 0x0	7	9	ms	
		RETRY_WAIT_SEL = 0x1	14	18	ms	
		RETRY_WAIT_SEL = 0x2	28	36	ms	
		RETRY_WAIT_SEL = 0x3	56	72	ms	
		RETRY_WAIT_SEL = 0x4	112	144	ms	
		RETRY_WAIT_SEL = 0x5	224	288	ms	
		RETRY_WAIT_SEL = 0x6	336	432	ms	
		RETRY_WAIT_SEL = 0x7	448	576	ms	
オン状態診断						
N _{PWM_FAULT}	UCLO を含む電流レギュレーション異常を 検出するための PWM フォルト サイクル数	PWM_FAULT_FLTR = 0x0	8		サイクル	
		PWM_FAULT_FLTR = 0x1	16		サイクル	
		PWM_FAULT_FLTR = 0x2	32		サイクル	
		PWM_FAULT_FLTR = 0x3	48		サイクル	
		PWM_FAULT_FLTR = 0x4	64		サイクル	
		PWM_FAULT_FLTR = 0x5	128		サイクル	
		PWM_FAULT_FLTR = 0x6	192		サイクル	
		PWM_FAULT_FLTR = 0x7	256		サイクル	

4.5V < V_{PVDD} < 35V, 4.5V < V_{VDD} < 5.5V, -40°C < T_J < 150°C (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t _{PRT_MIN}	ピーク電流の最小立ち上がり時間スレッショルド	PRT_MIN_THRSx = 0x0	28		48	μs
		PRT_MIN_THRSx = 0x1	56		84	μs
		PRT_MIN_THRSx = 0x2	112		156	μs
		PRT_MIN_THRSx = 0x3	224		300	μs
t _{HRT_MIN}	ホールド電流の最小立ち上がり時間スレッショルド	HRT_MIN_THRSx = 0x0	28		36	μs
		HRT_MIN_THRSx = 0x1	56		72	μs
		HRT_MIN_THRSx = 0x2	112		144	μs
		HRT_MIN_THRSx = 0x3	224		288	μs
t _{HRT_MAX}	ホールド電流の最大立ち上がり時間スレッショルド	HRT_MAX_THRSx = 0x0	224		288	ms
		HRT_MAX_THRSx = 0x1	448		576	ms
		HRT_MAX_THRSx = 0x2	896		1152	ms
		HRT_MAX_THRSx = 0x3	1792		2304	ms
t _{QTOT_MIN}	クイックターンオフ最小立ち上がり時間スレッショルド	QTOT_MIN_THRSx = 0x0	28		36	μs
		QTOT_MIN_THRSx = 0x1	56		72	μs
		QTOT_MIN_THRSx = 0x2	112		144	μs
		QTOT_MIN_THRSx = 0x3	224		288	μs
t _{QTOT_MAX}	クイックターンオフ最大立ち上がり時間スレッショルド	QTOT_MAX_THRSx = 0x0	3.5		4.5	ms
		QTOT_MAX_THRSx = 0x1	7		9	ms
		QTOT_MAX_THRSx = 0x2	14		18	ms
		QTOT_MAX_THRSx = 0x3	28		36	ms
t _{QTOST_MAX}	クイックターンオフの開始タイムアウト		0.94		1.17	ms
オフ状態診断						
V _{OLP}	PVDDを基準とするコンパレータの電圧リファレンス	OLP_SEL = 0x0	-0.32	-0.25	-0.18	V
		OLP_SEL = 0x1	-0.6	-0.5	-0.4	V
		OLP_SEL = 0x2	-0.85	-0.75	-0.65	V
		OLP_SEL = 0x3	-1.15	-1	-0.85	V
		OLP_SEL = 0x4	-1.4	-1.25	-1.1	V
		OLP_SEL = 0x5	-1.65	-1.5	-1.35	V
		OLP_SEL = 0x6	-1.95	-1.75	-1.55	V
		OLP_SEL = 0x7	-2.2	-2	-1.8	V
I _{OLP_PD}	オフ状態診断時に OUT から GND へ流れ込む内部シンク電流	VOUTx = PVDD	0.22	0.29	0.36	mA
t _{OLP_FLTR}	OLP コンパレータのグリッチ除去時間		250		350	μs
RIPROPI 警告						
R _{IIPROPI_L}	R _{IIPROPIx} の下限スレッショルド警告		3.2		4.4	kΩ
R _{IIPROPI_H}	R _{IIPROPIx} の上限スレッショルド警告		22.7		30.5	kΩ
I _{IIPROPI}	初期化中の I _{IIPROPIx} のプルアップ電流	V(I _{IIPROPIx}) = 0V	80		120	μA
R _{IIPROPI_VAL}	初期化中の CHx _{RIPROPI} 値	I _{IIPROPIx} 抵抗 = 4.7kΩ	237		255	コード
		I _{IIPROPIx} 抵抗 = 6.8kΩ	206		236	コード
		I _{IIPROPIx} 抵抗 = 10kΩ	165		205	コード
		I _{IIPROPIx} 抵抗 = 15kΩ	96		164	コード
		I _{IIPROPIx} 抵抗 = 22kΩ	1		95	コード

4.5V < V_{PVDD} < 35V, 4.5V < V_{VDD} < 5.5V, -40°C < T_J < 150°C (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V _{IPROPI_VAL}	初期化中の CHx_VIPROPI 値	IPROPIx 抵抗 = 4.7kΩ	12		40	コード
		IPROPIx 抵抗 = 6.8kΩ	25		65	コード
		IPROPIx 抵抗 = 10kΩ	45		103	コード
		IPROPIx 抵抗 = 15kΩ	78		162	コード
		IPROPIx 抵抗 = 22kΩ	123		245	コード
SPI ウォッチドッグ モニタ						
t _{WD}	SPI の有効トランザクション間隔	SPI_WD_SEL = 0x0	56		72	ms
		SPI_WD_SEL = 0x1	224		288	ms
		SPI_WD_SEL = 0x2	896		1152	ms
		SPI_WD_SEL = 0x3	1792		2304	ms
過熱保護						
T _{TSD}	サーマル シャットダウン温度		150	170	190	°C
T _{TSD_HYS}	サーマル シャットダウン ヒステリシス			20		°C
t _{TSD}	サーマル シャットダウン グリッチ除去時間		15		19	µs
T _{TSD_W}	サーマル シャットダウン警告温度			150		°C
T _{TSD_W_HYS}	サーマル シャットダウン警告ヒステリシス			20		°C
t _{TSD_W}	サーマル シャットダウン警告グリッチ除去時間		15		19	µs
デバイスの安全層						
V _{V5_S_UV_FA_LL}	立ち下がり時の V5_S 低電圧トリガ スレッシュホルド		4.05	4.24	4.4	V
V _{V5_S_UV_RI_SE}	立ち上がり時の V5_S 低電圧復帰スレッシュホルド		4.15	4.35	4.5	V
V _{V5_S_UV_HY_ST}	V5_S UV ヒステリシス			0.11		V
t _{V5_S_UV}	V5_S の UV グリッチ除去時間 ⁽¹⁾		15		19	µs
V _{V5_S_OV_RI_SE}	立ち上がり時の V5_S 過電圧トリガ スレッシュホルド		5.9	6.2	6.5	V
V _{V5_S_OV_FA_LL}	立ち下がり時の V5_S 過電圧復帰スレッシュホルド		5.5	5.8	6.1	V
V _{V5_S_OV_HY_ST}	V5_S 過電圧ヒステリシス			0.4		V
t _{V5_S_OV}	V5_S の OV グリッチ除去時間 ⁽¹⁾		15		19	µs
f _{OSC}	メイン発振器の周波数			20		MHz
t _{HEART_BEAT}	メイン ロジックからのハートビート間隔		0.9		1.2	ms
t _{TIME_OUT}	シャットオフ タイマのタイムアウト時間		28		36	ms

(1) 設計シミュレーションにより保証。

5.6 SPI のタイミング要件

		最小値	公称値	最大値	単位
t _{SCLK}	SCLK 最小周期 ⁽¹⁾	125			ns
t _{SCLKH}	SCLK 最小 High 時間	62.5			ns
t _{SCLKL}	SCLK の最小 Low 時間	62.5			ns
t _{HI_nSCS}	SDO 最小 High 時間 ⁽²⁾	2000			ns
t _{SU_nSCS}	nSCS 入力セットアップ時間	40			ns

		最小値	公称値	最大値	単位
t_{H_nSCS}	nSCS 入力ホールド時間	40			ns
t_{SU_SDI}	SDI 入力データ セットアップ時間	20			ns
t_{H_SDI}	SDI 入力データ ホールド時間	20			ns
t_{EN}	SDO イネーブル遅延時間			50	ns
t_{DIS}	SDO ディスエーブル遅延時間			1000	ns

- (1) SCLK の最小周期は、20pF の SDO 外部負荷に基づいています。SDO に追加の負荷をかけると、この最小周期がさらに制限されます。
- (2) nSCS の最小 High 時間は、アプリケーションではプルアップ抵抗 SDO および SDO の容量によってさらに制限されます。

5.7 タイミング図

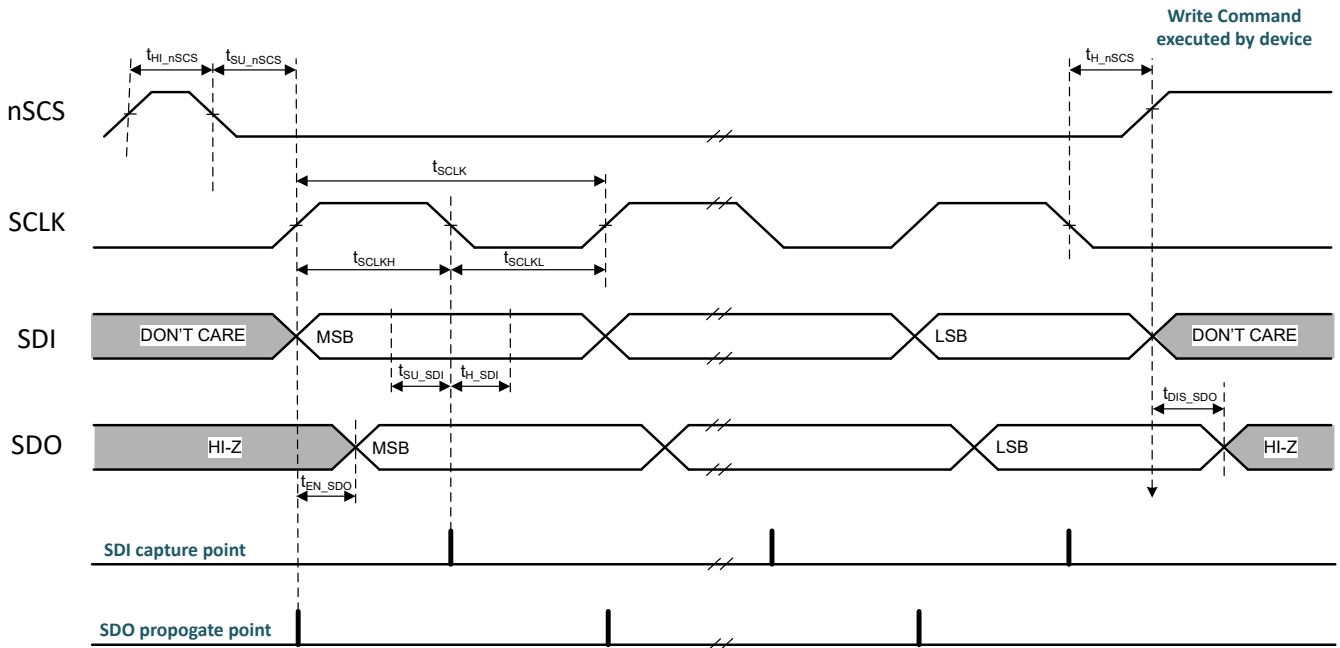


図 5-1. SPI タイミング図

5.8 代表的特性

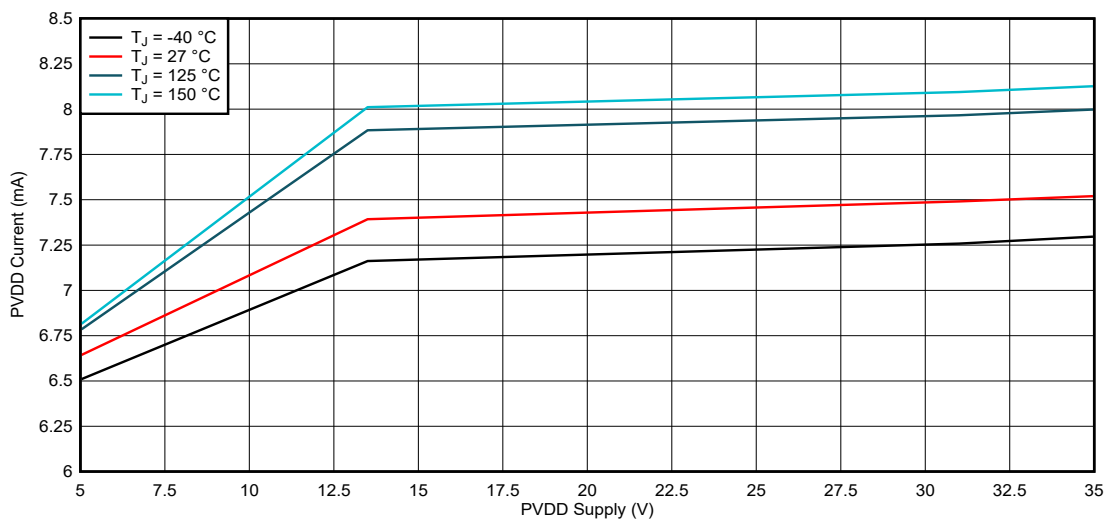


図 5-2. スタンバイ状態での PVDD 電流、VDD = 5V

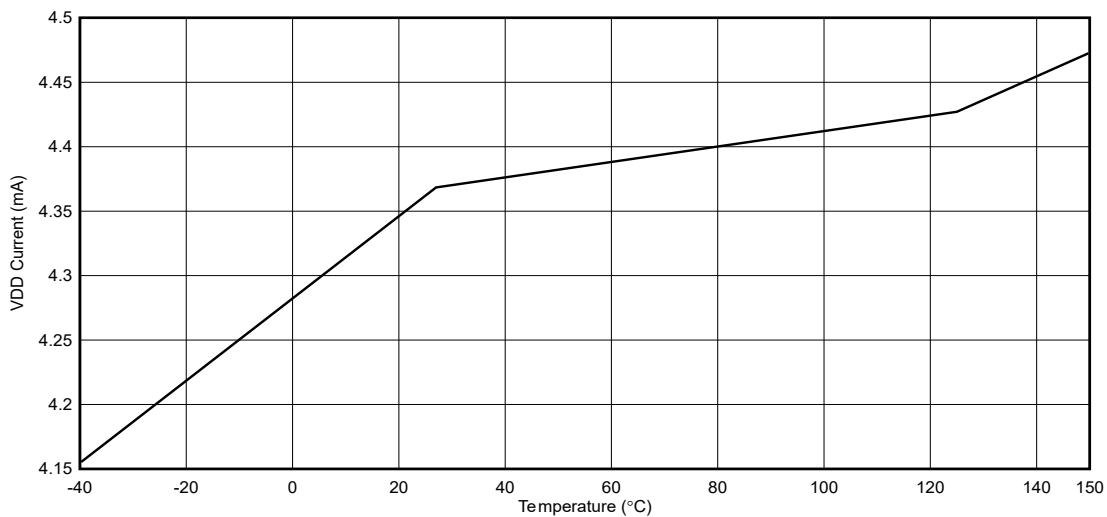


図 5-3. スタンバイ状態での VDD 電流、PVDD = 0V

5.8 代表的特性 (続き)

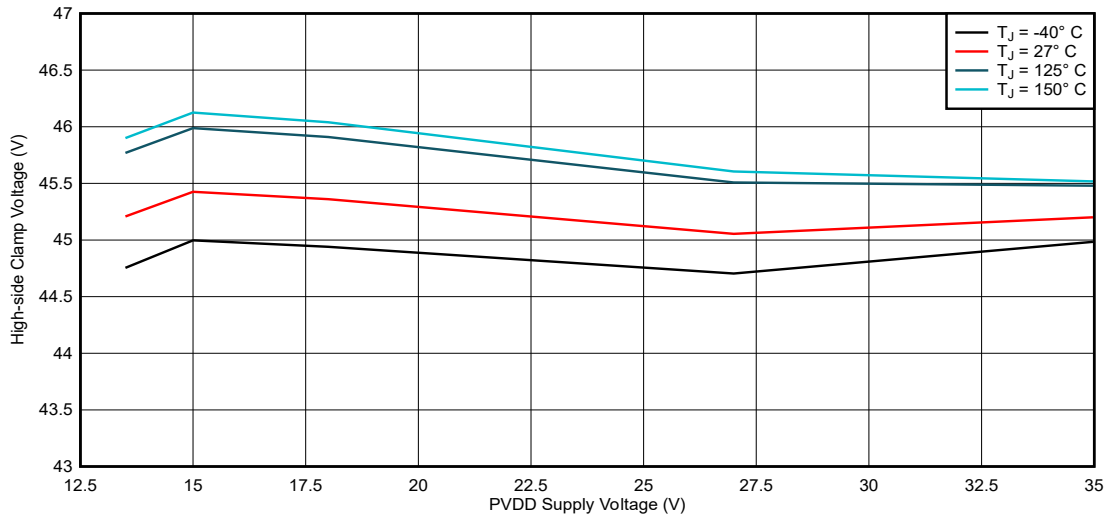


図 5-4. ハイサイド クランプ電圧、アクティブ状態

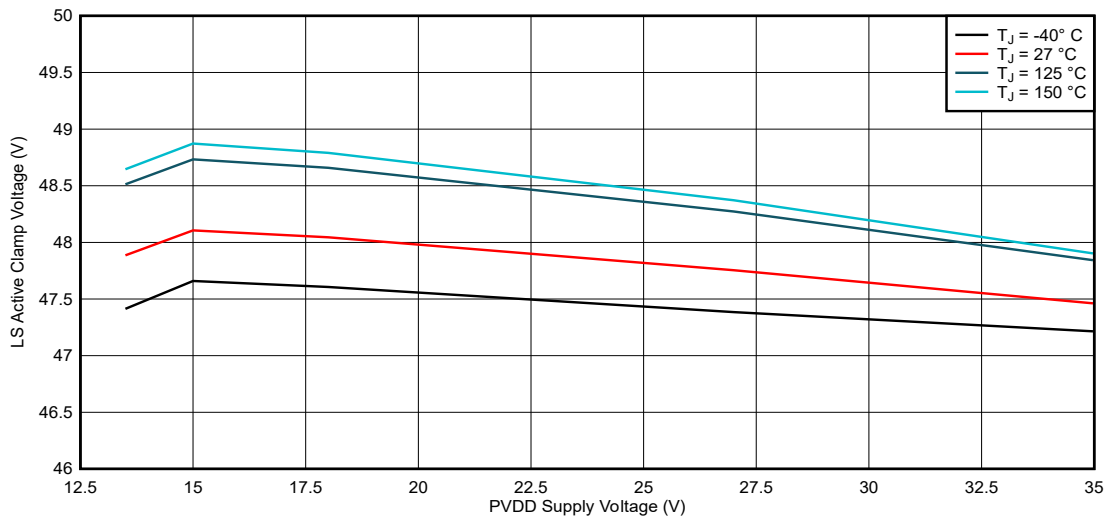


図 5-5. ローサイドのアクティブ クランプ電圧、アクティブ状態

5.8 代表的特性 (続き)

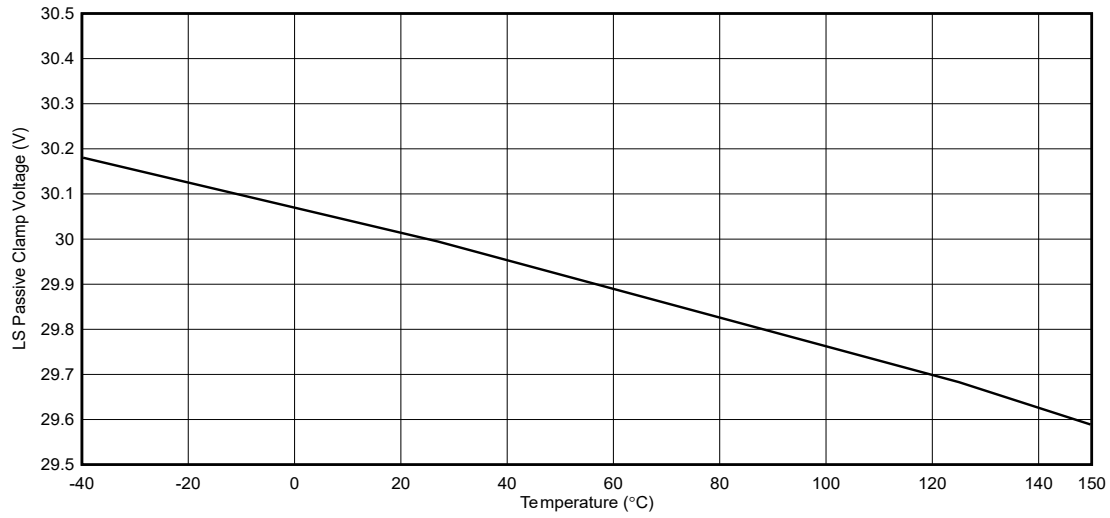


図 5-6. STANDBY 状態でのローサイド パッシブ クランプ電圧

6 詳細説明

6.1 概要

次の表に、このドキュメント内のさまざまな機能とその場所を示します。デバイスの初期化とソフトウェア設定の詳細については、「初期化セットアップ」セクションを参照してください。

表 6-1. 機能概要

カテゴリ	「詳細説明」セクション	電気的特性表
電源およびモニタ	PVDD および VDD 電源	PVDD および VDD 電源
	PVDD モニタ	PVDD モニタ
	VDD モニタ	VDD モニタ
	リセット (nPOR)	リセット (nPOR)
	デバイスの安全層	デバイスの安全層
出力ドライバ	出力ドライバ	出力ドライバ
	過電流保護	
	リトライの待機	リトライの待機
	過熱保護	過熱保護
スタートアップ シーケンス	スタートアップ シーケンス	該当なし
電流制御	内部レギュレーション モード	内部電流レギュレーション、スイッチング パラメータ、電流センス
	固定周波数、可変デューティ サイクル モード	
	固定デューティ サイクル、可変周波数モード	
	クイック ターンオフ	
	PWM 周波数	
	最小および最大デューティ サイクル	
入力ピン	EN/EN1 および DIS/EN2 ピン	EN/EN1 および DIS/EN2 ピン
診断	オン状態診断	オン状態診断
	オフ状態診断	オフ状態診断
SPI ウォッチドッグ モニタ	SPI ウォッチドッグ モニタ	SPI ウォッチドッグ モニタ
nFAULT/NAD ピン	nFAULT/NAD ピン	nFAULT/NAD ピン
フォルト表	フォルト表	該当なし
SPI インターフェイス	プログラミング	SPI I/O、SPI のタイミング要件

6.2 機能ブロック図

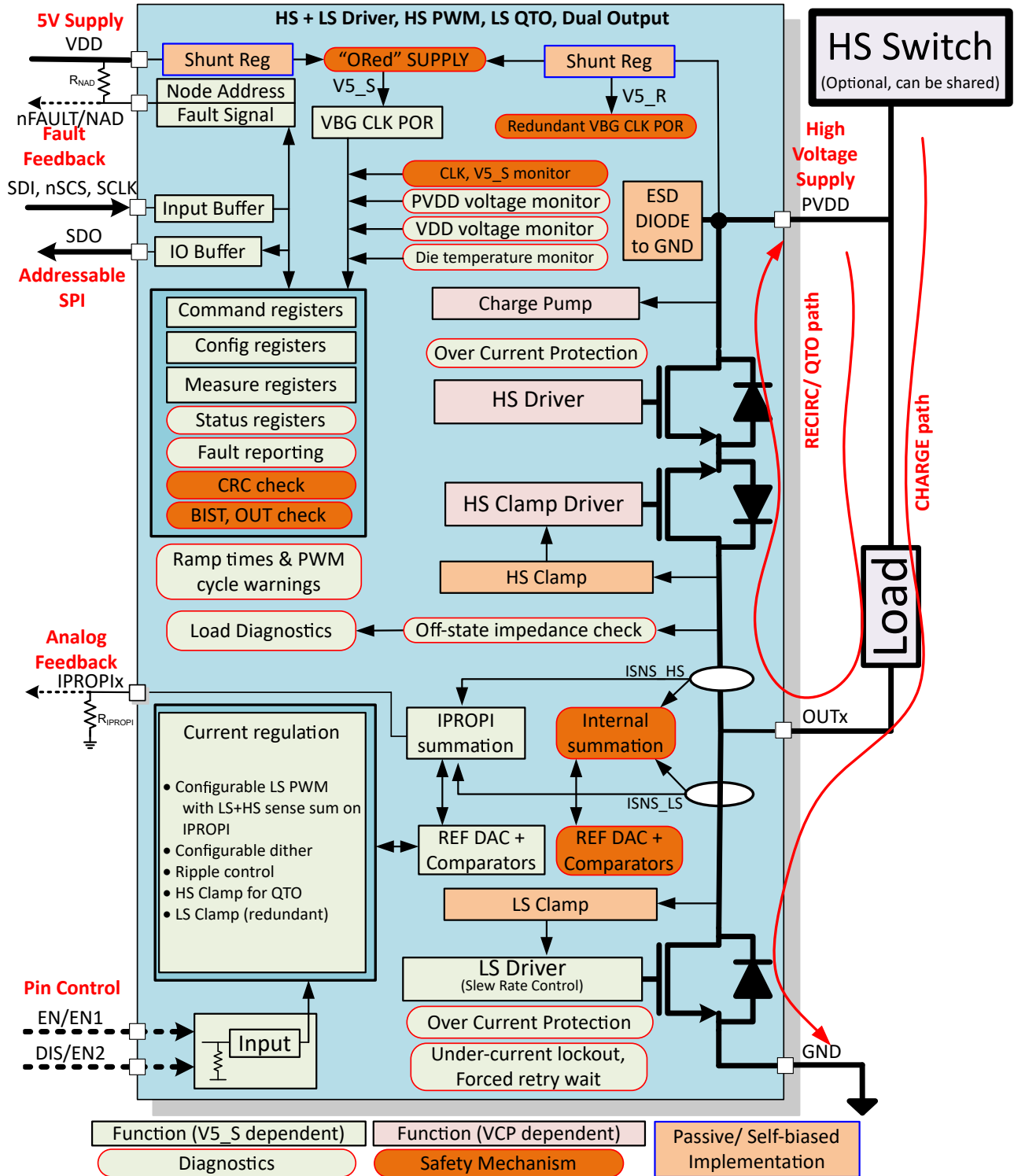


図 6-1. 機能ブロック図

6.3 機能説明

6.3.1 推奨外付け部品

表 6-2 に、DRV3946-Q1 の推奨外付け部品を示します。

表 6-2. 外付け部品

ピン	部品	目的	推奨値
IPROPI1	抵抗を GND に	出力 1 のピーク電流とホールド電流の範囲を設定します。この抵抗は規定の範囲内にする必要があります。それ以外の場合、RIPROPI1_W 警告フラグが設定されます。範囲により、リレー タイプに基づいて約 4 倍の電流をスケールリングできます。	4.7kΩ ~ 20kΩ、0.063W、1%
IPROPI1	コンデンサを GND に	IPROPI1 ピンのオプションのフィルタ コンデンサ	10pF セラミック コンデンサ
IPROPI2	抵抗を GND に	出力 2 のピーク電流とホールド電流の範囲を設定します。この抵抗は規定の範囲内にする必要があります。それ以外の場合、RIPROPI2_W 警告フラグが設定されます。範囲により、リレー タイプに基づいて約 4 倍の電流をスケールリングできます。	4.7kΩ ~ 20kΩ、0.063W、1%
IPROPI2	コンデンサを GND に	IPROPI2 ピンのオプションのフィルタ コンデンサ	10pF セラミック コンデンサ
SDO	抵抗を VDD に	デバイスによって駆動されていないときに SDO 出力が High として登録されるようにするプルアップ抵抗。	10kΩ、0.063W、10%
nFAULT/NAD	抵抗を VDD に	SPI 通信の一意のノード アドレスを設定します。この抵抗は、許容される 4 つの抵抗値のいずれかである必要があります。それ以外の場合、NAD_ERR フラグが設定され、SPI 通信が影響を受けます。	5.6kΩ/12kΩ/27kΩ/56kΩ、0.063W、1%
PVDD	バルクコンデンサを GND に	過渡電圧に対処するための PVDD 上のローカル バルク コンデンサ	≥ 10μF、35V
PVDD	ダイオードを GND に	オプション – 負荷の無励磁化時に誘導性電流を処理するために、PVDD 上でダイオードを GND に接続	35V、≥ 1A
PVDD	バイパス コンデンサを GND に	PVDD 上のローカル高周波バイパス コンデンサ	0.1μF、35V、低 ESR セラミックコンデンサ
VDD	バイパス コンデンサを GND に	オプション – VDD 上のローカル高周波バイパス コンデンサ	0.1μF、6.3V、低 ESR セラミックコンデンサ
OUT1	負荷の両端に適用される EMC コンデンサ	オプション - 出力 1 の負荷全体に高周波 EMC コンデンサを配置	≤ 0.1μF、低 ESR セラミックコンデンサ
OUT2	負荷の両端に適用される EMC コンデンサ	オプション - 出力 2 の負荷全体に高周波 EMC コンデンサを配置	≤ 0.1μF、低 ESR セラミックコンデンサ

冗長ハイサイド (HS) スイッチを使用して 12V 電源を遮断する場合、HS スイッチ (PVDD ピン) の出力には、以下を保証するのに十分な容量が必要です。

- HS スイッチが閉じているときの PVDD の dV/dt は 2V/μs 未満
- 過渡負荷電流を供給 (誘導性フライバック) する能力:
 - クランプ機能は DRV3946-Q1 では処理されません
 - フォルト状態: 負荷が励磁され、1 つの出力が GND に短絡した状態で HS スイッチを開く場合 (DRV3946-Q1 のクランプ機能の損失)。

PVDD の容量は、この過渡時にこのピンの ABS MIN に違反するのを防止するためのものです。クランプ時間中に PVDD から供給される誘導性電流を供給してコンデンサのサイズを縮小するため、PVDD から GND にオプションのダイオードを接続することを推奨します。電流レベルによっては、ハーブリッジドライバは、ハイサイド スイッチのカットオフ機能とディスクリート ダイオード再循環機能の両方を組み合わせて、スイッチが開いたときに誘導性エネルギーを消費するオプションがあります。

6.3.2 電源およびモニタ

このセクションでは、DRV3946-Q1 の電源アーキテクチャと関連する安全機能について説明します。

6.3.2.1 PVDD および VDD 電源

DRV3946-Q1 には、PVDD (オプションの HS 遮断スイッチを使用して 12V) ピンと VDD (5V) ピンから電力が供給されます。ドライバと出力段は主に PVDD から電力供給されますが、ロジック、重要な安全機能、および診断機能は、PVDD と VDD の電力「OR」組み合わせから派生した内部 5V 電源 (V5_S と呼ばれる安全 5V) で駆動されます。電力 OR 接続により、いずれかの電源が損失した場合でも、デバイスが自らのインテリジェンスと重要な機能を確実に維持できるようになります。電圧リファレンス、電流バイアス、発振器、およびデジタル ブロックは、V5_S から電力供給されます。PVDD から派生した冗長参照とバイアスは、V5_S と発振器の認定に使用されます。

V5_S のパワーオンリセット (POR) 後、アドレス NAD 判定、メモリの内部セルフテスト (BIST)、 t_{READY} 時間内の内部ブロックに対する R_{IPROPI} 決定とセトリング タイムなどのパワーアップ初期化が行われます。ウェークアップをアクリッジ (受信確認) するためのユーザーからの CLR_FAULT SPI コマンドは、ユーザーが指示するまで、デバイスは STANDBY 状態になり、ドライバはハイインピーダンス状態になります。デバイスの消費電流は、STANDBY 状態では $I_{\text{PVDD_STBY}}$ と $I_{\text{VDD_STBY}}$ になります。デバイスは電力「OR」アーキテクチャを使用しているため、外部電源の 1 つが損失した場合でも特定の機能が利用できます。

表 6-3 に、VDD 電圧レベルを変化させた主要なデバイス機能を示します。ここでは、PVDD が低電圧および過電圧制限内であると想定しています。

表 6-3. VDD 電源への依存

VDD	リレーオン (アクティブ状態) 機能	オフ状態診断	SPI 通信
$> V_{\text{VDD_OV_RISE}}$	使用可能 ⁽¹⁾	使用可能 ⁽¹⁾	SDI Ok、SDO は VDD_ERR を表示します
公称	使用可能 ⁽¹⁾	使用可能 ⁽¹⁾	使用可能
$< V_{\text{VDD_UV_FALL}}$	使用可能 ⁽¹⁾	使用可能 ⁽¹⁾	SDI Ok、SDO は VDD_ERR を表示します

(1) デバイスの過電流および過熱保護機能により制限されます。

表 6-4 に、PVDD 電圧レベルを変化させた主要なデバイス機能を示します。ここでは、VDD が低電圧および過電圧制限内であると想定しています。

表 6-4. PVDD 電源への依存

PVDD	リレーオン (アクティブ状態) 機能	オフ状態診断	SPI 通信
$> V_{\text{PVDD_OV_RISE}}$	PVDD_OV_SHUTDOWN_EN で構成可能	使用可能 ⁽¹⁾	使用可能
公称	使用可能 ⁽¹⁾	使用可能 ⁽¹⁾	使用可能
$< V_{\text{PVDD_UV_FALL}}$	デバイスは STANDBY に移行し、QTO (パッシブ) クランプによるハイインピーダンスを出力し、PVDD_UV フラグが設定されます	利用できません	使用可能

(1) デバイスの過電流および過熱保護機能により制限されます

$\text{PVDD} < V_{\text{PVDD_UV_FALL}}$ の場合、グリッチ除去時間中のアクティブ状態での過渡動作は次のようになります。

- $\text{PVDD} > V_{\text{PVDD_UV_BIAS_FALL}}$ で内部レギュレーションが有効な場合、デバイスは 75% の開ループレギュレーションに切り替わり、固定デューティサイクルとスルーレートは $\text{SR} = 0 \times 2$ で上限が設定されます
- $\text{PVDD} < V_{\text{PVDD_UV_BIAS_FALL}}$ で内部レギュレーションが有効な場合、デバイスは 100% デューティサイクルによる開ループレギュレーションに切り替わります

表 6-5 に、PVDD 電源と VDD 電源の両方が損失した場合の主要なデバイス機能を示します。

表 6-5. VDD および PVDD 電源の損失

PVDD	VDD	リレーオン (アクティブ状態) 機能	オフ状態診断	SPI 通信
< V _{PVDD_RST_FALL}	< V _{VDD_RST_FALL}	該当なし	該当なし	該当なし

6.3.2.2 PVDD モニタ

このデバイスには、低電圧 (V_{PVDD_UV}) および過電圧 (V_{PVDD_OV}) フォルト モニタに加えて、PVDD 電源に警告レベル モニタ (V_{PVDD_OV_W}) があります。電圧モニタの結果は、SPI STATUS レジスタに記録されます。

さらに、PVDD 低電圧モニタを下回るスレッシュホールド レベルを有するバイアス低電圧モニタ (V_{PVDD_UV_BIAS}) があります。PVDD 電圧がバイアス低電圧レベルを下回ると、出力ドライバは無効化され、強制的にハイ インピーダンスになります。

6.3.2.3 VDD モニタ

このデバイスには、VDD 電源に低電圧 (V_{VDD_UV}) および過電圧 (V_{VDD_OV}) モニタがあります。VDD の低電圧または過電圧は、SDO SPI フレーム (VDD_ERR) 応答の先頭ビットに直接示されます。

6.3.2.4 リセット (nPOR)

デバイス ロジックのパワーオンリセット (nPOR) は、PVDD (V_{PVDD_RST}) と VDD (V_{VDD_RST}) の電源「OR」組み合わせから導出された内部 V5_S に基づいています。

nPOR が発生すると、すべてのレジスタがリセットされ、新しいスタートアップ シーケンスに従う必要があります。

6.3.2.5 デバイスの安全層

デバイスの安全層には、V5_S の電圧監視、メイン発振器 (f_{OSC}) の周波数監視が含まれ、2 次タイムアウト ロジックが別の冗長発振器 (f_{OSC_R}) で実行されます。V5_S 低電圧、過電圧、または f_{OSC} 低周波数、過電圧イベントにおいて、時間が t_{TIME_OUT} を超えると、出力ドライバが無効 (ハイ インピーダンス) になり、デバイス ロックアウト フォルト DEV_ERR が発生します。

6.3.3 出カドライバ

このデバイスは 2 つの独立したドライバを備えており、2 つのリレーを駆動します。各ドライバは、ローサイド FET を使用した GND への充電パス、および再循環と電流減衰のためのクイックターンオフ (クランプ) 用に双方向のハイサイド FET を使用した改良型ハーフブリッジです。このデバイスは、内蔵パワー FET により、PWM スwitching サイクル中の波形整形を出力し、EMC 性能を向上できます。このデバイスは、プログラマブルな出力電圧のスルーレート制御機能もサポートしています。

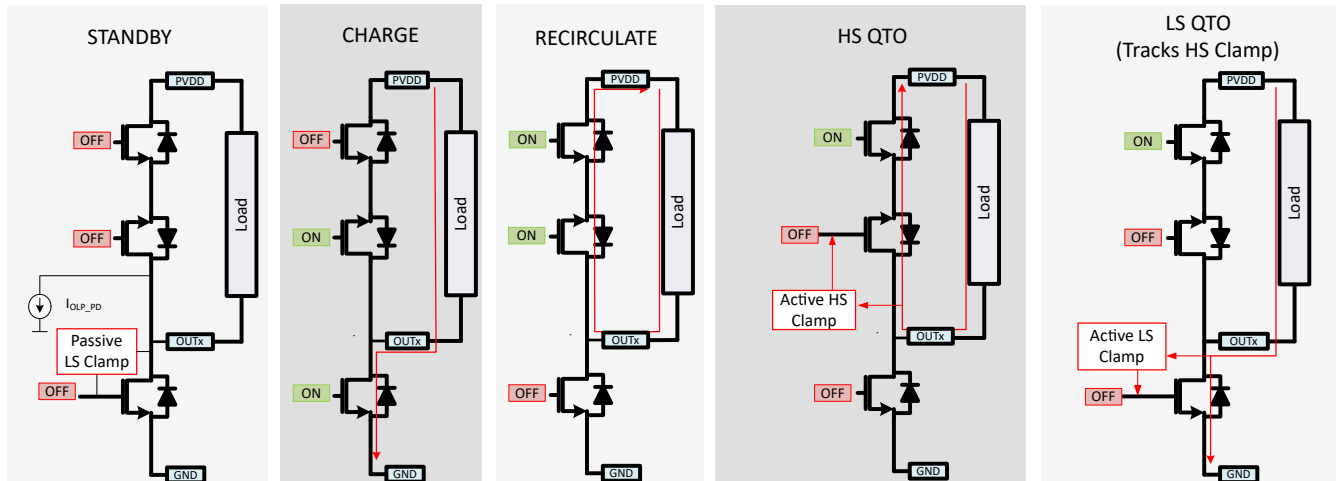


図 6-2. 出カドライバ

- **STANDBY 状態:** この状態では、ドライバは OFF で、OUTx はハイインピーダンスです。OUTx は電流シンク (I_{OLP_PD}) を使用して GND にプルダウンされます。
- **ACTIVE 状態:** ドライバがオンに指示されると、ドライバは内部のステートマシンによって制御され、PWM パラメータ (PWM 周波数、ディザリング オプション) とともに、設定された負荷電流 (ピーク電流、ピーク時間、ホールド電流) を調整します。
 - ドライバは CHARGE フェーズと RECIRCULATE フェーズとの間で切り替えを行い、負荷電流を制御します。
 - CHARGE フェーズ中に、電流は負荷から OUTx ピンを経由してローサイド FET から GND に流れます。また、RECIRCULATE フェーズ中に、電流は OUTx ピンを経由して 2 つの双方向ハイサイド FET から PVDD に再循環します。
- **STANDBY 状態:** 負荷が励磁されたときにドライバがオフにするよう指示された場合、デバイスは負荷に大きな電圧を逆方向に強制的に印加して、負荷電流を迅速に減衰させます。これは、クイックターンオフ機能 (QTO) と呼ばれます。QTO には、2 つの電流パスがあります。PVDD 過電圧を除くすべての場合で、ハイサイド QTO が有効になります。PVDD 過電圧の場合は、ローサイド QTO が有効になります。
 - ハイサイド (HS) QTO (基本設定): この場合、デバイスがハイインピーダンスのとき、負荷の誘導電流によって OUTx の電圧が High に押し上げられ、HS QTO FET のドレイン - ゲート間のクランプが遮断され、誘導電流が完全に減衰するまで FET が短時間オンになります。これは、デバイス内部の消費電力を制限し、さらに誘導性エネルギーを PVDD 電源コンデンサに押し戻すため、推奨されるクランプ方法です。
 - ローサイド (LS) QTO: この場合、デバイスがハイインピーダンスのとき、負荷の誘導電流によって OUTx の電圧が High に押し上げられ、LS FET のローサイドドレイン - ゲート間のクランプが遮断され、誘導電流が完全に減衰するまで FET が短時間オンになります。LS クランプは冗長構造であり、通常は HS クランプ電圧 + 1V に等しい電圧に追従します。例外の 1 つは PVDD OV フォルトが発生した場合で、LS クランプ電圧は HS クランプ電圧と同じになります。

6.3.3.1 リトライの待機

設定可能な RETRY_WAIT タイマ ($t_{\text{RETRY_WAIT}}$) により、リレーの最小オフ時間が確保されます。これにより、意図せず連続して急速な電源オン→オフ→オンが行われる事象を防ぐことができます。

RETRY_WAIT 機能は、RETRY_WAIT_DIS ビットで無効化できます。

6.3.3.2 過電流保護

出力ドライバ MOSFET は、ローサイド ($I_{\text{OCP_LS}}$ 、バッテリーへの短絡) およびハイサイド ($I_{\text{OCP_HS}}$ 、GND への短絡) のピン短絡から保護されています。過電流イベントが検出されると、影響を受ける出力ハイ インピーダンス (ドライバ シャットオフ) となり、CHx_STAT レジスタにフォルト フラグが設定されます。

6.3.3.3 過熱保護

過熱イベントが発生した場合、出力ドライバの MOSFET は熱的に保護されます。過熱イベント (T_{TSD}) が検出されると、両方の出力がハイ インピーダンス (ドライバシャットオフ) となり、CHx_STAT レジスタにフォルト フラグが設定されます。このデバイスは、サーマル シャットダウンよりも低いスレッショルドで設定される過熱警告 ($T_{\text{TSD_W}}$) も発行します。OT_W_ACTION ビットが設定されている場合、過熱警告が発生した際に PWM スイッチング損失を低減するため、より高いスルーレートでスイッチングするようにデバイスを構成できます。

6.3.4 スタートアップシーケンス

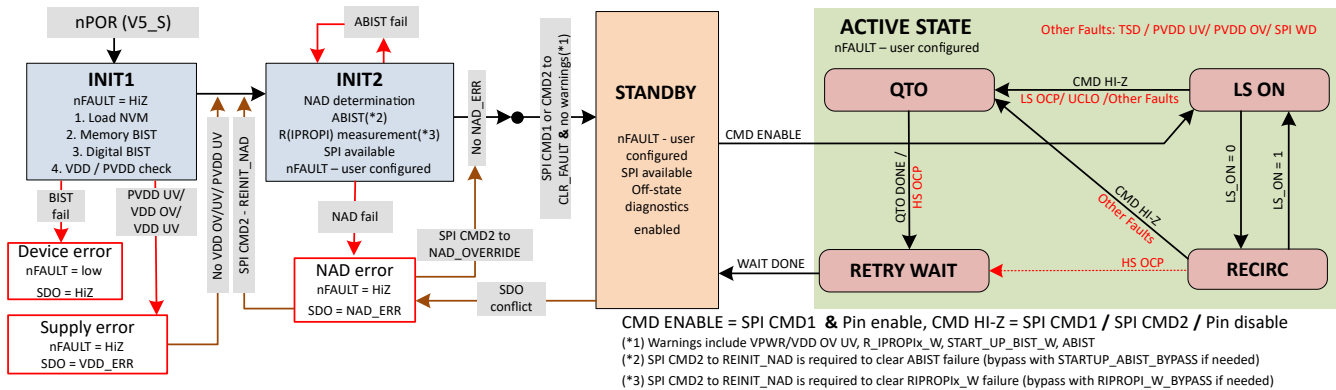


図 6-3. スタートアップシーケンスの概略図

- PVDD または VDD のいずれかが、デバイスのパワーアップを開始します。
- 内部パワーオンリセット (V5_S の nPOR) が解放されると、デバイスは INIT1 状態に移行します。INIT1 には、工場出荷時にプログラムされた NVM がロードされ、メモリ BIST (CRC チェック) とデジタル BIST が実行されます。
 - BIST 障害が発生した場合、デバイスは nFAULT ピンを Low に駆動し、SPI (SDO 出力ハイインピーダンス) の DEV_ERR フォルトを駆動することで、ロックエラー状態に移行します。このシーケンスを再起動できるのはパワーサイクルのみです。
- INIT1 STATE に移行した後、このデバイスは VDD と PVDD の両方が有効になるまで待機します。たとえば、INIT2 状態に遷移する前に、VDD 過電圧、VDD 低電圧、PVDD 低電圧のいずれも発生していないとします。
 - デフォルトでは、SPI SDO VDD_ERR が設定されます。電源エラーがない場合のみ、VDD_ERR はクリアします。
- INIT2 STATE では、NAD_ERR がデフォルトで設定されます。このデバイスは、nFAULT/NAD ピンのプルアップ抵抗に基づいてノードアドレス (NAD) 決定を開始します。有効な NAD 決定後、NAD_ERR はクリアされます。
 - NAD 決定が成功すると、STATUS0 の SPI POR ビットが設定され、リセットからのデバイスウェークアップが示され、SPI 通信が利用可能になり、nFAULT インジケータがデフォルト設定に構成されます。
- 次に、アナログ BIST (ABIST) が実行され、STATUS1 の STARTUP_BIST_W ビットにその障害が記録されます。
- IPROPI の抵抗は、両方の IPROPIx ピンに電流 I_{RIPROPI} を強制的に流すことで決定されます。この電流の障害は、STATUS1 レジスタの CHx_RIPROPI_W ビットに記録されます。
 - 2 次側リップルループの電流レギュレーションに使用される内部抵抗 R_{INT} は、IPROPIx ピンの外部抵抗に強制的に電流を流すことで、IPROPIx ピンの抵抗と一致するよう校正されます。
 - IPROPIx ピンで測定された電圧と抵抗は、MEAS5 および MEAS6 レジスタに記録されます。
- EN/EN1_PIN_STAT および DIS/EN2_PIN_STAT は瞬時ピンレベルを反映します。
- NAD の自動決定後に NAD_ERR が検出された場合、マイコンは REINIT_NAD ブロードキャストコマンドを使用して再決定を要求するか、ASSIGNED_NAD を使用して NAD_OVERRIDE ブロードキャストコマンドを発行できます。このコマンドは、NAD_ERROR を持つデバイスのみが処理します。
- INIT2 中に、VDD 過電圧または低電圧が発生した場合、NAD 決定に誤りが生じる可能性があり、NAD_ERR が設定されます。VDD_ERR がクリアされた後、RE_INIT_NAD コマンドを送信する必要があります。
- VDD_ERR は、デバイスが STANDBY に移行するまで、VDD の UV、OV、または PVDD UV に対応します。
- STANDBY STATE に移行するため、デバイスはマイコンが以下の一連のステップを実行することを想定しています。
 - CONFIG A レジスタの 14 バイトと CONFIG B レジスタの 10 バイトを、計算された CRC とともに書き込みます
 - CLR_FAULT SPI コマンドを発行します。警告がない場合、このコマンドにより、デバイスは STANDBY 状態になり、nFAULT はデアサートされます。
- STANDBY 状態に移行すると、デバイスはオフ状態診断で負荷を監視し、設定どおりに nFAULT フォルトがアサートされます。

- ドライバを ON にするには、EN/EN1 および DIS/EN2 ピンを駆動し、さらに CMD1 レジスタの CHx_CTRL ビットを適切にプログラムする必要があります。これらのピンは、両方の出力で ENABLE および DISABLE (デフォルト)、または出力ごとに ENABLE1 および ENABLE2 として構成できます。

6.3.5 電流制御

図 6-4 に、電流レギュレーションと各種動作モードを示します。DRV3946-Q1 は以下をサポートしています。

- ドライバを有効 / 無効化するための SPI コマンドまたは PIN (黄色で表示) - コントローラとの最小限の連携が必要です
- 20 バイトの CONFIG レジスタ (図 6-4 の薄オレンジ色) を使用して、負荷電流プロファイルと診断監視を構成する機能
- サマリー バイトを含む診断 / フォルト情報に対応する 8 バイトの STATUS レジスタ (濃いオレンジ色)
- システムソフトウェア診断の平均デューティ サイクルと立ち上がり時間用の 10 バイト MEASUREMENT レジスタ (緑色)

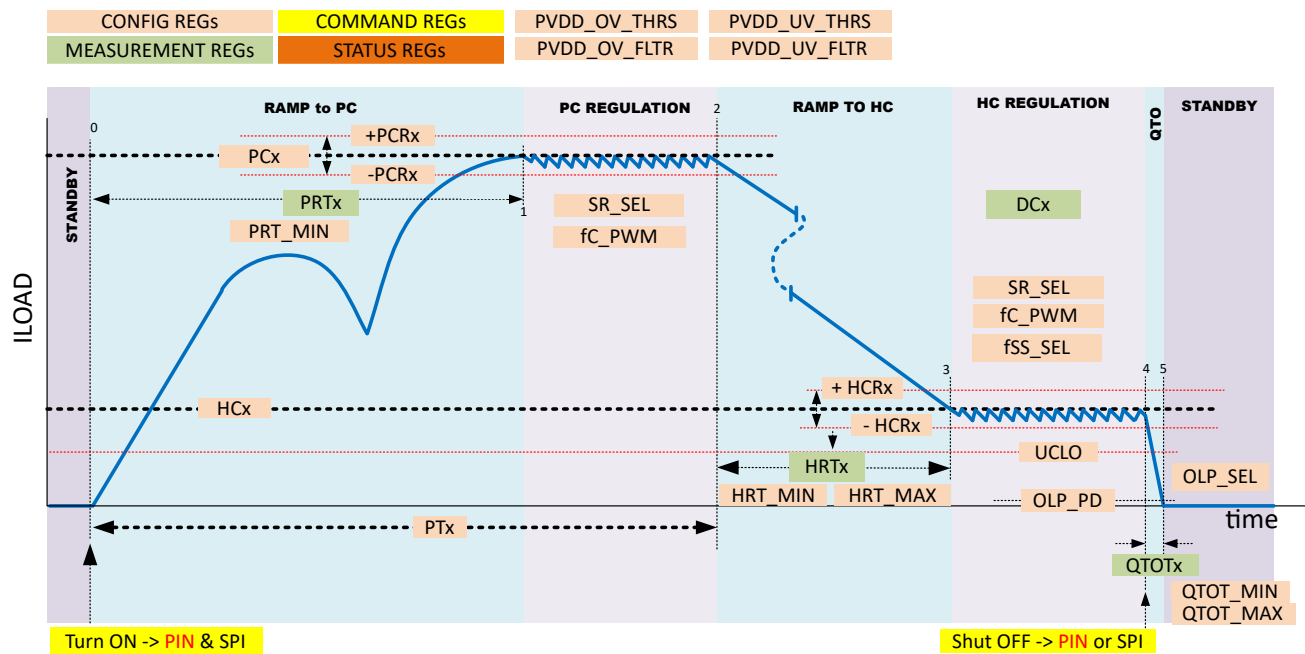


図 6-4. 電流の制御図

表 6-6. 用語集

PC	ピーク電流	UV	低電圧
PCR	ピーク電流リップル	OV	過電圧
HC	ホールド電流	UCLO	低電流ロックアウト
HCR	ホールド電流リップル	OLP_PD	オフ状態診断時の OUT から GND へのシンク電流
PT	ピーク時間	DC	デューティ サイクル
PRT	ピーク立ち上がり時間	OLP_SEL	オフ状態診断のコンパレータ スレッショルド
HRT	ホールド立ち上がり時間	SR_SEL	出力スルーレート
QTO	クイック ターンオフ	fc_PWM	PWM の中心周波数
QTOT	クイック ターンオフ時間	fss_SEL	PWM 周波数のスペクトラム拡散

以下のセクションで説明しているように、内部レギュレーション モード、固定周波数モード、または固定デューティ サイクルモードのいずれかで、SPI コマンドを使用して各ドライバを個別に ON にコマンドできます。

このデバイスは、LS FET と HS FET の両方の負荷電流を検出するための FET マッチングに基づくシャントレス電流センストポロジを備えています。電流スケーリング係数は、パワー FET とセンス FET の比によって設定されます。

6.3.5.1 内部レギュレーションモード

内部レギュレーション モードは、CHx_CTRL_CONFIG = 0x0 および CHx_CTRL = 0x2 にすることで選択されます。内部レギュレーションは、主に IPROPIx ピンに示されるローサイド電流センスに基づくサイクル間ピーク電流レギュレーション アルゴリズムであり、追加のハイサイド センス情報と内部 R_{INT} 抵抗に示される冗長電流センスに基づくリップル制御を伴います。

このデバイスを使用すると、ピーク サイクルを完全にスキップできます (PC_DIS レジスタ ビット)。内部レギュレーション モードは、以下のオプションで開始できます。

- PC_DIS = 0b および PC_REG_DIS = 0b の場合、負荷電流がピーク電流目標 (PC) を超え、ピークリップル (PCR-) が低くなるまで負荷電流は上昇し (100% LS ON)、その後、ピーク時間中に PC のターゲットにレギュレートされます。その後、負荷電流がホールド ターゲット (HC) より低い、またはホールドリップル (HCR-) が低くなるまで再循環中に電圧を低下させ、その後、シャットオフにコマンドされるまで HC のターゲットでレギュレーションを維持します。

PC_DIS = 0b および PC_REG_DIS = 1b の場合、LS は、レギュレーションなし (100% LS ON) でプログラムされたピーク時間の全体にわたって 100% オンになり、その後、電流目標を保持するために下降します。その後、シャットオフにコマンドされるまで HC ターゲットでレギュレーションを維持します。

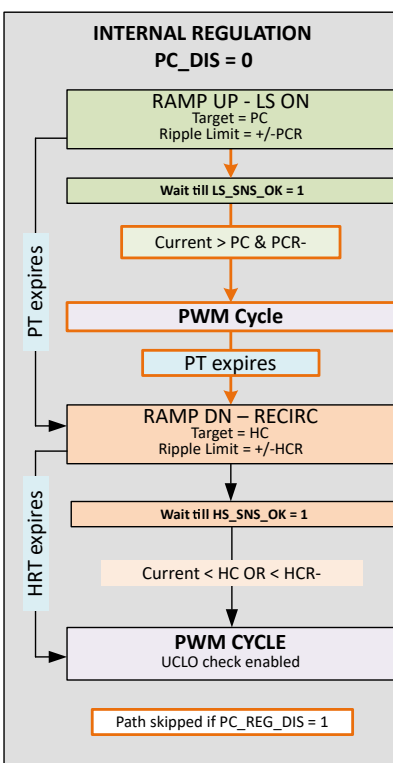


図 6-5. 内部レギュレーション、PC_DIS = 0b

PC_DIS = 1b の場合、電流ターゲットを保持するために上昇 (または下降) することにより、ピークレギュレーションは完全にスキップされ、その後、レギュレーション (PWM CYCLE) が維持されます。

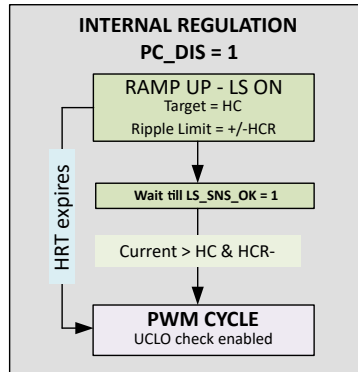


図 6-6. 内部レギュレーション、PC_DIS = 1

- 電流ターゲットとレギュレーションパラメータを設定できます。IPROPI ピンによる負荷電流帰還と、測定された立ち上がり時間および平均デューティサイクル情報が利用可能です。PWM サイクル警告やその他のタイミング モニタも利用できます。

6.3.5.1.1 電流スレッシュホールド

このデバイスでは、レジスタ CHx_PT で設定された内部電流レギュレーション中のピーク時間を設定できます。ピーク電流とホールド電流の目標値は、ユーザーレジスタ (CHx_PC および CHx_HC) からの入力を持つ内部 8 ビット DAC によって設定されます。電流リファレンスは、IPROPIx ピンの抵抗 (R_{IPROPIx}) に対してレシオメトリックです。これにより、1 次側ピーク電流レギュレーションループのスレッシュホールドが設定されます。

さらに、このデバイスには、追加の DAC によって 2 次側リップル制御ループが設定され、CHx_RIPPLE_THRS レジスタからの入力を持つ R_{IPROPIx} とマッチングした内部抵抗 R_{INT} があります。Ripple+ と Ripple- は、それぞれの高リップル電流レベルと低リップル電流レベルです。フェイルセーフの理由から、このループは一次ループと完全に独立しています。R_{IPROPIx} との R_{INT} のマッチングは、デバイスの初期化 (INIT2 状態) 時に行われます。

また、チャタリング防止機能として、ユーザーは CHx_UCLO_THRS レジスタで設定された、ホールドレギュレーション中の低電流ロックアウト (UCLO) を有効にするスレッシュホールドを設定できます。UCLO_FAULT_FLTR で設定された PWM サイクルの間、本ドライバがこのレベルを超える電流を検出できない場合、UCLO イベントが検出されます。ドライバのハイインピーダンス状態に応答するか、または単にユーザーに警告するかは、UCLO_EN ビットで設定できます。

表 6-7 に、ピーク電流、ホールド電流、電流リップル、UCLO 電流の導出を示します：

表 6-7. ピーク、ホールド、リップル、および UCLO 電流の導出

登録	解釈
CHx_HC	ホールド電流 = (CHx_HC + 17) / 272 × A _{IPROPI} × 3V / R _{IPROPIx}
CHx_PC	ピーク電流 = (CHx_PC + 17) / 272 × A _{IPROPI} × 3V / R _{IPROPIx}
CHx_RIPPLE_THRS	Ripple+ 電流 = ホールド / ピーク電流 × [1 + 5% × (CHx_RIPPLE_THRS + 3)]
	Ripple- 電流 = ホールド / ピーク電流 × [1 - 5% × (CHx_RIPPLE_THRS + 3)]
CHx_UCLO_THRS	UCLO 電流 = Ripple- 電流 × [1 - (5% × (CHx_UCLO_THRS + CHx_RIPPLE_THRS + 4))]

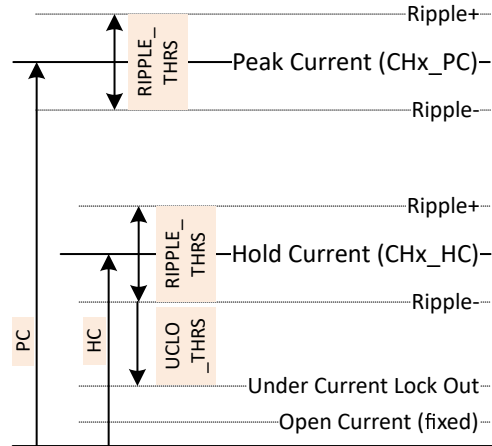


図 6-7. 電流スレッシュヨルド

UCLO_THRS は RIPPLE 電流スレッシュヨルドから求められることに注意してください。表 6-8 は、ピークまたはホールド電流のパーセンテージとして、RIPPLE および UCLO 電流スレッシュヨルドを示しています。

表 6-8. リプルおよび UCLO 電流の導出

RIPPLE_THRS	PC/HC の %		UCLO_THRS (HC の %)			
	RIPPLE+	RIPPLE-	0	1	2	3
0x0	115%	85%	68%	64%	60%	55%
0x1	120%	80%	64%	60%	56%	52%
0x2	125%	75%	60%	56%	53%	49%
0x3	130%	70%	56%	53%	49%	46%
0x4	135%	65%	52%	49%	46%	42%
0x5	140%	60%	48%	45%	42%	39%
0x6	145%	55%	44%	41%	39%	36%
0x7	150%	50%	40%	38%	35%	33%

6.3.5.1.2 PWM サイクル制御

内部レギュレーションが有効な場合、デバイスは、主に IPROPIx ピンに示されるローサイド電流センスに基づくサイクル間ピーク電流レギュレーション アルゴリズムを実装し、追加のハイサイド センス情報と、内部 R_{INT} 抵抗に示される冗長電流センスに基づくリップル制御を伴います。また、BIST およびフィードバック タイムアウト機能も実装されています。

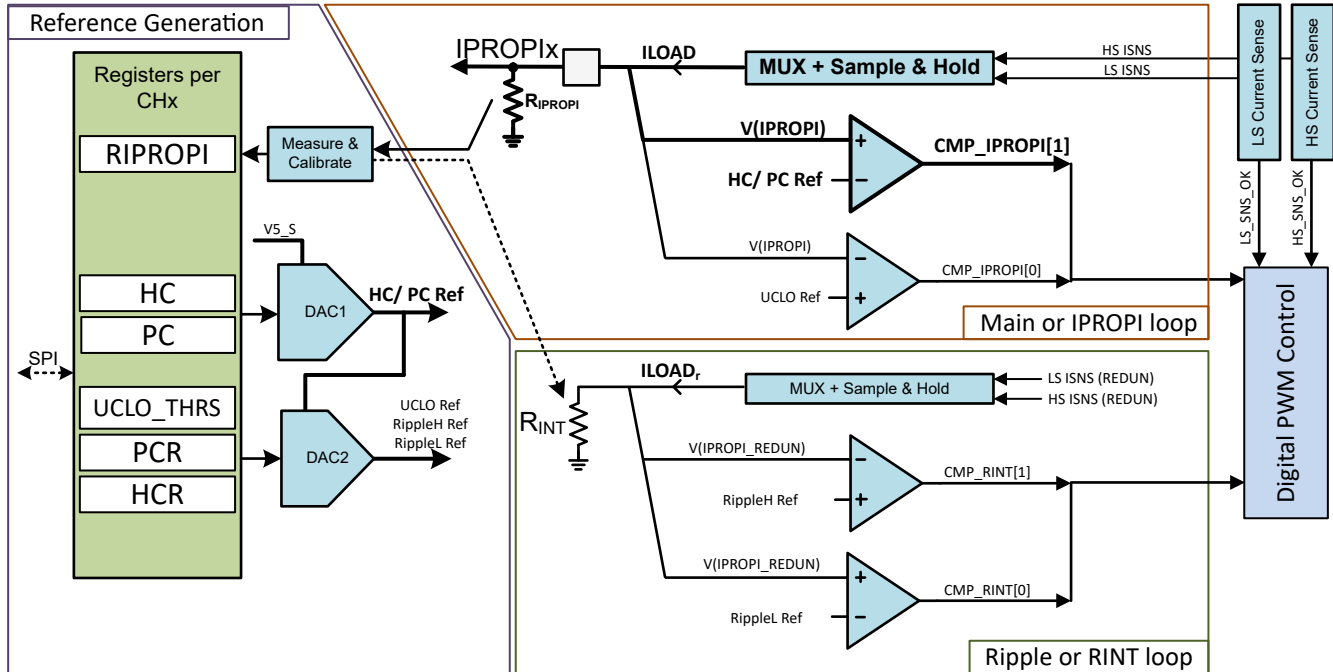


図 6-8. レギュレーションのブロック図

- リファレンス生成ブロックは、出力電圧をユーザー制御のレジスタ ビットで設定する DAC で構成されています。HC と PC のリファレンスは、DAC1 による内部リファレンス (V5_S) に基づいて設定されます。DAC2 は DAC1 出力に対してレシオメトリックであり、リップル レベルと UCLO リファレンス電圧を設定します。
- メイン ループ (または IPROPI ループ) は、IPROPI ピンと HC および PC リファレンス電圧との比較に基づいています。IPROPI レギュレーション ループの CMP[1] でこの比較を示しています。IPROPI の電圧は、負荷電流センス (LS + HS 電流センス) × R_{IPROPI} によって設定されます。
- リップル制御ループ (または R_{INT} ループ) は、±RippleH/RippleL リファレンス電圧と (負荷電流 × R_{INT}) で設定される内部電圧の比較に基づいています。これは、リップル制御ループ ブロックの 2 つのコンパレータ CMP[1] と CMP[0] によって示されています。
- 4 つ目のコンパレータは、IPROPI レギュレーション ループの CMP[0] で、低電流ロックアウト機能を有効にします。
- LS 検出からの 1 つのコンパレータ出力によって、LS 電流センスが有効かどうかを示します (充電動作中に LS FET が ON になった後、OUTx スルーイング Low に従って、目的の精度レベルに達します)。
- HS 検出からのもう 1 つのコンパレータ出力によって、HS 検出が有効かどうかを示します (再循環動作中に HS FET が ON になった後、OUTx スルーイング High に従って、目的の精度レベルに達します)。
- IPROPIx ピンのピン機能が損失した場合でも (短絡またはオープン)、デバイスはリップル電流制限に基づいて電流を制御しながら、PWM サイクル警告によってピン機能が損失したことをユーザーに警告できます。

注

このサイクルごとのピーク電流レギュレーション ループでは、IPROPIx ピンへの外部容量を避ける必要があります。

サイクル スキップありとなしの PWM サイクルのフローチャートを以下に示します。

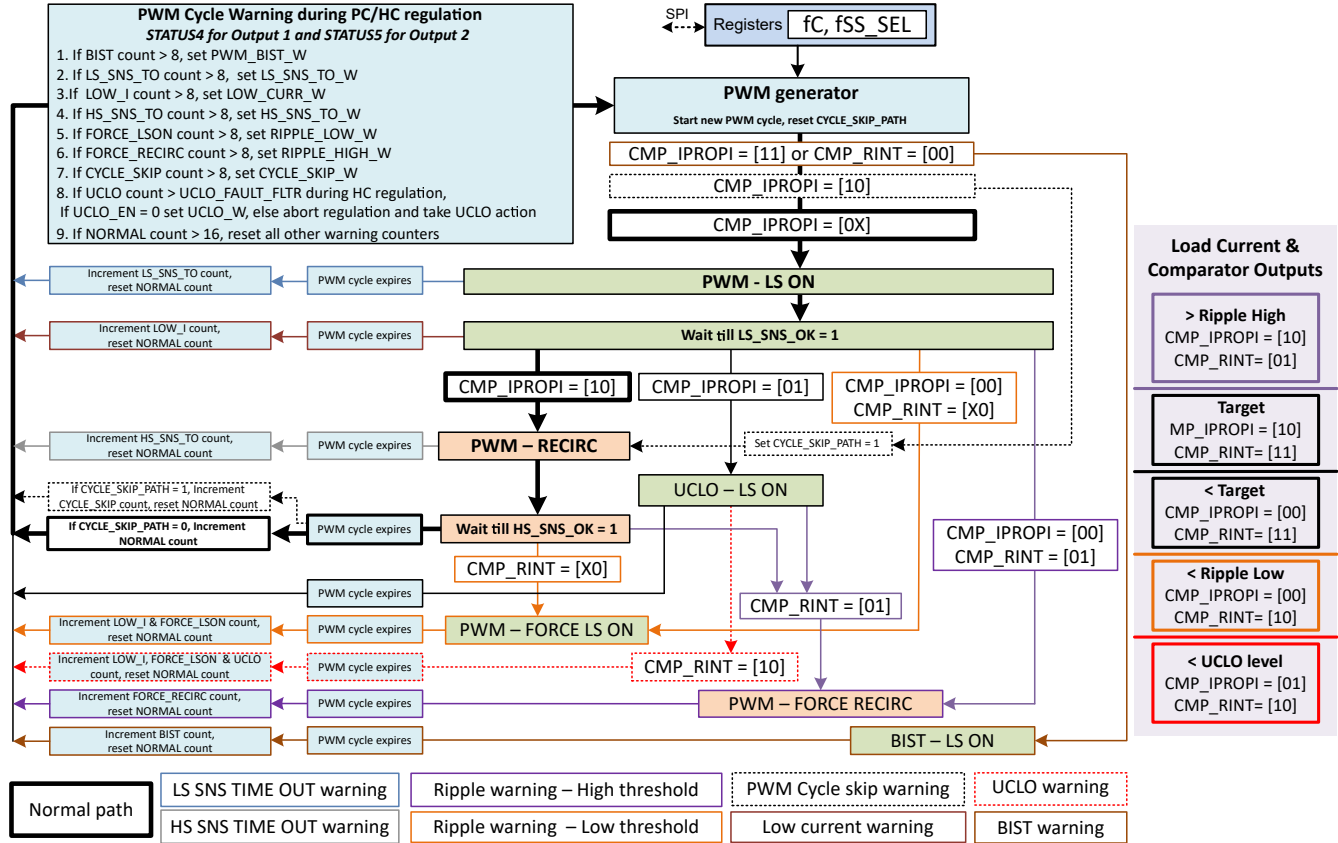


図 6-9. サイクル スキップが有効な場合の PWM CYCLE [PWM_CYCLE_SKIP_DIS = 0]

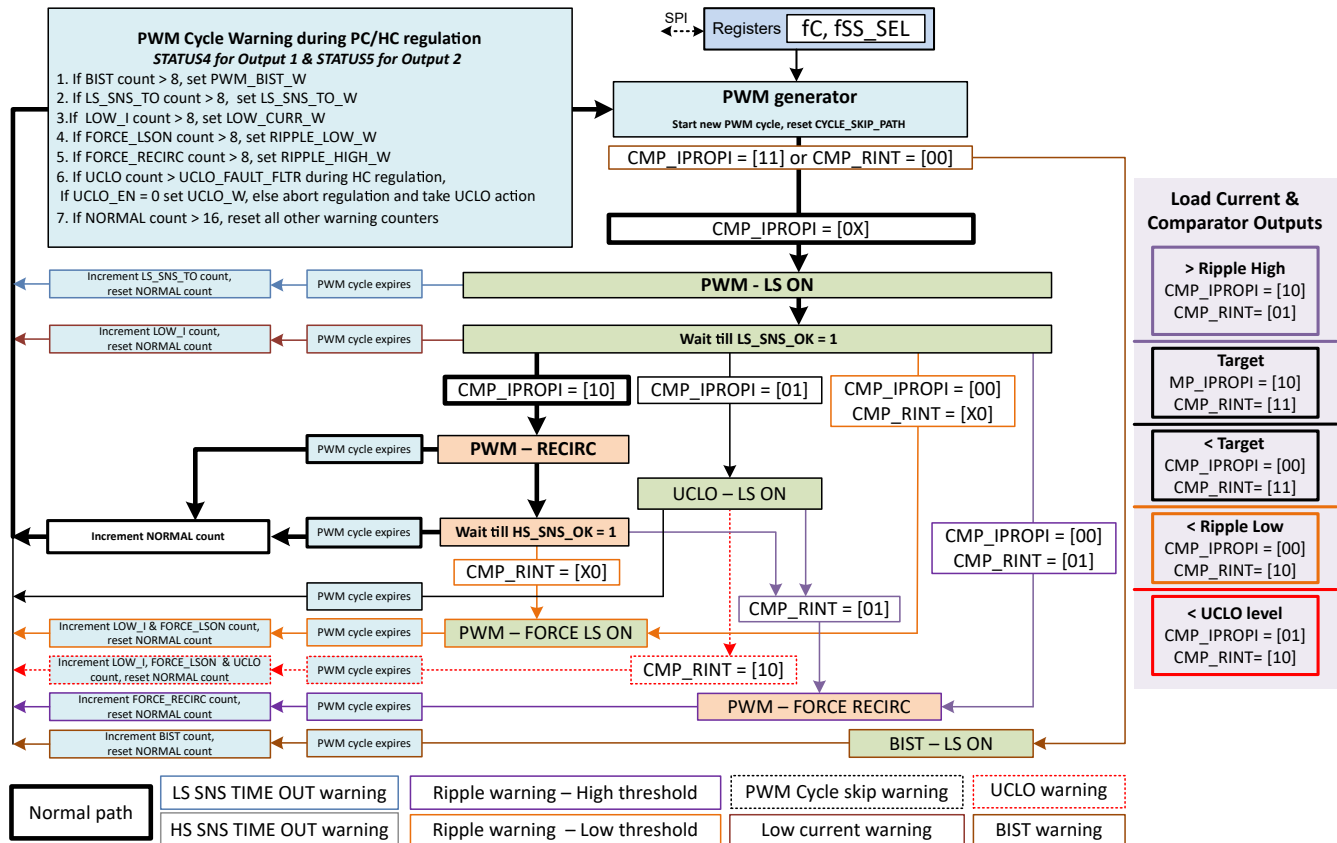


図 6-10. サイクルスキップが無効な場合の PWM CYCLE [PWM_CYCLE_SKIP_DIS = 1]

通常のシーケンス (太字で強調表示) は次のようになります。

- **新しい PWM サイクルの開始** (f_c, f_{SS_SEL} で設定された PWM 周期)
- **CMP_IPROPI = [0X]** => は、ハイサイドによって検出された再循環電流がターゲットより小さいことを示しています
- **PWM - LS ON** (充電)
- **LS_SNS_OK** を待機
- **CMP_IPROPI = [10]** => は、ローサイドで検出された充電電流がターゲットを上回っていることを示しています
- **PWM - RECIRC** (再循環)
- **HS_SNS_OK** を待機
- サイクルの終了を示すために **PWM 周期が終了**します

代替パスは、コンパレータの出力が想定どおりでないときの PWM レギュレーション動作を示します。これは、次のようなさまざまな理由で発生する可能性があります。

- PVDD 電源電圧レベル (リレーのハイサイド)
- PWM 周波数の選択
- スルーレート
- 負荷インピーダンス
- IPROPI ピンの機能損失、負荷インピーダンスの変化、コンパレータ障害などのフォルトシナリオ。

デバイスはこれらのシナリオ中、各異常レギュレーションパスのカウンタを維持しながら、電流レベルを維持しようとします。警告フラグは、異常動作が「8」PWM サイクルを超える場合のみ発行されます。通常の連続した「16」の PWM サイクル動作では、すべての警告カウンタがリセットされます。

警告フラグには次のものがあります。

- LS/HS SNS タイムアウト
- リップル警告 - Low/High
- 低電流警告 (LS が 100% オンであっても、電流 < 目標値)
- サイクル スキップ警告
- 低電流ロックアウト警告 (UCLO_EN = 0 の場合)
- デバイス BIST 警告
- 低電流ロックアウトは、ドライバのハイインピーダンスの動作を引き起こす唯一のパスです (オプション - UCLO_EN ビットによって有効にできます)。UCLO のフィルタ時間 (PWM サイクルに基づく) は、UCLO_FAULT_FLTR で設定できます。UCLO_EN ビットが無効化されている場合、UCLO 警告が発行されます。
- 詳細については、オン状態診断の「PWM サイクルベースの警告」を参照してください

6.3.5.2 固定周波数、可変デューティ サイクル モード

固定周波数、可変デューティ サイクル モードは、CHx_CTRL_CONFIG = 0x0、CHx_CTRL を 0x3 ~ 0x7 の間にすることで選択されます。

各出力は、固定周波数で内部電流レギュレーションを無効にし、選択可能なデューティ サイクルを用いて、開ループで負荷を駆動するように個別に構成できます。

- ユーザーはプリセットされたデューティ サイクル レベル (0%、25%、50%、75%、100%) のいずれかを選択できます。
- 周波数は、設定された PWM 周波数 (CHx_fc_PWM) によって設定されます。詳細については、表 6-9 を参照してください。
- デザリング設定は CHx_fss_sel によって決定されます。詳細については、表 7-40 を参照してください。
- IPROPI ピンによる負荷電流帰還を利用可能です。
- このデバイスは、ランタイムのデューティ サイクルの変化に対応できるほか、SPI コマンド CMD1 を使用して内部レギュレーションに切り替えることができます。
- 短絡保護回路と過熱保護が維持されます。
- タイマと PWM の警告、およびタイマとデューティ サイクルの測定は無効です。

6.3.5.3 固定デューティ サイクル、可変周波数モード

固定デューティ サイクル、可変周波数モードは、CHx_CTRL_CONFIG = 0x1、CHx_CTRL を 0x2 ~ 0x7 の間にすることで選択されます。

各出力は、固定デューティ サイクルで内部電流レギュレーションを無効にし、選択可能な周波数を用いて、開ループで負荷を駆動するように個別に構成できます。

- ユーザーはプリセットされた PWM 周波数 (10、12、14、16、18、20kHz) のいずれかを選択できます。
- デューティ サイクルは 25% に固定されます。
- デザリング設定は CHx_fss_sel によって決定されます。詳細については、表 7-40 を参照してください。
- IPROPI ピンによる負荷電流帰還を利用可能です。
- このデバイスは、SPI コマンド CMD1 を使用して、ランタイムの周波数の変化に対応できます。
- 短絡保護回路と過熱保護が維持されます。
- タイマと PWM の警告、およびタイマとデューティ サイクルの測定は無効です。

6.3.5.4 クイック ターンオフ

アクティブ動作中 (内部レギュレーションあり / なし) いつでも、ユーザーは SPI ハイ インピーダンス コマンドを発行するか、EN/IN2 および DIS/EN2 を駆動してドライバを OFF にできます。

- ターンオフには、2 種類の SPI コマンドがサポートされています。SPI バス内の特定のノード アドレス指定デバイスの場合は CMD1、SPI バス内のすべてのデバイスに対しては CMD2 です (ブロードキャスト コマンド)。
- コマンド後、デバイスは電流を短時間再計算し、負荷電流がホールド目標 (HC) または低ホールドリップル目標 (HCR-) 未満になるようにしてから、QTO クランプによりドライバをオフ (ハイ インピーダンス) にします。
- このクランプによって、大きい電圧が負荷に流れて負荷電流が急速に減衰するようになります。
- QTO の開始と実行は、PVDD を基準として出力の電圧を比較することで検出されます。
- QTO_DONE 検出後、STANDBY 状態に移行する前に 1ms の待機があります。

- ユーザーが設定した **RETRY WAIT** によっては、ドライバがユーザーによって **ON** を指示された場合でも、最小冷却オフ期間として追加の待機時間が強制的に行われます。

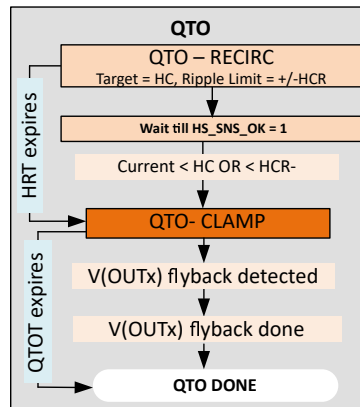


図 6-11. QTO

6.3.5.5 PWM 周波数

このデバイスは、レジスタ **CHx_fc_PWM** で設定する PWM 周波数を設定できます。さらに、センター PWM 周波数に低周波数ディザリングを追加するスペクトラム拡散機能 (**CHx_fss_sel**) を備えています。拡散率 [0%、5%、10%、20%] とディザリングの種類 (疑似ランダムと三角波) は構成可能です。

注

CHx_fc_PWM によって設定された PWM 周波数は、内部レギュレーション モードと固定周波数、可変デューティ サイクル モードに適用できます。

表 6-9. PWM 周波数設定

CHx_fc_PWM	PWM センター 周波数 [Hz]	CHx_fc_PWM	PWM センター 周波数 [Hz]	CHx_fc_PWM	PWM センター 周波数 [Hz]	CHx_fc_PWM	PWM センター 周波数 [Hz]
0x0	500	0x8	8500	0x10	12500	0x18	16500
0x1	1000	0x9	9000	0x11	13000	0x19	17000
0x2	2000	0xA	9500	0x12	13500	0x1A	17500
0x3	4000	0xB	10000	0x13	14000	0x1B	18000
0x4	5000	0xC	10500	0x14	14500	0x1C	18500
0x5	6000	0xD	11000	0x15	15000	0x1D	19000
0x6	7000	0xE	11500	0x16	15500	0x1E	19500
0x7	8000	0xF	12000	0x17	16000	0x1F	20000

6.3.5.6 最小および最大デューティ サイクル

PWM デューティ サイクルの最小および最大値は、スルー設定、PWM 周波数、PVDD 電圧に依存します。

デューティ サイクルが 50% を超える場合、このデバイスは電流レギュレーションを維持しますが、設定された PWM 周波数以下の分数調波発振が発生する可能性があります。これは、高抵抗リレー コイルと低電圧電源を駆動するとき特に有効です。予測されるデューティ サイクルを簡単に推定すると、次のようになります。

デューティ サイクル = ホールド電流レベル / (最小 PVDD レベル / コイル抵抗)

この推定値が 43% を超え、分数調波発振が不要な場合、CHx_SLOPE_COMP で設定されたスロープ補償時間ステップサイズを使って、スロープ補償を有効 (CHx_SLOPE_COMP_EN) にする必要があります。

スロープ補償が有効なとき、ホールド電流レギュレーション中に、デューティ サイクルが 43% を超えると、デバイスは CHx_SLOPE_COMP カウント (1 つの PWM サイクル ~ 1000 カウントを想定) ごとに、HC 設定の 1LSB カウントだけ目標ホールド電流の低減を開始します。デバイスはこの時間ステップの範囲を幅広く備えていますが、50 カウントで始めてから、実験的にテストして最適な設定を見つけることをお勧めします。

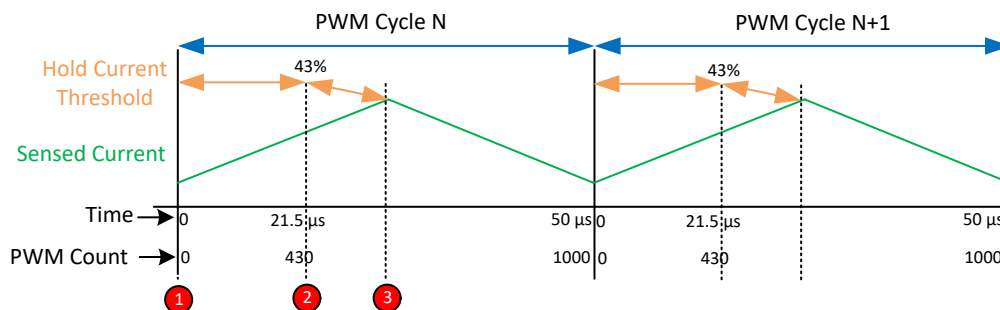


図 6-12. スロープ補償

図に示すように、43% のデューティ サイクルから開始すると、CHx_SLOPE_COMP カウントに応じて目標ホールド電流が減少します。たとえば、CHx_SLOPE_COMP が 50 の場合、保持電流スレッシュホールドは 1 コードで 430 から 480 PWM カウントに減らされます。

スロープ補償は高いデューティ サイクル動作で負荷電流を安定させるのに役立ちますが、この実装には以下に示すような特定の制限があります。

- 積極的なスロープ補償 (CHx_SLOPE_COMP < 16 など) は、時間ステップが短く、スロープ補償のための di/dt が大きくなるため、平均負荷電流にわずかな誤差が生じます。ホールド電流の値を大きくするには、この点を修正する必要があります。
- 目標電流を低減するのに十分なマージンがない (di が小さすぎるため、スロープ補償の di/dt はほとんど無視できる) ため、ホールド電流設定が 5 未満の場合、スロープ補償は効果がない場合があります。
- ホールド電流設定 (CHx_HC) > 164 の場合、スロープ補償は無効になります。

6.3.6 EN/EN1 および DIS/EN2 ピン

このデバイスには 2 つの専用ピンがあり、ドライバをハイ インピーダンスに二次的にシャットオフできます。両ピンには、GND への内部プルダウン抵抗があります。PIN_CONFIG の設定によって、以下に示すように 2 つのピンの機能が決まります。

表 6-10. EN/EN1 および DIS/EN2 ピン設定

EN/EN1	DIS/EN2	PIN_CONFIG = 0x0	EN/EN1	DIS/EN2	PIN_CONFIG = 0x1
Lo	Lo	両出力ハイ インピーダンス	Lo	Lo	両出力ハイ インピーダンス
Lo	Hi	両出力ハイ インピーダンス	Lo	Hi	出力 1 はハイ インピーダンス、出力 2 は SPI CMD で制御
Hi	Lo	両出力 SPI CMD で制御さ	Hi	Lo	出力 1 は SPI CMD で制御、出力 2 はハイ インピーダンス
Hi	Hi	両出力ハイ インピーダンス	Hi	Hi	両出力 SPI CMD で制御さ

注

- PIN_CONFIG = 0b (デフォルト) の場合、ドライバを ON するには EN/EN1 ピンを外部で High に駆動する必要がありますが、DIS/EN2 ピンは不要ならフローティングのままにできます。
- ピンによってトリガされるターンオンまたはターンオフの場合、ユーザーは CHx_PIN_TURNON_DLY と CHx_PIN_TURNOFF_DLY を使用して、要求が処理されるまでの遅延を設定できます。

6.3.7 診断機能

このセクションでは、DRV3946-Q1 のオンおよびオフ状態の診断機能について説明します。

6.3.7.1 オン状態診断

ACTIVE 状態で内部レギュレーションが有効化されている場合、デバイスは負荷インピーダンス、電源条件、または IPROPI 抵抗値の急激な変化を検出できます。その際、ドライバ制御が損失する可能性があります。

6.3.7.1.1 PWM サイクルの警告

内部レギュレーション中、デバイスは PWM サイクルを次の状態について監視します。

- ローサイド検出タイムアウト警告
- ハイサイド検出タイムアウト (高デューティ サイクル) 警告
- 低電流警告
- 上限のリプル スレッショルド警告 (CHx_RIPPLE_THRS を設定可能)
- 下限のリプル スレッショルドに警告
- PWM サイクル スキップ警告
- ホールドレギュレーション中の UCLO 警告 (CHx_UCLO_THRS、UCLO_FAULT_FLTR を設定可能)
- 内部 PWM BIST 警告

この警告は各出力に対して[セクション 7.1.6](#) および[セクション 7.1.5](#) レジスタでそれぞれ発行され、ピーク電流レギュレーションとホールド電流レギュレーション用に別々の記録があります。DRV3946-Q1 は警告が発生すると駆動を継続します。また、警告は個別に無効にすることもできます。

6.3.7.1.2 タイマ ベースの警告

このデバイスは以下の立ち上がり時間を測定し、最小 / 最大時間違反に対して警告を発行します。

- ピーク電流までの立ち上がり時間 (CHx_PRT_W フラグ)
- ピークからホールド電流までの立ち下がり時間 (CHx_HRT_W フラグ)
- QTO (クランプ) 時間 (CHx_QTOT_W フラグ)

時間違反の条件については、[セクション 7.1.4](#) および[セクション 7.1.3](#) セクションを参照してください。

注

測定時間は、測定レジスタにも記録されます。平均デューティ サイクル測定も行われます。詳細については、「測定レジスタ」を参照してください。

6.3.7.2 オフ状態診断

STANDBY 状態では、デバイスは OUTx 上で電流シンク I_{OLP_PD} を GND にアサートし、OUTx の電圧降下を PVDD に対して内部リファレンス電圧と比較します。この基準レベルは構成可能です。リファレンス電圧よりも大きい電圧降下が検出される事象は、OUTx ノードが OPEN である、または GND に短絡している場合に発生する可能性があり、この場合、CHx_OFF_DIAG_STAT 警告が設定され、リレー制御の損失を示します。

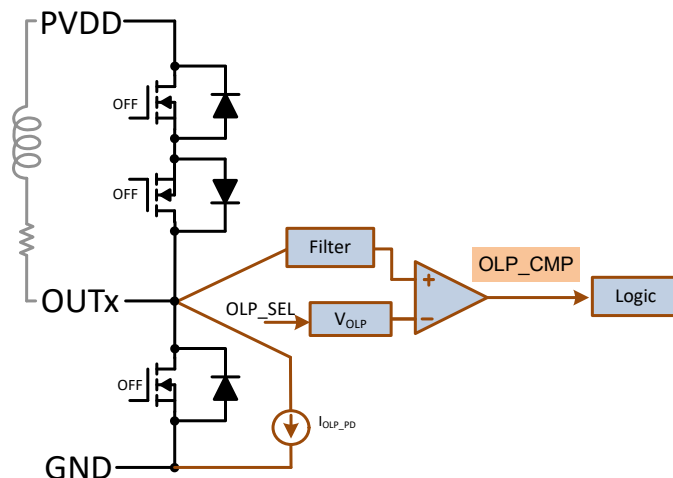


図 6-13. オフ状態診断

注

どちらの場合も $OLP_COMP = 0b$ であるため、このデバイスは $OUTx$ での GND への短絡と開放を区別できません。したがって、制御の損失を報告する手段として、レポートに使用されるのは 1 ビットのみです。また、オフ状態診断では、 $PVDD$ の外部 HS シャットオフ スイッチ (存在する場合) が有効であると想定しています。

6.3.8 nFAULT/NAD ピン

nFAULT/NAD ピンは、外付けプルアップ抵抗によるデュアル汎用オープンドレイン ピンです。このピンは、デバイスのパワーアップ初期化時のノード アドレス (NAD) 決定、および動作中のフォルトまたはデバイス状態の通信 (Low にアサート) に使用されます。

デバイス ノード アドレス (NAD) は、外付けプルアップ抵抗で設定されます。4 つの固有アドレスは、5.6、12、27、56k Ω 抵抗 (R_{LVL}) で設定できます。

nFAULT/NAD ピンを設定して、各種のフォルト状況を通知できます。nFAULT/NAD ピンでどのようなフォルトがアサートされるか、およびそれらの設定方法については、nFAULT_CONFIG レジスタを参照してください。

6.3.9 フォルト表

このセクションでは、構成オプション、応答オプション、復帰オプションなど、デバイスの各種保護機能および診断機能について説明します。安全メカニズム (SM) の詳細な説明、分類、検出範囲については、デバイスの安全性マニュアルを参照してください。

表 6-11. フォルト表

フォルト イベント	安全メカニズム	デバイスの状態	CONFIG	nFAULT アサート	SPI 表示	ドライバ関数	応答	復帰
-----------	---------	---------	--------	-------------	--------	--------	----	----

表 6-11. フォルト表 (続き)

SPI ウォッチドッグ違反	SM_SPI_WD	スタンバイ、アクティブ	SPI_WD_DIS = 1	番号	なし	なし	なし	なし
		スタンバイ	SPI_WD_DIS = 0	nFAULT_CONFIG[1] = 1 の場合はあり	SPI_WD_W	なし	なし	CLR FAULT コマンド
		アクティブ	SPI_WD_DIS = 0、SPI_WD_SHUTOF_F_EN = 0	nFAULT_CONFIG[1] = 1 の場合はあり	SPI_WD_W	なし	なし	CLR FAULT コマンド
		アクティブ	SPI_WD_DIS = 0、SPI_WD_SHUTOF_F_EN = 1	nFAULT_CONFIG[1] = 1 または nFAULT_CONFIG[3] = 1 の場合はあり	SPI_WD_W、CHx_STAT	両出力ハイインピーダンス	なし	CLR FAULT コマンド。ドライバは CLR FAULT なしで有効になり、SPI_WD_SHUTOF_F_EN を 1 から 0 に変更すると、CLR FAULT まで nFAULT は Low のままです
VDD 低電圧	SM_VDD_UV	スタンバイ、アクティブ	なし	番号	SDO の VDD_ERR	なし	SDI は引き続き有効	自動復帰
VDD 過電圧	SM_VDD_OV	スタンバイ	なし	番号	SDO の VDD_ERR	なし	SDI は引き続き有効	自動復帰
		アクティブ	VDD_OV_SHUTOFF_F_EN = 0	番号	SDO の VDD_ERR	なし	SDI は引き続き有効	自動復帰
		アクティブ	VDD_OV_SHUTOFF_F_EN = 1	nFAULT_CONFIG[3] = 1 の場合はあり	SDOx の VDD_ERR、CHx_STAT (VDD 復帰後)	両出力ハイインピーダンス	SDI は引き続き有効	CLR FAULT コマンド
NAD 抵抗が範囲外であるため、ノードアドレスが不定	SM_NAD_MON	INIT2	なし	番号	SDO の NAD_ERR	なし	なし	RE_INIT_NAD、NAD_OVERRIDE ブロードキャストコマンド。適切な NAD 抵抗を接続し、その後、RE_INIT_NAD コマンドを発行します。
SDO 競合検出によりノードアドレスが不定	SM_NAD_MON	スタンバイ	なし	番号	SDO の NAD_ERR	なし	なし	RE_INIT_NAD、NAD_OVERRIDE ブロードキャストコマンド
		アクティブ	なし	番号	SDO の NAD_ERR	なし	なし	RE_INIT_NAD、NAD_OVERRIDE ブロードキャストコマンド。INIT2 状態から、デバイスはクリアフォルトなしでアクティブ状態に移行します。

表 6-11. フォルト表 (続き)

SPI コマンドの CRC 違反、または フレーム長が正しくありません	SM_SPI_CMD_CR C、SM_SPI_ERR	スタンバイ、アクティブ	なし	番号	SPI_ERR	なし	SPI フレームは無視されました	適切な書き込み / 読み取りコマンド
CONFIG レジスタの CRC 違反	SM_CONFIG_CR C	INIT1 以外	なし	番号	CONFIG_x_CRC_ W	なし	登録更新を受理しました	適切な CRC を使用したチェックサムレジスタへの書き込み
パワーオン オンリセット	SM_V5_S_POR	スタンバイ、アクティブ	なし	番号	POR、 CONFIG_x_CRC_ W	両出力ハイインピーダンス	なし	CLR FAULT コマンド
IPROPI 抵抗の範囲違反	SM_IPROPI_MON	INIT2	なし	番号	CHx_RIPROPI_W	なし	なし	RIPROPI_W_BYPASS ビットを 1b にしてから、CLR FAULT コマンドにします
オフ状態の負荷インピーダンス チェック	SM_OLP_MON	スタンバイ	CHx_OLP_DIS = 0	nFAULT_CONFIG[3] = 1 の場合はあり	CHx_OFF_DIAG_ STAT	なし	なし	CLR FAULT コマンド
		スタンバイ	CHx_OLP_DIS = 1	番号	なし	なし	なし	なし
最小ピーク立ち上がり時間違反	なし	アクティブ	PC_DIS = 0、 PRT_MIN_W_DIS = 0	nFAULT_CONFIG[0] = 1 の場合はあり	CHx_PRT_W	なし	なし	CLR FAULT コマンド
		アクティブ	PC_DIS = 0、 PRT_MIN_W_DIS = 1	番号	なし	なし	なし	なし
最大ピーク立ち上がり時間違反	なし	アクティブ	PC_DIS = 0、 PRT_MAX_W_DIS = 0	nFAULT_CONFIG[0] = 1 の場合はあり	CHx_PRT_W	なし	タイムアウト後、デバイスは次の状態に移行します。 CHx_PRT レジスタは PT 時間を読み取ります。	CLR FAULT コマンド
		アクティブ	PC_DIS = 0、 PRT_MAX_W_DIS = 1	番号	なし	なし	なし	なし
最小ホールド立ち上がり時間違反	なし	アクティブ	HRT_MIN_W_DIS = 0	nFAULT_CONFIG[0] = 1 の場合はあり	CHx_HRT_W	なし	なし	CLR FAULT コマンド
		アクティブ	HRT_MIN_W_DIS = 1	番号	なし	なし	なし	なし
最大ホールド立ち上がり時間違反	なし	アクティブ	HRT_MAX_W_DIS = 0	nFAULT_CONFIG[0] = 1 の場合はあり	CHx_HRT_W	なし	タイムアウト後、デバイスは次の状態に移行します。 CHx_HRT レジスタは最大 HRT スレッシュホールド時間を読み取ります。	CLR FAULT コマンド
		アクティブ	HRT_MAX_W_DIS = 1	番号	なし	なし	なし	なし

表 6-11. フォルト表 (続き)

最小 QTO 時間違反	SM_MIN_QTO_M ON	アクティブ	QTOT_MIN_W_D S = 0	nFAULT_CONFIG[0] = 1 の場合はあり	CHx_QTOT_W	なし	なし	CLR FAULT コマンド
		アクティブ	QTOT_MIN_W_D S = 1	番号	なし	なし	なし	なし
最大 QTO 時間違反	SM_MAX_QTO_M ON	アクティブ	QTOT_MAX_W_D IS = 0	nFAULT_CONFIG[0] = 1 の場合はあり	CHx_QTOT_W	なし	タイムアウト後、デバイスは次の状態に移行します。 CHx_QTOT レジスタは最大 QTOT スレッショルド時間を読み取ります。	CLR FAULT コマンド
		アクティブ	QTOT_MAX_W_D IS = 1	番号	なし	なし	なし	なし
最大 QTO 開始時間違反	なし	アクティブ	なし	番号	なし	なし	タイムアウト後、デバイスは次の状態に移行します。 CHx_QTOST レジスタは最大 QTOST 時間を読み取ります。	なし
リップルの下限スレッショルド違反	SM_RIPPLE_MON _L	アクティブ	RIPPLE_L_W_DIS = 0	nFAULT_CONFIG[0] = 1 の場合はあり	CHx_PC_RIPPLE _LOW_W CHx_HC_RIPPLE _LOW_W	なし	なし	CLR FAULT コマンド
		アクティブ	RIPPLE_L_W_DIS = 1 または PC_PWM_W_DIS = 1 (ピークレギュレーション)	番号	なし	なし	なし	なし
リップルの上限スレッショルド違反	SM_RIPPLE_MON _H	アクティブ	RIPPLE_H_W_D S = 0	nFAULT_CONFIG[0] = 1 の場合はあり	CHx_PC_RIPPLE _HIGH_W CHx_HC_RIPPLE _HIGH_W	なし	なし	CLR FAULT コマンド
		アクティブ	RIPPLE_H_W_D S = 1 または PC_PWM_W_DIS = 1 (ピークレギュレーション)	番号	なし	なし	なし	なし
タイムアウト - HS SNS OK は、PWM 周期の終了前に登録されていません	SM_HS_SNS_OK	アクティブ	HS_SNS_TO_DIS = 0	nFAULT_CONFIG[0] = 1 の場合はあり	CHx_PC_HS_SNS _TO_W CHx_HC_HS_SNS _TO_W	なし	なし	CLR FAULT コマンド
		アクティブ	HS_SNS_TO_DIS = 1 または PC_PWM_W_DIS = 1 (ピークレギュレーション)	番号	なし	なし	なし	なし

表 6-11. フォルト表 (続き)

タイムアウト - LS SNS OK は、PWM 周期の終了前に登録されていません	SM_LS_SNS_OK	アクティブ	LS_SNS_TO_DIS = 0	nFAULT_CONFIG[0] = 1 の場合はあり	CHx_PC_LS_SNS_TO_W CHx_HC_LS_SNS_TO_W	なし	なし	CLR FAULT コマンド
		アクティブ	LS_SNS_TO_DIS = 1 または PC_PWM_W_DIS = 1 (ピークレギュレーション)	番号	なし	なし	なし	なし
LS ON 100% にもかかわらず、電流が目標電流を下回る	なし	アクティブ	LOW_CUR_W_DIS = 0	nFAULT_CONFIG[0] = 1 の場合はあり	CHx_PC_LOW_C_URR_W CHx_HC_LOW_C_URR_W	なし	なし	CLR FAULT コマンド
		アクティブ	LOW_CUR_W_DIS = 1 または PC_PWM_W_DIS = 1 (ピークレギュレーション)	番号	なし	なし	なし	なし
PWM サイクル開始時の HS SNS 電流 > 目標値によるサイクルスキップ	なし	アクティブ	CYCLE_SKIP_W_DIS = 0	nFAULT_CONFIG[0] = 1 の場合はあり	CHx_PC_CYCLE_SKIP_W CHx_HC_CYCLE_SKIP_W	なし	なし	CLR FAULT コマンド
		アクティブ	PWM_CYCLE_SKIP_DIS = 1	番号	なし	なし	なし	なし
		アクティブ	CYCLE_SKIP_W_DIS = 1 または PC_PWM_W_DIS = 1 (ピークレギュレーション)	番号	なし	なし	なし	なし
PVDD 低電圧警告レベル	SM_PVDD_UV	スタンバイ	PVDD_UV_W_DIS = 0	nFAULT_CONFIG[2] = 1 の場合はあり	PVDD_UV	なし	なし	CLR FAULT コマンド
		スタンバイ	PVDD_UV_W_DIS = 1	番号	なし	なし	なし	なし
		アクティブ	PVDD_UV_W_DIS = 0	nFAULT_CONFIG[2] = 1 の場合はあり	PVDD_UV	固定デューティレギュレーション	なし	CLR FAULT コマンド
		アクティブ	PVDD_UV_W_DIS = 1	番号	なし	固定デューティレギュレーション	なし	なし
PVDD 低電圧	SM_PVDD_UV	スタンバイ	なし	nFAULT_CONFIG[2] = 1 の場合はあり	PVDD_UV	なし	なし	CLR FAULT コマンド
	SM_PVDD_UV	INIT1、INIT2	なし	番号	SDO VDD_ERR	なし	なし	なし
	SM_PVDD_UV_QTO	アクティブ	なし	nFAULT_CONFIG[2] = 1 または nFAULT_CONFIG[3] = 1 の場合はあり	CHx_STAT、PVDD_UV	両出力ハイインピーダンス	なし	CLR FAULT コマンド

表 6-11. フォルト表 (続き)

PVDD 過電圧警告 レベル	SM_PVDD_OV	スタンバイ、アクティブ	PVDD_OV_W_DIS = 0	nFAULT_CONFIG[2] = 1 の場合はあり	PVDD_OV	なし	t _{ocp} は強制的に低い値に設定さ	CLR FAULT コマンド
		スタンバイ、アクティブ	PVDD_OV_W_DIS = 1	番号	なし	なし	なし	なし
PVDD 過電圧シャットダウン レベル	SM_PVDD_OV	スタンバイ	該当なし	nFAULT_CONFIG[2] = 1 の場合はあり	PVDD_OV	なし	なし	CLR FAULT コマンド
		INIT1、INIT2	なし	番号	SDO VDD_ERR	なし	なし	なし
		アクティブ	PVDD_OV_SHUT OFF_EN = 0	nFAULT_CONFIG[2] = 1 の場合はあり	PVDD_OV	なし	なし	CLR FAULT コマンド
		アクティブ	PVDD_OV_SHUT OFF_EN = 1	nFAULT_CONFIG[2] = 1 または nFAULT_CONFIG[3] = 1 の場合はあり	PVDD_OV、 CHx_STAT	両出力ハイインピーダンス	QTO のローサイド クランプ	CLR FAULT コマンド
出力 x LS バスの過電流違反 (OCP_LS)	SM_LS_OCP	アクティブ (LSON)	なし	nFAULT_CONFIG[3] = 1 の場合はあり	CHx_STAT	影響を受ける出力 ハイインピーダンス	なし	CLR FAULT コマンド
出力 x HS バスの過電流違反 (OCP_HS)	SM_HS_OCP	アクティブ (RECIRC)	なし	nFAULT_CONFIG[3] = 1 の場合はあり	CHx_STAT	影響を受ける出力 ハイインピーダンス	なし	CLR FAULT コマンド
低電流違反 (UCLO)	SM_UCLO	アクティブ (LSON)	UCLO_EN = 0	番号	CHx_UCLO_W	なし	なし	CLR FAULT コマンド
		アクティブ (LSON)	UCLO_EN = 1	nFAULT_CONFIG[3] = 1 の場合はあり	CHx_STAT、 CHx_UCLO_W	影響を受ける出力 ハイインピーダンス	なし	CLR FAULT コマンド
過熱違反 (TSD)	SM_TSD	アクティブ	なし	nFAULT_CONFIG[2] = 1 または nFAULT_CONFIG[3] = 1 の場合はあり	CHx_STAT、OT	両出力ハイインピーダンス	なし	CLR FAULT コマンド
過熱警告 (OTW)	SM_OTW	スタンバイ、アクティブ	OT_W_DIS = 0	nFAULT_CONFIG[2] = 1 の場合はあり	OT	なし	OT_W_ACTION = 1 の場合、最も高い SR に切り替えます	CLR FAULT コマンド
		スタンバイ、アクティブ	OT_W_DIS = 1	番号	なし	なし	なし	なし
安全層 V5_S UV または OV	SM_V5_S_UV、 SM_V5_S_OV	スタンバイ、アクティブ	なし	あり	SDO ハイインピーダンス、DEV_ERR 設定ですが、読み取りはできません	両出力ハイインピーダンス	2 次側ロジックタイムアウト	パワー サイクル
安全層 - f _{osc} 違反 (High または Low、または固着)	SM_OSC_MON	スタンバイ、アクティブ、 INIT1、INIT2	なし	あり	SDO ハイインピーダンス、DEV_ERR 設定ですが、読み取りはできません	両出力ハイインピーダンス	2 次側ロジックタイムアウト	パワー サイクル
安全層 - デジタル BIST 障害	SM_LOGIC_BIST	INIT1	なし	あり	SDO ハイインピーダンス、DEV_ERR 設定ですが、読み取りはできません	両出力ハイインピーダンス	2 次側ロジックタイムアウト	パワー サイクル

表 6-11. フォルト表 (続き)

安全層 - メモリ BIST 障害	SM_MEM_BIST	INIT1	なし	あり	SDO ハイインピーダンス、DEV_ERR 設定ですが、読み取りはできません	両出力ハイインピーダンス	TI の工場出荷時テストモードで合格したレジスタの更新	パワー サイクル
アナログ パワーアップでの BIST 障害	SM_ABIST	INIT2	なし	番号	STARTUP_BIST_W	なし	なし	CLR FAULT コマンド
PWM BIST 違反	SM_PWM_BIST	アクティブ	なし	nFAULT_CONFIG[0] = 1 の場合はあり	CHx_PC_PWM_BIST_W、 CHx_HC_PWM_BIST_W	なし	なし	CLR FAULT コマンド

6.3.10 プログラミング

6.3.10.1 SPI インターフェイス

このデバイスは、4 線式 24 ビット SPI フォロワーのシリアル インターフェイス プロトコルを搭載しています。SPI バスは、デバイス構成と動作パラメータの設定、デバイスの診断情報の読み出しに使用します。デバイスの SPI はペリフェラル モードで動作し、中央コントローラに接続します。SPI 入力データ (SDI) は 24 ビット (8 ビットのヘッダ、16 ビットのデータ) で構成されています。SPI 出力データ (SDO) ワードは、受信したデータ (SDI) の読み戻しと、読み取りコマンド用の特定のアドレス データで構成されています。SDI のデータは SCLK ピンの立ち下がりエッジで収集され、SDO のデータは SCLK ピンの立ち上がりエッジで伝搬されます。ほとんどの標準的なマイコンでは、これはモード 1 (CPOL = 0, CPHA = 1) です。

有効なフレームは次の条件を満たしていなければなりません。

- SCLK ピンは、nSCS ピンが High から Low (データを有効にする)、Low から High (データ送信を終了する) に遷移するときに Low である必要があります。
- nSCS ピンは、各 24 ビット フレーム送信の間で High にプルアップされる必要があります。
- 各フレームは正確に 24 回の SCLK である必要があります。それ以外の場合、フレームは無効なフレームとして破棄され、次のフレーム送信で SPI_ERR のフラグが設定されます。
- SDI のデータは SCLK ピンの立ち下がりエッジで収集され、SDO のデータは SCLK ピンの立ち上がりエッジで伝搬されます。
- nSCS ピンが High にされているときは、SCLK ピンと SDI ピンのすべての信号が無視され、SDO ピンがハイ インピーダンス状態になります。
- 最上位ビット (MSB) から先にシフト イン/シフト アウトされます。

6.3.10.2 アドレス指定可能な SPI

このデバイスはオプションでアドレス指定可能な SPI フォーマットをサポートしており、最大 4 台のデバイスが同じチップ セレクトピン (nSCS) で動作できます。この結果、特別なブロードキャスト コマンドを使用して、共有アドレス指定バス上のすべてのデバイスが特定のアクションを同時に実行し、複数のデバイスとやり取りするのに必要なピンを最小限に抑えることができます。

CMD2 ブロードキャスト コマンドを使用すると、SDI データは同じアドレス指定可能な SPI バス上のすべてのデバイスに送信されます。SDO 応答は単一のデバイスに制限され、応答デバイスは SDI フレームのノード アドレス ビット (A6、A5) を使用して設定されます。

アドレス指定可能な SPI 機能を使用しない場合、nFAULT/NAD ピンのプルアップ抵抗は、5.6kΩ のプルアップ抵抗値を使用して、デフォルト アドレス (00) に設定できます。その後、SPI は、アドレス ビット A6 = 0b、A5 = 0b に常に設定することで、通常の SPI として機能します。

パワーアップ初期化時に、デバイスは nFAULT/NAD ピンの VDD へのプルアップ インピーダンスに基づくノード アドレス (デバイス アドレス) を自動的に割り当てます (値については、表 6-12 を参照)。このアドレスは、SPI フレームで使用される 8 ビット ヘッダ (A6、B5) の上位 2 ビットに割り当てられます。これによりユーザーは、nFAULT/NAD ピンのノード アドレス機能を使用して、各ドライバ (最大 4 つのドライバ) に固有のアドレスを割り当てることができます。初期化が完了すると、コントローラは 24 ビット フレーム 1 つを使用して、アドレス指定された任意のデバイスにおける特定のレジスタにアクセスできます。初期化後、このピンは通常のデバイス動作時の nFAULT アサート (オープン ドレイン、アクティブ Low) に使用されます。

表 6-12. nFAULT/NAD ピンのプルアップ抵抗

A6	A5	nFAULT/NAD ピンの VDD への抵抗
0	0	5.6 kΩ
0	1	12kΩ
1	0	27 kΩ
1	1	56 kΩ

6.3.10.3 SPI エラー インジケータ

SPI プロトコルは、SDO 応答の特定の SPI エラーを直接示す機能を備えています。以下に 4 種類のエラーを示し、説明します。

- **VDD_ERR**: SDO 応答の先頭ビットは、VDD_ERR を通知するために使用されます。このエラーは、SPI バス上のいずれかのデバイスで VDD 低電圧 (VDD の損失) または VDD 過電圧が原因で発生する可能性があります。パワーアップ初期化 (INIT1、INIT2) 時、このフィールドは PVDD 低電圧または PVDD 過電圧も示します。
- **NAD_ERR**: ノード アドレス (初期化時に抵抗の範囲外やデバイスのバイアスの問題) を特定できないか、SDO 送信中のデータ競合が発生すると、NAD_ERR 状態になります。SDO 応答の先頭ビットは NAD_ERR の通知に使用され、応答の残りの部分は無効 (ハイ インピーダンス) になります。このエラーは、SPI バス上のいずれかのデバイスで検出された NAD_ERR が原因で発生する可能性があります。コントローラは、ブロードキャスト コマンド RE_INIT_NAD、NAD_OVERRIDE、または ASSIGNED_NAD を使用して、NAD_ERR 状態を解決できます。パワーアップ後、NAD アドレスはラッチされ、変更されません (ユーザーが指示した場合を除く)。
- **SPI_ERR**: デバイスは、次の SPI フレームで SPI_ERR ビット (SDO 応答の 3 番目のビット) を High にアサートすることで、SPI フレームの除去を通知します。これは、アウトオブフレーム シグナリングとも呼ばれます。SDO 応答の残りの部分は通常どおり進行します。nSCS が Low のときに SCLK のエッジ数が正しくない場合 (デバイスは正確に 24 を想定)、またはコマンド CRC の不一致により、SPI_ERR が発生する可能性があります。
- **DEV_ERR**: 各種デバイス セルフテスト (BIST) およびパワーアップによってエラーが検出された場合は、SDI ピンをハイインピーダンスに維持することで、デバイスは SDO 応答のデバイス エラーを通知します。

6.3.10.4 SPI フォーマット

24 ビット SPI 動作は 3 種類あります。

- **読み取り**: アドレス指定された位置からレジスタ データを読み戻します。8 ビット ヘッダは、2 ビットのデバイス アドレス、5 ビットのレジスタ アドレス、読み取りを示す 1 ビット (B16 の 0x1) で構成されます。16 ビットのデータは無視され、「0」として設定できます。
- **書き込み**: アドレス指定された場所のレジスタ内容を変更します。8 ビットヘッダは、2 ビットのデバイス アドレス、5 ビットのレジスタ アドレス、書き込みを示す 1 ビット (B16 の 0x0) で構成されます。16 ビット データは、アドレス指定されたレジスタに書き込むデータで構成されています。
- **コマンド**: CRC8 保護を使用した特別な書き込みコマンドです。8 ビットヘッダは、2 ビットのデバイス アドレス、5 ビットのレジスタ アドレス、書き込みを示す 1 ビット (B16 の 0x0) で構成されます。その後 8 ビットのコマンド バイトと 8 ビット の CRC バイトが続きます。CRC は、結合されたヘッダとコマンド バイト (B23-B8) の組み合わせで取得されます。CRC 多項式は 0x97 で、初期値は 0xFF です。デバイスは、CRC (最下位バイト) がフレームの先頭 2 バイトから計算された CRC と一致した場合にのみこのコマンドを受け入れます。一致しない場合、フレームは無視され、SPI_ERR ビットが設定されます。

SDO の先頭ビットは、特定のエラーを示すために使用されます。

表 6-13. SPI 読み取りフォーマット

SPI 読み取り	ヘッダ バイト								データ バイト - MSB								データ バイト - LSB							
	B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
SDI	読み出し	A6	A5	A4	A3	A2	A1	A0	1	すべて「0」														
SDO	正常	ハイインピーダンス	0	A4	A3	A2	A1	A0	アドレス指定された場所からの DATA[15:0]															
	SPI_ERR	ハイインピーダンス	1	A4	A3	A2	A1	A0	アドレス指定された場所からの DATA[15:0]															
	VDD_ERR	0	ハイインピーダンス																					
	NAD_ERR	ハイインピーダンス	0	ハイインピーダンス																				
	DEV_ERR	ハイインピーダンス																						

表 6-14. SPI 書き込みフォーマット

SPI 書き込み		ヘッダ バイト								データ バイト - MSB								データ バイト - LSB														
		B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0							
SDI	書き込み	A6	A5	A4	A3	A2	A1	A0	0	アドレス指定された場所の新しい DATA[15:0]																						
SDO	正常	ハイインピーダンス	0	A4	A3	A2	A1	A0	アドレス指定された場所からの以前の DATA[15:0]																							
	SPI_ERR	ハイインピーダンス	1	A4	A3	A2	A1	A0	アドレス指定された場所からの以前の DATA[15:0]																							
	VDD_ERR	0	ハイインピーダンス																													
	NAD_ERR	ハイインピーダンス	0	ハイインピーダンス																												
	DEV_ERR	ハイインピーダンス																														

表 6-15. SPI コマンド書き込みフォーマット

SPI コマンド		ヘッダ バイト								データ バイト - MSB								データ バイト - LSB													
		B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0						
SDI	コマンド	A6	A5	A4	A3	A2	A1	A0	0	COMMAND[15:8]								ビット B23-B8 の CRC8[7:0]. 多項式 = 0x97													
SDO	正常	ハイインピーダンス	0	A4	A3	A2	A1	A0	アドレス指定された場所からの以前の DATA[15:0]																						
	SPI_ERR	ハイインピーダンス	1	A4	A3	A2	A1	A0	アドレス指定された場所からの以前の DATA[15:0]																						
	VDD_ERR	0	ハイインピーダンス																												
	NAD_ERR	ハイインピーダンス	0	ハイインピーダンス																											
	DEV_ERR	ハイインピーダンス																													

表 6-16. SPI コマンド読み取りフォーマット

SPI コマンド		ヘッダ バイト								データ バイト - MSB								データ バイト - LSB													
		B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0						
SDI	コマンド	A6	A5	A4	A3	A2	A1	A0	1	COMMAND[15:8]								ビット B23-B8 の CRC8[7:0]. 多項式 = 0x97													
SDO	正常	ハイインピーダンス	0	A4	A3	A2	A1	A0	アドレス指定された場所からの DATA[15:0]																						
	SPI_ERR	ハイインピーダンス	1	A4	A3	A2	A1	A0	アドレス指定された場所からの DATA[15:0]																						
	VDD_ERR	0	ハイインピーダンス																												
	NAD_ERR	ハイインピーダンス	0	ハイインピーダンス																											
	DEV_ERR	ハイインピーダンス																													

SPI_ERR は、前のフレームからの SPI フレーム エラーに対応します。SDO の先頭 2 ビットは、任意のデバイスでの SPI 通信障害を示すために使用されます。これには、VDD_ERR と NAD_ERR が含まれます。

6.3.10.5 SPI ウォッチドッグ モニタ

このデバイスには SPI ウォッチドッグ モニタがあり、有効な SPI フレームの後でリセットされます。SPI ウォッチドッグ違反に対する応答は、シャットオフまたは通知のみ (SPI_WD_SHUTOFF_EN) に構成できます。

7 レジスタ マップ

このデバイスには、ステータス (STATUS)、測定 (MEAS)、構成 A (CONFIG_A)、構成 B (CONFIG_B)、コマンド (CMD) の 5 種類のレジスタがあります。これらのレジスタ マップとレジスタの詳細を以下に示します。

表 7-1. ステータス (STATUS) レジスタ マップ

ADDR	名称	B15	B14	B13	B12	B11	B10	B9	B8
		B7	B6	B5	B4	B3	B2	B1	B0
1h	STATUS0	NAD		POR	EN/ EN1_PIN_STAT	DIS/ EN2_PIN_STAT	nFAULT_PIN_STA T	DEVICE_ERR	警告
		CH1_OFF_DIAG_ STAT	CH1_STAT			CH2_OFF_DIAG_ STAT	CH2_STAT		
2h	STATUS1	NAD		EN/ EN1_PIN_STAT	EN/ EN1_PIN_STAT	DEVICE_ID		RSVD	PVDD_UV
		PVDD_OV	OT	SPI_WD_W	STARTUP_BIST_ W	CH1_RIPROPI_W	CH2_RIPROPI_W	CONFIG_A_CRC_ W	CONFIG_B_CRC_ W
3h	STATUS2	NAD		CH1_PRT_W		CH1_QTOT_W		CH1_HRT_W	
		RSVD							
4h	STATUS3	NAD		CH2_PRT_W		CH2_QTOT_W		CH2_HRT_W	
		RSVD							
Ah	STATUS4	CH1_UCLO_W	CH1_PC_CYCLE_ SKIP_W	CH1_PC_RIPPLE_ HIGH_W	CH1_PC_RIPPLE_ LOW_W	CH1_PC_HS_SN S_TO_W	CH1_PC_LOW_C URR_W	CH1_PC_LS_SN S_TO_W	RSVD
		RSVD	CH1_HC_CYCLE_ SKIP_W	CH1_HC_RIPPLE_ HIGH_W	CH1_HC_RIPPLE_ LOW_W	CH1_HC_HS_SN S_TO_W	CH1_HC_LOW_C URR_W	CH1_HC_LS_SN S_TO_W	CH1_PWM_BIST_ W
Bh	STATUS5	CH2_UCLO_W	CH2_PC_CYCLE_ SKIP_W	CH2_PC_RIPPLE_ HIGH_W	CH2_PC_RIPPLE_ LOW_W	CH2_PC_HS_SN S_TO_W	CH2_PC_LOW_C URR_W	CH2_PC_LS_SN S_TO_W	RSVD
		RSVD	CH2_HC_CYCLE_ SKIP_W	CH2_HC_RIPPLE_ HIGH_W	CH2_HC_RIPPLE_ LOW_W	CH2_HC_HS_SN S_TO_W	CH2_HC_LOW_C URR_W	CH2_HC_LS_SN S_TO_W	CH2_PWM_BIST_ W

表 7-2. 測定 (MEAS) レジスタ マップ

ADDR	名称	B15	B14	B13	B12	B11	B10	B9	B8
		B7	B6	B5	B4	B3	B2	B1	B0
5h	MEAS0	CH1_DC							
		CH2_DC							
6h	MEAS1	CH1_PRT							
		CH1_HRT							
7h	MEAS2	CH1_QTOST							
		CH1_QTOT							
8h	MEAS3	CH2_PRT							
		CH2_HRT							
9h	MEAS4	CH2_QTOST							
		CH2_QTOT							
Ch	MEAS5	CH1_RIPROPI							
		CH1_VIPROPI							
Dh	MEAS6	CH2_RIPROPI							
		CH2_VIPROPI							

表 7-3. 構成 A (CONFIG_A) レジスタ マップ

ADDR	名称	B15	B14	B13	B12	B11	B10	B9	B8
		B7	B6	B5	B4	B3	B2	B1	B0
10h	CONFIG_A0	CH1_PC							
		CH1_HC							
11h	CONFIG_A1	CH2_PC							
		CH2_HC							
12h	CONFIG_A2	RSVD		CH1_UCLO_THRS		RSVD	CH1_RIPPLE_THRS		
		PWM_CYCLE_SK IP_DIS	RSVD	CH2_UCLO_THRS		CYCLE_SKIP_W_ DIS	CH2_RIPPLE_THRS		
13h	CONFIG_A3	VDD_OV_FLTR		VDD_UV_FLTR		PVDD_OV_FLTR		PVDD_UV_FLTR	
		PT1				PT2			

表 7-3. 構成 A (CONFIG_A) レジスタ マップ (続き)

ADDR	名称	B15	B14	B13	B12	B11	B10	B9	B8	
		B7	B6	B5	B4	B3	B2	B1	B0	
14h	CONFIG_A4	CH1_SLOPE_COMP_EN	PIN_CONFIG	OCP_FLTR	UCLO_FAULT_FLTR			QTOT_MAX_THRS		
		QTOT_MIN_THRS		PRT_MIN_THRS		HRT_MAX_THRS		HRT_MIN_THRS		
15h	CONFIG_A5	nFAULT_CONFIG				CH1_PIN_TURNON_DLY			CH1_PIN_TURNOFF_DLY[2]	
		CH1_PIN_TURNOFF_DLY[1:0]		CH2_PIN_TURNON_DLY			CH2_PIN_TURNOFF_DLY			
16h	CONFIG_A6	CH1_SLOPE_COMP								
		CONFIG_A_CRC8								

表 7-4. 構成 B (CONFIG_B) レジスタ マップ

ADDR	名称	B15	B14	B13	B12	B11	B10	B9	B8
		B7	B6	B5	B4	B3	B2	B1	B0
17h	CONFIG_B0	VDD_OV_SHUTOFF_EN	RSVD	RETRY_WAIT_SEL			SPL_WD_SEL		PC_REG_DIS
		RSVD	UCLO_EN	PVDD_OV_SHUTOFF_EN	SPI_WD_SHUTOFF_EN	OT_W_ACTION	OLP_SEL		
18h	CONFIG_B1	PVDD_OV_WDS	OT_W_DIS	SPI_WD_DIS	QTOT_MAX_WDIS	QTOT_MIN_WDIS	PRT_MAX_WDIS	PRT_MIN_WDIS	HRT_MAX_WDIS
		HRT_MIN_WDIS	PC_PWM_WDIS	LS_SNS_TO_DIS	HS_SNS_TO_DIS	RIPPLE_U_WDIS	RIPPLE_L_WDIS	LOW_CUR_WDIS	PVDD_UV_WDIS
19h	CONFIG_B2	CH1_fSS_SEL_TYPE	CH1_fSS_SEL		CH1_fc_PWM				
		CH2_fSS_SEL_TYPE	CH2_fSS_SEL		CH2_fc_PWM				
1Ah	CONFIG_B3	DIS_SSC	CP_SSC_CTRL	STARTUP_ABIST_BYPASS	CH1_OLP_DIS	CH2_OLP_DIS	RSVD	RIPROPI_W_BYPASS	CH2_SLOPE_COMP_EN
		CH2_SLOPE_COMP							
1Bh	CONFIG_B4	RSVD						CH1_CTRL_CONFIG	CH2_CTRL_CONFIG
		CONFIG_B_CRC8							

表 7-5. コマンド (CMD) レジスタ マップ

ADDR	名称	B15	B14	B13	B12	B11	B10	B9	B8
1Ch	CMD0	SR_SEL			RETRY_WAIT_DIS	PC_DIS1	PC_DIS2	FORCE_BIST	
1Dh	CMD1	CLR_FAULT	LOCK_CONFIG	CH1_CTRL			CH2_CTRL		
1Eh	CMD2 (ブロードキャスト)	CLR_FAULT	RE_INIT	NAD_OVERRIDE	ASSIGNED_NAD		CHs_CTRL		

7.1 ステータス レジスタ

このデバイスには、6つのアドレス位置に 12 バイトの STATUS レジスタ (読み取り専用) があります。

表 7-6 に、STATUS レジスタのメモリ マップトレジスタを示します。表 7-6 にないレジスタ オフセット アドレスはすべて予約済みと見なすべきであり、レジスタ内容は変更しないでください。

表 7-6. ステータス レジスタ

アドレス	略称	レジスタ名	セクション
1h	STATUS0	デバイス、出力、入力ピン ステータスの概要。	セクション 7.1.1
2h	STATUS1	入力ピン、SPI、BIST、RIPROPI、および電源ステータス。	セクション 7.1.2
3h	STATUS2	出力 1 のタイミング パラメータ警告ステータス。	セクション 7.1.3
4h	STATUS3	出力 2 のタイミング パラメータ警告ステータス。	セクション 7.1.4
Ah	STATUS4	出力 1 の PWM サイクル警告。	セクション 7.1.5
Bh	STATUS5	出力 2 の PWM サイクル警告。	セクション 7.1.6

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 7-7 このセクションでアクセス タイプに使用しているコードを示します。

表 7-7. STATUS のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

7.1.1 STATUS0 レジスタ (アドレス = 1h) [リセット = 2500h]

STATUS0 を表 7-8 に示します。

概略表に戻ります。

デバイスおよび出力状態の障害および警告サマリ インジケータを含むグローバル ステータス レジスタ。入力ピンのステータスも含まれます。

表 7-8. STATUS0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	ビットの詳細	ビット列挙
15-14	NAD	R	0x0	SPI 通信のデバイス ノード アドレス:nFAULT/NAD ビンのプルアップ抵抗値に基づいて決定されます。	<ul style="list-style-type: none"> 0x0: NAD アドレス = 0 0x1: NAD アドレス = 1 0x2: NAD アドレス = 2 0x3: NAD アドレス = 3
13	POR	R	0x1	パワーオン リセット インジケータ。パワーアップ中に CLR_FAULT コマンドまでビットはラッチされます。	<ul style="list-style-type: none"> 0x0 = POR なし 0x1 = POR イベント前
12	EN/EN1_PIN_STAT	R	0x0	透過ピンのステータス インジケータ	<ul style="list-style-type: none"> 0x0 = ビンは Low 0x1 = ビンは High
11	DIS/EN2_PIN_STAT	R	0x0	透過ピンのステータス インジケータ	<ul style="list-style-type: none"> 0x0 = ビンは Low 0x1 = ビンは High
10	nFAULT_PIN_STAT	R	0x1	透過ピンのステータス インジケータ	<ul style="list-style-type: none"> 0x0 = ビンが Low (nFAULT をアサート) 0x1 = ビンは High

表 7-8. STATUS0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	ビットの詳細	ビット列挙
9	DEV_ERR	R	0x0	DEVICE_ERR の場合、SDO 応答はハイ インピーダンスです。ハイ インピーダンスの出力がある場合、デバイスの動作は無効になります。この状態をクリアするには、パワー サイクル (内部ロジックリセット) が必要です。このビットは、動作中は常に Low を読み出す必要があります。	
8	警告	R	0x1	警告インジケータ (STATUS1 から STATUS5 レジスタの警告ビットの OR 演算)。正確な警告フラグのために他の STATUS レジスタを読み出します。警告フラグは、CLR_FAULT コマンドまでラッチされますが、出力はコマンドされたとおりに動作します。	<ul style="list-style-type: none"> 0x0 = 警告なし 0x1 = 警告通知
7	CH1_OFF_DIAG_STAT	R	0x0	出力 1 のオフ状態診断ステータス、GND への短絡または OPEN 検出が発生した場合、CLR_FAULT コマンドまでビットがラッチされます。	<ul style="list-style-type: none"> 0x0 = 通常負荷 0x1 = 制御損失 (GND への短絡またはオープン)
6-4	CH1_STAT	R	0x0	出力 1 ステータス。シャット オフ イベントが発生した場合、出力はハイ インピーダンスでロックアウトされ、CLR_FAULT コマンドまでビットがラッチされます。	<ul style="list-style-type: none"> 0x0 = コマンド OFF 0x1 = コマンド ON、通常動作 0x2 = コマンド ON、TSD によりシャットオフ 0x3 = コマンド ON、OCP_LS によりシャットオフ 0x4 = コマンド ON、OCP_HS によりシャットオフ 0x5 = コマンド ON、PVDD UV によりシャットオフ 0x6 = コマンド ON、UCLO によりシャットオフ (UCLO_EN でイネーブル) 0x7 = コマンド ON、PVDD OV によりシャットオフ (PVDD_OV_SHUTOFF_EN でイネーブル) または VDD OV (VDD_OV_SHUTOFF_EN でイネーブル)、または SPI WD によりシャットオフ (SPI_WD_SHUTOFF_EN でイネーブル)
3	CH2_OFF_DIAG_STAT	R	0x0	出力 2 のオフ状態診断ステータス、GND への短絡または OPEN 検出が発生した場合、CLR_FAULT コマンドまでビットがラッチされます。	<ul style="list-style-type: none"> 0x0 = 通常負荷 0x1 = 制御損失 (GND への短絡またはオープン)
2-0	CH2_STAT	R	0x0	出力 2 ステータス。シャット オフ イベントが発生した場合、出力はハイ インピーダンスでロックアウトされ、CLR_FAULT コマンドまでビットがラッチされます。	<ul style="list-style-type: none"> 0x0 = コマンド OFF 0x1 = コマンド ON、通常動作 0x2 = コマンド ON、TSD によりシャットオフ 0x3 = コマンド ON、OCP_LS によりシャットオフ 0x4 = コマンド ON、OCP_HS によりシャットオフ 0x5 = コマンド ON、PVDD UV によりシャットオフ 0x6 = コマンド ON、UCLO によりシャットオフ (UCLO_EN でイネーブル) 0x7 = コマンド ON、PVDD OV によりシャットオフ (PVDD_OV_SHUTOFF_EN でイネーブル) または VDD OV (VDD_OV_SHUTOFF_EN でイネーブル)、または SPI WD によりシャットオフ (SPI_WD_SHUTOFF_EN でイネーブル)

7.1.2 STATUS1 レジスタ (アドレス = 2h) [リセット = 0803h]

STATUS1 を表 7-9 に示します。

概略表に戻ります。

EN/EN1 ピンのステータス、SPI CRC エラー、デバイス ID、PVDD OV および UV モニタ、RIPROPI モニタを含むステータス レジスタ。

表 7-9. STATUS1 レジスタの説明

ビット	フィールド	タイプ	リセット	ビットの詳細	ビット列挙
15-14	NAD	R	0x0	SPI 通信のデバイス ノード アドレス:nFAULT/NAD ピンのプルアップ抵抗値に基づいて決定されます。	<ul style="list-style-type: none"> 0x0:NAD アドレス = 0 0x1:NAD アドレス = 1 0x2:NAD アドレス = 2 0x3:NAD アドレス = 3
13	EN/EN1_PIN_STAT	R	0x0	STATUS0 のコピー、ビット 12	<ul style="list-style-type: none"> 0x0 = ビットは Low 0x1 = ビットは High
12	EN/EN1_PIN_STAT	R	0x0	STATUS0 のコピー、ビット 12	<ul style="list-style-type: none"> 0x0 = ビットは Low 0x1 = ビットは High
11-10	DEVICE_ID	R	0x2	固有のデバイス ID。量産開始前サンプルの場合は 0x2	
9	RSVD	R	0x0	予約済み	
8	PVDD_UV	R	0x0	PVDD 低電圧フラグ (警告が有効な場合、ビットは警告スレッシュホールドで設定されます)。ビットは、CLR_FAULT コマンドまでラッチされます。	<ul style="list-style-type: none"> 0x0 = PVDD 低電圧フラグなし 0x1 = PVDD 低電圧フラグ
7	PVDD_OV	R	0x0	PVDD 過電圧フラグ (警告が有効な場合、ビットは警告スレッシュホールドで設定されます)。ビットは、CLR_FAULT コマンドまでラッチされます。	<ul style="list-style-type: none"> 0x0 = PVDD 過電圧フラグなし 0x1 = PVDD 過電圧フラグ
6	OT	R	0x0	過熱フラグ (警告が有効な場合、ビットは警告スレッシュホールドで設定されます)。ビットは、CLR_FAULT コマンドまでラッチされます。	<ul style="list-style-type: none"> 0x0 = OT フラグなし 0x1 = OT フラグ
5	SPI_WD_W	R	0x0	SPI ウォッチドッグの警告。ビットは、CLR_FAULT コマンドまでラッチされます。	<ul style="list-style-type: none"> 0x0 = ウォッチドッグ警告なし 0x1 = ウォッチドッグ警告
4	STARTUP_BIST_W	R	0x0	デバイスの起動における ABIST 障害警告。フォルトが存在するまで、ビットはラッチされます。フォルトが発生した場合、ユーザーは REINIT_NAD コマンドを発行してテストを再トリガする必要があります (必要に応じて STARTUP_ABIST_BYPASS でバイパス)。最初のパワーアップ中、フォルトがクリアされるまで、デバイスは INIT2 状態を終了しません。	<ul style="list-style-type: none"> 0x0 = ABIST 障害警告なし 0x1 = ABIST 障害警告
3	CH1_RIPROPI_W	R	0x0	IPROPI1 ピンの抵抗によって、出力 1 の範囲外警告、または PVDD UV による不確実性が生じています。フォルトが存在するまで、ビットはラッチされます。フォルトが発生した場合、ユーザーは REINIT_NAD コマンドを発行してテストを再トリガする必要があります (必要に応じて RIPROPI_W_BYPASS でバイパス)。フォルトがクリアされるまで、デバイスは INIT2 状態を終了しません。	<ul style="list-style-type: none"> 0x0 = RIPROPI 範囲外警告なし 0x1 = RIPROPI 範囲外警告
2	CH2_RIPROPI_W	R	0x0	IPROPI2 ピンの抵抗によって、出力 2 の範囲外警告、または PVDD UV による不確実性が生じています。フォルトが存在するまで、ビットはラッチされます。フォルトが発生した場合、ユーザーは REINIT_NAD コマンドを発行してテストを再トリガする必要があります (必要に応じて RIPROPI_W_BYPASS でバイパス)。フォルトがクリアされるまで、デバイスは INIT2 状態を終了しません。	<ul style="list-style-type: none"> 0x0 = RIPROPI 範囲外警告なし 0x1 = RIPROPI 範囲外警告
1	CONFIG_A_CRC_W	R	0x1	CONFIG_A スペースの CRC 不一致警告。次の CONFIG_A CRC レジスタ書き込みまで、ビットはラッチされます。	

表 7-9. STATUS1 レジスタの説明 (続き)

ビット	フィールド	タイプ	リセット	ビットの詳細	ビット列挙
0	CONFIG_B_CRC_W	R	0x1	CONFIG_B スペースの CRC 不一致警告。次の CONFIG_B CRC レジスタ書き込みまで、ビットはラッチされます。	

7.1.3 STATUS2 レジスタ (アドレス = 3h) [リセット = 0000h]

STATUS2 を表 7-10 に示します。

概略表に戻ります。

出力 1 のタイミング パラメータ警告ステータスを含むステータス レジスタ。

表 7-10. STATUS2 レジスタの説明

ビット	フィールド	タイプ	リセット	ビットの詳細	ビット列挙
15-14	NAD	R	0x0	SPI 通信のデバイス ノード アドレス: nFAULT/NAD ピンのプルアップ抵抗値に基づいて決定されます。	<ul style="list-style-type: none"> 0x0: NAD アドレス = 0 0x1: NAD アドレス = 1 0x2: NAD アドレス = 2 0x3: NAD アドレス = 3
13-12	CH1_PRT_W	R	0x0	出力 1 のピーク立ち上がり時間警告。ビットは、CLR_FAULT コマンドまでラッチされます。	<ul style="list-style-type: none"> 0x0 = スレッシュホールド内 0x1 = PRT_MIN_THRS によって設定された最小スレッシュホールド違反 0x2 = CH1_PT によって設定された最大スレッシュホールド違反 0x3 = 使用しません
11-10	CH1_QTOT_W	R	0x0	出力 1 のクイックターンオフ (クランプ) 時間警告。ビットは、CLR_FAULT コマンドまでラッチされます。	<ul style="list-style-type: none"> 0x0 = スレッシュホールド内 0x1 = QTOT_MIN_THRS によって設定された最小スレッシュホールド違反 0x2 = QTOT_MAX_THRS によって設定された最大スレッシュホールド違反 0x3 = 使用しません
9-8	CH1_HRT_W	R	0x0	出力 1 のホールド立ち上がり時間警告。ビットは、CLR_FAULT コマンドまでラッチされます。	<ul style="list-style-type: none"> 0x0 = スレッシュホールド内 0x1 = HRT_MIN_THRS によって設定された最小スレッシュホールド違反 0x2 = HRT_MAX_THRS によって設定された最大スレッシュホールド違反 0x3 = 使用しません
7-0	RSVD	R	0x0	予約済み	予約済み

7.1.4 STATUS3 レジスタ (アドレス = 4h) [リセット = 0000h]

STATUS3 を表 7-11 に示します。

[概略表](#)に戻ります。

出力 2 のタイミング パラメータ警告ステータスを含むステータス レジスタ。

表 7-11. STATUS3 レジスタの説明

ビット	フィールド	タイプ	リセット	ビットの詳細	ビット列挙
15-14	NAD	R	0x0	SPI 通信のデバイス ノード アドレス:nFAULT/NAD ピンのプルアップ抵抗値に基づいて決定されます。	<ul style="list-style-type: none"> 0x0:NAD アドレス = 0 0x1:NAD アドレス = 1 0x2:NAD アドレス = 2 0x3:NAD アドレス = 3
13-12	CH2_PRT_W	R	0x0	出力 2 のピーク立ち上がり時間警告。ビットは、CLR_FAULT コマンドまでラッチされます。	<ul style="list-style-type: none"> 0x0 = スレッシュホールド内 0x1 = PRT_MIN_THRS によって設定された最小スレッシュホールド違反 0x2 = CH2_PT によって設定された最大スレッシュホールド違反 0x3 = 使用しません
11-10	CH2_QTOT_W	R	0x0	出力 2 のクイック ターンオフ (クランプ) 時間警告。ビットは、CLR_FAULT コマンドまでラッチされます。	<ul style="list-style-type: none"> 0x0 = スレッシュホールド内 0x1 = QTOT_MIN_THRS によって設定された最小スレッシュホールド違反 0x2 = QTOT_MAX_THRS によって設定された最大スレッシュホールド違反 0x3 = 使用しません
9-8	CH2_HRT_W	R	0x0	出力 2 のホールド立ち上がり時間警告。ビットは、CLR_FAULT コマンドまでラッチされます。	<ul style="list-style-type: none"> 0x0 = スレッシュホールド内 0x1 = HRT_MIN_THRS によって設定された最小スレッシュホールド違反 0x2 = HRT_MAX_THRS によって設定された最大スレッシュホールド違反 0x3 = 使用しません
7-0	RSVD	R	0x0	予約済み	予約済み

7.1.5 STATUS4 レジスタ (アドレス = Ah) [リセット = 0000h]

STATUS4 を表 7-12 に示します。

[概略表](#)に戻ります。

STATUS4 レジスタには、出力 1 の PWM サイクル警告ステータスが含まれています。

表 7-12. STATUS4 レジスタの説明

ビット	フィールド	タイプ	リセット	ビットの詳細	ビット列挙
15	CH1_UCLO_W	R	0x0	低電流ロックアウト警告	<ul style="list-style-type: none"> 0x0 = UCLO 警告なし 0x1 = UCLO 警告
14	CH1_PC_CYCLE_SKIP_W	R	0x0	ピーク電流レギュレーション時のサイクル スキップ警告	<ul style="list-style-type: none"> 0x0 = PC サイクル スキップ警告なし 0x1 = PC サイクル スキップ警告
13	CH1_PC_RIPPLE_HIGH_W	R	0x0	ピーク電流レギュレーション時のリップル上限警告	<ul style="list-style-type: none"> 0x0 = PC リップル上限警告なし 0x1 = PC リップル上限警告
12	CH1_PC_RIPPLE_LOW_W	R	0x0	ピーク電流レギュレーション時のリップル下限警告	<ul style="list-style-type: none"> 0x0 = PC リップル下限警告なし 0x1 = PC リップル下限警告
11	CH1_PC_HS_SNS_TO_W	R	0x0	ピーク電流レギュレーション時のハイサイド検出タイムアウト警告	<ul style="list-style-type: none"> 0x0 = PC HS 検出タイムアウト警告なし 0x1 = PC HS 検出タイムアウト警告
10	CH1_PC_LOW_CURR_W	R	0x0	ピーク電流レギュレーション時の低電流警告	<ul style="list-style-type: none"> 0x0 = PC 低電流警告なし 0x1 = PC 低電流警告
9	CH1_PC_LS_SNS_TO_W	R	0x0	ピーク電流レギュレーション時のローサイド検出タイムアウト警告	<ul style="list-style-type: none"> 0x0 = PC LS 検出タイムアウト警告なし 0x1 = PC LS 検出タイムアウト警告
8	CH1_PWM_BIST_W	R	0x0	ピーク電流レギュレーション時の PWM コンバータ BIST 警告	<ul style="list-style-type: none"> 0x0 = PC PWM BIST 警告なし 0x1 = PC PWM BIST 警告
7	RSVD	R	0x0	予約済み	
6	CH1_HC_CYCLE_SKIP_W	R	0x0	ホールド電流レギュレーション時のサイクル スキップ警告	<ul style="list-style-type: none"> 0x0 = HC サイクル スキップ警告なし 0x1 = HC サイクル スキップ警告
5	CH1_HC_RIPPLE_HIGH_W	R	0x0	ホールド電流レギュレーション時のリップル上限警告	<ul style="list-style-type: none"> 0x0 = HC リップル上限警告なし 0x1 = HC リップル上限警告
4	CH1_HC_RIPPLE_LOW_W	R	0x0	ホールド電流レギュレーション時のリップル下限警告	<ul style="list-style-type: none"> 0x0 = HC リップル下限警告なし 0x1 = HC リップル下限警告
3	CH1_HC_HS_SNS_TO_W	R	0x0	ホールド電流レギュレーション時のハイサイド検出タイムアウト警告	<ul style="list-style-type: none"> 0x0 = HC HS 検出タイムアウト警告なし 0x1 = HC HS 検出タイムアウト警告
2	CH1_HC_LOW_CURR_W	R	0x0	ホールド電流レギュレーション時の低電流警告	<ul style="list-style-type: none"> 0x0 = HC 低電流警告なし 0x1 = HC 低電流警告
1	CH1_HC_LS_SNS_TO_W	R	0x0	ホールド電流レギュレーション中のローサイド検出タイムアウト警告	<ul style="list-style-type: none"> 0x0 = HC LS 検出タイムアウト警告なし 0x1 = HC LS 検出タイムアウト警告
0	CH1_PWM_BIST_W	R	0x0	ホールド電流レギュレーション時の PWM コンバータ BIST 警告	<ul style="list-style-type: none"> 0x0 = HC PWM BIST 警告なし 0x1 = HC PWM BIST 警告

7.1.6 STATUS5 レジスタ (アドレス = Bh) [リセット = 0000h]

STATUS5 を表 7-13 に示します。

[概略表](#)に戻ります。

STATUS5 レジスタには、出力 2 の PWM サイクル警告ステータスが含まれています。

表 7-13. STATUS5 レジスタの説明

ビット	フィールド	タイプ	リセット	ビットの詳細	ビット列挙
15	CH2_UCLO_W	R	0x0	低電流ロックアウト警告	<ul style="list-style-type: none"> 0x0 = UCLO 警告なし 0x1 = UCLO 警告
14	CH2_PC_CYCLE_SKIP_W	R	0x0	ピーク電流レギュレーション時のサイクル スキップ警告	<ul style="list-style-type: none"> 0x0 = PC サイクル スキップ警告なし 0x1 = PC サイクル スキップ警告
13	CH2_PC_RIPPLE_HIGH_W	R	0x0	ピーク電流レギュレーション時のリップル上限警告	<ul style="list-style-type: none"> 0x0 = PC リップル上限警告なし 0x1 = PC リップル上限警告
12	CH2_PC_RIPPLE_LOW_W	R	0x0	ピーク電流レギュレーション時のリップル下限警告	<ul style="list-style-type: none"> 0x0 = PC リップル下限警告なし 0x1 = PC リップル下限警告
11	CH2_PC_HS_SNS_TO_W	R	0x0	ピーク電流レギュレーション時のハイサイド検出タイムアウト警告	<ul style="list-style-type: none"> 0x0 = PC HS 検出タイムアウト警告なし 0x1 = PC HS 検出タイムアウト警告
10	CH2_PC_LOW_CURR_W	R	0x0	ピーク電流レギュレーション時の低電流警告	<ul style="list-style-type: none"> 0x0 = PC 低電流警告なし 0x1 = PC 低電流警告
9	CH2_PC_LS_SNS_TO_W	R	0x0	ピーク電流レギュレーション時のローサイド検出タイムアウト警告	<ul style="list-style-type: none"> 0x0 = PC LS 検出タイムアウト警告なし 0x1 = PC LS 検出タイムアウト警告
8	CH2_PWM_BIST_W	R	0x0	ピーク電流レギュレーション時の PWM コンバータ BIST 警告	<ul style="list-style-type: none"> 0x0 = PC PWM BIST 警告なし 0x1 = PC PWM BIST 警告
7	RSVD	R	0x0	予約済み	
6	CH2_HC_CYCLE_SKIP_W	R	0x0	ホールド電流レギュレーション時のサイクル スキップ警告	<ul style="list-style-type: none"> 0x0 = HC サイクル スキップ警告なし 0x1 = HC サイクル スキップ警告
5	CH2_HC_RIPPLE_HIGH_W	R	0x0	ホールド電流レギュレーション時のリップル上限警告	<ul style="list-style-type: none"> 0x0 = HC リップル上限警告なし 0x1 = HC リップル上限警告
4	CH2_HC_RIPPLE_LOW_W	R	0x0	ホールド電流レギュレーション時のリップル下限警告	<ul style="list-style-type: none"> 0x0 = HC リップル下限警告なし 0x1 = HC リップル下限警告
3	CH2_HC_HS_SNS_TO_W	R	0x0	ホールド電流レギュレーション時のハイサイド検出タイムアウト警告	<ul style="list-style-type: none"> 0x0 = HC HS 検出タイムアウト警告なし 0x1 = HC HS 検出タイムアウト警告
2	CH2_HC_LOW_CURR_W	R	0x0	ホールド電流レギュレーション時の低電流警告	<ul style="list-style-type: none"> 0x0 = HC 低電流警告なし 0x1 = HC 低電流警告
1	CH2_HC_LS_SNS_TO_W	R	0x0	ホールド電流レギュレーション中のローサイド検出タイムアウト警告	<ul style="list-style-type: none"> 0x0 = HC LS 検出タイムアウト警告なし 0x1 = HC LS 検出タイムアウト警告
0	CH2_PWM_BIST_W	R	0x0	ホールド電流レギュレーション時の PWM コンバータ BIST 警告	<ul style="list-style-type: none"> 0x0 = HC PWM BIST 警告なし 0x1 = HC PWM BIST 警告

7.2 MEAS レジスタ

このデバイスには、7つのアドレス位置に14バイトの読み取り専用測定レジスタがあります。

表 7-14 に、MEAS レジスタのメモリ マップト レジスタを示します。表 7-14 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 7-14. MEAS レジスタ

オフセット	略称	レジスタ名	セクション
5h	MEAS0	両方の出力の平均デューティ サイクル測定。	セクション 7.2.1
6h	MEAS1	出力 1 のピークおよびホールド立ち上がり時間測定。	セクション 7.2.2
7h	MEAS2	出力 1 の QTO 開始時間と QTO 時間の測定。	セクション 7.2.3
8h	MEAS3	出力 2 のピークおよびホールド立ち上がり時間測定。	セクション 7.2.4
9h	MEAS4	出力 2 の QTO 開始時間と QTO 時間の測定。	セクション 7.2.5
Ch	MEAS5	IPROPI1 ピンの抵抗と電圧の測定。	セクション 7.2.6
Dh	MEAS6	IPROPI2 ピンの抵抗と電圧の測定。	セクション 7.2.7

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 7-15 このセクションでアクセスタイプに使用しているコードを示します。

表 7-15. MEAS のアクセス タイプ コード

アクセスタイプ	コード	説明
読み取りタイプ		
R	R	読み出し
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

7.2.1 MEAS0 レジスタ (アドレス = 5h) [リセット = 0000h]

MEAS0 を表 7-16 に示します。

[概略表](#)に戻ります。

両方の出力に対して平均デューティ サイクル測定を行う測定レジスタ。

表 7-16. MEAS0 レジスタの説明

ビット	フィールド	タイプ	リセット	ビットの詳細
15-8	CH1_DUTY_CYCLE	R	0x0	出力 1 の 16 サイクル平均デューティ サイクルの測定値。データが要求されると自動更新。次の ACTIVE サイクルでクリア。% 平均デューティ サイクル = [レジスタ値] x DC スケーリング係数。スケール係数は CHx_fc_PWM によって設定されます (表 7-17 を参照)。
7-0	CH2_DUTY_CYCLE	R	0x0	出力 2 の 16 サイクル平均デューティ サイクルの測定値。データが要求されると自動更新。次の ACTIVE サイクルでクリア。% 平均デューティ サイクル = [レジスタ値] x DC スケーリング係数。スケール係数は CHx_fc_PWM によって設定されます (表 7-17 を参照)。

表 7-17. DC スケーリング係数

CHx_fc_PWM	DC スケーリング係数
0x5	0.48
0x10	0.50
0x11	0.52
0x12	0.54
0x6, 0x13	0.56
0x14	0.58
0x15	0.60
0x16	0.62
0x0, 0x1, 0x2, 0x3, 0x7, 0x17	0.64
0x18	0.66
0x8c, 0x19	0.68
0x1A	0.70
0x9, 0x1B	0.72
0x1C	0.74
0xA, 0x1D	0.76
0x1E	0.78
0x4, 0xB, 0x1F	0.80
0xC	0.84
0xD	0.88
0xE	0.92
0xF	0.96

7.2.2 MEAS1 レジスタ (アドレス = 6h) [リセット = 0000h]

MEAS1 を表 7-18 に示します。

[概略表](#)に戻ります。

出力 1 のピークおよびホールドの立ち上がり時間を測定する測定レジスタ。

表 7-18. MEAS1 レジスタの説明

ビットフィールド	ビットフィールド名	リセット値	ビットの詳細
15-8	CH1_PRT	0x0	出力 1 で測定されたピーク立ち上がり時間。ピーク サイクルの終了時にラッチ。次の ACTIVE サイクルでクリア。タイマの分解能は、表 7-19 に示すように CHx_PT 設定によって設定されます。
7-0	CH1_HRT	0x0	出力 1 で測定されたホールド立ち上がり時間。ホールド立ち上がりサイクルの終了時にラッチ。次の ACTIVE サイクルでクリア。タイマの分解能は、表 7-20 に示すように HRT_MAX_THRS 設定によって設定されます。

表 7-19. CHx_PRT タイマの分解能

CHx_PT	PRT タイマの分解能 (μs)	最大カウント	最大ピーク立ち上がり時間 (ms)
0x0	102.4	156	16
0x1	102.4	234	24
0x2	204.8	156	32
0x3	204.8	195	40
0x4	204.8	234	48
0x5	409.6	136	56
0x6	409.6	156	64
0x7	409.6	175	72
0x8	409.6	195	80
0x9	409.6	214	88
0xA	409.6	234	96
0xB	409.6	253	104
0xC	819.2	136	112
0xD	819.2	146	120
0xE	819.2	156	128
0xF	1638.4	156	256

表 7-20. HRT タイマ分解能

HRT_MAX_THRS	HRT タイマ分解能 (ms)	最大カウント	最大ホールド立ち上がり時間 (ms)
0x0	1.64	156	256
0x1	3.28	156	512
0x2	6.55	156	1024
0x3	13.11	156	2048

7.2.3 MEAS2 レジスタ (アドレス = 7h) [リセット = 0000h]

MEAS2 を表 7-21 に示します。

[概略表](#)に戻ります。

出力 1 の QTO 開始時間と QTO 時間測定を提供する測定レジスタ。

表 7-21. MEAS2 レジスタの説明

ビットフィールド	ビットフィールド名	リセット値	ビットの詳細
15-8	CH1_QTOST	0x0	出力 1 の QTO (クランプ) 開始時間測定値。タイム分解能 = 6.4 μ s。最大カウントは 156 です。
7-0	CH1_QTOT	0x0	出力 1 の QTO (クランプ) 時間測定値。QTO イベントの終了時にラッチ。次の ACTIVE サイクルでクリア。タイムの分解能は、表 7-22 に示すように QTOT_MAX_THRS 設定によって設定されます。

表 7-22. QTOT タイマ分解能

QTOT_MAX_THRS	QTOT タイマの分解能 (μ s)	最大カウント	最大 QTO 時間 (ms)
0x0	25.6	156	4
0x1	51.2	156	8
0x2	102.4	156	16
0x3	204.8	156	32

7.2.4 MEAS3 レジスタ (アドレス = 8h) [リセット = 0000h]

MEAS3 を表 7-23 に示します。

[概略表](#)に戻ります。

出力 2 のピークおよびホールドの立ち上がり時間を測定する測定レジスタ。

表 7-23. MEAS3 レジスタの説明

ビットフィールド	ビットフィールド名	リセット値	ビットの詳細
15-8	CH2_PRT	0x0	出力 2 で測定されたピーク立ち上がり時間。ピーク サイクルの終了時にラッチ。次の ACTIVE サイクルでクリア。タイムの分解能は、表 7-19 に示すように CHx_PT 設定によって設定されます。
7-0	CH2_HRT	0x0	出力 2 で測定されたホールド立ち上がり時間。ホールド立ち上がりサイクルの終了時にラッチ。次の ACTIVE サイクルでクリア。タイムの分解能は、表 7-20 に示すように HRT_MAX_THRS 設定によって設定されます。

7.2.5 MEAS4 レジスタ (アドレス = 9h) [リセット = 0000h]

MEAS4 を表 7-24 に示します。

[概略表](#)に戻ります。

出力 2 の QTO 開始時間と QTO 時間測定を提供する測定レジスタ。

表 7-24. MEAS4 レジスタの説明

ビットフィールド	ビットフィールド名	リセット値	ビットの詳細
15-8	CH2_QTOST	0x0	出力 2 の QTO (クランプ) 開始時間測定値。タイム分解能 = 6.4 μ s。
7-0	CH2_QTOT	0x0	出力 2 の QTO (クランプ) 時間測定値。QTO イベントの終了時にラッチ。次の ACTIVE サイクルでクリア。タイムの分解能は、表 7-22 に示すように QTOT_MAX_THRS 設定によって設定されます。

7.2.6 MEAS5 レジスタ (アドレス = Ch) [リセット = 0000h]

MEAS5 を表 7-25 に示します。

[概略表](#)に戻ります。

IPROPI1 ピンに抵抗と電圧を示す測定レジスタ。

表 7-25. MEAS5 レジスタの説明

ビットフィールド	ビットフィールド名	リセット値	ビットの詳細
15-8	CH1_RIPROPI	0x0	初期化中に測定された IPROPI1 ピンの抵抗。
7-0	CH1_VIPROPI	0x0	初期化中に強制 I_{IPROPI} に基づいて測定された IPROPI1 ピンの電圧。値 = (レジスタ値 + 17)/272 × 3V

7.2.7 MEAS6 レジスタ (アドレス = Dh) [リセット = 0000h]

MEAS6 を表 7-26 に示します。

[概略表](#)に戻ります。

IPROPI2 ピンに抵抗と電圧を示す測定レジスタ。

表 7-26. MEAS6 レジスタの説明

ビットフィールド	ビットフィールド名	リセット値	ビットの詳細
15-8	CH2_RIPROPI	0x0	初期化中に測定された IPROPI2 ピンの抵抗。
7-0	CH2_VIPROPI	0x0	初期化中に強制 I_{IPROPI} に基づいて測定された IPROPI2 ピンの電圧。値 = (レジスタ値 + 17)/272 × 3V

7.3 CONFIG A レジスタ

CONFIG A は、7 つのアドレス位置にある構成レジスタの 14 R/W バイトで構成され、最後の位置には 8 ビット CRC 保護が含まれています。

表 7-27 に、CONFIG A レジスタのメモリ マップト レジスタを示します。表 7-27 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 7-27. CONFIG A レジスタ

アドレス	略称	レジスタ名	セクション
10h	CONFIG_A0	出力 1 のピークおよびホールド電流設定。	セクション 7.3.1
11h	CONFIG_A1	出力 2 のピークおよびホールド電流設定。	セクション 7.3.2
12h	CONFIG_A2	両方の出力の UCLO およびリップル電流設定。	セクション 7.3.3
13h	CONFIG_A3	OV と UV のグリッチ除去時間設定と、両方の出力のピーク時間設定。	セクション 7.3.4
14h	CONFIG_A4	スロープ補償構成、入力ピン構成、OCP および UCLO フィルタ時間、ピークおよびホールドの立ち上がり時間および QTO 時間の制限。	セクション 7.3.5
15h	CONFIG_A5	nFAULT 構成、ピンのターンオンおよびオフ遅延。	セクション 7.3.6
16h	CONFIG_A6	出力 1 のスロープ補償および CONFIG A の CRC。	セクション 7.3.7

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 7-28 このセクションでアクセスタイプに使用しているコードを示します。

表 7-28. CONFIG のアクセスタイプコード

アクセスタイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

7.3.1 CONFIG_A0 レジスタ (アドレス = 10h) [リセット = C040h]

CONFIG_A0 を表 7-29 に示します。

[概略表](#)に戻ります。

出力 1 のピーク電流とホールド電流を設定するための構成レジスタ。

表 7-29. CONFIG_A0 レジスタの説明

ビット	フィールド	タイプ	リセット	ビットの詳細
15-8	CH1_PC	R/W	0xC0	出力 1 のピーク電流設定において、(レジスタ値 + 17)/272 x A _{IPROPI} x 3V/R _{IPROPI1} で設定します
7-0	CH1_HC	R/W	0x40	出力 1 のホールド電流設定において、(レジスタ値 + 17)/272 x A _{IPROPI} x 3V/R _{IPROPI1} で設定します

7.3.2 CONFIG_A1 レジスタ (アドレス = 11h) [リセット = C040h]

CONFIG_A1 を表 7-30 に示します。

[概略表](#)に戻ります。

出力 2 のピーク電流とホールド電流を設定するための構成レジスタ。

表 7-30. CONFIG_A1 レジスタの説明

ビット	フィールド	タイプ	リセット	ビットの詳細
15-8	CH2_PC	R/W	0xC0	出力 2 のピーク電流設定において、(レジスタ値 + 17)/272 x A _{IPROPI} x 3V/R _{IPROPI2} で設定します
7-0	CH2_HC	R/W	0x40	出力 2 のホールド電流設定において、(レジスタ値 + 17)/272 x A _{IPROPI} x 3V/R _{IPROPI2} で設定します

7.3.3 CONFIG_A2 レジスタ (アドレス = 12h) [リセット = 2424h]

CONFIG_A2 を表 7-31 に示します。

[概略表](#)に戻ります。

両方の出力に対して UCLO とリップル電流を設定するための構成レジスタ。

表 7-31. CONFIG_A2 レジスタの説明

ビット	フィールド	タイプ	リセット	ビットの詳細
15-14	RSVD	R	0x0	予約済み
13-12	CH1_UCLO_THRS	R/W	0x2	ホールド電流レギュレーション時の低リップル スレッショルドに対する出力 1 の低電流ロックアウト (UCLO) スレッショルド。値の設定については、「電流スレッショルド」セクションを参照してください。
11	RSVD	R	0x0	予約済み
10-8	CH1_RIPPLE_THRS	R/W	0x4	出力 1 のリップル電流設定。ピーク電流またはホールド電流に対して、上限と下限の両方のリップル スレッショルドを設定します。値の設定については、「電流スレッショルド」セクションを参照してください。
7	PWM_CYCLE_SKIP_DIS	R/W	0x0	内部レギュレーション PWM サイクル - サイクル スキップ バスは無視されます
6	RSVD	R	0x0	予約済み
5-4	CH2_UCLO_THRS	R/W	0x2	ホールド電流レギュレーション時の低リップル スレッショルドに対する出力 2 の低電流ロックアウト (UCLO) スレッショルド。値の設定については、「電流スレッショルド」セクションを参照してください。
3	CYCLE_SKIP_W_DIS	R/W	0x0	内部レギュレーション PWM サイクル - サイクル スキップ警告の報告は無効です
2-0	CH2_RIPPLE_THRS	R/W	0x4	出力 2 のリップル電流設定。ピーク電流またはホールド電流に対して、上限と下限の両方のリップル スレッショルドを設定します。値の設定については、「電流スレッショルド」セクションを参照してください。

7.3.4 CONFIG_A3 レジスタ (アドレス = 13h) [リセット = 0088h]

CONFIG_A3 を表 7-32 に示します。

[概略表](#)に戻ります。

OV と UV のグリッチ除去時間設定と、両方の出力のピーク時間設定を設定するための構成レジスタ。

表 7-32. CONFIG_A3 レジスタの説明

ビット	フィールド	タイプ	リセット	ビットの詳細
15-14	VDD_OV_FLTR	R/W	0x0	VDD 過電圧グリッチ除去フィルタ
13-12	VDD_UV_FLTR	R/W	0x0	VDD 低電圧グリッチ除去フィルタ
11-10	PVDD_OV_FLTR	R/W	0x0	PVDD 過電圧グリッチ除去フィルタ
9-8	PVDD_UV_FLTR	R/W	0x0	PVDD 低電圧グリッチ除去フィルタ
7-4	CH1_PT	R/W	0x8	出力 1 のピーク時間設定
3-0	CH2_PT	R/W	0x8	出力 2 のピーク時間設定

7.3.5 CONFIG_A4 レジスタ (アドレス = 14h) [リセット = 130Ch]

CONFIG_A4 を表 7-33 に示します。

[概略表](#)に戻ります。

スロープ補償構成、入力ピン構成、OCP および UCLO フィルタ時間、ピークおよびホールド立ち上がり時間および QTO 時間の制限用レジスタ。

表 7-33. CONFIG_A4 レジスタの説明

ビット	フィールド	タイプ	リセット	ビットの詳細
15	CH1_SLOPE_COMP_EN	R/W	0x0	出力 1 のスロープ補償を有効にします
14	PIN_CONFIG	R/W	0x0	EN/EN1 および DIS/EN2 ピン構成
13	OCP_FLTR	R/W	0x0	過電流保護 (OCP) フィルタ時間、両方の出力に共通。PVDD 過電圧イベント (> PVDDD_OV_W スレッシュホールド) の場合、OCP フィルタ時間は強制的に小さい値に設定されます。
12-10	UCLO_FAULT_FLTR	R/W	0x4	UCLO 検出用のフィルタ、両方の出力に共通 <ul style="list-style-type: none"> 0x0 = 8 PWM サイクル 0x1 = 16 PWM サイクル 0x2 = 32 PWM サイクル 0x3 = 48 PWM サイクル 0x4 = 64 PWM サイクル 0x5 = 128 PWM サイクル 0x6 = 192 PWM サイクル 0x7 = 256 PWM サイクル
9-8	QTOT_MAX_THRS	R/W	0x3	QTO (クランプ) 時間 - 最大時間スレッシュホールド、両方の出力に共通
7-6	QTOT_MIN_THRS	R/W	0x0	QTO (クランプ) 時間 - 最小時間スレッシュホールド、両方の出力に共通
5-4	PRT_MIN_THRS	R/W	0x0	ピーク立ち上がり時間 - 最小時間スレッシュホールド、両方の出力に共通
3-2	HRT_MAX_THRS	R/W	0x3	ホールド立ち上がり時間 - 最大時間スレッシュホールド、両方の出力に共通
1-0	HRT_MIN_THRS	R/W	0x0	ホールド立ち上がり時間 - 最小時間スレッシュホールド、両方の出力に共通

7.3.6 CONFIG_A5 レジスタ (アドレス = 15h) [リセット = 8000h]

CONFIG_A5 を表 7-34 に示します。

[概略表](#)に戻ります。

nFAULT 構成とピンのターン オンおよびオフ遅延用レジスタ。

表 7-34. CONFIG_A5 レジスタの説明

ビット	フィールド	タイプ	リセット	ビットの詳細
15	nFAULT_CONFIG[3]	R/W	0x1	コマンド ON 時に CHx_STAT > 0x1 の場合、またはコマンド OFF 時に CHx_OFF_DIAG_STAT = 1 の場合、アサートを有効化します (nFAULT = Low)。nFAULT は、CLR_FLT コマンドによってデアサートされます。DEV_ERR は常にアサートを引き起こします。
14	nFAULT_CONFIG[2]	R/W	0x0	PVDD または温度警告が発生した場合、アサートを有効化します (nFAULT = Low)。nFAULT は、CLR_FLT コマンドによってデアサートされます。DEV_ERR は常にアサートを引き起こします。
13	nFAULT_CONFIG[1]	R/W	0x0	SPI_WD_W = 0x1 の場合、アサートを有効化します (nFAULT = Low)。nFAULT は、CLR_FLT コマンドによってデアサートされます。DEV_ERR は常にアサートを引き起こします。
12	nFAULT_CONFIG[0]	R/W	0x0	内部電流レギュレーション中に PWM またはタイマの警告が発生した場合、アサートを有効化します (nFAULT = Low)。nFAULT は、CLR_FLT コマンドによってデアサートされます。DEV_ERR は常にアサートを引き起こします。
11-9	CH1_PIN_TURNON_DLY	R/W	0x0	ピンで有効化された場合の出力 1 のドライバ ターンオン遅延
8-6	CH1_PIN_TURNOFF_DLY	R/W	0x0	ピンで無効化された場合の出力 1 のドライバ ターンオフ遅延
5-3	CH2_PIN_TURNON_DLY	R/W	0x0	ピンで有効化された場合の出力 2 のドライバ ターンオン遅延
2-0	CH2_PIN_TURNOFF_DLY	R/W	0x0	ピンで無効化された場合の出力 2 のドライバ ターンオフ遅延

7.3.7 CONFIG_A6 レジスタ (アドレス = 16h) [リセット = 0000h]

CONFIG_A6 を表 7-35 に示します。

[概略表](#)に戻ります。

出力 1 のスロープ補償と CONFIG A の CRC を構成するレジスタ。

表 7-35. CONFIG_A6 レジスタの説明

ビット	フィールド	タイプ	リセット	ビットの詳細
15-8	CH1_SLOPE_COMP	R/W	0x0	CH1 のスロープ補償 – カウント値 (時間) により、43% デューティ サイクル後に目標電流値を 1 コード低減します。ステップ数 (スロープ) ~ 570/CHx_SLOPE_COMP 値。0x0 => スロープ補償を無効化
7-0	CONFIG_A_CRC	R/W	0x0	CONFIG A スペース用にプログラムされた CRC。このレジスタに書き込むと、CONFIG A スペースの CRC チェックがトリガされます。CRC チェックには 100ns x ビット数 (CRC ビットが誤って書き込まれた後のフラグまたは CRC ビットが正しく書き込まれた後のクリア) が必要です。CRC 多項式は 0x97 で、初期値は 0xFF です。

7.4 CONFIG B レジスタ

CONFIG B は、5 つのアドレス位置にある構成レジスタの 10 R/W バイトで構成され、最後の位置には 8 ビット CRC 保護が含まれています。

表 7-36 に、CONFIG B レジスタのメモリ マップト レジスタを示します。表 7-36 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 7-36. CONFIG B レジスタ

アドレス	略称	レジスタ名	セクション
17h	CONFIG_B0	電源の過電圧および低電流、強制待機時間、SPI のウォッチドッグ時間、オフ状態診断コンパレータのスレッシュホールド設定に対して応答します。	セクション 7.4.1
18h	CONFIG_B1	さまざまな警告のレポートを無効化します。	セクション 7.4.2
19h	CONFIG_B2	周波数ディザリングのタイプと量、および PWM センター周波数設定。	セクション 7.4.3
1Ah	CONFIG_B3	出力 2 のスペクトラム拡散設定、オフ状態診断設定、スロープ補償構成。	セクション 7.4.4
1Bh	CONFIG_B4	CHX_CTRL ビットを構成します。	セクション 7.4.5

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 7-37 このセクションでアクセスタイプに使用しているコードを示します。

表 7-37. CONFIG のアクセスタイプコード

アクセスタイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

7.4.1 CONFIG_B0 レジスタ (アドレス = 17h) [リセット = 2623h]

CONFIG_B0 を表 7-38 に示します。

[概略表](#)に戻ります。

電源の過電圧および低電流、強制待機時間、SPI のウォッチドッグ時間、オフ状態診断コンパレータのスレッシュホールド設定に対して、応答をセットアップするための構成レジスタ。

表 7-38. CONFIG_B0 レジスタの説明

ビット	フィールド	タイプ	リセット	ビットの詳細
15	VDD_OV_SHUTDOWN_EN	R/W	0x0	VDD OV 状態が検出された場合のハイ インピーダンスドライバ
14	RSVD	R	0x0	予約済み
13-11	RETRY_WAIT_SEL	R/W	0x4	ドライバのターンオフからターンオン リトライまでの強制待機時間、両方の出力に共通
10-9	SPI_WD_SEL	R/W	0x3	有効な SPI 読み取りまたは書き込みフレームを検出するためのウォッチドッグ時間
8	PC_REG_DIS	R/W	0x0	ピーク時間中の電流レギュレーションを無効にします (LS ON 100%)
7	RSVD	R	0x0	予約済み
6	UCLO_EN	R/W	0x0	負荷低電流状態が検出された場合のハイ インピーダンスドライバ
5	PVDD_OV_SHUTDOWN_EN	R/W	0x1	PVDD OV 状態が検出された場合のハイ インピーダンスドライバ
4	SPI_WD_SHUTDOWN_EN	R/W	0x0	SPI ウォッチドッグ違反の場合のハイ インピーダンスドライバ
3	OT_W_ACTION	R/W	0x0	OT_W が検出された場合、SR_SEL = 0xF (最大設定) を強制します
2-0	OLP_SEL	R/W	0x3	オフ状態診断 (OLP) コンパレータのスレッシュホールド設定

7.4.2 CONFIG_B1 レジスタ (アドレス = 18h) [リセット = 0040h]

CONFIG_B1 を表 7-39 に示します。

[概略表](#)に戻ります。

各種警告の報告を無効化する構成レジスタ。

表 7-39. CONFIG_B1 レジスタの説明

ビット	フィールド	タイプ	リセット	ビットの詳細
15	PVDD_OV_W_DIS	R/W	0x0	PVDD 過電圧警告の通知を無効にします
14	OT_W_DIS	R/W	0x0	過熱警告の通知を無効にします
13	SPI_WD_DIS	R/W	0x0	SPI ウォッチドッグ警告の通知を無効にします
12	QTOT_MAX_W_DIS	R/W	0x0	QTOT (クランプ) 最大時間違反警告の通知を無効にします
11	QTOT_MIN_W_DIS	R/W	0x0	QTOT (クランプ) 最小時間違反警告の通知を無効にします
10	PRT_MAX_W_DIS	R/W	0x0	ピーク立ち上がり時間の最大時間違反警告の通知を無効にします
9	PRT_MIN_W_DIS	R/W	0x0	ピーク立ち上がり時間の最小時間違反警告の通知を無効にします
8	HRT_MAX_W_DIS	R/W	0x0	ホールド立ち上がり時間の最大時間違反警告の通知を無効にします
7	HRT_MIN_W_DIS	R/W	0x0	ホールド立ち上がり時間の最小時間違反警告の通知を無効にします
6	PC_PWM_W_DIS	R/W	0x1	ピーク サイクル中に両方の出力について、すべての PWM サイクル警告通知のレポートを無効にします
5	LS_SNS_TO_DIS	R/W	0x0	ピークおよびホールド サイクル中の両方の出力におけるローサイド検出タイムアウト警告の通知を無効にします
4	HS_SNS_TO_DIS	R/W	0x0	ピークおよびホールド サイクル中の両方の出力におけるハイサイド検出タイムアウト警告の通知を無効にします
3	RIPPLE_U_W_DIS	R/W	0x0	ピークおよびホールド サイクル中の両方の出力におけるリップル警告の上限スレッシュホールドの通知を無効にします
2	RIPPLE_L_W_DIS	R/W	0x0	ピークおよびホールド サイクル中の両方の出力におけるリップル警告の下限スレッシュホールドの通知を無効にします
1	LOW_CUR_W_DIS	R/W	0x0	ピークおよびホールドの両サイクル中で、両方の出力における低電流警告の通知を無効にします
0	PVDD_UV_W_DIS	R/W	0x0	PVDD 低電圧警告の通知を無効にします

7.4.3 CONFIG_B2 レジスタ (アドレス = 19h) [リセット = 0B0Bh]

CONFIG_B2 を表 7-40 に示します。

[概略表](#)に戻ります。

周波数ディザリングのタイプと量、および PWM 中心周波数を設定するための構成レジスタ。

表 7-40. CONFIG_B2 レジスタの説明

ビット	フィールド	タイプ	リセット	ビットの詳細
15	CH1_fSS_SEL_TYPE	R/W	0x0	出力 1 の PWM 周波数ディザリング タイプの選択 <ul style="list-style-type: none"> 0x0 = 疑似ランダム ディザリング 0x1 = 三角波 (512) ディザリング
14-13	CH1_fSS_SEL	R/W	0x0	出力 1 のスペクトラム拡散の PWM 周波数ディザリング設定 <ul style="list-style-type: none"> 0x0 = ディザリングなし 0x1 = fC_PWM 付近で ±5% の帯域 0x2 = fC_PWM 付近で ±10% の帯域 0x3 = fC_PWM 付近で ±20% の帯域
12-8	CH1_fC_PWM	R/W	0x0B	出力 1 の PWM 中心周波数設定
7	CH2_fSS_SEL_TYPE	R/W	0x0	出力 2 の PWM 周波数ディザリング タイプの選択 <ul style="list-style-type: none"> 0x0 = 疑似ランダム ディザリング 0x1 = 三角波 (512) ディザリング
6-5	CH2_fSS_SEL	R/W	0x0	出力 2 のスペクトラム拡散の PWM 周波数ディザリング設定 <ul style="list-style-type: none"> 0x0 = ディザリングなし 0x1 = fC_PWM 付近で ±5% の帯域 0x2 = fC_PWM 付近で ±10% の帯域 0x3 = fC_PWM 付近で ±20% の帯域
4-0	CH2_fC_PWM	R/W	0x0B	出力 2 の PWM 中心周波数設定

7.4.4 CONFIG_B3 レジスタ (アドレス = 1Ah) [リセット = 8000h]

CONFIG_B3 を表 7-41 に示します。

[概略表](#)に戻ります。

出力 2 のスペクトラム拡散設定、オフ状態診断設定、スロープ補償構成用の構成レジスタ。

表 7-41. CONFIG_B3 レジスタの説明

ビット	フィールド	タイプ	リセット	ビットの詳細
15	DIS_SSC	R/W	0x1	内部発振器の SSC を無効にします
14	CP_SSC_CTRL	R/W	0x0	チャージポンプのスペクトラム拡散を拡大します
13	STARTUP_ABIST_BYPASS	R/W	0x0	パワーアップ中、スタートアップ ABIST 障害を INIT2 から STANDBY 状態にバイパスします
12	CH1_OLP_DIS	R/W	0x0	出力 1 のオフ状態診断を無効化します
11	CH2_OLP_DIS	R/W	0x0	出力 2 のオフ状態診断を無効化します
10	RSVD	R	0x0	予約済み
9	RIPROPI_W_BYPASS	R/W	0x0	パワーアップ中に、RIPROPIx_W 障害を INIT2 から STANDBY 状態にバイパスします
8	CH2_SLOPE_COMP_EN	R/W	0x0	出力 2 のスロープ補償を有効にします

表 7-41. CONFIG_B3 レジスタの説明 (続き)

ビット	フィールド	タイプ	リセット	ビットの詳細
7-0	CH2_SLOPE_COMP	R/W	0x0	出力 2 のスロープ補償 - カウント値 (時間) により、43% デューティ サイクル後に目標電流値を 1 コード低減します。ステップ数 (スロープ) ~ 570/CHx_SLOPE_COMP 値。 0x0 => スロープ補償を無効化

7.4.5 CONFIG_B4 レジスタ (アドレス = 1Bh) [リセット = 0000h]

CONFIG_B4 を表 7-42 に示します。

概略表に戻ります。

CHx_CTRL ビットを構成します。

表 7-42. CONFIG_B4 レジスタの説明

ビット	フィールド	タイプ	リセット	ビットの詳細
15-10	RSVD	R	0x0	予約済み
9	CH1_CTRL_CONFIG	R/W	0x0	CH1_CTRL ビットを使って CMD1 の CH1_CTRL をランタイム制御用に構成します <ul style="list-style-type: none"> 0x0 = 内部レギュレーション / デューティ サイクルを変動 0x1 = PWM 周波数を変動
8	CH2_CTRL_CONFIG	R/W	0x0	CH2_CTRL ビットを使って CMD1 の CH2_CTRL をランタイム制御用に構成します <ul style="list-style-type: none"> 0x0 = 内部レギュレーション / デューティ サイクルを変動 0x1 = PWM 周波数を変動
7-0	CONFIG_B_CRC	R/W	0x0	CONFIG B スペース用にプログラムされた CRC。このレジスタに書き込むと、CONFIG B スペースの CRC チェックがトリガされます。CRC チェックには 100ns x ビット数 (CRC ビットが誤って書き込まれた後のフラグまたは CRC ビットが正しく書き込まれた後のクリア) が必要です。CRC 多項式は 0x97 で、初期値は 0xFF です。

7.5 CMD レジスタ

コマンドレジスタは、コマンドと呼ばれる 3 つの特別な R/W バイトで構成されています。これらのレジスタへの書き込みは、8 ビット CRC (ビット 7 ~ 0) で保護されます。デバイスは、送信された CRC (最下位バイト) がフレームの先頭 2 バイトから計算された CRC と一致した場合にのみこのコマンドを受け入れます。一致しない場合、フレームは無視され、SPI_ERR ビットが設定されます。

FORCE_BIST コマンドは、デバイスの STANDBY 状態でのみ受け付けられます。RE_INIT、NAD_OVERRIDE、および ASSIGNED_NAD コマンドは、デバイス INIT2 状態のときのみ受け付けられます。

表 7-43 に、CMD レジスタのメモリ マップト レジスタを示します。表 7-43 にないレジスタ オフセット アドレスはすべて予約済みと見なすべきであり、レジスタ内容は変更しないでください。

表 7-43. CMD レジスタ

アドレス	略称	レジスタ名	セクション
1Ch	CMD0	一般的なコマンド。	セクション 7.5.1
1Dh	CMD1	アクション コマンド。	セクション 7.5.2
1Eh	CMD2	ブロードキャスト コマンド。	セクション 7.5.3

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 7-44 このセクションでアクセスタイプに使用しているコードを示します。

表 7-44. CMD のアクセス タイプ コード

アクセスタイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

7.5.1 CMD0 レジスタ (アドレス = 1Ch) [リセット = 8000h]

CMD0 を表 7-45 に示します。

[概略表](#)に戻ります。

CMD0 レジスタには、一般的なコマンドが含まれます。

表 7-45. CMD0 レジスタの説明

ビット	フィールド	タイプ	リセット	ビットの詳細	ビット列挙
15-13	SR_SEL	R/W	0x4	両方の出力のスルーレート設定	<ul style="list-style-type: none"> 0x0 = 3.25V/μsec 0x1 = 4.75V/μsec 0x2 = 7.75V/μsec 0x3 = 13V/μsec 0x4 = 18V/μsec 0x5 = 25V/μsec 0x6 = 34V/μsec 0x7 = 46V/μsec
12	RETRY_WAIT_DIS	R/W	0x0	RETRY 待機時間の無効化	
11	CH1_PC_DIS	R/W	0x0	出力 1 のピーク サイクル レギュレーションをスキップし、直接ホールド サイクルに移行します	
10	CH2_PC_DIS	R/W	0x0	出力 2 のピーク サイクル レギュレーションをスキップし、直接ホールド サイクルに移行します	
9-8	FORCE_BIST	R/W	0x0	システム BIST の特長。コマンドは、STANDBY 動作状態のときにのみ受け付けられます。それ以外の場合は無視されます。	<ul style="list-style-type: none"> 0x0 = 動作なし 0x1 = CLR_FAULT コマンドまで nFAULT ピンを Low にアサートします 0x2 = CLR_FAULT コマンドまで 2 次ロジック タイムアウトを強制します 0x3 = 内部発振器 fOSC に基づく 10kHz クロック

7.5.2 CMD1 レジスタ (アドレス = 1Dh) [リセット = 0000h]

CMD1 を表 7-46 に示します。

[概略表](#)に戻ります。

CMD1 レジスタには、アクション コマンドが含まれます。

表 7-46. CMD1 レジスタの説明

ビット	フィールド	タイプ	リセット	ビットの詳細	ビット列挙
15	CLR_FAULT	R/W	0x0	すべてのデバイスのフォルトをクリアするためのブロードキャスト コマンド。コマンドが登録されると、ビットは自動的にクリアされます。	
14	LOCK_CONFIG	R/W	0x0	デバイス設定用のユーザー CONFIG (A と B の両方) スペースをロックします	
13-11	CH1_CTRL	R/W	0x0	出力 1 制御 (*CMD2 レジスタの CHs_CTRL が 0x4 でない場合のみ有効)	<ul style="list-style-type: none"> • CH1_CTRL_CONFIG = 0x0 <ul style="list-style-type: none"> – 0x0 = シャットオフ 0x1 = シャットオフ – 0x2* = 内部電流レギュレーション付きで電源 ON – 0x3* = 100% デューティサイクルの強制 (内部レギュレーションを無効化) – 0x4* = 75% デューティサイクルの強制 (内部レギュレーションを無効化) – 0x5* = 50% デューティサイクルの強制 (内部レギュレーションを無効化) – 0x6* = 25% デューティサイクルの強制 (内部レギュレーションを無効化) – 0x7* = 0% デューティサイクルの強制 (内部レギュレーションを無効化) • CH1_CTRL_CONFIG = 0x1 (内部レギュレーションを無効化) <ul style="list-style-type: none"> – 0x0 = シャットオフ 0x1 = シャットオフ – 0x2* = 25% デューティサイクルで fC_PWM を 20kHz に強制 – 0x3* = 25% デューティサイクルで fC_PWM を 18kHz に強制 – 0x4* = 25% デューティサイクルで fC_PWM を 16kHz に強制 – 0x5* = 25% デューティサイクルで fC_PWM を 14kHz に強制 – 0x6* = 25% デューティサイクルで fC_PWM を 12kHz に強制 – 0x7* = 25% デューティサイクルで fC_PWM を 10kHz に強制

表 7-46. CMD1 レジスタの説明 (続き)

ビット	フィールド	タイプ	リセット	ビットの詳細	ビット列挙
10-8	CH2_CTRL	R/W	0x0	出力 2 制御 (*CMD2 レジスタの CHs_CTRLLL が 0x4 でない場合のみ有効)	<ul style="list-style-type: none"> • CH2_CTRL_CONFIG = 0x0 <ul style="list-style-type: none"> - 0x0 = シャットオフ 0x1 = シャットオフ - 0x2* = 内部電流レギュレーション付きで電源 ON - 0x3* = 100% デューティサイクルの強制 (内部レギュレーションを無効化) - 0x4* = 75% デューティサイクルの強制 (内部レギュレーションを無効化) - 0x5* = 50% デューティサイクルの強制 (内部レギュレーションを無効化) - 0x6* = 25% デューティサイクルの強制 (内部レギュレーションを無効化) - 0x7* = 0% デューティサイクルの強制 (内部レギュレーションを無効化) • CH2_CTRL_CONFIG = 0x1 (内部レギュレーションを無効化) <ul style="list-style-type: none"> - 0x0 = シャットオフ 0x1 = シャットオフ - 0x2* = 25% デューティサイクルで fC_PWM を 20kHz に強制 - 0x3* = 25% デューティサイクルで fC_PWM を 18kHz に強制 - 0x4* = 25% デューティサイクルで fC_PWM を 16kHz に強制 - 0x5* = 25% デューティサイクルで fC_PWM を 14kHz に強制 - 0x6* = 25% デューティサイクルで fC_PWM を 12kHz に強制 - 0x7* = 25% デューティサイクルで fC_PWM を 10kHz に強制

7.5.3 CMD2 レジスタ (アドレス = 1Eh) [リセット = 0000h]

CMD2 を表 7-47 に示します。

概略表に戻ります。

CMD2 レジスタには、ブロードキャスト コマンドが含まれています。SDI メッセージは、SPI バス上のすべてのデバイスに適用できます。SDO は、SDI フレームの NAD アドレス ビット [A6、A5] でアドレス指定されるデバイスによって駆動されません。

表 7-47. CMD2 レジスタの説明

ビット	フィールド	タイプ	リセット	ビットの詳細	ビット列挙
15	CLR_FAULT	R/W	0x0	すべてのデバイスのフォルトをクリアするためのブロードキャスト コマンド。コマンドが登録されると、ビットは自動的にクリアされます。	
14	RE_INIT	R/W	0x0	すべてのデバイスで NAD を再初期化するためのブロードキャスト コマンド。書き込みはデバイスが INIT2 状態のときのみ受け付けられます。それ以外の場合、コマンドは無視されます。	
13	NAD_OVERRIDE	R/W	0x0	設定されている場合、NAD エラーが発生しているデバイスでは、NAD_ERR をクリアし、次の 2 ビットのアドレスを SPI 通信用に割り当てられた NAD としてビットアップします。NAD_ERR が検出され、RE_INIT_NAD = 0 の場合、INIT2 状態のときのみ書き込みが受け付けられます。	
12-11	ASSIGNED_NAD	R/W	0x0	NAD_OVERRIDE = 1 のとき、NAD エラーのあるデバイスに NAD を割り当て	
10-8	CHs_CTRL	R/W	0x0	両方の出力のピーク電流およびホールド電流のターゲット更新 (オンザフライ電流の変更) *CMD1 レジスタの CHx_CTRL = 0x2 (内部レギュレーション) の場合のみ有効 **CMD1 レジスタの CHx_CTRL のいずれかの値に対して有効	<ul style="list-style-type: none"> • 0x0 = 変更なし • 0x1* = PC および HC レジスタの値に 16 コードを追加し、上限を 255 にします • 0x2* = PC および HC レジスタの値に 32 コードを追加し、上限を 255 にします • 0x3* = PC および HC レジスタの値に 64 コードを追加し、上限を 255 にします • 0x4** = シャットオフ • 0x5* = PC および HC レジスタの値に 16 コードを減算し、上限を 0 にします • 0x6* = PC および HC レジスタの値に 32 コードを減算し、上限を 0 にします • 0x7* = PC および HC レジスタの値に 64 コードを減算し、上限を 0 にします

8 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

DRV3946-Q1 は、車載 EV 接触器リレーとソレノイド制御の各アプリケーションをターゲットとする高集積ソレノイドドライバです。以下のセクションでは、このデバイスを使用する際の設計ガイドラインをいくつか示します。

8.2 代表的なアプリケーション

DRV3946-Q1 は、直接、または通信ブリッジとして機能するデバイスを通して、外部コントローラと対話することを意図しています。

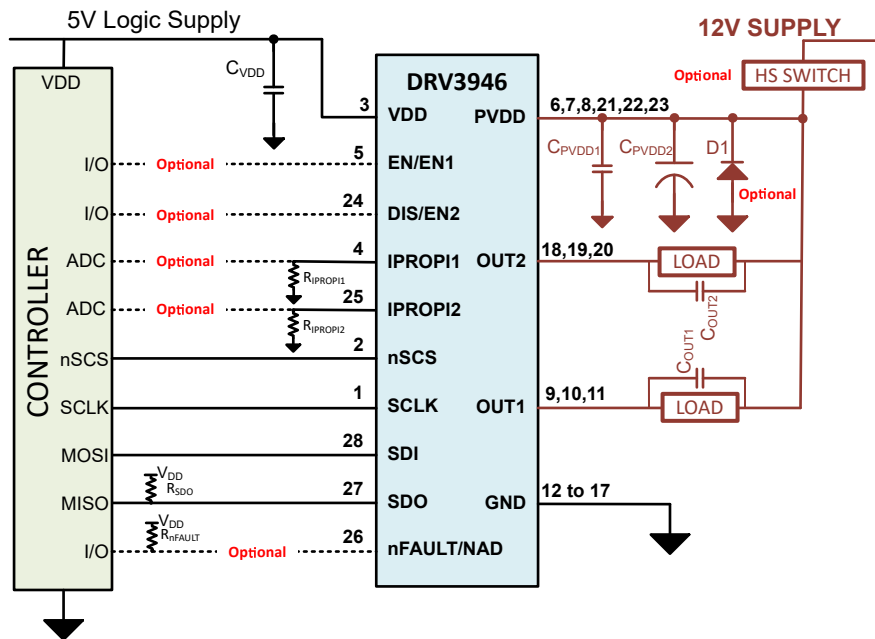


図 8-1. 代表的なアプリケーション回路図

8.2.1 設計要件

表 8-1. 設計パラメータ

パラメータ	値
PVDD の電源	12V (標準値) ですが、より高い昇圧電源電圧を使用できます。消費電力および温度の制限に従う必要があります。
VDD の電源	5V、5V 入力のみをサポート、3.3V コントローラの SDO インターフェイスに必要な 3.3V への外部変換。
nFAULT/NAD ピン	「nFAULT/NAD ピン」セクションを参照してください

8.2.2 過渡熱インピーダンスと電流能力

次の表は、追加ヒートシンクなしでのサンプル 4 層、4cm x 4cm x 1.6mm の PCB 設計の過渡熱抵抗 (接合部から周囲へ) をまとめたものです。この 4 層は、最上層および最下層に 2 オンスの銅箔、内層電源層に 1 オンスの銅箔を使用しており、サーマルビアはドリル径 0.3mm で 0.025mm の銅メッキ、ビアピッチ 1mm となっています。

表 8-2. 過渡熱抵抗

0.1s 時の $R_{\theta JA}$ (°C/W)	1s 時の $R_{\theta JA}$ (°C/W)	10s 時の $R_{\theta JA}$ (°C/W)	DC 時の $R_{\theta JA}$ (°C/W)
3.3	7.2	12.2	29.0

チャンネルあたりの過渡電流伝送能力 (両方のチャンネルが同時に動作していると想定) は、周囲温度 85°C (サーマル GND) に基づいて以下にまとめられます。2 つの連続する QTO イベント間の待機時間が大きいと、前の QTO イベントによる残留温度上昇はないと仮定しています。スイッチング損失は、PVDD = 13.5V、PWM 周波数 = 20kHz、デューティサイクル = 25%、スルーレート = 12.6V/μs で推定され、 $PVDD \times I \times PVDD/SR \times f_{PWM}$ の近似値を使用して計算されます。

表 8-3. 過渡電流伝送能力

0.1 秒時の I (A)	1 秒時の I (A)	10 秒時の I (A)	DC 時の I (A)
8.03	5.08	3.67	2.07

注:

- スwitching 損失により、低速なスルーレートと高い PWM 周波数でのホールド電流が制限されます
- ピーク電流レギュレーションは任意であり、熱的問題を引き起こす可能性のある大電流でのスイッチングを回避するために無効化できます

以下の式は、DC または定常状態条件での上記の例の詳細を説明しています。

グランド温度が 85°C の場合、接合部温度上昇の許容値は 65°C で、これにより接合部温度を 150°C 以下に抑えます。

充電中の LS FET のチャンネルあたりの消費電力

$$= I^2 \times LS \text{ RON}_{\text{最大値}} \times \text{デューティサイクル}$$

$$= 2.07^2 \times 75\text{m}\Omega \times 25\%$$

$$= 80.3\text{mW}$$

再計算中の HS FET のチャンネルあたりの消費電力

$$= I^2 \times \text{RECIRC RON}_{\text{最大値}} \times (1 - \text{デューティサイクル})$$

$$= 2.07^2 \times 120\text{m}\Omega \times 75\%$$

$$= 385.6\text{mW}$$

PWM スwitching 中の LS FET のチャンネルあたりの消費電力

$$= PVDD \times I \times PVDD / \text{スルーレート} \times f_{PWM}$$

$$= 13.5\text{V} \times 2.07 \times 13.5\text{V} / (12.6\text{V}/\mu\text{sec}) \times 20\text{kHz}$$

$$= 598.8\text{mW}$$

チャンネルあたりの合計消費電力 = 1064.7mW

$$\text{スitching 損失} / \text{合計} = 598.8\text{mW} / 1064.7\text{mW} = 56\%$$

$$\text{両チャンネルの合計消費電力} = 2 \times 1064.7\text{mW} = 2129.4\text{mW}$$

29°C/W の場合、これは $(29^{\circ}\text{C/W} \times 2.129\text{W}) = 62^{\circ}\text{C}$ の接合部発熱につながります。

8.2.3 アプリケーション特性の波形

CH1 - nFAULT、CH5 - EN/EN1、CH2 - OUT1、CH4 - IPROPI1、CH8 - 負荷電流

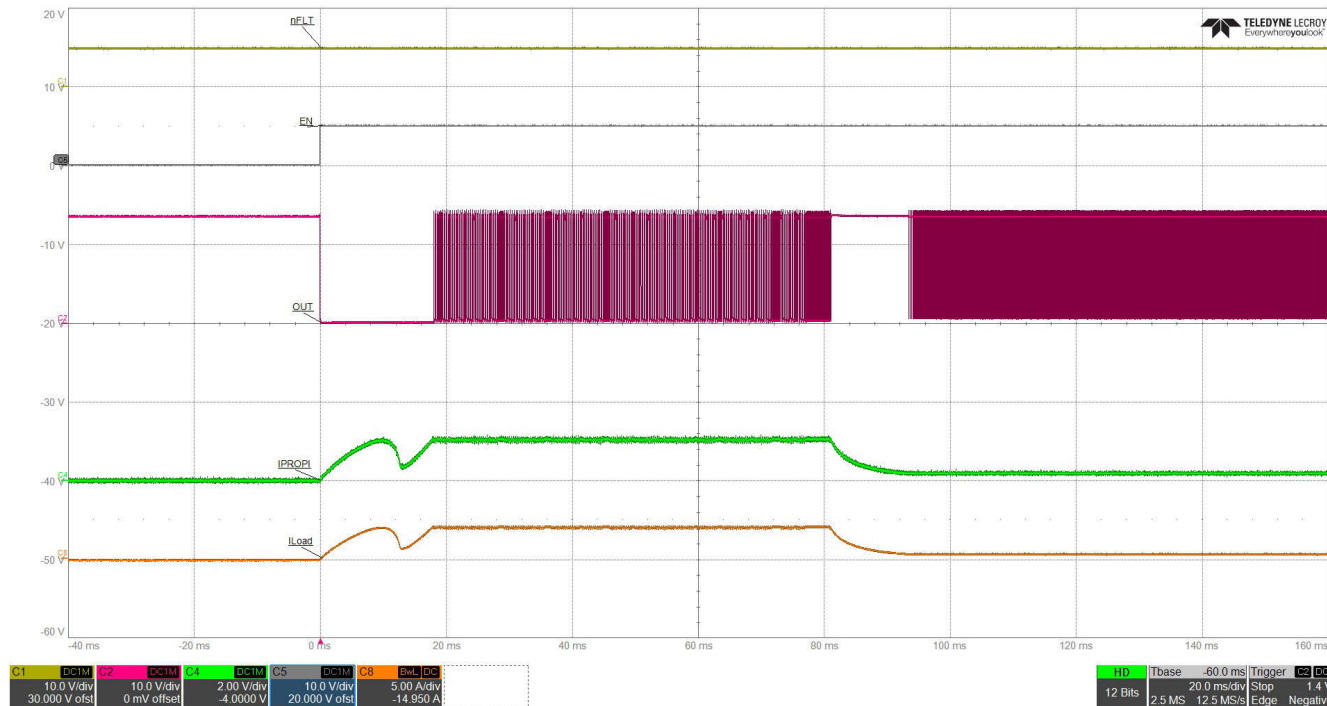


図 8-2. リレー ターンオン、ピークおよびホールド電流レギュレーション

CH1 - nFAULT、CH5 - EN/EN1、CH2 - OUT1、CH4 - IPROPI1、CH8 - 負荷電流

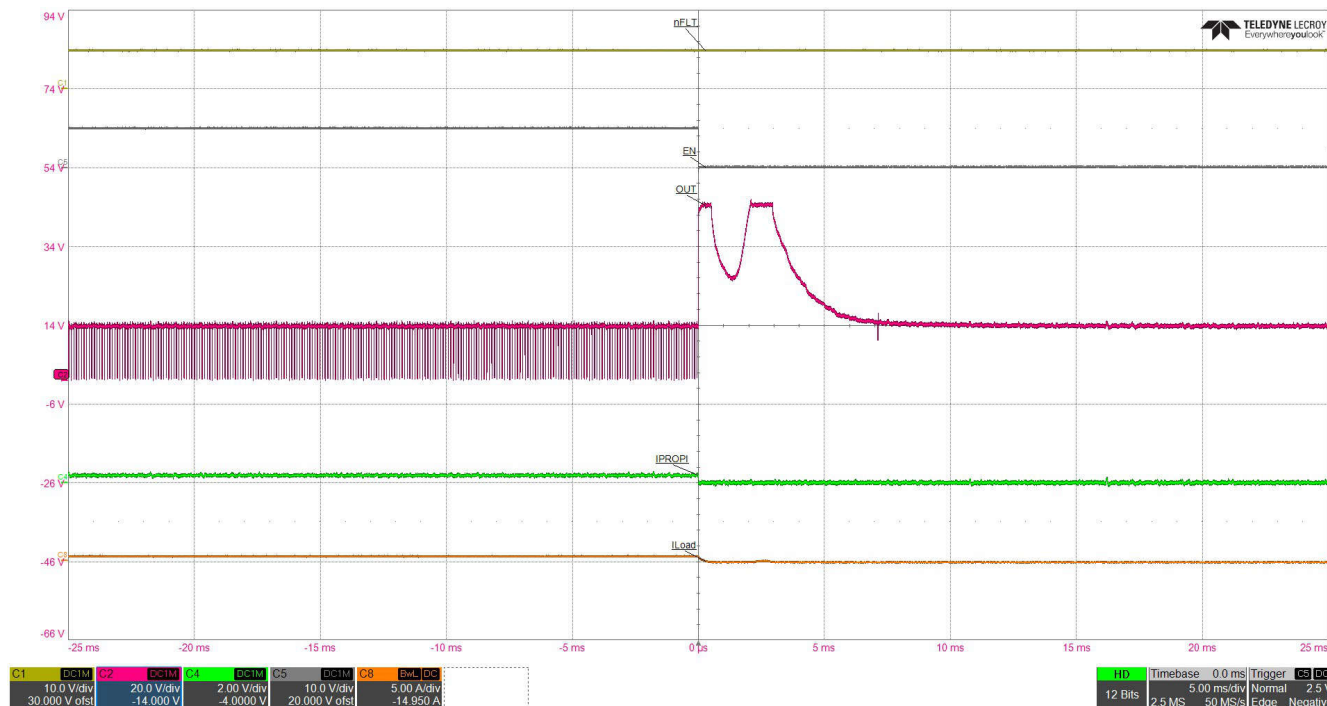


図 8-3. クイック ターンオフ

8.2.4 PVDD 容量値の推定

次のことを想定します。

- 合計 8 つの負荷が 4 台の DRV3946-Q1 デバイスに接続され、すべての負荷が一緒に励磁されます
- 負荷: $L = 400\text{mH}$, $R = 4\Omega$
- ピーク電流 $I_{PC} = 1\text{A}$ 、ホールド電流 $I_{HC} = 0.5\text{A}$
- HS スイッチがシャットオフ
- PVDD UV スレッシュホールド = 5V
- PVDD 電圧クランプ制限 = -1V
- OUTx LS パッシブ クランプ = 29V

これらの前提をもとに、次の式を導き出すことができます。

- クランプ時の負荷両端の電圧 $V_{\text{CLAMP}} = 29 - (-1)\text{V} = 30\text{V}$
- クランプ時間 $t_{\text{CLAMP}} = I \times L / V_{\text{CLAMP}}$
- ピーク電流の場合、クランプ時間 $t_{\text{CLAMP}} = 1\text{A} \times 0.4\text{H} / 30\text{V} = 13.3\text{ms}$
- ホールド電流の場合、クランプ時間 $t_{\text{CLAMP}} = 0.5\text{A} \times 0.4\text{H} / 30\text{V} = 6.67\text{ms}$
- PVDD コンデンサから供給される電荷 ($Q_{\text{PVDD}} = I \times t_{\text{CLAMP}} / 2$)
 - ピーク電流の場合、PVDD コンデンサから供給される電荷 = $1\text{A} \times 13.3\text{ms} / 2 = 6.67\text{mC}$
 - ホールドの場合、PVDD コンデンサから供給される電荷 = $0.5\text{A} \times 6.67\text{ms} / 2 = 1.67\text{mC}$
- PVDD コンデンサで許容されるデルタ電圧 = PVDD UV スレッシュホールド – PVDD 電圧クランプ制限 = $5 - (-1) = 6\text{V}$
- PVDD のコンデンサ = $N \times Q_{\text{PVDD}} / \Delta V$
 - ピークの場合、PVDD のコンデンサ = $8 \times 6.67\text{mC} / 6\text{V} = 8.9\text{mF}$
 - ホールドの場合、PVDD のコンデンサ = $8 \times 1.67\text{mC} / 6\text{V} = 2.2\text{mF}$

この場合、約 $47\mu\text{F}$ の PVDD コンデンサと並列にダイオードを使用する方が、大容量のコンデンサより実用的です。ダイオードの電流能力と熱的な制約を考慮する必要があります。別のソリューションとして、HS スイッチとダイオードをハーフブリッジドライバ デバイスに置き換えることもできます。

8.3 初期設定

ソフトウェア開発の推奨手順を以下に示します。

8.3.1 デバイスの初期化 - NAD

1. WAIT - PVDD および VDD 上昇後、 t_{READY} 時間待機します
2. STATUS0_READ - アドレス指定された SPI バス上の各デバイスの STATUS0 を読み取ります。通常の応答には次のものが含まれます
 - a. 正しいアドレスと NAD 値
 - b. POR ビット設定
 - c. WARNINGS ビット設定 (CONFIG_CRC_W による)
 - d. EN/EN1 および DIS/EN2 ピンのステータス = 0x0 (まだデータなし)
3. VDD_ERR - 応答が VDD_ERR を示している場合、これはアドレス指定された SPI バス上のいずれかのデバイスの電源の問題を示しています。VDD および PVDD 電源の状態を確認し、STATUS0_READ を繰り返します。電源監視フラグ、PVDD_UV、VDD_OV、VDD_UV がクリアされるまで、デバイスのパワーアップ初期化は制御されます。
4. NAD_ERR - 応答が NAD_ERR を示している場合、これはアドレス指定された SPI バス上のいずれかのデバイスにおける NAD アドレス決定の問題を示しています。nFAULT/NAD ピンから VDD へのプルアップ抵抗を確認した後、以下のことが続きます:
 - a. INITIALIZE ビット設定でブロードキャスト コマンドを発行します
 - b. t_{READY} 時間待機します
 - c. INITIALIZE ビットがクリアされた状態で、ブロードキャスト コマンドを続けます。応答には、NAD_ERR と、以前のコマンドの内容 (コマンドの確認) が含まれます。応答が依然として NAD_ERR を示す場合は、NAD_RECOVERY を参照してください。
 - d. サイクルを STATUS0_READ に戻します
5. NO_RESPONSE – 次のいずれかを示します:
 - a. デバイスエラー – nFAULT ピンは Low にアサートされます。次に進むには、パワー サイクルが必要です。
 - b. アドレス指定された NAD にデバイスが見つかりません。これは、この特定の NAD での NAD 決定が、異なる NAD に誤ってマッピングされていることを示しています。この場合、以下の SDO_CONFLICT_CREATION を参照してください。
6. NAD_RECOVERY – 次のコマンドを発行して、NAD アドレスを強制します
 - a. 意図した NAD アドレスで FORCE_NAD ビットを設定してブロードキャスト コマンドを発行します。NAD_ERR が あるデバイスは、このコマンドをピックアップして、コマンドされた NAD アドレスを自分自身に割り当てます。
 - b. FORCE_NAD ビットがクリアされた状態で、ブロードキャスト コマンドを続けます。応答には、NAD_ERR と、以前のコマンドの内容 (コマンドの確認) が含まれます。NAD_ERR をクリアする必要があります。
 - c. サイクルを STATUS0_READ に戻します。
7. SDO_CONFLICT_CREATION – この手順は、アドレス指定された SPI 上の各デバイスに対して EN/EN1 ピンを個別に High または Low にアサートする機能をハードウェアが持っていることを前提としています。
 - a. 応答していないデバイスで EN/EN1 ピンを High にアサートし、アドレス指定された SPI 上の他のすべてのデバイスで EN/EN1 ピンを Low にアサートします。
 - b. アドレス指定された SPI バスでデバイスの STATUS1 を 1 つずつ読み取ります。
 - c. STATUS1 は EN/EN1_PIN_STAT を読み取るため、EN/EN1 が High のデバイスは、他のデバイスとの SDO 競合を検出し、NAD_ERR を使用して SDO で送信をオフに戻します。
 - d. NAD_RECOVERY 手順に従って、応答していないデバイスの NAD_ERR を修正します。

8.3.2 デバイスの初期化 - 構成

1. 13 バイトの CONFIG A と 9 バイトの CONFIG B について、CRC8 を計算します

2. CONFIG_A6 下位バイトで、計算された CRC8 とともに必要に応じてデバイスを構成するため、CONFIG_A0 を CONFIG_A6 に書き込みます。
3. 同様に、CONFIG_B4 下位バイトで、計算された CRC8 とともに必要に応じてデバイスを構成するため、CONFIG_B0 を CONFIG_B4 に書き込みます。
4. レジスタ MEAS5 および MEAS6 を読み出して、IPROPIx ピンの抵抗値と、INIT2 中の強制電流で観測された IPROPIx ピンの電圧の測定値を記録します
5. CLR_FAULT コマンドを発行し、STATUS0 を読み取ります
6. 通常の応答には次のものが含まれます
 - a. 正しいアドレスと NAD 値
 - b. クリアされた POR ビット
 - c. クリアされた WARNINGS ビット
 - d. EN/EN1 および DIS/EN2 ピンの正しいステータス
7. デバイスは、オフ状態診断がイネーブルの STANDBY 状態になります。
8. LOCK_CONFIG を設定し、動作中に意図しない構成レジスタの SPI 書き込みを防止するために、CMD1 = 0x40 を発行することを推奨します。
9. CHx_OFF_DIAG_STAT = 0x0 を確認するため、STATUS0 を定期的にポーリングします (0x1 は制御の損失を示します)

8.3.3 システムの初期化

この時点で、必要に応じてシステム初期化チェックをすべて実行します。これらのテストは、デバイスの STANDBY 状態でのみ実行されることに注意してください。上記に該当する例

1. EN/EN1 および DIS/EN2 機能のチェック
2. デバイス タイミング チェック
3. nFAULT 信号チェック
4. 2 次側ロジック チェック

8.3.3.1 EN/EN1 および DIS/EN2 機能のチェック

PIN_CONFIG = 0x1 と仮定します。

1. EN/EN1 ピンを High にアサートします
2. STATUS0 レジスタの EN/EN1_PIN_STAT を読み取ります。ピンと整合させるには、0x1 を読み取る必要があります。
3. STATUS0 レジスタの CH1_STAT を読み取ります。OFF とコマンドしているため、0x0 を読み取る必要があります (ドライバを ON にするために、ピンに加えて SPI コマンドが必要)。
4. EN/EN1 ピンを Low にデアサートします
5. STATUS0 レジスタの EN/EN1_PIN_STAT を読み取ります。ピンと整合させるには、0x0 を読み取る必要があります。
6. STATUS0 レジスタの CH1_STAT を読み取ります。OFF とコマンドしているため、引き続き 0x0 を読み取る必要があります。
7. DIS/EN2 ピンでは、ステップ 1 ~ 6 を繰り返すことができます。

8.3.3.2 nFAULT 信号チェック

1. nFAULT アサートを要求するために、CMD0 = 0x01 を書き込みます
2. 要求が処理されるように、CMD1 = 0x80 – CLR_FAULT を書き込みます
3. nFAULT ピンは Low にアサートされます。これは、STATUS0 レジスタの nFAULT_PIN_STAT を読み戻すことで確認できます
4. nFAULT デアサートを要求するために、CMD0 = 0x0 を書き込みます
5. 要求が処理されるように、CMD1 = 0x80 – CLR_FAULT を書き込みます

6. この時点で、nFAULT ピンは nFAULT_CONFIG 設定によって制御されます

8.3.3.3 デバイス タイミング チェック

1. nFAULT でタイミング信号のアサートを要求するために、CMD0 = 0x03 を書き込みます
2. 要求が処理されるように、CMD1 = 0x80 – CLR_FAULT を書き込みます
3. nFAULT ピンは、50% 10kHz の出力で駆動されます
4. タイミング信号のデアサートを要求するために、CMD0 = 0x0 を書き込みます
5. 要求が処理されるように、CMD1 = 0x80 – CLR_FAULT を書き込みます
6. この時点で、nFAULT ピンは nFAULT_CONFIG 設定によって制御されます

8.3.3.4 2 次側ロジック チェック

1. 2 次側ロジック タイムアウトを強制的にアサートするには、CMD0 = 0x02 を書き込みます
2. タイムアウトを示すため、40ms 以内に nFAULT ピンが Low にアサートされます
3. 2 次側ロジック タイムアウトのデアサートを要求するには、CMD0 = 0x0 を書き込みます
4. 要求が処理されるように、CMD1 = 0x80 – CLR_FAULT を書き込みます
5. この時点で、nFAULT ピンは nFAULT_CONFIG 設定によって制御されます

8.3.4 リレーをオンにする

1. 単一出力または組み合わせ出力制御に構成されているように、EN/EN1 および DIS/EN2 ピンを駆動します
2. 内部レギュレーション - 内部レギュレーション モードで出力 1 を有効にするには、CMD1 = 0x50 を書き込みます。次に、CMD1 = 0x40 を書き込みます。応答には、以前のコマンド内容 (コマンドの確認) が含まれます。
3. 内部レギュレーションモードで出力 2 を有効にするには、CMD1 = 42 を書き込み、その次に CMD1 = 0x40 を書き込みます。応答には、以前のコマンド内容 (コマンドの確認) が含まれます。通常、両方のチャンネルのピーク立ち上がり時間はずらして設定されます。
4. ピーク立ち上がり時間後、STATUSx レジスタと MEASx レジスタを読み取ります
5. 通常の応答では、以下が示されます。
 - a. CHx_STAT = 0x1、警告なし
 - b. ピーク立ち上がり時間測定 – CHx_PRT
 - c. ピークからホールドへの立ち下がり時間測定 – CHx_HRT
 - d. 平均デューティ サイクル測定 – CHx_DC
6. 警告がないことを確認するために、STATUS0 を定期的にポーリングします。
7. 外部制御の場合 - (2) と同様の手順ですが、CHx_CTRL の選択に基づいて CMD1 の値を更新する必要があります。測定値が無効です。
8. ブロードキャスト コマンド (CMD2) を使用すると、同じ SPI バス上のドライバによって制御されるすべてのリレーで、同時に目標電流を変更できます。

8.3.5 リレーをオフにする

8.3.5.1 ターゲット デバイス コマンドの使用

1. 出力 1 をオフにするには CMD1 = 0x08、出力 2 をオフにするには 0x01、両方の出力をオフにするには 0x09 を書き込み、次に CMD1 = 0x40 を書き込みます。応答には、以前のコマンド内容 (コマンドの確認) が含まれます。
2. ドライバがシャットオフされると、オフ状態診断は自動的に開始されます。
3. 約 100ms 後に、STATUSx および MEASx レジスタを読み出します
4. 通常の応答では、以下が示されます
 - a. CHx_STAT = 0x0、警告なし
 - b. CHx_OFF_DIAG_STAT = 0x0
 - c. QTO 時間測定 – CHx_QTOT

d. QTO 測定開始時間 – CHx_QTOST

8.3.5.2 Broadcast コマンドの使用

1. 同じ SPI バス上のドライバによって制御されるすべてのリレーをオフにするには、**CMD2 = 0x04** を書き込んで、すべての負荷の電流を直ちにクエンチします。
2. その後、個別のデバイスに **CMD1 = 0x09** を書き込んで、すべてのデバイスがシャットオフのまま維持されるようにします。
3. ブロードキャスト コマンド ビットをリセットするには、**CMD2 = 0x00** を書き込みます
4. 約 100ms 後に、**STATUSx** および **MEASx** レジスタを読み出します
5. 通常の応答では、以下が示されます
 - a. **CHx_STAT = 0x0**、警告なし
 - b. **CHx_OFF_DIAG_STAT = 0x0**
 - c. QTO 時間測定 – **CHx_QTOT**
 - d. QTO 測定開始時間 – **CHx_QTOST**

8.4 電源に関する推奨事項

- **PVDD:** PVDD はシステムからの高電圧電源であり、DRV3946-Q1 のすべての PVDD ピンに接続する必要があります。
- **VDD:** このデバイスは、ロジック電源と、複数の安全監視機能のための冗長電源の両方として機能するために 5V 低電圧電源を必要とします。

8.4.1 PVDD 電源要件

PVDD (12V) 電源は、HS スイッチ前に (全負荷に基づく) フィルタリングにより、バッテリー逆接保護する必要があります。HS スイッチの PVDD への出力は、以下を確実にするのに十分な容量 (30V、10 μ F 超) を有する必要があります。

- HS スイッチが閉じているときの PVDD の dV/dt は 2V/ μ s 未満
- 過渡負荷電流を供給する能力 (誘導性エネルギー)
 - 負荷に通電した状態で HS スイッチを開き、同時に DRV3946-Q1 にシャットオフを指示しなかった場合。
 - フォルト状態: 負荷に通電した状態で HS スイッチを開き、同時に DRV3946-Q1 にシャットオフを指示する一方で、負荷の 1 つを GND に短絡します。

PVDD の容量は、この過渡時にこのピン [10ms 間で -2V] の ABS MIN に違反するのを防止するためのものです。クランプ時間中に PVDD から供給される誘導性電流を供給してコンデンサのサイズを縮小するため、PVDD から GND にオプシオンのダイオードを追加できます。

負荷に通電した状態で HS スイッチを開く場合、OUTx (QTO) にクランプが発生し、誘導性エネルギーを急速に放散し、制御された状態で負荷が無励磁化します。DRV3946-Q1 がドライバを同時にシャットオフするよう指示されているかどうかに応じて、2 つのクランプ シナリオが発生します。

- 同時シャットオフ (代表的な使用事例および推奨使用事例): デバイスは、HS クランプを流れる電流を無励磁化または減衰させることとなります。電流パスは PVDD -> 負荷 -> HS クランプ トリガ HS FET -> PVDD になります。PVDD の静電容量は、HS スイッチがシャットオフされた後に DRV3946-Q1 のコマンドがオフされるまで数 μ s の遅延を発生させること以外、特に役割はありません。
- HS スイッチのみシャットオフ (標準値ではない): DRV3946-Q1 は PVDD 電圧降下がある限りレギュレーションを維持し、最終的に PVDD 低電圧を検出して、LS クランプによってトリガされた LS FET を介して電流を減衰させます。PVDD の静電容量は、PVDD から電流が供給されるときに過渡負荷電流をサポートします。OUTx ピンの電圧が上昇し、デバイス内のパッシブ LS クランプがトリガされ、負荷からデバイスに電流がシンクされます。電流パスは GND -> PVDD コンデンサから GND へ -> 負荷 -> OUTx -> LS パッシブ クランプによりトリガされた LS FET -> GND となります。

8.4.2 PVDD 低電圧過渡 - 接触器のチャタリングまたは溶接の防止

- DRV3946-Q1 には、PVDD ピンのパルス幅と負荷のインダクタンスに応じてこれを処理する 2 つの機能があります。
 - UCLO (低電流ロックアウト) – 設定された期間にわたって、負荷電流が設定済みレベルを下回っています
 - PVDD UV - 設定された期間にわたって、PVDD の電圧が設定済みレベルを下回っています
- どちらの場合も、HS FET を介して内部デバイスをクランプし、ドライバをハイインピーダンス状態にするようデバイスを構成できます。ステータスレジスタは、対応する警告で更新されます。
- ドライバがオフになると、PVDD の電圧が通常レベルに回復したとしても、ユーザー CLR FAULT (SPI コマンド) が発行されるまで、デバイスはドライバをオンにしません。
- 「RETRY_WAIT」機能を追加して、再度オンになる前にリレーの冷却に要する最小時間を確保するために有効化できます。これもまた、意図しない急速なオン - オフ - オン サイクルを防ぐためです。

8.5 レイアウト

8.5.1 レイアウトのガイドライン

- 推奨値の低 ESR セラミック コンデンサを使って、PVDD ピンと VDD ピンをグラウンドにバイパスする必要があります。これらのコンデンサをピンのできるだけ近くに配置し、太いパターンまたはグラウンド プレーンでデバイスの GND ピンに接続する必要があります。
- PVDD ピンに追加のバルク静電容量が必要になる場合があります。このバルク コンデンサは、大電流パスの長さが最小となるよう配置する必要があります。接続用の金属パターンはできるだけ幅広くし、PCB の層間を多数のビアで接続します。これらの手法により、インダクタンスが最小限に抑えられ、バルク コンデンサが大電流を供給できるようになります。
- すべての PVDD、OUTx、GND ピンは、十分広いパターンで外部で短絡する必要があります。
- 次の図は、リード付き HTSSOP パッケージ デバイス用の 4cm x 4cm x 1.6mm、4 層 PCB のレイアウト例を示しています。4 層は、最上層および最下層に 2 オンスの銅箔、内層電源層に 1 オンスの銅箔を使用しており、サーマルビアはドリル径 0.3mm で 0.025mm の銅メッキ、最小ビアピッチ 1mm となっています。

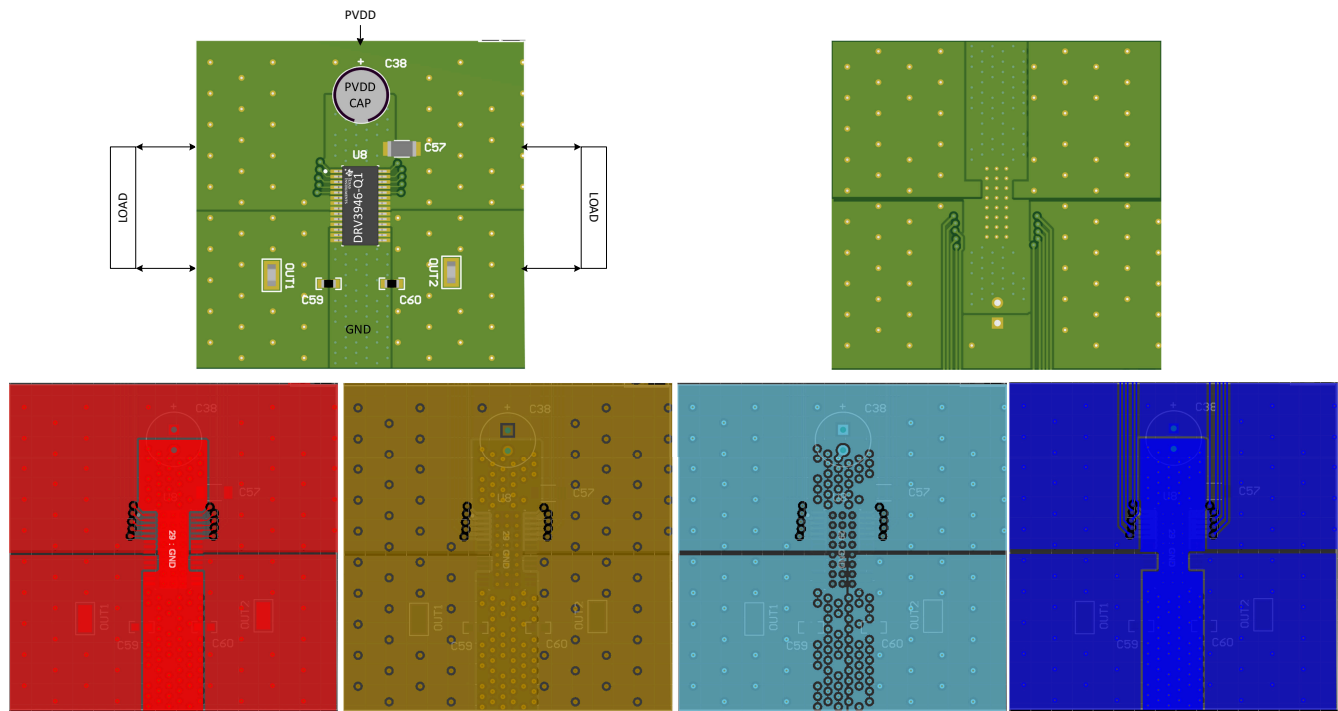


図 8-4. レイアウト例

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介いたします。

9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.2 サポート・リソース

[テキサス・インスツルメンツ E2E™ サポート・フォーラム](#) は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (December 2023) to Revision A (June 2024)	Page
• 機能安全のテキストを更新。.....	1
• ブロードキャスト コマンドのテキストを更新。.....	1
• スタンバイ状態の VDD 電流を最大 5.5mA から最大 7.5mA に増加。.....	5
• EC 表に、すべてのクランプ電圧の標準値と最大値を追加。.....	5
• 「外付け部品」表で、IPROPI から GND ～ 10pF のフィルタ容量を追加。.....	21
• スロープ補償の図と電流低減の段落を追加。.....	35
• フォルト表の状態を更新.....	38
• STATUS4 および STATUS5 のレジスタ名を更新。.....	48
• CONFIG_A6 および CONFIG_B4 レジスタを更新。.....	62
• 「過渡熱インピーダンスと電流能力」セクションを追加。.....	76

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定したデバイスについて利用可能な最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

11.1 付録 : パッケージ オプション

パッケージ情報

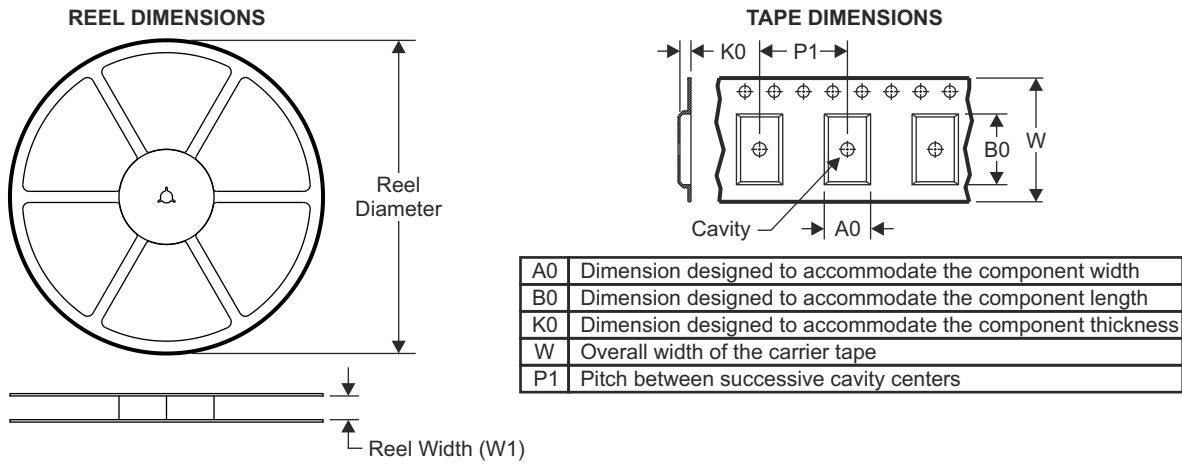
発注可能なデバイス	供給状況 ⁽¹⁾	パッケージ タイプ	パッケージ図	ピン数	パッケージの数量	エコ プラン ⁽²⁾	リード / ボール仕上げ ⁽⁶⁾	MSL ピーク温度 ⁽³⁾	動作温度 (°C)	デバイス マーキング ^{(4) (5)}
DRV3946QPW PRQ1	アクティブ	HTSSOP	PWP	28	2500	RoHS & グリーン	NiPdAu	Level-3-260C-1 68 HR	-40~125	3946

- (1) マーケティング ステータスの値は次のように定義されています。
供給中: 新しい設計への使用が推奨される量産デバイス。
最終受注中: テキサス・インスツルメンツはデバイスの生産終了を発表しており、現在最終受注期間中です。
非推奨品: 新規設計には推奨しません。デバイスは既存の顧客をサポートするために生産されていますが、テキサス・インスツルメンツでは新規設計にこの部品を使用することを推奨していません。
量産開始前: 量産されていない、市販されていない、またはウェブで発表されていない未発表デバイスで、サンプルは提供されていません。
プレビュー: デバイスは発表済みですが、まだ生産は開始されていません。サンプルが提供される場合と提供されない場合があります。
生産中止品: テキサス・インスツルメンツは、このデバイスの生産を終了しました。
- (2) エコ プラン - 環境に配慮した計画的な分類: 鉛フリー (RoHS)、鉛フリー (RoHS 適用除外)、またはグリーン (RoHS 準拠、Sb/Br 非含有) があります。最新情報、および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。
未定: 鉛フリー / グリーン 転換プランが策定されていません。
鉛フリー (RoHS): テキサス・インスツルメンツにおける「Lead-Free」または「Pb-Free」(鉛フリー) は、6 つの物質すべてに対して現在の RoHS 要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が 0.1% を超えないという要件も含まれます。高温はんだに対応した テキサス・インスツルメンツ 鉛フリー製品は、鉛フリー仕様プロセスでの使用に適しています。
鉛フリー (RoHS 適用除外): この部品は、1) ダイとパッケージとの間に鉛ベース フリップ チップのはんだバンパ使用、または 2) ダイとリードフレームとの間に鉛ベースの接着剤を使用、のいずれかについて、RoHS が免除されています。この部品はそれ以外の点では、上記の定義の鉛フリー (RoHS 準拠) の条件を満たしています。
グリーン (RoHS および Sb/Br 非含有): テキサス・インスツルメンツにおける「グリーン」は、鉛フリー (RoHS 準拠) に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない (均質な材質中の Br または Sb 重量が 0.1% を超えない) ことを意味しています。
- (3) MSL、ピーク温度 -- JEDEC 業界標準分類に従った耐湿性レベル、およびピークはんだ温度です。
- (4) ロゴ、ロットトレース コード情報、または環境カテゴリに関する追加マークがデバイスに表示されることがあります。
- (5) 複数のデバイス マーキングが、括弧書きされています。カッコ内に複数のデバイス マーキングがあり、「~」で区切られている場合、その中の 1 つだけがデバイスに表示されます。行がインデントされている場合は、前行の続きということです。2 行合わせたものが、そのデバイスのデバイス マーキング全体となります。
- (6) リード / ボール仕上げ - 発注可能なデバイスには、複数の材料仕上げオプションが用意されていることがあります。複数の仕上げオプションは、縦罫線で区切られています。リード / ボール仕上げの値が最大列幅に収まらない場合は、2 行にまたがります。

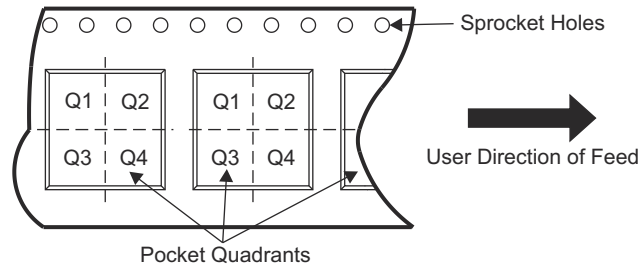
重要なお知らせと免責事項: このページに掲載されている情報は、発行日現在のテキサス・インスツルメンツの知識および見解を示すものです。テキサス・インスツルメンツの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行いません。第三者からの情報をより良く統合するための努力は続けております。テキサス・インスツルメンツでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。テキサス・インスツルメンツおよび テキサス・インスツルメンツのサプライヤは、特定の情報を機密情報として扱っているため、CAS 番号やその他の制限された情報が公開されない場合があります。

いかなる場合においても、そのような情報から生じたテキサス・インスツルメンツの責任は、このドキュメント発行時点でのテキサス・インスツルメンツ製品の価格に基づくテキサス・インスツルメンツからお客様への合計購入価格 (年次ベース) を超えることはありません。

11.2 テープおよびリール情報

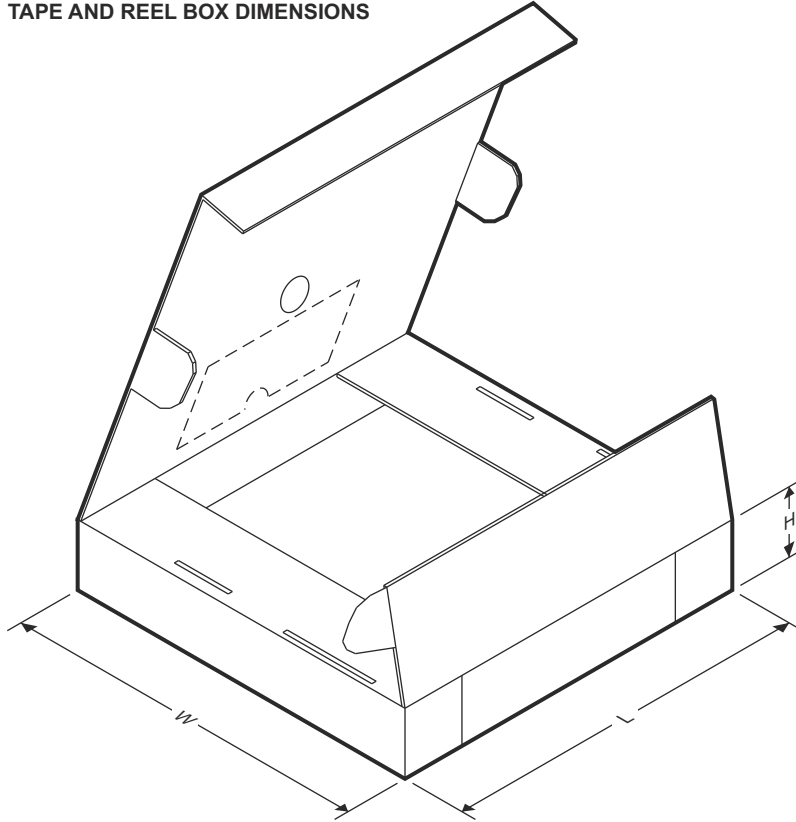


QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

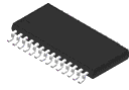


デバイス	パッケージ タイプ	パッケージ 図	ピン	SPQ	リール 直径 (mm)	リール 幅 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	ピン1の 象限
DRV3946QPWRQ1	HTSSOP	PWP	28	2500	330.0	16.4	6.75	10.1	1.8	12.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



デバイス	パッケージタイプ	パッケージ図	ピン	SPQ	長さ (mm)	幅 (mm)	高さ (mm)
DRV3946QPWPRQ1	HTSSOP	PWP	28	2500	356.0	356.0	35.0

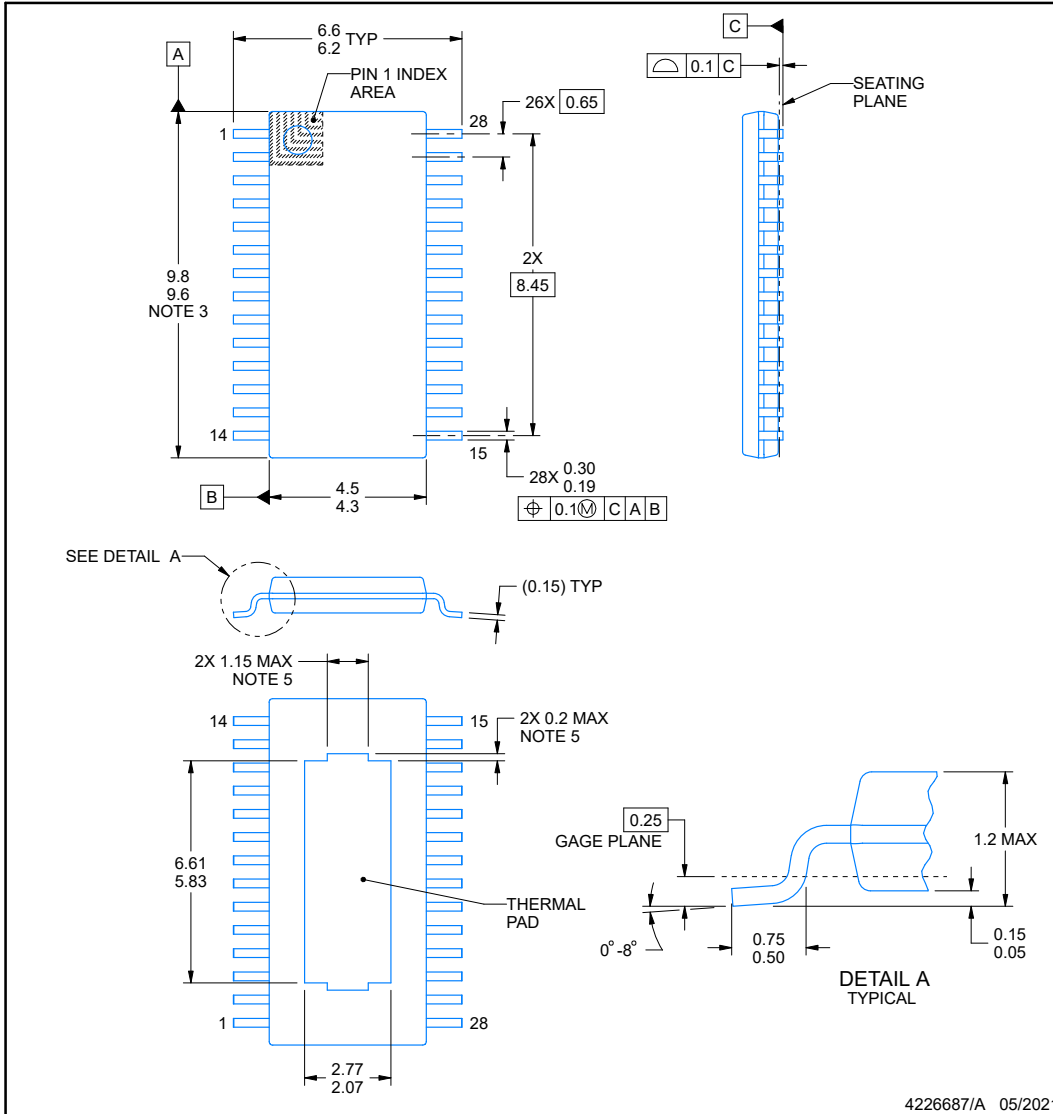


PACKAGE OUTLINE

PWP0028T

PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

PowerPAD is a trademark of Texas Instruments.

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.
5. Features may differ or may not be present.

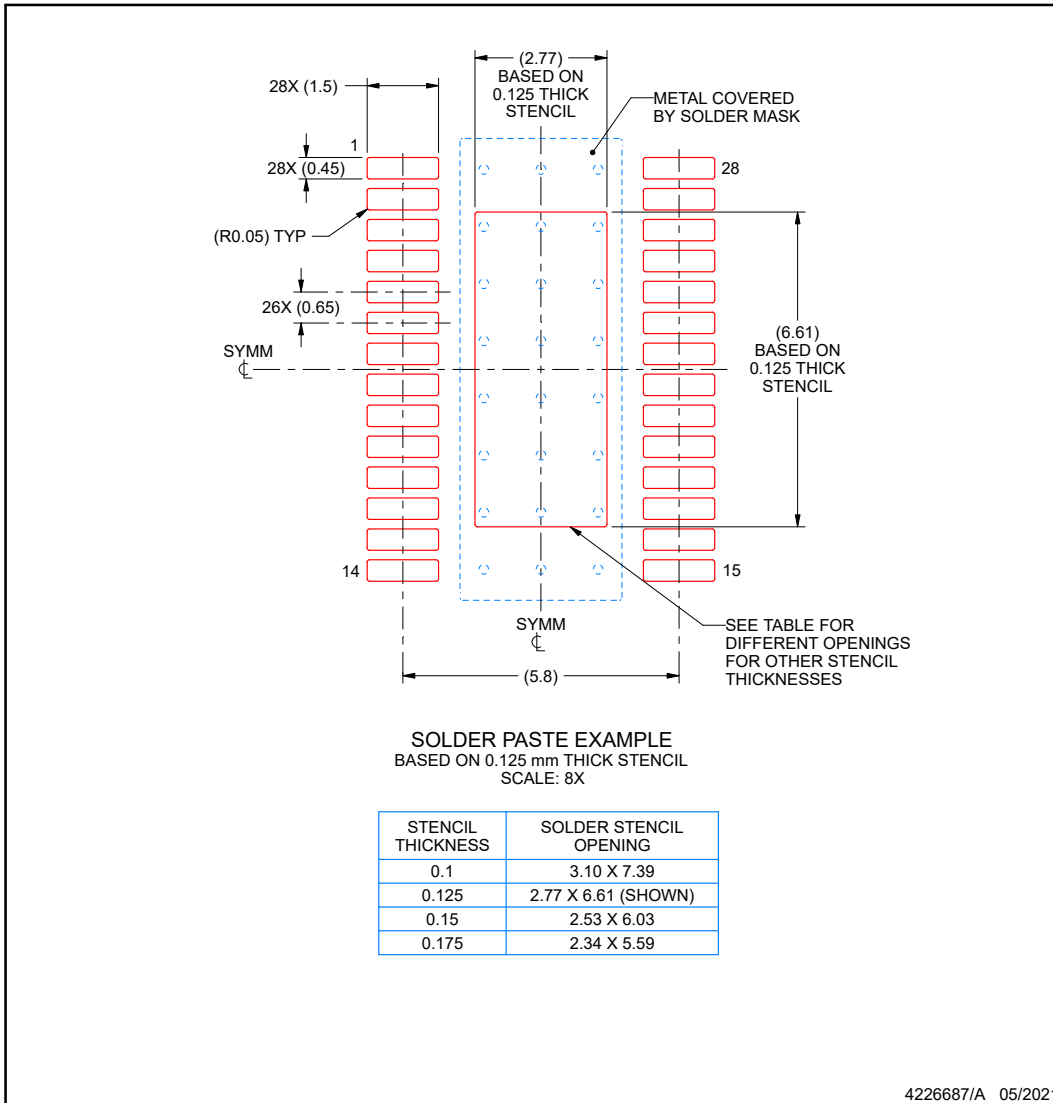


EXAMPLE STENCIL DESIGN

PWP0028T

PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRV3946QPWPRQ1	Active	Production	HTSSOP (PWP) 28	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	3946
DRV3946QPWPRQ1.A	Active	Production	HTSSOP (PWP) 28	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	3946

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

GENERIC PACKAGE VIEW

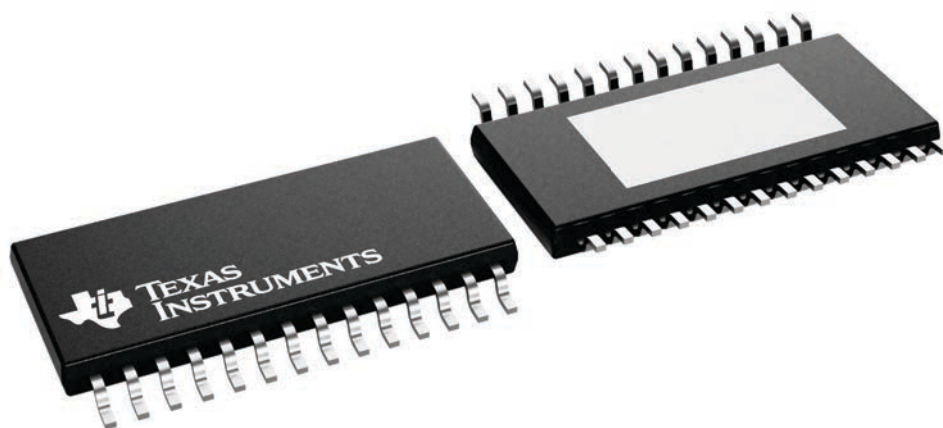
PWP 28

PowerPAD™ TSSOP - 1.2 mm max height

4.4 x 9.7, 0.65 mm pitch

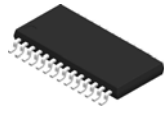
SMALL OUTLINE PACKAGE

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224765/B

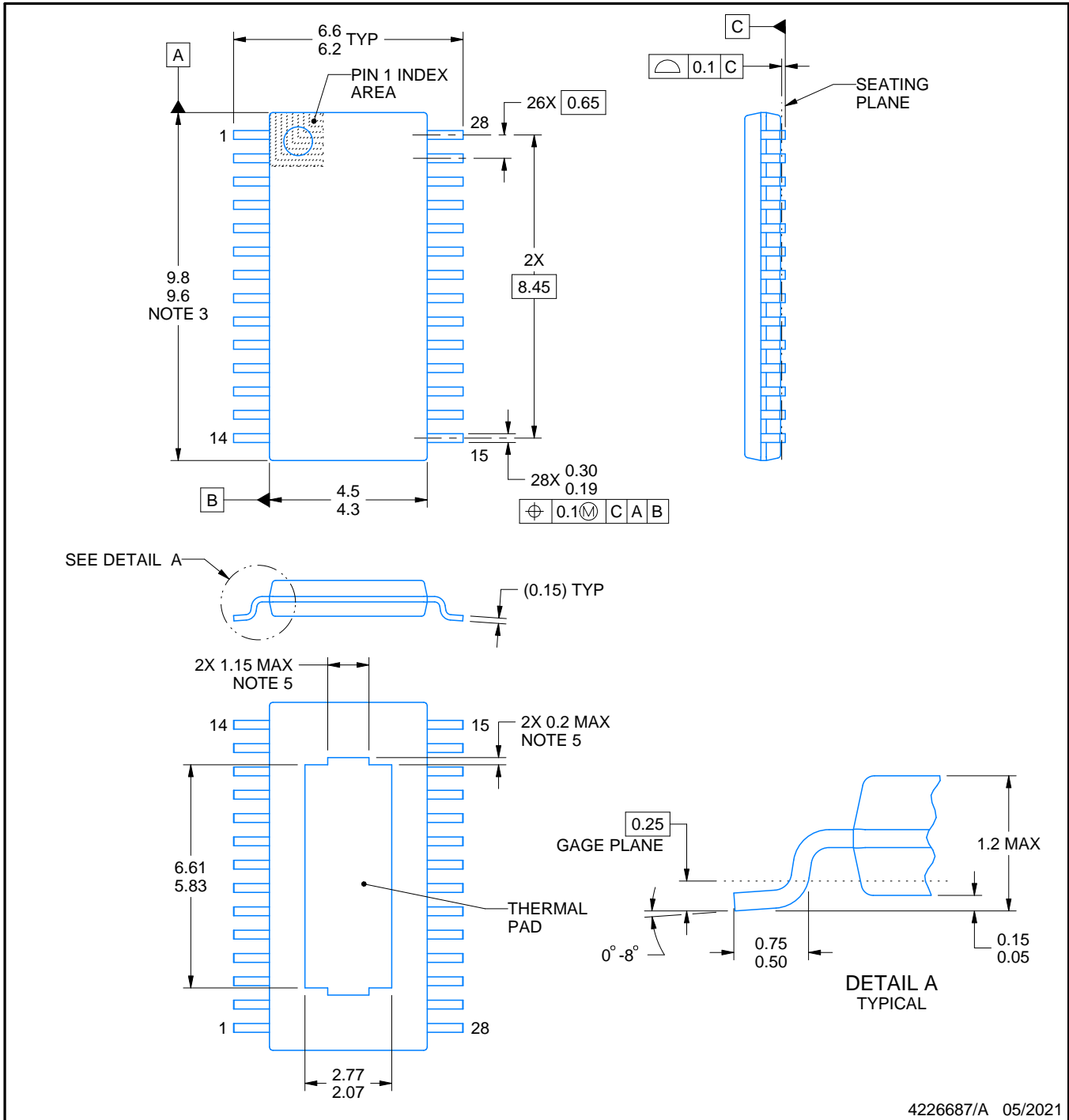
PWP0028T



PACKAGE OUTLINE

PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4226687/A 05/2021

NOTES:

PowerPAD is a trademark of Texas Instruments.

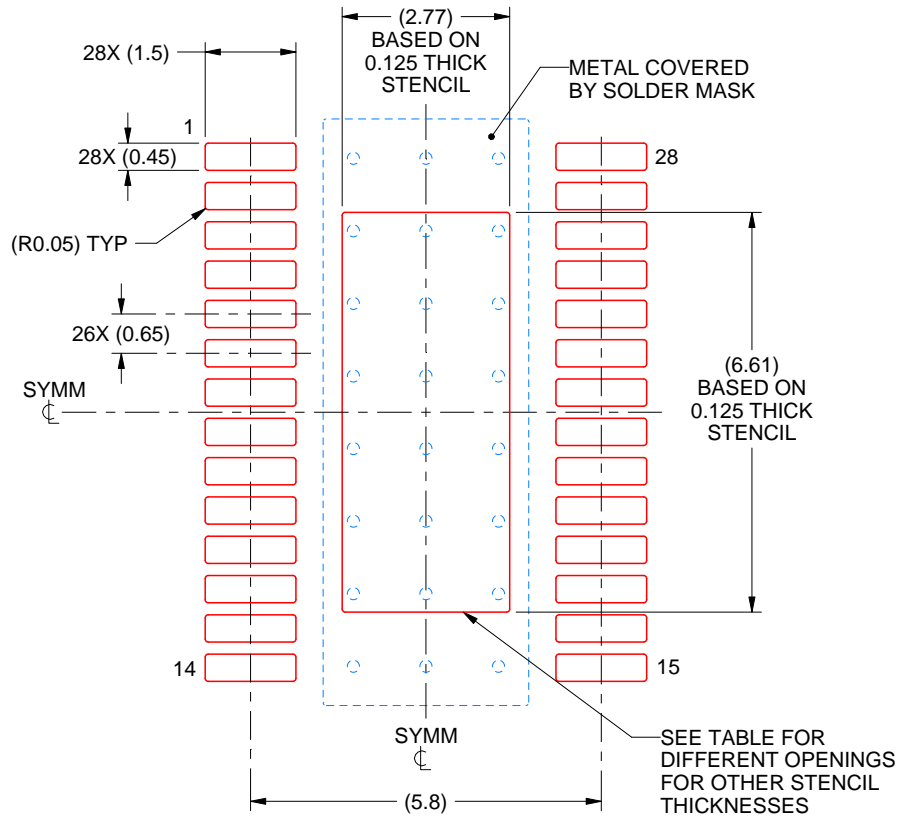
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.
5. Features may differ or may not be present.

EXAMPLE STENCIL DESIGN

PWP0028T

PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
 BASED ON 0.125 mm THICK STENCIL
 SCALE: 8X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	3.10 X 7.39
0.125	2.77 X 6.61 (SHOWN)
0.15	2.53 X 6.03
0.175	2.34 X 5.59

4226687/A 05/2021

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月