

DRV8002-Q1 ドア制御用高集積、多機能ドライバ

1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
 - 温度グレード 1: -40°C ~ +125°C, T_A
- 機能安全準拠予定
 - 機能安全アプリケーション向けに開発
 - ISO26262 システム設計を支援するためのドキュメント
 - ASIL D までのインテグリティレベル
 - ASIL B までのハードウェア安全度
- 5V ~ 35V (絶対最大定格 40V) 動作範囲
- H ブリッジまたはデュアル チャネル ハーフ ブリッジ ゲートドライバ
 - スマート ゲートドライブ アーキテクチャ
 - 100% PWM に対応するトリプラー チャージ ポンプ
 - 同相モードの広い電流シャント アンプ
- 1 個の統合ハーフブリッジ, I_{OUT} 最大 8A (R_{DS(on)} HS + LS FET = 155mΩ)
- 1 個の統合ハーフブリッジ, I_{OUT} 最大 7A (R_{DS(on)} HS + LS FET = 185mΩ)
- 2 個の統合ハーフブリッジ, I_{OUT} 最大 4A (R_{DS(on)} HS + LS FET = 440mΩ)
- 2 個の統合ハーフブリッジ, I_{OUT} 最大 1.3A (R_{DS(on)} HS + LS FET = 1540mΩ)
- 1 個の構成可能な内蔵ハイサイドドライバをランプまたは LED ドライバとして使用、最大 I_{OUT} 1.5/0.5A (R_{DS(on)} = 0.4/1.2Ω)
- 5 個の 0.5/0.25A 負荷用のハイサイドドライバを内蔵 (R_{DS(on)} = 1.2Ω)
- ハイサイドドライバ用の内部 10 ビット PWM ジェネレータ
- すべてのハイサイドドライバは、幅広い LED モジュールを駆動するための低電流または高電流のスレッシュホールド定電流モードをサポートしています
- 統合ドライバ出力は電流調整機能付き (ITRIP)
- 多重化可能なセンス出力 (IPROPI)
 - 比例電流出力 (IPROPI) 付きの内部電流検出
 - 複数の熱クラスによる高度なダイ温度モニタリング
 - モーターの電源電圧モニター
- 設定可能な障害動作を備えた保護および診断機能
 - オフ状態とオン状態の両方で負荷診断を行い、開放負荷および短絡を検出
 - 過電流および過熱保護
- デバイス比較表

2 アプリケーション

- ドア モジュール
- 車体制御モジュール
- ゾーン型モジュール

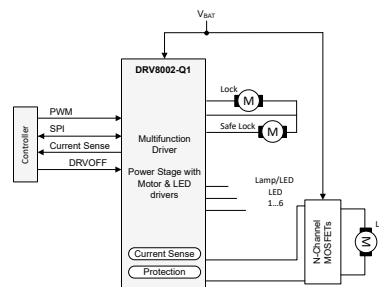
3 説明

DRV8002-Q1 デバイスには、モーター（誘導性）、抵抗性および容量性負荷の駆動と診断、ランプまたは LED の駆動、これらのドライバには、過電圧および低電圧モニタリング、オフラインでの開放負荷および短絡診断、ゾーンベースの温度モニタリングおよびシャットダウン保護などのオフラインおよびアクティブ診断用の保護機能が含まれています。このデバイスは、2 つのハーフブリッジ ゲートドライバ 6 個のハーフブリッジ (2 個のハイサイド代替モード) と 6 個のハイサイドドライバを内蔵。ハーフブリッジ、ハイサイド、ドライバは、PWM 入力制御構成、センシング、診断、デバイス システム保護機能を備えています。各ハイサイド ドライバに対して、専用のプログラマブルな内部 PWM ジェネレータがあります。すべての内蔵ドライバで比例電流センス ピン出力を利用できるほか、ゲートドライバ用の堅牢で柔軟な電流シャント アンプも利用可能です。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (公称) (2)
DRV8002-Q1	VQFN (48)	7.00mm × 7.00mm

- 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
- パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



目次

1 特長.....	1	8.1 DRV8000-Q1_STATUS レジスタ.....	73
2 アプリケーション.....	1	8.2 DRV8000-Q1_CNFG レジスタ.....	83
3 説明.....	1	8.3 DRV8000-Q1_CTRL レジスタ.....	123
4 デバイスの比較.....	3	9 アプリケーションと実装.....	133
5 ピン構成および機能.....	4	9.1 アプリケーション情報.....	133
6 仕様.....	7	9.2 代表的なアプリケーション.....	133
6.1 絶対最大定格.....	7	9.3 初期設定.....	137
6.2 ESD 定格 (車載機器).....	8	9.4 電源に関する推奨事項.....	137
6.3 推奨動作条件.....	8	9.5 レイアウト.....	137
6.4 熱に関する情報 (RGZ パッケージ).....	8	10 デバイスおよびドキュメントのサポート.....	140
6.5 電気的特性.....	8	10.1 ドキュメントの更新通知を受け取る方法.....	140
6.6 タイミング要件.....	22	10.2 サポート・リソース.....	140
7 詳細説明.....	23	10.3 商標.....	140
7.1 概要.....	23	10.4 静電気放電に関する注意事項.....	140
7.2 機能ブロック図.....	24	10.5 用語集.....	140
7.3 外付け部品.....	24	11 プロダクション前の改訂履歴.....	140
7.4 機能説明.....	25	12 メカニカル、パッケージ、および注文情報.....	140
7.5 プログラミング.....	67	12.1 付録: パッケージ オプション.....	145
8 DRV8002-Q1 レジスタ マップ.....	70	12.2 テープおよびリール情報.....	146

4 デバイスの比較

表 4-1. デバイスの比較

デバイス名	H ブリッジ ゲートドライバ	ハーフ ブリッジ ドライバ	ハイサイドドライバ	ランプ/LED HS ドライバ	EC ゲートドライバ	ヒータ HS ゲートドライバ	電流シャントアンプ	パッケージ
DRV8000-Q1	1x	6x	5x	1x	1x	1x	1x	7x7 QFN-48 ウェットパブル フランク
DRV8001-Q1	X	6x	5x	1x	1x	1x	X	6x6 QFN-40 ウェットパブル フランク
DRV8002-Q1	1x	6x	5x	1x	X	X	1x	7x7 QFN-48 ウェットパブル フランク

表 4-2. デバイス注文情報

デバイス	量産開始前の部品番号	発注用型番	EVM
DRV8000-Q1	PDRV8000QWRGZRQ1	DRV8000QWRGZRQ1	DRV8000-Q1EVM
	P2DRV8000QWRGZRQ1		
DRV8001-Q1	PDRV8001QWRHARQ1	DRV8001QWRHARQ1	DRV8001-Q1EVM
DRV8002-Q1	PDRV8002QWRGZRQ1	DRV8002QWRGZRQ1	DRV8000-Q1EVM
	P2DRV8002QWRGZRQ1		

5 ピン構成および機能

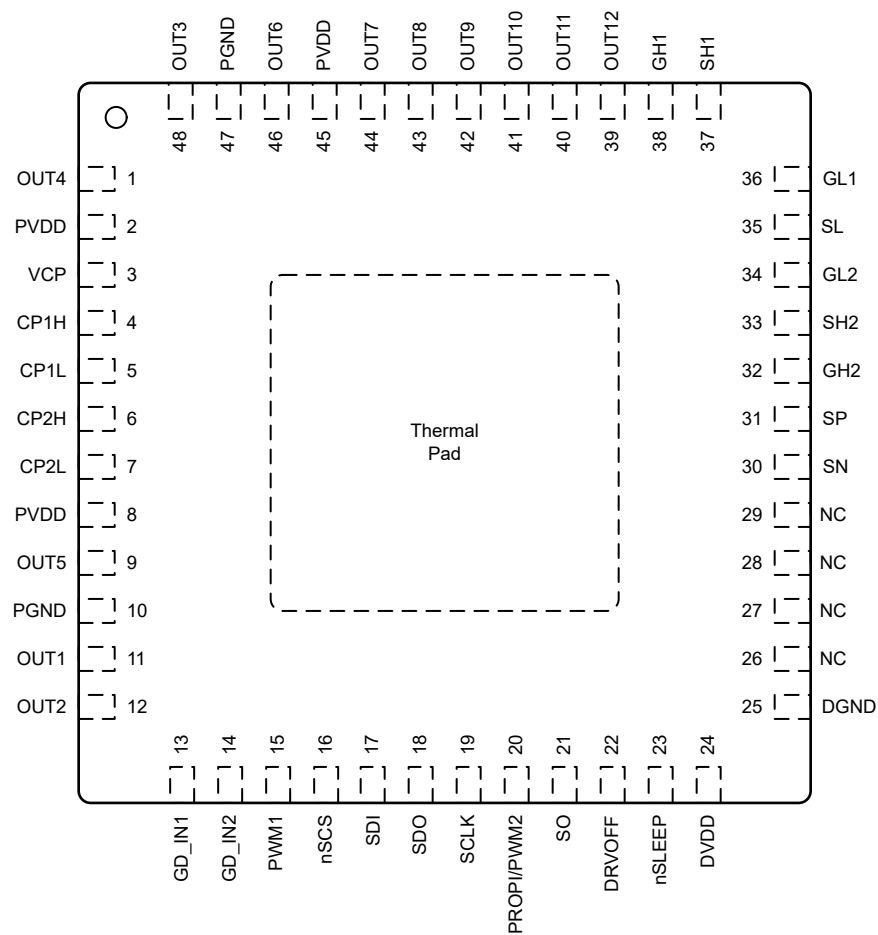


図 5-1. VQFN (RGZ) 48 ピン パッケージおよびピン機能

表 5-1. ピンの機能

ピン		I/O ⁽¹⁾	タイプ	説明
番号	名称			
1	OUT4	O	電源	440mΩ ハーフ ブリッジ出力 4。
2	PVDD	I	電源	デバイスドライバ電源入力。ブリッジ電源に接続します。PVDD ピンと GND ピンの間に 0.1μF の PVDD 定格セラミック コンデンサと 10μF 以上のローカル バルク容量を接続します。
3	VCP	I/O	電源	チャージ ポンプ出力。1μF、16V セラミック コンデンサを VCP ピンと PVDD ピンの間に接続します。
4	CP1H	I/O	電源	チャージ ポンプのスイッチング ノード。100nF、PVDD 定格セラミック コンデンサを CP1H ピンと CP1L ピンの間に接続します。
5	CP1L	I/O	電源	
6	CP2H	I/O	電源	チャージ ポンプのスイッチング ノード。100nF、PVDD 定格セラミック コンデンサを CP2H ピンと CP2L ピンの間に接続します。
7	CP2L	I/O	電源	
8	PVDD	I	電源	デバイスドライバ電源入力。ブリッジ電源に接続します。PVDD ピンと GND ピンの間に 0.1μF の PVDD 定格セラミック コンデンサと 10μF 以上のローカル バルク容量を接続します。
9	OUT5	O	電源	155mΩ ハーフ ブリッジ出力 5。
10	PGND	I/O	グラウンド	デバイスのグラウンド。システム グラウンドに接続。

表 5-1. ピンの機能 (続き)

ピン		I/O ⁽¹⁾	タイプ	説明
番号	名称			
11	OUT1	O	電源	1.54Ω ハーフブリッジ出力 1。
12	OUT2	O	電源	1.54Ω ハーフブリッジ出力 2。
13	GD_IN1	I	デジタル	ハーフブリッジおよび H ブリッジ制御モード 1。
14	GD_IN2	I	デジタル	ハーフブリッジおよび H ブリッジ制御モード 2。
15	PWM1	I	デジタル	すべてのドライバを制御するための PWM 入力 1。
16	nSCS	I	デジタル	シリアル チップ選択。このピンのロジック LOW により、シリアル インターフェイス通信が可能になります。内部プルアップ抵抗。
17	SDI	I	デジタル	シリアル データ入力。データは、SCLK ピンの立ち下がりエッジでキャプチャされます。内部プルダウン抵抗。
18	SDO	O	デジタル	シリアル データ出力。データは、SCLK ピンの立ち上がりエッジでシフトアウトされます。プッシュプル出力。
19	SCLK	I	デジタル	シリアル クロック入力。シリアル データは、このピンの対応する立ち上がりおよび立ち下がりエッジでシフトアウトおよびキャプチャされます。内部プルダウン抵抗。
20	IPROPI/PWM2	I/O	アナログ	センサ出力は、ドライバ負荷電流フィードバック、PVDD 電圧フィードバック、またはサーマル クラス温度フィードバックのいずれかから多重化されます。ハーフブリッジドライバの 2 番目の PWM ピン入力としても構成できます。
21	SO	O	アナログ	シャント アンプ出力。
22	DRVOFF	I	アナログ	ゲートドライバのシャットダウン パス。ハイサイドおよびローサイド両方のゲートドライバ出力をプルダウンするためのロジック High 信号。内部プルダウン抵抗。
23	nSLEEP	I	アナログ	デバイス イネーブル ピン。デバイスをシャットダウンし、スリープ モードに移行するロジック Low。内部プルダウン抵抗。
24	DVDD	I	電源	デバイスのロジック / デジタル出力電源入力。1.0μF、6.3V セラミック コンデンサを DVDD ピンと GND ピンの間に接続することを推奨します。
25	DGND	I/O	グラウンド	デバイスのグラウンド。システム グラウンドに接続。
26	NC	I/O	電源	予約済み。このピンは 10kΩ の抵抗を介して GND に接続します。
27	NC	O	アナログ	予約済み。
28	NC	I	アナログ	予約済み。
29	NC	O	アナログ	予約済み。
30	SN	I	アナログ	アンプのマイナス入力。シャント抵抗のマイナス端子に接続します。シャントアンプの入力に、追加のフィルタリングを行うことは推奨されません。
31	SP	I	アナログ	アンプのプラス入力。シャント抵抗のプラス端子に接続します。シャントアンプの入力に、追加のフィルタリングを行うことは推奨されません。
32	GH2	O	アナログ	ハイサイド ゲートドライバ出力。ハイサイド MOSFET のゲートに接続します。
33	SH2	I	アナログ	ハイサイド ソース センス入力。ハイサイド MOSFET ソースに接続します。
34	GL2	O	アナログ	ローサイド ゲートドライバ出力。ローサイド MOSFET のゲートに接続します。
35	SL	I	アナログ	ローサイド MOSFET ゲートドライブ センス機能とパワー リターン。ローサイド MOSFET グラウンドリターンへの低インピーダンス パスにより、システム グラウンドに接続します。
36	GL1	O	アナログ	ローサイド ゲートドライバ出力。ローサイド MOSFET のゲートに接続します。
37	SH1	I	アナログ	ハイサイド ソース センス入力。ハイサイド MOSFET ソースに接続します。
38	GH1	O	電源	ハイサイド ゲートドライバ出力。ハイサイド MOSFET のゲートに接続します。
39	OUT12	O	電源	1.2Ω ハイサイドドライバ出力 12。ローサイド負荷に接続します。
40	OUT11	O	電源	1.2Ω ハイサイドドライバ出力 11。EC 駆動用の SC 保護スイッチとして構成できます。ローサイド負荷に接続します。
41	OUT10	O	電源	1.2Ω ハイサイドドライバ出力 10。ローサイド負荷に接続します。

表 5-1. ピンの機能 (続き)

ピン		I/O ⁽¹⁾	タイプ	説明
番号	名称			
42	OUT9	O	電源	1.2Ω ハイサイドドライバ出力 9。ローサイド負荷に接続します。
43	OUT8	O	電源	1.2Ω ハイサイドドライバ出力 8。ローサイド負荷に接続します。
44	OUT7	O	電源	構成可能な $R_{DS(on)}$ (400mΩ/1200mΩ) を搭載したハイサイドドライバ出力。ローサイド負荷に接続します。
45	PVDD	I	電源	デバイスドライバ電源入力。ブリッジ電源に接続します。PVDD ピンと GND ピンの間に 0.1μF の PVDD 定格セラミックコンデンサと 10μF 以上のローカル バルク容量を接続します。
46	OUT6	O	電源	185mΩ ハーフ ブリッジ出力 6。
47	PGND	I/O	グランド	デバイスのグランド。システム グランドに接続。
48	OUT3	O	電源	440mΩ ハーフ ブリッジ出力 3。

(1) I = 入力、O = 出力

6 仕様

6.1 絶対最大定格

動作温度範囲外 (特に記述のない限り)⁽¹⁾

		最小値	最大値	単位
電源ピン電圧	PVDD	-0.3	40	V
電源過渡電圧ランブ	PVDD		2	V/μs
デジタル ロジック電源電圧ランブ	DVDD		2	V/μs
グランド ピン間の電圧差	GND、PGND	-0.3	0.3	V
チャージ ポンプ ピン電圧	VCP	-0.3	PVDD + 15	V
チャージ ポンプ ハイサイド ピン電圧	CP1H	$V_{PVDD} - 0.3$	$V_{VCP} + 0.3$	V
チャージ ポンプ ハイサイド ピン電圧	CP2H	$V_{PVDD} - 0.6$	$V_{VCP} + 0.3$	V
チャージ ポンプ ローサイド ピン電圧	CP1L、CP2L	-0.3	$V_{PVDD} + 0.3$	V
デジタル レギュレータ ピン電圧	DVDD	-0.3	5.75	V
ロジック ピン電圧	GD_INx、PWM1、IPROPI/PWM2、 DRVOFF、nSLEEP、SCLK、SDI、nSCS	-0.3	5.75	V
出力ロジック ピン電圧	SDO	-0.3	$V_{DVDD} + 0.3$	V
出力ピン電圧	OUT1-OUT12	-0.3	$V_{PVDD} + 0.9$	V
出力電流	OUT1-OUT12	内部的に制限	内部的に制限	A
ハイサイド ドライバおよびソース ピンの最大エネルギー消費、 $T_J = 25\text{ }^{\circ}\text{C}$ 、 $L_{LOAD} < 100\mu\text{H}$	OUT7-OUT12	-	1	mJ
ハイサイド ゲートドライブ ピン電圧	GHx ⁽²⁾	-2	$V_{VCP} + 0.3$	V
過渡 1μs ハイサイド ゲートドライブ ピン電圧	GHx ⁽²⁾	-5	$V_{VCP} + 0.3$	V
SHx を基準とするハイサイド ゲートドライブ ピン電圧	GHx ⁽²⁾	-0.3	13.5	V
ハイサイド センス ピン電圧	SHx ⁽²⁾	-2	40	V
過渡 1μs ハイサイド センス ピン電圧	SHx ⁽²⁾	-5	40	V
ローサイド ゲートドライブ ピン電圧	GLx ⁽²⁾	-2	13.5	V
過渡 1μs ローサイド ゲートドライブ ピン電圧	GLx ⁽²⁾	-3	13.5	V
SL を基準とするローサイド ゲートドライブ ピン電圧	GLx ⁽²⁾	-0.3	13.5	V
ローサイド センス ピン電圧	SL ⁽²⁾	-2	2	V
過渡 1μs のローサイド センス ピン電圧	SL ⁽²⁾	-3	3	V
ゲート駆動電流	GHx、GLx	内部的に制限	内部的に制限	A
アンプ入力ピン電圧	SN、SP	-2	$V_{VCP} + 0.3$	V
過渡 1μs アンプ入力ピン電圧	SN、SP	-5	$V_{VCP} + 0.3$	V
アンプ入力差動電圧	SN、SP	-5.75	5.75	V
アンプ出力ピン電圧	SO	-0.3	$V_{DVDD} + 0.3$	V
周囲温度、 T_A		-40	125	$^{\circ}\text{C}$
接合部温度、 T_J		-40	150	$^{\circ}\text{C}$
保管温度、 T_{stg}		-65	150	$^{\circ}\text{C}$

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) GHx、SHx、GLx、または SL に対する PVDD は 40V を超えないようにします。PVDD が 35V を超える場合、GHx、SHx、GLx、および SL の負電圧は、この定格を超えないように制限しなければなりません。PVDD が 35V 未満の場合、GHx、SHx、GLx、SL の完全な負定格が利用可能です。

6.2 ESD 定格 (車載機器)

				値	単位
V _(ESD)	静電放電	人体モデル (HBM)、AEC Q100-002 HBM ESD (1)分 類レベル 2 準拠	PVDD、OUT1~OUT12、GND	±4000	V
			その他のすべてのピン	±2000	V
		荷電デバイス モデル (CDM)、AEC Q100-011 CDM ESD 分類レベル C4B 準拠	角のピン	±750	
			その他のピン	±500	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

6.3 推奨動作条件

動作温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
V_{PVDD}	電源電圧	PVDD	5		35	V
I_{HS} (1)	ハイサイド平均ゲートドライブ電流	GHx	0		15	mA
I_{LS} (1)	ローサイド平均ゲートドライブ電流	GLx	0		15	mA
V_{DVDD}	ロジック入力電圧	DVDD	3.1		5.5	V
V_{DIN}	デジタル入力電圧	GD_INx, PWM1、IPROPI/PWM2、DRVOFF、SO、SCLK、SDI	0		5.5	V
I_{DOUT}	デジタル出力電流	SDO	0		5	mA
f_{PWM}	入力 PWM 周波数	PWM1、IPROPI/PWM2	0		25	kHz
V_{IPROPI}	$V_{PVDD} < 7\text{ V}$ のアナログ出力電圧	IPROPI (IPROPI/PWM2 ピン)	0		5.2	V
V_{IPROPI}	$V_{PVDD} < 7\text{ V}$ のアナログ出力電圧	IPROPI (IPROPI/PWM2 ピン)	0		$V_{PVDD} - 1.8$	V
I_{SO}	シャント アンプ出力電流	SO	0		5	mA
T_A	動作時の周囲温度		-40		125	°C
T_J	動作時接合部温度		-40		150	°C

(1) 消費電力および温度の制限に従う必要があります。

6.4 熱に関する情報 (RGZ パッケージ)

熱評価基準(1)			RGZ パッケージ	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗		23.3	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗		11.7	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗		7.0	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ		0.1	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ		7.0	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗		1.3	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

6.5 電気的特性

$5\text{ V} \leq V_{PVDD} \leq 35\text{ V}$ 、 $3.1\text{ V} \leq V_{DVDD} \leq 5.5\text{ V}$ 、 $-40^\circ\text{C} \leq T_J \leq 150^\circ\text{C}$ (特に記述のない限り)。標準的な制限は、 $V_{PVDD} = 13.5\text{ V}$ 、 $V_{DVDD} = 5\text{ V}$ および $T_J = 25^\circ\text{C}$ に対して適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源 (DVDD、VCP、PVDD)						
IPVDDQ	PVDD スリープ モード電流	VPVDD = 13.5V、nSLEEP = 0V -40 ≤ TJ ≤ 85°C		3.5	5.5	μA

5V ≤ V_{PVDD} ≤ 35V, 3.1V ≤ V_{DVDD} ≤ 5.5V, -40°C ≤ T_J ≤ 150°C (特に記述のない限り)。標準的な制限は、V_{PVDD} = 13.5V、V_{DVDD} = 5 V および T_J = 25°C に対して適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I _{DVDDQ}	DVDD スリープ モード電流	V _{PVDD} = 13.5V, nSLEEP = 0V -40 ≤ T _J ≤ 85°C		3	4	μA
I _{PVDD}	PVDD アクティブ モード電流	V _{PVDD} = 13.5, nSLEEP = V _{DVDD}		8.7	14.5	mA
I _{PVDD}	PVDD アクティブモード電流、低減オプション。	V _{PVDD} = 13.5, nSLEEP = V _{DVDD} 、ダブラモードのチャージポンプ。		7	11.5	mA
I _{DVDD}	DVDD アクティブ モード電流	SDO = 0V		5	8.5	mA
I _{DVDD}	DVDD アクティブモード電流、低減オプション	SDO = 0 V、ダブラモードのチャージポンプ。		3.3	7	mA
I _{PVDD_CP_DIS}	PVDD チャージ ポンプ無効モード電流	V _{PVDD} = 13.5V, DIS_CP = 1, EN_GD = 0, OUTx_EN = 0		1.2	4.5	mA
I _{DVDD_CP_DIS}	DVDD チャージ ポンプ無効モード電流	V _{PVDD} = 13.5V, DIS_CP = 1, EN_GD = 0, OUTx_EN = 0		3.4	8.5	mA
t _{WAKE}	ターンオン時間	nSLEEP = V _{DVDD} でアクティブ モード		670	850	μs
t _{SLEEP}	ターンオフ時間	nSLEEP = 0V でスリープ モード			1	ms
t _{DRVOFF_FLT R}	DRVOFF 信号がアサートされるまでのフィルタ時間	DRVOFF = 0V ~ V _{DVDD}		15		μs
f _{VDD}	デジタル発信器のスイッチング周波数	拡散スペクトラムの 1 次周波数	12.83	14.25	15.68	MHz
f _{VDD}	デジタル発振器のスペクトラム拡散範囲	主要周波数のセンタースプレッド	-7		7	%
V _{VCP}	PVDD を基準とするチャージ ポンプ レギュレータ電圧	V _{PVDD} ≥ 9V, I _{VCP} ≤ 20mA	9.5	10.5	12.5	V
V _{VCP}	PVDD を基準とするチャージ ポンプ レギュレータ電圧	V _{PVDD} = 7V, I _{VCP} ≤ 15mA	8.5	9	12	V
V _{VCP}	PVDD を基準とするチャージ ポンプ レギュレータ電圧	V _{PVDD} = 5V, I _{VCP} ≤ 12mA	6.8	7.5	11	V
t _{CP_tran}	ダブラモードとトリプラモード間のチャージポンプ遷移時間				300	μs
t _{CP_EN}	イネーブルコマンド後のチャージポンプのターンオン時間。初期化を含みます。			500	550	μs
I _{VCP_LIM}	チャージ ポンプの出力電流制限	V _{PVDD} = 13.5V, C _{FLY1} = C _{FLY2} = 100nF、C _{VCP} = 1 μF、チャージポンプ起動時の突入電流			500	mA
f _{VCP}	チャージ ポンプのスイッチング周波数	拡散スペクトラムの 1 次周波数		400		kHz
論理レベル入力 (INx, nSLEEP, SCLK, SDI, など)						
V _{IL}	入力ロジック Low 電圧	DRVOFF, GD_INx, PWM1, IPROPI/PWM2, nSLEEP, SCLK, SDI	0.3		V _{DVDD} × 0.3	V
V _{IH}	入力ロジック High 電圧	DRVOFF, GD_INx, PWM1, IPROPI/PWM2, nSLEEP, SCLK, SDI	V _{DVDD} × 0.7		5.5	V
V _{HYS}	入力ヒステシス	DRVOFF, GD_INx, PWM1, IPROPI/PWM2, nSLEEP, SCLK, SDI		V _{DVDD} × 0.15		V
I _{IL}	入力ロジック Low 電流	V _{DIN} = 0V, DRVOFF, GD_INx, PWM1, IPROPI/PWM2, nSLEEP, SCLK, SDI	-5		5	μA
I _{IL}	入力ロジック Low 電流	V _{DIN} = 0V, nSCS		25	50	μA
I _{IH}	入力ロジック High 電流	V _{DIN} = V _{DVDD} , nSCS	-5		5	μA
I _{IH}	入力ロジック High 電流	V _{DIN} = V _{DVDD} , DRVOFF, GD_INx, PWM1, IPROPI/PWM2, nSLEEP, SCLK, SDI		25	50	μA
R _{PD}	入力プルダウン抵抗	GND, DRVOFF, GD_INx, PWM1, IPROPI/PWM2, nSLEEP, SCLK, SDI へ	140	200	260	kΩ

5V ≤ V_{PVDD} ≤ 35V、3.1V ≤ V_{DVDD} ≤ 5.5V、-40°C ≤ T_J ≤ 150°C (特に記述のない限り)。標準的な制限は、V_{PVDD} = 13.5V、V_{DVDD} = 5 V および T_J = 25°C に対して適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
R _{PU}	入力プルアップ抵抗	DVDD、nSCS へ接続	140	200	265	kΩ
プッシュプル出力 SDO						
V _{OL}	出力ロジック Low 電圧	I _{OD} = 5mA	0.5			V
V _{OH}	ロジック High 出力電圧	I _{OD} = −5mA、SDO	DVDD x 0.8			V
ゲートドライバ (GHx、GLx、SHx、SL)						
V _{GHx_L}	GHx Low レベル出力電圧	I _{DRVN_HS} = I _{STRONG} 、I _{GHx} = 1mA、GHx〜SHx	0	0.25		V
V _{GLx_L}	GLx Low レベル出力電圧	I _{DRVN_LS} = I _{STRONG} 、I _{GLx} = 1mA、GLx〜SL	0	0.25		V
V _{GHx_H}	GHx High レベル出力電圧	I _{DRVP_HS} = I _{HOLD} 、I _{GHx} = 1mA、VCP〜GHx	0	0.25		V
V _{GLx_H}	GLx High レベル出力電圧	I _{DRVP_LS} = I _{HOLD} 、I _{GLx} = 1mA、10.5V ≤ V _{PVDD} ≤ V _{PVDD_OV} 、GLx〜SL。V _{PVDD} > V _{PVDD_OV} の場合、ゲートドライバはオフになります	9.35	10.5	12.5	V
I _{DRVP}	ピークゲート電流 (ソース:供給)	I _{DRVP_x} = 0000b、V _{GSx} = 3V、V _{PVDD} ≥ 7V	0.2	0.5	0.83	mA
		I _{DRVP_x} = 0001b、V _{GSx} = 3V、V _{PVDD} ≥ 7V	0.5	1	1.6	mA
		I _{DRVP_x} = 0010b、V _{GSx} = 3V、V _{PVDD} ≥ 7V	1.3	2	2.8	mA
		I _{DRVP_x} = 0011b、V _{GSx} = 3V、V _{PVDD} ≥ 7V	2.1	3	4	mA
		I _{DRVP_x} = 0100b、V _{GSx} = 3V、V _{PVDD} ≥ 7V	2.9	4	5.3	mA
		I _{DRVP_x} = 0101b、V _{GSx} = 3V、V _{PVDD} ≥ 7V	3.7	5	6.45	mA
		I _{DRVP_x} = 0110b、V _{GSx} = 3V、V _{PVDD} ≥ 7V	4.45	6	7.65	mA
		I _{DRVP_x} = 0111b、V _{GSx} = 3V、V _{PVDD} ≥ 7V	5.5	7	9	mA
		I _{DRVP_x} = 1000b、V _{GSx} = 3V、V _{PVDD} ≥ 7V	5.6	8	10.2	mA
		I _{DRVP_x} = 1001b、V _{GSx} = 3V、V _{PVDD} ≥ 7V	8.8	12	15.2	mA
		I _{DRVP_x} = 1010b、V _{GSx} = 3V、V _{PVDD} ≥ 7V	11.6	16	20.4	mA
		I _{DRVP_x} = 1011b、V _{GSx} = 3V、V _{PVDD} ≥ 7V	16	20	25.4	mA
		I _{DRVP_x} = 1100b、V _{GSx} = 3V、V _{PVDD} ≥ 7V	17.6	24	30.4	mA
		I _{DRVP_x} = 1101b、V _{GSx} = 3V、V _{PVDD} ≥ 7V	24	31	40	mA
		I _{DRVP_x} = 1110b、V _{GSx} = 3V、V _{PVDD} ≥ 7V	28	48	62	mA
		I _{DRVP_x} = 1111b、V _{GSx} = 3V、V _{PVDD} ≥ 7V	46	62	78	mA

5V ≤ V_{PVDD} ≤ 35V, 3.1V ≤ V_{DVDD} ≤ 5.5V, -40°C ≤ T_J ≤ 150°C (特に記述のない限り)。標準的な制限は、V_{PVDD} = 13.5V、V_{DVDD} = 5 V および T_J = 25°C に対して適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I _{DRVN}	ピーク ゲート電流 (シンク)	IDRVN_x = 0000b, V _{GSx} = 3V, V _{PVDD} ≥ 7V	0.07	0.5	0.85	mA
		IDRVN_x = 0001b, V _{GSx} = 3V, V _{PVDD} ≥ 7V	0.23	1	1.7	mA
		IDRVN_x = 0010b, V _{GSx} = 3V, V _{PVDD} ≥ 7V	0.7	2	3.2	mA
		IDRVN_x = 0011b, V _{GSx} = 3V, V _{PVDD} ≥ 7V	1.2	3	4.6	mA
		IDRVN_x = 0100b, V _{GSx} = 3V, V _{PVDD} ≥ 7V	1.75	4	5.9	mA
		IDRVN_x = 0101b, V _{GSx} = 3V, V _{PVDD} ≥ 7V	2.4	5	7.2	mA
		IDRVN_x = 0110b, V _{GSx} = 3V, V _{PVDD} ≥ 7V	3	6	8.5	mA
		IDRVN_x = 0111b, V _{GSx} = 3V, V _{PVDD} ≥ 7V	3.6	7	9.8	mA
		IDRVN_x = 1000b, V _{GSx} = 3V, V _{PVDD} ≥ 7V	4.3	8	11	mA
		IDRVN_x = 1001b, V _{GSx} = 3V, V _{PVDD} ≥ 7V	7.3	12	16	mA
		IDRVN_x = 1010b, V _{GSx} = 3V, V _{PVDD} ≥ 7V	10.6	16	20.4	mA
		IDRVN_x = 1011b, V _{GSx} = 3V, V _{PVDD} ≥ 7V	14	20	25.3	mA
		IDRVN_x = 1100b, V _{GSx} = 3V, V _{PVDD} ≥ 7V	17.8	24	30.2	mA
		IDRVN_x = 1101b, V _{GSx} = 3V, V _{PVDD} ≥ 7V	23.8	31	40.2	mA
		IDRVN_x = 1110b, V _{GSx} = 3V, V _{PVDD} ≥ 7V	27	48	63	mA
		IDRVN_x = 1111b, V _{GSx} = 3V, V _{PVDD} ≥ 7V	45	62	79	mA
I _{HOLD}	ゲート プルアップ ホールド電流	ゲート ホールド ソース電流、V _{GSx} = 3V	5	16	30	mA
I _{STRONG}	ゲート プルダウン 強電流	V _{GSx} = 3V, I _{DRV} = 0.5 ~ 12mA	30	62	100	mA
I _{STRONG}	ゲート プルダウン 強電流	V _{GSx} = 3V, I _{DRV} = 16 ~ 62mA	45	128	200	mA
R _{PDSA_LS}	ローサイド セミアクティブゲートプルダウン	GLx ~ SL, V _{GSx} = 3V		1.8		kΩ
R _{PDSA_LS}	ローサイド セミアクティブゲートプルダウン	GLx ~ SL, V _{GSx} = 1V		5		kΩ
R _{PD_HS}	ハイサイド パッシブ ゲートプルダウン抵抗	GHx ~ SHx		150		kΩ
R _{PD_LS}	ローサイド パッシブ ゲートプルダウン抵抗	GLx ~ SL		150		kΩ
I _{SHx}	スイッチ ノード センス リーク電流	SHx へ流入、SHx = PVDD ≤ 28 V GHx – SHx = 0V, nSLEEP = 0V	-5	0	20	μA
ゲートドライバ タイミング (GHx, GLx)						
t _{PDR_LS}	ローサイド立ち上がり伝搬遅延	GLx への入力立ち上がり		300	850	ns
t _{PDF_LS}	ローサイド立ち下がり伝搬遅延	GLx への入力立ち下がり		300	600	ns
t _{PDR_HS}	ハイサイド立ち上がり伝搬遅延	GHx への入力立ち上がり		300	600	ns
t _{PDF_HS}	ハイサイド立ち下がり伝搬遅延	GHx への入力立ち上がり		300	600	ns

5V ≤ V_{PVDD} ≤ 35V、3.1V ≤ V_{DVDD} ≤ 5.5V、-40°C ≤ T_J ≤ 150°C (特に記述のない限り)。標準的な制限は、V_{PVDD} = 13.5V、V_{DVDD} = 5 V および T_J = 25°C に対して適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位	
t _{DEAD}	内部ハンドシェイク デッドタイム	GLx/GHx 10% 立ち下がりがりから GHx/GLx 10%立ち上がり	350			ns	
t _{DEAD_D}	挿入可能なデジタル デッドタイム	VGS_TDEAD = 00b、ハンドシェイクのみ	0			μs	
		VGS_TDEAD = 01b	1.6	2	2.4	μs	
		VGS_TDEAD = 10b	3.4	4	4.6	μs	
		VGS_TDEAD = 11b	6	8	10	μs	
電流シャント アンプ (SN、SO、SP)							
V _{COM}	コモン モード入力範囲		-2	V _{PVDD} + 2		V	
G _{CSA}	検出アンプのゲイン	CSA_GAIN = 00b	9.75	10	10.25	V/V	
		CSA_GAIN = 01b	19.5	20	20.5	V/V	
		CSA_GAIN = 10b	38.8	40	41.2	V/V	
		CSA_GAIN = 11b	77.6	80	82.4	V/V	
t _{SET}	±1% までのセンス アンプ セットリング タイム	V _{SO_STEP} = 1.5V、G _{CSA} = 10V/V C _{SO} = 60pF	2.2			μs	
		V _{SO_STEP} = 1.5V、G _{CSA} = 20V/V C _{SO} = 60pF	2.2			μs	
		V _{SO_STEP} = 1.5V、G _{CSA} = 40V/V C _{SO} = 60pF	2.2			μs	
		V _{SO_STEP} = 1.5V、G _{CSA} = 80V/V C _{SO} = 60pF	3			μs	
t _{BLK_CSA}	センスアンプ出力ブランキング時間 (ゲートドライバ TDRIVE の %)	CSA_BLK = 000b	0			%	
		CSA_BLK = 001b	25			%	
		CSA_BLK = 010b	37.5			%	
		CSA_BLK = 011b	50			%	
		CSA_BLK = 100b	62.5			%	
		CSA_BLK = 101b	75			%	
		CSA_BLK = 110b	87.5			%	
		CSA_BLK = 111b	100			%	
t _{SLEW_CSA}	出力スルーレート	C _{SO} = 60pF	2.5			V/μs	
V _{BIAS}	出力電圧バイアス	V _{SPx} = V _{SNx} = 0V、CSA_DIV = 0b	V _{DVDD} / 2			V	
		V _{SPx} = V _{SNx} = 0V、CSA_DIV = 1b	V _{DVDD} / 8			V	
V _{LINEAR}	リニア出力電圧範囲	V _{DVDD} = 3.3V = 5V	0.25	V _{DVDD} - 0.25		V	
V _{OFF}	入力オフセット電圧	V _{SPx} = V _{SNx} = 0V、T _J = 25°C	-1	1			mV
V _{OFF_D}	入力オフセット電圧ドリフト	V _{SPx} = V _{SNx} = 0V	±10			±25	μ V/°C
I _{BIAS}	入力バイアス電流	V _{SPx} = V _{SNx} = 0V				100	μA
I _{BIAS_OFF}	入力バイアス電流オフセット	I _{SPx} - I _{SNx}				100	μA
CMRR	同相除去比	DC、-40 ≤ T _J ≤ 125°C	72	90			dB
		DC、-40 ≤ T _J ≤ 150°C	69	90			dB
		20kHz	80				dB
PSRR	電源除去比	PVDD～SOx、DC	100				dB
		PVDD～SOx、20kHz	90				dB
		PVDD～SOx、400kHz	70				dB
ゲートドライバ保護回路							

$5V \leq V_{PVDD} \leq 35V$ 、 $3.1V \leq V_{DVDD} \leq 5.5V$ 、 $-40^{\circ}C \leq T_J \leq 150^{\circ}C$ (特に記述のない限り)。標準的な制限は、 $V_{PVDD} = 13.5V$ 、 $V_{DVDD} = 5V$ および $T_J = 25^{\circ}C$ に対して適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{CP_UV}	チャージポンプ低電圧スレッシュホールド	$V_{VCP} - V_{PVDD}$ 、 V_{VCP} 立ち下がり $V_{CP_UV_MODE} = 0b$	4	4.75	5.5	V
		$V_{VCP} - V_{PVDD}$ 、 V_{VCP} 立ち下がり $V_{CP_UV_MODE} = 1b$	5.5	6.25	7	V
$t_{CP_UV_DG}$	チャージポンプ低電圧グリッチ除去時間		8	10	12.75	μs
V_{CP_SO}	チャージポンプのトリプラからダブルへの切り替えスレッシュホールド	V_{PVDD} 立ち上がり	17.75	18.75	19.75	V
V_{CP_SO}	チャージポンプのトリプラからダブルへの切り替えスレッシュホールド	V_{PVDD} 立ち下がり	16.75	17.75	18.75	V
$t_{CP_SO_HYS}$	チャージポンプのトリプラからダブルへのスレッシュホールドヒステリシス			1.15		V
$t_{CP_SO_DG}$	チャージポンプのトリプラからダブルへの切り替えスレッシュホールドグリッチ除去		8	10	12.75	μs
V_{GS_CLP}	ハイスайдドライバ V_{GS} 保護クランプ		12.5	15	17	V
V_{GS_LVL}	ゲート電圧監視スレッシュホールド	$V_{GHx} - V_{SHx}$ 、 $V_{GLx} - V_{PGND}$ 、 $V_{GS_LVL} = 0b$	1.1	1.4	1.75	V
		$V_{GHx} - V_{SHx}$ 、 $V_{GLx} - V_{PGND}$ 、 $V_{GS_LVL} = 1b$	0.75	1	1.2	V
$t_{GS_FLT_DG}$	V_{GS} 障害監視グリッチ除去時間		1.5	2	2.75	μs
$t_{GS_HS_DG}$	V_{GS} ハンドシェイク監視グリッチ除去時間			210		ns
t_{DRIVE}	V_{GS} および V_{DS} 監視ブランキング時間	$V_{GS_TDRV} = 000b$	1.5	2	2.5	μs
		$V_{GS_TDRV} = 001b$	3.25	4	4.75	μs
		$V_{GS_TDRV} = 010b$	6	8	10	μs
		$V_{GS_TDRV} = 011b$	10	12	14	μs
		$V_{GS_TDRV} = 100b$	14	16	18	μs
		$V_{GS_TDRV} = 101b$	20	24	28	μs
		$V_{GS_TDRV} = 110b$	28	32	36	μs
		$V_{GS_TDRV} = 111b$	80	96	120	μs

$5V \leq V_{PVDD} \leq 35V$ 、 $3.1V \leq V_{DVDD} \leq 5.5V$ 、 $-40^{\circ}C \leq T_J \leq 150^{\circ}C$ (特に記述のない限り)。標準的な制限は、 $V_{PVDD} = 13.5V$ 、 $V_{DVDD} = 5V$ および $T_J = 25^{\circ}C$ に対して適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
V _{DS_LVL}	V _{DS} 過電流保護スレッショルド (DRV800x-Q1 独立ハーフブリッジモード)	VDS_LVL_x = 0000b, BRG_MODE = 00b	0.050	0.062	0.074	V
		VDS_LVL_x = 0001b, BRG_MODE = 00b	0.070	0.084	0.098	V
		VDS_LVL_x = 0010b, BRG_MODE = 00b	0.089	0.105	0.123	V
		VDS_LVL_x = 0011b, BRG_MODE = 00b	0.108	0.127	0.147	V
		VDS_LVL_x = 0100b, BRG_MODE = 00b	0.128	0.148	0.170	V
		VDS_LVL_x = 0101b, BRG_MODE = 00b	0.147	0.169	0.195	V
		VDS_LVL_x = 0110b, BRG_MODE = 00b	0.166	0.191	0.218	V
		VDS_LVL_x = 0111b, BRG_MODE = 00b	0.185	0.212	0.243	V
		VDS_LVL_x = 1000b, BRG_MODE = 00b	0.278	0.318	0.363	V
		VDS_LVL_x = 1001b, BRG_MODE = 00b	0.372	0.425	0.483	V
		VDS_LVL_x = 1010b, BRG_MODE = 00b	0.466	0.532	0.605	V
		VDS_LVL_x = 1011b, BRG_MODE = 00b	0.562	0.638	0.725	V
		VDS_LVL_x = 1100b, BRG_MODE = 00b	0.655	0.745	0.847	V
		VDS_LVL_x = 1101b, BRG_MODE = 00b	0.942	1.066	1.208	V
		VDS_LVL_x = 1110b, BRG_MODE = 00b	1.322	1.494	1.692	V
		VDS_LVL_x = 1111b, BRG_MODE = 00b	1.890	2.132	2.411	V
V _{DS_LVL}	V _{DS} 過電流保護スレッショルド (DRV800x-Q1 H ブリッジモード、 VDS_LVLx 設定に対応、DRV800xE-Q1 すべてのモード)	VDS_LVL_x = 0000b	0.051	0.06	0.069	V
		VDS_LVL_x = 0001b	0.068	0.08	0.092	V
		VDS_LVL_x = 0010b	0.085	0.10	0.115	V
		VDS_LVL_x = 0011b	0.102	0.12	0.138	V
		VDS_LVL_x = 0100b	0.119	0.14	0.161	V
		VDS_LVL_x = 0101b	0.136	0.16	0.184	V
		VDS_LVL_x = 0110b	0.153	0.18	0.207	V
		VDS_LVL_x = 0111b	0.17	0.2	0.23	V
		VDS_LVL_x = 1000b	0.255	0.3	0.345	V
		VDS_LVL_x = 1001b	0.35	0.4	0.45	V
		VDS_LVL_x = 1010b	0.44	0.5	0.56	V
		VDS_LVL_x = 1011b	0.52	0.6	0.68	V
		VDS_LVL_x = 1100b	0.61	0.7	0.79	V
		VDS_LVL_x = 1101b	0.88	1	1.12	V
		VDS_LVL_x = 1110b	1.2	1.4	1.6	V
		VDS_LVL_x = 1111b	1.75	2	2.25	V

$5V \leq V_{PVDD} \leq 35V$, $3.1V \leq V_{DVDD} \leq 5.5V$, $-40^{\circ}C \leq T_J \leq 150^{\circ}C$ (特に記述のない限り)。標準的な制限は、 $V_{PVDD} = 13.5V$ 、 $V_{DVDD} = 5V$ および $T_J = 25^{\circ}C$ に対して適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
t _{DS_DG}	V _{DS} 過電流保護グリッチ除去時間	V _{DS_DG} = 00b	0.75	1	1.5	μs
		V _{DS_DG} = 01b	1.5	2	2.5	μs
		V _{DS_DG} = 10b	3.25	4	4.75	μs
		V _{DS_DG} = 11b	6	8	10	μs
I _{OLD_PU}	オフライン診断用電流ソース	ブルアップ電流		3.5		mA
I _{OLD_PD}	オフライン診断用電流ソース	ブルダウン電流		4		mA
R _{OLD}	オフライン オープン負荷抵抗検出スレッシュヨ ルド	V _{DS_LVL} = 1.4V、5V≤V _{PVDD} ≤18V		22	50	kΩ
		V _{DS_LVL} = 1.4V、5V≤V _{PVDD} ≤37V		22	105	kΩ
		V _{DS_LVL} = 2V、5V≤V _{PVDD} ≤18V		10	25	kΩ
		V _{DS_LVL} = 2V、5V≤V _{PVDD} ≤37V		10	50	kΩ
ハーフブリッジドライバ						
R _{ON_OUT1,2_} HS	ハイサイド MOSFET オン抵抗	I _{OUT} = 1A、T _J = 25°C		775		mΩ
		I _{OUT} = 0.5A、T _J = 150°C			1480	mΩ
R _{ON_OUT1,2_} LS	ローサイド MOSFET オン抵抗	I _{OUT} = 1A、T _J = 25°C		765		mΩ
		I _{OUT} = 0.5A、T _J = 150°C			1460	mΩ
R _{ON_OUT3,4_} HS	ハイサイド MOSFET オン抵抗	I _{OUT} = 4A、T _J = 25°C		220		mΩ
		I _{OUT} = 2A、T _J = 150°C			450	mΩ
R _{ON_OUT3,4_} LS	ローサイド MOSFET オン抵抗	I _{OUT} = 4A、T _J = 25°C		220		mΩ
		I _{OUT} = 2A、T _J = 150°C			450	mΩ
R _{ON_OUT5_} HS	ハイサイド MOSFET オン抵抗	I _{OUT} = 8A、T _J = 25°C		80		mΩ
		I _{OUT} = 4A、T _J = 150°C			160	mΩ
R _{ON_OUT5_} LS	ローサイド MOSFET オン抵抗	I _{OUT} = 8A、T _J = 25°C		75		mΩ
		I _{OUT} = 4A、T _J = 150°C			150	mΩ
R _{ON_OUT6_} HS	ハイサイド MOSFET オン抵抗	I _{OUT} = 7A、T _J = 25°C		90		mΩ
R _{ON_OUT6_} HS	ハイサイド MOSFET オン抵抗	I _{OUT} = 3.5A、T _J = 150°C			180	mΩ
R _{ON_OUT6_} LS	ローサイド MOSFET オン抵抗	I _{OUT} = 7A、T _J = 25°C		95		mΩ
R _{ON_OUT6_} LS	ローサイド MOSFET オン抵抗	I _{OUT} = 3.5A、T _J = 150°C			190	mΩ
SR _{OUT_HB}	ハーフブリッジ OUTx の出力電圧の立ち 上がり/立ち下がり時間、10% ～ 90%	PVDD = 13.5V、OUTx_SR = 00b		1.6		V/μs
SR _{OUT_HB}	ハーフブリッジ OUTx の出力電圧の立ち 上がり/立ち下がり時間、10% ～ 90%	PVDD = 13.5V、OUTx_SR = 01b		13.5		V/μs
SR _{OUT_HB}	ハーフブリッジ OUTx の出力電圧の立ち 上がり/立ち下がり時間、10% ～ 90%	PVDD = 13.5V、OUTx_SR = 10b		24		V/μs
t _{PD_OUT_HB_} HS_R	HS における出力電圧上昇時の伝搬時間	ON コマンドまたは INx (SPI 最終遷移) から OUTx が 10% 電圧上昇に達するまでの時間 (任意の SR 設定時)	2		10	μs
t _{PD_OUT_HB_} HS_F	HS における出力電圧降下時の伝搬時間	ON コマンドまたは INx (SPI 最終遷移) から OUTx が 10% 電圧低下に達するまでの時間 (任意の SR 設定時)	1.5		11	μs
t _{PD_OUT_HB_} LS_R	LS における出力電圧上昇時の伝搬時間	ON コマンドまたは INx (SPI 最終遷移) から OUTx が 10% 電圧上昇に達するまでの時間 (任意の SR 設定時)	1.5		10	μs

5V ≤ V_{PVDD} ≤ 35V, 3.1V ≤ V_{DVDD} ≤ 5.5V, -40°C ≤ T_J ≤ 150°C (特に記述のない限り)。標準的な制限は、V_{PVDD} = 13.5V、V_{DVDD} = 5 V および T_J = 25°C に対して適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
t _{PD_OUT_HB_LS_F}	LS における出力電圧降下時の伝搬時間	ON コマンドまたは INx (SPI 最終遷移) から OUTx が 10% 電圧低下に達するまでの時間 (任意の SR 設定時)	1.5		10	μs
t _{DEAD_HS_ON}	HS における出力電圧上昇時のデッドタイム	PVDD = 13.5V、OUTx_ITRIP_LVL = 00b、すべての SR	1		6	μs
t _{DEAD_HS_OF_F}	HS における出力電圧降下時のデッドタイム	PVDD = 13.5V、OUTx_ITRIP_LVL = 00b、すべての SR	1		6	μs
t _{DEAD_LS_ON}	LS における出力電圧上昇時のデッドタイム	PVDD = 13.5V、OUTx_ITRIP_LVL = 00b、すべての SR	1		7	μs
t _{DEAD_LS_OF_F}	LS における出力電圧降下時のデッドタイム	PVDD = 13.5V、OUTx_ITRIP_LVL = 00b、すべての SR	1.7		14	μs
ハーフブリッジ保護回路						
I _{OCP_OUT1,2}	過電流保護スレッショルド		1.2		2.2	A
I _{OCP_OUT3,4}	過電流保護スレッショルド		4		8	A
I _{OCP_OUT5}	過電流保護スレッショルド		8		16	A
I _{OCP_OUT6}	過電流保護スレッショルド		7		13	A
t _{DG_OCP_HB}	ハーフブリッジドライバの過電流保護グリッチ除去時間	OUTX_OCP_DG = 00b	4.5	6	7.3	μs
		OUTX_OCP_DG = 01b	8	10	12	μs
		OUTX_OCP_DG = 10b	12	15	18	μs
		OUTX_OCP_DG = 11b	48	60	72	μs
I _{ITRIP_OUT1,2}	OUT1 および OUT2 に対する ITRIP レギュレーションのトリガーとなる電流スレッショルド	OUT1_ITRIP_LVL = 1b および OUT2_ITRIP_LVL = 1b	0.65		1.1	A
		OUT1_ITRIP_LVL = 0b および OUT2_ITRIP_LVL = 0b	0.5		0.9	A
I _{ITRIP_OUT3,4}	OUT3 および OUT4 に対する ITRIP レギュレーションのトリガーとなる電流スレッショルド	OUT3_ITRIP_LVL = 10b および OUT4_ITRIP_LVL = 10b	2.9		4.1	A
		OUT3_ITRIP_LVL = 01b および OUT4_ITRIP_LVL = 01b	1.6		3.25	A
		OUT3_ITRIP_LVL = 00b および OUT4_ITRIP_LVL = 00b	1		1.6	A
I _{ITRIP_OUT5}	OUT5 の ITRIP 制御をトリガする電流スレッショルド	OUT5_ITRIP_LVL = 10b	6.65		8.95	A
		OUT5_ITRIP_LVL = 01b	5.65		7.8	A
		OUT5_ITRIP_LVL = 00b	2.5		3.4	A
I _{ITRIP_OUT6}	OUT6 の ITRIP 制御をトリガする電流スレッショルド	OUT6_ITRIP_LVL = 10b	5.35		7.35	A
I _{ITRIP_OUT6}	OUT6 の ITRIP 制御をトリガする電流スレッショルド	OUT6_ITRIP_LVL = 01b	4.65		6.4	A
I _{ITRIP_OUT6}	OUT6 の ITRIP 制御をトリガする電流スレッショルド	OUT6_ITRIP_LVL = 00b	1.75		2.75	A
f _{ITRIP_HB}	ハーフブリッジドライバの ITRIP レギュレーションの固定周波数	OUTX_ITRIP_FREQ = 00b	17	20	23	kHz
		OUTX_ITRIP_FREQ = 01b	8	10	12	kHz
		OUTX_ITRIP_FREQ = 10b	4	5	6	kHz
		OUTX_ITRIP_FREQ = 11b	2	2.5	3	kHz
t _{DG_ITRIP_HB}	ハーフブリッジドライバの ITRIP レギュレーション グリッチ除去時間	OUTX_ITRIP_DG = 00b	1.5	2	2.5	μs
		OUTX_ITRIP_DG = 01b	4	5	6	μs
		OUTX_ITRIP_DG = 10b	8	10	12	μs
		OUTX_ITRIP_DG = 11b	16	20	24	μs

5V ≤ V_{PVDD} ≤ 35V、3.1V ≤ V_{DVDD} ≤ 5.5V、-40°C ≤ T_J ≤ 150°C (特に記述のない限り)。標準的な制限は、V_{PVDD} = 13.5V、V_{DVDD} = 5 V および T_J = 25°C に対して適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I _{OLA_OUT1,2}	ハーフブリッジ 1 および 2 の低電流スレッショルド		6	20	30	mA
I _{OLA_OUT3,4}	ハーフブリッジ 3 および 4 の低電流スレッショルド		15	50	90	mA
I _{OLA_OUT5}	ハーフブリッジ 5 の低電流スレッショルド		40	150	300	mA
I _{OLA_OUT6}	ハーフブリッジ 6 の低電流スレッショルド		30	120	240	mA
t _{OLA_HB}	ハーフブリッジ回路における開放負荷信号のフィルタ時間	ステータス ビットをセットするための開放負荷状態の継続時間		10		ms
A _{IPROP1,2}	OUT1 ~ 2 の電流スケーリング係数			650		A/A
A _{IPROP3,4}	OUT3 ~ 4 の電流スケーリング係数			1940		A/A
A _{IPROP5}	OUT5 の電流スケーリング係数			4000		A/A
A _{IPROP6}	OUT6 の電流スケーリング係数			3500		A/A
I _{ACC_1,2}	OUT1 ~ 2 の電流センス出力の精度	0.1A < I _{OUT1,2} < 0.25A	-15		15	%
		0.25A < I _{OUT1,2} < 0.5A	-10		10	%
		0.5A < I _{OUT1,2} < 1A	-8		8	%
I _{ACC_3,4}	OUT3 ~ 4 の電流センス出力の精度	0.1A < I _{OUT3,4} < 0.5A	-15		15	%
		0.5A < I _{OUT3,4} < 1A	-12		12	%
		1A < I _{OUT3,4} < 2A	-10		10	%
		2A < I _{OUT3,4} < 4A	-8.5		8.5	%
I _{ACC_5}	OUT5 の電流センス出力の精度	0.1A < I _{OUT5} < 0.8A	-40		40	%
I _{ACC_5}		0.8A < I _{OUT5} < 2A	-12		12	%
I _{ACC_5}		2A < I _{OUT5} < 4A	-10		10	%
I _{ACC_5}		4A < I _{OUT5} < 8A	-8		8	%
I _{ACC_6}	OUT6 の電流センス出力エラー	0.1A < I _{OUT6} < 0.8A	-40		40	%
I _{ACC_6}		0.8A < I _{OUT6} < 2A	-12		12	%
I _{ACC_6}		2A < I _{OUT6} < 4A	-10		10	%
I _{ACC_6}		4A < I _{OUT6} < 8A	-8		8	%
R _{S_GND}	OLP 動作中、OUTx から GND への抵抗スレッショルドをショートとして検出	V _{DVDD} = 5V、V _{OLP_REF} = 2.65V、OUTX_CNFG = 0b、HB_OLP_CNFG > 0b および HB_OLP_SEL > 0b	1		3	kΩ
R _{S_PVDD}	OLP 動作中、OUTx から PVDD への抵抗スレッショルドをショートとして検出	V _{PVDD} = 13.5V、V _{DVDD} = 5V、V _{OLP_REF} = 2.65V、OUTX_CNFG = 0b、HB_OLP_CNFG > 0b、HB_OLP_SEL > 0b	3		15	kΩ
R _{S_PVDD}	OLP 動作中、OUTx から PVDD への抵抗スレッショルドをショートとして検出	5V ≤ V _{PVDD} ≤ 35V、V _{DVDD} = 5V、V _{OLP_REF} = 2.65V、OUTX_CNFG = 0b、HB_OLP_CNFG > 0b、および HB_OLP_SEL > 0b	1		40	kΩ
R _{OPEN_HB}	OUTx の抵抗 スレッショルドを開放として検出	V _{DVDD} = 5V、V _{OLP_REF} = 2.65V、OUTX_CNFG = 0b、HB_OLP_CNFG > 0b および HB_OLP_SEL > 0b	35		1500	Ω
V _{OLP_REFH}	OLP コンパレータ基準電圧 High	OUTX_CNFG = 0b、HB_OLP_CNFG > 0b および HB_OLP_SEL > 0b		2.65		V
V _{OLP_REFL}	OLP コンパレータ基準電圧 Low	OUTX_CNFG = 0b、HB_OLP_CNFG > 0b および HB_OLP_SEL > 0b		2		V

5V ≤ V_{PVDD} ≤ 35V, 3.1V ≤ V_{DVDD} ≤ 5.5V, -40°C ≤ T_J ≤ 150°C (特に記述のない限り)。標準的な制限は、V_{PVDD} = 13.5V、V_{DVDD} = 5 V および T_J = 25°C に対して適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
R _{OLP_PU}	OLP 動作中の OUTx から VDD への内部 プルアップ抵抗	OUTX_CNFG = 0b, HB_OLP_CNFG > 0b および HB_OLP_SEL > 0b		1		kΩ
R _{OLP_PD}	OLP 動作中の OUTx から VDD への内部 プルダウン抵抗	OUTX_CNFG = 0b, HB_OLP_CNFG > 0b および HB_OLP_SEL > 0b		1		kΩ
ハイサイドドライバ						
R _{DS(on)} OUT7 (低 RDSON モ ード)	低抵抗モードにおけるハイサイド MOSFET のオン抵抗	T _J = 25°C, I _{OUT7} = ±0.5A		400		mΩ
		T _J = 150°C, I _{OUT7} = ±0.25A		730		mΩ
R _{DS(on)} OUT7 (高 RDSON モ ード)	高抵抗モードにおけるハイサイド MOSFET のオン抵抗	T _J = 25°C, I _{OUT8} = ±0.25A		1200		mΩ
		T _J = 150°C, I _{OUT8} = ±0.125A		2200		mΩ
R _{DS(on)} OUT8	ハイサイド MOSFET オン抵抗	T _J = 25°C, I _{OUT8} = ±0.25A		1200		mΩ
		T _J = 150°C, I _{OUT8} = ±0.125A		2200		mΩ
R _{DS(on)} OUT9	ハイサイド MOSFET オン抵抗	T _J = 25°C, I _{OUT9} = ±0.25A		1200		mΩ
		T _J = 150°C, I _{OUT9} = ±0.125A		2200		mΩ
R _{DS(on)} OUT10	ハイサイド MOSFET オン抵抗	T _J = 25°C, I _{OUT10} = ±0.25A		1200		mΩ
		T _J = 150°C, I _{OUT10} = ±0.125A		2200		mΩ
R _{DS(on)} OUT11	ハイサイド MOSFET オン抵抗	T _J = 25°C, I _{OUT11} = ±0.25A		1200		mΩ
		T _J = 150°C, I _{OUT11} = ±0.125A		2200		mΩ
R _{DS(on)} OUT12	ハイサイド MOSFET オン抵抗	T _J = 25°C, I _{OUT12} = ±0.25A		1200		mΩ
		T _J = 150°C, I _{OUT12} = ±0.125A		2200		mΩ
SR _{HS_OUT7_HI}	OUT7 の High R _{DS(on)} モードにおけるスル ーレート (最終的な OUT 値の 10 ~ 90%)	OUT7_RDSON_MODE = 0b, PVDD = 13.5V, Rload = 64 Ω		0.35		V/μs
SR _{HS_OUT7_LO}	OUT7 の Low R _{DS(on)} モードにおけるスル ーレート (最終的な OUT 値の 10 ~ 90%)	OUT7_RDSON_MODE = 1b, PVDD = 13.5V, Rload = 16 Ω		0.29		V/μs
SR _{HS}	OUT8 ~ OUT12 のスルーレート (最終的 な OUT 値の 10 ~ 90%)	PVDD = 13.5V, Rload 64 Ω		1.6		V/μs
t _{PD_OUT7_HI_ON}	OUT7 の High R _{DS(on)} モード におけるドライブ立ち上がり伝搬遅延時間 (ハイサイド ON コマンド間 (SPI 最終遷 移) から最終的な OUT7 値の 10% までの 遅延)	OUT7_RDSON_MODE = 0b, PVDD = 13.5V, Rload = 64 Ω		16		μs
t _{PD_OUT7_HI_OFF}	OUT7 の High R _{DS(on)} モード におけるドライブ立ち上がり伝搬遅延時間 (ハイサイド OFF コマンド間 (SPI 最終遷 移) から最終的な OUT7 値の 90% までの 遅延)	OUT7_RDSON_MODE = 0b, PVDD = 13.5V, Rload = 64 Ω		16		μs
t _{PD_OUT7_LO_ON}	OUT7 の Low R _{DS(on)} モードにおけるドライ バ立ち上がり伝搬遅延時間 (ハイサイド ON コマンド間 (SPI 最終遷移) から最終的な OUT7 値の 10% までの遅延)	OUT7_RDSON_MODE = 1b, PVDD = 13.5V, Rload = 16 Ω		19		μs
t _{PD_OUT7_LO_OFF}	OUT7 の Low R _{DS(on)} モード におけるドライブ立ち上がり伝搬遅延時間 (ハイサイド OFF コマンド間 (SPI 最終遷 移) から最終的な OUT7 値の 90% までの 遅延)	OUT7_RDSON_MODE = 1b, PVDD = 13.5V, Rload = 16 Ω		19		μs

5V ≤ V_{PVDD} ≤ 35V, 3.1V ≤ V_{DVDD} ≤ 5.5V, -40°C ≤ T_J ≤ 150°C (特に記述のない限り)。標準的な制限は、V_{PVDD} = 13.5V、V_{DVDD} = 5 V および T_J = 25°C に対して適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
t _{PD_HS_ON}	ハイサイドドライバ OUT8～OUT12 の立ち上がり伝播遅延時間ドライバ (ハイサイド ON コマンド (SPI 最終遷移) から最終 OUTx 値の 10% 到達までの遅延)	PVDD= 13.5V、Rload = 64 Ω		4		μs
t _{PD_HS_OFF}	ハイサイドドライバ OUT8～OUT12 の立ち下がり伝播遅延時間ドライバ (ハイサイド OFF コマンド (SPI 最終遷移) から最終 OUTx 値の 90% 到達までの遅延)	PVDD= 13.5V、Rload = 64 Ω		4		μs
f _{PWMx(00)}	PWM スwitchング周波数	PWM_OUTX_FREQ = 00b	78	108	138	Hz
f _{PWMx(01)}	PWM スwitchング周波数	PWM_OUTX_FREQ = 01b	157	217	277	Hz
f _{PWMx(10)}	PWM スwitchング周波数	PWM_OUTX_FREQ = 10b	229	289	359	Hz
f _{PWMx(11)}	PWM スwitchング周波数	PWM_OUTX_FREQ = 11b	374	434	494	Hz
I _{LEAK_H}	OUT7 ～ 12 のスイッチオフ出力電流ハイサイドドライバ	V _{OUT} = 0V、スタンバイ モード	-10			μA
ハイサイドドライバ保護回路						
I _{OC7}	高 RDSON モードでの過電流スレッシュホールド	OUT7_RDSON_MODE = 0b	500		1000	mA
	低 RDSON モードでの過電流スレッシュホールド	OUT7_RDSON_MODE = 1b	1500		3000	mA
I _{OC8} 、I _{OC9} 、I _{OC10} 、I _{OC11} 、I _{OC12}	OUT8 ～ OUT12 の過電流しきい値	OUTX_OC_TH = 0b	250		500	mA
		OUTX_OC_TH = 1b	500		1000	mA
I _{CCM_OUT7}	ハイサイドドライバ OUT7 の高 R _{DSON} における定電流レベル	OUT7_RDSON_MODE = 0b, OUT7_CCM_EN = 1b, OUT7_CCM_TO = 0b	180	250	330	mA
		OUT7_RDSON_MODE = 0b, OUT7_CCM_EN = 1b, OUT7_CCM_TO = 1b	240	330	420	mA
I _{CCM_OUT7}	ハイサイドドライバ OUT7 の低 R _{DSON} モードにおける定電流レベル	OUT7_RDSON_MODE = 1b, OUT7_CCM_EN = 1b, OUT7_CCM_TO = 0b	210	360	530	mA
I _{CCM_OUT7}	ハイサイドドライバ OUT7 の低 R _{DSON} モードにおける定電流レベル	OUT7_RDSON_MODE = 1b, OUT7_CCM_EN = 1b, OUT7_CCM_TO = 1b	250	450	650	mA
I _{CCM}	ハイサイドドライバ OUT8-12 の定電流レベル	OUTX_CCM_EN = 1b, OUTX_CCM_TO = 0b	240	350	450	mA
		OUTX_CCM_EN = 1b, OUTX_CCM_TO = 1b	320	450	580	mA
t _{CCMto}	定電流モードの時間満了	OUTX_CCM_EN = 1b	8	10	12	ms
V _{SC_DET}	OUT7-12 の短絡検出電圧			2		V
t _{SC_BLK}	OUT7-12 における短絡検出、ITRIP レギュレーション、過電流保護のためのブランク時間			40		μs
T _{HS_DG_OUT7}	OUT7 における短絡検出、ITRIP レギュレーション、過電流保護のためのグリッチ除去時間	OUT7_ITRIP_DG = 00b、PVDD ≤ 20V	39	48	59	μs
		OUT7_ITRIP_DG = 01b、PVDD ≤ 20V	32	40	48	μs
		OUT7_ITRIP_DG = 10b、PVDD ≤ 20V	26	32	38	μs
		OUT7_ITRIP_DG = 11b、PVDD ≤ 20V	19	24	29	μs
		PVDD > 20V	8	10	13	μs

$5V \leq V_{PVDD} \leq 35V$, $3.1V \leq V_{DVDD} \leq 5.5V$, $-40^{\circ}C \leq T_J \leq 150^{\circ}C$ (特に記述のない限り)。標準的な制限は、 $V_{PVDD} = 13.5V$ 、 $V_{DVDD} = 5V$ および $T_J = 25^{\circ}C$ に対して適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$f_{ITRIP_HS_OUT7}$	ハイサイドドライバ OUT7 の ITRIP 周波数	OUT7_ITRIP_FREQ = 00b		1.7		kHz
		OUT7_ITRIP_FREQ = 01b		2.2		kHz
		OUT7_ITRIP_FREQ = 10b		3		kHz
		OUT7_ITRIP_FREQ = 11b		4.4		kHz
$t_{HS_DG_OUTx}$	OUT8-12 における短絡検出、ITRIP レギュレーション、過電流保護のためのグリッチ除去時間	OUTX_ITRIP_DG = 00b, $PVDD \leq 20V$	39	48	59	μs
		OUTX_ITRIP_DG = 01b, $PVDD \leq 20V$	32	40	48	μs
		OUTX_ITRIP_DG = 10b, $PVDD \leq 20V$	26	32	38	μs
		OUTX_ITRIP_DG = 11b, $PVDD \leq 20V$	19	24	29	μs
		$PVDD > 20V$	8	10	13	μs
$f_{ITRIP_HS_OUTX}$	ハイサイドドライバ OUT8-12 の ITRIP 周波数	HS_OUT_ITRIP_FREQ = 00b		1.7		kHz
		HS_OUT_ITRIP_FREQ = 01b		2.2		kHz
		HS_OUT_ITRIP_FREQ = 10b		3		kHz
		HS_OUT_ITRIP_FREQ = 11b		4.4		kHz
I_{OLD7}	OUT7 の開放負荷スレッショルド	OUT7_RDSON_MODE = 1b	15		30	mA
	OUT7 の開放負荷スレッショルド	OUT7_RDSON_MODE = 0b	5		10	mA
$I_{OLD8}, I_{OLD9}, I_{OLD10}, I_{OLD11}, I_{OLD12}$	OUT8 ~ OUT12 の開放負荷スレッショルド	OUTX_OLA_TH = 0b	1.3		3.3	mA
		OUTX_OLA_TH = 1b	4		12	mA
t_{OLD_HS}	ハイサイドドライバの開放負荷信号のフィルタ時間	ステータスビットをセットするための開放負荷状態の継続時間		200	250	μs
$A_{IPROP17_HI}$	高オン抵抗モードでの OUT7 の電流スケール係数	OUT7_RDSON_MODE = 0b		250		A/A
$A_{IPROP17_LO}$	低オン抵抗モードでの OUT7 の電流スケール係数	OUT7_RDSON_MODE = 1b		750		A/A
$A_{IPROP18}, A_{IPROP19}, A_{IPROP10}, A_{IPROP11}, A_{IPROP12}$	OUT8 ~ 12 の電流スケール係数			250		A/A
$I_{ACC_7_HI_RDSON}$	高 R_DSON モードにおける OUT7 の電流センス出力精度	$0.1A < I_{OUT7} < 0.5A$	-18		18	%
$I_{ACC_7_HI_RDSON}$	高 R_DSON モードにおける OUT7 の電流センス出力精度	$I_{OUT7} = 0.25A$	-10		10	%
$I_{ACC_7_HI_RDSON}$	高 R_DSON モードにおける OUT7 の電流センス出力精度	$I_{OUT7} = 0.5A$	-9		9	%
$I_{ACC_7_LOW_RDSON}$	低 RDSON モードでの OUT7 の電流センス出力精度	$0.5A < I_{OUT7} < 1.5A$	-14		14	%
$I_{ACC_7_LOW_RDSON}$	低 RDSON モードでの OUT7 の電流センス出力精度	$I_{OUT7} = 1A$	-8		8	%
$I_{ACC_7_LOW_RDSON}$	低 RDSON モードでの OUT7 の電流センス出力精度	$I_{OUT7} = 1.5A$	-6		6	%
$I_{ACC_8-12_LO}$	低電流時の OUT8 ~ OUT12 の電流センス出力精度	$0.05A < I_{OUT8-12} < 0.1A$	-28		28	%
$I_{ACC_8-12_LO}$	低電流時の OUT8 ~ OUT12 の電流センス出力精度	$I_{OUT8-12} < 0.075A$	-20		20	%

5V ≤ V_{PVDD} ≤ 35V、3.1V ≤ V_{DVDD} ≤ 5.5V、-40°C ≤ T_J ≤ 150°C (特に記述のない限り)。標準的な制限は、V_{PVDD} = 13.5V、V_{DVDD} = 5 V および T_J = 25°C に対して適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I _{ACC_8-12_LO}	低電流時の OUT8 ～ OUT12 の電流センス出力精度	I _{OUT8-12} < 0.1A	-18		18	%
I _{ACC_8-12_HI}	高電流時の OUT8 ～ OUT12 の電流センス出力精度	0.1A < I _{OUT8-12} < 0.5A	-18		18	%
I _{ACC_8-12_HI}	高電流時の OUT8 ～ OUT12 の電流センス出力精度	I _{OUT8-12} = 0.25A	-10		10	%
I _{ACC_8-12_HI}	高電流時の OUT8 ～ OUT12 の電流センス出力精度	I _{OUT8-12} = 0.5A	-6		6	%
t _{IPROPI_BLK}	IPROPI ブランキング時間	OUT7-12 は IPROPI 準備完了時に High になり、ハイスайдドライバ電流を監視する場合にのみ適用されます		60		μs
		IPROPI マルチプレクサの IPROPI 準備完了への切り替え		5		μs
保護回路						
V _{PVDD_UV}	PVDD 低電圧スレッシュホールド	V _{PVDD} 立ち上がり	4.425	4.725	5	V
		V _{PVDD} 立ち下がり	4.225	4.525	4.8	V
V _{PVDD_UV_HYS}	PVDD 低電圧ヒステリシス	立ち上がりから立ち下がりへのスレッシュホールド		250		mV
t _{PVDD_UV_DG}	PVDD 低電圧グリッチ除去時間		8	10	12.75	μs
V _{PVDD_OV}	PVDD 過電圧スレッシュホールド	V _{PVDD} 立ち上がり、PVDD_OV_LVL = 0b	20	21	22	V
		V _{PVDD} 立ち下がり、PVDD_OV_LVL = 0b	19	20	21	V
		V _{PVDD} 立ち上がり、PVDD_OV_LVL = 1b	25.75	26.8	28	V
		V _{PVDD} 立ち下がり、PVDD_OV_LVL = 1b	24.75	25.8	27	V
V _{PVDD_OV_HYS}	PVDD 過電圧ヒステリシス	立ち上がりから立ち下がりへのスレッシュホールド		1		V
t _{PVDD_OV_DG}	PVDD 過電圧グリッチ除去時間	PVDD_OV_DG = 00b	0.75	1	1.5	μs
		PVDD_OV_DG = 01b	1.5	2	2.5	μs
		PVDD_OV_DG = 10b	3.25	4	4.75	μs
		PVDD_OV_DG = 11b	7	8	9	μs
V _{DVDD_POR}	DVDD 電源 POR スレッシュホールド	DVDD 立ち下がり	2.5	2.7	2.9	V
		DVDD 立ち上がり	2.6	2.8	3	V
V _{DVDD_POR_HYS}	DVDD POR ヒステリシス	立ち上がりから立ち下がりへのスレッシュホールド		100		mV
t _{DVDD_POR_DG}	DVDD POR グリッチ除去時間		5	12	25	μs
t _{WD}	ウォッチドッグウィンドウの最小値	WD_WIN = 0b	3.4	4	4.6	ms
		WD_WIN = 1b	8.5	10	11.5	ms
	ウォッチドッグウィンドウの最大値	WD_WIN = 0b	10.5	12	13.5	ms
		WD_WIN = 1b	85	100	115	ms
A _{IPROPI_PVD_D_VOUT}	IPROPI PVDD 電圧センス出力スケール係数 (V _{PVDD} / I _{IPROPI})	IPROPI_SEL = 10000b (5V ～ 22V のセンス範囲)	9	11	13	V/mA
A _{IPROPI_PVD_D_VOUT}	IPROPI PVDD 電圧センス出力スケール係数 (V _{PVDD} / I _{IPROPI})	IPROPI_SEL = 101010b (20V ～ 32V のセンス範囲)	13.5	16.5	19.5	V/mA
V _{IPROPI_TEMP_VOUT}	IPROPI 温度検出出力		-20		+20	°C
T _{OTW1}	低温警告温度	T _J 立ち上がり	110	125	140	°C
T _{OTW2}	過熱警告温度	T _J 立ち上がり	130	145	160	°C

$5V \leq V_{PVDD} \leq 35V$ 、 $3.1V \leq V_{DVDD} \leq 5.5V$ 、 $-40^{\circ}C \leq T_J \leq 150^{\circ}C$ (特に記述のない限り)。標準的な制限は、 $V_{PVDD} = 13.5V$ 、 $V_{DVDD} = 5V$ および $T_J = 25^{\circ}C$ に対して適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
T_{HYS}	過熱警告ヒステリシス			20		$^{\circ}C$
T_{OTSD}	サーマル シャットダウン温度	T_J 立ち上がり	160	175	190	$^{\circ}C$
T_{HYS}	サーマル シャットダウン ヒステリシス			20		$^{\circ}C$
t_{OTSD_DG}	サーマル シャットダウン グリッチ除去時間			10		μs

6.6 タイミング要件

		最小値	公称値	最大値	単位
f_{SPI}	SPI 対応クロック周波数 ⁽²⁾ (2)			5	MHz
t_{READY_SPI}	パワーアップ後、SPI レディまで			1	ms
t_{CLK}	SCLK の最小周期	200			ns
t_{CLKH}	SCLK 最小 High 時間	100			ns
t_{CLKL}	SCLK の最小 Low 時間	100			ns
t_{HI_nSCS}	nSCS 最小 HIGH 時間	300			ns
t_{SU_nSCS}	nSCS 入力セットアップ時間	25			ns
t_{H_nSCS}	nSCS 入力ホールド時間	25			ns
t_{SU_SDI}	SDI 入力データ セットアップ時間	25			ns
t_{H_SDI}	SDI 入力データ ホールド時間	25			ns
t_{D_SDO}	SDO 出力データ遅延時間、 $C_L = 20pF$ ⁽¹⁾			60	ns
t_{EN_nSCS}	イネーブル遅延時間、nSCS Low から SDO アクティブまで			50	ns
t_{DIS_nSCS}	ディセーブル遅延時間、nSCS High から SDO Hi-Z まで			50	ns

- (1) SDO 遅延時間は、SDO の外部負荷 (C_L) が $20pF$ の場合にのみ有効です。SDO の負荷を増加すると、SDO にさらに遅延が加えられ、SCLK の最大値が制限されます。
- (2) パラメータについては SPI タイミング図を参照してください。

7 詳細説明

7.1 概要

DRV8002-Q1 デバイスには、モーター（誘導性）、抵抗性、容量性負荷の駆動および診断のための複数の機能を使用する複数のタイプのドライバが内蔵されています。このデバイスは、**2 個のハーフブリッジゲートドライバ**、**6 個のハーフブリッジ**、**6 個の内蔵ハイサイドドライバ**があります。各ドライバは、電流検出、保護、診断機能に加え、システム保護および診断機能を備えており、システム統合性を高めるとともに、システム全体のサイズとコストを削減します。

このデバイスのハーフブリッジ外部 **MOSFET** ゲートドライバアーキテクチャは、デッドタイムを自動的に管理してシュートスルーを防止し、スルーレートを制御して電磁妨害 (EMI) を低減し、設定可能な伝搬遅延により最適化された性能を実現します。これらのゲートドライバは、ハーフブリッジまたは **H** ブリッジを独立して制御するための入力モードをサポートしています。**2 つの PWM 入力**は、極性と駆動制御として構成できます。外部 **MOSFET** ゲートドライバ保護回路には、チャージポンプ監視、短絡保護 (V_{DS} フォルト監視)、開放負荷検出 (V_{GS} フォルト監視) が含まれます。

ハーフブリッジドライバは、**SPI レジスタ**または **PWM ピンの PWM1 および PWM2** によって制御できます。ハーフブリッジには、**ITRIP** と呼ばれる電流チョッピング方式が設定可能です。保護回路には、短絡保護、アクティブおよびパッシブなオープンロード検出が含まれます。

ハイサイドドライバは、**SPI レジスタ**、外部 **PWM ピン (PWM1)**、または専用の **PWM ジェネレータ**によって制御でき、動作中の負荷調整が可能です。すべてのハイサイドドライバには、**LED** やランプ モジュール負荷向けのオプション機能として、定電流モードおよび **ITRIP** 制御が備わっています。**1 個のハイサイドドライバ**は、ランプまたは **LED** 負荷のいずれかを駆動するように構成できます。保護回路には、短絡保護や開放負荷検出が搭載されています。

IPROPI (IPROPI/PWM2)ピンは、電流センス機能付きのあらゆる内蔵ドライバから電流センスを比例して供給できる多目的出力ピンまたは入力 **PWM ピン (PWM)**です。**IPROPI** は、**PVDD** モータ電源モニタや内部温度クラスタモニタとして出力するように設定できるほか、内蔵ハーフブリッジ用の第 **2 PWM** 入力オプションとしても設定できます。

7.2 機能ブロック図

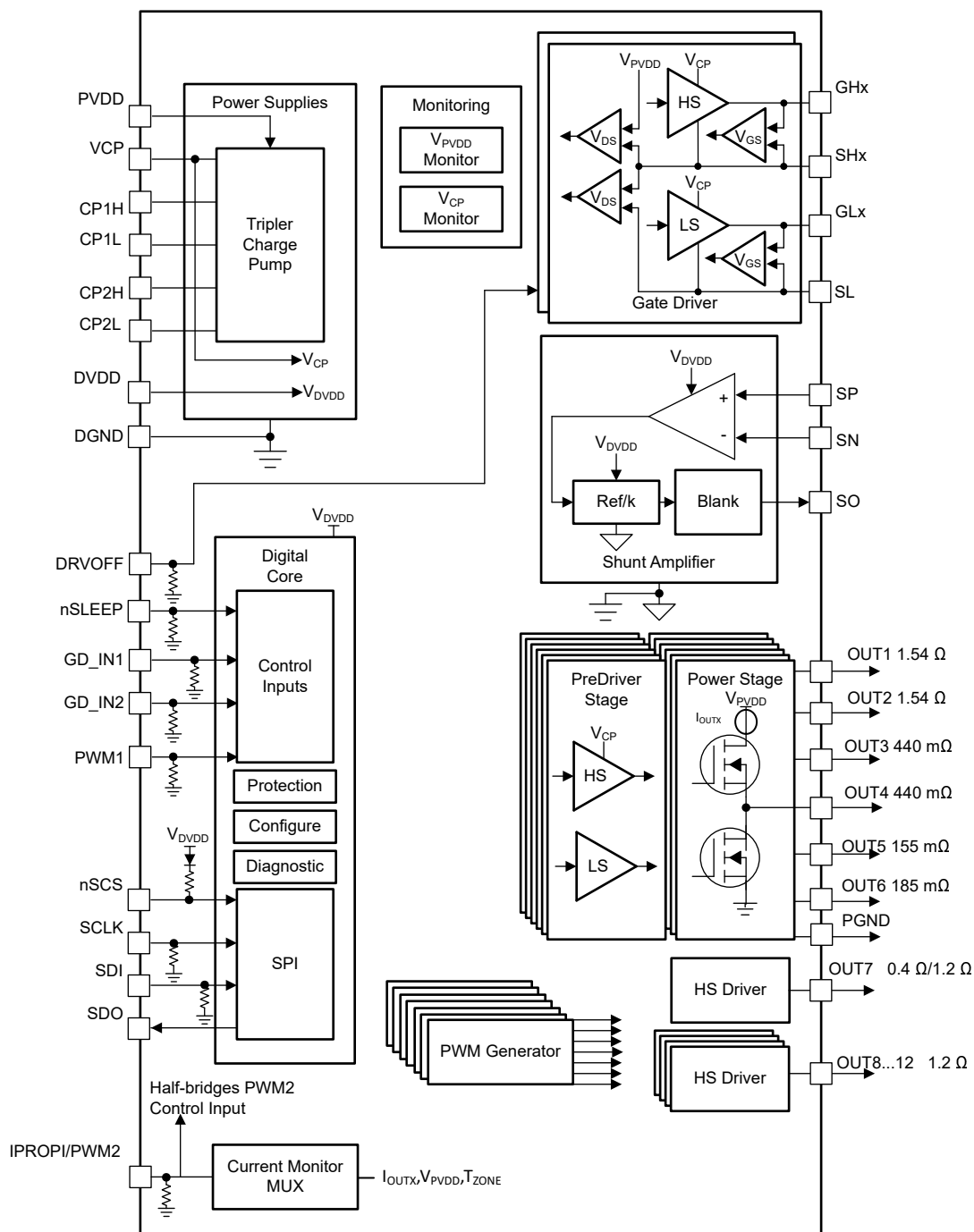


図 7-1. DRV8002-Q1 のブロック図

7.3 外付け部品

表 7-1 に、推奨の外付け部品を示します。部品の配置例については[セクション 9.2](#)を参照してください。

表 7-1. 推奨外付け部品

部品	ピン 1	ピン 2	推奨
C _{PVDD1}	PVDD	GND	0.1μF、低 ESR セラミック コンデンサ、PVDD 定格。

表 7-1. 推奨外付け部品 (続き)

部品	ピン 1	ピン 2	推奨
C _{PVDD2}	PVDD	GND	PVDD 定格の 10 μ F 以上のローカル バルク容量。
C _{DVDD}	DVDD	GND	1 μ F 6.3V、低 ESR セラミック コンデンサ
C _{VCP}	VCP	PVDD	1 μ F 16V、低 ESR セラミック コンデンサ
C _{FLY1}	CP1H	CP1L	0.1 μ F 100V、低 ESR セラミック コンデンサ
C _{FLY2}	CP2H	CP2L	0.1 μ F 100V、低 ESR セラミック コンデンサ
R _{IPROPI}	IPROPI	GND	通常、コントローラの電源電圧レールに応じて、最大 2.35k Ω 、0.063W、許容差 1% の抵抗が使用されます。
R _{FILT}	R _{IPROPI}	C _{FILT}	コントローラ入力に応じて、RC フィルタの一部としてオプションで抵抗を使用します。
C _{FILT}	R _{FILT}	GND	コントローラ入力に応じて、RC フィルタの一部としてオプションで低 ESR セラミック コンデンサを使用します。
C _{SO1}	SO	GND	100nF 16V、低 ESR セラミック コンデンサ。 シャントアンプ出力フィルタの部品。
C _{SO2}	SO	GND	0.01 μ F 16V、低 ESR セラミック コンデンサ シャントアンプ出力フィルタの部品。
R _{SO}	C _{SO1}	C _{SO2}	通常 0 Ω 、シャントアンプ出力フィルタの部品。

7.4 機能説明

次の表に、デバイスの主要なブロックの機能に関するすべての説明へのリンクを示します。

表 7-2. セクションごとのデバイスの特長表

デバイスのブロック
ハイスайдドライバ
ハーフブリッジドライバ
ゲートドライバ
IPROPI
保護回路
サーマル クラス
障害表

7.4.1 ハイサイド ドライバ

表 7-3. ハイサイド ドライバ セクションの目次

ハーフブリッジ セクション	セクションへのリンク
機能セクションのトップに戻る	セクション 7.4
ハイサイドドライバ制御	セクション 7.4.1.1
ハイサイドドライバレギュレーション	セクション 7.4.1.1.3
ハイサイドドライバ保護	セクション 7.4.1.2

このデバイスは、6 つのハイサイドドライバ(OUT7～OUT12)を統合しており、複数の負荷タイプを駆動するようにプログラムできます。各ハイサイドドライバには、高電流および低電流の過電流保護と、開放負荷電流のスレッシュホルドを選択できます。OUT7 は、ランプ、電球、または LED を駆動するように構成できます。すべてのハイサイドドライバには、高容量 LED モジュールを駆動するための固定時定電流モードもあります。

すべてのハイサイドドライバには、開放負荷検出と短絡保護機能が搭載されています。低 $R_{DS(on)}$ モードと高 $R_{DS(on)}$ モードのどちらのモードでも、OUT7 は、ランプまたは電球負荷用のオプションの ITRIP レギュレーション機能を備えています。OUT8-OUT12 にはオプションの ITRIP レギュレーションもあり、それぞれの過電流スレッシュホルド (high または low) を超えた場合にアクティブになります。この機能は、より大きな LED モジュールや、OUT8-OUT12 を使用して他の負荷タイプを駆動するために使用できます。

ハイサイドドライバのブロック図を以下に示します。

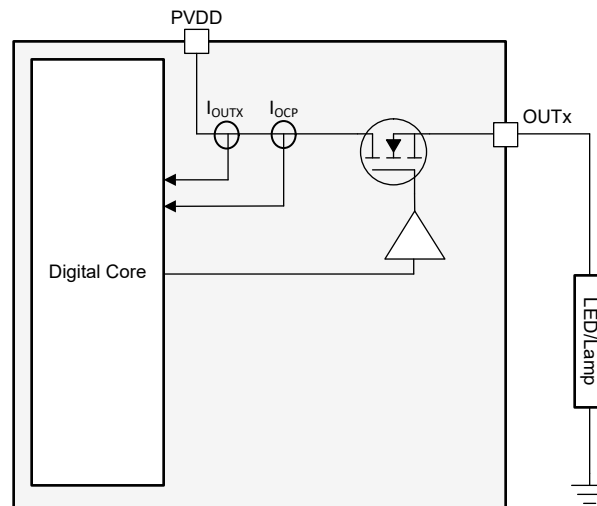


図 7-2. ハイサイド ドライバ ブロック図

表 7-4 以下の表に、すべてのデバイスのハイサイドドライバと、それぞれに対応する機能セットを示します:

表 7-4. ハイサイド ドライバとその機能

ハイサイドドライバ	$R_{DS(on)}$ (Ω)	OL 検出	過電流および短絡保護	ITRIP	CCM
OUT7	0.44/1.2	あり	あり	あり	あり
OUT8	1.2	あり	あり	あり	あり
OUT9	1.2	あり	あり	あり	あり
OUT10	1.2	あり	あり	あり	あり
OUT11	1.2	あり	あり	あり	あり
OUT12	1.2	あり	あり	あり	あり

7.4.1.1 ハイサイド ドライバ制御

ハイサイドドライバは、SPI レジスタ、10 ビット PWM ジェネレータから内部で生成される PWM 信号、PWM1 ピンからの外部 PWM 信号による制御用に構成できます。この構成は、レジスタ **HS_OUT_CNFG** の **OUTx_CNFG** (OUT7 ~ OUT12) ビットを設定することで行われます。

SPI レジスタ制御モード (**OUTx_CNFG** = 01b) では、ハイサイド出力は **HS_OUT_CNFG** 内の各出力の有効ビット (ON/OFF) に従います。

次の表に、ハイサイドドライバの構成オプションを要約します。

表 7-5. ハイサイド ドライバ構成

OUTx_CNFG ビット	構成	説明
00	OFF	ハイサイド ゲートドライバが無効
01	SPI レジスタの制御	ハイサイドドライバの SPI 制御が有効
10	PWM1 ピン制御	PWM1 ピン によるハイサイドドライバ制御
11	PWM ジェネレータ	専用内部 PWM ジェネレータを搭載したハイサイドドライバ制御

7.4.1.1.1 ハイサイド ドライバPWM ジェネレータ

各ハイサイドドライバには、10 ビットのデューティ サイクル分解能を持つ専用の PWM ジェネレータがあります。各 PWM ジェネレータの周波数とデューティは、互いに独立して制御できます。

ハイサイドドライバのデューティサイクルを設定する際、最大 1022 (99.8%) までの値を選択できます。

必要なレジスタ設定シーケンス:

1. レジスタ **HS_PWM_FREQ_CNFG** のハイサイドドライバ PWM 周波数値を設定します
2. デューティ サイクルをレジスタ **OUTx_DC** に設定します。設定値は 0 から 1022 (デューティサイクル 0%~99.8%) です
3. レジスタ **HS_HEAT_OUT_CNFG** でドライバの動作モードを設定します

PWM ジェネレータの周波数は、以下の表に示すように、レジスタ **HS_PWM_FREQ_CNFG** の **PWM_OUTX_FREQ** ビットで制御されます。

表 7-6. PWM 周波数

PWM_OUTX_FREQ	PWM 周波数 (Hz)
00b	108
01b	217
10b	289
11b	434

7.4.1.1.2 定電流モード

すべてのハイサイドドライバにはタイマー付き定電流モード (CCM) 機能があり、所望の出力に対して短時間の定電流を供給するために使用できます。このモードは、レジスタ **HS_REG_CNFG2** 内のビット **OUTx_CCM_EN** を使用してイネーブルされます。有効化されると、ハイサイドドライバからの電流は、設定された制限値に 10ms の短時間制限されます。

定電流モードには 2 つの電流制限オプションがあります。これは、レジスタ **HS_REG_CNFG2** 内のビット **OUTx_CCM_EN** で構成され、以下の表でまとめられています:

表 7-7. 定電流モードに関する複数のオプション :

ハイサイド出力	OUTX_CCM_TO	電流制限 (I _{CCM})	タイムアウト (t _{CCMto})
OUT7 (RDSON High)	0b	250mA	10ms
	1b	330mA	10ms

表 7-7. 定電流モードに関する複数のオプション：(続き)

ハイサイド出力	OUTX_CCM_TO	電流制限 (I _{CCM})	タイムアウト (t _{CCMto})
OUT7 (RDSON Low)	0b	360mA	10ms
	1b	450mA	10ms
OUT8-12	0b	350mA	10ms
	1b	450mA	10ms

この定電流モード機能は、構成された出力をイネーブルにする前に **OUTx_CCM_EN** ビットが構成されている場合、および出力がディセーブル状態の場合にのみイネーブルされます。**CCM** は、有効時間 **t_{CCMto}** が経過すると自動的に終了します。タイムアウト後も、ドライバはレジスタ **HS_OUT_CNFG** 内の **OUTx_CCM_EN** ビットに従って有効のまま保持され、**HS_OUT_CNFG** レジスタ内のビット設定に基づいて構成されます。

必要なレジスタ設定シーケンス：

1. レジスタ **HS_REG_CNFG2** のハイサイドドライバ **CCM** モードを設定します
2. レジスタ **HS_OUT_CNFG** のハイサイドドライバの動作を設定します

CCM モードが設定され、ドライバ構成が完了すると、レジスタ **HS_OUT_CNFG** に対応する **OUTx_CNFG** ビットが設定されると、**CCM** タイマが開始されます。

CCM タイマが終了した後は、**SPI** 制御または外部 **PWM** ジェネレータ制御 (**OUTx_CNFG** = 01b または 10b) のみがサポートされます。内部 **PWM** ジェネレータ制御は **CCM** モードをサポートしていません。

ハイサイドドライバを構成した後に定電流モードを構成した場合、**CCM** モードは起動しません。

OUTx_CCM_EN ビットの場合：

- 定電流モードのタイムアウト前にコントローラによって **OUTx_CCM_EN** がクリアされた場合、ドライバはこのコマンドに従い、**OUTx_CNFG** ビットに対応するモードに切り替えます
- ドライバがすでにイネーブルになってから **OUTx_CCM_EN** がセットされると、**OUTx_CCM_EN** ビットは無視されます。この場合、**OUTx_CCM_EN** はオフのままです。

短絡および過電流検出は、ドライバがオンで **PWM** 駆動されているが定電流モードではない場合、アクティブ/イネーブルになります。開放負荷検出は常に機能しています。

7.4.1.1.3 OUTx HS ITRIP 動作

すべてのハイサイドドライバには、**HS ITRIP** と呼ばれる固定周波数の電流制御機能が利用できます。この機能は、特定の負荷を駆動中に過電流状態が発生した場合、ドライバを再起動します。過電流検出は、検出された負荷電流に基づいています。この機能は、ドライバの過電流しきい値を超える大きな突入電流を伴う負荷、例えばランプ、電球、大型 LED モジュールなどを駆動するために使用されます。

ハイサイド ドライバは、**OUT7** には **HS_REG_CNFG1** レジスタ内の **OUT7_ITRIP_EN** を、**OUT8～12** には **HS_REG_CNFG3** レジスタ内の **HS_OUTx_ITRIP_EN** を設定することで、**ITRIP** 制御を有効に構成できます。デフォルトでは、**ITRIP** レギュレーションは、すべてのハイサイドドライバに対して無効になっています。**ITRIP** レギュレーションがディセーブルされていて、ブランク時間後にドライバ電流がグリッチ除去時間の間過電流スレッショルド (**I_{OCx}**) を超えると、出力は無効になります。

ITRIP レギュレーション有効：

ITRIP レギュレーションがイネーブルになった場合、ブランク時間後にドライバ電流がグリッチ除去時間の間、過電流スレッショルド **I_{OCx}** を超えると、出力はオフになります。**ITRIP** サイクルが終了すると、自動的に再度オンになります。過電流スレッショルド (**high** または **low**) は、**HS_OC_CNFG** レジスタの **OUT7** の **OUT7_RDSON_MODE** ビットを、**OUT8～12** ビットの **OUTx_OC_TH** ビットをセットすることで構成されます。

ITRIP レギュレーションのブランク時間は、すべてのハイサイドドライバ出力の **40μs** です。**OUTx** がイネーブルになると、ブランク時間が開始します。**OUT7** には専用の **ITRIP** 周波数およびグリッチ除去時間の設定があり、**HS_REG_CNFG1**

レジスタ内の **OUT7_ITRIP_FREQ** ビットおよび **OUT7_ITRIP_DG** ビットで構成できます。OUT8～12 については、ITRIP 周波数およびグリッチ除去時間の設定は共通であり、**HS_REG_CNFG3** レジスタ内の **HS_OUT_ITRIP_FREQ** ビットおよび **HS_OUT_ITRIP_DG** ビットで構成できます。 $V_{PVDD} < 20V$ の場合、すべてのグリッチ除去オプション (24、32、40、48 μ s) が使用可能です。 $V_{PVDD} > 20V$ の場合、グリッチ除去時間は自動的に 10 μ s に短縮されます。

ITRIP 制御が有効で、過電流が検出されると、OUT7 ドライバの場合は **EC_HEAT_ITRIP_STAT** レジスタ内の **OUT7_ITRIP_STAT** ビットが、OUT8～12 ドライバの場合は **HS_ITRIP_STAT** レジスタ内の **OUTx_ITRIP_STAT** ビットがセットされ、ラッチされます。この故障ビットは、**CLR_FLT** ビットがセットされるまでセットされたままです。

表 7-8. ハイサイド ITRIP 周波数オプション概要

周波数(f_{ITRIP_HS})	HS_OUT_ITRIP_FREQ/OUT7_ITRIP_FREQ
1.7kHz	00b
2.2kHz	01b
3kHz	10b
4.4kHz	11b

表 7-9. ハイサイド ITRIP グリッチ除去オプション概要

グリッチ除去時間($t_{ITRIP_HS_DG}$)	HS_OUT_ITRIP_DG/OUT7_ITRIP_DG
48 μ s	00b
40 μ s	01b
32 μ s	10b
24 μ s	11b

ITRIP グリッチ除去タイマは、OUTx ITRIP ブランキング時間が経過すると開始します。最小 OUTx ITRIP オン時間は、ブランキング時間とグリッチ除去時間の合計であり、合計期間は OUTx の ITRIP 周波数によって決定されます。下の図は ITRIP の動作を示しています。

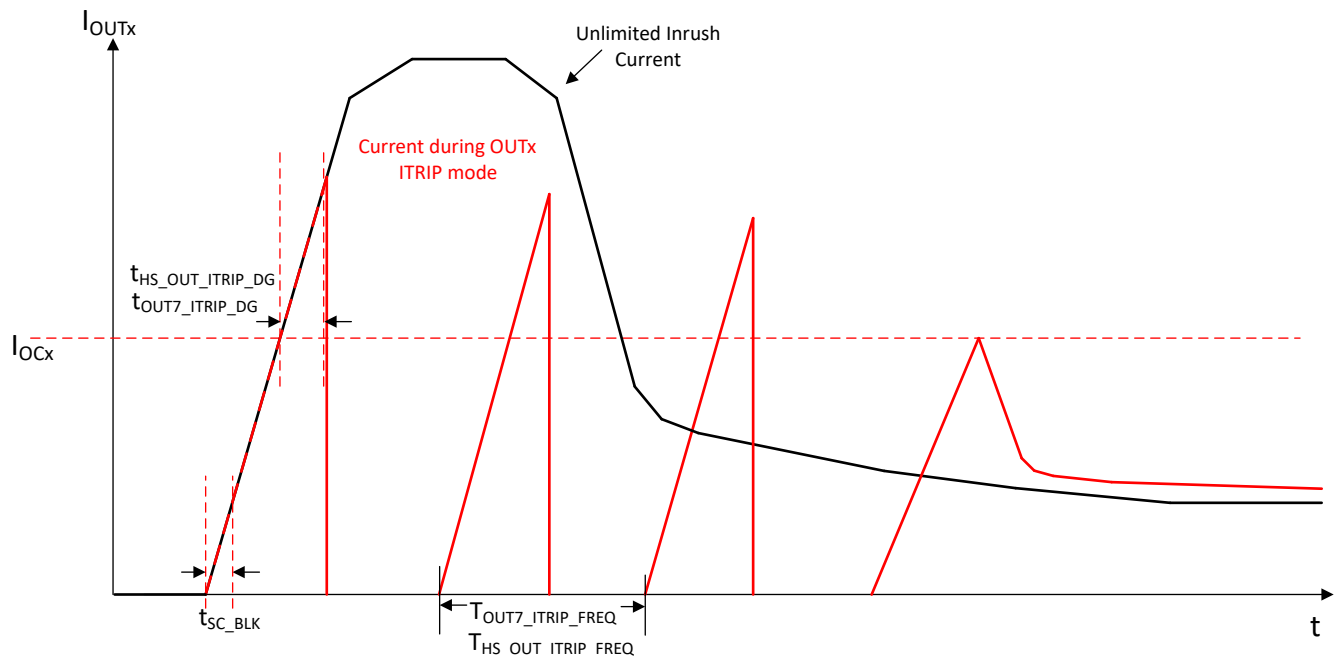


図 7-3. 白熱電球を使用した OUTx HS の ITRIP 動作

ブランキング時間 t_{SC_BLK} は 40 μ s であり、その後に過電流状態を検出できます。 $t_{OUT7_ITRIP_DG}$ または $t_{HS_OUT_ITRIP_DG}$ は、過電流保護スレッショルドを超えた後も OUTx がオンのまま維持される時間です。

$T_{OUT7_ITRIP_FREQ}$ または $T_{HS_OUT_ITRIP_FREQ}$ は ITRIP ループの周期であり、 $t_{OUT7_ITRIP_FREQ}$ または $t_{HS_OUT_ITRIP_FREQ}$ の逆数に相当します。OUT7 ~ 12 の ITRIP 故障は、レジスタ **OUT7_ITRIP_STAT** および **OUTx_ITRIP_STAT** で通知されます。

7.4.1.1.4 ハイサイド – パラレル出力

ハイサイドドライバ OUT8 から OUT12 までを並列に接続することで、さらに大きな電流負荷をサポートできます。たとえば、OUT8 と OUT9 を効果的に 600mΩ ドライバとして並列に接続するか、OUT9、OUT10、OUT12 を実質的に 400mΩ ドライバとして並列に接続できます。

ただし、この動作モードには以下の制限があります。

- 並列ハイサイドドライバでは内部 PWM 制御は機能しないため、この動作モードには設定しないでください。
- 定電流モードは不可能であり、無効にする必要があります。
- ITRIP レギュレーションはサポートされていません。
- 過電流保護、短絡保護回路、アクティブ開放負荷検出をサポートしています。

並列動作する場合は、ハイサイドドライバをオン / オフ SPI レジスタ制御用に構成するか、ピンによる外部 PWM 信号制御用に構成する必要があります。

7.4.1.2 ハイサイド ドライバ保護回路

7.4.1.2.1 ハイサイド ドライバの内部ダイオード

各ハイサイドドライバには、ESD 保護用に、グラウンドからハイサイド OUTx ノードまでの内部ダイオードが搭載されています。次のいずれかが発生すると、このダイオードは大きなエネルギー消費にさらされる可能性があります。

- ハイサイド出力で、グラウンド接続が喪失し、グラウンドへの短絡が両方とも発生します。
- ハイサイド出力には誘導性負荷が接続されています

フリーホイール中に内部 ESD ダイオードによって消費されるのは、限られた量のエネルギー (1mJ 未満) のみです。100μH を超える誘導性負荷の場合、PGND と対応する出力との間に外部フリーホイール ダイオードに接続する必要があります

7.4.1.2.2 ハイサイド ドライバの短絡保護回路

短絡保護回路は、OUTx ノードの 2V コンパレータを使用して、各ハイサイド出力 (OUT7 ~ 12) を監視します。ブランク時間後に OUTx 電圧がグリッチ除去時間内で 2V の短絡スレッショルドを超えた場合、グラウンド短絡故障が検出され、出力は無効化されます。

2V のコンパレータ ブランク時間 (t_{SC_BLK}) は、すべてのハイサイドドライバ出力の 40μs です。OUTx がイネーブルになると、ブランク時間が開始します。OUT7 には専用のグリッチ除去時間設定があり、**HS_REG_CNFG1** レジスタの **OUT7_ITRIP_DG** ビットで構成可能です。OUT8~12 のグリッチ除去時間の設定は共有され、**HS_REG_CNFG3** レジスタ内の **HS_OUT_ITRIP_DG** ビットで構成できます。 $V_{PVD} < 20V$ の場合、すべてのグリッチ除去オプション (24、32、40、48μs) が使用可能です。 $V_{PVD} > 20V$ の場合、グリッチ除去時間は自動的に 10μs に短縮されます。

短絡検出時に、**HS_STAT** レジスタの対応する **OUTx_OCP** 故障ステータス ビットがラッチされ、対応する出力がシャットオフされます。この故障ビットは、**CLR_FLT** ビットがセットされるまでセットされたままです。次の図に、ハイサイドドライバの短絡動作を示します：

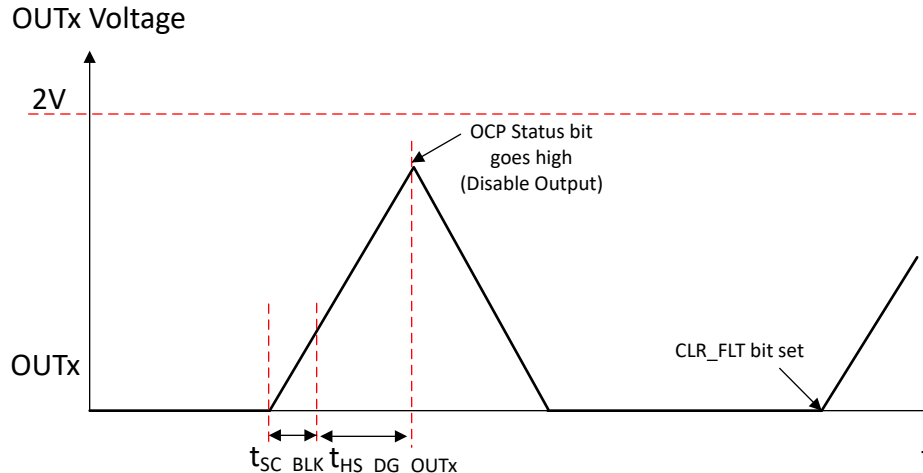


図 7-4. ハイサイド ドライバ短絡保護回路

7.4.1.2.3 ハイサイド ドライバの過電流保護

過電流保護機能は、ITRIP レギュレーションが無効の場合に利用できます。すべてのドライバ (OUT7-OUT12) の出力電流が監視され、ブランク時間の後にグリッチ除去時間の経過後に電流が過電流スレッシュホールドを超えると、出力が無効になります。

OUT7 の ITRIP を無効にするには、**HS_REG_CNFG1** レジスタ内で **OUT7_ITRIP_EN = 0b** に設定します。同様に、OUT8 ~ 12 の無効にするには、**HS_REG_CNFG3** レジスタ内で **HS_OUTx_ITRIP_EN = 0b** に設定します。過電流スレッシュホールド (high または low) は、**HS_OC_CNFG** レジスタの OUT7 の **OUT7_RDSON_MODE** ビットを、OUT8 ~ 12 ビットに対して **OUTx_OC_TH** ビットを設定することで構成されます。

過電流保護のブランク時間は、すべてのハイサイドドライバ出力の 40μs です。OUTx がイネーブルになると、ブランク時間が開始します。OUT7 には専用のグリッチ除去時間設定があり、**HS_REG_CNFG1** レジスタの **OUT7_ITRIP_DG** ビットで構成可能です。OUT8 ~ 12 のグリッチ除去時間の設定は共有され、**HS_REG_CNFG3** レジスタ内の **HS_OUT_ITRIP_DG** ビットで構成できます。V_{PVDD} < 20V の場合、すべてのグリッチ除去オプション (24、32、40、48μs) が使用可能です。V_{PVDD} > 20V の場合、グリッチ除去時間は自動的に 10μs に短縮されます。過電流検出が検出されると、OUT7 ドライバの **EC_HEAT_ITRIP_STAT** レジスタの **OUT7_ITRIP_STAT** ビット、または OUT8-12 ドライバの **HS_ITRIP_STAT** レジスタの **OUTx_ITRIP_STAT** ビットがラッチされ、対応する出力が遮断されます。この故障ビットは、**CLR_FLT** ビットがセットされるまでセットされたままです。

7.4.1.2.4 ハイサイド ドライバの開放負荷検出

ハイサイドドライバは、開放負荷検出機能を備えています。DRV800x-Q1 のハーフブリッジドライバ OLA 検出方式と同様に、ハイサイドドライバの開放負荷検出方式では、各ドライバを順番にチェックし、負荷電流が開放負荷電流スレッシュホールド以下であるかどうかを確認します。開放負荷電流スレッシュホールド I_{OLDx} は、OUT8-12 のレジスタ **HS_OL_CNFG** のビット **OUTx_OLA_TH** を使って、高電流スレッシュホールドと低電流スレッシュホールドの間で設定できます。これらのスレッシュホールドは、**OUT7_RDSON_MODE** に基づいて、ハイサイドドライバ OUT7 に対してのみ自動的に調整されます。

開放負荷検出は、OUT7-12 ハイサイドドライバに対してレジスタ **HS_OL_CNFG** のビット **OUTx_OLA_EN** をイネーブルにする必要があります。

負荷電流 I_{OUTx} が t > t_{OLD_HS} の間、開放負荷スレッシュホールド (I_{OLD_HS}) を下回ると、対応するハイサイド開放負荷ステータスビット **OUTx_OLA** がステータスレジスタに設定されます。開放負荷で検出されたドライバはオフになりません。

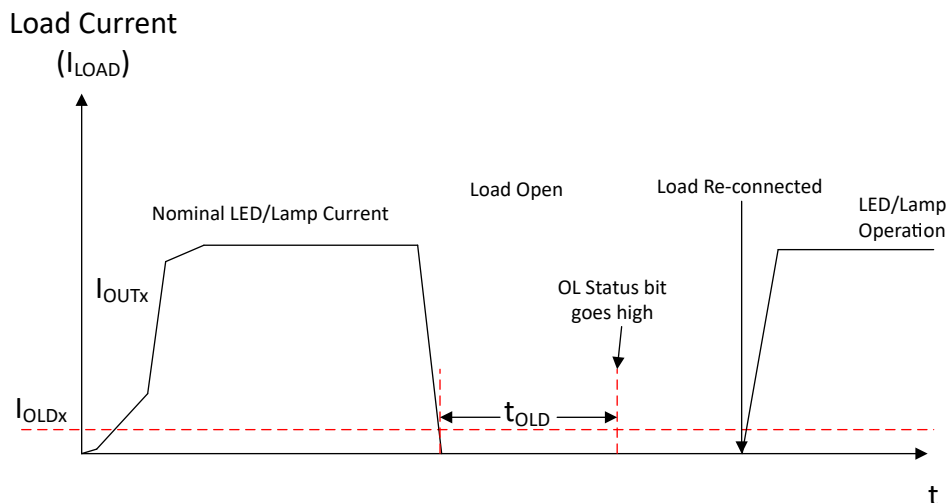


図 7-5. ハイサイド ドライバの開放負荷検出

各ハイサイドドライバの開放負荷検出テスト時間は **200 μ s** です。出力がイネーブルになるまで、タイマは起動しません。イネーブルになっているすべてのドライバがサイクルされると、検出サイクルが再開されます。OUTx に対して OLA ビットのフラグが設定されると、ステータスはラッチされ、OUTx は検出サイクルから除外されます。OUTx の OLA チェックを再開するには、CLR_FLT が必要です。

OLA 検出を完了するには、下限側ドライバを最小 **200 μ s** でオンにする必要があります。それ以外の場合、本デバイスは次の PWM サイクルまで待機します。OLA 検出用の OFF カウンタは、ハイサイドドライバがオフになると開始し、ドライバが **10ms** を超えてオフになった場合に OLA 検出を終了します。

7.4.2 ハーフブリッジドライバ

表 7-10. ハーフブリッジセクションの目次

ハーフブリッジ セクション	セクションへのリンク
機能セクションのトップに戻る	セクション 7.4
ハーフブリッジ制御	セクション 7.4.2.1
ハーフブリッジレギュレーション	セクション 7.4.2.4
ハーフブリッジ保護	ハーフブリッジの保護と診断

このデバイスは、合計 6 つのハーフブリッジ ハイサイドおよびローサイド FET を統合し、最大 5 つのモータの双方向駆動をサポートします。1.54Ω ハーフブリッジ 2 つ、440mΩ ハーフブリッジ 2 つ、185mΩ ハーフブリッジ 1 つ、155mΩ ハーフブリッジ 1 つで構成されています。これらのドライバはすべて、SPI レジスタ、PWM1 ピンまたは IPROPI/PWM2 ピンから供給される PWM 信号で制御できます。各ドライバには、ITRIP と呼ばれる構成可能な電流レギュレーション機能もあります。ハーフブリッジ保護回路には、過電流保護、オフ状態、アクティブの開路診断が含まれます。

下の図は、最大 5 つのミラーおよびロック モーター、およびすべてのミラー モータをサポートする統合ハーフブリッジの一般的な構成を示しています。

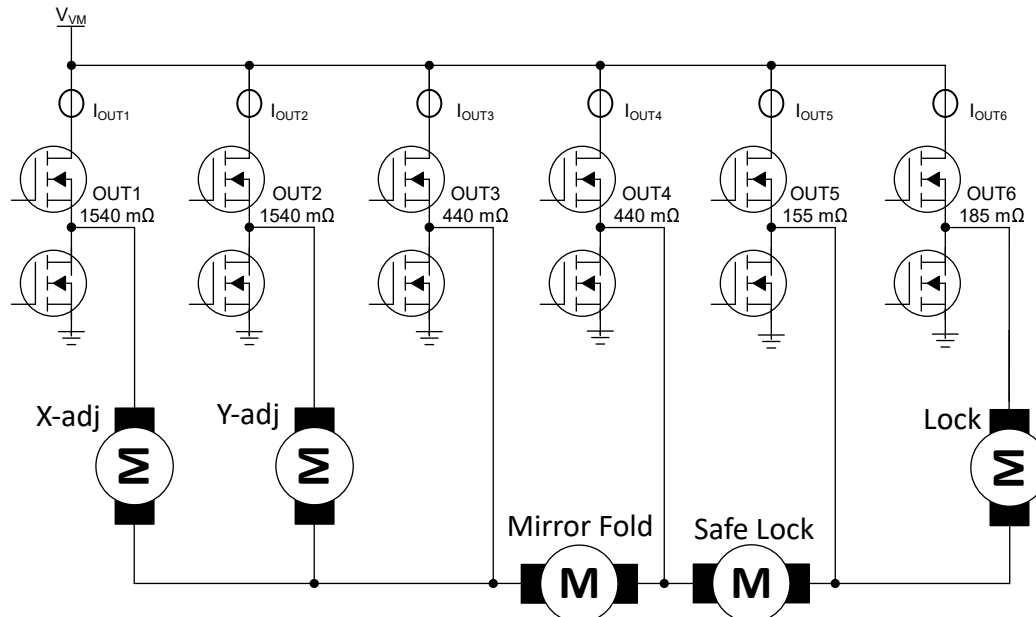


図 7-6. 最大 5 つのモータ（ミラーおよびロック）のハーフブリッジ構成

次の図は、ミラーリングのみの負荷の構成を示しています。

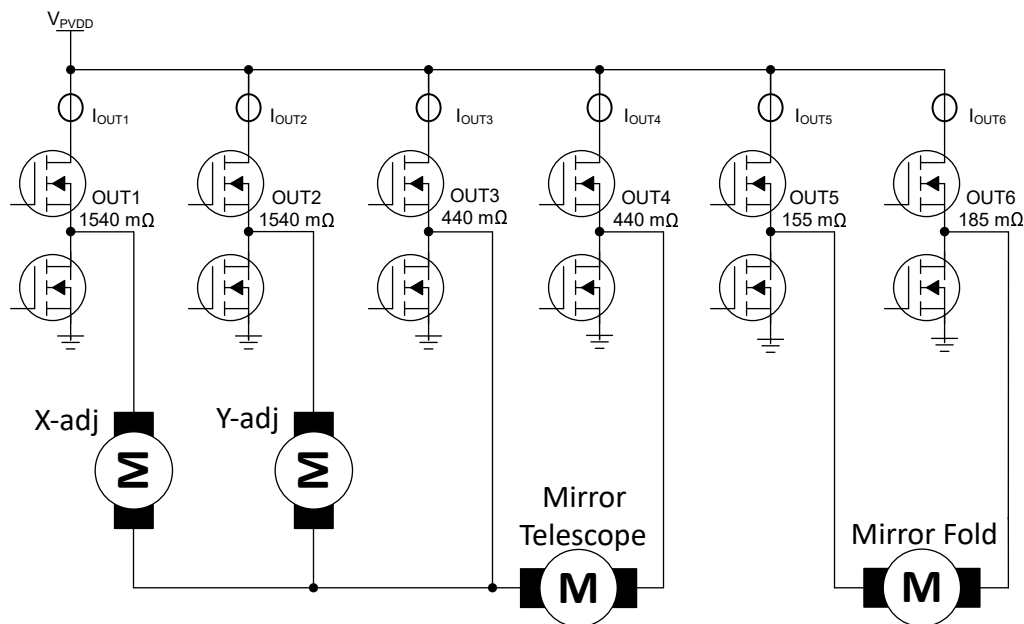


図 7-7. 最大 4 つのモータのハーフブリッジ構成（ミラーのみ）

7.4.2.1 ハーフブリッジ制御

ハーフブリッジドライバは 2 つのモードで制御することにより、PWM 入力ピンまたは SPI レジスタでの制御方式をサポートします。ハーフブリッジドライバには、ハーフブリッジ制御をイネーブルにし、制御モード (PWM または SPI) を設定するための構成レジスタ ([HB_OUT_CNFG1](#) および [HB_OUT_CNFG2](#)) もあります。

ハーフブリッジは、PWM1 ピンと IPROPI/PWM2 ピンのどちらかからの入力信号で制御するように構成できます。PWM1 ピンへの信号は、内部的にハーフブリッジおよびハイサイドドライバへ多重化できます。PWM2 ピンによる IPROPI/PWM2 制御は、ハーフブリッジにのみ使用できます。PWM/PWM2 ピンが PWM 入力に構成されている場合、IPROPI 検出出力は利用できなくなります。各ハーフブリッジドライバのスルーレートは [HB_SR_CNFG](#) で設定できます。

IPROPI/PWM2 は、デフォルトではセンス出力です。構成表を以下に示します。OUT5 と OUT6 は [HB_OUT_CNFG1](#) で構成され、OUT4 経由で OUT1 は [HB_OUT_CNFG2](#) で構成されていることに注意します。

表 7-11. OUTX_CNFG ハーフブリッジ構成

OUTX_CNFG[2]	OUTX_CNFG[1]	OUTX_CNFG[0]	OUTx	HS オン	LS オン
0	0	0	OFF	OFF	OFF
0	0	1	SPI レジスタの制御	OUTX_CTRL	OUTX_CTRL
0	1	0	PWM 1 相補制御	約 PWM1	PWM1
0	1	1	PWM 1 LS 制御	OFF	PWM1
1	0	0	PWM 1 HS 制御	PWM1	OFF
1	0	1	PWM 2 相補制御	~ IPROPI / PWM2	IPROPI/PWM2
1	1	0	PWM 2 LS 制御	OFF	IPROPI/PWM2
1	1	1	PWM 2 HS 制御	IPROPI/PWM2	OFF

ハーフブリッジを SPI レジスタ制御用に構成した場合 ([OUTx_CNFG](#) = 01b)、ビット [OUTx_CTRL](#) を持つレジスタ [GD_HB_CTRL](#) で、ハーフブリッジのハイサイドおよびローサイド MOSFET を個別に制御できます。以下に、独立ハーフブリッジモードの真理値表を示します。

表 7-12. ハーフブリッジドライバコントローラ

OUTx_CTRL(OUT1-6)ビット	構成	説明
00	OFF	ハーフブリッジ制御 OFF
01	HS オン	ハイサイド MOSFET ON
10	LS オン	ローサイド MOSFET ON
11	RSVD	予約済み。

ハーフブリッジ制御モードは、SPI 通信が利用可能なときに、そのビットに書き込むことで、いつでも変更できます。この変更はすぐに反映されます。

ハーフブリッジが PWM 動作に構成されている場合 (OUTx_CNFG = 01xb、10xb または 11xb)、入力 は 100% 駆動モードまたは PWM 駆動モードの静的またはパルス幅変調 (PWM) 電圧信号を受け付けます。

本デバイスは、ハーフブリッジ切り替え時におけるハイサイド FET とローサイド FET の切り替え時に必要なデッドタイムを自動的に生成します。このタイミングは、内部での FET ゲートとソース間電圧フィードバックに基づきます。外部タイミングは必要ありません。この方式では、シュートスルー電流を防止しながら、デッドタイムを最小限に抑えます。

7.4.2.2 OUT1 および OUT2 ハイサイド ドライバ モード

OUT1 および OUT2 のハーフブリッジは、HB_OUT_CNFG2 レジスタの OUT1_MODE ビットと OUT2_MODE ビットを設定することで、ハイサイドドライバとして構成できます。OUTx_MODE が 1b に設定されている場合、対応する出力はハイサイド モードで動作します。

ハイサイドドライバ構成では、OUT1 と OUT2 出力は、内部 PWM ジェネレータによってのみ制御されます。この制御は、OUT1_CNFG と OUT2_CNFG を xx1b に設定することで有効化されます。これらのビットを xx0b に設定すると、出力 OUT1 および OUT2 はディスエーブルになります。

ハイサイド モードに設定された場合、OUT1 および OUT2 の PWM 周波数は、HB_ITRIP_FREQ レジスタ内の PWM_OUT1_FREQ ビットおよび PWM_OUT2_FREQ ビットを使用して設定できます。ビット OUT1_DC および OUT2_DC は、内部 PWM ジェネレータからのデューティ サイクル制御を 1022 (99.8% デューティ サイクル) の値まで設定します。

表 7-13. ハイサイド ドライバ モードでの OUT1 または OUT2 PWM 周波数

PWM_OUTx_FREQ	PWM 周波数 (Hz)
00b	108
01b	217
10b	289
11b	434

ハーフブリッジ モードと同じ保護機能および診断機能が、ハイサイド モードの OUT1 および OUT2 に適用されます。

7.4.2.3 ハーフブリッジレジスタコントロール

ハーフブリッジはデフォルトで無効化されていますが、SPI レジスタ制御モードで動作するように設定すると、GD_HB_CTRL レジスタ内の OUTx_CTRL ビットにあるハイサイド (HS_ON) およびローサイド (LS_ON) の個別イネーブルビットを構成することで、任意のハイサイドまたはローサイドを有効化できます。

例として、2 つのハーフブリッジ (OUT1/OUT2、OUT3/OUT4、OUT5/OUT6) を、それぞれハーフブリッジ X (OUTX) およびハーフブリッジ Y (OUTY) として接続する場合があります。特定のハーフブリッジのハイサイドおよびローサイドのイネーブル ビットは、モータを順転モード、逆転モード、ブレーキ モード、コースト モードで駆動するように、以下のように構成されます：

表 7-14. モーターの動作 (OUTX と OUTY の間に接続されたモーター)

nSLEEP	ハーフブリッジ X HS	ハーフブリッジ X LS	ハーフブリッジ Y HS	ハーフブリッジ Y LS	OUTX	OUTY	
0	X	X	X	X	Z	Z	スリープ
1	0	0	0	0	Z	Z	コースト
1	HS_ON = 1	LS_ON = 0	HS_ON = 0	LS_ON = 1	H	L	順方向
1	HS_ON = 0	LS_ON = 1	HS_ON = 1	LS_ON = 0	L	H	逆方向
1	HS_ON = 0	LS_ON = 1	HS_ON = 0	LS_ON = 1	L	L	ブレーキ (ローサイド)
1	HS_ON = 1	LS_ON = 0	HS_ON = 1	LS_ON = 0	H	H	ブレーキ (ハイサイド)

7.4.2.4 ハーフブリッジ ITRIP レギュレーション

デバイスのハーフブリッジには、ITRIP と呼ばれるオプションの固定周波数負荷電流調整機能があります。具体的にはアクティブな出力電流を、[OUTx_ITRIP_LVL](#) で決定される設定済み電流スレッショルドと比較します。OUT1-2 には 2 つの ITRIP 電流スレッショルドがあり、OUT3-6 には 3 つの電流スレッショルド オプションもあります。ITRIP スレッショルド、イネーブル、およびタイミング設定は、[HB_ITRIP_CONFIG](#)、[HB_ITRIP_FREQ](#)、および [HB_ITRIP_DG](#) で各ハーフブリッジに対して個別に設定されます。

このデバイスには常にイネーブルになる複数のドライバが内蔵されているため、ITRIP ハーフブリッジレギュレーション中の消費電力を低減する目的でフリーホイール構成があります。同期整流 (MOSFET) により、非同期整流 (ダイオード) に比べて消費電力が低くなります。ハーフブリッジのフリーホイール動作は、非同期 (パッシブ フリーホイール) と同期整流 (アクティブ フリーホイール) の間で構成可能です。ITRIP レギュレーション中のハーフブリッジの同期整流は、構成レジスタ [HB_OUT_CNFG1](#) の [NSR_OUTx_DIS](#) ビットを設定することでイネーブルになります。

ITRIP 検出は各ハーフブリッジのハイサイドおよびローサイド MOSFET の両方で行われ、ブランキングは内部で制御されます。

設定可能な ITRIP タイミング パラメータは、周波数およびグリッチ除去です。以下の表に、ITRIP の設定オプションをまとめます。

表 7-15. ハーフブリッジの ITRIP 同期整流設定

NSR_OUTx_DIS	ITRIP ハーフブリッジのオフ時間応答
0b	ハイ インピーダンス
1b	相補型 MOSFET がオン

表 7-16. ハーフブリッジの ITRIP 電流スレッショルド

ハーフブリッジ	ITRIP 電流スレッショルド (標準値)	OUTx_ITRIP_LVL
OUT6	6.2A	10b
	5.4A	01b
	2.3A	00b
OUT5	7.6A	10b
	6.6A	01b
	2.9A	00b
OUT3 および OUT4	3.4A	10b
	2.5A	01b
	1.3A	00b

表 7-16. ハーフブリッジの ITRIP 電流スレッシュホールド (続き)

ハーフブリッジ	ITRIP 電流スレッシュホールド (標準値)	OUTx_ITRIP_LVL
OUT1 および OUT2	0.875A	1b
	0.7A	0b

表 7-17. ITRIP タイミング - グリッチ除去オプション

グリッチ除去時間	OUTx_ITRIP_DG
2μs	00b
5μs	01b
10μs	10b
20μs	11b

表 7-18. ITRIP タイミング - 周波数オプション

ITRIP 周波数	OUTx_ITRIP_FREQ
20kHz	00b
10kHz	01b
5kHz	10b
2.5kHz	11b

注

20kHz の ITRIP 周波数が必要な場合は、最も速いグリッチ除去時間を推奨します (2μs)。

ITRIP レギュレーションは、次のステップに従います。

- ハーフブリッジのローサイドまたはハイサイドがイネーブルになります。最初の ITRIP クロック エッジは、ハーフブリッジがイネーブルのときに発生します。
- ローサイドまたはハイサイドのいずれかで ITRIP 制限を超過すると、デバイスはグリッチ除去時間 $t_{DG_ITRIP_HB}$ よりも長い間待機します。
- グリッチ除去時間が経過しても ITRIP 制限を超えた場合、どちらかのハーフブリッジが Hi-Z に入るか、**NSR_OUTx_DIS** ビットの設定に応じて、ITRIP サイクルの残りの期間中、反対側の MOSFET をオンにします。ITRIP ステータス ビットが設定され、レギュレーション ループが再起動します。
- NSR_OUTx_DIS = 1b** (同期整流がイネーブル) の場合、イネーブルされている MOSFET を流れる電流が反転しているかどうかを監視されます。電流の反転が検出された場合、ITRIP サイクルの残りの期間、ハーフブリッジ出力は Hi-Z になります。

同期整流またはフリーホイール機能は、**NSR_OUTx_DIS** ビットを構成レジスタ **HB_OUT_CNFG1** で設定することによって有効になります。**NSR_OUTx_DIS = 0b** の場合、いずれかの MOSFET で ITRIP が発生すると、ハーフブリッジは Hi-Z になります。**NSR_OUTx_DIS = 1b** の場合、いずれかの MOSFET で ITRIP が発生すると、反対側の MOSFET がイネーブルになります。

例えば、補完モードでは **NSR_OUTx_DIS = 1b**、**OUTx_CNFG = 101b** および **010b** に設定します。PWM 入力 HS MOSFET をオンに設定し、HS MOSFET の ITRIP に達すると、ITRIP サイクルの残りの時間にわたって LS MOSFET がオンになります。HS MOSFET はサイクルの終わりにオンになります。PWM 入力 ITRIP 周期内に変化すると、ITRIP カウンタはリセットされ、LS MOSFET がオンの間、ITRIP レギュレーションがアクティブです。

ITRIP が発生したときに同期整流が有効であり MOSFET がオンになると、電流の反転またはゼロクロス検出が監視されます。ハイサイドとローサイドの両方の MOSFET にゼロクロス検出があります。ITRIP レギュレーション中に、検出された負荷電流がグリッチ除去時間より長い間 0A に達すると、ITRIP サイクルの残りの期間、ハーフブリッジ出力は Hi-Z になります。ゼロクロス グリッチ除去時間は、同じ ITRIP グリッチ除去時間です。

下の図は、**OUTx_ITRIP_LVL**、**NSR_OUTx_DIS**、**HB_ITRIP_FREQ**、**HB_TOFF_SEL**、**HB_ITRIP_DG** を設定した後のハーフブリッジにおける ITRIP 動作を示しています：

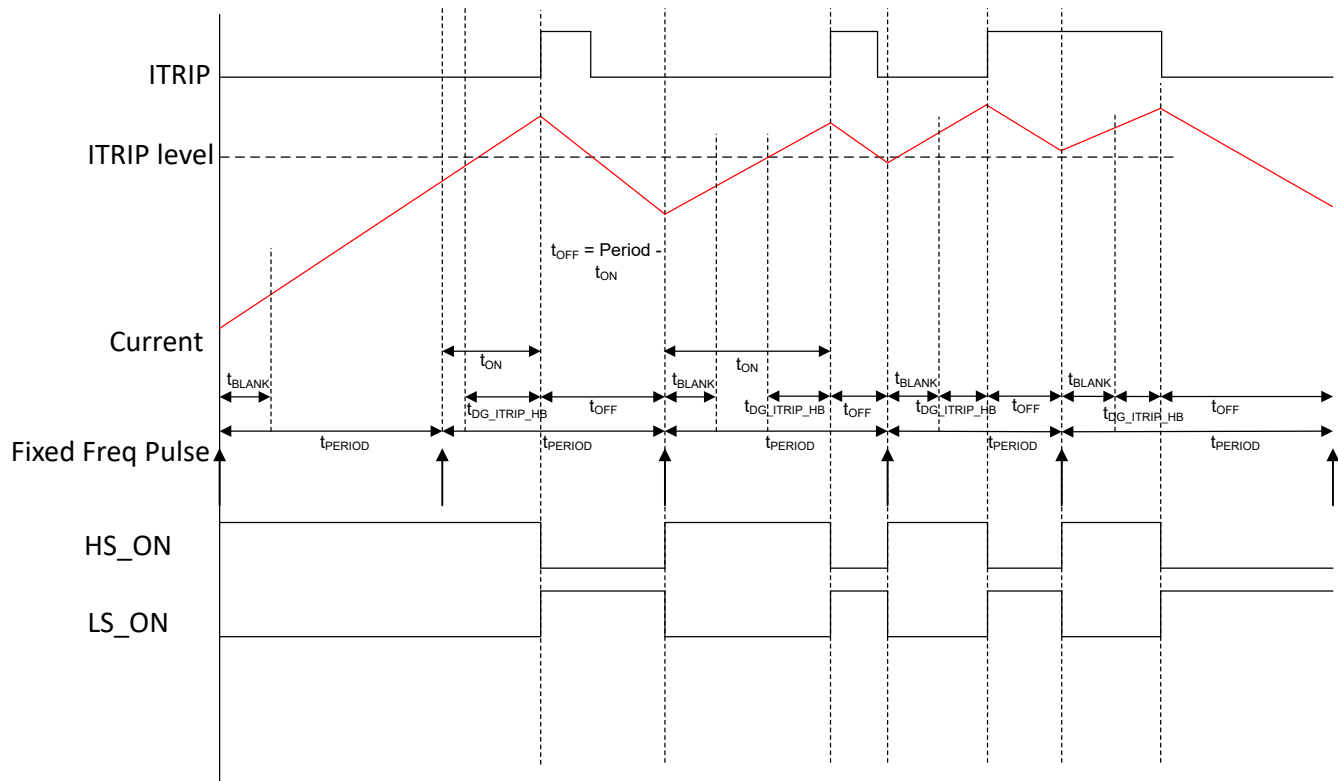


図 7-8. ハーフブリッジの固定周波数 ITRIP 電流レギュレーション

ITRIP の設定は、SPI 通信が利用可能な場合、**OUTx_ITRIP_LVL** ビットへの書き込みによりいつでも変更できます。変更は即座にデバイスの動作に反映されます。

ハーフブリッジが PWM 制御と ITRIP 用に構成されている場合、ITRIP に達すると、動作は SPI レジスタ制御の場合と同じですが、入力構成された PWM ピンから行われます。

HB_ITRIP_FREQ レジスタの **HB_TOFF_SEL** ビットに基づいて、 t_{OFF} の最小値が強制されます。この設定を有効にすると、 $\text{Period} = 1/f_{PWM}$ 、 $t_{OFF} = (\text{Period} - t_{ON})$ となります。 $(\text{Period} - t_{ON}) > t_{OFF_MIN}$ または $t_{OFF} = t_{OFF_MIN} (\text{Period} - t_{ON}) < t_{OFF_MIN}$ の場合です。

たとえば、**HB_TOFF_SEL** = 01b の場合、 $T/2$ の t_{OFF} の最小挿入です。

1. ITRIP がデューティサイクルの 50% を超えて発生した場合、ITRIP 後に最小固定 $T/2$ オフ時間が挿入されます。動作は $t_{OFF} = T/2$ です。
2. ITRIP が 50% デューティサイクル以内に発生した場合、動作は $t_{OFF} = (\text{周期} - t_{ON})$ です。

表 7-19. 最小 t_{OFF} 時間オプション

HB_TOFF_SEL	最小 t_{OFF} は強制
00b	ディセーブル、ゼロ
01b	$T_{OFF} = T/2$ 、50% T
10b	$T_{OFF} = T/4$ 、25% T
11b	$T_{OFF} = T$

7.4.2.5 ハーフブリッジの保護と診断

ハーフブリッジドライバは過電流から保護されています。また、このデバイスは、オン状態およびオフ状態の負荷監視機能も備えています。フォルト信号はレジスタ **HB_STATX** によって行われます。

7.4.2.5.1 ハーフブリッジ オフ状態診断 (OLP)

ユーザーは、ハーフブリッジが無効になっている間、レジスタ **HB_OUT_CNFGx** でハーフブリッジがディセーブルされているときに、オフ状態診断を使用して、ペアのハーフブリッジのインピーダンスを判断できます。この診断により、次の故障状態をパッシブに検出することが可能です:

- VM または GND への出力短絡 < 1000Ω
- ハイスайд負荷での開放負荷 > 1.5kΩ、VM = 13.5V

注

この診断では、**負荷の短絡**を検出することはできません。しかし、出力がアクティブに駆動されている際に過電流エラー (OCP) が発生しているにもかかわらず、出力が無効になっている際に **OLP** 診断がエラーを報告しない場合、ユーザーはこれを論理的に推論することができます。出力がアクティブに駆動されているときに **OCP** が発生し、出力が無効化されているときに **OLP** が発生する場合、端子短絡 (選択された出力ノードでの短絡) を意味します。

- ユーザーは、次の組み合わせを設定できます。
 - **OUTx** 上の内部プルアップ抵抗 (R_{OLP_PU})
 - **OUTx** 上の内部プルダウン抵抗 (R_{OLP_PD})
 - コンパレータの基準電圧レベル
- この組み合わせは、**HB_OL_CNFG1** レジスタの **HB_OLP_CNFG** ビットによって決定されます。
- 診断されるハーフブリッジ ペアは、**HB_OL_CNFG1** レジスタの **HB_OLP_SEL** ビットによって決定されます。
- オフ状態診断コンパレータ出力は、**HB_OLP_STAT** ビットを **HB_STAT2** レジスタ内で利用可能です。出力はラッチされません。
- ユーザーはすべての組み合わせを切り替え、出力が安定した後のステータス ビット出力を記録することが期待されます。
- 入力の組み合わせとステータスレジスタに基づいて、ユーザーは出力にエラーがあるかどうかを判断できます。

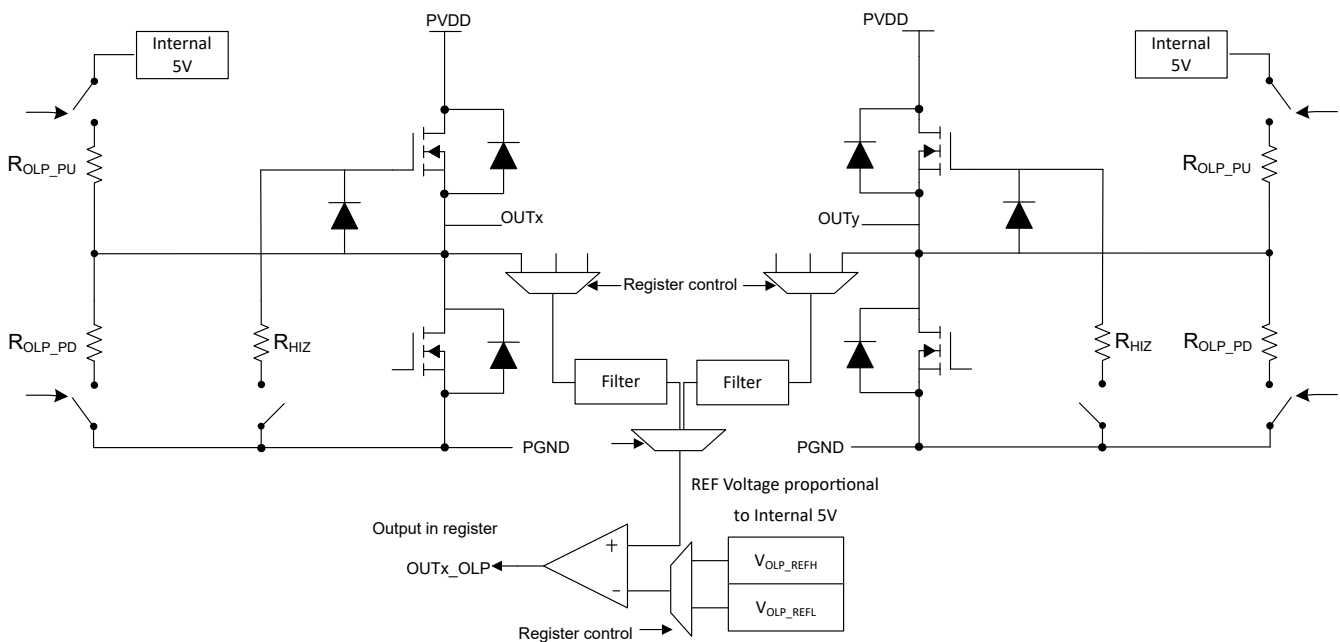


図 7-9. オフ状態 (パッシブ) 診断

以下の出力、プルダウン / プルアップ、VREF の組み合わせを示します。

表 7-20. オフ状態の出力プルアップ / プルダウンおよび VREF オプション

HB_OLP_CNFG	説明
00b	OLP オフ
01b	出力 X プルアップ有効、出力 Y プルダウン有効、出力 Y 選択、VREF Low
10b	出力 x プルアップ有効、出力 Y プルダウン有効、出力 X 選択、VREF High
11b	出力 X プルダウン有効、出力 Y プルアップ有効、出力 Y を選択、VREF Low

故障がないシナリオおよびフォルトのある シナリオに対する OLP の組み合わせおよび真理値表を表 7-21 に示します。診断がアクティブかつ有効になるにはビット **OUTx_CNFG** をレジスタ **HB_OUT_CNFGx** において、すべてのハーフブリッジ構成をゼロ (ディスエーブル) にする必要があります。

表 7-21. オフ状態診断制御表

ユーザー入力		OLP の設定				HB_OLP_STAT			
HB_OLP_CNFG	nSLEEP	OUTX	OUTY	CMP REF	選択された出力	正常	オープン	GND 短絡	VM 短絡
01b	1	R _{OLP_PU}	R _{OLP_PD}	V _{OLP_REFL}	OUTY	1b	0b	0b	1b
10b	1	R _{OLP_PU}	R _{OLP_PD}	V _{OLP_REFH}	OUTX	0b	1b	0b	1b
11b	1	R _{OLP_PD}	R _{OLP_PU}	V _{OLP_REFL}	OUTY	1b	1b	0b	1b

以下に、ハーフブリッジのペアのオフ状態の組み合わせと選択値を示します。

注

いずれかのハーフブリッジが有効化されると、すべてのハーフブリッジ OLP ビットは自動的に無効化され、デバイスはオフ状態診断を終了します。

表 7-22. OUTx と OUTy の構成

HB_OLP_SEL	OUTX と OUTY ペアが選択されています
0000b	出力なし
0001b	OUT1 および OUT2
0010b	OUT1 および OUT3
0011b	OUT1 および OUT4
0100b	OUT1 および OUT5
0101b	OUT1 および OUT6
0110b	OUT2 および OUT3
0111b	OUT2 および OUT4
1000b	OUT2 および OUT5
1001b	OUT2 および OUT6
1010b	OUT3 および OUT4
1011b	OUT3 および OUT5
1100b	OUT3 および OUT6
1101b	OUT4 および OUT5
1110b	OUT4 および OUT6

表 7-22. OUTx と OUTy の構成 (続き)

HB_OLP_SEL	OUTx と OUTy ペアが選択されています
1111b	OUT5 および OUT6

7.4.2.5.2 ハーフブリッジ開放負荷検出

デバイスがアクティブで駆動コマンドを待機しているとき、ハーフブリッジ OUT1～OUT6 には開放負荷検出ループがあります。検出方式では、各ハーフブリッジ出力のハイサイドとローサイドそれぞれの開放負荷ステータスを順にチェックし、レジスタ HB_STAT2 の OUTx_xx_OLA ビット、およびレジスタ IC_STAT1 の WARN ビットのステータスを報告します。

スタンバイまたはスリープ モードから、OUT1 から開始して、制御ループは開放負荷フィルタ時間の完了後に、そのハーフブリッジの電流を低電流のスレッシュホールドと比較することで開放負荷状態を確認し始めます。PWM モードで動作する場合、この遅延は、レジスタ HB_OL_CNFG2 の OUTx_OLA_TH ビットを使用して、32、128、512、1024 PWM サイクルに設定できます。読み戻しには 1 つの追加サイクルが必要です。たとえば、OUTx_OLA_TH が 32 サイクルに構成されている場合、読み戻しする値が 33 番目のサイクルの終了時に利用可能になります。出力が EN/DIS のみで駆動される場合 (PWM スイッチングなし)、開放負荷検出の遅延は 10ms です。

表 7-23. 開放負荷検出サイクル遅延

OUTx_OLA_TH	遅延サイクル カウント
00b	32
01b	128
10b	512
11b	1024

サイクル カウント スレッシュホールドの終了時、または 10ms のタイムアウトが発生した場合、OUTx_HS_OLA/OUTx_LS_OLA ビットが報告されます。設定された遅延サイクル数の後に開放負荷が検出されなければ、ループは次のハーフブリッジに移ります。ループは OUT6 を介して各出力のチェックを継続し、その後 OUT1 に戻り、OLA ループを再起動します。開放負荷チェックを有効にするには、ハーフブリッジの開放負荷検出が有効化されている必要があります (OUTx_OLA = 1b)、かつ出力 OUTx_CNFG が無効化されていない必要があります。下の図は、OLA スキームを示しています。

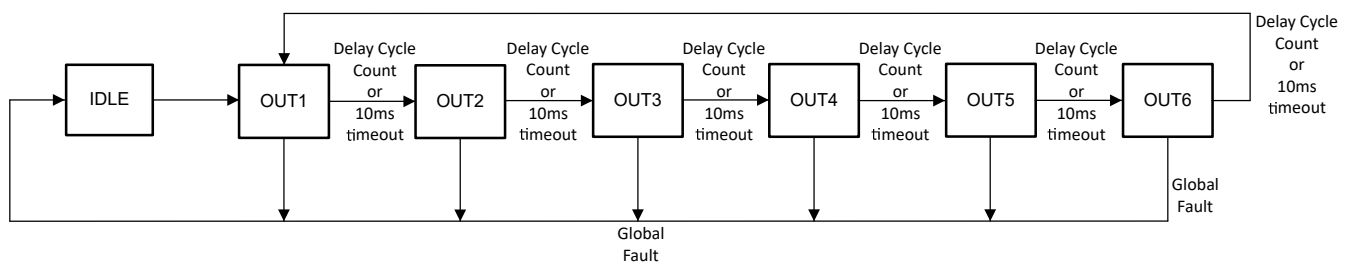


図 7-10. ハーフブリッジ開放負荷アクティブ検出

次の 3 つの条件のいずれかが満たされると、いずれかのハーフブリッジはスキップされます。

1. OUTx は無効化されます (OUTx_CNFG = 00b)。
2. ハーフブリッジの開放負荷検出はイネーブルされていません (OUTx_OLA = 0b)。
3. OUTx は 10ms を超える間オフになります
4. HS_OLA と LS_OLA の両方がすでに検出されフラグが立っている場合、または OUTx に他のフォルト状態 (過電流、過熱) が発生している場合

すべてのハーフブリッジ OUTx が PWM なしで有効になっている場合、すべてのハーフブリッジを巡回するループの合計時間は最大 60 ミリ秒かかる可能性があります。ハーフブリッジが個別または順次に駆動される場合、ループは 10ms 以上 (EN または PWM 制御周波数に依存) で開放負荷を検出します。ハーフブリッジが低周波の外部 PWM 信号で駆

動される場合、出力のオフ時間が 10ms の開放負荷検出ウィンドウを超えることがあります。そのため、ハーフブリッジはタイムアウト終了時、または PWM サイクル数が 10ms 未満の場合にステータスを報告し、その後処理を継続します。

7.4.2.5.3 ハーフブリッジ過電流保護

ハーフブリッジがアクティブのとき、ハード短絡事象の発生時に各 MOSFET のアナログ電流保護回路により MOSFET がシャットオフされます。出力電流が過電流スレッシュホールド I_{OCP_OUTx} を上回る状態になり、その時間が $t_{DG_OCP_HB}$ を超えると、過電流フォルトが検出されます。対応する出力は Hi-Z (ラッチ動作) であり、レジスタ (HB_STAT1) にフォルトがラッチされます。PVDD_OV_MODE で $V_{PVDD} > V_{PVDD_OV}$ が設定されている場合、ハーフブリッジはディセーブルになります。

ハーフブリッジドライバの過電流グリッチ除去時間 $t_{DG_OCP_HB}$ の場合、以下の表にまとめる 4 つの過電流グリッチ除去のオプションがあります。

表 7-24. ハーフブリッジ過電流グリッチ除去

OUTx_OCP_DG	電圧制限	グリッチ除去時間
00b	$V_{PVDD} < V_{PVDD_OV}$	6 μ s
01b	$V_{PVDD} < V_{PVDD_OV}$	10 μ s
10b	$V_{PVDD} < V_{PVDD_OV}$	15 μ s
11b	$V_{PVDD} < 20$ V	60 μ s
	$V_{PVDD} > 20$ V	15 μ s

ドライバを再起動するには、まず MCU がステータスレジスタを読み取ってレジスタ内のエラーをクリアする必要があります。次の図に、ハーフブリッジの過電流動作を示します。

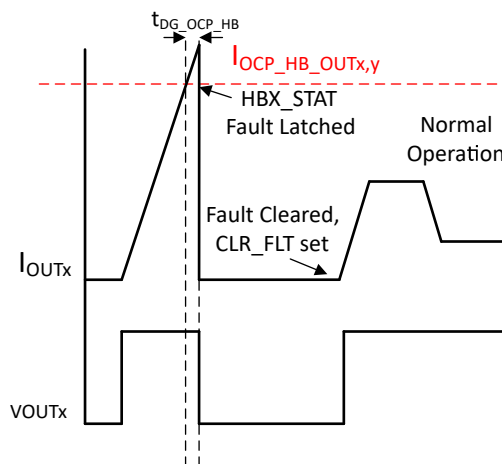


図 7-11. ハーフブリッジの過電流動作

7.4.3 ゲート ドライバ

このデバイスは、フル H ブリッジ 1 回路またはハーフ ブリッジ 2 回路の負荷を駆動するための、ハイサイドおよびローサイドの外部 MOSFET ゲートドライバをそれぞれ 2 系統内蔵しています。また、ハイサイド、ローサイド、インライン電流検出をサポートする電流シャント アンプも内蔵されています。

7.4.3.1 入力 PWM モード

DRV800x-Q1 には、複数の入力 PWM モードがあり、さまざまな制御スキーマと出力負荷構成をサポートします。ゲートドライバ出力は、GD_IN1、GD_IN2、DRVOFF、および nSLEEP 入力ピンを介して制御できます。出力は、S_IN1 および S_IN2 レジスタ設定により制御することもできます。PWM モードは、SPI レジスタ設定 BRG_MODE により設定します。各モードと、それぞれの機能の詳細は以下の通りです。

表 7-25. 入力 PWM モード

入力モード	BRG_MODE	
セクション 7.4.3.1.1	00b	独立ハーフブリッジ
セクション 7.4.3.1.2	01b	(PH/EN)
	10b	(PWM)
予約済み	11b	予約済み

7.4.3.1.1 ハーフブリッジ制御

ハーフブリッジ制御モードでは、各ハーフブリッジのゲートドライバを対応する IN1、IN2 ピンまたはレジスタ経由で個別に制御できます。DRVOFF 信号は、IN1 および IN2 信号よりも優先されます。ハーフブリッジ制御の場合、INx はハーフブリッジを示します。DRV800x-Q1 は、ハイサイド スwitchングとローサイド スwitchング間のデッドタイム生成を内部的に処理し、各ハーフブリッジを単一の PWM 入力で制御できるようにします。

ハーフブリッジは、INx_MODE ビットで SPI 制御用に構成できます。INx_MODE = 1b のとき、ハーフブリッジは S_INx ビットでイネーブルにできます。

ハーフブリッジは、S_HIZx ビットを使用して個別にハイ インピーダンス状態に設定できます。両方のハーフブリッジは、DRVOFF ピンによりハイ インピーダンスを同時に設定できます。

表 7-26. ハーフブリッジ制御モード (BRG_MODE = 00b)

S_HIZx	DRVOFF	INx	GHx	GLx	SHx
1	1	X	L	L	Z
0	0	0	L	H	L
0	0	1	H	L	H

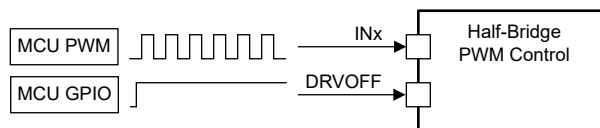


図 7-12. ハーフブリッジ制御

7.4.3.1.2 H ブリッジ制御

H ブリッジ制御では、IN1 および IN2 入力ピン、またはレジスタ GD_HB_CTRL 内の S_IN1 ビットと S_IN2 ビットの組み合わせにより、両方のハーフブリッジ ゲートドライバを H ブリッジ ゲートドライバとして制御できます。

ハーフブリッジ ゲートドライバの制御モードを設定するには、SPI BRG_MODE ビットを PH/EN 制御モードまたは PWM 制御モードに構成できます。PH/EN モードでは、1 つの PWM 信号と 1 つの GPIO 信号によってコマンド制御される速度 / 方向タイプのインターフェイスにより、H ブリッジを制御できます。PWM モードでは、通常は 2 つの PWM 信号を必要とする、より高度なスキーマにより、H ブリッジを制御できます。この結果、H ブリッジドライバは 4 つの異なる出力状態に入ることができるので、必要に応じて制御のフレキシビリティがさらに高まります。

PH/EN モードでは、各ハーフブリッジ入力制御モードはレジスタ **GD_CNFG** のビット **INx_MODE** で設定されます。デフォルトでは、**INx_MODE = 0b** で、両方のハーフブリッジはピンから制御されます。**INx_MODE = 1b** の場合、ハーフブリッジは **SPI** ビット **S_INx** で制御されます。**INx_MODE = 1b** の場合、ピン **IN1** と **IN2** の両方に続いて、**S_IN1** は **EN** になり、**S_IN2** は **PH** になります。

H ブリッジのフリーホイール状態は、**BRG_FW** レジスタ設定により構成できます。**PH/EN** モードと **PWM** モードの両方で、デフォルトのアクティブ フリーホイール モードがローサイドでアクティブです。この設定を使用すると、ローサイドとハイサイドのアクティブ フリーホイール間のブリッジを変更できます。

H ブリッジは、**DRVOFF** ピンまたは **S_HIZx** ビットを使用して、**PWM** または **PH/EN** 制御モードにより **Hi-Z** 状態に設定できます。**S_HIZx** ビットは、ゲートドライバが **PH/EN** 制御モードの場合またはいずれかになり、両方の出力 **SHx** を高インピーダンスにします。

表 7-27. H ブリッジ PH/EN 制御 (BRG_MODE = 01b、INx_MODE = 0b)

DRVOFF	IN1 (EN)	IN2 (PH)	BRG_FW	GH1	GL1	GH2	GL2	SH1	SH2	説明
1	X	X	X	L	L	L	L	Z	Z	高インピーダンス
0	0	X	0b	L	H	L	H	L	L	ローサイド アクティブ フリーホイール
0	0	X	1b	H	L	H	L	H	H	ハイサイド アクティブ フリーホイール
0	1	0	X	L	H	H	L	L	H	ドライブ SH2 → SH1 (逆方向)
0	1	1	X	H	L	L	H	H	L	ドライブ SH1 → SH2 (順方向)

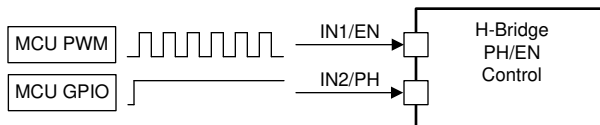


図 7-13. H ブリッジ PH/EN 制御

表 7-28. H ブリッジ PH/EN 制御 (BRG_MODE = 01b、IN2_MODE = 1b)

DRVOFF	IN1 (EN)	S_IN2 (PH)	BRG_FW	GH1	GL1	GH2	GL2	SH1	SH2	説明
1	X	X	X	L	L	L	L	Z	Z	高インピーダンス
0	0	X	0b	L	H	L	H	L	L	ローサイド アクティブ フリーホイール
0	0	X	1b	H	L	H	L	H	H	ハイサイド アクティブ フリーホイール
0	1	0b	X	L	H	H	L	L	H	ドライブ SH2 → SH1 (逆方向)
0	1	1b	X	H	L	L	H	H	L	ドライブ SH1 → SH2 (順方向)

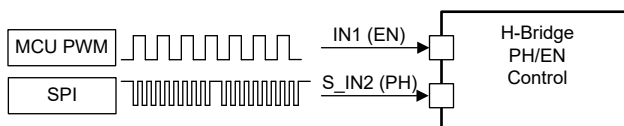


図 7-14. H ブリッジ PH/EN 混合制御

表 7-29. H ブリッジ PH/EN 制御 (BRG_MODE = 01b、IN1_MODE = 1b)

DRVOFF	S_IN1 (EN)	IN2 (PH)	BRG_FW	GH1	GL1	GH2	GL2	SH1	SH2	説明
1	X	X	X	L	L	L	L	Z	Z	高インピーダンス
0	0b	X	0b	L	H	L	H	L	L	ローサイド アクティブ フリーホイール
0	0b	X	1b	H	L	H	L	H	H	ハイサイド アクティブ フリーホイール
0	1b	0	X	L	H	H	L	L	H	ドライブ SH2 → SH1 (逆方向)
0	1b	1	X	H	L	L	H	H	L	ドライブ SH1 → SH2 (順方向)

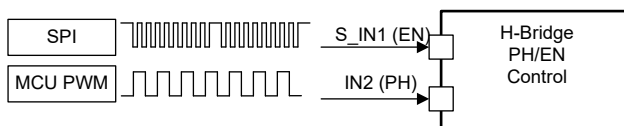


図 7-15. H ブリッジ PH/EN 制御 (BRG_MODE = 01b、IN1_MODE = 1b)

表 7-30. H ブリッジ PWM 制御 (BRG_MODE = 10b)

DRVOFF	IN1	IN2	BRG_FW	GH1	GL1	GH2	GL2	SH1	SH2	説明
1	X	X	X	L	L	L	L	Z	Z	高インピーダンス
0	0	0	X	L	L	L	L	Z	Z	ダイオード フリーホイール (滑走)
0	0	1	X	L	H	H	L	L	H	ドライブ SH2 → SH1 (逆方向)
0	1	0	X	H	L	L	H	H	L	ドライブ SH1 → SH2 (順方向)
0	1	1	0b	L	H	L	H	L	L	ローサイド アクティブ フリーホイール
0	1	1	1b	H	L	H	L	H	H	ハイサイド アクティブ フリーホイール

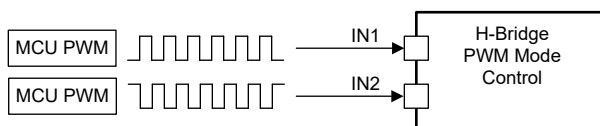


図 7-16. H ブリッジ PWM 制御

7.4.3.1.3 DRVOFF - ゲート ドライバ シャットオフ ピン

DRV8002-Q1 は、DRVOFF ピンにより専用の H ブリッジ ゲート ドライバ ディスエーブル機能を備えています。DRVOFF ピンは、SPI コマンドや PWM 入力の変更に依存せずにゲートドライバをシャットダウンするための直接的なハードウェア ピンを提供します。DRVOFF がアサートされると、他のピンや SPI 入力に関係なくゲートドライバのプルダウンが有効化され、両方のゲートドライバ ハーフブリッジはハイ インピーダンス状態になります。内蔵ドライバとチャージ ポンプは、DRVOFF ピンから独立しています。

DRVOFF ピンにはレジスタ [GD_STAT](#) にラッチされたステータス ビット [DRVOFF_STAT](#) があり、DRVOFF ピンの状態を反映するように連続的に更新されます。これにより、DRVOFF ピンがアサートまたはデアサートされたことを確認するために使用できます。

注

有効な DRVOFF コマンドを登録するには、ホスト コントローラは 3ms 以上 DRVOFF をアサートする必要があります。DRVOFF ステータス ラッチを適切にクリアするには、**DRVOFF が Low になって 3ms 後に CLR_FLT を発行する必要があります。**TI は DRVOFF ステータスがクリアされたことを確認するために、[CLR_FLT](#) を発行する前と後で、レジスタ [GD_STAT](#) の DRVOFF ステータス [DRVOFF_STAT](#) ビットをホストがチェックすることを推奨します。DRVOFF シャットダウンから復帰するには、DRVOFF ピンの立ち上がりエッジ後に [DRVOFF_STAT](#) および [DRVOFF_STAT_FB](#) が HIGH を報告するまで待ち、その後 DRVOFF ピンを ZERO に設定して [CLR_FLT](#) コマンドを発行します。

DRVOFF がアサートされている間は、DVDD が存在している限り、SPI 通信およびロジック入力は利用可能です。

7.4.3.2 ゲート ドライバ - 機能ブロック図

7.4.3.2.1 スマート ゲート ドライバ

DRV8002-Q1 は、高度で調整可能なフローティング スマート ゲートドライバ アーキテクチャを採用し、MOSFET を精密に制御するとともに、堅牢なスイッチング性能を実現します。スマート ゲートドライバ アーキテクチャは、スルーレート制御用のドライバ機能に加え、デッドタイムのハンドシェイク、寄生 dV/dt によるゲート結合の防止、MOSFET ゲート故障検出のためのドライバ ステート マシンを提供します。

高度な適応型駆動機能により、伝搬遅延の低減、デューティ サイクルの歪みの低減、閉ループのプログラム可能なスルー時間を実現しています。高度なスマート ゲートドライバ機能は、一度にシングル ハーフブリッジとして、どのブリッジモ

ードでも利用できます。高度な機能はゲートドライバの標準動作を妨げることはなく、システム要件で必要に応じて利用できます。

スマートゲートドライブアーキテクチャの各種機能を以下に要約し、さらに以下のセクションで詳細を説明します。

スマートゲートドライバのコア機能:

- [図 7-17](#)
- [セクション 7.4.3.2.3](#)
- [セクション 7.4.3.2.4](#)
- 高度: [セクション 7.4.3.2.5](#)
- 高度: [セクション 7.4.3.2.9](#)
- 高度: [セクション 7.4.3.2.10](#)

注

高度で適応的なドライブ機能やレジスタは、デバイスの通常動作には必要なく、特定のシステム要件に対応するために用意されています。

表 7-31. スマートゲートドライバ用語の説明

コア機能	用語	説明
IDRIVE/TDRIVE	I_{DRVP}	可変 MOSFET スルーレート制御を行うためのプログラマブルゲートドライバ駆動ソース電流。IDRVP_x 制御レジスタを使用して構成。
	I_{DRVN}	可変 MOSFET スルーレート制御を行うためのプログラマブルゲート駆動シンク電流。IDRVN_x 制御レジスタを使用して構成。
	I_{HOLD}	非スイッチング期間中の固定ゲートドライバホールドプルアップ電流。
	I_{STRONG}	非スイッチング期間中の固定ゲートドライバ強ブルダウン電流。これは、ハーフブリッジ内の反対側の MOSFET がスイッチング中または Hi-Z 状態にある場合を含みます。
	t_{DRIVE}	I_{HOLD} または I_{STRONG} 以前の $I_{DRVP/N}$ 駆動電流期間。V _{GS} と V _{DS} 障害監視ブランキング期間も実現。VGS_TDRV 制御レジスタを使用して構成。
	t_{PD}	ロジック制御信号からゲートドライバ出力変更までの伝搬遅延。
	t_{DEAD}	ハイサイドスイッチとローサイドスイッチの遷移間のボディダイオードの導通期間。VGS_TDEAD 制御レジスタを使用して構成。
PDR (プリチャージ)	I_{CHR_INIT}	充電制御ループのゲート駆動ソース電流の初期値。PRE_CHR_INIT 制御レジスタを使用して構成。
	I_{PRE_CHR}	制御ループがロックされた後のプリチャージ期間におけるゲート駆動ソース電流。KP_PDR 制御レジスタによって設定された調整レート。PRE_MAX 制御レジスタで設定された最大電流クランプ。
	t_{PRE_CHR}	ゲート駆動ソース電流のプリチャージ期間。T_PRE_CHR 制御レジスタを使用して構成。
	t_{DON}	プリチャージ期間の開始から立ち上がり V _{SH} が V _{SH_L} スレッショルドを超えるまでの遅延時間。T_DON_DOFF 制御レジスタで設定。
	I_{DCHR_INIT}	放電期間制御ループのゲート駆動シンク電流の初期値。PRE_DCHR_INIT 制御レジスタを使用して構成。
	I_{PRE_DCHR}	制御ループがロックされた後のプリディスチャージ期間におけるゲート駆動シンク電流。KP_PDR 制御レジスタによって設定された調整レート。PRE_MAX 制御レジスタで設定された最大電流クランプ。
	t_{PRE_DCHR}	ゲート駆動シンク電流事前放電期間。T_PRE_DCHR 制御レジスタを使用して構成。
	t_{DOFF}	事前放電期間の開始から V _{SH} が V _{SH_H} スレッショルドを交差するまでの遅延時間。T_DON_DOFF 制御レジスタで設定。
	V _{SH_L}	V _{SH} スイッチノードの低電圧スレッショルド。AGD_THR 制御レジスタを使用して構成。
	V _{SH_H}	V _{SH} スイッチノードの高電圧スレッショルド。AGD_THR 制御レジスタを使用して構成。

表 7-31. スマート ゲート ドライバ用語の説明 (続き)

コア機能	用語	説明
PDR (ポスト充電)	I_{PST_CHR}	ポスト充電期間におけるゲート駆動ソース電流。KP_PST 制御レジスタで設定された調整レート。
	t_{PST_CHR}	ポスト充電期間のゲート駆動ソース電流の継続時間。
	I_{PST_DCHR}	ポスト放電期間のゲート駆動シンク電流。KP_PST 制御レジスタで設定された調整レート。
	t_{PST_DCHR}	ポスト充電期間のゲート駆動ソース電流の継続時間。
	I_{FW_CHR}	フリーホイール充電電流。FW_MAX 制御レジスタを使用して構成。
	I_{FW_DCHR}	フリーホイール放電電流。FW_MAX 制御レジスタを使用して構成。
STC	t_{RISE}	V_{SHx} が V_{SHx_L} スレッショルドから V_{SHx_H} スレッショルドに到達するまでの時間。T_RISE_FALL 制御レジスタを使用して構成。
	t_{FALL}	V_{SHx} が V_{SHx_H} スレッショルドから V_{SHx_L} スレッショルドに到達するまでの時間。T_RISE_FALL 制御レジスタを使用して構成。

7.4.3.2.2 機能ブロック図

セクション 7.2 は、ハーフブリッジ ゲートドライバ アーキテクチャの高レベル機能ブロック図を示しています。ゲートドライバ ブロックは、MOSFET 制御、フィードバック、保護のための各種機能を提供します。これには、可変駆動電流、制御ロジック レベル シフタ、 V_{DS} 、 V_{GS} 、 V_{SH} (スイッチ ノード) フィードバック コンパレータ、ハイサイド ツェナークランプ、パッシブ / アクティブ プルダウン抵抗を持つ、相補型のプッシュプル ハイサイド / ローサイド ゲートドライバが含まれています。

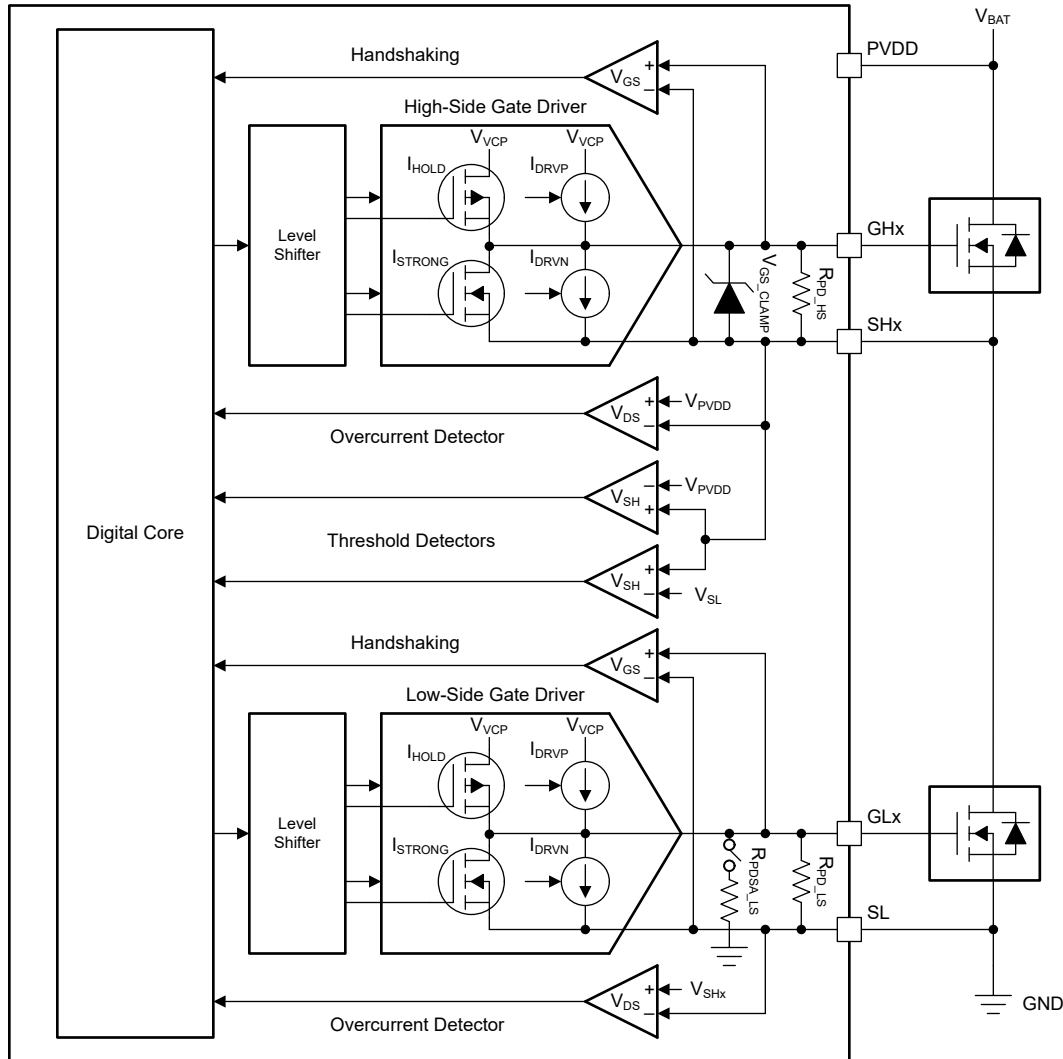


図 7-17. ゲート ドライバの機能ブロック図

7.4.3.2.3 スルーレート制御 (IDRIVE)

スマート ゲート ドライブ アーキテクチャの IDRIVE コンポーネントには、外部 MOSFET V_{DS} スルーレートを調整するための可変ゲートドライブ電流制御が実装されています。これは、内部ゲートドライバ アーキテクチャ用に可変プルアップ (I_{DRVP}) およびプルダウン (I_{DRVN}) 電流ソースを実装することで実現します。

外部 MOSFET の V_{DS} スルーレートは、放射ノイズ / 伝導ノイズ、ダイオード逆回復、 dV/dt 寄生ゲート カップリング、ハーフブリッジのスイッチ ノード上の過電圧または低電圧過渡を最適化するのに不可欠な要素です。IDRIVE は、 V_{DS} スルーレートが主に MOSFET Q_{GD} またはミラー充電領域中のゲート電荷率 (またはゲート電流) によって決定されるという原理に基づいて動作します。ゲート電流を調整できるようにすることで、ゲートドライバは外部パワー MOSFET のスルーレートを効果的に制御できます。

IDRIVE は、DRV8002-Q1 が $IDRVP_x$ および $IDRVN_x$ ビットを介してゲートドライブ電流設定を動的に変更することを可能にします。表 7-32 に示すように、このデバイスではソースとシンク電流について、0.5mA~62mA の範囲で、16 の設定が用意されています。ピーク ゲート駆動電流を、 t_{DRIVE} 期間に対して使用可能です。MOSFET がスイッチされ、 t_{DRIVE} 期間が経過した後、ゲートドライバは、短絡状態の場合に、プルアップ ソース電流に対するホールド電流 (I_{HOLD}) へスイッチして出力電流を制限し、ドライバの効率を向上させます。

$IDRV_LOx$ ビットは、極めて低いスルーレート制御が必要な場合に、16 段階の設定 (0.5mA 未満) を可能にします。

表 7-32. IDRVIVE ソース (I_{DRV_P}) とシンク (I_{DRV_N}) 電流

IDRV_P_x/IDRV_N_x	ゲートソース/シンク電流	
	IDRV_LOx = 0b	IDRV_LOx = 1b
0000b	0.5mA	50 μ A
0001b	1mA	110 μ A
0010b	2mA	170 μ A
0011b	3mA	230 μ A
0100b	4mA	290 μ A
0101b	5mA	350 μ A
0110b	6mA	410 μ A
0111b	7mA	600 μ A
1000b	8mA	725 μ A
1001b	12mA	850 μ A
1010b	16mA	1mA
1011b	20mA	1.2mA
1100b	24mA	1.4mA
1101b	31mA	1.6mA
1110b	48mA	1.8mA
1111b	62mA	2.3mA

7.4.3.2.4 ゲート ドライブステート マシン (TDRIVE)

スマート ゲートドライブ アーキテクチャの TDRIVE 構成要素は、自動デッドタイム挿入、寄生 dV/dt ゲート カップリング 防止、MOSFET ゲート障害検出を実現する統合型ゲートドライブ ステート マシンです。

TDRIVE ステート マシンの最初の構成要素は自動デッドタイム ハンドシェイクです。デッドタイムとは、外部ハイサイド / ローサイド MOSFET のスイッチング間のボディ ダイオード伝導期間で、クロス伝導または貫通電流を防止します。DRV8002-Q1 のゲートドライバは、外付け MOSFET の V_{GS} 電圧を測定することで、外付け MOSFET を適切に有効化するタイミングを判断し、ブレイク アンド メイク デッドタイム方式を実装するために V_{GS} モニタを使用します。このスキーマにより、ゲートドライバが温度ドリフト、エージング、電圧変動、および外部 MOSFET パラメータの変動など、システム内の変動に対するデッドタイムを調整できるようになります。必要に応じて、固定デジタル デッドタイム (t_{DEAD_D}) を追加し、SPI レジスタにより調整できます。

2 番目の部品は、寄生 dV/dt ゲート電荷カップリングの防止に重点を置いています。これは、ハーフブリッジ内の反対側の MOSFET がスイッチングしているかハイ インピーダンスであるときに常に強ゲート電流プルダウン (I_{STRONG}) をイネーブルにすることで実施します。この機能は、ハーフブリッジ スイッチノードのスルーレートが高い場合に外部 MOSFET ゲートにカップリングする寄生電荷を除去するのに役立ちます。

3 番目の部品は、ゲート電圧の問題を検出するためのゲート障害検出方法を実装しています。これは、ピン間の半田付け不良、MOSFET ゲート障害、またはゲートが High または Low に固着した状態を検出するために使用されます。これは、 V_{GS} モニタを使用して、 t_{DRIVE} 時間の終了後にゲート電圧を測定することで行います。ゲート電圧が適切なスレッショルドに達していない場合、ゲートドライバは対応するフォルト状況を通知します。障害が誤って検出されないように、MOSFET ゲートの充電または放電に必要な時間より長い t_{DRIVE} 時間を選択する必要があります。 t_{DRIVE} 時間によって PWM 時間が延長されることはなく、別の PWM コマンドを受け取った場合はその時点で終了します。

MOSFET の充電前および充電後電流プロファイルの例は、[PDR 充電プロファイル](#)に示されています。[PDR 放電プロファイル](#)に示すように、MOSFET の放電前と放電後に対して同じ制御ループが繰り返されます。[セクション 7.4.3.2.8](#) に、各種 PWM およびモーターの場合における完全な制御ループの例をいくつか示します。

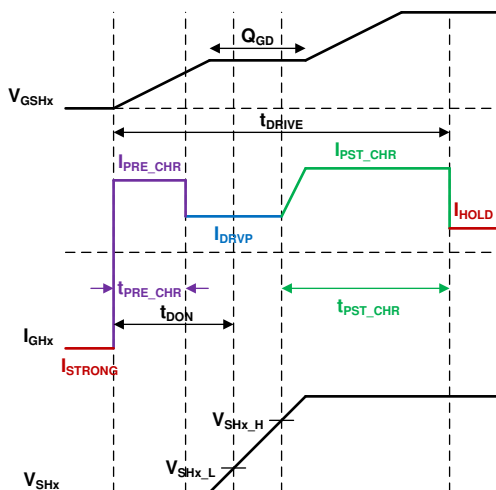


図 7-19. PDR 充電プロファイル

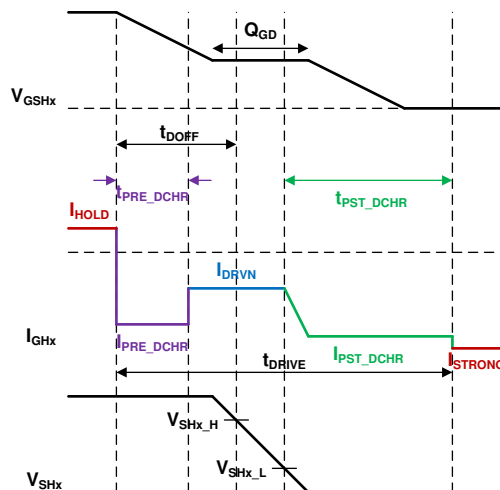


図 7-20. PDR 放電プロファイル

7.4.3.2.6 PDR 事前充電 / 事前放電制御ループ動作の詳細

PDR 事前充電 / 事前放電制御ループは、比例ゲイン誤差コントローラ ([KP_PDR](#)) を介してドライバの事前充電電流 (I_{PRE_CHR}) および事前放電電流 (I_{PRE_DCHR}) のレベルを動的に調整することで、ユーザーが設定したターンオン/ ターンオフ伝搬遅延 ([T_DON_DOFF](#)) を実現します。エラー コントローラは、測定された伝搬遅延 (t_{ON} , t_{OFF}) と設定された伝搬遅延 ([T_DON_DOFF](#)) の差を測定し、次のスイッチング サイクルのプリチャージ電流レベルを更新します。制御ループはデバイスのデフォルト設定で動作させることもできますが、タイミング パラメータ、初期電流レベル、エラーコントローラの強さ、その他の設定を構成できる柔軟性も完全に備えています。

7.4.3.2.7 PDR 充電 / 放電後の制御ループ動作の詳細

PDR の充電後 / 放電後の制御ループは、MOSFET のスイッチング領域を通過した後にドライバのゲート電流を増加させることで動作します。これは、スイッチノード電圧 (V_{SHx}) を測定してから、適切なスレッシュホールドを超えた後にゲート電流を増加させることで行います。制御ループは、デバイスのデフォルト構成設定で動作できますが、タイミング パラメータ、コントローラの強度、その他の設定を構成できる高い柔軟性があります。

7.4.3.2.7.1 PDR の充電後 / 放電後の設定

- 充電前 / 放電後の制御ループを有効にします。KP_PST レジスタ設定。
- オプションの構成オプション:
 - 充電後 / 放電後の開始前に、追加の遅延を追加します。EN_PST_DLY レジスタの設定。
 - 比例ゲイン コントローラの強度を調整します。KP_PST レジスタ設定。

7.4.3.2.8 駆動およびフリーホイール MOSFET の検出

デフォルトでは、PDR ループはハーフブリッジからの電流の極性を判定することで、どちらの MOSFET が駆動用 MOSFET で、どちらの MOSFET がフリーホイール MOSFET かを自動的に検出します。これは、デッドタイム中のハーフブリッジ V_{SHx} 電圧を測定して、ハイサイドとローサイドのどちらのボディ ダイオードが導通しているかを判定することで行われます。電流の極性を判定できない場合、GD_STAT レジスタで IDIR_WARN がフラグされます。自動フリーホイール検出は、レジスタ GD_AGD_CNFG の IDIR_MAN ビットで無効化できます。手動フリーホイールモードでは、PDR ループは、駆動 MOSFET である MOSFET、およびフリーホイール MOSFET である MOSFET を決定するため、レジスタ GD_STC_CNFG の IDIR_MAN_SEL ビットに依存します。0b の場合、ハイサイド MOSFET はドライブ MOSFET、ローサイド MOSFET はフリーホイール MOSFET です。1b の場合、ローサイド MOSFET はドライブ MOSFET、ハイサイド MOSFET はフリーホイール MOSFET です。

HS 駆動 PWM のターンオン / オフの例に、 V_{SHx} スイッチ ノード電圧遷移を制御するハイサイド MOSFET (HS1) と、フリーホイール MOSFET として動作するローサイド MOSFET (LS1) を示します。

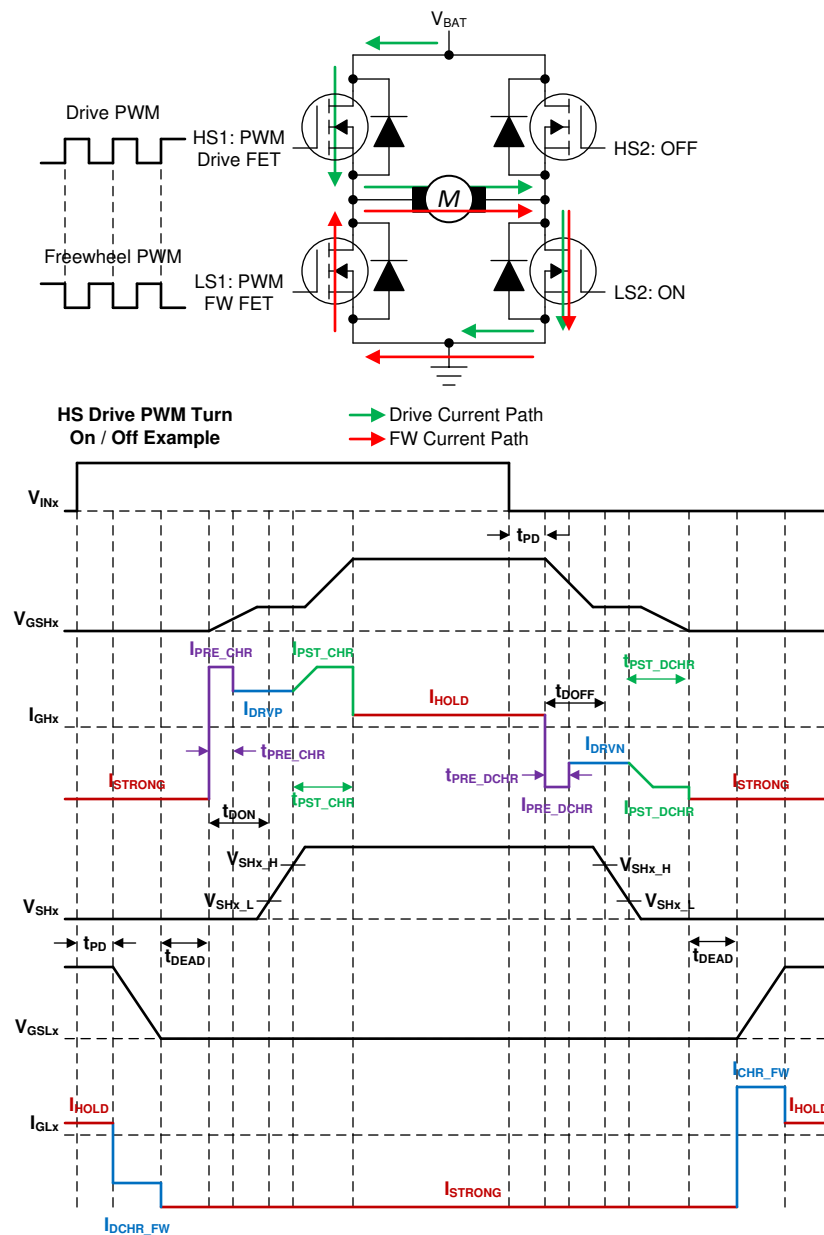


図 7-21. HS 駆動 PWM のターンオン / オフの例

LS 駆動 PWM のターンオン / オフの例に、 V_{SHx} スイッチ ノード電圧遷移を制御するローサイド MOSFET (LS2) と、ハイサイド MOSFET (HS2) がフリーホイール MOSFET として動作する様子を示します。

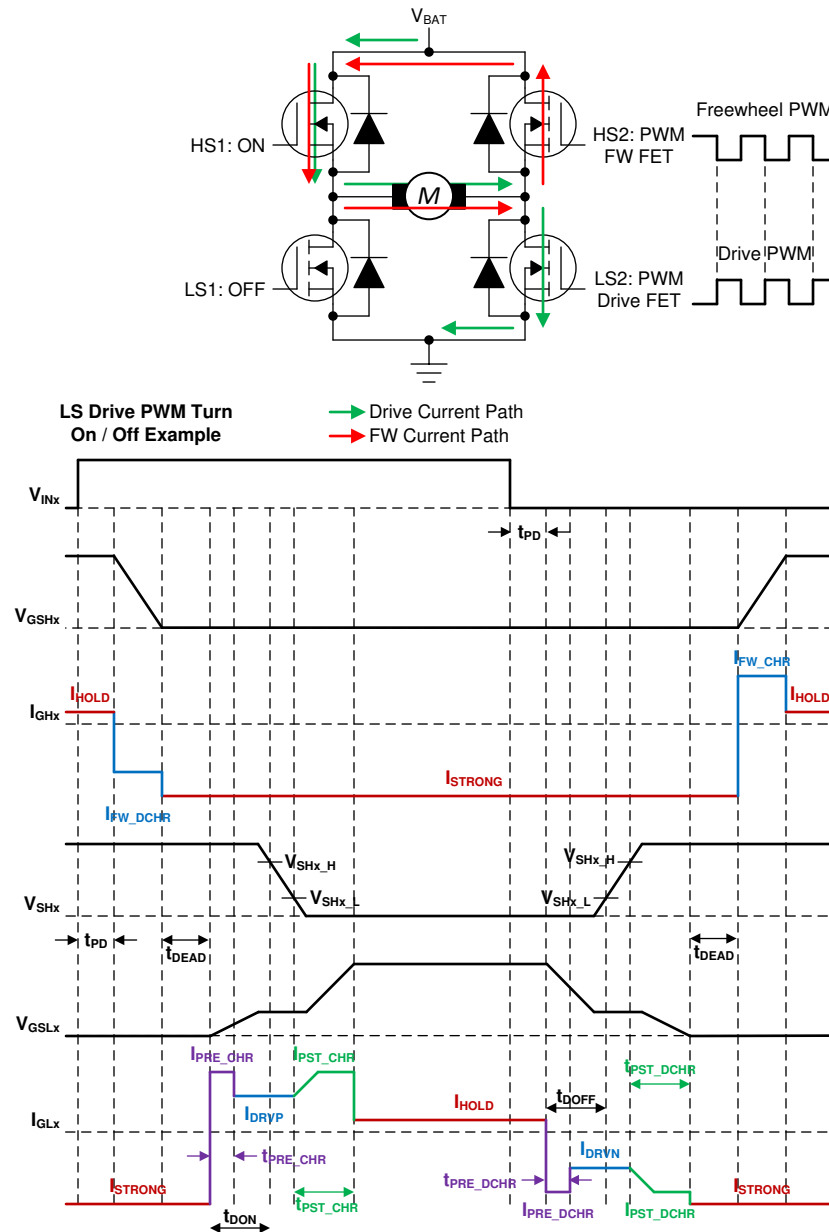


図 7-22. LS 駆動 PWM のターンオン / オフの例

7.4.3.2.9 自動デューティ サイクル補償 (DCC)

自動デューティ サイクル補償 (DCC) スマート ゲートドライバ機能は、オンおよびオフ信号を一致させることで、オンシーケンスとオフシーケンスの遅延差によって生じるデューティ サイクルの歪みを低減する機能です。ターンオン遅延とターンオフ遅延の差は、 V_{SHx} のスルーが発生する前に、フリーホイール MOSFET を充電または放電する必要があるかどうかによって決まります。フリーホイール MOSFET がドライブ MOSFET より先に充電または放電すると、不一致が生じ、デューティ サイクルの歪みを引き起こす可能性があります。DCC 制御ループでは、ターンオンとターンオフの両方の遅延を

一致させるために、追加の遅延が追加されます。この機能は、標準的な駆動モードで、または PDR または STC 制御モードと組み合わせて使用できます。

DCC 機能は、**EN_DCC** ビットにより有効になります。**SET_AGD** ビットを使用して、アクティブ ハーフブリッジ受信 PWM 制御を設定します。

7.4.3.2.10 閉ループスルー時間制御 (STC)

スルー時間制御 (STC) ループにより、出力スイッチ ノードに特定のスルー立ち上がりおよび立ち下がり時間を設定できます。このデバイスは、ゲート駆動出力電流 (I_{DRV_P} および I_{DRV_N}) を目的の目標設定に合わせて調整されます。この機能は、標準的な駆動モードで、または PDR または DCC 制御モードと組み合わせて使用できます。

7.4.3.2.10.1 STC 制御ループのセットアップ

- STC 制御ループを有効にします。**EN_STC** レジスタ設定
- アクティブ PWM ハーフブリッジを設定します。**SET_AGD** レジスタ設定。注: 高度なドライバ制御設定は、各ハーフブリッジ ペア間で共有されます。
- 目標 t_{RISE} および t_{FALL} 時間を設定します。**T_RISE_FALL** レジスタ設定。
- オプションの構成オプション:
- 比例ゲイン コントローラの強度を調整します。**KP_STC** レジスタ設定。

7.4.3.3 トリプラー (2 段) チャージ ポンプ

外付け MOSFET 用のハイサイド ゲート駆動電圧は、PVDD 電源入力から動作する三倍化 (二段式) チャージ ポンプを使用して生成されます。チャージ ポンプにより、広い入力電源電圧範囲にわたって、外付け N チャネル MOSFET のソース電圧に対して、ハイサイドおよびローサイドのゲートドライバを適切にバイアスすることができます。チャージ ポンプの出力 (V_{VCP}) は、VPVDD に対して一定の電圧を維持するように制御されています。チャージ ポンプは、MOSFET が十分に駆動されない状態や短絡状態を防ぐために、低電圧 (V_{CPUV}) イベントについて常時監視されています。

チャージ ポンプには、複数の構成オプションがあります。デフォルトでは、電力損失を低減するために、PVDD ピン電圧が V_{CPUV_SO} しきい値を超えると、チャージ ポンプは自動的に三倍化 (二段式) モードと二倍化 (一段式) モードの間を切り替えます。また、チャージ ポンプは、SPI レジスタ設定 **CP_MODE** により、常に 3 倍速または 2 倍速のまま維持されるように構成することもできます。

チャージ ポンプには、ストレージ コンデンサとして機能させるために、PVDD ピンと VCP ピンの間に低 ESR の 1 μ F、16V セラミック コンデンサ (X7R 推奨) が必要です。さらに、CP1H と CP1L 間、および CP2H と CP2L 間には、フライング コンデンサとして機能するために、低 ESR の 100nF、PVDD 定格のセラミック コンデンサ (X7R 推奨) が必要です。

注

チャージ ポンプは PVDD ピンに対して制御されているため、スイッチング動作中に外付け MOSFET の適切な V_{GS} を確保できるよう、PVDD ピンと MOSFET 電源との電圧差がしきい値以内に制限されていることを確認します。

7.4.3.4 広同相差動電流シャント アンプ

このデバイスは、外付けハーフブリッジにおいてシャント抵抗を用いた電流測定のために、高性能で広い同相モード範囲を持つ双方向の電流シャント アンプを内蔵しています。電流測定は、一般に、過電流保護、外部トルク制御、外部コントローラによる整流を実装するために使用されます。シャント アンプの高い同相範囲により、シャント アンプではローサイド、ハイサイド、またはインライン シャント構成をサポートできます。電流シャント アンプには、プログラマブル ゲイン、単方向および双方向のサポート、出力ブランキング、さらにアンプ出力の midpoint バイアス電圧を設定するためのプログラマブル内部電圧リファレンスといった機能が含まれています。[図 7-23](#) に、簡略化したブロック図を示します。SP はシャント抵抗の正端子に接続され、SN はシャント抵抗の負端子に接続されます。SO ピンには、必要に応じて RC フィルタをアンプの出力に適用できます。アンプを使用しない場合、SN および SP 入力 PCB の GND に接続し、SO 出力は未接続のままにできます。

注

ハイサイド センス構成では、 $nSLEEP = 0V$ のとき、約 $600k\Omega$ から GND へのリークパスが存在することに注意してください。TI は、シャントアンプの入力ピン SP または SN にフィルタリングを追加することを推奨しません。

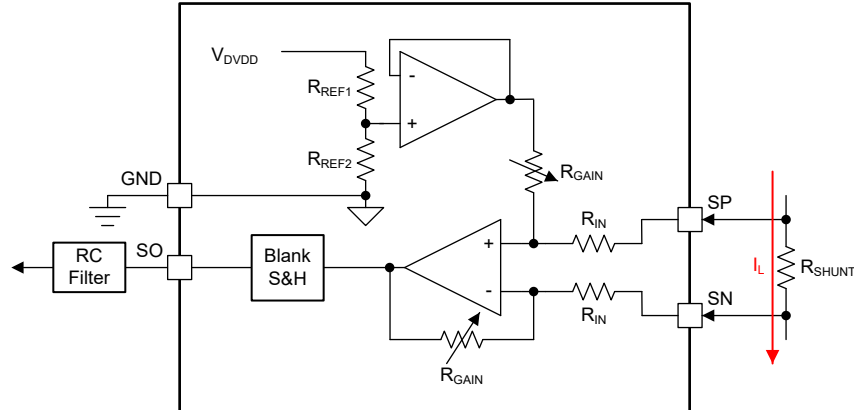


図 7-23. アンプのブロック概略図

以下に詳細なブロック図を示します。広同相アンプは、2 段差動アーキテクチャで実装されています。1 番目の差動段では、広い同相入力、差動出力をサポートし、ゲインは $G = 2$ で固定されています。2 番目の差動段では、可変ゲイン調整、 $G = 5, 10, 20, 40$ をサポートします。2 つの段の合計ゲインは、 $G = 10, 20, 40$ 、または 80 となります。

内部リファレンス電圧は分圧ネットワークとバッファを経由し、その後差動アンプの出力電圧バイアスを設定します。レジスタ設定 [CSA_GAIN](#) と [CSA_DIV](#) による基準分圧比によって、ゲインが構成されます。

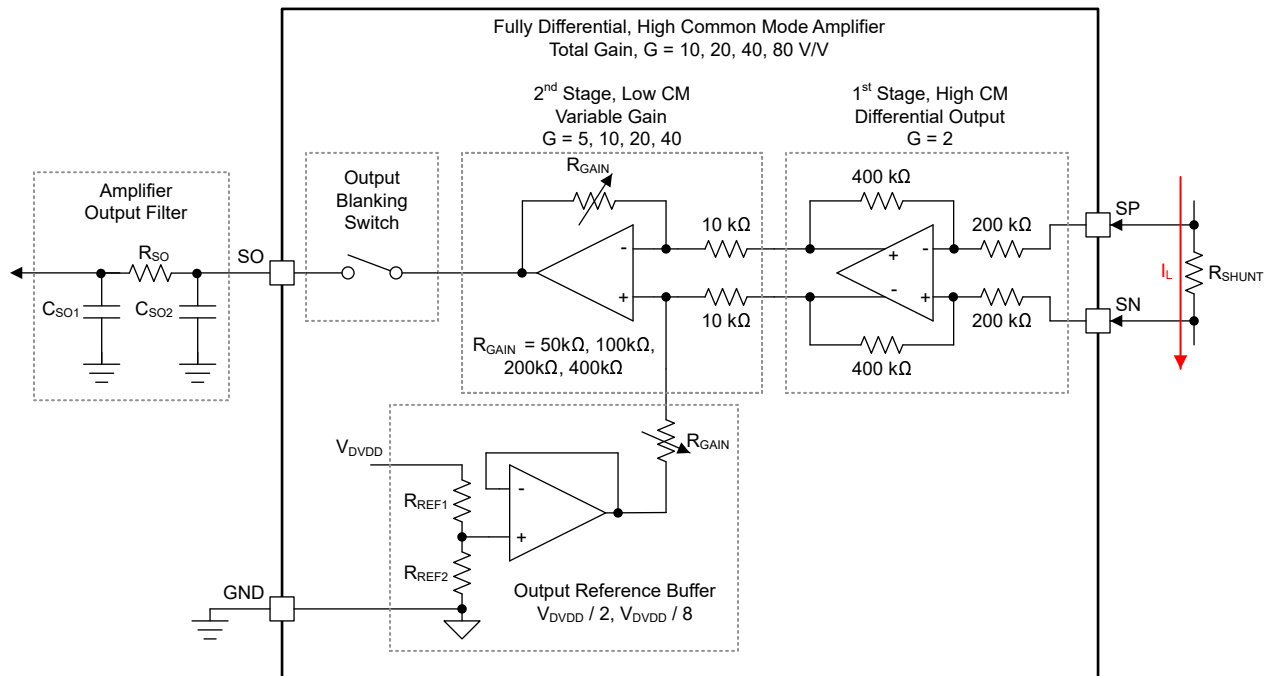


図 7-24. アンプの詳細ブロック図

最後に、アンプには出力ブランキング スイッチがあります。出力スイッチを使用して、PWM スイッチング時にアンプ出力を接続解除し、出力ノイズ (ブランキング) を低減できます。ブランキング回路は、[CSA_BLK_SEL](#) レジスタ設定により、アク

タイプ ハーフブリッジでトリガを設定できます。ブランキング期間は、**CSA_BLK** レジスタ設定により構成できます。ゲートドライバがハイサイドとローサイド FET のオン / オフを切り替える際、出力のスイングやノイズがデッドタイム期間中に結合してアンプ信号にノイズを与えるのを避けるため、ブランキング時間はデッドタイム ウィンドウ全体に延長されます。ブランキング中にアンプ出力が切断されたときにアンプ出力 C_{SO2} を安定させるため、出力保持コンデンサを使用することをお勧めします。通常、このコンデンサはアンプ出力に直接見える容量を制限するため、 R_{SO} および C_{SO1} で示される RC フィルタ構成において直列抵抗の後に配置されます。図 7-25 に、ブランキング機能の例を示します。

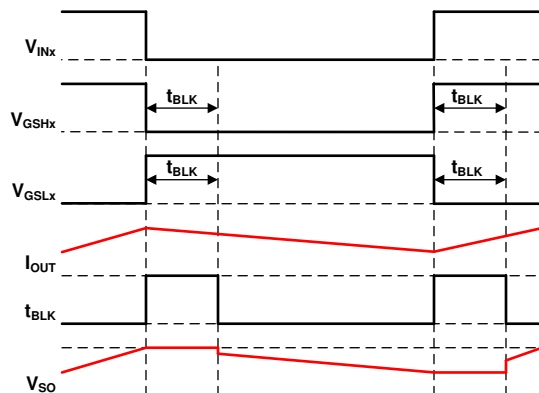


図 7-25. アンプ ブランキング例

7.4.3.5 ゲート ドライバ保護回路

7.4.3.5.1 MOSFET V_{DS} 過電流保護 (VDS_OCP)

V_{DS} 過電流コンパレータの両端の電圧が V_{DS_LVL} を t_{DS_DG} 時間より長い時間超えている場合、 V_{DS} 過電流状態が検出されます。電圧スレッシュホルドとグリッチ除去時間は、**VDS_xx_LVL** と **VDS_DG** レジスタ設定により調整できます。

V_{DS} 過電流モニターは、**VDS_MODE** レジスタ設定により設定された 4 つの異なるモードで応答し、回復することができます。

- **ラッチ フォルト モード:** 過電流イベントを検出すると、ゲートドライバのプルダウンが有効化され、**FAULT** レジスタビットおよび関連する **VDS** レジスタビットがアサートされます。ゲートフォルト イベントの解消後、**CLR_FLT** が発行されるまではフォルト状況はラッチされた状態のままです。
- **サイクルごとのモード:** 過電流イベントを検出すると、ゲートドライバのプルダウンが有効化され、**FAULT** レジスタビットおよび関連する **VDS_xx** レジスタビットがアサートされます。次の PWM 入力によって **FAULT** レジスタビットがクリアされ、ドライバが自動的に再有効化されます。関連する **VDS_xx** レジスタビットは、**CLR_FLT** が発行されるまでアサートされたまま残ります。
- **警告レポートのみモード:** 過電流イベントは、**WARN** レジスタビットと関連する **VDS_xx** レジスタビットで通知されます。デバイスは一切対応を行いません。**CLR_FLT** が発行されるまで、警告はラッチされたままです。
- **ディセーブル モード:** V_{DS} 過電流監視は無効となり、応答や通知を行いません。

V_{DS} 過電流の故障が発生したときは、外部 MOSFET を無効にする時間を延長または短縮するために、ゲート プルダウン電流を構成できます。これにより、大電流の短絡状況でのスロー ターンオフを回避できます。この設定は、**VDS_IDRVN** レジスタ設定により構成されます。

7.4.3.5.2 ゲート ドライバフォルト (VGS_GDF)

V_{GS} 電圧が V_{GS_LVL} コンパレータ レベルを t_{DRIVE} 時間よりも長い時間にわたって超えない場合、 V_{GS} ゲートフォルト状況が検出されます。

さらに、独立ハーフブリッジ スプリット HS/LS PWM 制御 (**BRG_MODE** = 00b) では、すべてのハーフブリッジ、または **VGS_IND** レジスタ設定によりゲート障害が発生した関連するハーフブリッジのみをディセーブルにするようにデバイスを

構成できます。DRV800x -Q1 PH/EN および PWM H ブリッジ制御モード (**BRG_MODE** = 01b, 10b) では、**VGS_IND** レジスタ設定を使用して、すべての H ブリッジをディセーブルにするか、または故障が発生した関連する H ブリッジのみをディセーブルにできます。

V_{GS} ゲートフォルト モニタが **VGS_MODE** レジスタ設定により、4 つの異なるモードで応答し、回復できます。

- **ラッチ フォルト モード:** ゲート フォルト イベントを検出すると、ゲートドライバのプルダウンが有効化され、**FAULT** レジスタ ビットおよび関連する **VGS** レジスタ ビットがアサートされます。ゲート フォルト イベントの解消後、**CLR_FLT** が発行されるまではフォルト状況はラッチされた状態のままです。
- **サイクルごとのモード:** ゲート フォルト イベントを検出すると、ゲートドライバのプルダウンが有効化され、**FAULT** レジスタ ビット、GD、および関連する **VGS_XX** レジスタ ビットがアサートされます。次の PWM 入力によって **FAULT** レジスタ ビットがクリアされ、ドライバが自動的に再有効化されます。**VGS_XX** ビットおよび GD ビットは、**CLR_FLT** が発行されるまでアサートされたまま残ります。
- **警告レポートのみモード:** 過電流イベントは、**WARN** ビットおよび関連する **VGS_XX** レジスタ ビットで報告されます。デバイスは一切対応を行いません。**CLR_FLT** が発行されるまで、警告はラッチされたままです。
- **ディセーブル モード:** V_{GS} ゲートのフォルト監視はディセーブルとなり、応答や通知を行いません。

7.4.3.5.3 オフライン短絡とオープン負荷検出 (OOL / OSC)

このデバイスには、オフラインでの短絡を実行し、外部パワー MOSFET と負荷をオープン負荷診断するのに必要なハードウェアが搭載されています。これは、外部ハーフブリッジのスイッチ ノードに接続された **SHx** ピン上の集積プルアップおよびプルダウン電流源によって実現されます。オフライン診断は、対応するレジスタ ビット **EN_OLSC** によって制御されます。まず、**EN_OLSC** レジスタ設定により、オフライン診断モードをイネーブルにする必要があります。その後、個別の電流ソースを **#none#** および **PU_SHx** レジスタ設定によりイネーブルにできます。

SHx ピンの電圧は、内部 V_{DS} コンパレータによって連続的に監視されます。診断状態の間、 V_{DS} コンパレータは、関連する **VDS_XX** レジスタ ステータス ビット内の **SPI** レジスタ内の **SHx** ピン ノード上のリアルタイムの電圧帰還を通知します。 V_{DS} コンパレータが診断モードの場合、グローバル GD **SPI** レジスタビットは故障や警告を通知しません。

オフライン診断を有効にする前に、外付け MOSFET ハーフブリッジを **EN_GD** レジスタ設定によって無効状態にすることが TI により推奨されています。さらに、内部ブロッキング ダイオードの順方向電圧降下に対して十分な余裕を確保するために、 V_{DS} コンパレータのスレッシュホールド (または) を 1V 以上に調整します。

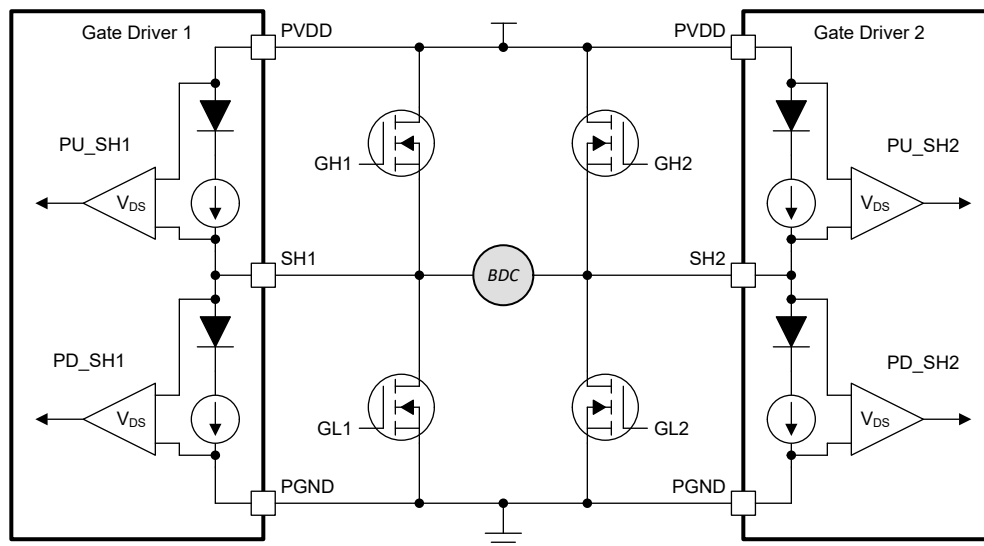


図 7-26. オフライン診断

注

V_{DS} コンパレータは、**EN_OLSC** が設定された直後に、リアルタイム電圧帰還を開始します。適切なプルアップおよびプルダウン構成が設定されるまで、帰還は無視されます。

7.4.4 センス出力 (IPROPI)

このデバイスは、IPROPI ピンで電流センス、 V_{PVDD} の監視、およびダイ温度の出力を備えています。この情報は、負荷のステータスやレギュレーション (OUTx 上)、ダイ温度のチェック、またはローカル モータ電源電圧の供給に使用できます。これらの統合機能により、複数の外部センス抵抗やセンス回路が不要になり、システム サイズ、コスト、複雑さを削減できます。

シャントレス ハイサイド電流ミラー構成により、負荷電流を検出します。IPROPI 出力電流は、有効化されたドライバ (OUTx) の瞬時電流に対して、固定の比率 A_{IPROPI} で決まります。サーマル クラスタ出力は、対応するゾーン温度検出回路から供給されます。ローカル モータ電源の $PVDD$ センスと温度センスは、IPROPI 抵抗を介して IPROPI ピンの電流出力に変換され、5V および 3.3V の ADC ピンに対応するスケーラブルな出力電圧を可能にします。

IPROPI センス出力においては、選択されたスケール (負荷電流、電圧、または温度) の最大値が、最大 IPROPI 出力電流 2 mA で表されます。例えば、8A の負荷を駆動している場合 (これはドライバの最小 OCP)、OUT5 の IPROPI を選択すると、想定される IPROPI 出力電流は 2mA になります。負荷電流がドライバの最小 OCP をわずかに上回る場合、IPROPI 出力電流が IPROPI の電流検出比に従っているかどうかを確認できず、場合によっては OCP シャットダウンが発生することがあります。

ビット **IPROPI_SEL** は、IPROPI ピンにどの出力が多重化されるかを定義します (以下の表に示す制御値を示します):

表 7-33. IPROPI_SEL オプション

IPROPI_SEL	出力
00000b	出力なし
00001b	OUT1 による電流検出
00010b	OUT2 による電流検出
00011b	OUT3 による電流検出
00100b	OUT4 による電流検出
00101b	OUT5 による電流検出
00110b	OUT6 による電流検出
00111b	OUT7 による電流検出
01000b	OUT8 による電流検出
01001b	OUT9 による電流検出
01010b	OUT10 による電流検出
01011b	OUT11 による電流検出
01100b	OUT12 による電流検出
01101b	RSVD
01110b	RSVD
01111b	RSVD
10000b	V_{PVDD} 検出の公称範囲 (5V ~ 22V)
10001b	サーマル クラスタ 1
10010	サーマル クラスタ 2
10011	サーマル クラスタ 3
10100	サーマル クラスタ 4
10101	V_{PVDD} 検出 High レンジ (20V ~ 32V)

I_{PROPI} ピンは多目的ピンで、ハーフブリッジの 2 番目の PWM ピン制御入力オプションとしても使用できるため、I_{PROPI}/PWM2 ピンのモードは、レジスタ **IC_CTRL** のビット **I_{PROPI}_MODE** で制御されます。

次の図は、選択可能な I_{PROPI} 出力の簡単なブロック図を示しています。

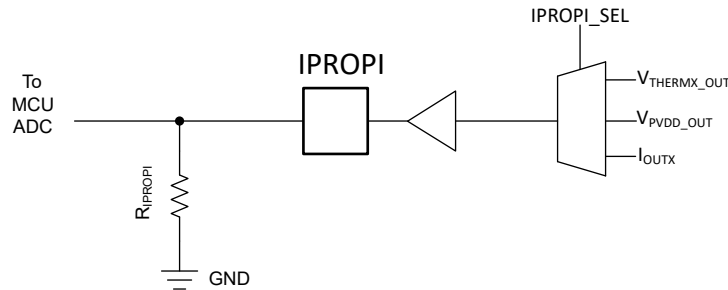


図 7-27. I_{PROPI} 出力回路

I_{PROPI} リセット、ブランク、セトリグ時間: 上記の表から I_{PROPI} 出力オプションのいずれかを選択するとき、**I_{PROPI}_SEL** ビットを使用して、最初に I_{PROPI} 出力は 5.5μs 内で 0V にリセットされます。このリセットは、すべての I_{PROPI} 出力の選択または遷移に対して発生します。誤った読み取りを防ぐために、いずれかのドライバまたはセンス出力をオンにした後、回路が安定するまで I_{PROPI} の信号はブランピングされます。ハイサイドドライバの場合、その時間はおよそ 60μs です。

電流 (I_{OUTX}) センス: 電流出力の場合、I_{PROPI} 出力のアナログ電流は A_{I_{PROPI}} で次のようにスケールリングされます。

$$I_{IPROPI} = I_{OUTX} / A_{IPROPI} \quad (3)$$

PVDD センス: PVDD 電圧センス出力には、次の 2 つの範囲があります：

- 公称範囲: 5V ~ 22V、ここで、I_{PROPI} 出力電流は以下の通りです: V_{PVDD}/11,000 です
- ハイレンジ: 20V ~ 32V、ここで、I_{PROPI} 出力電流は以下の通りです: V_{PVDD}/16,500

次に例を示します。

- 公称 PVDD 範囲 1 に対して **I_{PROPI}_SEL** を選択します (**I_{PROPI}_SEL** = 10000b)
- V_{PVDD} は 13.5V です
- I_{I_{PROPI}} = 1.2mA

PVDD 検出フォルト動作: I_{PROPI} PVDD 電圧センス出力は有効で、V_{PVDD} が PVDD UV スレッショルドを上回っているとき、および V_{DVDD} が推奨される最小動作電圧を上回っているときに利用可能です。

V_{PVDD} が PVDD OV スレッショルドを上回っても、PVDD 検出出力はサポートされます。ただし、公称範囲 (5V ~ 22V) の I_{PROPI} PVDD 検出出力は、V_{PVDD} > 22V 以上では検証できません。1/16,500 のハイレンジ I_{PROPI} PVDD 検出出力比は 20V ~ 32V 以内で有効ですが、V_{PVDD} (32V) を超えると検証することはできません。

PVDD センスが利用できない故障：

- チャージポンプ低電圧 (**VCP_UV**)
- グローバルシャットダウン用に構成されている場合のサーマルシャットダウン (デフォルト)

温度検出出力: I_{PROPI} 出力は、4 つのサーマルクラスタ温度のいずれか 1 つの電流値を表すこともできます。これはテストと評価に使用することを意図していますが、デバイスの実行時に使用することはできません。

I_{PROPI} 出力電流が利用可能な最大内部温度は 195°C で、この時点で I_{PROPI} 出力電流は 1.94mA です。I_{PROPI} 電流出力は、-40°C ~ 195°C の温度範囲に従ってスケールリングされます。I_{PROPI} 出力電流の式は次のとおりです：

$$I_{IPROPI} = \alpha + \beta \times t$$

ここで、 α はオフセットが 1.49mA にほぼ等しく、 β は 2.32 μ A/°C、「t」は温度です。温度に戻すためには、温度について解くと次のようになります：

$$t = (I_{IPROPI} - \alpha) / \beta$$

R_{IPROPI} で生成される電圧は、次のようになります：

$$t = ([V_{IPROPI} / R_{IPROPI}] - \alpha) / \beta$$

例えば、クラスタ温度が 0°C のとき、IPROPI 出力電流は 1.49mA です。145°C での IPROPI の出力電流は 1.83mA です。

比例電圧 V_{IPROPI} を生成するには、外付け抵抗 (R_{IPROPI}) を介して IPROPI ピンをグラウンドに接続する必要があります。これにより、アプリケーション内の R_{IPROPI} 抵抗の両端の電圧降下として IPROPI 電流を測定することができ、コントローラの ADC の全範囲が利用可能になります。

IPROPI 抵抗の値を選択するときは、最大動作 IPROPI 出力電圧は 4.7V であることに注意してください。この値は、最大センサ値 (ドライバの最大負荷電流など) で IPROPI 出力電圧を 5.3V に駆動する IPROPI の出力誤差 10% を考慮しています。この電圧を下回るようにするには、2.35k Ω による 2mA が約 4.7V であるため、2.35k Ω 未満の抵抗値を使用します。MCU の電圧 3.3V が必要な場合、この IPROPI の出力誤差が 10% であることを考慮して、MCU の絶対最大電圧を下回るような抵抗を求めます。

7.4.5 保護回路

7.4.5.1 フォルト リセット (CLR_FLT)

DRV8002-Q1 には、ドライバからフォルト状況をクリアし、動作を再開するための特定のシーケンスが用意されています。この機能は CLR_FLT レジスタ ビットによって動作します。フォルト通知をクリアするには、フォルト状況の解消後、CLR_FLT レジスタ ビットをアサートする必要があります。アサート後、ドライバはフォルトをクリアし、CLR_FLT レジスタ ビットをリセットします。

7.4.5.2 DVDD ロジック電源パワーオン リセット (DVDD_POR)

DVDD ピンの入力ロジック供給電圧が V_{DVDD_POR} スレッショルドを下回る時間が、 $t_{DVDD_POR_DG}$ より長くなったり、nSLEEP ピンがローにアサートされたりすると、デバイスは非アクティブ状態に入り、ゲートドライバ、チャージポンプ、OUTx 出力、および保護モニタが無効になります。DVDD 低電圧状態が解消されるか、nSLEEP ピンが High にアサートされると、通常動作が再開されます。DVDD パワーオン リセット (POR) 後、CLR_FLT が発行されるまで POR レジスタ ビットがアサートされます。

7.4.5.3 PVDD 電源低電圧監視 (PVDD_UV)

PVDD ピンの電源電圧が V_{PVDD_UV} スレッショルドを下回る状態が、 $t_{PVDD_UV_DG}$ 時間より長く続くと常に、DRV8002-Q1 は PVDD 低電圧イベントを検出します。低電圧状態の検出後、ゲートドライバ プルダウンはイネーブル、チャージポンプはディセーブルになり、すべての OUTx がディセーブルされ、FAULT ビット、および PVDD_UV レジスタ ビットがアサートされます。

PVDD 低電圧モニタは PVDD_UV_MODE レジスタで設定される 2 つの異なるモードで回復できます。

- **ラッチ フォルト モード:** 低電圧状態の解消後、CLR_FLT が発行されるまでは、フォルト状態はラッチされたままで、すべての出力はディセーブルのままです。
- **自動回復モード:** 低電圧状態が解消されると、FAULT レジスタのビットが自動的にクリアされ、出力は再びイネーブルになります。PVDD_UV レジスタ ビットは、CLR_FLT が発行されるまでラッチされたままです。

7.4.5.4 PVDD 電源過電圧監視 (PVDD_OV)

DRV8002-Q1 には、2 つの V_{PVDD_OV} スレッショルド、Low および High スレッショルドがあります。過電圧応答の選択肢は、構成されたドライバ出力 (ハイサイド、ゲートドライバ、ハーフブリッジドライバ) に依存します。IC_STAT1 には、PVDD_OV_22V と PVDD_OV_28V の 2 つの故障ステータス ビットが用意されています。

PVDD 低電圧モニタは PVDD_OV_MODE レジスタで設定される 2 つの異なるモードで回復できます。

- **ラッチ故障モード (0b):** 過電圧状態の検出後、すべてのドライバが無効になり、**FAULT** レジスタビットおよび **PVDD_OV_22V** または **PVDD_OV_28V** レジスタビットがアサートされます。過電圧状態の解消後、**CLR_FLT** が発行されるまではフォルト状態はラッチされたままです。
- **自動回復モード (1b):** 過電圧状態の検出後、すべてのドライバが無効になり、**FAULT** レジスタビット、および **PVDD_OV_22V** または **PVDD_OV_28V** レジスタビットがアサートされます。過電圧状態が解消されると、**FAULT** レジスタのビットが自動的にクリアされ、チャージポンプは自動的に再びイネーブルになります。**PVDD_OV_22V** または **PVDD_OV_28V** レジスタビットは、**CLR_FLT** が発行されるまでラッチされたままです。

ハイサイドの過電圧フォルト (PVDD_OV_22V):

- V_{PVDD} が低い V_{PVDD} スレッシュホールド電圧 (22V) を超えると、ハイサイドドライバ、はシャットオフします。
- **PVDD_OV_22V** 故障ステータスは、ハイサイドの **PVDD** 過電圧動作表で定義されています。
- ハイサイドの出力では、**PVDD_OV_LVL** 設定は利用できません
- **PVDD_OV_MODE** は、故障応答ラッチ故障モードまたは自動復帰モードに設定できます。

表 7-34. ハイサイドの PVDD 過電圧動作

PVDD 電圧	ハイサイド	PVDD_OV_22V のステータス	PVDD_OV_28V	フォルト
$V_{PVDD} < 22\text{ V}$	通常動作	0b	該当なし	0b
$V_{PVDD} > 22\text{ V}$	シャットダウン	1b	該当なし	1b

ハーフブリッジおよびゲートドライバ過電故障圧 (PVDD_OV_22V または PVDD_OV_28V):

- ハーフブリッジおよびゲートドライバは、 V_{PVDD} が低い V_{PVDD} スレッシュホールド電圧 (22V) を超えた場合の警告またはシャットオフ、あるいは高い V_{PVDD} スレッシュホールド電圧 (28V) を超えた場合のシャットオフに対応しています。
- **PVDD_OV_22V** は、ハーフブリッジおよびゲートドライバの **PVDD** 過電圧動作テーブルに定義されているように、これらのドライバ出力に対して利用可能なレジスタ **PVDD_OV_LVL** 設定を使用して、警告または故障条件に構成できます。
- **PVDD_OV_22V** のグリッチ除去時間は、**PVDD_OV_DG** レジスタ設定によって調整できます。
- **PVDD_OV_MODE** は、故障応答ラッチ故障モードまたは自動復帰モードに設定できます。

表 7-35. ハーフブリッジとゲートドライバの PVDD 過電圧動作

PVDD_OV_LVL	PVDD 電圧	ハーフブリッジとゲートドライバ	ハイサイド	PVDD_OV_22V	PVDD_OV_28V	フォルト
0b	$V_{PVDD} < 22\text{ V}$	通常動作	通常動作	0b	0b	0b
0b	$V_{PVDD} > 22\text{ V}$	シャットダウン	シャットダウン	1b	0b	1b
1b	$V_{PVDD} < 22\text{ V}$	通常動作	通常動作	0b	0b	0b
1b	$28\text{ V} > V_{PVDD} > 22\text{ V}$	警告ありの通常動作	シャットダウン	1b	0b	1b
1b	$V_{PVDD} > 28\text{ V}$	シャットダウン	シャットダウン	1b	1b	1b

7.4.5.5 VCP チャージポンプ低電圧誤動作防止 (VCP_UV)

VCP ピンの電圧が V_{VCP_UV} スレッシュホールドを下回る状態が、 $t_{VCP_UV_DG}$ 時間を超えると常に、DRV8002-Q1 は VCP 低電圧状態を検出します。低電圧状態の検出後、すべての出力イネーブル、ゲートドライバ プルダウンはイネーブル、**FAULT** レジスタビットおよび **VCP_UV** レジスタビットがアサートされます。低電圧スレッシュホールドは、**VCP_UV_LVL** レジスタ設定により調整できます。

VCP 低電圧モニタは **VCP_UV_MODE** レジスタで設定される 2 つの異なるモードで回復できます。

- **ラッチ フォルト モード:** さらに、ラッチ フォルト モードではチャージポンプがディセーブルになります。低電圧状態の解消後、**CLR_FLT** が発行されるまでは、フォルト状態はラッチされたままで、チャージポンプはディセーブルのままです。

- **自動回復モード:** 低電圧状態が解消されると、**FAULT** レジスタの **GD_VDS_CNFG** レジスタ フィールドの説明 ビットがクリアされ、チャージポンプは自動的に再びイネーブルになります。**VCP_UV** レジスタ ビットは、**CLR_FLT** が発行されるまでラッチされたままです。

7.4.5.6 サーマル クラスタ

このデバイスには複数のドライバとドライバの種類があるため、チップ上の主要ブロックの温度を監視するために、チップ上に複数の専用サーマル センサが配置されています。これらのセンサはそれぞれ、サーマル クラスタと呼ばれ、特定のデバイス ブロックのローカル ダイ温度を測定します。これらの測定値は電流に変換され、**IPROPI** ピンから出力されます。これは、温度警告をトリガーしたり、許容温度範囲を超えた特定のクラスタ、またはデバイス全体をシャットダウンするために使用されます。

サーマル クラスタ警告に対するデバイスの応答は、**IC_CNFG1** レジスタの **OTSD_MODE** ビットで構成できます。

- デフォルト モード (**OTSD_MODE = 0b**) : いずれかのクラスタが t_{OTSD_DG} より長い間サーマル シャットダウン スレッシュホルドに達すると、デバイス全体がシャットダウンされます。
- クラスタ モード (**OTSD_MODE = 1b**) : クラスタが t_{OTSD_DG} より長い間サーマル シャットダウン スレッシュホルドに達した場合、そのクラスタのみがシャットオフされます。

次の表と図に示すように、サーマル クラスタで定義された 4 つのゾーンがあります。

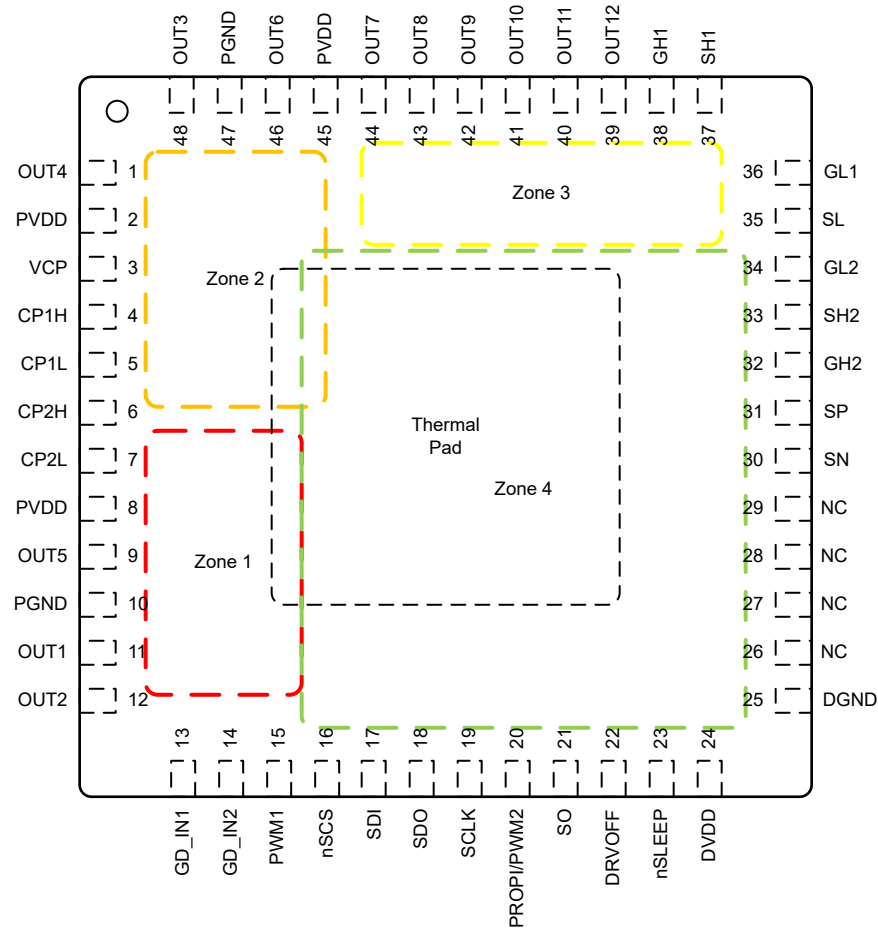


図 7-28. サーマル センサ ゾーン

表 7-36. サーマル クラスタの位置

サーマル クラスタ 1	サーマル クラスタ 2	サーマル クラスタ 3	サーマル クラスタ 4
OUT5、OUT1 および OUT2	OUT3、OUT4 および OUT6	ハイサイドドライバ	グローバルドライバと残りのドライバ

各ゾーンに、2 つの温度ポイントに対してコンパレータ ベースの警告があり、Low が 125°、High が 145°C です。ビット **ZONEX_OTW_X** (L または H) がレジスタ **IC_STAT2** でラッチされます。各警告は、レジスタ **IC_CNFG2** のビット **ZONEX_OTW_X_DIS** を使用して個別に無効化できます。過熱シャットダウンが発生すると、レジスタ **IC_STAT2** の **ZONEX_OTSD** ビットがラッチされます。

7.4.5.7 ウォッチドッグ タイマ

このデバイスは、外部コントローラが動作していることを確認し、SPI バスの整合性を監視するために、プログラマブル ウィンドウ タイプの SPI ウォッチドッグ タイマを統合しています。SPI ウォッチドッグ タイマは、**WD_EN** SPI レジスタ ビットでイネーブルにできます。ウォッチドッグ タイマは、デフォルトで無効になっています。ウォッチドッグ タイマがイネーブルになると、内部タイマはカウントアップを開始します。ウォッチドッグ タイマは、**WD_RST** SPI レジスタを反転することでリセットされます。この **WD_RST** は、下位ウィンドウ時間と上位ウィンドウ時間の間に発行する必要があります。ウォッチドッグ タイマのフォルトが検出された場合、デバイスの応答は、警告のみを通知するか、障害を通知して、すべてのドライバをディセーブルにするかのどちらかを構成できます。ウォッチドッグ故障は、**CLR_FLT** コマンドでクリアできます。ウォッチドッグがすべてのドライバをディセーブルに設定されている場合、**CLR_FLT** コマンドを送信した後でドライバがイネーブルになり、ウォッチドッグのフォルト状態が解消されます。クリア故障後にウォッチドッグを再起動するには、**WD_EN** ビットを使用してウォッチドッグをディセーブルにし、再度イネーブルにします

7.4.5.8 障害検出と応答の概略表

故障イベント	条件	モード	デジタル コア	チャージ ポンプ	ドライバ	ステータス ビット	故障 / 警告	機能的回復	ステータスビット の回復
ゲートドライバの無効化	DRVOFF = High	該当なし	アクティブ	アクティブ	ゲートドライバはプルダウン	DRVOFF_STAT	該当なし	DRVOFF = Low と CLR_FLT	CLR_FLT
SPI クロック障害	無効な SPI クロック フレーム	ラッチ	アクティブ	アクティブ	アクティブ	SPI_OK、SCLK_FLT、SDO フレームでのフレーム SPI_ERR を拒否	該当なし	有効な SPI フレーム	CLR_FLT
SPI アドレス障害	アドレスが範囲外	ラッチ	アクティブ	アクティブ	アクティブ	SDO フレームの SPI_ERR	該当なし	有効な SPI フレーム	該当なし
DVDD パワーオンリセット	DVDD < VD_VDD_POR	該当なし	リセット	ディセーブル	セミアクティブプルダウン	POR	該当なし	DVDD > VD_VDD_POR	CLR_FLT
PVDD 低電圧	PVDD < VPVDD_UV	ラッチ	アクティブ	ディセーブル	プルダウン	SDO フレーム上の PVDD_UV OV / UV	フォルト	PVDD > VPVDD_UV および CLR_FLT	CLR_FLT
		自動	アクティブ	ディセーブル	プルダウン	SDO フレーム上の PVDD_UV OV / UV	フォルト	PVDD > VPVDD_UV	CLR_FLT
VCP 低電圧	VCP < VVCP_UV	ラッチ	アクティブ	ディセーブル	プルダウン	SDO フレームでの VCP_UV OV / UV	フォルト	VCP > VVCP_UV および CLR_FLT	CLR_FLT
		自動	アクティブ	アクティブ	プルダウン	SDO フレームでの VCP_UV OV / UV	フォルト	VCP > VVCP_UV	CLR_FLT

故障イベント	条件	モード	デジタル コア	チャージ ポンプ	ドライバ	ステータスビット	故障 / 警告	機能的回復	ステータスビット の回復
PVDD 過電圧	PVDD_OV_LVL = 0, PVDD > 22V	ラッチ	アクティブ	アクティブ	ブルダウン	SDO フレーム上の PVDD_OV_22V OV / UV	フォルト	PVDD < VPVDD_OV_LO および CLR_FLT	CLR_FLT
		自動	アクティブ	アクティブ	ブルダウン	SDO フレーム上の PVDD_OV_22V OV / UV	フォルト	PVDD < VPVDD_OV_LO	CLR_FLT
	PVDD_OV_LVL = 1 28V > PVDD > 22V	ラッチ	アクティブ	アクティブ	HS はブルダウン	SDO フレーム上の PVDD_OV_22V OV / UV	フォルト	PVDD < VPVDD_OV_LO および CLR_FLT	CLR_FLT
		自動	アクティブ	アクティブ	HS はブルダウン	SDO フレーム上の PVDD_OV_22V OV / UV	フォルト	PVDD < VPVDD_OV_LO	CLR_FLT
	PVDD_OV_LVL = 1, PVDD > 28V	ラッチ	アクティブ	アクティブ	ブルダウン	SDO フレームの PVDD_OV_22V、PVDD_OV_28V OV / UV	フォルト	PVDD < VPVDD_OV_LO および CLR_FLT	CLR_FLT
		自動	アクティブ	アクティブ	ブルダウン	SDO フレームの PVDD_OV_22V、PVDD_OV_28V OV / UV	フォルト	PVDD < VPVDD_OV_LO	CLR_FLT
ゲートドライバ VDS の過電流	VDS > VVDS_LVL	ラッチ	アクティブ	アクティブ	ゲートドライバはブルダウン	GD、VDS_LX、VDS_Hx	フォルト	VDS < VDS_LVL および CLR_FLT	CLR_FLT
		サイクル	アクティブ	アクティブ	ゲートドライバはブルダウン	GD、VDS_LX、VDS_Hx	フォルト	VDS_VDS_LVL および (CLR_FLT または入力サイクル)	CLR_FLT
		警告	アクティブ	アクティブ	アクティブ	GD、VDS_LX、VDS_Hx	WARN	該当なし	CLR_FLT
		ディセーブル	アクティブ	アクティブ	アクティブ	該当なし	該当なし	該当なし	該当なし
VGS ゲート障害	FET オフ VGS > VVGS_LVL	ラッチ	アクティブ	アクティブ	ゲートドライバはブルダウン	GD、VGS_LX、VGS_Hx	フォルト	VGS < VVGS_LVL および CLR_FLT	CLR_FLT
		サイクル	アクティブ	アクティブ	ゲートドライバはブルダウン	GD、VGS_LX、VGS_Hx	フォルト	VGS < VGS_LVL および (CLR_FLT または入力サイクル)	CLR_FLT
		警告	アクティブ	アクティブ	アクティブ	GD、VGS_LX、VGS_Hx	WARN	該当なし	CLR_FLT
		ディセーブル	アクティブ	アクティブ	アクティブ	該当なし	該当なし	該当なし	該当なし
	FET ON VGS < VVGS_LVL	ラッチ	アクティブ	アクティブ	ゲートドライバはブルダウン	GD、VGS_LX、VGS_Hx	フォルト	VGS > VVGS_LVL および CLR_FLT	CLR_FLT
		サイクル	アクティブ	アクティブ	ゲートドライバはブルダウン	GD、VGS_LX、VGS_Hx	フォルト	VGS > VGS_LVL および (CLR_FLT または入力サイクル)	CLR_FLT
		警告	アクティブ	アクティブ	アクティブ	GD、VGS_LX、VGS_Hx	WARN	該当なし	CLR_FLT
		ディセーブル	アクティブ	アクティブ	アクティブ	該当なし	該当なし	該当なし	該当なし
ハーフブリッジ過電流フォルト (OUT1~OUT6)	IOUtx > IOCPx	ラッチ	アクティブ	アクティブ	影響を受けるドライバ Hi-Z	HB、OUTx_HS_OCP、OUTx_LS_OCP	フォルト	IOUtx < IOCPx および CLR_FLT	CLR_FLT
ハーフブリッジアクティブ開放負荷フォルト (OUT1~OUT6)	IOUtx < IOLA_OUTx	ラッチ	アクティブ	アクティブ	アクティブ	HB、OUTx_HS_OLA、OUTx_LS_OLA	WARN	IOUtx > IOLA_OUTx および CLR_FLT	CLR_FLT
ハイサイドドライバ過電流フォルト (OUT7-OUT12)	OUTx_ITRIP_EN = 0 IOUtx > IOCx	ラッチ	アクティブ	アクティブ	影響を受けるドライバ Hi-Z	HS、ITRIP、OUTx_ITRIP_STAT	フォルト	IOUtx < IOCx および CLR_FLT	CLR_FLT
ハイサイドドライバ OUTx ITRIP (OUT7-OUT12)	OUTx_ITRIP_EN = 1 IOUtx > IOCx	ラッチ	アクティブ	アクティブ	アクティブ	HS、ITRIP、OUTx_ITRIP_STAT	該当なし	IOUtx < IOCx	CLR_FLT

故障イベント	条件	モード	デジタル コア	チャージ ポンプ	ドライバ	ステータスビット	故障 / 警告	機能的回復	ステータスビット の回復
ハイスайдドライバ短 絡フォルト (OUT7-12)	VOUTx < VSC_DET	ラッチ	アクティブ	アクティブ	影響を受ける ドライバ Hi-Z	HS, OUTx_OCP	フォルト	VOUTx > VSC_DET および CLR_FLT	CLR_FLT
ハイスайдドライバ開 放負荷フォルト (OUT7-OUT12)	IOUTx < IOLDx	ラッチ	アクティブ	アクティブ	アクティブ	HS, OUTx_OLA	WARN	IOUTx > IOLDx およ び CLR_FLT	CLR_FLT
ゾーン X サーマル警告	TJ > TOTW1、 TOTW2	自動	アクティブ	アクティブ	アクティブ	OTW、 ZONEx_OTW_L、 ZONEx_OTW_H	該当なし	TJ < TOTW1、 TOTW2	該当なし
ゾーン X サーマル シャットダウン	TJ > TOTSD	ラッチ	アクティブ	ディセー ブル	セミアクティブ ブルダウン、 Hi-Z	OTSD、 ZONEx_OTSD	フォルト	TJ < TOTSD およ び CLR_FLT	CLR_FLT
ウォッチドッグ	WD_FLT_M = 0b、無効なアクセス または期限切れ	警告	アクティブ	アクティブ	アクティブ	WD_FLT	WARN	CLR_FLT およ び WD_EN のディス エーブルおよび再イ ネーブル	CLR_FLT
ウォッチドッグ	WD_FLT_M = 1b、無効なアクセス または期限切れ	ラッチ	アクティブ	アクティブ	ブルダウン	WD_FLT	フォルト	CLR_FLT およ び WD_EN のディス エーブルおよび再イ ネーブル	CLR_FLT

7.5 プログラミング

7.5.1 シリアル・ペリフェラル・インターフェイス (SPI)

SPI バスは、デバイス構成と動作パラメータの設定、DRV8002-Q1 デバイスの診断情報の読み出しに使用します。SPI は、ペリフェラル モードで動作し、コントローラに接続します。SPI 入力データ (SDI) ワードは 24 ビットのワード、8 ビットのコマンド、16 ビットのデータで構成されています。読み取りコマンド用の SPI 出力データ (SDO) ワードは、故障状態表示ビットと、読み取りコマンドでアクセスされるレジスタ データで構成されます。SDO ワードの書き込みコマンドは、故障ステータスに続いて書き込みレジスタの既存のデータが続く構成です。MCU と SPI ペリフェラル ドライバ間のデータ シーケンス 図 7-29 を示します。

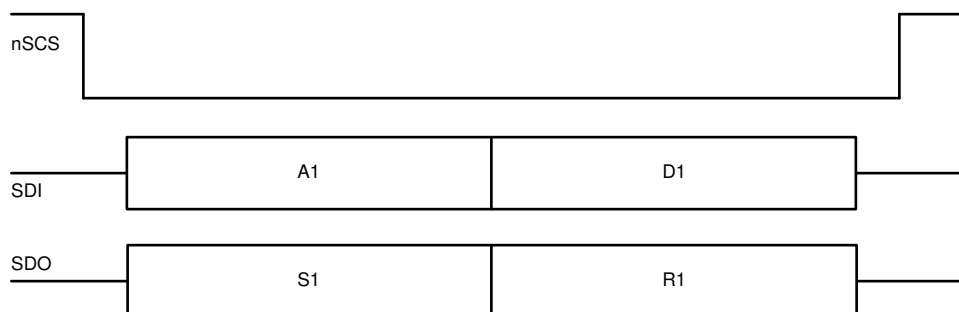


図 7-29. SPI データ フレーム

有効なフレームは次の条件を満たしていなければなりません。

- nSCS ピンが High から Low、Low から High に遷移すると、SCLK ピンの Low にプルされます。
- nSCS ピンは、ワードとワードの間では High にされている必要があります。
- nSCS ピンが High にされているときは、SCLK ピンと SDI ピンのすべての信号が無視され、SDO ピンが Hi-Z 状態になる。
- データは SCLK ピンの立ち下がりエッジで収集され、SCLK ピンの立ち上がりエッジで伝搬される。
- 最上位ビット (MSB) が最初にシフト イン / シフト アウトされる。

- トランザクションを有効にするには、24 SCLK サイクルすべてが発生しなければならない。
- SDI ピンに送信されるデータワードが 24 ビットより多い / 少ない場合は、フレーム エラー (SCLK_FLT) が発生してデータワードが無視される。
- 書き込みコマンドの場合、16 ビットのコマンド データに続いて、書き込み先のレジスタの既存データが、エラー状態バイト、16 ビット データという順序で SDO ピンからシフトアウトされます。

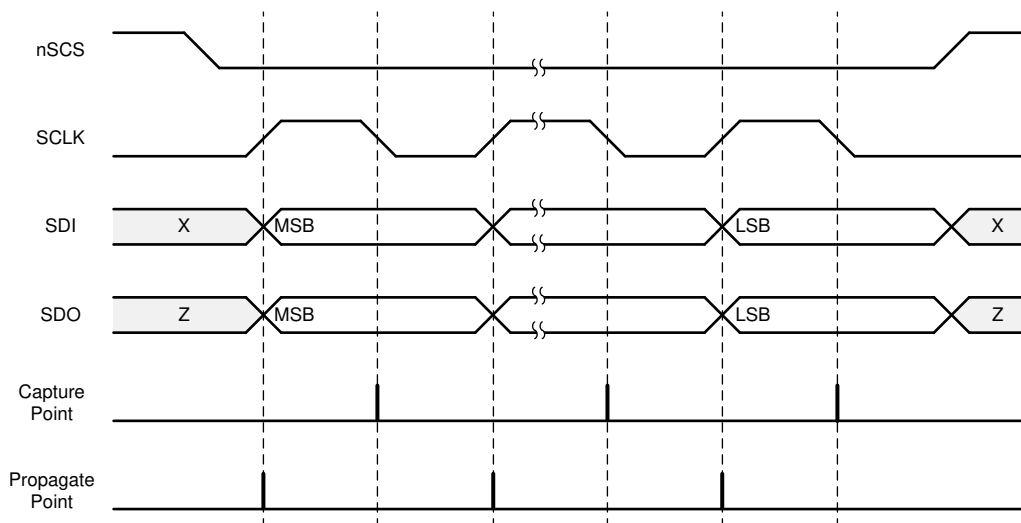


図 7-30. SPI ペリフェラルのタイミング図

7.5.2 SPI フォーマット

SDI 入力データワードは 24 ビット長であり、以下のフォーマットで構成されています。

- MSB ビットはフレームの種類を示します (標準フレームの場合、ビット B23 = 0)
- 1 読み取りまたは書き込みビット、W (ビット B22、書き込み = 0、読み取り = 1)
- 6 アドレス ビット、A (ビット B21~B16)
- 16 データ ビット、D (ビット B15~B0)読み取り動作では、これらのビットは通常ヌル値に設定されます。書き込み動作では、アドレス指定されたレジスタのデータ値がこれらのビットに設定されます。

表 7-37. SDI 入力データワードのフォーマット

		R/W	アドレス						データ															
ビット	B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
データ	0	W0	A5	A4	A3	A2	A1	A0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0

SDO 出力データワードは 24 ビット長で、最初の 8 ビットが IC ステータスレジスタを構成します。レポートワードはアクセス中のレジスタの内容です。

書き込みコマンド (W0 = 0) の場合、応答ワードは、フォルト ステータス表示ビットと、書き込まれるレジスタの既存データの後に続きます。

読み取りコマンド (W0 = 1) の場合、応答ワードはフォルト ステータス表示ビットとそれに続く、読み取り中のレジスタ内のデータで構成されます。

表 7-38. SDO 出力データ ワードのフォーマット

IC のステータス									レポート							
ビット	B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8
									B7	B6	B5	B4	B3	B2	B1	B0
データ	1	1	フォルト	WARN	OV_U V	DRV	OTSD	SPI_E RR	D15	D14	D13	D12	D11	D10	D9	D8
									D7	D6	D5	D4	D3	D2	D1	D0

- 故障 - デバイス故障の「OR」(グローバルまたはドライバ)
- 警告 - デバイスの警告の「OR」
- OV_UV - PVDD、VCP の過電圧および低電圧ステータスの「OR」
- DRV - ドライバの故障の「OR」
- OTSD - 過熱シャットダウンが発生するときに設定
- SPI_ERR - 受信された SCLK 数が正しくないときに設定

7.5.3 タイミング図

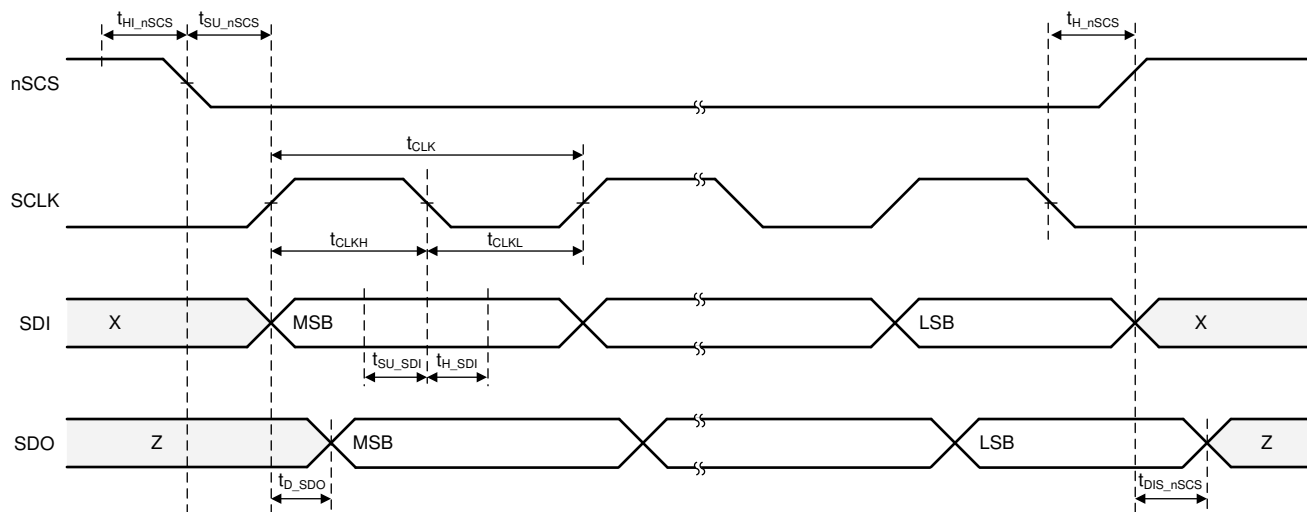


図 7-31. SPI タイミング図

8 DRV8002-Q1 レジスタ マップ

は、DRV8002-Q1 のメモリ マップトレジスタを一覧表示します。記載されていないレジスタ アドレスはすべて予約領域とみなされ、レジスタの内容は変更できません。予約済み位置の説明は、あくまでも参照目的で提供されています。デバイス ID 表は、DRV800x デバイスのデバイス ID をまとめたものです。

表 8-1. デバイス ID サマリー

デバイス	デバイス ID
DRV8000-Q1	レジスタ アドレス 0x8h、DEVICE_ID = 0x02
DRV8001-Q1	レジスタ アドレス 0x8h、DEVICE_ID = 0x12
DRV8002-Q1	レジスタ アドレス 0x8h、DEVICE_ID = 0x22

表 8-2. DRV8002-Q1 レジスタ マップ

名称	15	14	13	12	11	10	9	8	タイプ	アドレス
	7	6	5	4	3	2	1	0		
IC_STAT1	SPI_OK	POR	フォルト	WARN	GD	HB	RSVD	HS	R	00h
	PVDD_UV	PVDD_OV_22V	VCP_UV	OTW	OTSD	WD_FLT	ITRIP	PVDD_OV_28V		
IC_STAT2	DEVICE_ERR	RSVD	SCLK_FLT	RSVD	ZONE4_OTSD	ZONE3_OTSD	ZONE2_OTSD	ZONE1_OTSD	R	01h
	ZONE4_OTW_H	ZONE3_OTW_H	ZONE2_OTW_H	ZONE1_OTW_H	ZONE4_OTW_L	ZONE3_OTW_L	ZONE2_OTW_L	ZONE1_OTW_L		
GD_STAT	DRVOFF_STAT_FB	DRVOFF_STAT	STC_WARN_R	STC_WARN_F	PCHR_WARN	PDCHR_WARN	IDIR	IDIR_WARN	R	02h
	VGS_L2	VGS_H2	VGS_L1	VGS_H1	VDS_L2	VDS_H2	VDS_L1	VDS_H1		
HB_STAT1	RSVD		OUT6_LS_OCP	OUT5_LS_OCP	OUT4_LS_OCP	OUT3_LS_OCP	OUT2_LS_OCP	OUT1_LS_OCP	R	03h
	RSVD		OUT6_HS_OCP	OUT5_HS_OCP	OUT4_HS_OCP	OUT3_HS_OCP	OUT2_HS_OCP	OUT1_HS_OCP		
HB_STAT2	RSVD			HB_OLP_STAT	OUT6_LS_OLA	OUT5_LS_OLA	OUT4_LS_OLA	OUT3_LS_OLA	R	04h
	OUT2_LS_OLA	OUT1_LS_OLA	OUT6_HS_OLA	OUT5_HS_OLA	OUT4_HS_OLA	OUT3_HS_OLA	OUT2_HS_OLA	OUT1_HS_OLA		
ITRIP_STAT	RSVD								R	05h
	RSVD	OUT7_ITRIP_ST AT	OUT6_ITRIP_ST AT	OUT5_ITRIP_ST AT	OUT4_ITRIP_ST AT	OUT3_ITRIP_ST AT	OUT2_ITRIP_ST AT	OUT1_ITRIP_ST AT		
HS_STAT	RSVD		OUT12_OLA	OUT11_OLA	OUT10_OLA	OUT9_OLA	OUT8_OLA	OUT7_OLA	R	06h
	RSVD		OUT12_OCP	OUT11_OCP	OUT10_OCP	OUT9_OCP	OUT8_OCP	OUT7_OCP		
HS_ITRIP_STAT	RSVD								R	07h
	RSVD			OUT12_ITRIP_S TAT	OUT11_ITRIP_S TAT	OUT10_ITRIP_S TAT	OUT9_ITRIP_ST AT	OUT8_ITRIP_ST AT		
SPARE_STAT2	RSVD								R	08h
	DEV_ID									
IC_CNFG1	OTSD_MODE	DIS_CP	RSVD	PVDD_OV_MOD E	PVDD_OV_DG		PVD_OV_LVL	VCP_UV_LVL	R/W	09h
	CP_MODE		VCP_UV_MODE	PVDD_UV_MOD E	WD_EN	WD_FLT_M	WD_WIN	EN_SSC		
IC_CNFG2	RSVD								R/W	0Ah
	ZONE4_OTW_H _DIS	ZONE3_OTW_H _DIS	ZONE2_OTW_H _DIS	ZONE1_OTW_H _DIS	ZONE4_OTW_L _DIS	ZONE3_OTW_L _DIS	ZONE2_OTW_L _DIS	ZONE1_OTW_L _DIS		
GD_CNFG	RSVD		IDRV_LO1	IDRV_LO2	PU_SH_1	PD_SH_1	PU_SH_2	PD_SH_2	R/W	0Bh
	RSVD	IN2_MODE	IN1_MODE	BRG_FW	BRG_MODE		EN_OLSC	EN_GD		
GD_IDRV_CNFG	IDRVP_1				IDRVN_1				R/W	0Ch
	IDRVP_2				IDRVN_2					
GD_VGS_CNFG	RSVD				VGS_IND	VGS_TDEAD		RSVD	R/W	0Dh
	RSVD	VGS_TDRV			VGS_HS_DIS	VGS_LVL	VGS_MODE			
GD_VDS_CNFG	RSVD	VDS_IND	VDS_IDRVN		VDS_HS_LVL				R/W	0Eh
	VDS_MODE		VDS_DG		VDS_LS_LVL					
GD_CSA_CNFG	RSVD								R/W	0Fh
	CSA_BLK			CSA_BLK_SEL	CSA_GAIN		CSA_DIV	CSA_EN		
GD_AGD_CNFG	RVSD	PDR_ERR	AGD_ISTRONG		AGD_THR		SET_AGD	FW_MAX	R/W	10h
	EN_DCC	IDIR_MAN	KP_PST		EN_PST_DLY	KP_PDR		EN_PDR		
GD_PDR_CNFG	PRE_MAX		T_DON_DOFF						R/W	11h
	T_PRE_CHR		T_PRE_DCHR		PRE_CHR_INIT		PRE_DCHR_INIT			

表 8-2. DRV8002-Q1 レジスタ マップ (続き)

名称	15	14	13	12	11	10	9	8	タイプ	アドレス
	7	6	5	4	3	2	1	0		
GD_STC_CNFG	RSVD							IDIR_MAN_SEL	R/W	12h
	T_RISE_FALL				STC_ERR	KP_STC	EN_STC			
GD_SPARE_CNFG1	RSVD								R/W	13h
HB_ITRIP_DG	RSVD				OUT6_ITRIP_DG		OUT5_ITRIP_DG		R/W	14h
	OUT4_ITRIP_DG		OUT3_ITRIP_DG		OUT2_ITRIP_DG		OUT1_ITRIP_DG			
HB_OUT_CNFG1	RSVD	NSR_OUT6_DIS	NSR_OUT5_DIS	NSR_OUT4_DIS	NSR_OUT3_DIS	NSR_OUT2_DIS	NSR_OUT1_DIS	IPROPI_SH_EN	R/W	15h
HB_OUT_CNFG2	RSVD		OUT6_CNFG			OUT5_CNFG			R/W	16h
	RSVD		OUT4_CNFG			OUT3_CNFG				
	OUT2_MODE	OUT1_MODE	OUT2_CNFG			OUT1_CNFG				
HB_OCP_CNFG	RSVD				OUT6_OCP_DG		OUT5_OCP_DG		R/W	17h
	OUT4_OCP_DG		OUT3_OCP_DG		OUT2_OCP_DG		OUT1_OCP_DG			
HB_OL_CNFG1	RSVD		HB_OLP_CNFG		HB_OLP_SEL				R/W	18h
	RSVD		OUT6_OLA_EN	OUT5_OLA_EN	OUT4_OLA_EN	OUT3_OLA_EN	OUT2_OLA_EN	OUT1_OLA_EN		
HB_OL_CNFG2	RSVD				OUT6_OLA_TH		OUT5_OLA_TH		R/W	19h
	OUT4_OLA_TH		OUT3_OLA_TH		OUT2_OLA_TH		OUT1_OLA_TH			
HB_SR_CNFG	RSVD				OUT6_SR		OUT5_SR		R/W	1Ah
	OUT4_SR		OUT3_SR		OUT2_SR		OUT1_SR			
HB_ITRIP_CNFG	OUT6_ITRIP_EN	OUT5_ITRIP_EN	OUT4_ITRIP_EN	OUT3_ITRIP_EN	OUT2_ITRIP_EN	OUT1_ITRIP_EN	OUT6_ITRIP_LVL		R/W	1Bh
	OUT5_ITRIP_LVL		OUT4_ITRIP_LVL		OUT3_ITRIP_LVL		OUT2_ITRIP_LVL	OUT1_ITRIP_LVL		
HB_ITRIP_FREQ	RSVD		HB_TOFF_SEL		OUT6_ITRIP_FREQ		OUT5_ITRIP_FREQ		R/W	1Ch
	OUT4_ITRIP_FREQ		OUT3_ITRIP_FREQ		OUT2_ITRIP_PWM_FREQ/ PWM_OUT2_FREQ		OUT1_ITRIP_PWM_FREQ/ PWM_OUT1_FREQ			
HS_OUT_CNFG	RSVD				OUT12_CNFG		OUT11_CNFG		R/W	1Dh
	OUT10_CNFG		OUT9_CNFG		OUT8_CNFG		OUT7_CNFG			
HS_OC_CNFG	RSVD								R/W	1Eh
	RSVD		OUT12_OC_TH	OUT11_OC_TH	OUT10_OC_TH	OUT9_OC_TH	OUT8_OC_TH	OUT7_RDSON_MODE		
HS_OL_CNFG	RSVD		OUT12_OLA_TH	OUT11_OLA_TH	OUT10_OLA_TH	OUT9_OLA_TH	OUT8_OLA_TH	RSVD	R/W	1Fh
	RSVD		OUT12_OLA_EN	OUT11_OLA_EN	OUT10_OLA_EN	OUT9_OLA_EN	OUT8_OLA_EN	OUT7_OLA_EN		
HS_REG_CNFG1	RSVD								R/W	20h
	OUT7_ITRIP_EN	RSVD			OUT7_ITRIP_FREQ		OUT7_ITRIP_DG			
HS_REG_CNFG2	RSVD		OUT12_CCM_TO	OUT11_CCM_TO	OUT10_CCM_TO	OUT9_CCM_TO	OUT8_CCM_TO	OUT7_CCM_TO	R/W	21h
	RSVD		OUT12_CCM_EN	OUT11_CCM_EN	OUT10_CCM_EN	OUT9_CCM_EN	OUT8_CCM_EN	OUT7_CCM_EN		
HS_PWM_FREQ_CNFG	RSVD				PWM_OUT12_FREQ		PWM_OUT11_FREQ		R/W	22h
	PWM_OUT10_FREQ		PWM_OUT9_FREQ		PWM_OUT8_FREQ		PWM_OUT7_FREQ			
SPARE_CNFG	RSVD								R/W	23h
SPARE_CNFG1	RSVD								R/W	24h
HS_REG_CNFG3	RSVD				HS_OUT_ITRIP_FREQ		HS_OUT_ITRIP_DG		R/W	25h
	RSVD			HS_OUT12_ITRIP_EN	HS_OUT11_ITRIP_EN	HS_OUT10_ITRIP_EN	HS_OUT9_ITRIP_EN	HS_OUT8_ITRIP_EN		
SPARE_CNFG2	RSVD								R/W	26h
OUT1_HS_MODE_DC	RSVD					OUT1_DC			R/W	27h
	OUT1_DC									
OUT2_HS_MODE_DC	RSVD						OUT2_DC		R/W	28h
	OUT2_DC									
IC_CTRL	RSVD		IPROPI_MODE	IPROPI_SEL					R/W	29h
	CTRL_LOCK			CNFG_LOCK			WD_RST	CLR_FLT		
GD_HB_CTRL	S_HI22	S_HI21	S_IN2	S_IN1	OUT6_CTRL		OUT5_CTRL		R/W	2Ah
	OUT4_CTRL		OUT3_CTRL		OUT2_CTRL		OUT1_CTRL			

表 8-2. DRV8002-Q1 レジスタ マップ (続き)

名称	15	14	13	12	11	10	9	8	タイプ	アドレス
	7	6	5	4	3	2	1	0		
HS_CTRL	RSVD								R/W	2Bh
	RSVD		OUT12_EN	OUT11_EN	OUT10_EN	OUT9_EN	OUT8_EN	OUT7_EN		
OUT7_PWM_DC	RSVD						OUT7_DC		R/W	2Ch
	OUT7_DC									
OUT8_PWM_DC	RSVD						OUT8_DC		R/W	2Dh
	OUT8_DC									
OUT9_PWM_DC	RSVD						OUT9_DC		R/W	2Eh
	OUT9_DC									
OUT10_PWM_DC	RSVD						OUT10_DC		R/W	2Fh
	OUT10_DC									
OUT11_PWM_DC	RSVD						OUT11_DC		R/W	30h
	OUT11_DC									
OUT12_PWM_DC	RSVD						OUT12_DC		R/W	31h
	OUT12_DC									

8.1 DRV8000-Q1_STATUS レジスタ

DRV8000-Q1_STATUS レジスタのメモリマップされたレジスタを、表 8-3 に示します。表 8-3 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 8-3. DRV8000-Q1_STATUS レジスタ

オフセット	略称	レジスタ名	セクション
0h	IC_STAT1	デバイス ステータス レジスタ 1	セクション 8.1.1
1h	IC_STAT2	デバイス ステータス レジスタ 2	セクション 8.1.2
2h	GD_STAT	ゲートドライバのステータス。	セクション 8.1.3
3h	HB_STAT1	ハーフ ブリッジの過電流ステータス。	セクション 8.1.4
4h	HB_STAT2	ハーフ ブリッジの開放負荷ステータス。	セクション 8.1.5
5h	ITRIP_STAT	ITRIP のステータス。	セクション 8.1.6
6h	HS_STAT	ハイサイドドライバ ステータス。	セクション 8.1.7
7h	HS_ITRIP_STAT	ハイサイド ITRIP ステータス	セクション 8.1.8
8h	SPARE_STAT2	スペア ステータス 2。	セクション 8.1.9

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-4 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-4. DRV8000-Q1_STATUS のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

8.1.1 IC_STAT1 レジスタ (オフセット = 0h) [リセット = C000h]

IC_STAT1 を表 8-5 に示します。

概略表に戻ります。

ドライバ、電源電圧、過熱フォルト ステータス用のメイン デバイス ステータス レジスタ。ウォッチドッグおよび ITRIP レギュレーション フォルト ステータスも含まれています。

表 8-5. IC_STAT1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	SPI_OK	R	1h	SPI 通信フォルトが検出されたかどうかを示します。 0b = 直前のフレームにおける SCLK_FLT の 1 つまたは複数。 1b = SPI 障害は検出されていません。
14	POR	R	1h	パワーオン リセット状態を示します。 0b = パワーオン リセット状態は検出されていません。 1b = パワーオン リセット状態が検出されています。
13	フォルト	R	0h	汎用障害インジケータ。デバイスまたはドライバの障害が発生したことを示します。 0b = 障害なし。 1b = フォルト検出あり。
12	WARN	R	0h	一般的な警告インジケータ。警告が存在することを示します。 0b = 警告なし。 1b = 警告あり。
11	GD	R	0h	ゲートドライバの VDS と VGS それぞれの障害インジケータの論理和。
10	HB	R	0h	ハーフ ブリッジの過電流および開放負荷障害インジケータの論理和。
9	予約済み	R	0h	予約済み
8	HS	R	0h	内蔵ハイサイドドライバに対する過電流、短絡、および開放負荷フォルトインジケータの論理 OR。
7	PVDD_UV	R	0h	PVDD ピンの低電圧障害を示します。
6	PVDD_OV_22V	R	0h	PVDD ピンで 22V を超える過電圧故障を示します。
5	VCP_UV	R	0h	VCP ピンの低電圧障害を示します。
4	OTW	R	0h	過熱警告を示します。
3	OTSD	R	0h	過熱シャットダウンを示します。
2	WD_FLT	R	0h	ウォッチドッグ タイムアウト フォルトを示します。
1	ITRIP	R	0h	OUTx が ITRIP に移行したときに、ITRIP レギュレーション警告を示します。
0	PVDD_OV_28V	R	0h	PVDD ピンで 28V を超える過電圧故障を示します。

8.1.2 IC_STAT2 レジスタ (オフセット = 1h) [リセット = 0000h]

IC_STAT2 を表 8-6 に示します。

[概略表](#)に戻ります。

SPI フォルトおよび特定のサーマル クラスタ フォルト / 警告ステータスを備えた 2 番目のデバイス ステータス レジスタ。

表 8-6. IC_STAT2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	DEVICE_ERR	R	0h	デバイスの OTP メモリ エラーが発生したことを示します。
14	予約済み	R	0h	予約済み
13	SCLK_FLT	R	0h	トランザクション フレーム内の SCLK パルス数が 24 ビット (1 バイトのアドレスと 2 バイトのデータ) と一致しない場合、SPI クロック (フレーム) フォルトを示します。ビット SPI_ERR で報告されます。
12	予約済み	R	0h	予約済み
11	ZONE4_OTSD	R	0h	ゾーン 4 で過熱シャットダウンが発生したことを示します。
10	ZONE3_OTSD	R	0h	ゾーン 3 で過熱シャットダウンが発生したことを示します。
9	ZONE2_OTSD	R	0h	ゾーン 2 で過熱シャットダウンが発生したことを示します。
8	ZONE1_OTSD	R	0h	ゾーン 1 で過熱シャットダウンが発生したことを示します。
7	ZONE4_OTW_H	R	0h	ゾーン 4 で高温警告 (145°C を上回る) が発生したことを示します。
6	ZONE3_OTW_H	R	0h	ゾーン 3 で高温警告 (145°C を上回る) が発生したことを示します。
5	ZONE2_OTW_H	R	0h	ゾーン 2 で高温警告 (145°C を上回る) が発生したことを示します。
4	ZONE1_OTW_H	R	0h	ゾーン 1 で高温警告 (145°C を上回る) が発生したことを示します。
3	ZONE4_OTW_L	R	0h	ゾーン 4 で低温警告 (125°C を上回る) が発生したことを示します。
2	ZONE3_OTW_L	R	0h	ゾーン 3 で低温警告 (125°C を上回る) が発生したことを示します。
1	ZONE2_OTW_L	R	0h	ゾーン 2 で低温警告 (125°C を上回る) が発生したことを示します。
0	ZONE1_OTW_L	R	0h	ゾーン 1 で低温警告 (125°C を上回る) が発生したことを示します。

8.1.3 GD_STAT レジスタ (オフセット = 2h) [リセット = 0000h]

GD_STAT を表 8-7 に示します。

概略表に戻ります。

スマート ゲートドライバのエラーおよび警告を含む、すべてのゲートドライバのエラーおよび警告を記録するゲートドライバ ステータス レジスタ。

表 8-7. GD_STAT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	DRVOFF_STAT_FB	R	0h	ゲートドライバ用の DRVOFF アナログ ラッチ ステータス。ユーザーは、DRVOFF ピンを解放し、CLR_FLT コマンドを発行した後にステータス ビットをクリアできます。
14	DRVOFF_STAT	R	0h	DRVOFF ピンのラッチされた状態 (High または Low) を示します。DRVOFF ピンがアサートされている場合、DRVOFF_STAT = 1b です。DRVOFF ピンがデアサートされている場合、DRVOFF_STAT = 0b です。
13	STC_WARN_R	R	0h	ゲートドライバ ハーフブリッジ 1 および 2 の立ち上がりスルー時間 TDRV のオーバーフローを示します。
12	STC_WARN_F	R	0h	ゲートドライバ ハーフブリッジ 1 および 2 の立ち下がりスルー時間 TDRV のオーバーフローを示します。
11	PCHR_WARN	R	0h	ゲートドライバ ハーフブリッジ 1 および 2 の予備充電アンダーフローまたはオーバーフロー フォルトを示します。
10	PDCHR_WARN	R	0h	ゲートドライバのハーフ ブリッジ 1 および 2 の放電前のアンダーフローまたはオーバーフローの故障を示します。
9	IDIR	R	0h	ゲートブリッジ 1 および 2 の電流方向を示します。
8	IDIR_WARN	R	0h	ゲートドライバ ハーフブリッジ 1 および 2 において、電流方向が不明であることを示します。
7	VGS_L2	R	0h	ローサイド 2 MOSFET 上の VGS ゲート障害を示します。
6	VGS_H2	R	0h	ハイサイド 2 MOSFET 上の VGS ゲート障害を示します。
5	VGS_L1	R	0h	ローサイド 1 MOSFET 上の VGS ゲート障害を示します。
4	VGS_H1	R	0h	ハイサイド 1 MOSFET 上の VGS ゲート障害を示します。
3	VDS_L2	R	0h	ローサイド 2 MOSFET 上の VDS 過電流障害を示します。
2	VDS_H2	R	0h	ハイサイド 2 MOSFET 上の VDS 過電流障害を示します。
1	VDS_L1	R	0h	ローサイド 1 MOSFET 上の VDS 過電流障害を示します。
0	VDS_H1	R	0h	ハイサイド 1 MOSFET 上の VDS 過電流障害を示します。

8.1.4 HB_STAT1 レジスタ (オフセット = 3h) [リセット = 0000h]

HB_STAT1 を表 8-8 に示します。

[概略表](#)に戻ります。

各ハーフブリッジのハイサイドまたはローサイドのハーフブリッジ過電流フォルト。

表 8-8. HB_STAT1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14	予約済み	R	0h	予約済み
13	OUT6_LS_OCP	R	0h	ハーフブリッジ OUT6 のローサイドで過電流エラーが発生していることを示します。
12	OUT5_LS_OCP	R	0h	ハーフブリッジ OUT5 のローサイドで過電流エラーが発生していることを示します。
11	OUT4_LS_OCP	R	0h	ハーフブリッジ OUT4 のローサイドで過電流エラーが発生していることを示します。
10	OUT3_LS_OCP	R	0h	ハーフブリッジ OUT3 のローサイドで過電流エラーが発生していることを示します。
9	OUT2_LS_OCP	R	0h	ハーフブリッジ OUT2 のローサイドで過電流エラーが発生していることを示します。
8	OUT1_LS_OCP	R	0h	ハーフブリッジ OUT1 のローサイドで過電流エラーが発生していることを示します。
7	予約済み	R	0h	予約済み
6	予約済み	R	0h	予約済み
5	OUT6_HS_OCP	R	0h	ハーフブリッジ OUT6 のハイサイドでの過電流フォルトを示します。
4	OUT5_HS_OCP	R	0h	ハーフブリッジ OUT5 のハイサイドでの過電流フォルトを示します。
3	OUT4_HS_OCP	R	0h	ハーフブリッジ OUT4 のハイサイドでの過電流フォルトを示します。
2	OUT3_HS_OCP	R	0h	ハーフブリッジ OUT3 のハイサイドでの過電流フォルトを示します。
1	OUT2_HS_OCP	R	0h	ハーフブリッジ OUT2 のハイサイドでの過電流フォルトを示します。
0	OUT1_HS_OCP	R	0h	ハーフブリッジ OUT1 のハイサイドでの過電流フォルトを示します。

8.1.5 HB_STAT2 レジスタ (オフセット = 4h) [リセット = 0000h]

HB_STAT2 を表 8-9 に示します。

[概略表](#)に戻ります。

ハーフブリッジのアクティブおよびオフ状態の開放負荷フォルト。

表 8-9. HB_STAT2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14	予約済み	R	0h	予約済み
13	予約済み	R	0h	予約済み
12	HB_OLP_STAT	R	0h	内蔵ハーフブリッジ OLP ステータスを示します。
11	OUT6_LS_OLA	R	0h	ハーフブリッジ OUT6 のローサイドでアクティブな開放負荷フォルトを示します。
10	OUT5_LS_OLA	R	0h	ハーフブリッジ OUT5 のローサイドでアクティブな開放負荷フォルトを示します。
9	OUT4_LS_OLA	R	0h	ハーフブリッジ OUT4 のローサイドでアクティブな開放負荷フォルトを示します。
8	OUT3_LS_OLA	R	0h	ハーフブリッジ OUT3 のローサイドでアクティブな開放負荷フォルトを示します。
7	OUT2_LS_OLA	R	0h	ハーフブリッジ OUT2 のローサイドでアクティブな開放負荷フォルトを示します。
6	OUT1_LS_OLA	R	0h	ハーフブリッジ OUT1 のローサイドでアクティブな開放負荷フォルトを示します。
5	OUT6_HS_OLA	R	0h	ハーフブリッジ OUT6 のハイサイドでアクティブな開放負荷フォルトを示します。
4	OUT5_HS_OLA	R	0h	ハーフブリッジ OUT5 のハイサイドでアクティブな開放負荷フォルトを示します。
3	OUT4_HS_OLA	R	0h	ハーフブリッジ OUT4 のハイサイドでアクティブな開放負荷フォルトを示します。
2	OUT3_HS_OLA	R	0h	ハーフブリッジ OUT3 のハイサイドでアクティブな開放負荷フォルトを示します。
1	OUT2_HS_OLA	R	0h	ハーフブリッジ OUT2 のハイサイドでアクティブな開放負荷フォルトを示します。
0	OUT1_HS_OLA	R	0h	ハーフブリッジ OUT1 のハイサイドでアクティブな開放負荷フォルトを示します。

8.1.6 ITRIP_STAT レジスタ (オフセット = 5h) [リセット = 0000h]

表 8-10 に、ITRIP_STAT を示します。

概略表に戻ります。

ITRIP レギュレーション ステータス警告も含まれています。

表 8-10. ITRIP_STAT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14	予約済み	R	0h	予約済み
13	予約済み	R	0h	予約済み
12	予約済み	R	0h	予約済み
11	予約済み	R	0h	予約済み
10	予約済み	R	0h	予約済み
9	予約済み	R	0h	予約済み
8	予約済み	R	0h	予約済み
7	予約済み	R	0h	予約済み
6	OUT7_ITRIP_STAT	R	0h	OUT7 の ITRIP レギュレーション警告を示します。
5	OUT6_ITRIP_STAT	R	0h	OUT6 の ITRIP レギュレーション警告を示します。
4	OUT5_ITRIP_STAT	R	0h	OUT5 の ITRIP レギュレーション警告を示します。
3	OUT4_ITRIP_STAT	R	0h	OUT4 の ITRIP レギュレーション警告を示します。
2	OUT3_ITRIP_STAT	R	0h	OUT3 の ITRIP レギュレーション警告を示します。
1	OUT2_ITRIP_STAT	R	0h	OUT2 の ITRIP レギュレーション警告を示します。
0	OUT1_ITRIP_STAT	R	0h	OUT1 の ITRIP レギュレーション警告を示します。

8.1.7 HS_STAT レジスタ (オフセット = 6h) [リセット = 0000h]

HS_STAT を表 8-11 に示します。

[概略表](#)に戻ります。

ハイサイドドライバの過電流と開放負荷の障害ステータス。

表 8-11. HS_STAT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14	予約済み	R	0h	予約済み
13	OUT12_OLA	R	0h	OUT12 の開放負荷を示します。
12	OUT11_OLA	R	0h	OUT11 の開放負荷を示します。
11	OUT10_OLA	R	0h	OUT10 の開放負荷を示します。
10	OUT9_OLA	R	0h	OUT9 の開放負荷を示します。
9	OUT8_OLA	R	0h	OUT8 の開放負荷を示します。
8	OUT7_OLA	R	0h	OUT7 の開放負荷を示します。
7	予約済み	R	0h	予約済み
6	予約済み	R	0h	予約済み
5	OUT12_OCP	R	0h	OUT12 の過電流障害を示します。
4	OUT11_OCP	R	0h	OUT11 の過電流障害を示します。
3	OUT10_OCP	R	0h	OUT10 の過電流障害を示します。
2	OUT9_OCP	R	0h	OUT9 の過電流障害を示します。
1	OUT8_OCP	R	0h	OUT8 の過電流障害を示します。
0	OUT7_OCP	R	0h	OUT7 の過電流障害を示します。

8.1.8 HS_ITRIP_STAT レジスタ (オフセット = 7h) [リセット = 0000h]

表 8-12 に、HS_ITRIP_STAT を示します。

概略表に戻ります。

ハイサイド ITRIP ステータス レジスタを含みます。

表 8-12. HS_ITRIP_STAT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14	予約済み	R	0h	予約済み
13	予約済み	R	0h	予約済み
12	予約済み	R	0h	予約済み
11	予約済み	R	0h	予約済み
10	予約済み	R	0h	予約済み
9	予約済み	R	0h	予約済み
8	予約済み	R	0h	予約済み
7	予約済み	R	0h	予約済み
6	予約済み	R	0h	予約済み
5	予約済み	R	0h	予約済み
4	OUT12_ITRIP_STAT	R	0h	OUT12 の ITRIP レギュレーション警告を示します。
3	OUT11_ITRIP_STAT	R	0h	OUT11 の ITRIP レギュレーション警告を示します。
2	OUT10_ITRIP_STAT	R	0h	OUT10 の ITRIP レギュレーション警告を示します。
1	OUT9_ITRIP_STAT	R	0h	OUT9 の ITRIP レギュレーション警告を示します。
0	OUT8_ITRIP_STAT	R	0h	OUT8 の ITRIP レギュレーション警告を示します。

8.1.9 SPARE_STAT2 レジスタ (オフセット = 8h) [リセット = 0000h]

SPARE_STAT2 を表 8-13 に示します。

[概略表](#)に戻ります。

スペア ステータス レジスタ。

表 8-13. SPARE_STAT2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14	予約済み	R	0h	予約済み
13	予約済み	R	0h	予約済み
12	予約済み	R	0h	予約済み
11	予約済み	R	0h	予約済み
10	予約済み	R	0h	予約済み
9	予約済み	R	0h	予約済み
8	予約済み	R	0h	予約済み
7-0	DEV_ID	R	0h	0x02= DRV8000 0x21= DRV8001 0x22= DRV8002

8.2 DRV8000-Q1_CNFG レジスタ

DRV8000-Q1_CNFG レジスタのメモリマップされたレジスタを、表 8-14 に示します。表 8-14 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 8-14. DRV8000-Q1_CNFG レジスタ

オフセット	略称	レジスタ名	セクション
9h	IC_CNFG1	IC 構成レジスタ 1	セクション 8.2.1
Ah	IC_CNFG2	IC 構成レジスタ 2	セクション 8.2.2
Bh	GD_CNFG	ゲートドライバ構成レジスタ	セクション 8.2.3
Ch	GD_IDRV_CNFG	IDRIVE 設定構成レジスタ。	セクション 8.2.4
Dh	GD_VGS_CNFG	VGS 検出構成レジスタ。	セクション 8.2.5
Eh	GD_VDS_CNFG	VDS 監視構成レジスタ。	セクション 8.2.6
Fh	GD_CSA_CNFG	CSA 構成レジスタ。	セクション 8.2.7
10h	GD_AGD_CNFG	高度なスマート ゲートドライバ構成レジスタ。	セクション 8.2.8
11h	GD_PDR_CNFG	伝搬遅延低減構成レジスタ。	セクション 8.2.9
12h	GD_STC_CNFG	スルー時間制御構成レジスタ。	セクション 8.2.10
13h	GD_SPARE_CNFG1	予備ゲートドライバ構成レジスタ 1。	セクション 8.2.11
14h	HB_ITRIP_DG	ハーフブリッジ ITRIP グリッチ除去構成レジスタ 2。	セクション 8.2.12
15h	HB_OUT_CNFG1	ハーフブリッジ出力 5 および 6 構成レジスタ。	セクション 8.2.13
16h	HB_OUT_CNFG2	ハーフブリッジ出力 1-4 構成レジスタ。	セクション 8.2.14
17h	HB_OCP_CNFG	ハーフブリッジ過電流グリッチ除去構成レジスタ。	セクション 8.2.15
18h	HB_OL_CNFG1	ハーフブリッジ アクティブおよびパッシブ オープンロード イネーブル レジスタ	セクション 8.2.16
19h	HB_OL_CNFG2	ハーフブリッジ アクティブ オープンロードしきい値選択レジスタ。	セクション 8.2.17
1Ah	HB_SR_CNFG	ハーフブリッジ スルーレート設定レジスタ。	セクション 8.2.18
1Bh	HB_ITRIP_CNFG	ハーフブリッジ ITRIP 構成レジスタ 1。	セクション 8.2.19
1Ch	HB_ITRIP_FREQ	ハーフブリッジ ITRIP 周波数構成レジスタ 2。	セクション 8.2.20
1Dh	HS_OUT_CNFG	ハイスайд出力構成レジスタ。	セクション 8.2.21
1Eh	HS_OC_CNFG	ハイスайдドライバ過電流スレッシュホールド構成レジスタ。	セクション 8.2.22
1Fh	HS_OL_CNFG	ハイスайдドライバ開放負荷スレッシュホールド構成レジスタ。	セクション 8.2.23
20h	HS_REG_CNFG1	ハイスайдドライバのレギュレーション構成レジスタ。	セクション 8.2.24
21h	HS_REG_CNFG2	ハイスайдドライバのレギュレーション構成レジスタ。	セクション 8.2.25
22h	HS_PWM_FREQ_CNFG	ハイスайдドライバ PWM ジェネレータ周波数構成レジスタ。	セクション 8.2.26
23h	SPARE_CNFG	予備構成	セクション 8.2.27
24h	SPARE_CNFG1	予備構成	セクション 8.2.28
25h	HS_REG_CNFG3	ハイスайдドライバのレギュレーション構成レジスタ。	セクション 8.2.29
26h	SPARE_CNFG2	予備構成	セクション 8.2.30
27h	OUT1_HS_MODE_DC	OUT1 のデューティ サイクル設定。	セクション 8.2.31
28h	OUT2_HS_MODE_DC	OUT2 のデューティ サイクル設定。	セクション 8.2.32

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-15 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-15. DRV8000-Q1_CNFG のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

8.2.1 IC_CNFG1 レジスタ (オフセット = 9h) [リセット = 0002h]

IC_CNFG1 を表 8-16 に示します。

概略表に戻ります。

チャージ ポンプとウォッチドッグの構成、および電源、チャージ ポンプ、熱、ウォッチドッグの各障害の障害レベルと対応を含みます。

表 8-16. IC_CNFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	OTSD_MODE	R/W	0h	過熱シャットダウン動作を設定します。サーマル クラスタが OT に達すると、デバイスはすべてのドライバまたは影響を受けるドライバのみ (ゾーン 3 のドライバなど) をシャットダウンします。 0b = グローバル シャットダウン。 1b = 影響を受けるドライバ シャットダウンのみ。
14	DIS_CP	R/W	0h	すべての出力 (OUTx_EN, EN_GD, HEAT_EN, EC_ON) がオフのとき、チャージ ポンプを無効にでき、デバイスは通信専用モードになります。 0b = チャージ ポンプが有効。 1b = チャージ ポンプが無効。
13	RSVD	R	0h	予約済み。
12	PVDD_OV_MODE	R/W	0h	PVDD 電源過電圧監視モード。 0b = ラッチ障害。 1b = 自動復帰。
11-10	PVDD_OV_DG	R/W	0h	PVDD 電源過電圧監視グリッチ除去時間。 00b = 1μs 01b = 2μs 10b = 4μs 11b = 8μs
9	PVDD_OV_LVL	R/W	0h	PVDD 電源過電圧監視スレッシュホルド。 0b = 22V 1b = 28V
8	VCP_UV_LVL	R/W	0h	VCP チャージ ポンプ低電圧監視スレッシュホルド。 0b = 4.75V 1b = 6.25V
7-6	CP_MODE	R/W	0h	チャージ ポンプ動作モード。 00b = 3 倍速と 2 倍速の自動切り替えモード。 01b = 常に倍速モード。 10b = 常に 3 倍速モード。 11b = RSVD
5	VCP_UV_MODE	R/W	0h	VCP チャージ ポンプ低電圧監視モード。 0b = ラッチ障害。 1b = 自動復帰。
4	PVDD_UV_MODE	R/W	0h	PVDD 電源低電圧監視モード。 0b = ラッチ障害。 1b = 自動復帰。
3	WD_EN	R/W	0h	ウォッチドッグ タイマが有効。 0b = ウォッチドッグ タイマが無効。 1b = ウォッチドッグ タイマを有効化。
2	WD_FLT_M	R/W	0h	ウォッチドッグ フォルト モード。ウォッチドッグ フォルトは CLR_FLT によってクリアされます。 0b = ウォッチドッグ フォルトは WD_FLT および WARN レジスタビットに通知されます。ドライバは有効なまま、FAULT ビットはアサートされません。 1b = ウォッチドッグ フォルトは WD_FLT および FAULT レジスタビットに通知されます。ウォッチドッグ フォルトにตอบสนองしてすべてのドライバがディセーブルになります。

表 8-16. IC_CFG1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1	WD_WIN	R/W	1h	ウォッチドッグ タイマ ウィンドウ。 0b = 4 to 12ms 1b = 10 to 100ms
0	EN_SSC	R/W	0h	スペクトラム拡散クロック。 0b = 無効。 1b = 有効。

8.2.2 IC_CNFG2 レジスタ (オフセット = Ah) [リセット = 0000h]

IC_CNFG2 を表 8-17 に示します。

[概略表](#)に戻ります。

サーマル クラスタ警告無効ビットを含みます。

表 8-17. IC_CNFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R/W	0h	予約済み
14	予約済み	R/W	0h	予約済み
13	予約済み	R/W	0h	予約済み
12	予約済み	R/W	0h	予約済み
11	予約済み	R/W	0h	予約済み
10	予約済み	R/W	0h	予約済み
9	予約済み	R/W	0h	予約済み
8	予約済み	R/W	0h	予約済み
7	ZONE4_OTW_H_DIS	R/W	0h	ゾーン 4 の過熱警告を無効にします。 有効 = 0b 無効 = 1b
6	ZONE3_OTW_H_DIS	R/W	0h	ゾーン 3 の過熱警告を無効にします。 有効 = 0b 無効 = 1b
5	ZONE2_OTW_H_DIS	R/W	0h	ゾーン 2 の過熱警告を無効にします。 有効 = 0b 無効 = 1b
4	ZONE1_OTW_H_DIS	R/W	0h	ゾーン 1 の過熱警告を無効にします。 有効 = 0b 無効 = 1b
3	ZONE4_OTW_L_DIS	R/W	0h	ゾーン 4 の低過熱警告を無効にします。 有効 = 0b 無効 = 1b
2	ZONE3_OTW_L_DIS	R/W	0h	ゾーン 3 の低過熱警告を無効にします。 有効 = 0b 無効 = 1b
1	ZONE2_OTW_L_DIS	R/W	0h	ゾーン 2 の低過熱警告を無効にします。 有効 = 0b 無効 = 1b
0	ZONE1_OTW_L_DIS	R/W	0h	ゾーン 1 の低過熱警告を無効にします。 有効 = 0b 無効 = 1b

8.2.3 GD_CNFG レジスタ (オフセット= Bh) [リセット = 0000h]

GD_CNFG を表 8-18 に示します。

概略表に戻ります。

一般的なゲートドライバ制御。ゲートドライバ イネーブル、ブリッジ構成、入力ピン モード、オープン ロード イネーブルを含みます。

表 8-18. GD_CNFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R/W	0h	予約済み
14	予約済み	R/W	0h	予約済み
13	IDRV_LO1	R/W	0h	ハーフブリッジ 1 に低電流 IDRVN および IDRVP モードを有効にします。 0b = IDRVP_1 と IDRVN_1 は標準値を使用します。 1b = IDRVP_1 と IDRVN_1 は Low 電流値を使用します。
12	IDRV_LO2	R/W	0h	ハーフブリッジ 2 に低電流 IDRVN および IDRVP モードを有効にします。 0b = IDRVP_2 と IDRVN_2 は標準値を使用します。 1b = IDRVP_2 と IDRVN_2 は Low 電流値を使用します。
11	PU_SH_1	R/W	0h	ゲートドライバ 1 のプルアップ診断電流ソース。 EN_OLSC = 1b に設定して使用します。 0b = 無効。 1b = 有効。
10	PD_SH_1	R/W	0h	ゲートドライバ 1 のプルダウン診断電流ソース。 EN_OLSC = 1b に設定して使用します。 0b = 無効。 1b = 有効。
9	PU_SH_2	R/W	0h	ゲートドライバ 2 のプルアップ診断電流ソース。 EN_OLSC = 1b に設定して使用します。 0b = 無効。 1b = 有効。
8	PD_SH_2	R/W	0h	ゲートドライバ 2 のプルダウン診断電流ソース。 EN_OLSC = 1b に設定して使用します。 0b = 無効。 1b = 有効。
7	予約済み	R/W	0h	予約済み
6	IN2_MODE	R/W	0h	ゲートドライバ 2 の制御ソースを設定します。 0b = 入力ピン IN2。 1b = SPI 制御。
5	IN1_MODE	R/W	0h	ゲートドライバ 1 の制御ソースを設定します。 0b = 入力ピン IN1。 1b = SPI 制御。
4	BRG_FW	R/W	0h	ゲートドライバ 1 および 2 は、フリーホイール設定を制御します。ハーフブリッジ 1 と 2 で共有される設定。 0b = ローサイド フリーホイール 1b = ハイサイド フリーホイール。
3-2	BRG_MODE	R/W	0h	ゲートドライバ 1 および 2 入力制御モード。 00b = 独立ハーフブリッジ入力制御。 01b = PH/EN H ブリッジ入力制御。 10b = PWM H ブリッジ入力制御。 11b = 予約済み。
1	EN_OLSC	R/W	0h	オフライン オープン負荷 / 短絡診断イネーブル。 0b = 無効。 1b = VDS モニタをリアルタイム電圧監視モードに設定し、診断電流ソースをイネーブル。

表 8-18. GD_CNFG レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	EN_GD	R/W	0h	ゲートドライバ ビットのイネーブル。 0b = ドライバ入力は無視され、ゲートドライバのパッシブ プルダウンがイネーブルになります。 1b = ゲートドライバ出力がイネーブルになり、デジタル入力により制御されます。

8.2.4 GD_IDRV_CNFG レジスタ (オフセット= Ch) [リセット= 4444h]

GD_IDRV_CNFG を表 8-19 に示します。

[概略表](#)に戻ります。

各ハーフブリッジ ゲートドライバの IDRVIVE ドライブ電流レベルを含みます。

表 8-19. GD_IDRV_CNFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	IDRVP_1	R/W	4h	ゲートドライバ 1 のピーク ソース プルアップ電流。括弧内の代替低電流値 (IDRV_LO1)。 0000b = 0.5mA (50μA) 0001b = 1mA (110μA) 0010b = 2mA (170μA) 0011b = 3mA (230μA) 0100b = 4mA (290μA) 0101b = 5mA (350μA) 0110b = 6mA (410μA) 0111b = 7mA (600μA) 1000b = 8mA (725 μA) 1001b = 12mA (850μA) 1010b = 16mA (1mA) 1011b = 20mA (1.2mA) 1100b = 24 mA (1.4mA) 1101b = 31 mA (1.6mA) 1110b = 48mA (1.8mA) 1111b = 62mA (2.3mA)
11-8	IDRVN_1	R/W	4h	ゲートドライバ 1 ピーク シンク プルダウン電流。括弧内の代替低電流値 (IDRV_LO1)。 0000b = 0.5mA (50μA) 0001b = 1mA (110μA) 0010b = 2mA (170μA) 0011b = 3mA (230μA) 0100b = 4mA (290μA) 0101b = 5mA (350μA) 0110b = 6mA (410μA) 0111b = 7mA (600μA) 1000b = 8mA (725μA) 1001b = 12mA (850μA) 1010b = 16mA (1mA) 1011b = 20mA (1.2mA) 1100b = 24mA (1.4mA) 1101b = 31mA (1.6mA) 1110b = 48mA (1.8mA) 1111b = 62mA (2.3mA)
7-4	IDRVP_2	R/W	4h	ゲートドライバ 2 のピーク ソース プルアップ電流。括弧内の代替低電流値 (IDRV_LO2)。 0000b = 0.5mA (50μA) 0001b = 1mA (110μA) 0010b = 2mA (170μA) 0011b = 3mA (230μA) 0100b = 4mA (290μA) 0101b = 5mA (350μA) 0110b = 6mA (410μA) 0111b = 7mA (600μA) 1000b = 8mA (725 μA) 1001b = 12mA (850μA) 1010b = 16mA (1mA) 1011b = 20mA (1.2mA) 1100b = 24 mA (1.4mA) 1101b = 31 mA (1.6mA) 1110b = 48mA (1.8mA) 1111b = 62mA (2.3mA)

表 8-19. GD_IDRV_CNFG レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3-0	IDRVN_2	R/W	4h	<p>ゲートドライバ 2 ピーク シンク プルダウン電流。括弧内の代替低電流値 (IDRV_LO2)。</p> <p>0000b = 0.5mA (50μA) 0001b = 1mA (110μA) 0010b = 2mA (170μA) 0011b = 3mA (230μA) 0100b = 4mA (290μA) 0101b = 5mA (350μA) 0110b = 6mA (410μA) 0111b = 7mA (600μA) 1000b = 8mA (725 μA) 1001b = 12mA (850μA) 1010b = 16mA (1mA) 1011b = 20mA (1.2mA) 1100b = 24 mA (1.4mA) 1101b = 31 mA (1.6mA) 1110b = 48mA (1.8mA) 1111b = 62mA (2.3mA)</p>

8.2.5 GD_VGS_CNFG レジスタ (オフセット = Dh) [リセット = 0030h]

GD_VGS_CNFG を表 8-20 に示します。

[概略表](#)に戻ります。

VGS 故障検出の構成。

表 8-20. GD_VGS_CNFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R/W	0h	予約済み
14	予約済み	R/W	0h	予約済み
13	予約済み	R/W	0h	予約済み
12	予約済み	R/W	0h	予約済み
11	VGS_IND	R/W	0h	VGS 独立シャットダウン モード イネーブル。 BRG_MODE = 00b ではアクティブ。 0b = 無効。 1b = 有効。VGS ゲート故障は、対応するハーフブリッジのみをシャットダウンします。
10-9	VGS_TDEAD	R/W	0h	挿入可能なデジタル デッドタイム。 00b = 0ns 01b = 2μs 10b = 4μs 11b = 8μs
8	予約済み	R/W	0h	予約済み
7	予約済み	R/W	0h	予約済み
6-4	VGS_TDRV	R/W	3h	VGS 駆動時間、VDS 監視ブランキング時間。 000b = 2μs 001b = 4μs 010b = 8μs 011b = 12μs 100b = 16μs 101b = 24μs 110b = 32μs 111b = 96μs
3	VGS_HS_DIS	R/W	0h	VGS 監視ベースのデッドタイム ハンドシェイク。 0b = 有効。 1b = 無効。tDRIVE と tDEAD の時間持続に基づくゲート駆動遷移
2	VGS_LVL	R/W	0h	デッドタイム ハンドシェイクおよびゲート障害検出用 VGS 監視スレッショルド。 0b = 1.4V 1b = 1.0V
1-0	VGS_MODE	R/W	0h	VGS ゲート障害監視モード。 00b = ラッチ障害。 01b = サイクルごと。 10b = 警告レポートのみ。 11b = 無効。

8.2.6 GD_VDS_CNFG レジスタ (オフセット = Eh) [リセット = 0D2Dh]

GD_VDS_CNFG を表 8-21 に示します。

[概略表](#)に戻ります。

VDS 監視または短絡検出構成レジスタ。

表 8-21. GD_VDS_CNFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	RSVD	R/W	0h	予約済み。
14	VDS_IND	R/W	0h	VDS フォルト独立シャットダウンモード構成。 0b = 無効。VDS の故障により、すべてのゲートドライバがシャットダウンします。 1b = 有効。VDS ゲート フォルトは、関連するゲートドライバのみをシャットダウンします。
13-12	VDS_IDRVN	R/W	0h	IDRVN ゲート プルダウン電流 VDS_OCP フォルト後のゲートドライバ 1 および 2。 00b = プログラム済み IDRVN 01b = 8mA 10b = 31mA 11b = 62mA
11-8	VDS_HS_LVL	R/W	Dh	ハイスайд VDS 過電流監視スレッシュホルド。 0000b = 0.06V 00001b = 0.08V 0010b = 0.10V 0011b = 0.12V 0100b = 0.14V 0101b = 0.16V 0110b = 0.18V 0111b = 0.2V 1000b = 0.3V 1001b = 0.4V 1010b = 0.5V 1011b = 0.6V 1100b = 0.7V 1101b = 1V 1110b = 1.4V 1111b = 2V
7-6	VDS_MODE	R/W	0h	VDS 過電流監視モード。 00b = ラッチ障害。 01b = サイクルごと。 10b = 警告レポートのみ。 11b = 無効。
5-4	VDS_DG	R/W	2h	VDS 過電流監視グリッチ除去時間。 00b = 1μs 01b = 2μs 10b = 4μs 11b = 8μs

表 8-21. GD_VDS_CNFG レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3-0	VDS_LS_LVL	R/W	Dh	ローサイド VDS 過電流監視スレッショルド。 0000b = 0.06V 0001b = 0.08V 0010b = 0.10V 0011b = 0.12V 0100b = 0.14V 0101b = 0.16V 0110b = 0.18V 0111b = 0.2V 1000b = 0.3V 1001b = 0.4V 1010b = 0.5V 1011b = 0.6V 1100b = 0.7V 1101b = 1V 1110b = 1.4V 1111b = 2V

8.2.7 GD_CSA_CNFG レジスタ (オフセット= Fh) [リセット= 0004h]

GD_CSA_CNFG を表 8-22 に示します。

[概略表](#)に戻ります。

CSA の設定と制御。

表 8-22. GD_CSA_CNFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R/W	0h	予約済み
14	予約済み	R/W	0h	予約済み
13	予約済み	R/W	0h	予約済み
12	予約済み	R/W	0h	予約済み
11	予約済み	R/W	0h	予約済み
10	予約済み	R/W	0h	予約済み
9	予約済み	R/W	0h	予約済み
8	予約済み	R/W	0h	予約済み
7-5	CSA_BLK	R/W	0h	電流シャント アンプのブランキング時間。tDRV の %。 000b = 0%、無効 001b = 25% 010b = 37.5% 011b = 50% 100b = 62.5% 101b = 75% 110b = 87.5% 111b = 100%
4	CSA_BLK_SEL	R/W	0h	電流シャント アンプのブランキングトリガ ソース。 0b = ゲートドライバ 1 1b = ゲートドライバ 2
3-2	CSA_GAIN	R/W	1h	電流シャント アンプのゲイン設定。 00b = 10V/V 01b = 20V/V 10b = 40V/V 11b = 80V/V
1	CSA_DIV	R/W	0h	電流シャント アンプの内部基準電圧分割器。 0b = VD _{VDD} /2 1b = VD _{VDD} /8
0	CSA_EN	R/W	0h	電流センス アンプが有効です。 0b = ディスエーブル 1b = イネーブル

8.2.8 GD_AGD_CNFG レジスタ (オフセット = 10h) [リセット = 0402h]

GD_AGD_CNFG を表 8-23 に示します。

[概略表](#)に戻ります。

高度なスマート ゲートドライバ構成を含み、DCC および PDR、充電後の設定が可能。

表 8-23. GD_AGD_CNFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R/W	0h	予約済み
14	PDR_ERR	R/W	0h	ゲートドライバ 1 および 2 の PDR ループ エラー限界値。 0b = 1 ビット エラー 1b = 実際のエラー
13-12	AGD_ISTRONG	R/W	0h	適応型ゲートドライバの ISTRONG 構成。00b = ISTRONG プルダウンは、初期の IDRVP_x レジスタ設定からデコードされます。 01b = 62mA 10b = 124mA 11b = RSVD
11-10	AGD_THR	R/W	1h	適応型ゲートドライバ VSH スレッショルド構成。 00b = 0.5V、VDRAIN-0.5V 01b = 1V、VDRAIN-1V 10b = 1.5V、VDRAIN-1.5V 11b = 2V、VDRAIN-2V
9	SET_AGD	R/W	0h	適応型ゲート駆動制御ループにアクティブ ハーフブリッジを設定します。 0b = ゲートドライバ 1 1b = ゲートドライバ 2
8	FW_MAX	R/W	0h	ゲートドライバ 1 および 2 のフリーホイール MOSFET に使用されるゲート駆動電流。 0b = PRE_CHR_MAX_12 1b = 64 mA
7	EN_DCC	R/W	0h	ハーフブリッジ 1 と 2 のデューティ サイクル補償を有効にします。
6	IDIR_MAN	R/W	0h	ハーフブリッジ 1 および 2 の電流極性検出モード。 0b = 自動 1b = 手動 (IDIR_MAN_SEL により設定)
5-4	KP_PST	R/W	0h	ハーフブリッジ 1 および 2 のポスト チャージ比例制御ゲイン設定。 00b = 無効 01b = 2 10b = 4 11b = 15
3	EN_PST_DLY	R/W	0h	充電後の時間遅延を有効にします。時間遅延は T_DON_DOFF_12 - T_PRE_CHR_12 と等しくなります。
2-1	KP_PDR	R/W	1h	ハーフブリッジ 1 および 2 の PDR 比例コントローラのゲイン設定。 00b = 1 01b = 2 10b = 3 11b = 4
0	EN_PDR	R/W	0h	ハーフブリッジ 1 および 2 の PDR ループ制御を有効化します。

8.2.9 GD_PDR_CNFG レジスタ (オフセット = 11h) [リセット = 0AF6h]

GD_PDR_CNFG を表 8-24 に示します。

[概略表](#)に戻ります。

残りの PDR 制御、プリチャージ設定、タイミングを含みます。

表 8-24. GD_PDR_CNFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	PRE_MAX	R/W	0h	ハーフブリッジ 1 および 2 のプリチャージおよび事前充電のゲートドライブ電流の最大値。 00b = 64mA 01b = 32mA 10b = 16mA 11b = 8mA
13-8	T_DON_DOFF	R/W	Ah	ハーフブリッジ 1 と 2 のオン/オフ時間遅延。140ns x T_DON_DOFF [3:0] デフォルト時間: 001010b (1.4 μs)
7-6	T_PRE_CHR	R/W	3h	ハーフブリッジ 1 および 2 の PDR 制御ループのプリチャージ時間。T_DON_DOFF_12 [5:0] の比率として設定します。 00b = 1/8 01b = 1/4 10b = 3/8 11b = 1/2
5-4	T_PRE_DCHR	R/W	3h	ハーフブリッジ 1 と 2 の PDR 制御ループの事前放電時間。T_DON_DOFF_12 [5:0] の比率として設定します。 00b = 1/8 01b = 1/4 10b = 3/8 11b = 1/2
3-2	PRE_CHR_INIT	R/W	1h	ハーフブリッジ 1 および 2 の PDR 制御ループの初期プリチャージ電流設定。 00b = 4mA 01b = 8mA 10b = 16mA 11b = 32mA
1-0	PRE_DCHR_INIT	R/W	2h	ハーフブリッジ 1 および 2 の PDR 制御ループの初期予備放電電流設定。 00b = 4mA 01b = 8mA 10b = 16mA 11b = 32mA

8.2.10 GD_STC_CNFG レジスタ (オフセット = 12h) [リセット = 0026h]

GD_STC_CNFG を表 8-25 に示します。

[概略表](#)に戻ります。

構成を含み、スルー時間制御を可能にします。

表 8-25. GD_STC_CNFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R/W	0h	予約済み
14	予約済み	R/W	0h	予約済み
13	予約済み	R/W	0h	予約済み
12	予約済み	R/W	0h	予約済み
11	予約済み	R/W	0h	予約済み
10	予約済み	R/W	0h	予約済み
9	予約済み	R/W	0h	予約済み
8	IDIR_MAN_SEL	R/W	0h	ゲートドライバ向けの手動フリーホイール選択。 0b = ハイサイド MOSFET 駆動、ローサイド MOSFET フリーホイール。 1b = ローサイド MOSFET 駆動、ハイサイド MOSFET フリーホイール。
7-4	T_RISE_FALL	R/W	2h	ハーフブリッジ 1 と 2 のスイッチ ノード VSH の立ち上がり時間と立ち下がり時間を設定します。 0000b = 0.35us 0001b = 0.56us 0010b = 0.77us 0011b = 0.98us 0100b = 1.33us 0101b = 1.68us 0110b = 2.03us 0111b = 2.45us 1000b = 2.94us 1001b = 3.99us 1010b = 4.97us 1011b = 5.95us 1100b = 7.98us 1101b = 9.94us 1110b = 11.97us 1111b = 15.96us
3	STC_ERR	R/W	0h	ハーフブリッジ 1 および 2 の STC ループ誤差リミット。 0b = 1 ビット エラー 1b = 実際のエラー
2-1	KP_STC	R/W	3h	ハーフブリッジ 1 および 2 の STC 比例コントローラのゲイン設定。 00b = 1 01b = 2 10b = 3 11b = 4
0	EN_STC	R/W	0h	ハーフブリッジ 1 および 2 の STC ループ制御を有効化します。

8.2.11 GD_SPARE_CNFG1 レジスタ (オフセット = 13h) [リセット = 0000h]

GD_SPARE_CNFG1 を表 8-26 に示します。

[概略表](#)に戻ります。

ゲートドライバ用の予備構成レジスタ。

表 8-26. GD_SPARE_CNFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R/W	0h	予約済み
14	予約済み	R/W	0h	予約済み
13	予約済み	R/W	0h	予約済み
12	予約済み	R/W	0h	予約済み
11	予約済み	R/W	0h	予約済み
10	予約済み	R/W	0h	予約済み
9	予約済み	R/W	0h	予約済み
8	予約済み	R/W	0h	予約済み
7	予約済み	R/W	0h	予約済み
6	予約済み	R/W	0h	予約済み
5	予約済み	R/W	0h	予約済み
4	予約済み	R/W	0h	予約済み
3	予約済み	R/W	0h	予約済み
2	予約済み	R/W	0h	予約済み
1	予約済み	R/W	0h	予約済み
0	予約済み	R/W	0h	予約済み

8.2.12 HB_ITRIP_DG レジスタ (オフセット = 14h) [リセット = 0000h]

HB_ITRIP_DG を表 8-27 に示します。

概略表に戻ります。

各ハーフブリッジの ITRIP グリッチ除去を設定します。ITRIP タイミングは、ハーフブリッジ ペア間で共有されます。

表 8-27. HB_ITRIP_DG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R/W	0h	予約済み
14	予約済み	R/W	0h	予約済み
13	予約済み	R/W	0h	予約済み
12	予約済み	R/W	0h	予約済み
11-10	OUT6_ITRIP_DG	R/W	0h	ハーフブリッジ 6 の ITRIP グリッチ除去時間を設定します。 00b = 2 μ s 01b = 5 μ s 10b = 10 μ s 11b = 20 μ s
9-8	OUT5_ITRIP_DG	R/W	0h	ハーフブリッジ 5 の ITRIP グリッチ除去時間を設定します。 00b = 2 μ s 01b = 5 μ s 10b = 10 μ s 11b = 20 μ s
7-6	OUT4_ITRIP_DG	R/W	0h	ハーフブリッジ 4 の ITRIP グリッチ除去時間を設定します。 00b = 2 μ s 01b = 5 μ s 10b = 10 μ s 11b = 20 μ s
5-4	OUT3_ITRIP_DG	R/W	0h	ハーフブリッジ 3 の ITRIP グリッチ除去時間を設定します。 00b = 2 μ s 01b = 5 μ s 10b = 10 μ s 11b = 20 μ s
3-2	OUT2_ITRIP_DG	R/W	0h	ハーフブリッジ 2 の ITRIP グリッチ除去時間を設定します。 00b = 2 μ s 01b = 5 μ s 10b = 10 μ s 11b = 20 μ s
1-0	OUT1_ITRIP_DG	R/W	0h	ハーフブリッジ 1 の ITRIP グリッチ除去時間を設定します。 00b = 2 μ s 01b = 5 μ s 10b = 10 μ s 11b = 20 μ s

8.2.13 HB_OUT_CNFG1 レジスタ (オフセット = 15h) [リセット = 0000h]

HB_OUT_CNFG1 を表 8-28 に示します。

概略表に戻ります。

各ハーフブリッジの出力モードを設定し、IPROPI サンプルおよびホールド回路、ハーフブリッジペアのフリーホイールを設定します。

表 8-28. HB_OUT_CNFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R/W	0h	予約済み
14	NSR_OUT6_DIS	R/W	0h	ハーフブリッジ 6 の ITRIP レギュレーション中に非同期整流を無効にする (アクティブ・フリーホイールを設定)。 パッシブ フリーホイール = 0b アクティブ フリーホイール = 1b
13	NSR_OUT5_DIS	R/W	0h	ハーフブリッジ 5 の ITRIP レギュレーション中に非同期整流を無効にする (アクティブ・フリーホイールを設定)。 パッシブ フリーホイール = 0b アクティブ フリーホイール = 1b
12	NSR_OUT4_DIS	R/W	0h	ハーフブリッジ 4 の ITRIP レギュレーション中に非同期整流を無効にする (アクティブ・フリーホイールを設定)。 パッシブ フリーホイール = 0b アクティブ フリーホイール = 1b
11	NSR_OUT3_DIS	R/W	0h	ハーフブリッジ 3 の ITRIP レギュレーション中に非同期整流を無効にする (アクティブ フリーホイールを設定)。 パッシブ フリーホイール = 0b アクティブ フリーホイール = 1b
10	NSR_OUT2_DIS	R/W	0h	ハーフブリッジ 2 の ITRIP レギュレーション中に非同期整流を無効にする (アクティブ・フリーホイールを設定)。 パッシブ フリーホイール = 0b アクティブ フリーホイール = 1b
9	NSR_OUT1_DIS	R/W	0h	ハーフブリッジ 1 の ITRIP レギュレーション中に非同期整流を無効にする (アクティブ・フリーホイールを設定)。 パッシブ フリーホイール = 0b アクティブ フリーホイール = 1b
8	IPROPI_SH_EN	R/W	0h	IPROPI サンプル/ホールド回路をイネーブルします。
7	予約済み	R/W	0h	予約済み
6	予約済み	R/W	0h	予約済み
5-3	OUT6_CNFG	R/W	0h	ハーフブリッジ 6 の設定。 ハーフブリッジの制御を有効または無効にし、PWM と SPI の間で制御モードを設定します。 000b = ディスエーブル 001b = イネーブル (SPI レジスタ制御) 010b = PWM1 相補制御 011b = PWM1 LS 制御 100b = PWM1 HS 制御 101b = PWM2 相補制御 110b = PWM2 LS 制御 111b = PWM2 HS 制御

表 8-28. HB_OUT_CNFG1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2-0	OUT5_CNFG	R/W	0h	ハーフブリッジ 5 の設定。 ハーフブリッジの制御を有効または無効にし、PWM と SPI の間で制御モードを設定します。 000b = ディスエーブル 001b = イネーブル (SPI レジスタ制御) 010b = PWM1 相補制御 011b = PWM1 LS 制御 100b = PWM1 HS 制御 101b = PWM2 相補制御 110b = PWM2 LS 制御 111b = PWM2 HS 制御

8.2.14 HB_OUT_CNFG2 レジスタ (オフセット = 16h) [リセット = 0000h]

HB_OUT_CNFG2 を表 8-29 に示します。

[概略表](#)に戻ります。

各ハーフブリッジの出力モードを設定します。

表 8-29. HB_OUT_CNFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R/W	0h	予約済み
14	予約済み	R/W	0h	予約済み
13-11	OUT4_CNFG	R/W	0h	ハーフブリッジ 4 の設定。 ハーフブリッジの制御を有効または無効にし、PWM と SPI の間で制御モードを設定します。 000b = ディスエーブル 001b = イネーブル (SPI レジスタ制御) 010b = PWM1 相補制御 011b = PWM1 LS 制御 100b = PWM1 HS 制御 101b = PWM2 相補制御 110b = PWM2 LS 制御 111b = PWM2 HS 制御
10-8	OUT3_CNFG	R/W	0h	ハーフブリッジ 3 の設定。 ハーフブリッジの制御を有効または無効にし、PWM と SPI の間で制御モードを設定します。 000b = ディスエーブル 001b = イネーブル (SPI レジスタ制御) 010b = PWM1 相補制御 011b = PWM1 LS 制御 100b = PWM1 HS 制御 101b = PWM2 相補制御 110b = PWM2 LS 制御 111b = PWM2 HS 制御
7	OUT2_MODE	R/W	0h	OUT2 を内部 PWM を用いたハイサイドドライバとして有効化するビット。 OUT2_CNFG はドライバの有効化および無効化に使用されます PWM 設定 - Freq: PWM_OUT2_FREQ、DC: OUT2_DC の詳細を示します。
6	OUT1_MODE	R/W	0h	OUT1 を内部 PWM を用いたハイサイドドライバとして有効化するビット。 OUT1_CNFG はドライバの有効化および無効化に使用されます PWM 設定 - Freq: PWM_OUT1_FREQ、DC: OUT1_DC の詳細を示します。
5-3	OUT2_CNFG	R/W	0h	ハーフブリッジ 2 の設定。 ハーフブリッジの制御を有効または無効にし、PWM と SPI の間で制御モードを設定します。 000b = ディスエーブル 001b = イネーブル (SPI レジスタ制御) 010b = PWM1 相補制御 011b = PWM1 LS 制御 100b = PWM1 HS 制御 101b = PWM2 相補制御 110b = PWM2 LS 制御 111b = PWM2 HS 制御

表 8-29. HB_OUT_CNFG2 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2-0	OUT1_CNFG	R/W	0h	ハーフブリッジ 1 の設定。 ハーフブリッジの制御を有効または無効にし、PWM と SPI の間で制御モードを設定します。 000b = ディスエーブル 001b = イネーブル (SPI レジスタ制御) 010b = PWM1 相補制御 011b = PWM1 LS 制御 100b = PWM1 HS 制御 101b = PWM2 相補制御 110b = PWM2 LS 制御 111b = PWM2 HS 制御

8.2.15 HB_OCP_CNFG レジスタ (オフセット = 17h) [リセット = 0000h]

HB_OCP_CNFG を表 8-30 に示します。

[概略表](#)に戻ります。

ハーフブリッジ構成レジスタの過電流グリッチ除去。

表 8-30. HB_OCP_CNFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R/W	0h	予約済み
14	予約済み	R/W	0h	予約済み
13	予約済み	R/W	0h	予約済み
12	予約済み	R/W	0h	予約済み
11-10	OUT6_OCP_DG	R/W	0h	ハーフブリッジ 6 の過電流グリッチ除去時間。 00b = 6μs 01b = 10μs 10b = 15μs 11b = 60μs
9-8	OUT5_OCP_DG	R/W	0h	ハーフブリッジ 5 の過電流グリッチ除去時間。 00b = 6μs 01b = 10μs 10b = 15μs 11b = 60μs
7-6	OUT4_OCP_DG	R/W	0h	ハーフブリッジ 4 の過電流グリッチ除去時間。 00b = 6μs 01b = 10μs 10b = 15μs 11b = 60μs
5-4	OUT3_OCP_DG	R/W	0h	ハーフブリッジ 3 の過電流グリッチ除去時間。 00b = 6μs 01b = 10μs 10b = 15μs 11b = 60μs
3-2	OUT2_OCP_DG	R/W	0h	ハーフブリッジ 2 の過電流グリッチ除去時間。 00b = 6μs 01b = 10μs 10b = 15μs 11b = 60μs
1-0	OUT1_OCP_DG	R/W	0h	ハーフブリッジ 1 の過電流グリッチ除去時間。 00b = 6μs 01b = 10μs 10b = 15μs 11b = 60μs

8.2.16 HB_OL_CNFG1 レジスタ (オフセット = 18h) [リセット = 0000h]

HB_OL_CNFG1 を表 8-31 に示します。

概略表に戻ります。

ハーフブリッジのアクティブおよびオフ状態の開放負荷検出回路を構成します。

表 8-31. HB_OL_CNFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R/W	0h	予約済み
14	予約済み	R/W	0h	予約済み
13-12	HB_OLP_CNFG	R/W	0h	オフ状態診断構成。 00b = オフ状態無効 01b = OUT X プルアップ有効、OUT Y プルダウン有効、OUT Y 選択、VREF Low 10b = OUT X プルダウン有効、OUT Y プルダウン有効、OUT X 選択、VREF High 11b = OUT X プルダウン有効、OUT Y プルダウン有効、OUT Y 選択、VREF Low
11-8	HB_OLP_SEL	R/W	0h	ハーフブリッジのオフ状態開放負荷診断イネーブル。 0000b = ディスエーブル 0001b = OUT1 および OUT2 0010b = OUT1 および OUT3 0011b = OUT1 および OUT4 0100b = OUT1 および OUT5 0101b = OUT1 および OUT6 0110b = OUT2 および OUT3 0111b = OUT2 および OUT4 1000b = OUT2 および OUT5 1001b = OUT2 および OUT6 1010b = OUT3 および OUT4 1011b = OUT3 および OUT5 1100b = OUT3 および OUT6 1101b = OUT4 および OUT5 1110b = OUT4 および OUT6 1111b = OUT5 および OUT6
7	予約済み	R/W	0h	予約済み
6	予約済み	R/W	0h	予約済み
5	OUT6_OLA_EN	R/W	0h	ハーフブリッジ 6 のアクティブ開放負荷診断イネーブル。 0b = ディスエーブル 1b = イネーブル
4	OUT5_OLA_EN	R/W	0h	ハーフブリッジ 5 のアクティブ開放負荷診断イネーブル。 0b = ディスエーブル 1b = イネーブル
3	OUT4_OLA_EN	R/W	0h	ハーフブリッジ 4 のアクティブ開放負荷診断イネーブル。 0b = ディスエーブル 1b = イネーブル
2	OUT3_OLA_EN	R/W	0h	ハーフブリッジ 3 のアクティブ開放負荷診断イネーブル。 0b = ディスエーブル 1b = イネーブル
1	OUT2_OLA_EN	R/W	0h	ハーフブリッジ 2 のアクティブ開放負荷診断イネーブル。 0b = ディスエーブル 1b = イネーブル
0	OUT1_OLA_EN	R/W	0h	ハーフブリッジ 1 のアクティブ開放負荷診断イネーブル。 0b = ディスエーブル 1b = イネーブル

8.2.17 HB_OL_CNFG2 レジスタ (オフセット = 19h) [リセット = 0000h]

HB_OL_CNFG2 を表 8-32 に示します。

[概略表](#)に戻ります。

ハーフブリッジのアクティブ開放負荷検出回路のサイクル数スレッシュホールドを設定します。

表 8-32. HB_OL_CNFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R/W	0h	予約済み
14	予約済み	R/W	0h	予約済み
13	予約済み	R/W	0h	予約済み
12	予約済み	R/W	0h	予約済み
11-10	OUT6_OLA_TH	R/W	0h	ハーフブリッジ 6 のアクティブ開放負荷サイクル カウント スレッシュホールドを設定します。 0b = 32 サイクル 1b = 128 サイクル 10b ~ 512 サイクル 11b ~ 1024 サイクル
9-8	OUT5_OLA_TH	R/W	0h	ハーフブリッジ 5 のアクティブ開放負荷サイクル カウント スレッシュホールドを設定します。 0b = 32 サイクル 1b = 128 サイクル 10b ~ 512 サイクル 11b ~ 1024 サイクル
7-6	OUT4_OLA_TH	R/W	0h	ハーフブリッジ 4 のアクティブ開放負荷サイクル カウント スレッシュホールドを設定します。 0b = 32 サイクル 1b = 128 サイクル 10b ~ 512 サイクル 11b ~ 1024 サイクル
5-4	OUT3_OLA_TH	R/W	0h	ハーフブリッジ 3 のアクティブ開放負荷サイクル カウント スレッシュホールドを設定します。 0b = 32 サイクル 1b = 128 サイクル 10b ~ 512 サイクル 11b ~ 1024 サイクル
3-2	OUT2_OLA_TH	R/W	0h	ハーフブリッジ 2 のアクティブ開放負荷サイクル カウント スレッシュホールドを設定します。 0b = 32 サイクル 1b = 128 サイクル 10b ~ 512 サイクル 11b ~ 1024 サイクル
1-0	OUT1_OLA_TH	R/W	0h	ハーフブリッジ 1 のアクティブ開放負荷サイクル カウント スレッシュホールドを設定します。 0b = 32 サイクル 1b = 128 サイクル 10b ~ 512 サイクル 11b ~ 1024 サイクル

8.2.18 HB_SR_CNFG レジスタ (オフセット = 1Ah) [リセット = 0000h]

HB_SR_CNFG を表 8-33 に示します。

[概略表](#)に戻ります。

各ハーフブリッジのスルー レート タイミングを設定します。

表 8-33. HB_SR_CNFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R/W	0h	予約済み
14	予約済み	R/W	0h	予約済み
13	予約済み	R/W	0h	予約済み
12	予約済み	R/W	0h	予約済み
11-10	OUT6_SR	R/W	0h	ハーフブリッジ 6 のスルー レートを設定します。 00b = 1.6V/μs 01b = 13.5V/μs 10b = 24V/μs
9-8	OUT5_SR	R/W	0h	ハーフブリッジ 5 のスルー レートを設定します。 00b = 1.6V/μs 01b = 13.5V/μs 10b = 24V/μs
7-6	OUT4_SR	R/W	0h	ハーフブリッジ 4 のスルー レートを設定します。 00b = 1.6V/μs 01b = 13.5V/μs 10b = 24V/μs
5-4	OUT3_SR	R/W	0h	ハーフブリッジ 3 のスルー レートを設定します。 00b = 1.6V/μs 01b = 13.5V/μs 10b = 24V/μs
3-2	OUT2_SR	R/W	0h	ハーフブリッジ 2 のスルー レートを設定します。 00b = 1.6V/μs 01b = 13.5V/μs 10b = 24V/μs
1-0	OUT1_SR	R/W	0h	ハーフブリッジ 1 のスルー レートを設定します。 00b = 1.6V/μs 01b = 13.5V/μs 10b = 24V/μs

8.2.19 HB_ITRIP_CNFG レジスタ (オフセット = 1Bh) [リセット = 0000h]

HB_ITRIP_CNFG を表 8-34 に示します。

[概略表](#)に戻ります。

ITRIP レベルを設定し、各ハーフブリッジの ITRIP をイネーブルにします。ITRIP レベルは、ハーフブリッジペア間で共有されます。

表 8-34. HB_ITRIP_CNFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	OUT6_ITRIP_EN	R/W	0h	ハーフブリッジ 6 の ITRIP レギュレーションをイネーブルにします。
14	OUT5_ITRIP_EN	R/W	0h	ハーフブリッジ 5 の ITRIP レギュレーションをイネーブルにします。
13	OUT4_ITRIP_EN	R/W	0h	ハーフブリッジ 4 の ITRIP レギュレーションをイネーブルにします。
12	OUT3_ITRIP_EN	R/W	0h	ハーフブリッジ 3 の ITRIP レギュレーションをイネーブルにします。
11	OUT2_ITRIP_EN	R/W	0h	ハーフブリッジ 2 の ITRIP レギュレーションをイネーブルにします。
10	OUT1_ITRIP_EN	R/W	0h	ハーフブリッジ 1 の ITRIP レギュレーションをイネーブルにします。
9-8	OUT6_ITRIP_LVL	R/W	0h	ハーフブリッジ 6 の ITRIP 電流スレッショルド レベルを設定します。 00b = 2.3A 01b = 5.4A 10b = 6.2A 11b = 予約済み。
7-6	OUT5_ITRIP_LVL	R/W	0h	ハーフブリッジ 5 の ITRIP 電流スレッショルド レベルを設定します。 00b = 2.9A 01b = 6.6A 10b = 7.6A 11b = 予約済み。
5-4	OUT4_ITRIP_LVL	R/W	0h	ハーフブリッジ 4 の ITRIP 電流スレッショルド レベルを設定します。 00b = 1.3A 01b = 2.5A 10b = 3.4A 11b = 予約済み。
3-2	OUT3_ITRIP_LVL	R/W	0h	ハーフブリッジ 3 の ITRIP 電流スレッショルド レベルを設定します。 00b = 1.3A 01b = 2.5A 10b = 3.4A 11b = 予約済み。
1	OUT2_ITRIP_LVL	R/W	0h	ハーフブリッジ 2 の ITRIP 電流スレッショルド レベルを設定します。 0b = 0.7A 1b = 0.875A
0	OUT1_ITRIP_LVL	R/W	0h	ハーフブリッジ 1 の ITRIP 電流スレッショルド レベルを設定します。 0b = 0.7A 1b = 0.875A

8.2.20 HB_ITRIP_FREQ レジスタ (オフセット = 1Ch) [リセット = 0000h]

HB_ITRIP_FREQ を表 8-35 に示します。

概略表に戻ります。

各ハーフブリッジの ITRIP 周波数とグリッチ除去を設定します。ITRIP タイミングは、ハーフブリッジ ペア間で共有されます。

表 8-35. HB_ITRIP_FREQ レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R/W	0h	予約済み
14	予約済み	R/W	0h	予約済み
13-12	HB_TOFF_SEL	R/W	0h	OUT1 ~ 6 ハーフブリッジドライバの Toff の選択。ここで、T は OUTx_ITRIP_FREQ によって決定されます。 00b - ゼロ、無効 01b - Toff = T/2 10b - Toff = T/4 11b - Toff = T
11-10	OUT6_ITRIP_FREQ	R/W	0h	ハーフブリッジ 6 の ITRIP レギュレーション周波数を設定します。 00b = 20kHz 01b = 10kHz 10b = 5kHz 11b = 2.5kHz
9-8	OUT5_ITRIP_FREQ	R/W	0h	ハーフブリッジ 5 の ITRIP レギュレーション周波数を設定します。 00b = 20kHz 01b = 10kHz 10b = 5kHz 11b = 2.5kHz
7-6	OUT4_ITRIP_FREQ	R/W	0h	ハーフブリッジ 4 の ITRIP レギュレーション周波数を設定します。00b = 20kHz 01b = 10kHz 10b = 5kHz 11b = 2.5kHz
5-4	OUT3_ITRIP_FREQ	R/W	0h	ハーフブリッジ 3 の ITRIP レギュレーション周波数を設定します。 00b = 20kHz 01b = 10kHz 10b = 5kHz 11b = 2.5kHz
3-2	OUT2_ITRIP_FREQ/ PWM_OUT2_FREQ	R/W	0h	ハーフブリッジ 2 の ITRIP レギュレーション周波数を設定します。 00b = 20kHz 01b = 10kHz 10b = 5kHz 11b = 2.5kHz、 OUT2_MODE = 1 のとき。PWM FREQ 設定 PWM_OUT2_FREQ に使用されます: 00b - 108Hz 01b - 217Hz 10b - 289Hz 11b - 434Hz
1-0	OUT1_ITRIP_FREQ/ PWM_OUT1_FREQ	R/W	0h	ハーフブリッジ 1 の ITRIP レギュレーション周波数を設定します。 00b = 20kHz 01b = 10kHz 10b = 5kHz 11b = 2.5kHz OUT1_MODE = 1 のとき。PWM FREQ 設定 PWM_OUT1_FREQ に使用されます: 00b - 108Hz 01b - 217Hz 10b - 289Hz 11b - 434Hz

8.2.21 HS_OUT_CNFG レジスタ (オフセット = 1Dh) [リセット = 0000h]

表 8-36 に、HS_OUT_CNFG を示します。

概略表に戻ります。

各ハイサイドドライバの出力モードを構成します。

表 8-36. HS_OUT_CNFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	予約済み	R	0h	予約済み
13	予約済み	R/W	0h	予約済み
12	予約済み	R/W	0h	予約済み
11-10	OUT12_CNFG	R/W	0h	ハイサイドドライバの構成 12。ハイサイドドライバの制御を有効化または無効化し、PWM または SPI の間で制御モードを設定します。 00b = ディセーブル 01b = SPI 制御イネーブル 10b = PWM ピン制御 11b = PWM ジェネレータ
9-8	OUT11_CNFG	R/W	0h	ハイサイドドライバの構成 11。ハイサイドドライバの制御を有効化または無効化し、PWM または SPI の間で制御モードを設定します。 00b = ディセーブル 01b = SPI 制御イネーブル 10b = PWM ピン制御 11b = PWM ジェネレータ
7-6	OUT10_CNFG	R/W	0h	ハイサイドドライバの構成 10。ハイサイドドライバの制御を有効化または無効化し、PWM または SPI の間で制御モードを設定します。 00b = ディセーブル 01b = SPI 制御イネーブル 10b = PWM ピン制御 11b = PWM ジェネレータ
5-4	OUT9_CNFG	R/W	0h	ハイサイドドライバの構成 9。ハイサイドドライバの制御を有効化または無効化し、PWM または SPI の間で制御モードを設定します。 00b = ディセーブル 01b = SPI 制御イネーブル 10b = PWM ピン制御 11b = PWM ジェネレータ
3-2	OUT8_CNFG	R/W	0h	ハイサイドドライバの構成 8。ハイサイドドライバの制御を有効化または無効化し、PWM または SPI の間で制御モードを設定します。 00b = ディセーブル 01b = SPI 制御イネーブル 10b = PWM ピン制御 11b = PWM ジェネレータ
1-0	OUT7_CNFG	R/W	0h	ハイサイドドライバの構成 7。ハイサイドドライバの制御を有効化または無効化し、PWM または SPI の間で制御モードを設定します。 00b = ディセーブル 01b = SPI 制御イネーブル 10b = PWM ピン制御 11b = PWM ジェネレータ

8.2.22 HS_OC_CNFG レジスタ (オフセット = 1Eh) [リセット = 0000h]

HS_OC_CNFG を表 8-37 に示します。

[概略表](#)に戻ります。

各ハイサイドドライバの過電流スレッシュホールドを設定します。

表 8-37. HS_OC_CNFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R/W	0h	予約済み
14	予約済み	R/W	0h	予約済み
13	予約済み	R/W	0h	予約済み
12	予約済み	R/W	0h	予約済み
11	予約済み	R/W	0h	予約済み
10	予約済み	R/W	0h	予約済み
9	予約済み	R/W	0h	予約済み
8	予約済み	R/W	0h	予約済み
7	予約済み	R/W	0h	予約済み
6	予約済み	R/W	0h	予約済み
5	OUT12_OC_TH	R/W	0h	ハイサイドドライバ 12 の High または Low の過電流スレッシュホールドを設定します。 0b = Low 電流スレッシュホールド 1b = High 電流スレッシュホールド
4	OUT11_OC_TH	R/W	0h	ハイサイドドライバ 11 の High または Low の過電流スレッシュホールドを設定します。 0b = Low 電流スレッシュホールド 1b = High 電流スレッシュホールド
3	OUT10_OC_TH	R/W	0h	ハイサイドドライバ 10 の High または Low の過電流スレッシュホールドを設定します。 0b = Low 電流スレッシュホールド 1b = High 電流スレッシュホールド
2	OUT9_OC_TH	R/W	0h	ハイサイドドライバ 9 の High または Low の過電流スレッシュホールドを設定します。 0b = Low 電流スレッシュホールド 1b = High 電流スレッシュホールド
1	OUT8_OC_TH	R/W	0h	ハイサイドドライバ 8 の High または Low の過電流スレッシュホールドを設定します。 0b = Low 電流スレッシュホールド 1b = High 電流スレッシュホールド
0	OUT7_RDSON_MODE	R/W	0h	ハイサイドドライバ 7 を高 RDSON モードと低 RDSON モードの間 (電球/ランプ負荷用) に構成します。 0b = 高 RDSON モード (LED ドライバ モード) 1b = 低 RDSON モード (電球/ランプ ドライバ モード)

8.2.23 HS_OL_CNFG レジスタ (オフセット = 1Fh) [リセット = 0000h]

HS_OL_CNFG を表 8-38 に示します。

[概略表](#)に戻ります。

ハイサイドドライバごとにオープン負荷閾値を設定します。

表 8-38. HS_OL_CNFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R/W	0h	予約済み
14	予約済み	R/W	0h	予約済み
13	OUT12_OLA_TH	R/W	0h	ハイサイドドライバ 12 の開放負荷スレッシュホールドを設定します。 0b = Low スレッシュホールド 1b = High スレッシュホールド
12	OUT11_OLA_TH	R/W	0h	ハイサイドドライバ 11 の開放負荷スレッシュホールドを設定します。 0b = Low スレッシュホールド 1b = High スレッシュホールド
11	OUT10_OLA_TH	R/W	0h	ハイサイドドライバ 10 の開放負荷スレッシュホールドを設定します。 0b = Low スレッシュホールド 1b = High スレッシュホールド
10	OUT9_OLA_TH	R/W	0h	ハイサイドドライバ 9 の開放負荷スレッシュホールドを設定します。 0b = Low スレッシュホールド 1b = High スレッシュホールド
9	OUT8_OLA_TH	R/W	0h	ハイサイドドライバ 8 の開放負荷スレッシュホールドを設定します。 0b = Low スレッシュホールド 1b = High スレッシュホールド
8	予約済み	R/W	0h	予約済み
7	予約済み	R/W	0h	予約済み
6	予約済み	R/W	0h	予約済み
5	OUT12_OLA_EN	R/W	0h	ハイサイドドライバ 12 の開放負荷検出回路を有効にします。
4	OUT11_OLA_EN	R/W	0h	ハイサイドドライバ 11 の開放負荷検出回路を有効にします。
3	OUT10_OLA_EN	R/W	0h	ハイサイドドライバ 10 の開放負荷検出回路を有効にします。
2	OUT9_OLA_EN	R/W	0h	ハイサイドドライバ 9 の開放負荷検出回路を有効にします。
1	OUT8_OLA_EN	R/W	0h	ハイサイドドライバ 8 の開放負荷検出回路を有効にします。
0	OUT7_OLA_EN	R/W	0h	ハイサイドドライバ 7 の開放負荷検出回路を有効にします。

8.2.24 HS_REG_CNFG1 レジスタ (オフセット = 20h) [リセット = 0000h]

HS_REG_CNFG1 を表 8-39 に示します。

[概略表](#)に戻ります。

OUT7 の ITRIP 設定を構成します。

表 8-39. HS_REG_CNFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R/W	0h	予約済み
14	予約済み	R/W	0h	予約済み
13	予約済み	R/W	0h	予約済み
12	予約済み	R/W	0h	予約済み
11	予約済み	R/W	0h	予約済み
10	予約済み	R/W	0h	予約済み
9	予約済み	R/W	0h	予約済み
8	予約済み	R/W	0h	予約済み
7	OUT7_ITRIP_EN	R/W	0h	ハイサイドドライバ 7 の ITRIP を有効にします。
6	予約済み	R/W	0h	予約済み
5	予約済み	R/W	0h	予約済み
4	予約済み	R/W	0h	予約済み
3-2	OUT7_ITRIP_FREQ	R/W	0h	OUT7 の ITRIP レギュレーション周波数を設定します。 00b = 1.7kHz 01b = 2.2kHz 10b = 3kHz 11b = 4.4kHz
1-0	OUT7_ITRIP_DG	R/W	0h	OUT7 の ITRIP グリッチ除去時間を設定します。 00b = 48μs 01b = 40μs 10b = 32μs 11b = 24μs

8.2.25 HS_REG_CNFG2 レジスタ (オフセット = 21h) [リセット = 0000h]

HS_REG_CNFG2 を表 8-40 に示します。

[概略表](#)に戻ります。

各ハイサイドドライバの定電流モードを設定します。

表 8-40. HS_REG_CNFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R/W	0h	予約済み
14	予約済み	R/W	0h	予約済み
13	OUT12_CCM_TO	R/W	0h	ハイサイド出力 12 の定電流モードにおける電流制限オプションを設定します。 0b = 350mA 1b = 450mA
12	OUT11_CCM_TO	R/W	0h	ハイサイド出力 11 の定電流モードにおける電流制限オプションを設定します。 0b = 350mA 1b = 450mA
11	OUT10_CCM_TO	R/W	0h	ハイサイド出力 10 の定電流モードにおける電流制限オプションを設定します。 0b = 350mA 1b = 450mA
10	OUT9_CCM_TO	R/W	0h	ハイサイド出力 9 の定電流モードにおける電流制限オプションを設定します。 0b = 350mA 1b = 450mA
9	OUT8_CCM_TO	R/W	0h	ハイサイド出力 8 の定電流モードにおける電流制限オプションを設定します。 0b = 350mA 1b = 450mA
8	OUT7_CCM_TO	R/W	0h	ハイサイド出力 7 の定電流モードにおける電流制限オプションを設定します。CCM の値は OUT7_RDSON_MODE に基づいています。 OUT7_RDSON_MODE = 0b の場合: 0b = 250mA 1b = 330mA IF OUT7_RDSON_MODE = 1b: 0b = 360mA 1b = 450mA
7	予約済み	R/W	0h	予約済み
6	予約済み	R/W	0h	予約済み
5	OUT12_CCM_EN	R/W	0h	ハイサイドドライバ 12 の定電流モード回路を有効化します。
4	OUT11_CCM_EN	R/W	0h	ハイサイドドライバ 11 の定電流モード回路を有効化します。
3	OUT10_CCM_EN	R/W	0h	ハイサイドドライバ 10 の定電流モード回路を有効化します。
2	OUT9_CCM_EN	R/W	0h	ハイサイドドライバ 9 の定電流モード回路を有効化します。
1	OUT8_CCM_EN	R/W	0h	ハイサイドドライバ 8 の定電流モード回路を有効化します。
0	OUT7_CCM_EN	R/W	0h	ハイサイドドライバ 7 の定電流モード回路を有効化します。

8.2.26 HS_PWM_FREQ_CNFG レジスタ (オフセット = 22h) [リセット = 0000h]

HS_PWM_FREQ_CNFG を表 8-41 に示します。

[概略表](#)に戻ります。

各専用 PWM ジェネレータの周波数を設定します。

表 8-41. HS_PWM_FREQ_CNFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R/W	0h	予約済み
14	予約済み	R/W	0h	予約済み
13	予約済み	R/W	0h	予約済み
12	予約済み	R/W	0h	予約済み
11-10	PWM_OUT12_FREQ	R/W	0h	ハイサイドドライバ 12 の専用 PWM ジェネレータの周波数出力を構成します。 00b = 108Hz 01b = 217Hz 10b = 289Hz 11b = 434Hz
9-8	PWM_OUT11_FREQ	R/W	0h	ハイサイドドライバ 11 の専用 PWM ジェネレータの周波数出力を構成します。 00b = 108Hz 01b = 217Hz 10b = 289Hz 11b = 434Hz
7-6	PWM_OUT10_FREQ	R/W	0h	ハイサイドドライバ 10 の専用 PWM ジェネレータの周波数出力を構成します。 00b = 108Hz 01b = 217Hz 10b = 289Hz 11b = 434Hz
5-4	PWM_OUT9_FREQ	R/W	0h	ハイサイドドライバ 9 の専用 PWM ジェネレータの周波数出力を構成します。 00b = 108Hz 01b = 217Hz 10b = 289Hz 11b = 434Hz
3-2	PWM_OUT8_FREQ	R/W	0h	ハイサイドドライバ 8 の専用 PWM ジェネレータの周波数出力を構成します。 00b = 108Hz 01b = 217Hz 10b = 289Hz 11b = 434Hz
1-0	PWM_OUT7_FREQ	R/W	0h	ハイサイドドライバ 7 の専用 PWM ジェネレータの周波数出力を構成します。 00b = 108Hz 01b = 217Hz 10b = 289Hz 11b = 434Hz

8.2.27 SPARE_CNFG レジスタ (オフセット = 23h) [リセット = 0000h]

表 8-42 に、SPARE_CNFG を示します。

[概略表](#)に戻ります。

予備構成レジスタ。

表 8-42. SPARE_CNFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	予約済み	R/W	0h	予約済み

8.2.28 SPARE_CNFG1 レジスタ (オフセット = 24h) [リセット = 0000h]

SPARE_CNFG1 を表 8-43 に示します。

[概略表](#)に戻ります。

予備構成レジスタ。

表 8-43. SPARE_CNFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	予約済み	R/W	0h	予約済み

8.2.29 HS_REG_CNFG3 レジスタ (オフセット = 25h) [リセット = 0000h]

HS_REG_CNFG3 を表 8-44 に示します。

[概略表](#)に戻ります。

HS ITRIP 設定を構成します。

表 8-44. HS_REG_CNFG3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R/W	0h	予約済み
14	予約済み	R/W	0h	予約済み
13	予約済み	R/W	0h	予約済み
12	予約済み	R/W	0h	予約済み
11-10	HS_OUT_ITRIP_FREQ	R/W	0h	OUT8-12 の ITRIP FREQ 設定 00b ~ 1.7KHz 01b ~ 2.2KHz 10b ~ 3KHz 11b ~ 4.4KHz
9-8	HS_OUT_ITRIP_DG	R/W	0h	OUT8-12 ドライバの一般的な ITRIP グリッチ除去設定 00b - 48μs 01b- 40μs 10b - 32μs 11b- 24μs
7	予約済み	R/W	0h	予約済み
6	予約済み	R/W	0h	予約済み
5	予約済み	R/W	0h	予約済み
4	HS_OUT12_ITRIP_EN	R/W	0h	ハイサイドドライバ 12 の ITRIP を有効にします。
3	HS_OUT11_ITRIP_EN	R/W	0h	ハイサイドドライバ 11 の ITRIP を有効にします。
2	HS_OUT10_ITRIP_EN	R/W	0h	ハイサイドドライバ 10 の ITRIP を有効にします。
1	HS_OUT9_ITRIP_EN	R/W	0h	ハイサイドドライバ 9 の ITRIP を有効にします。
0	HS_OUT8_ITRIP_EN	R/W	0h	ハイサイドドライバ 8 の ITRIP を有効にします。

8.2.30 SPARE_CNFG2 レジスタ (オフセット = 26h) [リセット = 0000h]

SPARE_CNFG2 を表 8-45 に示します。

[概略表](#)に戻ります。

予備構成レジスタ。

表 8-45. SPARE_CNFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R/W	0h	予約済み
14	予約済み	R/W	0h	予約済み
13	予約済み	R/W	0h	予約済み
12	予約済み	R/W	0h	予約済み
11	予約済み	R/W	0h	予約済み
10	予約済み	R/W	0h	予約済み
9	予約済み	R/W	0h	予約済み
8	予約済み	R/W	0h	予約済み
7	予約済み	R/W	0h	予約済み
6	予約済み	R/W	0h	予約済み
5	予約済み	R/W	0h	予約済み
4	予約済み	R/W	0h	予約済み
3	予約済み	R/W	0h	予約済み
2	予約済み	R/W	0h	予約済み
1	予約済み	R/W	0h	予約済み
0	予約済み	R/W	0h	予約済み

8.2.31 OUT1_HS_MODE_DC レジスタ (オフセット = 27h) [リセット = 0000h]

OUT1_HS_MODE_DC を表 8-46 に示します。

[概略表](#)に戻ります。

デューティ サイクルの 10 ビットを構成します

表 8-46. OUT1_HS_MODE_DC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R/W	0h	予約済み
14	予約済み	R/W	0h	予約済み
13	予約済み	R/W	0h	予約済み
12	予約済み	R/W	0h	予約済み
11	予約済み	R/W	0h	予約済み
10	予約済み	R/W	0h	予約済み
9-0	OUT1_DC	R/W	0h	OUT1_MODE=1 の場合、OUT1 専用 PWM ジェネレータのデューティ サイクルを 10 ビット分解能で制御し、最大値は 1022 になります。

8.2.32 OUT2_HS_MODE_DC レジスタ (オフセット = 28h) [リセット = 0000h]

OUT2_HS_MODE_DC を表 8-47 に示します。

[概略表](#)に戻ります。

デューティ サイクルの 10 ビットを構成します

表 8-47. OUT2_HS_MODE_DC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R/W	0h	予約済み
14	予約済み	R/W	0h	予約済み
13	予約済み	R/W	0h	予約済み
12	予約済み	R/W	0h	予約済み
11	予約済み	R/W	0h	予約済み
10	予約済み	R/W	0h	予約済み
9-0	OUT2_DC	R/W	0h	OUT2_MODE=1 の場合、OUT2 専用 PWM ジェネレータのデューティ サイクルを 10 ビット分解能で制御し、最大値は 1022 になります。

8.3 DRV8000-Q1_CTRL レジスタ

DRV8000-Q1_CTRL レジスタのメモリマップされたレジスタを、表 8-48 に示します。表 8-48 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 8-48. DRV8000-Q1_CTRL レジスタ

オフセット	略称	レジスタ名	セクション
29h	IC_CTRL	IC 制御レジスタ。	セクション 8.3.1
2Ah	GD_HB_CTRL	ゲートドライバとハーフ ブリッジ制御レジスタ。	セクション 8.3.2
2Bh	HS_CTRL	ハイサイドドライバ制御レジスタ。	セクション 8.3.3
2Ch	OUT7_PWM_DC	OUT7 PWM デューティ サイクル制御レジスタ。	セクション 8.3.4
2Dh	OUT8_PWM_DC	OUT8 PWM デューティ サイクル制御レジスタ。	セクション 8.3.5
2Eh	OUT9_PWM_DC	OUT9 PWM デューティ サイクル制御レジスタ。	セクション 8.3.6
2Fh	OUT10_PWM_DC	OUT10 PWM デューティ サイクル制御レジスタ。	セクション 8.3.7
30h	OUT11_PWM_DC	OUT11 PWM デューティ サイクル制御レジスタ。	セクション 8.3.8
31h	OUT12_PWM_DC	OUT12 PWM デューティ サイクル制御レジスタ。	セクション 8.3.9

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-49 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-49. DRV8000-Q1_CTRL のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

8.3.1 IC_CTRL レジスタ (オフセット = 29h) [リセット = 006Ch]

表 8-50 に、IC_CTRL の詳細を示します。

概略表に戻ります。

構成レジスタまたは制御レジスタをロックまたはロック解除し、エラーをクリアするための制御レジスタ。

表 8-50. IC_CTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R/W	0h	予約済み
14	予約済み	R/W	0h	予約済み
13	IPROPI_MODE	R/W	0h	IPROPI/PWM2 ピンのモードを入力モードと出力モードの間で選択します。 0b = 出力 (IPROPI モード) 1b = 入力 (PWM モード)
12-8	IPROPI_SEL	R/W	0h	電流、電圧、温度センサ出力間の IPROPI MUX 出力を制御します。 00000b = 出力なし 00001b = OUT1 電流センサ出力 00010b = OUT2 電流センサ出力 00011b = OUT3 電流センサ出力 00100b = OUT4 電流センサ出力 00101b = OUT5 電流センサ出力 00110b = OUT6 電流センサ出力 00111b = OUT7 電流センサ出力 01000b = OUT8 電流センサ出力 01001b = OUT9 電流センサ出力 01010b = OUT10 電流センサ出力 01011b = OUT11 電流センサ出力 01100b = OUT12 電流センサ出力 01101b = 予約済み。 01110b = 予約済み。 01111b = 予約済み。 10000b = VPVDD センサ公称範囲 (5V ~ 22V) 10001b = サーマル クラスタ 1 出力 10010b = サーマル クラスタ 2 出力 10011b = サーマル クラスタ 3 出力 10100b = サーマル クラスタ 4 出力 10101b = VPVDD センサ高範囲 (20V ~ 32V)
7-5	CTRL_LOCK	R/W	3h	制御レジスタのロックとロック解除。一覧にないビット設定は無効です。 011b = すべての制御レジスタをロック解除します。 110b = IC_CTRL レジスタ以外の追加の書き込みを無視することで、制御レジスタをロックします。
4-2	CNFG_LOCK	R/W	3h	構成レジスタのロックおよびロック解除。一覧にないビット設定は無効です。 011b = すべての構成レジスタをロック解除します。 110b = 追加の書き込みを無視することで、構成レジスタをロックします。
1	WD_RST	R/W	0h	ウォッチドッグの再起動。 電源投入後のデフォルトは 0b です。 このビットを反転して、ウォッチドッグ タイマを再開します。 書き込むと、このビットは新しい反転値を反映します。
0	CLR_FLT	R/W	0h	ラッチされた障害状態情報をクリア。 0b = デフォルト状態。 1b = 障害がクリアされ、完了後 0b にリセットされます。また、SPI 故障およびウォッチドッグ故障ステータスもクリアされます。

8.3.2 GD_HB_CTRL レジスタ (オフセット = 2Ah) [リセット = 0000h]

GD_HB_CTRL を表 8-51 に示します。

[概略表](#)に戻ります。

ゲートドライバとハーフブリッジ出力制御レジスタ。

表 8-51. GD_HB_CTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	S_HIZ2	R/W	0h	ゲートドライバ 2 ハイインピーダンス制御ビット。 ハーフブリッジ入力制御モードでのみアクティブ。 0b = 出力は GD_IN2 信号に追従します。 1b = ゲートドライバの ISTRONG プルダウンが有効になります。ハーフブリッジ 2 Hi-Z
14	S_HIZ1	R/W	0h	ゲートドライバ 1 ハイインピーダンス制御ビット。 ハーフブリッジ入力制御モードでのみアクティブ。 0b = 出力は GD_IN1 信号に追従します。 1b = ゲートドライバの ISTRONG プルダウンが有効になります。ハーフブリッジ 1 Hi-Z
13	S_IN2	R/W	0h	GD_IN2 入力ピン信号に対するレジスタ制御ビット。 IN2_MODE ビットによりイネーブル。
12	S_IN1	R/W	0h	GD_IN1 入力ピン信号に対するレジスタ制御ビット。 IN1_MODE ビットによりイネーブル。
11-10	OUT6_CTRL	R/W	0h	ハーフブリッジ出力 6 制御機能を内蔵。 00b = オフ 01b = HS オン 10b = LS オン 11b = RSVD
9-8	OUT5_CTRL	R/W	0h	ハーフブリッジ出力 5 制御機能を内蔵。 00b = オフ 01b = HS オン 10b = LS オン 11b = RSVD
7-6	OUT4_CTRL	R/W	0h	ハーフブリッジ出力 4 制御機能を内蔵。 00b = オフ 01b = HS オン 10b = LS オン 11b = RSVD
5-4	OUT3_CTRL	R/W	0h	ハーフブリッジ出力 3 制御機能を内蔵。 00b = オフ 01b = HS オン 10b = LS オン 11b = RSVD
3-2	OUT2_CTRL	R/W	0h	ハーフブリッジ出力 2 制御機能を内蔵。 00b = オフ 01b = HS オン 10b = LS オン 11b = RSVD
1-0	OUT1_CTRL	R/W	0h	ハーフブリッジ出力 1 制御機能を内蔵。 00b = オフ 01b = HS オン 10b = LS オン 11b = RSVD

8.3.3 HS_CTRL レジスタ (オフセット = 2Bh) [リセット = 0000h]

表 8-52 に、HS_CTRL を示します。

概略表に戻ります。

ハイサイドドライバ出力制御レジスタ。

表 8-52. HS_CTRL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R/W	0h	予約済み
14	予約済み	R/W	0h	予約済み
13-8	予約済み	R/W	0h	予約済み
7	予約済み	R/W	0h	予約済み
6	RSVD_6	R/W	0h	予約済み。
5	OUT12_EN	R/W	0h	ハイサイドドライバ 12 をイネーブルにします。
4	OUT11_EN	R/W	0h	ハイサイドドライバ 11 をイネーブルにします。
3	OUT10_EN	R/W	0h	ハイサイドドライバ 10 をイネーブルにします。
2	OUT9_EN	R/W	0h	ハイサイドドライバ 9 をイネーブルにします。
1	OUT8_EN	R/W	0h	ハイサイドドライバ 8 をイネーブルにします。
0	OUT7_EN	R/W	0h	ハイサイドドライバ 7 をイネーブルにします。

8.3.4 OUT7_PWM_DC レジスタ (オフセット = 2Ch) [リセット = 0000h]

OUT7_PWM_DC を表 8-53 に示します。

[概略表](#)に戻ります。

ハイサイドドライバ 7 用の 10 ビット デューティ サイクル制御。

表 8-53. OUT7_PWM_DC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R/W	0h	予約済み
14	予約済み	R/W	0h	予約済み
13	予約済み	R/W	0h	予約済み
12	予約済み	R/W	0h	予約済み
11	予約済み	R/W	0h	予約済み
10	予約済み	R/W	0h	予約済み
9-0	OUT7_DC	R/W	0h	ハイサイドドライバ 7 用 PWM ジェネレータのデューティ サイクルを 10 ビット分解能で制御でき、最大値は 1022 です。

8.3.5 OUT8_PWM_DC レジスタ (オフセット = 2Dh) [リセット = 0000h]

OUT8_PWM_DC を表 8-54 に示します。

[概略表](#)に戻ります。

ハイサイドドライバ 8 用の 10 ビット デューティ サイクル制御。

表 8-54. OUT8_PWM_DC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R/W	0h	予約済み
14	予約済み	R/W	0h	予約済み
13	予約済み	R/W	0h	予約済み
12	予約済み	R/W	0h	予約済み
11	予約済み	R/W	0h	予約済み
10	予約済み	R/W	0h	予約済み
9-0	OUT8_DC	R/W	0h	ハイサイドドライバ 8 用 PWM ジェネレータのデューティ サイクルを 10 ビット分解能で制御でき、最大値は 1022 です。

8.3.6 OUT9_PWM_DC レジスタ (オフセット = 2Eh) [リセット = 0000h]

OUT9_PWM_DC を表 8-55 に示します。

[概略表](#)に戻ります。

ハイサイドドライバ 9 用の 10 ビット デューティ サイクル制御。

表 8-55. OUT9_PWM_DC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R/W	0h	予約済み
14	予約済み	R/W	0h	予約済み
13	予約済み	R/W	0h	予約済み
12	予約済み	R/W	0h	予約済み
11	予約済み	R/W	0h	予約済み
10	予約済み	R/W	0h	予約済み
9-0	OUT9_DC	R/W	0h	ハイサイドドライバ 9 用 PWM ジェネレータのデューティ サイクルを 10 ビット分解能で制御でき、最大値は 1022 です。

8.3.7 OUT10_PWM_DC レジスタ (オフセット = 2Fh) [リセット = 0000h]

OUT10_PWM_DC を表 8-56 に示します。

[概略表](#)に戻ります。

ハイサイドドライバ 10 用の 10 ビット デューティ サイクル制御。

表 8-56. OUT10_PWM_DC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R/W	0h	予約済み
14	予約済み	R/W	0h	予約済み
13	予約済み	R/W	0h	予約済み
12	予約済み	R/W	0h	予約済み
11	予約済み	R/W	0h	予約済み
10	予約済み	R/W	0h	予約済み
9-0	OUT10_DC	R/W	0h	ハイサイドドライバ 10 用 PWM ジェネレータのデューティ サイクルを 10 ビット分解能で制御でき、最大値は 1022 です。

8.3.8 OUT11_PWM_DC レジスタ (オフセット = 30h) [リセット = 0000h]

OUT11_PWM_DC を表 8-57 に示します。

[概略表](#)に戻ります。

ハイサイドドライバ 11 用の 10 ビット デューティ サイクル制御。

表 8-57. OUT11_PWM_DC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R/W	0h	予約済み
14	予約済み	R/W	0h	予約済み
13	予約済み	R/W	0h	予約済み
12	予約済み	R/W	0h	予約済み
11	予約済み	R/W	0h	予約済み
10	予約済み	R/W	0h	予約済み
9-0	OUT11_DC	R/W	0h	ハイサイドドライバ 11 用 PWM ジェネレータのデューティ サイクルを 10 ビット分解能で制御でき、最大値は 1022 です。

8.3.9 OUT12_PWM_DC レジスタ (オフセット = 31h) [リセット = 0000h]

OUT12_PWM_DC を表 8-58 に示します。

[概略表](#)に戻ります。

ハイサイドドライバ 12 用の 10 ビット デューティ サイクル制御。

表 8-58. OUT12_PWM_DC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R/W	0h	予約済み
14	予約済み	R/W	0h	予約済み
13	予約済み	R/W	0h	予約済み
12	予約済み	R/W	0h	予約済み
11	予約済み	R/W	0h	予約済み
10	予約済み	R/W	0h	予約済み
9-0	OUT12_DC	R/W	0h	ハイサイドドライバ 12 用 PWM ジェネレータのデューティ サイクルを 10 ビット分解能で制御でき、最大値は 1022 です。

9 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

DRV800x-Q1 は、高度な設定が可能なマルチチャネル統合ハーフブリッジおよびハーフブリッジ MOSFET ゲートドライバであり、さまざまな異なる出力負荷を駆動するために使用できます。以下の設計例では、さまざまなアプリケーションの使用事例に合わせてデバイスを使用し、構成する方法を示しています。

9.2 代表的なアプリケーション

DRV8002-Q1 の代表的なアプリケーションは、一般的な自動車のドアにおける複数の負荷の制御です。これには、複数の統合ハーフブリッジおよびハイサイドドライバ、含まれます。電流シャント アンプを搭載した外部 MOSFET H ブリッジドライバが実装されています。高レベルの回路図の例を、以下のに示します。は以下に示しています。

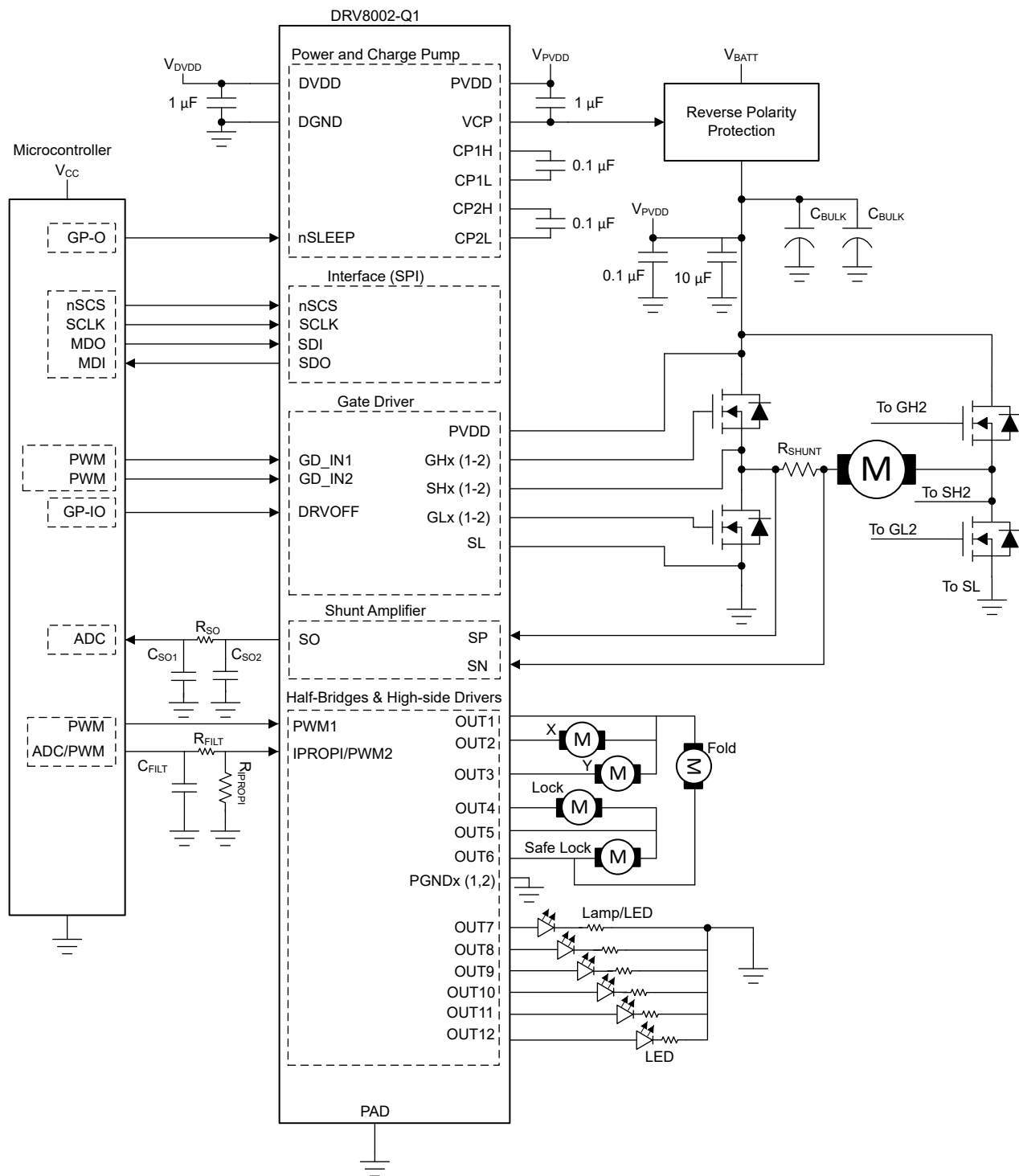


図 9-1. DRV8002-Q1 の代表的なアプリケーション

9.2.1 設計要件

表 9-1 に、システム設計の入力パラメータ例のセットを示します。

表 9-1. 設計パラメータ

パラメータ	値
PVDD 電源電圧範囲	9～18V
PVDD 公称電源電圧	13.5V
DVDD ロジック電源電圧範囲	3.3V
I _{PROPI} 抵抗	2.35kΩ
H ブリッジ MOSFET 合計ゲート電荷	V _{GS} = 10V で標準値 30nC
H ブリッジ MOSFET ゲートからドレインの電荷	5nC (標準値)
H ブリッジ MOSFET のオン抵抗	4mΩ
目標出力立ち上がり時間	750～1000ns
目標出力立ち下がり時間	250～500ns
PWM 周波数	20kHz
最大ピーク モータ電流	25A
シャント抵抗パワー能力	3W

9.2.2 詳細な設計手順

9.2.2.1 I_{DRIVE} 計算例

ゲートドライブ電流 I_{DRIVE} の強さは、外部 MOSFET のゲート - ドレイン間電荷と、スイッチ ノードにおける目標の立ち上がり / 立ち下がり時間に基づいて選択します。特定の MOSFET に対して選択した I_{DRIVE} が低すぎると、構成した t_{DRIVE} 時間内に MOSFET が完全にオンまたはオフにならず、ゲート障害がアサートされる場合があります。また、立ち上がり時間 / 立ち下がり時間が遅いと、外部パワー MOSFET のスイッチング電力損失が大きくなります。TI は、設計時の設定値を確認するために、必要な外付け MOSFET と負荷を備えたシステムでこれらの値を検証することを推奨しています。

ハイサイドおよびローサイドの外付け MOSFET 用の I_{DRIVEP} と I_{DRIVEN} は、レジスタ GD_IDRV_CNFG で構成可能です。

MOSFET のゲート - ドレイン間電荷 (Q_{GD})、目標立ち上がり時間 (t_{rise})、目標立ち下がり時間 (t_{fall}) が既知である場合は、それぞれ式 4 および式 5 を使用して I_{DRIVEP} および I_{DRIVEN} の近似値を計算します。

$$I_{DRIVEP} = Q_{GD} / t_{rise} \quad (4)$$

$$I_{DRIVEN} = Q_{GD} / t_{fall} \quad (5)$$

入力設計パラメータを例として使用し、I_{DRIVEP} と I_{DRIVEN} の近似値を計算できます。

$$I_{DRIVEP_HI} = 5nC / 750ns = 6.67mA \quad (6)$$

$$I_{DRIVEP_LO} = 5nC / 1000ns = 5mA \quad (7)$$

これらの計算に基づき、I_{DRIVEP} に対して 6mA の値が選択されました。

$$I_{DRIVEN_HI} = 5nC / 250ns = 20mA \quad (8)$$

$$I_{DRIVEN_LO} = 5nC / 500ns = 10mA \quad (9)$$

これらの計算に基づき、I_{DRIVEN} に対して 16mA の値が選択されました。

9.2.2.2 t_{DRIVE} 計算例

ドライバのゲート — ソース間監視のタイムアウト (t_{DRIVE}) は、選択した I_{DRIVE} ゲート電流に対して外部 MOSFET が充電および放電するのに十分な時間を確保できるように構成されています。デフォルトでは設定は 8μs であり、多くのシステムにとって十分な値です。次に、適切な t_{DRIVE} 値を決定する際、以下の式を利用できます。

$$t_{DRIVE} > Q_{G_TOT} / I_{DRIVE} \quad (10)$$

入力設計パラメータを例として使用し、t_{DRIVE} の近似値を計算できます。

$$t_{DRIVE} > 30nC / 6mA = 5\mu s \quad (11)$$

これらの計算に基づき、t_{DRIVE} に対して 8 の値が選択されました。

9.2.2.3 最大 PWM スイッチング周波数

ドライバの最大 PWM 周波数は、通常、システムの複数の要因によって決まります。DRV800x-Q1 デバイスは最大 100kHz の周波数までサポートできますが、システム パラメータによってはこれを低い値に制限できます。

次のシステム パラメータが含まれます：

- 外部 MOSFET の立ち上がり / 立ち下がり時間。
- MOSFET の Q_G とチャージポンプの負荷。
- 最小および最大デューティ サイクル仕様を削除 (例: 10% ~ 90%)

9.2.2.4 電流シャント アンプの構成

DRV800x-Q1 差動シャント アンプ ゲインとシャント抵抗値は、動的電流範囲、基準電圧電源、シャント抵抗の電力定格、および動作温度範囲に基づき選択されます。シャント アンプの双方向動作において、出力のダイナミックレンジは **双方向 SO 電圧** の式に示されるようにおおよそ算出されます。アンプの出力は、アンプへの入力電圧の極性に応じて、中間点基準電圧 (V_{DVDD}/2) から 0.25V または V_{DVDD} - 0.25V までスイングさせることができます。

$$V_{SO_BI} = (V_{DVDD} - 0.25V) - (V_{DVDD} / 2) \quad (12)$$

単方向の電流センシングだけが必要な場合は、アンプ基準電圧を変更して、出力のダイナミックレンジを拡大できます。これは **CSA_DIV SPI** レジスタ設定によって変更されます。このモードでは、出力のダイナミックレンジは近似的に **V_{SO_UNI}** で計算されます。

$$V_{SO_UNI} = (V_{DVDD} - 0.25V) - (V_{DVDD} / 8) \quad (13)$$

V_{DVDD} = 3.3V に基づき、双方向または単方向センシングの両方における動的な範囲逸脱は以下のように計算できます：

$$V_{SO_BI} = (3.3V - 0.25V) - (3.3V / 2) = 1.4V \quad (14)$$

$$V_{SO_UNI} = (3.3V - 0.25V) - (3.3V / 8) = 2.6375V \quad (15)$$

外部シャント抵抗値とシャント アンプ ゲイン設定は、利用可能な動的出力範囲、シャント抵抗の電力定格、および測定する必要のある最大モーター電流に基づき選択されます。シャント抵抗およびアンプ ゲインの正確な値は、**R_{SHUNT} の計算**と**アンプ ゲインの計算**の両方によって決定されます。

$$R_{SHUNT} < P_{SHUNT} / I_{MAX}^2 \quad (16)$$

$$A_V < V_{SO} / (I_{MAX} \times R_{SHUNT}) \quad (17)$$

V_{SO} = 1.4V、I_{MAX} = 25A および P_{SHUNT} = 3W に基づき、シャント抵抗とアンプ ゲイン値は以下に示すように計算できます：

$$R_{SHUNT} < 3W / 25^2 A = 4.8m\Omega \quad (18)$$

$$A_V < 1.4V / (25A \times 4.8m\Omega) = 11.67V/V \quad (19)$$

結果に基づき、4mΩ のシャント抵抗と 10V/V のアンプ ゲインを選択できます。

9.3 初期設定

9.4 電源に関する推奨事項

9.4.1 バルク容量の決定

適切なローカル バルク容量の確保は、モーター駆動システムの設計において重要な要素です。一般的に、バルク容量が大きいことは有益ですが、コストと物理的なサイズが大きくなるというデメリットもあります。ローカル容量値は、次のようなさまざまな要因で決まります。

- モーター システムが必要とする最大電流
- 電源の種類、静電容量、電流供給能力
- 電源とモーター システムの間の寄生インダクタンスの大きさ
- 許容される電源電圧リップル
- モータの種類 (ブラシ付き DC、ブラシレス DC、ステッピング)
- モータの始動および制動方法

電源とモーター駆動システム間のインダクタンスは、電源からの電流レートを制限する可能性があります。ローカル バルク容量が小さすぎると、モーターに大電流を供給しようとする場合、または負荷ダンブが発生した場合、システムの電圧が変動します。十分なバルク容量を備えることで、モータの電圧は安定し、大電流を素早く供給できます。

データシートには推奨最小値が記載されていますが、バルク コンデンサの容量が適切かどうかを判断するには、システムレベルのテストが必要です。

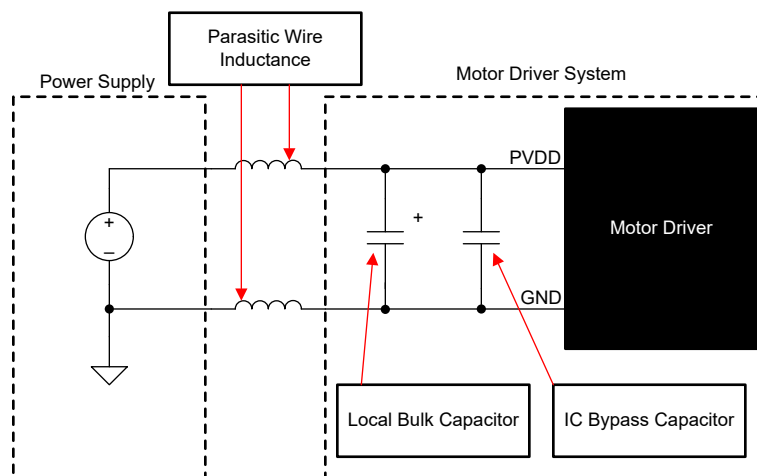


図 9-2. モーター ドライバ電源の寄生インダクタンスの例

9.5 レイアウト

9.5.1 レイアウトのガイドライン

PVDD ピンを GND ピンに低 ESR セラミック バイパス コンデンサ C_{PVDD1} を使用してバイパスします。このコンデンサは、幅の広いパターン、または GND ピンに接続されたグラウンド プレーンを使用して、PVDD ピンのできるだけ近くに配置してください。さらに、PVDD 用のバルク コンデンサ C_{PVDD2} を使用して PVDD ピンをバイパスします。この部品は電解

質である可能性があります。容量は $10\mu\text{F}$ 以上とします。外付けパワー MOSFET 用のバルク容量と容量を共有することは許容されます。

低 ESR のセラミック コンデンサ (C_{FLY1}) と C_{FLY2} を、CPL1/CPH1 ピンと CPL2/CP2H ピンの間に配置します。さらに、VCP と PVDD ピンの間に低 ESR セラミック コンデンサ C_{VCP} を配置します。

H ブリッジドライバの外部パワー MOSFET の高電流経路をバイパスするには、追加のバルク容量が必要です。このバルク容量を配置する際には、外部 MOSFET を通る高電流経路の長さが最小になるようにします。接続用の金属トレースはできるだけ広くし、多数のビアで PCB 層を接続します。これらの手法により、インダクタンスが最小限に抑えられ、バルクコンデンサが大電流を供給できるようになります。

H ブリッジドライバの外部 MOSFET については、適切な電圧定格の低 ESR セラミック バイパス コンデンサを使用して、ドレイン ピンを GND プレーンにバイパスします。このコンデンサは、MOSFET ドレイン端子とソース端子にできるだけ近づけて配置し、GND プレーンに太いトレースまたはプレーン接続で接続します。直列ゲート抵抗器は、MOSFET ゲートピンにできるだけ近づけて配置します。

現在のシャント アンプでは、トレース インピーダンスを最小限に抑えるために、センス抵抗の配置はパワーステージの部品と一致しています。可能であれば、基板上の他のトレースでのカップリングの可能性を低減するために、シャント抵抗も CSA への接続の近くに配置します。

ハイサイド電流センスの場合、電源とハイサイド MOSFET のソースの間の星型点の近くにシャント抵抗を配置します。ローサイド電流センスの場合、ローサイド MOSFET のソースと電力段の星型点のグランド接続の間にシャント抵抗を配置します。残りの部品は、デバイスのできるだけ近くに配置します。

センス信号の配線には、差動ペアを使用します。差動ペアでは、両方の信号がレイアウト内で密結合され、トレースはシャント (センス) 抵抗から IC の入力の CSA まで並行配線されます。

DVDD ピンは C_{DVDD} で DGND ピンにバイパスします。このコンデンサはピンにできる限り近づけて配置し、コンデンサから DGND ピンまでのパスを最短にします。ノイズを最小限に抑えるために、これらの電源にデバイスの近傍にローカル バイパス コンデンサがすでに存在している場合は、DVDD 用の追加成分は必要ありません。

SL ピンは直接 GND プレーンに接続しないでください。その代わりに、専用のパターンを使用して、これらのピンをローサイド外部 MOSFET のソースに接続します。これらの推奨事項により、過電流検出のための外部 MOSFET の VDS センシングがより正確になります。

ハイサイドおよびローサイド ゲートドライバのループ長はできるだけ短くします。ハイサイド ループはデバイスの GHx ピンからハイサイド パワー MOSFET のゲートまでであり、その後ハイサイド MOSFET のソースを通して SHx ピンへと戻ります。ローサイド ループはデバイスの GLx ピンからローサイド パワー MOSFET のゲートまでであり、その後ローサイド MOSFET のソースを通して SL ピンへと戻ります。

9.5.2 レイアウト例

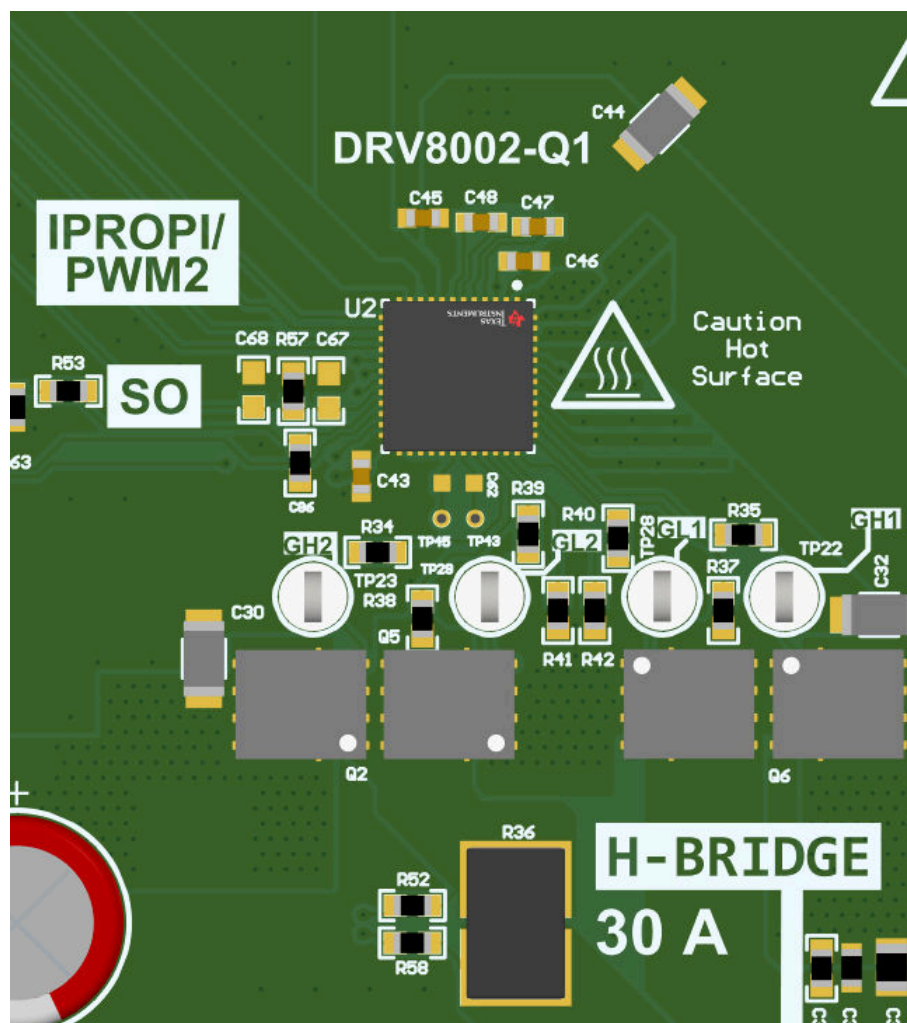


図 9-3. DRV8002-Q1 の部品の配置とレイアウト

上記のレイアウト画面のスクリーンショットは、デバイスに関連するデバイス コンポーネントとレイアウトを示しています。このレイアウトのスクリーンショットはデバイスの評価基板から取得したものです。すべての電源デカップリング コンデンサ、特に小容量のコンデンサとチャージポンプ コンデンサは、ピンにできるだけ近づけて配置され、デバイスの同じ層に配置されていることに注意してください。前のセクションで概説したすべての一般的なガイドラインは、可能な限り評価モジュールのレイアウト設計に反映されています。

10 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能評価、コード生成、およびシステム開発に使用するツールとソフトウェアを以下に示します。

10.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

10.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

10.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

11 プロダクション前の改訂履歴

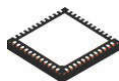
資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (May 2024) to Revision A (October 2025)

Page

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

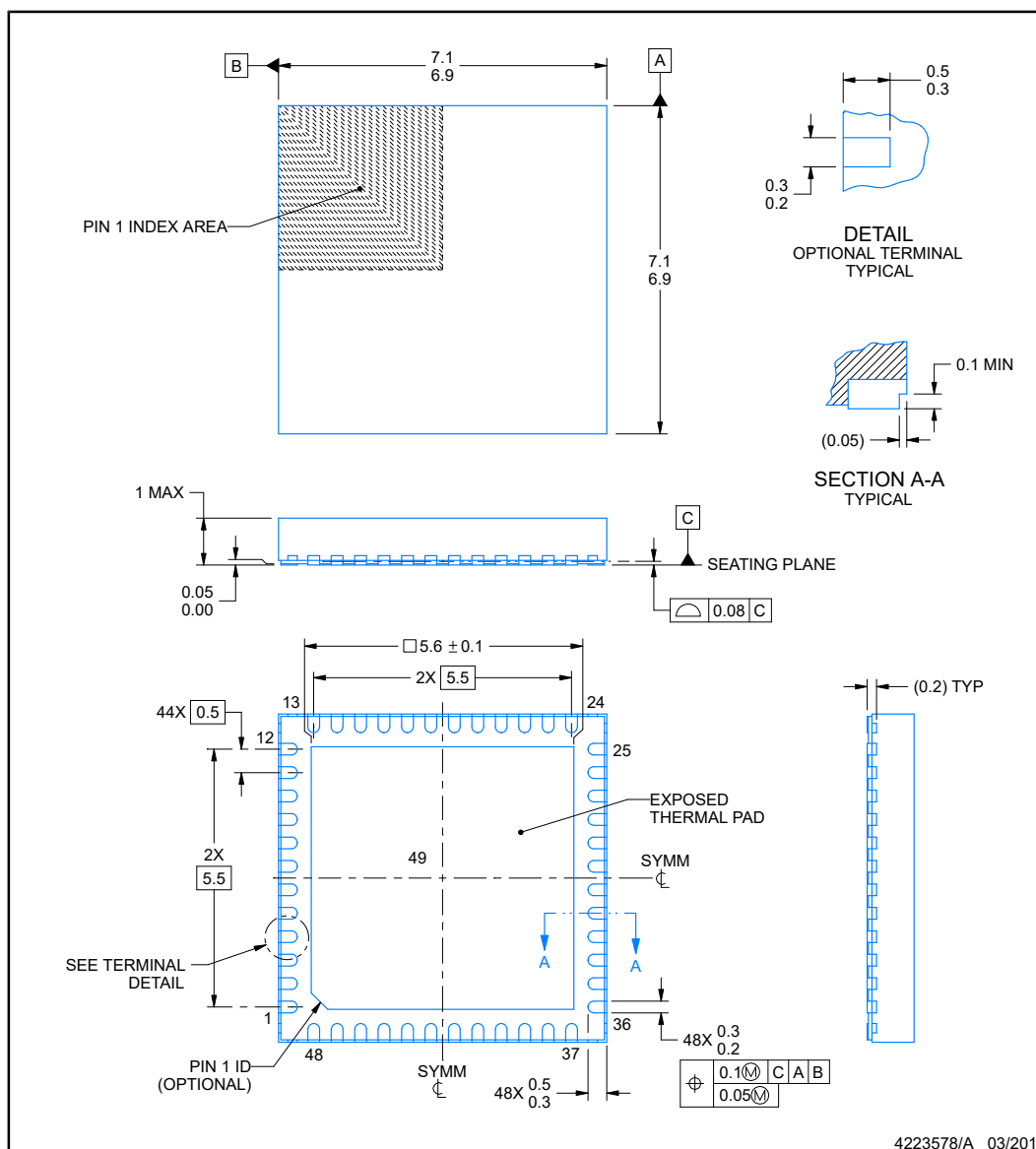


RGZ0048M

PACKAGE OUTLINE

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

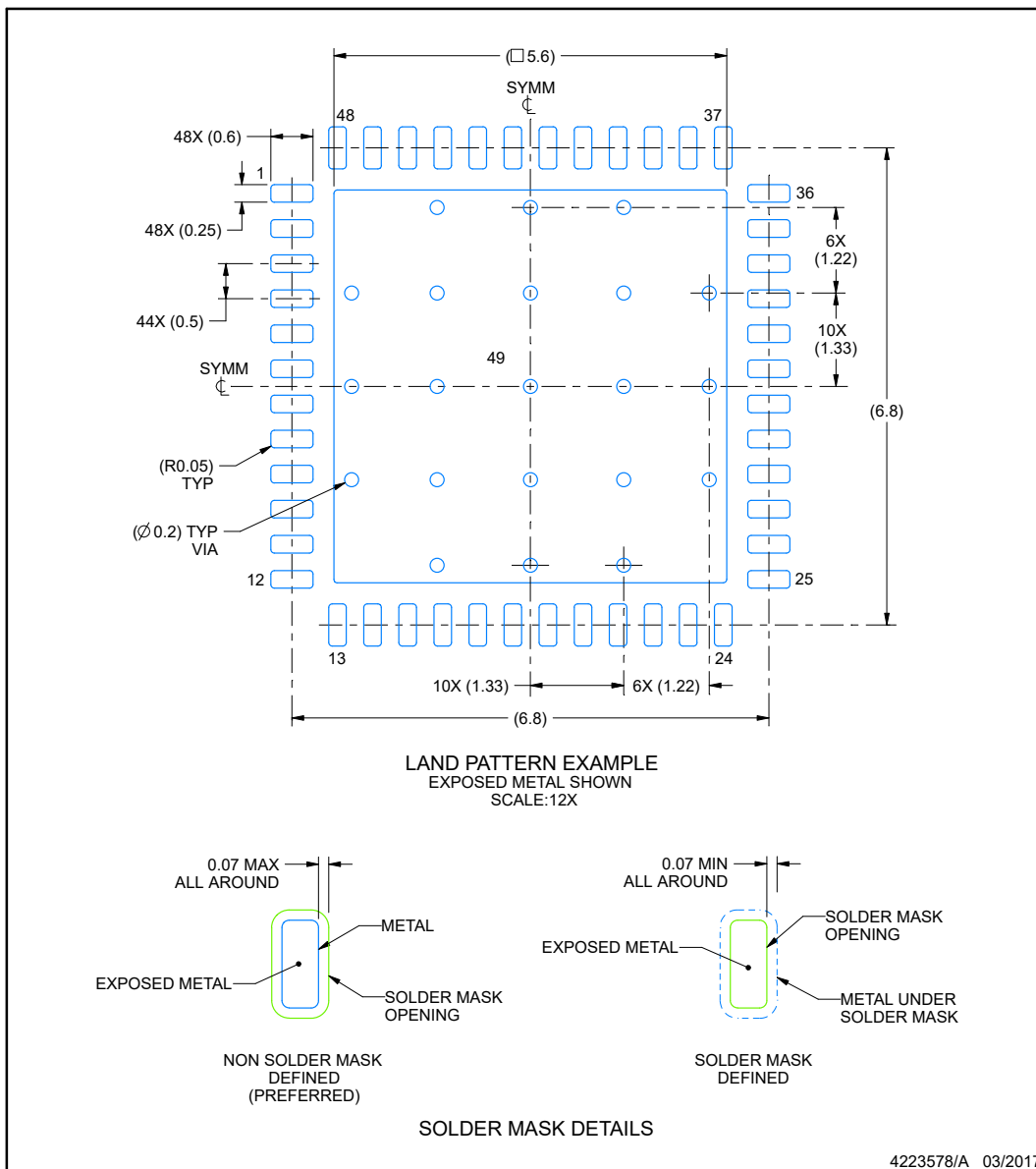


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT**RGZ0048M****VQFN - 1 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

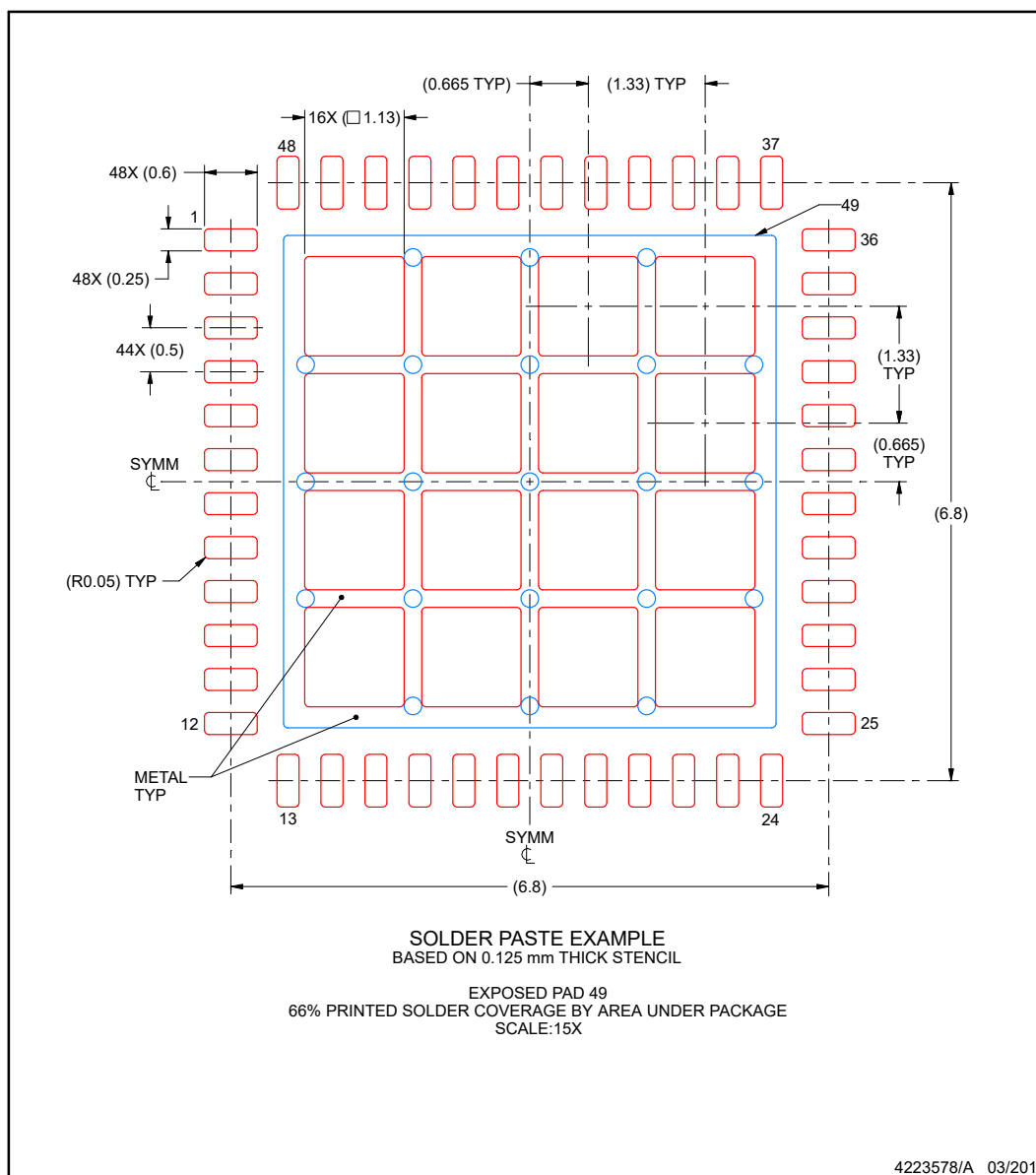
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RGZ0048M

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

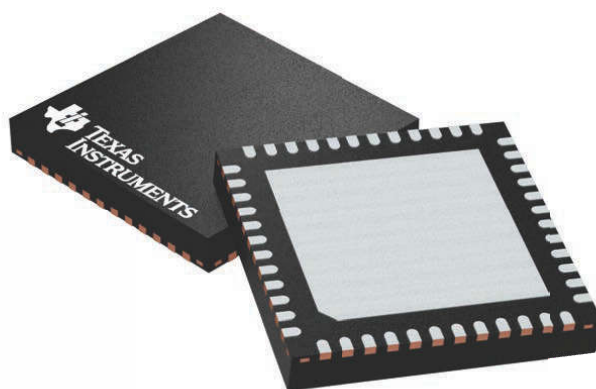
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

GENERIC PACKAGE VIEW**RGZ 48**

7 x 7, 0.5 mm pitch

VQFN - 1 mm max height

PLASTIC QUADFLAT PACK- NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4224671/A

12.1 付録：パッケージ オプション

パッケージ情報

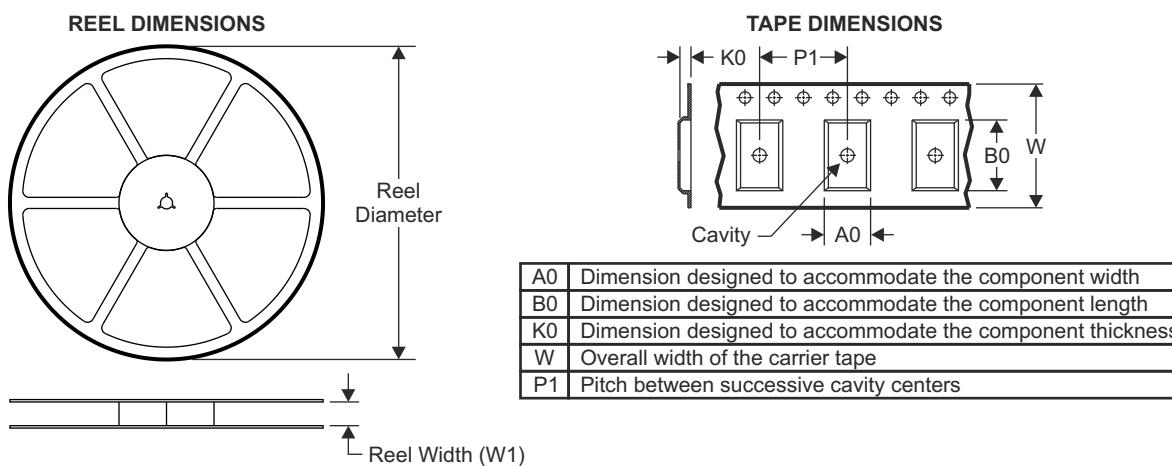
発注可能なデバイス	ステータス	パッケージ タイプ ⁽¹⁾	パッケージ図	ピン	パッケージの数量	エコ プラン ⁽²⁾	リード / ボール 仕上げ ⁽⁶⁾	MSL ピーク温度 ⁽³⁾	動作温度 (°C)	デバイス マーキング ^{(4) (5)}
PDRV8002QWRGZRQ1	プレビュー	VQFN	RGZ	48	2500	RoHS & グリーン	NiPdAu	Level-3-260C-168 HR	-40～125	PDRV8002
DRV8002QWRGZRQ1	量産出荷中	VQFN	RGZ	48	2500	RoHS & グリーン	NiPdAu	Level-3-260C-168 HR	-40～125	DRV8002

- マーケティング ステータスの値は次のように定義されています。
供給中: 新しい設計への使用が推奨される量産デバイス。
最終受注中: TI はデバイスの生産終了を発表しており、現在最終受注期間中です。
非推奨品: 新規設計には推奨しません。デバイスは既存の顧客をサポートするために生産されていますが、テキサス・インスツルメンツでは新規設計にこの部品を使用することを推奨していません。
量産開始前: 量産されていない、市販されていない、またはウェブで発表されていない未発表デバイスで、サンプルは提供されていません。
プレビュー: デバイスは発表済みですが、まだ生産は開始されていません。サンプルが提供される場合と提供されない場合があります。
生産中止品: TI は、このデバイスの生産を終了しました。
- エコ プラン - 環境に配慮した計画的な分類: 鉛フリー (RoHS)、鉛フリー (RoHS 適用除外)、またはグリーン (RoHS 準拠、Sb/Br 非含有) があります。最新情報、および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。
未定: 鉛フリー / グリーン転換プランが策定されていません。
鉛フリー (RoHS): テキサス・インスツルメンツにおける「Lead-Free」または「Pb-Free」(鉛フリー) は、6 つの物質すべてに対して現在の RoHS 要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が 0.1% を超えないという要件も含まれます。高温はんだに対応した テキサス・インスツルメンツ鉛フリー製品は、鉛フリー仕様プロセスでの使用に適しています。
鉛フリー (RoHS 適用除外): この部品は、1) ダイとパッケージとの間に鉛ベース フリップ チップのはんだバンプ使用、または 2) ダイとリードフレームとの間に鉛ベースの接着剤を使用、のいずれかについて、RoHS が免除されています。この部品はそれ以外の点では、上記の定義の鉛フリー (RoHS 準拠) の条件を満たしています。
グリーン (RoHS および Sb/Br 非含有): テキサス・インスツルメンツにおける「グリーン」は、鉛フリー (RoHS 準拠) に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない (均質な材質中の Br または Sb 重量が 0.1% を超えない) ことを意味しています。
- MSL、ピーク温度-- JEDEC 業界標準分類に従った耐湿性レベル、およびピークはんだ温度です。
- ロゴ、ロットトレース コード情報、または環境カテゴリに関する追加マークがデバイスに表示されることがあります。
- 複数のデバイス マーキングが、括弧書きされています。カッコ内に複数のデバイス マーキングがあり、「～」で区切られている場合、その中の 1 つだけがデバイスに表示されます。行がインデントされている場合は、前行の続きということです。2 行合わせたものが、そのデバイスのデバイス マーキング全体となります。
- リード / ボール仕上げ - 発注可能なデバイスには、複数の材料仕上げオプションが用意されていることがあります。複数の仕上げオプションは、縦罫線で区切られています。リード / ボール仕上げの値が最大列幅に収まらない場合は、2 行にまたがります。

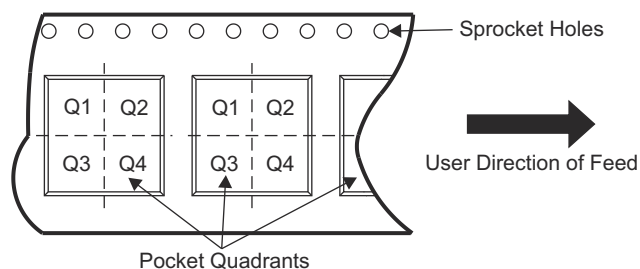
重要なお知らせと免責事項: このページに掲載されている情報は、発行日現在のテキサス・インスツルメンツの知識および見解を示すものです。テキサス・インスツルメンツの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。テキサス・インスツルメンツでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。テキサス・インスツルメンツおよび テキサス・インスツルメンツのサプライヤは、特定の情報を機密情報として扱っているため、CAS 番号やその他の制限された情報が公開されない場合があります。

いかなる場合においても、そのような情報から生じた TI の責任は、このドキュメント発行時点での TI 製品の価格に基づく TI からお客様への合計購入価格 (年次ベース) を超えることはありません。

12.2 テープおよびリール情報

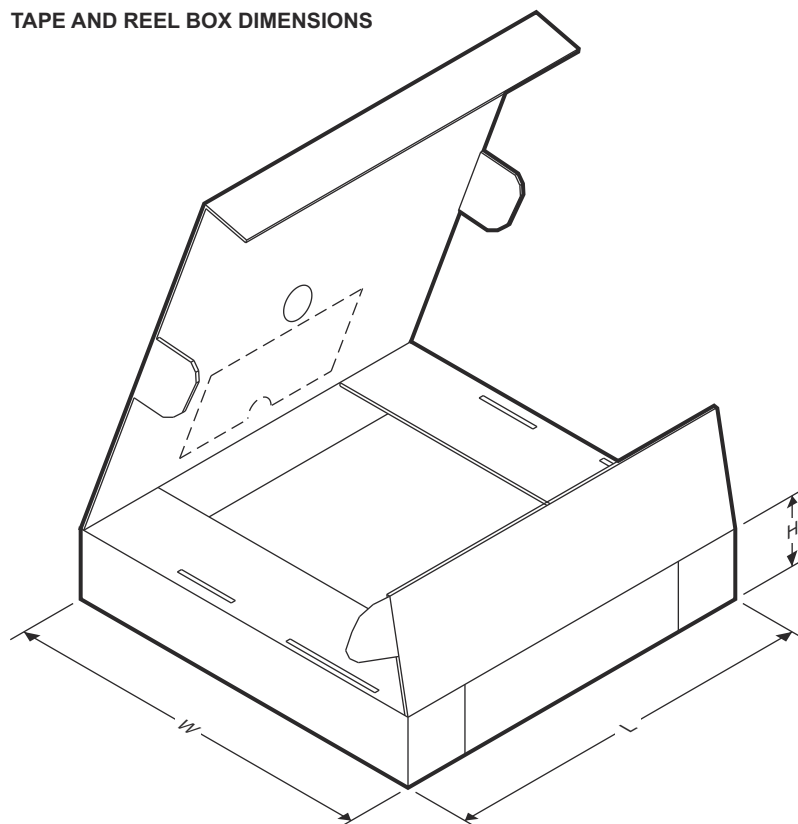


QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



デバイス	パッケージ タイプ	パッケージ 図	ピン	SPQ	リール 直径 (mm)	リール 幅 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	ピン 1 の 象限
DRV8002QWRGZRQ1	VQFN	RGZ	48	2500	330.0	16.4	7.3	7.3	1.1	12	16	Q2

TAPE AND REEL BOX DIMENSIONS



デバイス	パッケージタイプ	パッケージ図	ピン	SPQ	長さ (mm)	幅 (mm)	高さ (mm)
DRV8002QWRGZRQ1	VQFN	RGZ	48	2500	367	367	35

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRV8002QWRGZRQ1	Active	Production	VQFN (RGZ) 48	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8002

- (1) **Status:** For more details on status, see our [product life cycle](#).
- (2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.
- (3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.
- (4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.
- (5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.
- (6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

GENERIC PACKAGE VIEW

RGZ 48

VQFN - 1 mm max height

7 x 7, 0.5 mm pitch

PLASTIC QUADFLAT PACK- NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

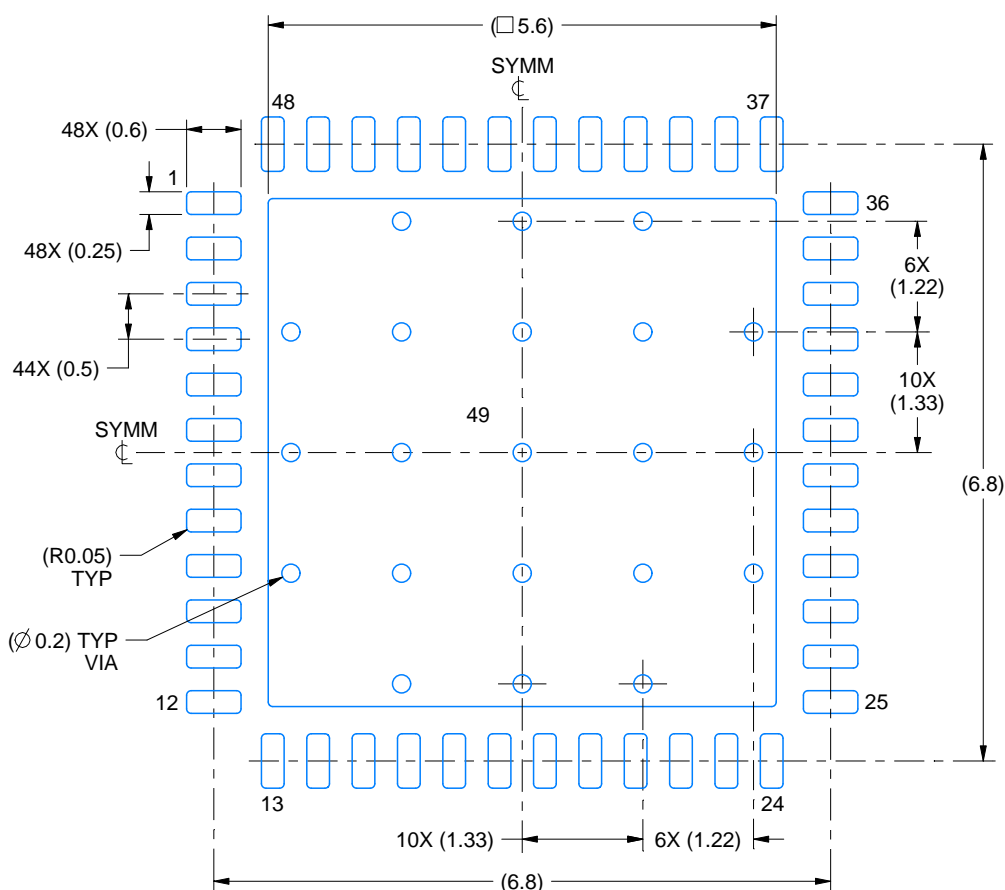
4224671/A

EXAMPLE BOARD LAYOUT

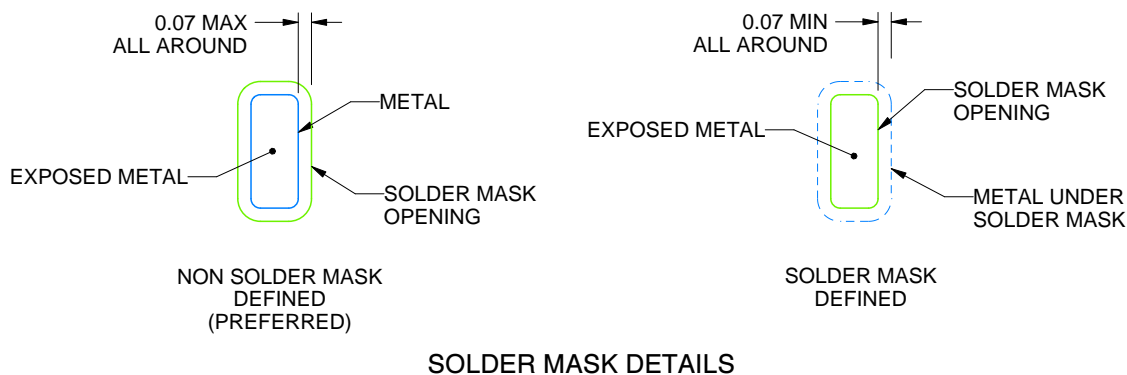
RGZ0048M

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:12X



SOLDER MASK DETAILS

4223578/A 03/2017

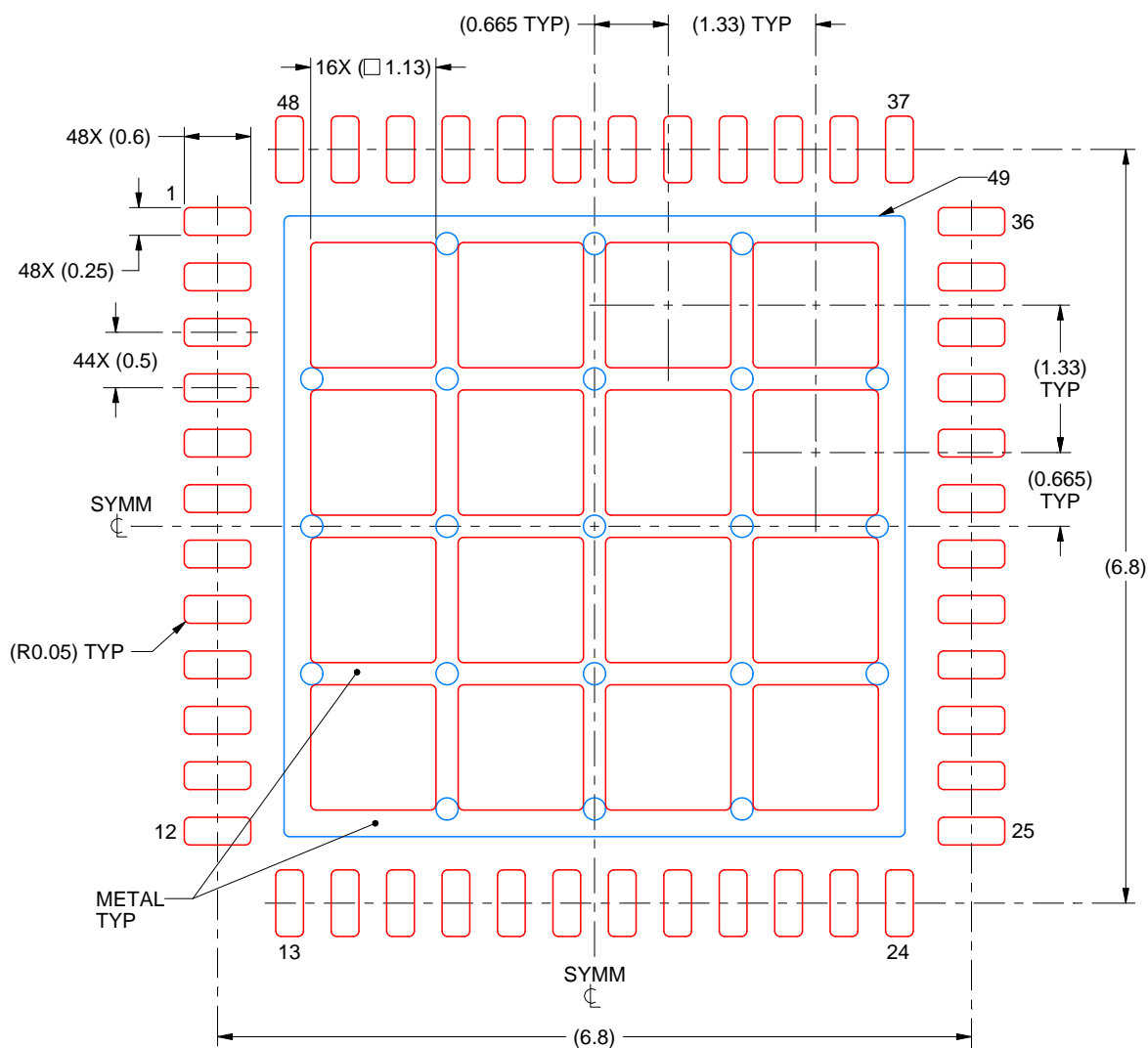
NOTES: (continued)

- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

RGZ0048M

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 49
66% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:15X

4223578/A 03/2017

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月