

DRV8311-Q1 三相 PWM モーター ドライバ

1 特長

- 車載アプリケーション向けに AEC-Q100 認証済み
 - 温度グレード 1: $-40^{\circ}\text{C} \leq T_A \leq 125^{\circ}\text{C}$
- 三相 PWM モーター ドライバ
 - 三相ブラシレス DC モーター
- 3V~20V の動作電圧範囲
 - 絶対最大定格電圧 24V
- 大出力電流能力
 - 5A のピーク駆動電流
- 低いオン抵抗の MOSFET
 - $T_A = 25^{\circ}\text{C}$ で $210\text{m}\Omega$ の $R_{DS(ON)}$ (HS + LS)
- 低消費電力スリープ モード
 - $V_{VM} = 12\text{V}$, $T_A = 25^{\circ}\text{C}$ で $1.5\mu\text{A}$
- 複数の制御インターフェイス オプション
 - 6x PWM 制御インターフェイス
 - 3x PWM 制御インターフェイス
 - MCU と DRV8311-Q1 との間のオプション キャリブレーション機能を備えた PWM 生成モード (SPI/tSPI)
- tSPI (DRV8311P-Q1)
 - SPI を介して PWM デューティおよび周波数を更新
 - 標準的な 4 線式 SPI を使用して複数の DRV8311P-Q1 デバイスを制御
- 最大 200kHz の PWM 周波数をサポート
- 電流センス機能内蔵
 - 外付け抵抗不要
 - センス アンプ出力、1/2 ブリッジごとに 1 つ
- SPI およびハードウェア デバイスのバリエーション
 - 10MHz の SPI 通信 (SPI/tSPI)
- 1.8V、3.3V、5V のロジック入力をサポート
- 3.3V ($\pm 4.5\%$)、100mA の LDO レギュレータを内蔵
- 保護機能内蔵
 - VM 低電圧誤動作防止 (UVLO)
 - チャージポンプ低電圧 (CPUV)
 - 過電流保護 (OCP)
 - 熱警告およびシャットダウン (OTW/OTSD)
 - フォルト状況表示ピン (nFAULT)

2 アプリケーション

- ステアリング ホイール (ハンドル) 調整モジュール
- 車載熱管理バルブ
- LIDAR モジュール
- ブラシレス DC (BLDC) モーター モジュール

3 説明

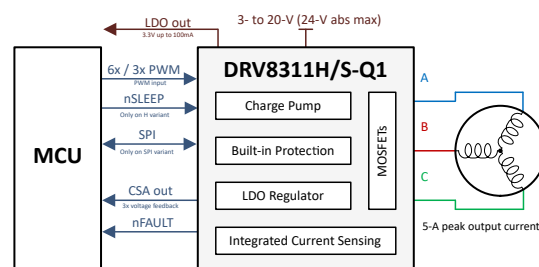
DRV8311-Q1 は、5V、9V、12V、または 18V DC レール、あるいは 1S ~ 4S バッテリ駆動アプリケーションにおいて、三相ブラシレス DC (BLDC) モーターを駆動するための 3 つの内蔵 MOSFET ハーフブリッジを備えています。このデバイスは、電流センス機能を備えた 3 個の電流センス アンプ (CSA) を内蔵しており、BLDC モーターの三相電流をセンスできるので、FOC と電流制御のシステムを最適な方法で実装するのに役立ちます。

DRV8311P-Q1 デバイスは、テキサス インストルメンツ SPI (tSPI) によって PWM タイマを生成および設定する機能を備えており、tSPI 経由で複数の BLDC モーターを直接制御できます。この機能により、複数のモーターの制御に必要な 1 次側コントローラの I/O ポート数を削減できます。

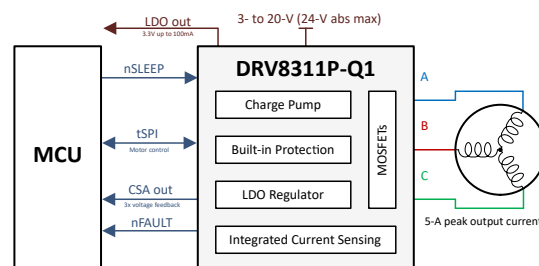
製品情報 (1)

部品番号	パッケージ	パッケージ サイズ (公称) (3)
DRV8311P-Q1	WQFN (24)	3.00mm × 3.00mm
DRV8311H-Q1(2)	WQFN (24)	3.00mm × 3.00mm
DRV8311S-Q1(2)	WQFN (24)	3.00mm × 3.00mm

- 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
- このデバイスはプレビュー版としてのみ供給されます。
- パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



DRV8311H/S-Q1 の概略回路図



DRV8311P-Q1 の概略回路図



目次

1 特長.....	1	7.4 デバイスの機能モード.....	49
2 アプリケーション.....	1	7.5 SPI 通信.....	50
3 説明.....	1	8 DRV8311-Q1 のレジスタ.....	55
4 デバイス比較表.....	3	9 アプリケーションと実装.....	80
5 ピン構成および機能.....	4	9.1 アプリケーション情報.....	80
6 仕様.....	7	9.2 代表的なアプリケーション.....	81
6.1 絶対最大定格.....	7	9.3 三相ブラシレス DC tSPI モーター制御.....	84
6.2 ESD 定格.....	7	9.4 他のアプリケーション.....	86
6.3 推奨動作条件.....	7	9.5 電源に関する推奨事項.....	87
6.4 熱に関する情報.....	8	9.6 レイアウト.....	87
6.5 電気的特性.....	8	10 デバイスおよびドキュメントのサポート.....	91
6.6 SPI のタイミング要件.....	16	10.1 サポート・リソース.....	91
6.7 SPI セカンダリ デバイス モードのタイミング.....	17	10.2 商標.....	91
6.8 代表的特性.....	18	10.3 静電気放電に関する注意事項.....	91
7 詳細説明.....	19	10.4 用語集.....	91
7.1 概要.....	19	11 改訂履歴.....	91
7.2 機能ブロック図.....	20	12 メカニカル、パッケージ、および注文情報.....	91
7.3 機能説明.....	23		

4 デバイス比較表

デバイス	パッケージ	インターフェイス	nSLEEP 入力
DRV8311P-Q1	24 ピン WQFN (3mm × 3mm)	SPI/tSPI	あり
DRV8311S-Q1		SPI	なし
DRV8311H-Q1		ハードウェア	あり

表 4-1. DRV8311H-Q1、DRV8311S-Q1、DRV8311P-Q1 の構成比較

パラメータ	DRV8311H-Q1	DRV8311S-Q1	DRV8311P-Q1
PWM 制御モード設定	MODE ピン (2 つの設定)	PWM_MODE (3 つの設定)	PWM_MODE (3 つの設定)
スルーレートの設定	SLEW ピン (4 つの設定)	SLEW_RATE (4 つの設定)	SLEW_RATE (4 つの設定)
電流センス アンプのゲイン	ゲイン ピン (4 つの設定)	CSA_GAIN (4 つの設定)	CSA_GAIN (4 つの設定)
過電流保護 (OCP) レベルの設定	MODE ピン (2 つの設定)	OCP_LVL (2 つの設定)	OCP_LVL (2 つの設定)
OCP ブランキング時間	0.2us に固定	OCP_TBLANK (4 つの設定)	OCP_TBLANK (4 つの設定)
OCP グリッチ除去時間	1us に固定	OCP_DEG (4 つの設定)	OCP_DEG (4 つの設定)
OCP モード	5ms の自動リトライによる高速リトライ	OCP_MODE (4 つの設定)、設定可能なリトライ時間	OCP_MODE (4 つの設定)、設定可能なリトライ時間
デッド タイム	SLEW ピンの設定に基づいて固定	TDEAD_CTRL (8 つの設定)	TDEAD_CTRL (8 つの設定)
伝搬遅延	SLEW ピンの設定に基づいて固定	SLEW ピンの設定に基づいて固定	SLEW ピンの設定に基づいて固定
ドライバ遅延補償	無効	DLYCMP_EN (2 つの設定)	DLYCMP_EN (2 つの設定)
内部発振器のスペクトラム拡散変調	有効	SSC_DIS (2 つの設定)	SSC_DIS (2 つの設定)
低電圧誤動作防止	VINAVDD、CP、AVDD 低電圧保護が有効、CSAREF_UV 無効、t _{RETRY} は 5ms の高速自動リトライに設定	VINAVDD、CP、AVDD 低電圧保護が有効、CSAREF_UV (2 つの設定)、UVP_MODE を使用した t _{RETRY} を設定可能	VINAVDD、CP、AVDD 低電圧保護が有効、CSAREF_UV (2 つの設定)、UVP_MODE を使用した t _{RETRY} を設定可能
SPI フォルト モード	該当なし	SPIFLT_MODE (2 つの設定)	SPIFLT_MODE (2 つの設定)
テキサス インスツルメンツ SPI (tSPI)	該当なし	該当なし	使用可能
過熱シャットダウン (OTSD) モード	5ms の自動リトライによる高速リトライ	OTSD_MODE (2 つの設定)	OTSD_MODE (2 つの設定)

5 ピン構成および機能

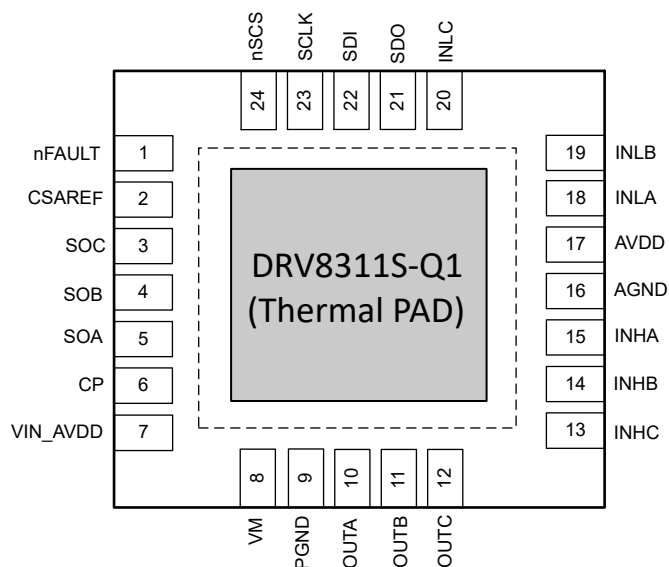


図 5-1. DRV8311S-Q1 24 ピン WQFN (放熱サーマルパッド付き) 上面図

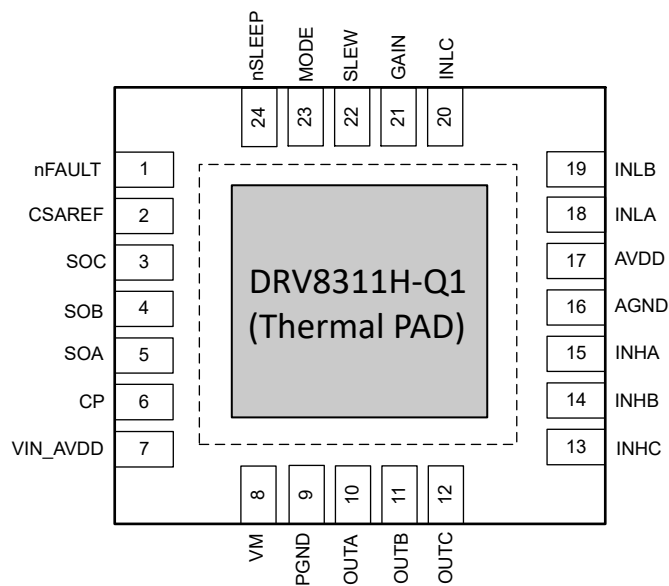


図 5-2. DRV8311H-Q1 24 ピン WQFN (放熱サーマルパッド付き) 上面図

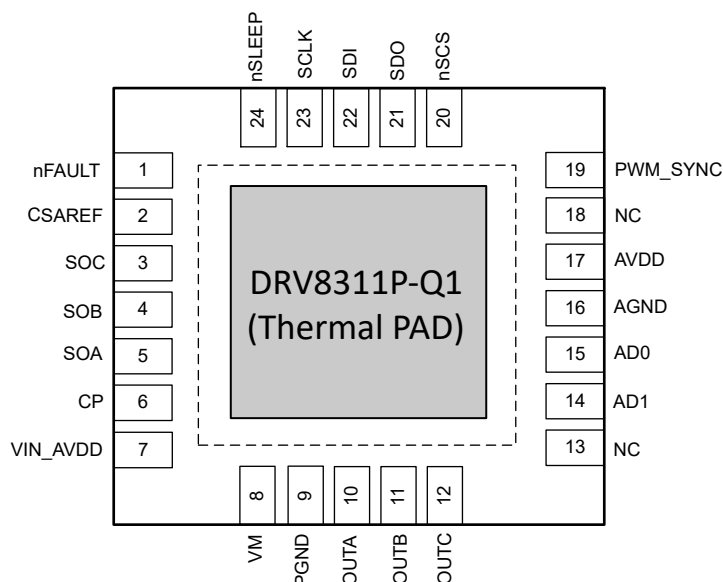


図 5-3. DRV8311P-Q1 24 ピン WQFN (放熱サーマルパッド付き) 上面図

表 5-1. ピンの機能

ピン	24 ピン パッケージ			タイプ ⁽¹⁾	説明
名称	DRV8311H-Q1	DRV8311P-Q1	DRV8311S-Q1		
AD0	—	15	—	I	tSPI デバイス DRV8311P-Q1 のみ。tSPI のアドレス選択。
AD1	—	14	—	I	tSPI デバイス DRV8311P-Q1 のみ。tSPI のアドレス選択。
AGND	16	16	16	PWR	デバイスのアナログ グランド。システム グランドに接続。
AVDD	17	17	17	PWR	3.3V レギュレータ出力。AVDD ピンと AGND ピンの間に、X5R または X7R、0.7μF ~ 7μF、6.3V のセラミック コンデンサを接続します。このレギュレータは最大 100mA を外部にソースできます。
CP	6	6	6	PWR	チャージ ポンプ出力。VCP ピンと VM ピンの間に、X5R または X7R、0.1μF、16V のセラミック コンデンサを接続します。
CSAREF	2	2	2	PWR	電流センス アンプの電源入力およびリファレンス。X5R または X7R、0.1μF、6.3V セラミック コンデンサを CSAREF ピンと AGND ピンの間に接続します。
ゲイン	21	—	—	I	ハードウェア デバイス (DRV8311H-Q1) のみ。電流センス アンプのゲイン設定。このピンは、ゲイン ピンと AVDD または AGND の間に接続した外部抵抗によって設定される 4 レベル入力ピンです。
INHA	15	—	15	I	OUTA のハイサイドドライバ制御入力。このピンは、6x/3x PWM モードにおけるハイサイド MOSFET の状態を制御します。
INHB	14	—	14	I	OUTB のハイサイドドライバ制御入力。このピンは、6x/3x PWM モードにおけるハイサイド MOSFET の状態を制御します。
INHC	13	—	13	I	OUTC のハイサイドドライバ制御入力。このピンは、6x/3x PWM モードにおけるハイサイド MOSFET の状態を制御します。
INLA	18	—	18	I	OUTA のローサイドドライバ制御入力。このピンは、6x PWM モードにおけるローサイド MOSFET の状態を制御します。
INLB	19	—	19	I	OUTB のローサイドドライバ制御入力。このピンは、6x PWM モードにおけるローサイド MOSFET の状態を制御します。
INLC	20	—	20	I	OUTC のローサイドドライバ制御入力。このピンは、6x PWM モードにおけるローサイド MOSFET の状態を制御します。
MODE	23	—	—	I	ハードウェア デバイス (DRV8311H-Q1) のみ。PWM モード設定。このピンは、MODE ピンと AVDD または AGND の間に接続した外部抵抗によって設定される 4 レベル入力ピンです。

表 5-1. ピンの機能 (続き)

ピン 名称	24 ピン パッケージ			タイプ ⁽¹⁾	説明
	DRV8311 H-Q1	DRV8311P -Q1	DRV8311S -Q1		
nFAULT	1	1	1	O	フォルト通知ピン。フォルト状態時に論理 Low にプルされます。オープンドレイン出力であるため、外部に AVDD へのプルアップ抵抗が必要です。
nSCS	—	20	24	I	SPI (DRV8311S-Q1) および tSPI (DRV8311P-Q1) デバイスのみ。シリアル チップ選択。このピンの論理 Low により、シリアル インターフェイス通信が可能になります(SPI デバイスの場合)。
nSLEEP	24	24	—	I	DRV8311H-Q1 および DRV8311P-Q1 デバイスのみ。このピンを論理 Low にすると、本デバイスは低消費電力のスリープ モードに移行します。nSLEEP ピンに 15 ~ 50 μ s の Low パルスを入力することで、スリープ モードに入ることなくフォルト状態をリセットできます。
OUTA	10	10	10	O	ハーフブリッジ出力 A。モーター巻線に接続します。
OUTB	11	11	11	O	ハーフブリッジ出力 B。モーター巻線に接続します。
OUTC	12	12	12	O	ハーフブリッジ出力 C。モーター巻線に接続します。
PGND	9	9	9	PWR	デバイスの電源グラウンド。システム グラウンドに接続。
PWM_SY NC	—	19	—	I	tSPI デバイス DRV8311P-Q1 のみ。PWM 生成モードにおいて、DRV8311P-Q1 で内部生成される PWM 信号を MCU と同期させるために、MCU の信号に接続します。
SCLK	—	23	23	I	SPI (DRV8311S-Q1) および tSPI (DRV8311P-Q1) デバイスのみ。シリアル クロック入力。シリアル データは SCLK の立ち上がりエッジでシフトアウトされ、立ち下がりエッジでキャプチャされます (SPI デバイスの場合)。
SDI	—	22	22	I	SPI (DRV8311S-Q1) および tSPI (DRV8311P-Q1) デバイスのみ。シリアル データ入力。データは、SCLK ピンの立ち下がりエッジでキャプチャされます (SPI デバイス)。
SDO	—	21	21	O	SPI (DRV8311S-Q1) および tSPI (DRV8311P-Q1) デバイスのみ。シリアル データ出力。データは、SCLK ピンの立ち上がりエッジでシフトアウトされます。
SLEW	22	—	—	I	DRV8311H-Q1 デバイスのみ。OUTx 電圧スルーレート制御設定。このピンは、SLEW ピンと AVDD または AGND の間に接続した外部抵抗によって設定される 4 レベル入力ピンです。
SOA	5	5	5	O	OUTA 用電流センス アンプ出力。
SOB	4	4	4	O	OUTB 用電流センス アンプ出力。
SOC	3	3	3	O	OUTC 用電流センス アンプ出力。
VM	8	8	8	PWR	モーター用電源。モーター電源電圧に接続します。VM と PGND の間に、X5R または X7R の 0.1 μ F VM 定格セラミック バイパス コンデンサと、10 μ F 以上の VM 定格バルク キャパシタを接続します。さらに、VM ピンと CP ピンの間に、X5R または X7R の 0.1 μ F、16V 定格セラミック コンデンサを接続します。
VIN_AVDD	7	7	7	PWR	AVDD の電源入力。VIN_AVDD と PGND の間に、X5R または X7R の 0.1 μ F、VIN_AVDD 定格セラミック コンデンサと、10 μ F 以上の VIN_AVDD 定格バルク キャパシタを接続し、AGND にバイパスします。
サーマル パッド				PWR	PGND に接続してください。
NC	—	13.18	—	—	接続なし。このピンはフローティングのままにします。

(1) I = 入力、O = 出力、PWR = 電源、NC = 未接続

6 仕様

6.1 絶対最大定格

動作時周囲温度範囲内 (特に記述のない限り)⁽¹⁾

	最小値	最大値	単位
電源ピン電圧 (VM)	-0.3	24	V
AVDD レギュレータ入力ピン電圧 (VIN_AVDD)	-0.3	24	V
グランド ピン (PGND、AGND) 間の電圧差	-0.3	0.3	V
チャージ ポンプ電圧 (CP)	-0.3	$V_M + 6$	V
アナログ レギュレータ出力ピン電圧 (AVDD)	-0.3	4	V
ロジック ピン入力電圧 (INHx、INLx、nSCS、nSLEEP、SCLK、SDI、ADx、ゲイン、MODE、SLEW、PWM_SYNC)	-0.3	6	V
ロジック ピン出力電圧 (nFAULT、SDO)	-0.3	6	V
オープンドレイン出力電流範囲 (nFAULT)	0	5	mA
電流センス アンプ リファレンス電圧入力 (CSAREF)	-0.3	4	V
電流センス アンプ出力 (SOx)	-0.3	4	V
ピーク出力電流 (OUTA、OUTB、OUTC)		5	A
出力ピン電圧 (OUTA、OUTB、OUTC)	-1	$V_M + 1$ ⁽²⁾	V
周囲温度、 T_A	-40	125	°C
接合部温度、 T_J	-40	150	°C
保管温度、 T_{stg}	-65	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) $V_M + 1V$ または 24V (どちらか小さい方)。

6.2 ESD 定格

	値	単位
$V_{(ESD)}$ 静電放電 人体モデル (HBM) ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±1500	V
$V_{(ESD)}$ 静電放電 デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠 ⁽²⁾	±750	V

- (1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
- (2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

6.3 推奨動作条件

動作時周囲温度範囲内 (特に記述のない限り)

	最小値	公称値	最大値	単位
V_{VM} 電源電圧	3	12	20	V
V_{IN_AVDD} AVDD レギュレータ入力ピン電圧	3	12	20	V
f_{PWM} 出力 PWM 周波数			200	kHz
I_{OUT} ⁽¹⁾ ピーク出力電流			5	A
V_{IN} ロジック入力電圧	-0.1		5.5	V
V_{OD} オープンドレイン ブルアップ電圧	-0.1		5.5	V
I_{OD} オープンドレイン出力シンク電流			5	mA
V_{CSAREF} CSA リファレンス入力電圧	2		3.6	V

動作時周辺温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
I _{CSAREF}	CSA リファレンス入力電流	CSAREF		2.5	7.5	mA
T _A	動作時周囲温度		-40		125	°C
T _J	動作時接合部温度		-40		150	°C

(1) 消費電力および温度の制限に従う必要があります。

6.4 熱に関する情報

熱評価基準 ⁽¹⁾		DRV8311-Q1	単位
		QFN (RRW)	
		24 ピン	
R _{θJA}	接合部から周囲への熱抵抗	42.6	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	37.9	°C/W
R _{θJB}	接合部から基板への熱抵抗	15.7	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	0.5	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	15.6	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	4.8	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

6.5 電気的特性

T_J = -40°C ~ +150°C、V_{VM} = 3 ~ 20V (特に記述のない限り)。標準値には T_A = 25°C、V_{VM} = 12V が適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源						
I _{VMQ}	VM スリープ モード電流	V _{VM} = 12V、nSLEEP = 0、T _A = 25°C	1.5	3		μA
		nSLEEP = 0、T _A = 125°C		9		μA
I _{VMS}	VM スタンバイ モード電流	V _{VM} = 12V、nSLEEP = 1、INHx = INLx = 0、SPI = 'オフ'、T _A = 25°C	7	12		mA
		nSLEEP = 1、INHx = INLx = 0、SPI = 'オフ'	8	12		mA
I _{VM}	VM 動作モード電流	V _{VM} = 12V、nSLEEP = 1、f _{PWM} = 25kHz、T _A = 25°C	10	13		mA
		V _{VM} = 12 V、nSLEEP = 1、f _{PWM} = 200kHz、T _A = 25°C	12	14		mA
		nSLEEP =1、f _{PWM} = 25kHz	10	15		mA
		nSLEEP =1、f _{PWM} = 200kHz	12	15		mA
V _{AVDD}	アナログ レギュレータの電圧	V _{VM} > 4V、V _{VIN_AVDD} > 4.5V、0mA ≤ I _{AVDD} ≤ 100mA	3.15	3.3	3.45	V
V _{AVDD}		V _{VM} > 3.5V、3.5V ≤ V _{VIN_AVDD} ≤ 4.5V、0mA ≤ I _{AVDD} ≤ 35mA	3	3.3	3.6	V
V _{AVDD}		2.5V ≤ V _{VIN_AVDD} ≤ 3.5V、0mA ≤ I _{AVDD} ≤ 10mA	2.2	V _{VIN_AVDD} - 0.3	3.4	V
V _{AVDD}		V _{VM} < 4V、V _{VIN_AVDD} > 4.5V、0mA ≤ I _{AVDD} ≤ 40 mA	3	3.3	3.6	V
V _{AVDD}		V _{VM} < 3.5V、3.5V ≤ V _{VIN_AVDD} ≤ 4.5V、0mA ≤ I _{AVDD} ≤ 20mA	3	3.3	3.6	V
I _{AVDD_LIM}	外部アナログ レギュレータの電流制限		148	200	250	mA

$T_J = -40^{\circ}\text{C} \sim +150^{\circ}\text{C}$ 、 $V_{VM} = 3 \sim 20\text{V}$ (特に記述のない限り)。標準値には $T_A = 25^{\circ}\text{C}$ 、 $V_{VM} = 12\text{V}$ が適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{AVDD}	外部アナログレギュレータの負荷	$V_{VM} > 4\text{V}$ 、 $V_{VIN_AVDD} > 4.5\text{V}$			100	mA
		$V_{VM} < 4\text{V}$ 、 $V_{VIN_AVDD} > 4.5\text{V}$			40	mA
		$V_{VM} > 3.5\text{V}$ 、 $3.6\text{V} \leq V_{VIN_AVDD} \leq 4.5\text{V}$			35	mA
		$V_{VM} < 3.5\text{V}$ 、 $3.6\text{V} \leq V_{VIN_AVDD} \leq 4.5\text{V}$			20	mA
		$2.5\text{V} \leq V_{VIN_AVDD} \leq 3.6\text{V}$			10	mA
C_{AVDD}	AVDD ピン上のコンデンサ	$I_{AVDD} \leq 25\text{mA}$	0.7	1	7	μF
		$I_{AVDD} \geq 25\text{mA}$	3.3	4.7	7	μF
R_{AVDD}	AVDD 出力電圧レギュレータ	$V_{VIN_AVDD} > 4.5\text{V}$ 、 $I_{AVDD} \leq 20\text{mA}$	-3		3	%
		$V_{VIN_AVDD} > 4.5\text{V}$ 、 $20\text{mA} \leq I_{AVDD} \leq 40\text{mA}$	-2		2	%
		$V_{VIN_AVDD} > 4.5\text{V}$ 、 $I_{AVDD} \geq 40\text{mA}$	-3		3	%
V_{VCP}	チャージポンプレギュレータ電圧	VM を基準とした VCP	3	5	5.6	V
t_{WAKE}	ウェークアップ時間	$V_{VM} > V_{UVLO}$ 、nSLEEP = 1 から出力準備完了まで		1	3	ms
t_{WAKE_CSA}	CSA のウェークアップ時間	nSLEEP = 1 のとき、 $V_{CSAREF} > V_{CSAREF_UV}$ から SOx 準備完了まで		30	50	μs
t_{SLEEP}	ターンオフ時間	nSLEEP = 0 から、ドライバがトライステートになるまで		100	200	μs
t_{RST}	リセットパルス時間	nSLEEP = 0 でフォルトをリセット	10		65	μs
ロジックレベル入力 (INHx、INLx、nSLEEP、SCLK、SDI)						
V_{IL}	入力ロジック Low 電圧		0		0.6	V
V_{IH}	入力ロジック High 電圧		1.65		5.5	V
V_{HYS}	入力ロジックヒステリシス		100	300	660	mV
I_{IL}	入力ロジック Low 電流	V_{PIN} (ピン電圧) = 0V	-1		1	μA
I_{IH}	入力ロジック High 電流	nSLEEP、 V_{PIN} (ピン電圧) = 5V			30	μA
		その他のピン、 V_{PIN} (ピン電圧) = 5V			50	μA
R_{PD}	入力プルダウン抵抗	nSLEEP		230	300	k Ω
		その他のピン		160	200	k Ω
C_{ID}	入力容量			30		pF
ロジックレベル入力 (nSCS)						
V_{IL}	入力ロジック Low 電圧		0		0.6	V
V_{IH}	入力ロジック High 電圧		1.5		5.5	V
V_{HYS}	入力ロジックヒステリシス		200		500	mV
I_{IL}	入力ロジック Low 電流	V_{PIN} (ピン電圧) = 0V			90	μA
I_{IH}	入力ロジック High 電流	V_{PIN} (ピン電圧) = 5V			70	μA
R_{PU}	入力プルアップ抵抗			48	90	k Ω
C_{ID}	入力容量			30		pF
4 レベル入力 (ゲイン、MODE、SLEW)						
V_{L1}	入力モード 1 電圧	AGND に接続	0		$0.21 \cdot V_{AVDD}$	V
V_{L2}	入力モード 2 電圧	$47\text{k}\Omega \pm 5\%$ で GND に接続	$0.25 \cdot V_{AVDD}$	$0.5 \cdot V_{AVDD}$	$0.55 \cdot V_{AVDD}$	V
V_{L3}	入力モード 3 電圧	ハイインピーダンス	$0.606 \cdot V_{AVDD}$	$0.757 \cdot V_{AVDD}$	$0.909 \cdot V_{AVDD}$	V
V_{L4}	入力モード 4 電圧	AVDD に接続	$0.94 \cdot V_{AVDD}$		AVDD	V

$T_J = -40^{\circ}\text{C} \sim +150^{\circ}\text{C}$ 、 $V_{VM} = 3 \sim 20\text{V}$ (特に記述のない限り)。標準値には $T_A = 25^{\circ}\text{C}$ 、 $V_{VM} = 12\text{V}$ が適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
R_{PU}	入力プルアップ抵抗	対 AVDD		48	70	k Ω
R_{PD}	入力プルダウン抵抗	To AGND		160	200	k Ω

$T_J = -40^{\circ}\text{C} \sim +150^{\circ}\text{C}$ 、 $V_{VM} = 3 \sim 20\text{V}$ (特に記述のない限り)。標準値には $T_A = 25^{\circ}\text{C}$ 、 $V_{VM} = 12\text{V}$ が適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
オープンドレイン出力 (nFAULT)						
V_{OL}	出力ロジック Low 電圧	$I_{OD} = -5\text{mA}$			0.4	V
I_{OH}	出力ロジック High 電流	$V_{OD} = 5\text{V}$	-1		1	μA
C_{OD}	出力容量			30		pF
プッシュプル出力 (SDO)						
V_{OL}	出力ロジック Low 電圧	$I_{OP} = -5\text{mA}$, $2.2\text{V} \leq V_{AVDD} \leq 3\text{V}$	0		0.55	V
		$I_{OP} = -5\text{mA}$, $3\text{V} \leq V_{AVDD} \leq 3.6\text{V}$	0		0.5	V
V_{OH}	ロジック High 出力電圧	$I_{OP} = 5\text{mA}$, $2.2\text{V} \leq V_{AVDD} \leq 3\text{V}$	$V_{AVDD} - 0.86$		3	V
		$I_{OP} = 5\text{mA}$, $3\text{V} \leq V_{AVDD} \leq 3.6\text{V}$	$V_{AVDD} - 0.5$		3.6	V
I_{OL}	出力ロジック Low 電流	$V_{OP} = 0\text{V}$	-1		1	μA
I_{OH}	出力ロジック High 電流	$V_{OP} = 5\text{V}$	-1		1	μA
C_{OD}	出力容量			30		pF
ドライバ出力						
$R_{DS(ON)}$	全 MOSFET オン抵抗 (ハイサイド + ローサイド)	$6\text{V} \geq V_{VM} \geq 3\text{V}$, $I_{OUT} = 1\text{A}$, $T_J = 25^{\circ}\text{C}$		300	350	$\text{m}\Omega$
		$6\text{V} \geq V_{VM} \geq 3\text{V}$, $I_{OUT} = 1\text{A}$, $T_J = 150^{\circ}\text{C}$		450	500	$\text{m}\Omega$
		$V_{VM} \geq 6\text{V}$, $I_{OUT} = 1\text{A}$, $T_J = 25^{\circ}\text{C}$		210	265	$\text{m}\Omega$
		$V_{VM} \geq 6\text{V}$, $I_{OUT} = 1\text{A}$, $T_J = 150^{\circ}\text{C}$		330	375	$\text{m}\Omega$
SR	Low から High へのスイッチング (V_M の 20% から 80% への立ち上がり) 時の相ビンのスルーレート	$V_{VM} = 12\text{V}$, SLEW = 00b (SPI バリエーションの場合) または SLEW ピンを AGND に接続 (ハードウェア バリエーションの場合)	18	35	55	$\text{V}/\mu\text{s}$
SR		$V_{VM} = 12\text{V}$, SLEW = 01b (SPI バリエーションの場合) または SLEW ピンを $47\text{k}\Omega \pm 5\%$ で AGND に接続 (ハードウェア バリエーションの場合)、	35	75	100	$\text{V}/\mu\text{s}$
SR		$V_{VM} = 12\text{V}$, SLEW = 10b (SPI バリエーションの場合) または SLEW ピンをハイ インピーダンスに設定 (ハードウェア バリエーションの場合)	90	180	225	$\text{V}/\mu\text{s}$
SR		$V_{VM} = 12\text{V}$, SLEW = 11b (SPI バリエーションの場合) または SLEW ピンを AVDD に接続 (ハードウェア バリエーションの場合)	140	230	355	$\text{V}/\mu\text{s}$
SR	High から Low へのスイッチング (V_M の 80% から 20% への立ち下がり) 時の相ビンのスルー レート	$V_{VM} = 12\text{V}$, SLEW = 00b (SPI バリエーションの場合) または SLEW ピンを AGND に接続 (ハードウェア バリエーションの場合)	20	35	50	$\text{V}/\mu\text{s}$
		$V_{VM} = 12\text{V}$, SLEW = 01b (SPI バリエーションの場合) または SLEW ピンを $47\text{k}\Omega \pm 5\%$ で AGND に接続 (ハードウェア バリエーションの場合)、	35	75	100	$\text{V}/\mu\text{s}$
		$V_{VM} = 12\text{V}$, SLEW = 10b (SPI バリエーションの場合) または SLEW ピンをハイ インピーダンスに設定 (ハードウェア バリエーションの場合)	80	180	225	$\text{V}/\mu\text{s}$
		$V_{VM} = 12\text{V}$, SLEW = 11b (SPI バリエーションの場合) または SLEW ピンを AVDD に接続 (ハードウェア バリエーションの場合)	125	270	350	$\text{V}/\mu\text{s}$

$T_J = -40^{\circ}\text{C} \sim +150^{\circ}\text{C}$ 、 $V_{VM} = 3 \sim 20\text{V}$ (特に記述のない限り)。標準値には $T_A = 25^{\circ}\text{C}$ 、 $V_{VM} = 12\text{V}$ が適用されます。

パラメータ	テスト条件	最小値	標準値	最大値	単位
t_{DEAD}	出力デッドタイム (High から Low / Low から High) $V_{VM} = 12\text{V}$ 、 $\text{SLEW} = 00\text{b}$ (SPI バリエーションの場合) または SLEW ピンを AGND に接続 (ハードウェア バリエーションの場合)、デッドタイム = 000b、ハンドシェイクのみ		500	1200	ns
	$V_{VM} = 12\text{V}$ 、 $\text{SLEW} = 01\text{b}$ (SPI バリエーションの場合) または SLEW ピンを $47\text{k}\Omega \pm 5\%$ で AGND に接続 (ハードウェア バリエーションの場合)、デッドタイム = 000b、ハンドシェイクのみ、		450	760	ns
	$V_{VM} = 12\text{V}$ 、 $\text{SLEW} = 10\text{b}$ (SPI バリエーションの場合) または SLEW ピンをハイ インピーダンスに設定 (ハードウェア バリエーションの場合)、デッドタイム = 000b、ハンドシェイクのみ		425	720	ns
	$V_{VM} = 12\text{V}$ 、 $\text{SLEW} = 11\text{b}$ (SPI バリエーションの場合) または SLEW ピンを AVDD (ハードウェア バリエーションの場合)、デッドタイム = 000b、ハンドシェイクのみ		425	710	ns
	$V_{VM} = 12\text{V}$ 、デッドタイム = 001b		200	540	ns
	$V_{VM} = 12\text{V}$ 、デッドタイム = 010b		400	550	ns
	$V_{VM} = 12\text{V}$ 、デッドタイム = 011b		600	760	ns
	$V_{VM} = 12\text{V}$ 、デッドタイム = 100b		800	900	ns
	$V_{VM} = 12\text{V}$ 、デッドタイム = 101b		1000	1100	ns
	$V_{VM} = 12\text{V}$ 、デッドタイム = 110b		1200	1300	ns
	$V_{VM} = 12\text{V}$ 、デッドタイム = 111b		1400	1500	ns
t_{PD}	伝搬遅延 (ハイサイド / ローサイド、オン/オフ) $\text{INHx} = 1$ から OUTx 遷移、 $V_{VM} = 12\text{V}$ 、 $\text{SLEW} = 00\text{b}$ (SPI バリエーションの場合) または SLEW ピンを AGND に接続 (ハードウェア バリエーションの場合)		1000	1500	ns
	$\text{INHx} = 1$ から OUTx 遷移、 $V_{VM} = 12\text{V}$ 、 $\text{SLEW} = 01\text{b}$ (SPI バリエーションの場合) または SLEW ピンを $47\text{k}\Omega \pm 5\%$ で AGND に接続 (ハードウェア バリエーションの場合)		650	1100	ns
	$\text{INHx} = 1$ から OUTx 遷移、 $V_{VM} = 12\text{V}$ 、 $\text{SLEW} = 10\text{b}$ (SPI バリエーションの場合) または SLEW ピンをハイ インピーダンスに設定 (ハードウェア バリエーションの場合)		550	950	ns
	$\text{INHx} = 1$ から OUTx 遷移、 $V_{VM} = 12\text{V}$ 、 $\text{SLEW} = 11\text{b}$ (SPI バリエーションの場合) または SLEW ピンを AVDD に接続 (ハードウェア バリエーションの場合)		500	910	ns
$t_{\text{MIN_PULSE}}$	最小出力パルス幅		500		ns

電流検出アンプ

$T_J = -40^{\circ}\text{C} \sim +150^{\circ}\text{C}$, $V_{VM} = 3 \sim 20\text{V}$ (特に記述のない限り)。標準値には $T_A = 25^{\circ}\text{C}$, $V_{VM} = 12\text{V}$ が適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
G _{CSA}	電流センス ゲイン (SPI デバイス)	CSA_GAIN = 00 (SPI バリエント場合) または ゲイン ピンを AGND に接続 (ハードウェア バリエントの場合)		0.25		V/A
		CSA_GAIN = 01 (SPI バリエントの場合) または ゲイン ピンを 47kΩ ±5% で GND に接続 (ハードウェア バリエントの場合)		0.5		V/A
		CSA_GAIN = 10 (SPI バリエント場合) または ゲイン ピンをハイ インピーダンスに設定 (ハードウェア バリエントの場合)		1		V/A
		CSA_GAIN = 11 (SPI バリエント場合) または ゲイン ピンを AVDD に接続 (ハードウェア バリエントの場合)		2		V/A
G _{CSA_ERR}	電流センス ゲイン誤差	$T_J = 25^{\circ}\text{C}$, $I_{\text{PHASE}} < 2.5\text{A}$, $V_M \geq 6\text{V}$	-5		4	%
		$T_J = 25^{\circ}\text{C}$, $I_{\text{PHASE}} > 2.5\text{A}$, $V_M \geq 6\text{V}$	-5		5	%
		$I_{\text{PHASE}} < 2.5\text{A}$, $V_M \geq 6\text{V}$	-5.5		5.5	%
		$I_{\text{PHASE}} > 2.5\text{A}$, $V_M \geq 6\text{V}$	-7		7	%
I _{MATCH}	A 相、B 相、C 相の間での電流センス ゲイン誤差のマッチング	$T_J = 25^{\circ}\text{C}$	-5		5	%
			-5		5	%
FS _{POS}	フルスケールの正の電流測定		5			A
FS _{NEG}	フルスケールの負の電流測定				-5	A
V _{LINEAR}	SOx 出力電圧のニア動作範囲		0.25		V _{CSAREF} - 0.25	V
I _{OFFSET_RT}	ローサイド電流入力時の電流センス オフセット (室温)	$T_J = 25^{\circ}\text{C}$, 相電流 = 0A, G _{CSA} = 0.25V/A	-50		50	mA
		$T_J = 25^{\circ}\text{C}$, 相電流 = 0A, G _{CSA} = 0.5V/A	-50		50	mA
		$T_J = 25^{\circ}\text{C}$, 相電流 = 0A, G _{CSA} = 1V/A	-30		30	mA
		$T_J = 25^{\circ}\text{C}$, 相電流 = 0A, G _{CSA} = 2V/A	-30		30	mA
I _{OFFSET}	ローサイド電流入力基準の電流センス オフセット	相電流 = 0A, G _{CSA} = 0.25V/A	-70		70	mA
		相電流 = 0A, G _{CSA} = 0.5V/A	-50		50	mA
		相電流 = 0A, G _{CSA} = 1V/A	-50		50	mA
		相電流 = 0A, G _{CSA} = 2V/A	-50		50	mA
t _{SET}	±1% 以内へのセトリング タイム、SOx ピンに 30pF 接続	SOx のステップ電圧 = 1.2V, G _{CSA} = 0.25V/A			1	μs
		SOx のステップ電圧 = 1.2V, G _{CSA} = 0.5V/A			1	μs
		SOx のステップ電圧 = 1.2V, G _{CSA} = 1V/A			1	μs
		SOx のステップ電圧 = 1.2V, G _{CSA} = 2V/A			1	μs
V _{DRIFT}	オフセットドリフト	相電流 = 0A	-150		150	μA/°C
I _{CSAREF}	CSAREF 入力電流	CSAREF = 3.0V		1.7	3	mA
保護回路						
V _{UVLO}	電源低電圧誤動作防止 (UVLO)	VM 立ち上がり	2.6	2.7	2.8	V
		VM 立ち下がり	2.5	2.6	2.7	V
V _{UVLO_HYS}	電源低電圧誤動作防止ヒステリシス	立ち上がりから立ち下がりへのスレッシュホールド	60	125	210	mV
t _{UVLO}	電源低電圧グリッチ除去時間		5	7.5	13	μs
V _{VINAVDD_UV}	AVDD 電源入力低電圧ロックアウト (VINAVDD_UV)	VIN_AVDD 立ち上がり	2.6	2.7	2.8	V
		VIN_AVDD 立ち下がり	2.5	2.6	2.7	V

$T_J = -40^{\circ}\text{C} \sim +150^{\circ}\text{C}$, $V_{VM} = 3 \sim 20\text{V}$ (特に記述のない限り)。標準値には $T_A = 25^{\circ}\text{C}$, $V_{VM} = 12\text{V}$ が適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
V _{VINAVDD_UV_HYS}	AVDD 電源入力低電圧ロックアウト ヒステリシス	立ち上がりから立ち下がりへのスレッショルド	100	125	150	mV
t _{VINAVDD_UV}	AVDD 電源入力低電圧のデグリッチ時間		2.5	4	5	μs
V _{CPUV}	チャージポンプ低電圧ロックアウト (VM 基準電圧)	V _{CP} rising	2	2.3	2.5	V
		V _{CP} 立ち下がり	2	2.2	2.4	V
V _{CPUV_HYS}	チャージ ポンプ低電圧ロックアウト ヒステリシス	立ち上がりから立ち下がりへのスレッショルド	65	100	125	mV
t _{CPUV}	チャージ ポンプ低電圧のデグリッチ時間			0.2	0.5	μs
V _{CSAREF_UV}	CSA リファレンス低電圧ロックアウト	V _{CSAREF} 立ち上がり	1.68	1.8	1.95	V
V _{CSAREF_UV}	CSA リファレンス低電圧ロックアウト	V _{CSAREF} falling	1.6	1.7	1.85	V
V _{CSAREF_UV_HYS}	CSA リファレンス低電圧ロックアウト ヒステリシス	立ち上がりから立ち下がりへのスレッショルド	70	90	110	mV
V _{AVDD_UV}	アナログ レギュレータ低電圧誤動作防止	V _{AVDD} 立ち上がり	1.8	2	2.2	V
		V _{AVDD} 立ち下がり	1.7	1.8	1.95	V
I _{OCP}	過電流保護トリップ ポイント	OCP_LVL = 0 (SPI バリエーションの場合) または MODE ピンを AGND に接続 または MODE ピンをハイ インピーダンスに設定 (ハードウェア バリエーションの場合)	5.8	9	11.5	A
		OCP_LVL = 1 (SPI バリエーションの場合) または MODE ピンを AVDD に接続 または MODE ピンを 47kΩ ±5% で AGND に接続 (ハードウェア バリエーションの場合)	3.4	5	7.5	A
t _{BLANK}	過電流保護のブランキング時間 (SPI バリエーション)	OCP_TBLANK = 00b		0.2		μs
		OCP_TBLANK = 01b		0.5		μs
		OCP_TBLANK = 10b		0.8		μs
		OCP_TBLANK = 10b		1		μs
t _{BLANK}	過電流保護のブランキング時間 (ハードウェア バリエーション)			0.2		μs
t _{OCP_DEG}	過電流保護のデグリッチ時間 (SPI バリエーション)	OCP_DEG = 00b		0.2		μs
		OCP_DEG = 01b		0.5		μs
		OCP_DEG = 10b		0.8		μs
		OCP_DEG = 11b		1		μs
t _{OCP_DEG}	過電流保護のデグリッチ時間 (ハードウェア バリエーション)			1		μs
t _{RETRY}	過電流保護リトライ時間 (SPI バリエーション)	FAST_RETRY = 00b	0.24	0.5	0.65	ms
		FAST_RETRY = 01b	0.7	1	1.2	ms
		FAST_RETRY = 10b	1.6	2	2.2	ms
		FAST_RETRY = 11b	4.4	5	5.3	ms
		SLOW_RETRY = 00b	390	500	525	ms
		SLOW_RETRY = 01b	840	1000	1050	ms
		SLOW_RETRY = 10b	1700	2000	2200	ms
		SLOW_RETRY = 11b	4400	5000	5400	ms
t _{RETRY}	過電流保護リトライ時間 (ハードウェア バリエーション)			5		ms
T _{OTW}	過熱警告温度	ダイ温度 (T _J) 立ち上がり	170	178	185	°C
T _{OTW_HYS}	過熱警告ヒステリシス	ダイ温度 (T _J)		25	30	°C
T _{TSD}	サーマル シャットダウン温度	ダイ温度 (T _J) 立ち上がり	180	190	200	°C

$T_J = -40^{\circ}\text{C} \sim +150^{\circ}\text{C}$ 、 $V_{VM} = 3 \sim 20\text{V}$ (特に記述のない限り)。標準値には $T_A = 25^{\circ}\text{C}$ 、 $V_{VM} = 12\text{V}$ が適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
T_{TSD_HYS}	サーマル シャットダウン ヒステリシス	ダイ温度 (T_J)		25	30	$^{\circ}\text{C}$
T_{TSD}	サーマル シャットダウン温度 (LDO)	ダイ温度 (T_J) 立ち上がり	180	190	200	$^{\circ}\text{C}$
T_{TSD_HYS}	サーマル シャットダウンのヒステリシス (LDO)	ダイ温度 (T_J)		25	30	$^{\circ}\text{C}$

$T_J = -40^{\circ}\text{C} \sim +150^{\circ}\text{C}$ 、 $V_{VM} = 3 \sim 20\text{V}$ (特に記述のない限り)。標準値には $T_A = 25^{\circ}\text{C}$ 、 $V_{VM} = 12\text{V}$ が適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
PWM 出力精度 (tSPI)						
R_{PWM}	出力 PWM 分解能	PWM 周波数 = 20kHz	10			ビット
A_{PWM}	出力 PWM 精度	$V_{VM} < 4.5\text{V}$ 、PWM_SYNC およびクロックチューニング無効	-7.5		7.5	%
		$V_{VM} > 4.5\text{V}$ 、PWM_SYNC およびクロックチューニング無効	-4		4	%
		PWM_SYNC 有効、クロック チューニング無効	-1		1	%
		PWM_SYNC 無効、SPISYNC_ACRCY = 11b	-2		2	%
		PWM_SYNC 無効、SPISYNC_ACRCY = 10b	-1		1	%
		PWM_SYNC 無効、SPISYNC_ACRCY = 01b	-1		1	%
		PWM_SYNC 無効、SPISYNC_ACRCY = 00b	-1		1	%

6.6 SPI のタイミング要件

		最小値	公称値	最大値	単位
t_{READY}	パワーアップ後、SPI レディまで			1	ms
$t_{\text{HI_nSCS}}$	nSCS 最小 HIGH 時間	300			ns
$t_{\text{SU_nSCS}}$	nSCS 入力セットアップ時間	25			ns
$t_{\text{HD_nSCS}}$	nSCS 入力ホールド時間	25			ns
t_{SCLK}	SCLK の最小周期	100			ns
t_{SCLKH}	SCLK 最小 High 時間	50			ns
t_{SCLKL}	SCLK の最小 Low 時間	50			ns
$t_{\text{SU_SDI}}$	SDI 入力データ セットアップ時間	25			ns
$t_{\text{HD_SDI}}$	SDI 入力データ ホールド時間	25			ns
$t_{\text{DLY_SDO}}$	SDO 出力データ遅延時間			75	ns
$t_{\text{EN_SDO}}$	SDO イネーブル遅延時間			65	ns
$t_{\text{DIS_SDO}}$	SDO ディスエーブル遅延時間			50	ns

6.7 SPI セカンダリ デバイス モードのタイミング

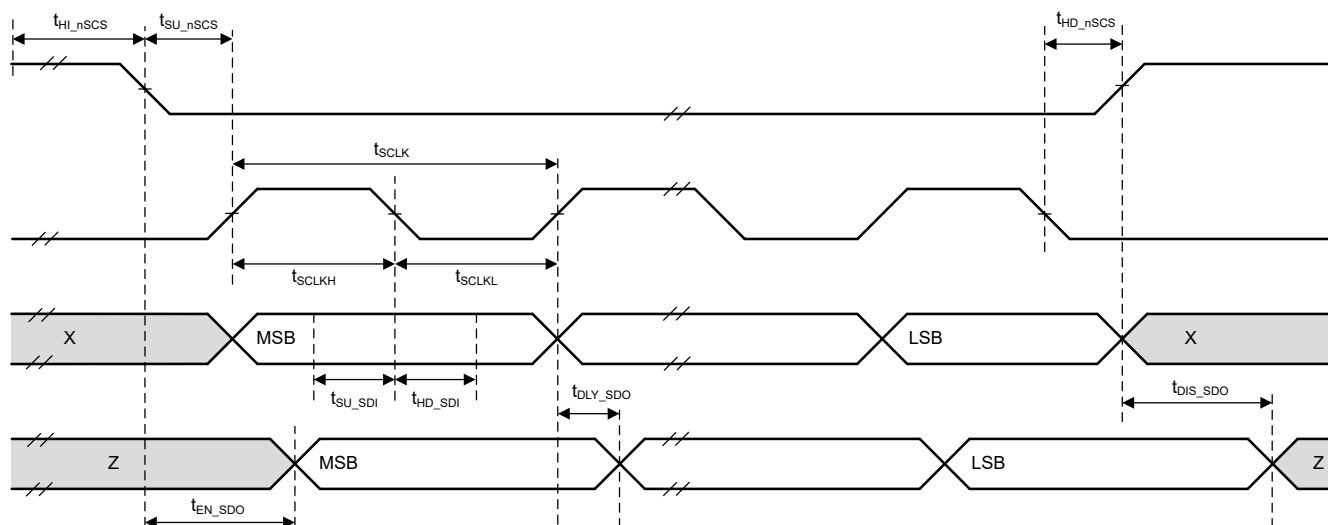


図 6-1. SPI セカンダリ デバイス モード タイミングの図

6.8 代表的特性

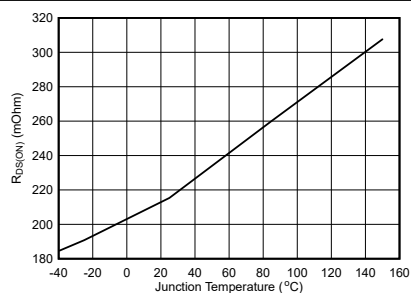


図 6-2. MOSFET の $R_{DS(ON)}$ (ハイサイドとローサイドの合計) の温度特性 ($V_M \geq 6V$)

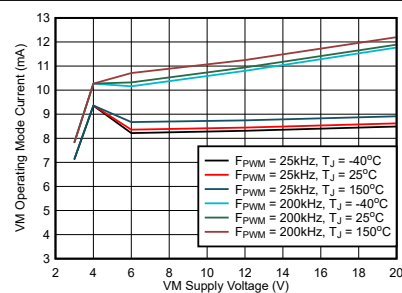


図 6-3. 動作モード電流の電源電圧特性

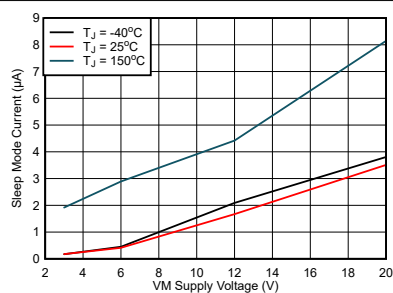


図 6-4. スリープ電流の電源電圧特性

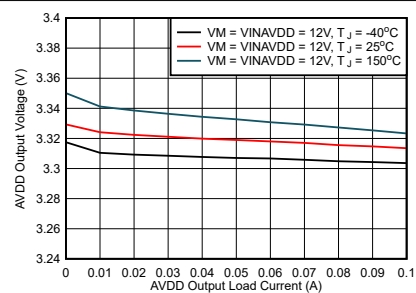


図 6-5. AVDD レギュレータ出力電圧の負荷電流特性

7 詳細説明

7.1 概要

DRV8311-Q1 は、三相モーター駆動アプリケーション向けの統合 MOSFET ドライバです。ハイサイドおよびローサイド FET を合算したオン抵抗は標準値で 210 mΩ です。このデバイスは、3 つのハーフブリッジ MOSFET、ゲートドライバ、チャージ ポンプ、電流センス アンプ、外部負荷用のリニア レギュレータを統合することで、システムの部品点数、コスト、設計の複雑さを低減します。DRV8311S-Q1 では、標準のシリアル ペリフェラル インターフェイス (SPI) を使うと、デバイスの各種設定とフォルト診断情報の読み出しを外部コントローラから簡単に行うことができます。DRV8311H-Q1 では、ハードウェア・インターフェース (H/W) により、固定外付け抵抗でよく使われる設定を行えます。DRV8311P-Q1 では、テキサス インストルメンツの SPI (tSPI) により、各種設定の構成に加え、PWM デューティ サイクルおよび周波数を調整して複数のモーターを同時に制御できます。

また、このアーキテクチャは、内部ステート マシンを用いて短絡事象から保護し、内部パワー MOSFET の dV/dt による寄生ターンオンも防止します。

DRV8311-Q1 は、内蔵の電流センスにより各ハーフブリッジを流れる電流を監視するための双方向ローサイド電流シャント アンプを 3 系統内蔵しており、外付けの電流センス抵抗を必要としません。シャント アンプのゲイン設定は、SPI、tSPI、またはハードウェア インターフェースから調整可能です。

高いレベルでデバイスが統合されていることに加え、DRV8311-Q1 は幅広い保護機能を内蔵しています。これらの機能には、電源の低電圧ロックアウト (UVLO)、チャージ ポンプの低電圧ロックアウト (CPUV)、過電流保護 (OCP)、AVDD 低電圧ロックアウト (AVDD_UV)、および過熱警告シャットダウン (OTW と OTSD) などが含まれます。フォルト発生時は nFAULT ピンで通知され、詳細情報は SPI および tSPI 版デバイスのレジスタで参照できます。

DRV8311-Q1 は、ピンピッチ 0.4 mm の WQFN 表面実装パッケージで提供されます。この WQFN パッケージのサイズは 3.00mm × 3.00mm です。

7.2 機能ブロック図

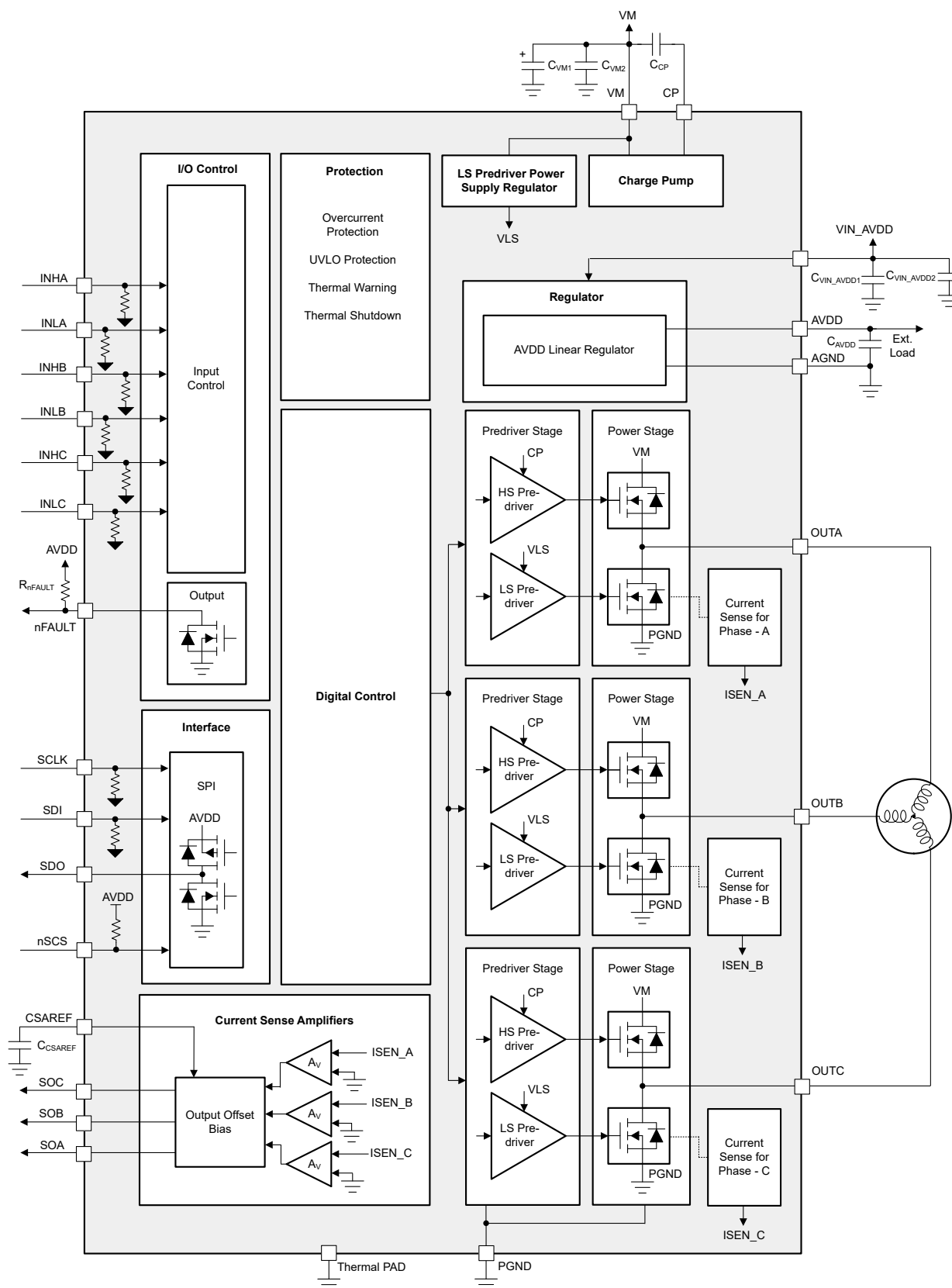


図 7-1. DRV8311S-Q1 のブロック図

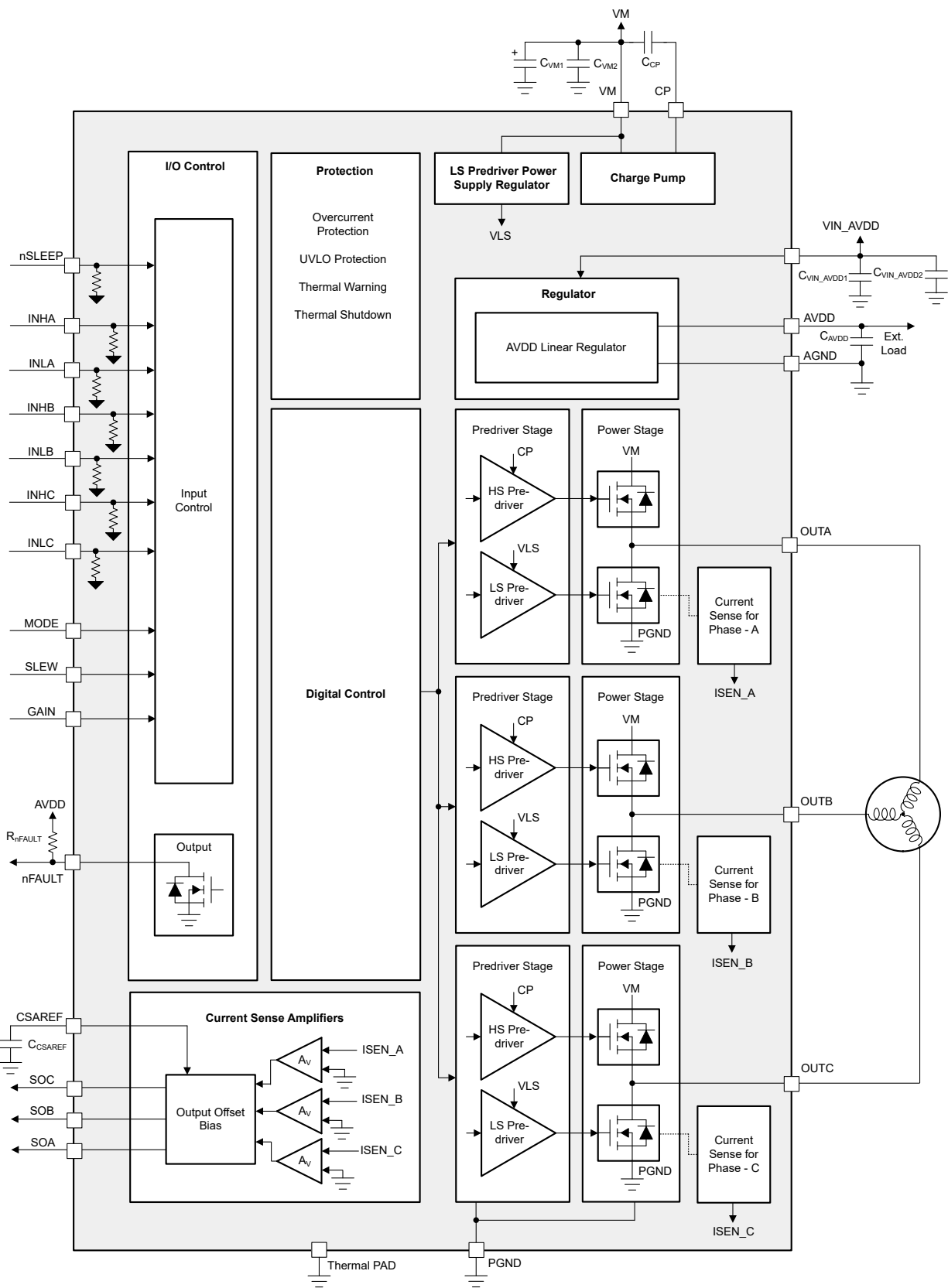


図 7-2. DRV8311H-Q1 のブロック図

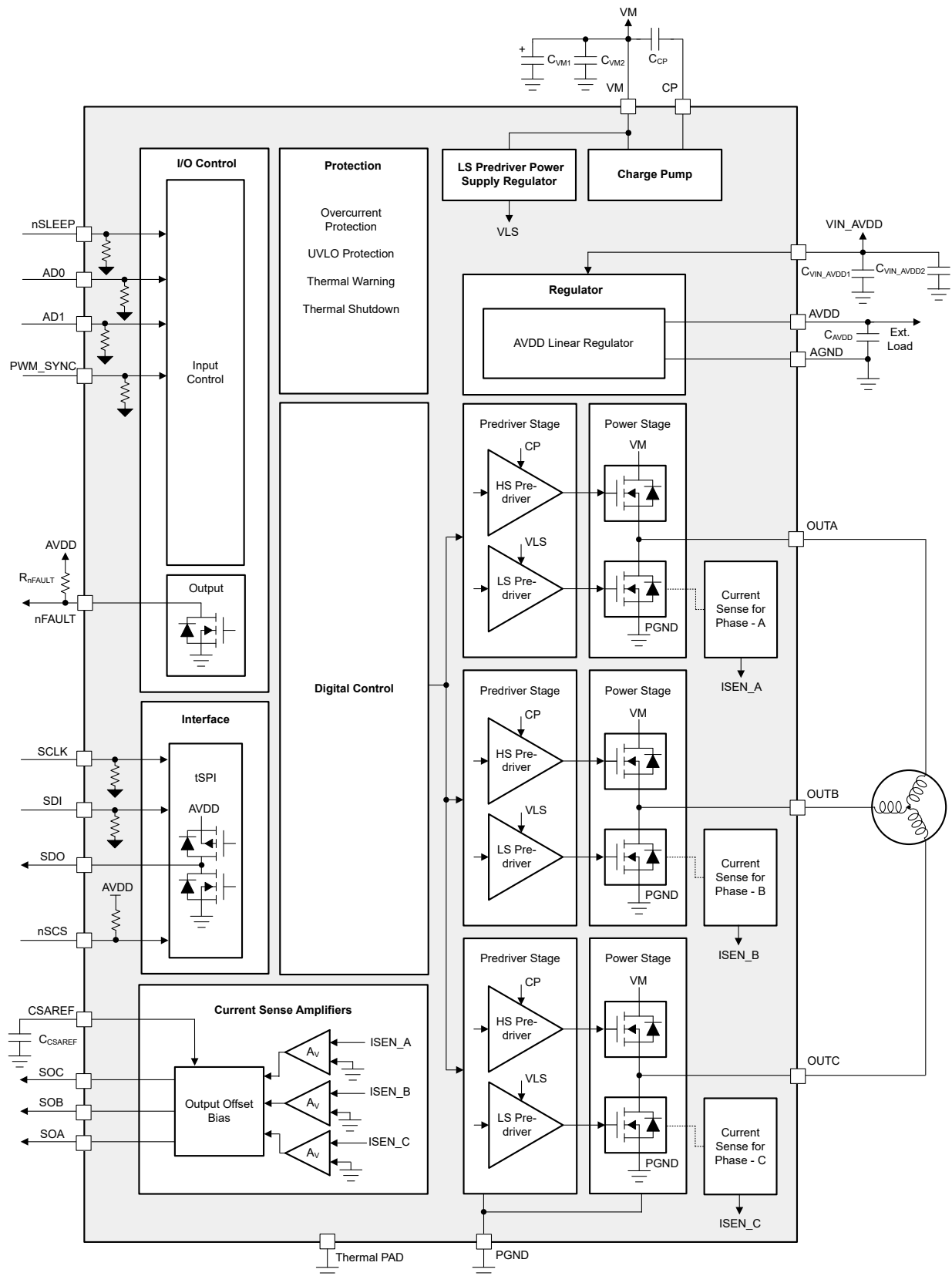


図 7-3. DRV8311P-Q1 のブロック図

7.3 機能説明

表 7-1 に、ドライバの外付け部品の推奨値を示します。

表 7-1. DRV8311-Q1 の外付け部品

部品	ピン 1	ピン 2	推奨
C _{VM1}	VM	PGND	X5R または X7R、0.1μF、VM 定格コンデンサ
C _{VM2}	VM	PGND	10μF 以上、VM 定格の電解コンデンサ
C _{VIN_AVDD1}	VIN_AVDD	AGND	X5R または X7R、0.1μF、VIN_AVDD 定格コンデンサ
C _{VIN_AVDD2}	VIN_AVDD	AGND	10μF 以上、VIN_AVDD 定格コンデンサ
C _{CP}	CP	VM	X5R または X7R、16-V、0.1μF コンデンサ
C _{AVDD}	AVDD	AGND	X5R または X7R、0.7 ~ 7μF、6.3V 定格コンデンサ
R _{nFAULT}	AVDD	nFAULT	5.1kΩ、プルアップ抵抗
R _{SDO}	AVDD	SDO	5.1kΩ、プルアップ抵抗 (オプション)
R _{MODE}	MODE	AGND または AVDD	セクション 7.3.3.2
R _{SLEW}	SLEW	AGND または AVDD	セクション 7.3.3.2
R _{GAIN}	ゲイン	AGND または AVDD	セクション 7.3.3.2
C _{CSAREF}	CSAREF	AGND	X5R または X7R、0.1μF、CSAREF 定格コンデンサ

7.3.1 出カステージ

DRV8311-Q1 は、三相ブリッジ構成で接続された内蔵 NMOS MOSFET により構成されています。ダブラー チャージポンプは、広い動作電圧範囲にわたってハイサイド NMOS MOSFET 用の適切なゲート バイアス電圧を供給し、100% のデューティ サイクルもサポートします。VM 供給から動作する内部リニア レギュレータがローサイド MOSFET 用のゲート バイアス電圧 (VLS) を供給します。

7.3.2 制御モード

このデバイスには、さまざまな整流方式や制御方式をサポートするために、3 種類の制御モードが用意されています。表 7-2 に、このデバイスのさまざまなモードが示されています。

表 7-2. PWM 制御モード

MODE のタイプ	MODE ピン (DRV8311H-Q1)	MODE ビット (DRV8311S-Q1)	MODE ビット (DRV8311P-Q1)	MODE
モード 1	Mode ピンを AGND に接続するか、Mode ピンを 47kΩ の抵抗を介して AGND に接続	PWM_MODE = 00b または PWM_MODE = 01b	該当なし	6x モード
モード 2	Mode ピン ハイインピーダンス または Mode ピンを AVDD に接続	PWM_MODE = 10b	該当なし	3x モード
モード 3	該当なし	PWM_MODE = 11b	PWM_MODE = 11b	PWM 生成モード

注

テキサス インスツルメンツでは、デバイスの電源投入中 (すなわち tWAKE の期間中) に MODE ピンまたは MODE レジスタを変更することは推奨していません。DRV8311H-Q1 の MODE 設定は電源投入時にラッチされるため、DRV8311H-Q1 の MODE ピン構成を変更する前に、nSLEEP = 0 に設定してください。DRV8311S-Q1 では、MODE レジスタを変更する場合、その前にすべての INHx および INLx ピンを論理 Low に設定してください。

7.3.2.1 6x PWM モード (DRV8311S-Q1 および DRV8311H-Q1 バリエーションのみ)

6x PWM モードでは、ハーフブリッジごとに Low、High、ハイインピーダンス (Hi-Z) の 3 つの出力状態がサポートされます。DRV8311H-Q1 を 6x PWM モードに設定するには、MODE ピンを AGND に接続するか、MODE ピンを 47kΩ に接続して AGND に接続します。DRV8311S-Q1 で 6x PWM モードを有効にするには、MODE ビットを PWM_MODE = 00b または 01b に設定します。表 7-3 に示すように、対応する INHx および INLx 信号で出力状態を制御します。

表 7-3. 6x PWM モードの真理値表

INLx	INHx	OUTx
0	0	ハイインピーダンス
0	1	H
1	0	L
1	1	ハイインピーダンス

図 7-4 は、6x PWM モードに設定されたアプリケーション図を示しています。

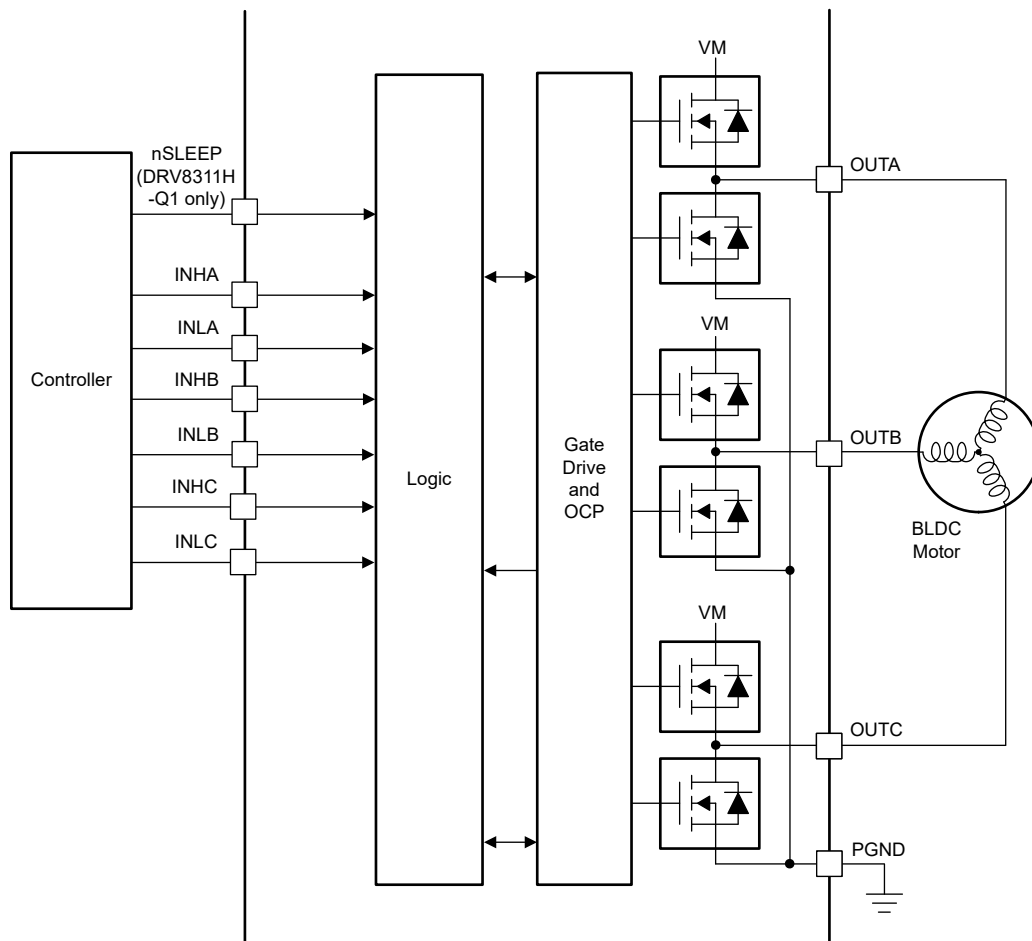


図 7-4. 6x PWM モード

7.3.2.2 3x PWM モード (DRV8311S-Q1 および DRV8311H-Q1 バリエーションのみ)

この 3x PWM モードでは、INHx ピンで各ハーフブリッジを制御し、Low または High の 2 つの出力状態がサポートされます。DRV8311H-Q1 を 3x PWM モードに設定するには、MODE ピンを AVDD に接続するか、MODE ピンをハイ インピーダンス状態にする必要があります。DRV8311S-Q1 で 3x PWM モードを有効にするには、MODE ビットを PWM_MODE = 10b に設定してください。INLx ピンは、ハーフブリッジをハイ インピーダンス状態にするために使用します。ハイ インピーダンス状態が不要の場合は、すべての INLx ピンを論理 High (例えば AVDD) に接続します。表 7-4 に示すように、対応する INHx および INLx 信号で出力状態を制御します。

表 7-4. 3x PWM モードの真理値表

INLx	INHx	OUTx
0	X	ハイ インピーダンス
1	0	L
1	1	H

図 7-5 は、3x PWM モードで構成した典型的なアプリケーション図を示しています。

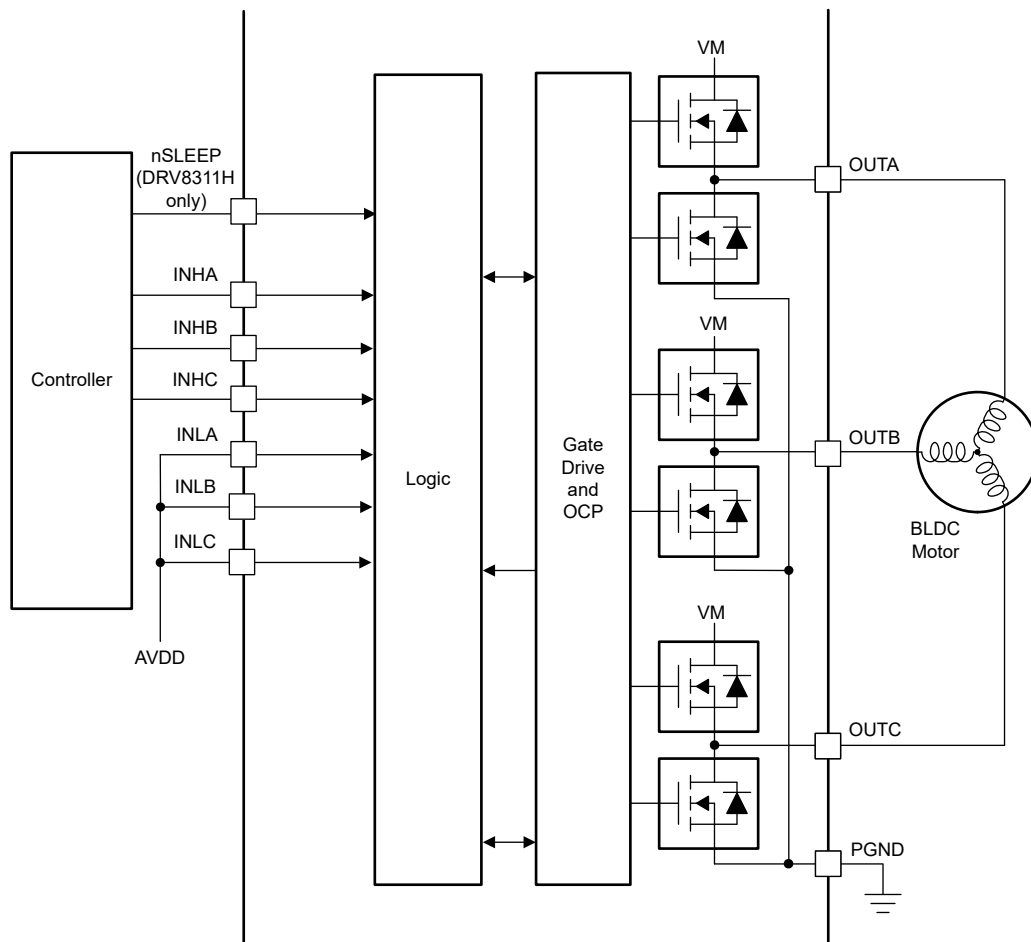


図 7-5. 3x PWM モード

7.3.2.3 PWM 生成モード (DRV8311S-Q1 および DRV8311P-Q1 バリエーション)

PWM 生成モードでは、PWM 信号は DRV8311-Q1 内部で生成され、SPI (DRV8311S-Q1) または tSPI (DRV8311P-Q1) を介したレジスタ読み取り / 書き込みによって制御することができます。この動作モードでは、従来のように INHx ピンと INLx ピンを通じてモーターを制御する必要はありません。各相の PWM の周期、周波数、デューティサイクルは、シリアル インターフェイス経由で設定することができます。さらに、PWM_SYNC ピンの機能により、マイコンと DRV8311P/S-Q1 間の同期が可能です。PWM モードは、各相のハイサイドまたはローサイド MOSFET の PWM 制御を有効または無効に設定できるため、必要に応じて連続スイッチングや非連続スイッチングを選択することができます。DRV8311S-Q1 を PWM 生成モードで使用する場合、マイコンからの PWM_SYNC 信号を DRV8311S-Q1 の INLB ピンに接続してください。このモードでは、DRV8311S-Q1 は、その他の INHx および INLx ピンの状態を参照しません。PWM 生成モードを用いることで、台形波制御、正弦波制御、FOC 制御のいずれも実現可能です。

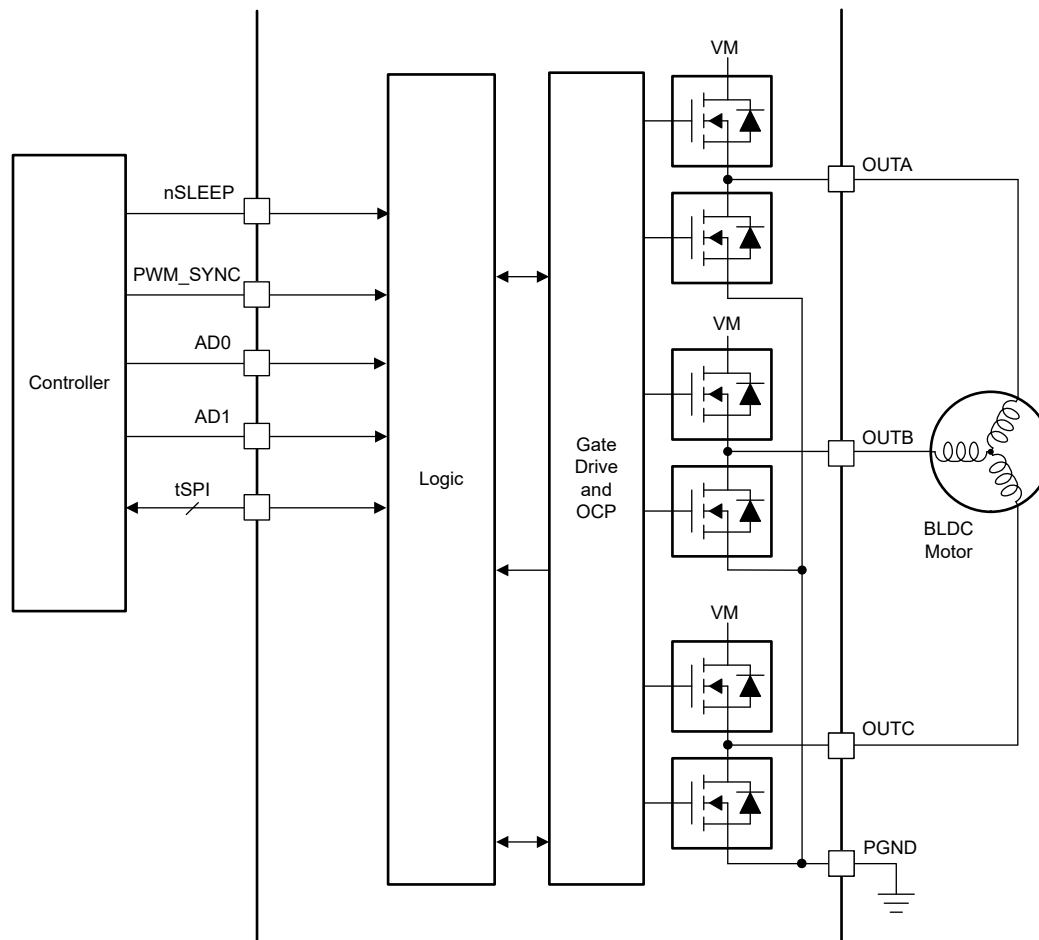


図 7-6. PWM 生成モード、DRV8311P-Q1

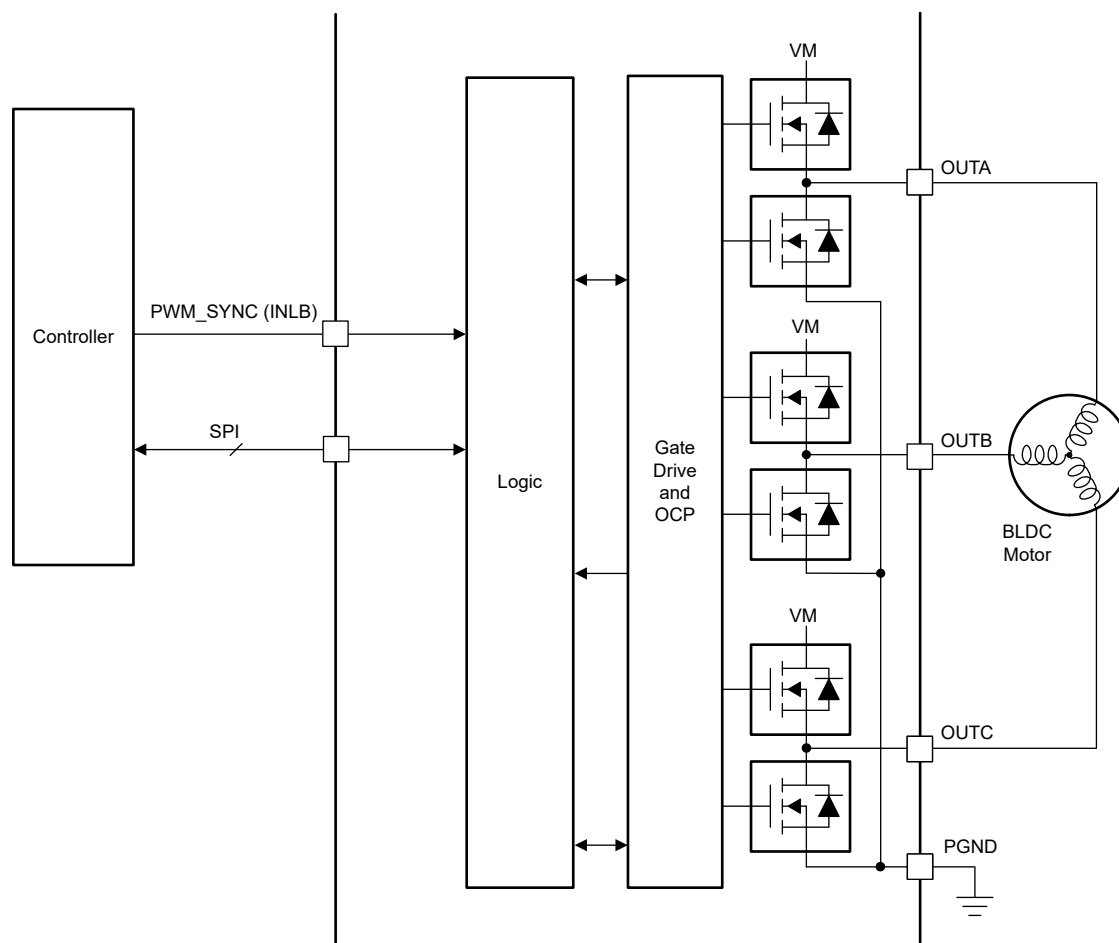


図 7-7. PWM 生成モード、DRV8311S-Q1

PWM 生成モードには、アップ / ダウンモード、アップモード、ダウンモードの 3 種類のオプションがあります。PWM 生成モードは、PWMG_CTRL レジスタの PWMCNTR_MODE ビットを使用して設定できます。各相 (A、B、C) の PWMG_x_DUTY レジスタ (x は各相を示す) の PWM_DUTY_OUTx ビットで定義されたデューティサイクルは、内部で生成されるリファレンス カウンタ信号と比較され、その結果に基づいてハイサイド MOSFET の PWM 信号が生成されます。PWM 生成では、PWM_PRD_OUT ビット (PWMG_PERIOD レジスタ) と PWMCNTR_MODE ビットの構成に基づいて内部的に生成されるリファレンス カウンタ信号を使用します。PWM_EN ビットが High の場合、PWM_DUTY_OUTx の値がリファレンス カウンタを上回ると、ハイサイド MOSFET の PWM 出力は High になります。一方、PWM_EN ビットが Low の場合、出力は常に Low に保持されます。ハイサイド MOSFET を [サイクル全体でオン状態 HS_ON] とする 100% デューティ サイクルを実現するには、PWM_DUTY_OUTx の値を PWM_PRD_OUT の値より大きく設定する必要があります。

アップ / ダウンモード [PWMCNTR_MODE = 0h] では、基準リファレンス カウンタの波形は V 字形となり、有効化されると PWM_PRD_OUT の値からカウントダウンを開始し、カウンタがゼロに到達すると再びカウントアップします。PWM 周波数 (F_{PWM}) は、 $PWM_PRD_OUT = 0.5 \times (F_{SYS} / F_{PWM})$ の関係式を用いて PWM_PRD_OUT ビットを設定します。 f_{SYS} は、DRV8311P-Q1 および DRV8311S-Q1 の内部システムクロック周波数 (約 20MHz) です。

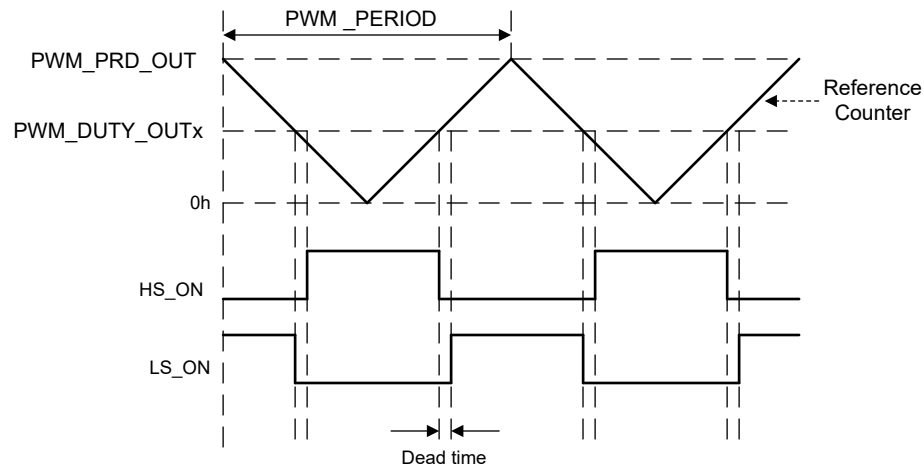


図 7-8. PWM 生成、アップ/ダウンモード

アップモード [PWMCNTR_MODE = 1h] では、カウンタはゼロから PWM_PRD_OUT の値までカウントアップし、その後ゼロにリセットされます。 $PWM_PRD_OUT = F_{SYS} / F_{PWM}$

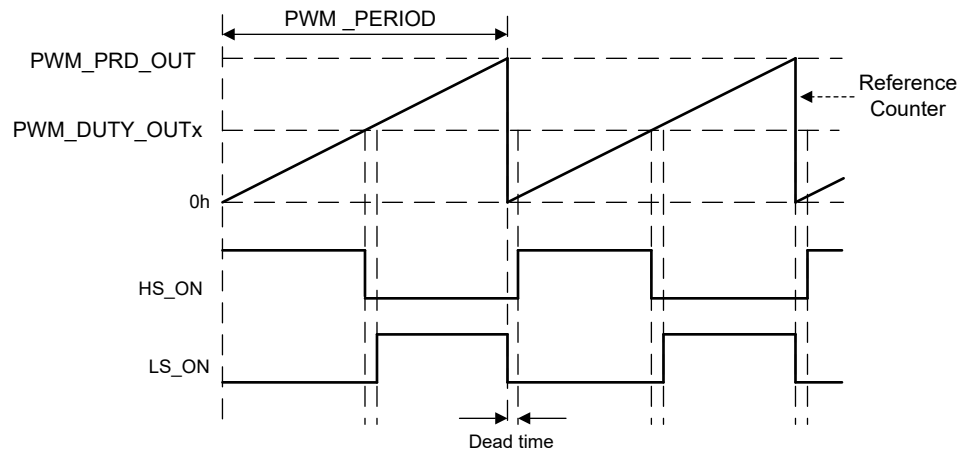


図 7-9. PWM 生成、アップモード

ダウンモード [PWMCNTR_MODE = 2h] では、カウンタは PWM_PRD_OUT の値からカウントダウンを開始し、カウンタがゼロに達すると再び PWM_PRD_OUT の値にリセットされます。 $PWM_PRD_OUT = F_{SYS} / F_{PWM}$

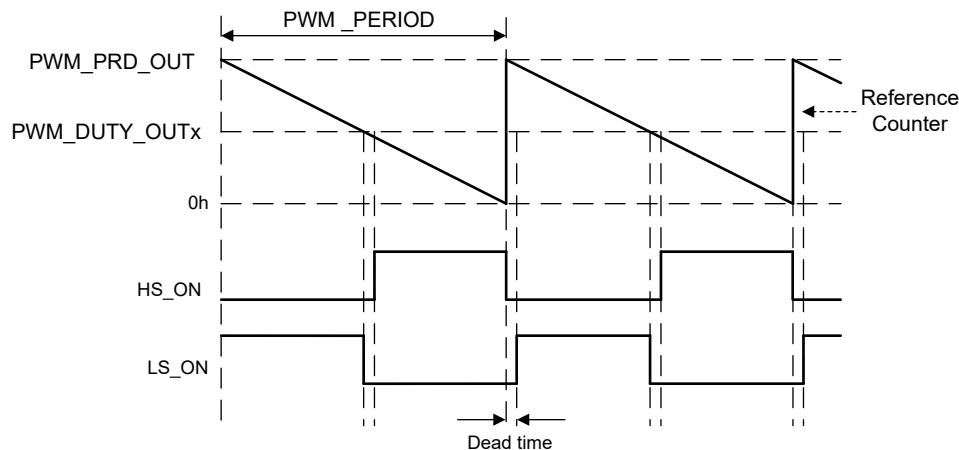


図 7-10. PWM 生成、ダウンモード

TDEAD_CTRL レジスタで設定されたデッドタイムが、LS_ON の立ち下がりエッジと HS_ON の立ち上がりエッジの間、また HS_ON の立ち下がりエッジと LS_ON の立ち上がりエッジの間に挿入されます。

PWM 生成モードにおける PWM 同期

専用の INHx または INLx 制御信号が使用されていない場合、外部マイコンは DRV8311-Q1 が生成する PWM 信号との同期を失う可能性があります。同期のために、外部マイコンは PWM_SYNC ピンに 1 つのリファレンス信号を送信します。PWM 同期機能により、DRV8311-Q1 が生成する PWM 出力をマイコンのクロック精度で動作させることができ、マイコンの ADC による電流センス出力のサンプリングと PWM 出力を整列させることが可能になります。さらに、PWM_SYNC 信号は、DRV8311-Q1 内部発振器の周波数の測定にも役立ちます。DRV8311-Q1 は、動作条件に関わらず内部発振器を 20MHz にキャリブレーションする自動補正機能もサポートしています。DRV8311-Q1 では、PWMG_CTRL レジスタの PWM_OSC_SYNC ビットを設定することで、マイコンと DRV8311-Q1 の間で 5 種類の異なる同期方法を選択することができます。これらの同期方式の概要を以下に示します。

PWM_OSC_SYNC = 1h の場合: DRV8311-Q1 は、PWM_SYNC 信号の周期 (PWM_SYNC_PRD) を、DRV8311-Q1 のシステムクロック F_{SYS} (約 20MHz) のカウント単位で測定します。マイコンは PWM_SYNC_PRD レジスタの値を読み取り、それに基づいて PWM 周期をキャリブレーションを行うことができます。たとえば、マイコンが内部タイマを用いて周期カウント値を N 、クロック周波数を F_{MCU} とし、デューティ比 50% の PWM_SYNC 信号を生成する場合を考えます。マイコンは、DRV8311-Q1 によって生成された PWM_SYNC_PERIOD レジスタの読み取り値を M とすると、DRV8311-Q1 は、DRV8311-Q1 システムクロック $F_{SYS}(DRV)$ を使用して PWM_SYNC_PERIOD を生成します。このとき、マイコンのタイマクロックと DRV8311-Q1 のシステムクロックの間には、関係式 $F_{MCU} \times M = F_{SYS}(DRV) \times N$ が成り立ちます。

PWM_SYNC_PRD は 12 ビット幅であり、DRV8311-Q1 の内部システムクロックが約 20MHz の場合、飽和せずに読み取ることができる PWM_SYNC 信号の最小周波数は約 4.885kHz ($F_{SYS}/4095$) です。

PWM_OSC_SYNC = 2h の場合: マイコンからの PWM_SYNC 信号が DRV8311-Q1 の PWM 周期を設定するために使用され、PWMG_PERIOD レジスタの設定は無視されます。DRV8311-Q1 は、PWM_SYNC 信号の立ち上がりエッジで PWM カウンタをリセットします。

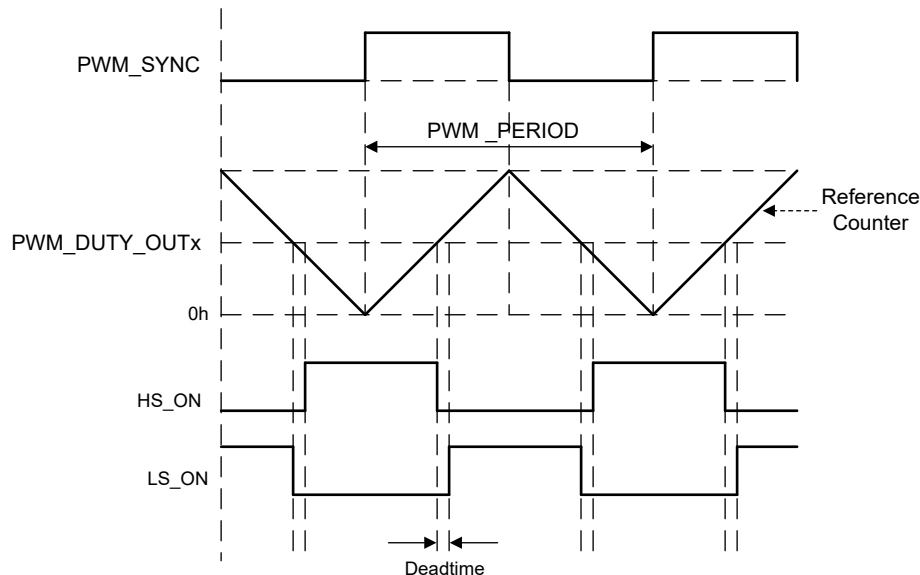


図 7-11. アップ/ダウンモードでの PWM 同期 (PWM_OSC_SYNC = 2h)

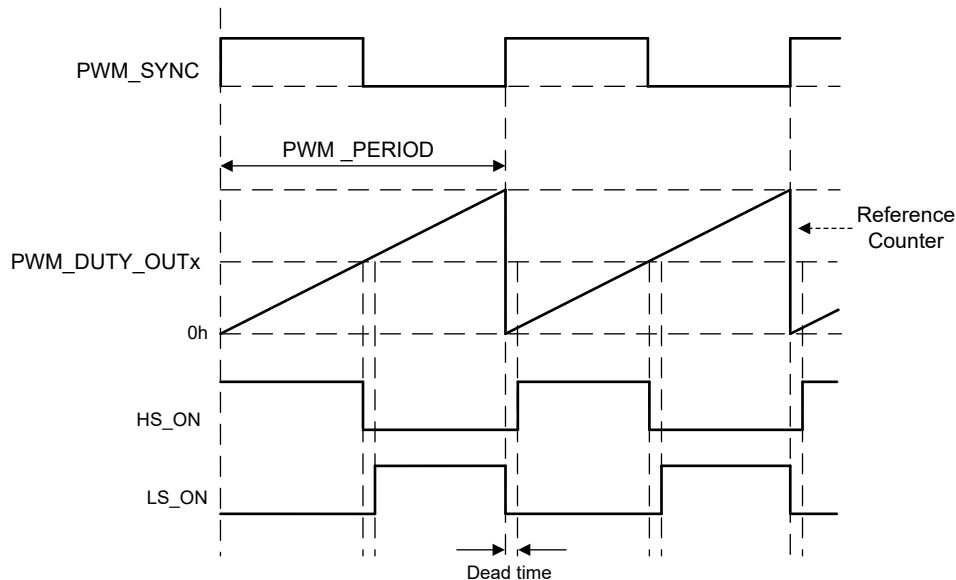


図 7-12. アップモードでの PWM 同期 (PWM_OSC_SYNC = 2h)

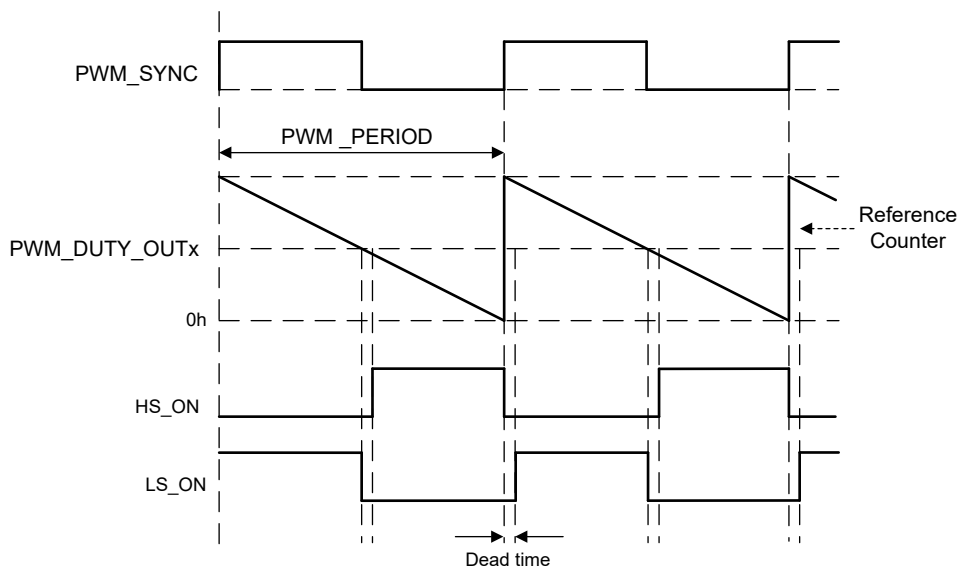


図 7-13. ダウンモードでの PWM 同期 (PWM_OSC_SYNC = 2h)

PWM_OSC_SYNC = 5h の場合: PWM_SYNC は、DRV8311-Q1 内部発振器の同期に使用されます (対応する周波数は 20kHz のみです)。PWM_SYNC 信号が 20kHz の場合、DRV8311-Q1 は、PWM_SYNC 信号の立ち上がりエッジ間に発生する内部システム発振器クロックパルス数をカウントします。DRV8311-Q1 のシステムクロックが 20MHz の所望の条件において、予想されるクロックパルス数は 1000 となります。この値からの偏差は、DRV8311-Q1 の内部発振器が生成する周波数、またはマイコンからの PWM_SYNC 周波数のいずれかにエラーが発生したことを意味します。マイコンからの PWM_SYNC 信号の周波数は正確であると仮定し、DRV8311-Q1 は内部的に発振器のキャリブレーションを行って周波数を 20MHz に補正し、生成される PWM 周波数を PWM_SYNC 信号と整合させます。

PWM_OSC_SYNC = 6h の場合: PWM_SYNC 信号は、DRV8311-Q1 内部システム発振器のキャリブレーションと PWM 周期の設定に使用されます (対応する周波数は 20kHz のみです)。PWMPERIOD レジスタの設定は無視されます。DRV8311-Q1 は、PWM_SYNC 信号の立ち上がりエッジで PWM リファレンス カウンタをリセットします。

PWM_OSC_SYNC = 7h の場合: SPI クロック ピン SCLK は、DRV8311-Q1 の内部システム発振器を 20MHz にキャリブレーションするために使用されます。このモードでは、ユーザーは PWMG_CTRL レジスタを設定することで、発振器を同期させるための SPI クロック周波数 (SPICLK_FREQ_SYNC) と、発振器の同期に必要な SPI クロック サイクル数 (SPISYNC_ACRCY) を設定する必要があります。DRV8311-Q1 は、設定された SPISYNC_ACRCY に基づく全 SPI クロック サイクルの合計時間を、DRV8311-Q1 内部システム クロック F_{SYS} のカウント値として測定し、内部システム クロックを 20MHz に対応するカウント値に合わせてキャリブレーションします。キャリブレーション後の DRV8311-Q1 システム発振器の周波数の 20MHz に対する精度は、SPISYNC_ACRCY の構成に依存します。

7.3.3 デバイス インターフェイス モード

このファミリのデバイスでは、簡便性を高め (ハードウェア インターフェイス)、柔軟性や診断機能を向上 (SPI) させるために、3 種類のインターフェイスモード (SPI、tSPI、ハードウェア) をサポートしています。SPI およびハードウェア インターフェイス モードは同じ 4 本のピンを共有しており、異なるバージョン間でピン互換性があります。設定を簡単に変更できるため、設計者はまず SPI バージョンで評価することが推奨されます。また、設計に最小限の設計変更でハードウェア インターフェイスに切り替えることも検討可能です。

7.3.3.1 シリアル・ペリフェラル・インターフェイス (SPI)

SPI/tSPI デバイスは、外部コントローラが DRV8311P-Q1 および DRV8311S-Q1 とデータの送受信を行えるシリアル通信バスをサポートしています。この機能により、外部コントローラはデバイスを設定し、詳細なフォルト情報を読み出すことができます。インターフェイスは、SCLK、SDI、SDO、nSCS ピンを使用する 4 線式インターフェイスです。以下の説明をご覧ください。

- SCLK (シリアル クロック) ピンは、クロック信号を入力として受け取り、その信号により SDI と SDO ピンでデータがキャプチャされ、伝送されるタイミングを決定する入力ピンです。
- SDI (シリアル データ入力) ピンはデータ入力用です。
- SDO (シリアルデータ出力) ピンはデータ出力用です。
- nSCS (シリアル チップ セレクト) ピンはチップ選択入力用です。このピンに論理 Low 信号を入力すると、DRV8311-Q1 との SPI 通信が有効になります。

SPI の詳細については、[セクション 7.5](#) を参照してください。

7.3.3.2 ハードウェア インターフェイス

ハードウェア インターフェイス デバイスでは、4 本の SPI ピンが省略され、その代わりに nSLEEP ピン と、抵抗で設定可能な 3 つの入力ピン (ゲイン、SLEW、MODE) が用意されています。

共通のデバイス設定は、ピンを論理 Low または論理 High に接続するか、抵抗でプルアップまたはプルダウンすることで調整可能です。フォルト状態は nFAULT ピンに通知されますが、詳細な診断情報は利用できません。

- ゲイン ピンでは電流センス アンプのゲインを設定します。
- SLEW ピンではモーター出力電圧のスルーレートを設定します。
- MODE ピンでは PWM 制御モードおよび OCP レベルを設定します。

ハードウェア インターフェイスの詳細については、[セクション 7.3.9](#) を参照してください。

表 7-5. ハードウェア ピンのデコード

設定	ゲイン	SLEW	MODE
ピンを AGND に接続	0.25V/A	35V/ μ s	6x PWM モードと 9A OCP レベル
ピンを 47k Ω 抵抗で AGND に接続	0.5V/A	75V/ μ s	6x PWM モードと 5A OCP レベル
ピンをハイ インピーダンスに設定	1V/A	180V/ μ s	3x PWM モードと 9A OCP レベル
ピンを AVDD に接続	2V/A	230V/ μ s	3x PWM モードと 5A OCP レベル

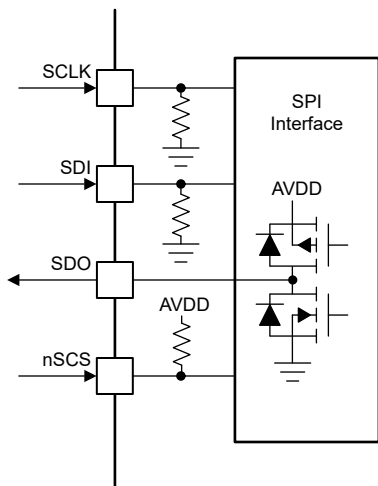


図 7-14. DRV8311P/S-Q1 SPI

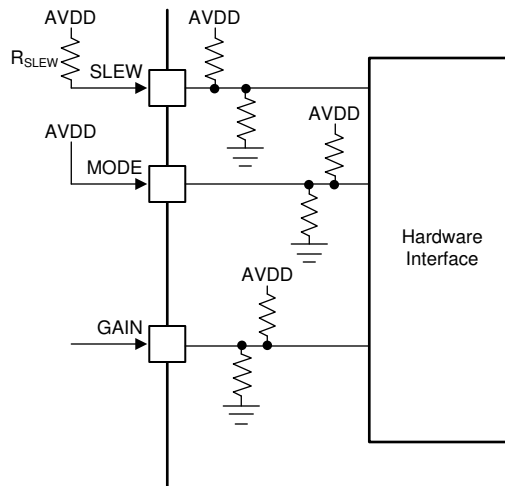


図 7-15. DRV8311H-Q1 ハードウェア インターフェイス

7.3.4 AVDD リニア電圧レギュレータ

DRV8311-Q1 ファミリのデバイスには 3.3V、100mA のリニア レギュレータが内蔵されており、外部回路に使用できます。この AVDD レギュレータは、DRV8311-Q1 の内部デジタル機能の電源として使用されるほか、低消費電力の MCU やその他の回路に対して最大 100mA までの電源電圧を提供することも可能です。AVDD レギュレータの出力は AVDD ピンおよび AGND ピン付近で X5R または X7R、最大 4.7μF、6.3V セラミック コンデンサによりバイパスされ、隣接する AGND グランド ピンに直接接続されます。

AVDD の公称無負荷出力電圧は 3.3V です。

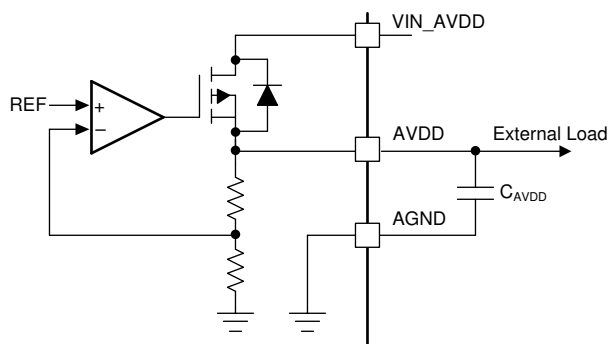


図 7-16. AVDD リニア レギュレータのブロック図

AVDD リニア レギュレータによってデバイス内で消費される電力を計算するには、式 1 を使用します。

$$P = (V_{VIN_AVDD} - V_{AVDD}) \times I_{AVDD} \quad (1)$$

AVDD レギュレータの電源入力電圧 (V_{IN_AVDD}) は、VM 電源電圧と同じでもよく、VM 電源電圧より低くても高くても構いません。

7.3.5 チャージポンプ

DRV8311-Q1 デバイスの出力段では N チャネル FET を使用しているため、ハイサイド FET を完全に拡張させるには、VM 電源よりも高いゲート駆動電圧が必要です。この目的のために、このデバイスには、VM 電源を超える電圧を生成するチャージポンプ回路を内蔵されています。

チャージポンプは動作に単一の外付けコンデンサを必要とします。コンデンサの値の詳細については、表 7-1 を参照してください。

nSLEEP が Low の場合、チャージポンプは停止します。

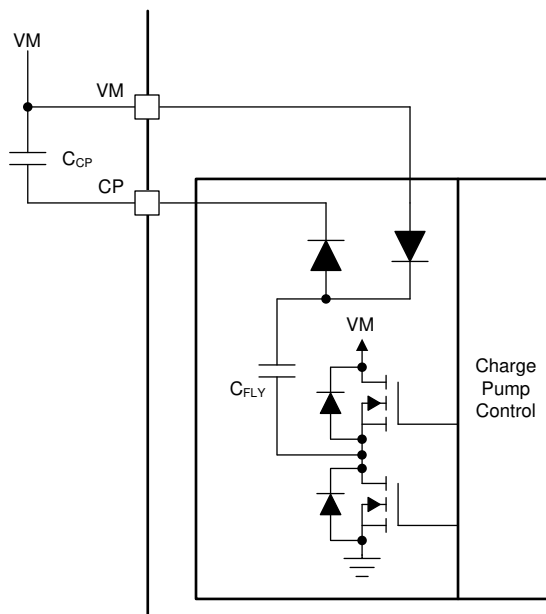


図 7-17. チャージポンプ

7.3.6 スルー レート制御

MOSFET へのゲート駆動電流を調整可能にすることで、スルーレートの制御が容易になります。MOSFET VDS スルーレートは、放射型電磁波、ダイオード回復スパイクのエネルギーと期間、および寄生に起因するスイッチング電圧過渡を最適化するための重要な要素です。これらのスルーレートは、図 7-18 に示すように、主に内部 MOSFET へのゲート電荷のレートによって決まります。

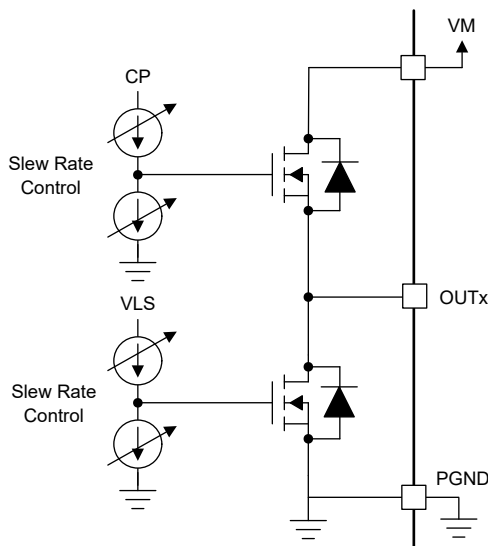


図 7-18. スルーレート回路の実装

各ハーフブリッジのスルーレートは、ハードウェア デバイス バリエーションでは SLEW ピン、SPI デバイス バリエーションでは SLEW レジスタの設定により調整が可能です。スルーレートは、図 7-19 に示すように、OUTx ピンの電圧の立ち上がり時間と立ち下がり時間によって計算されます。

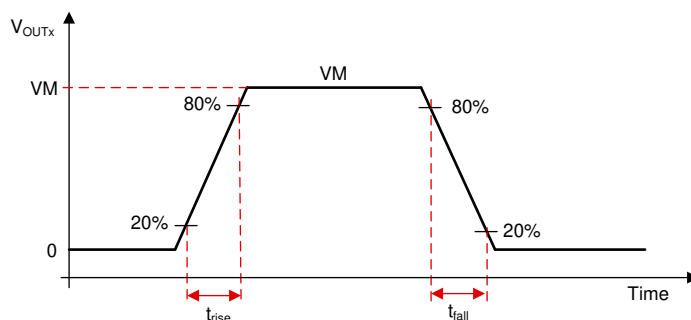


図 7-19. スルーレート タイミング

7.3.7 クロス導通 (デッドタイム)

このデバイスは、MOSFET のクロス コンダクションから包括的な保護が施されています。ハイサイドおよびローサイドの MOSFET は、デッドタイム (t_{DEAD}) を挿入することでシュート スルー電流が流れないように動作します。これは、ハイサイドおよびローサイド MOSFET のゲート - ソース電圧 (VGS) を検出することで実行され、同じハーフブリッジのローサイド MOSFET をオンにする前に、ハイサイド MOSFET の VGS がターンオフ レベルを確実に下回るようにしています (図 7-20 および 図 7-21 を参照)。ハイサイドおよびローサイド MOSFET の VGS (VGS_HS と VGS_LS) (図 7-21 を参照) はデバイスの内部信号です。

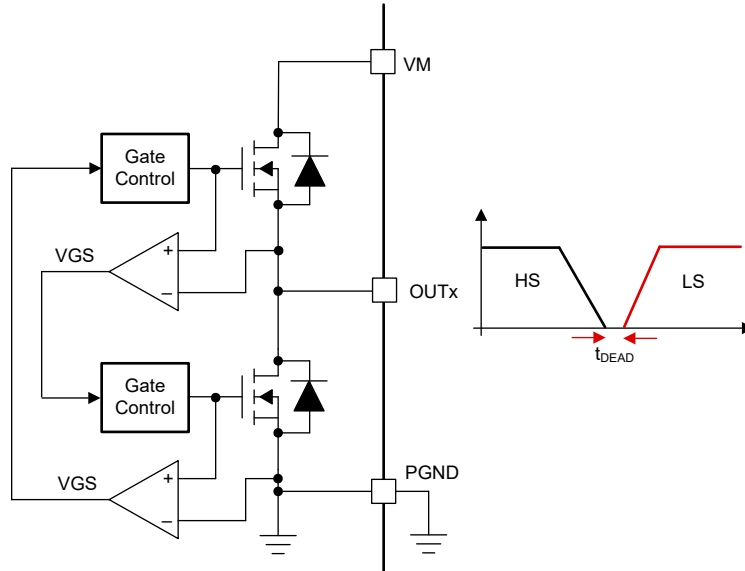


図 7-20. クロス導通保護

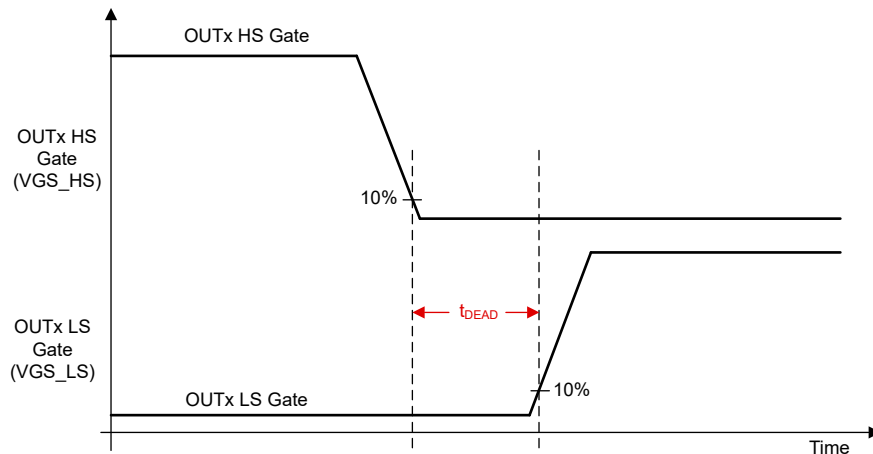


図 7-21. デッドタイム

7.3.8 伝搬遅延

伝播遅延時間 (t_{pd}) は、入力ロジック エッジから **OUTx** 電圧の変化が検出されるまでの時間として測定されます。伝搬遅延時間には、入力デグリッチ遅延、アナログドライバの遅延が含まれ、スルーレートの設定に依存します。入力デグリッチャは、入力ピンでの高周波ノイズがゲートドライバの出力状態に影響するのを防止します。複数の制御モードをサポートするため、デバイス全体への入力コマンドの伝搬に伴い、わずかなデジタル遅延が追加されます。

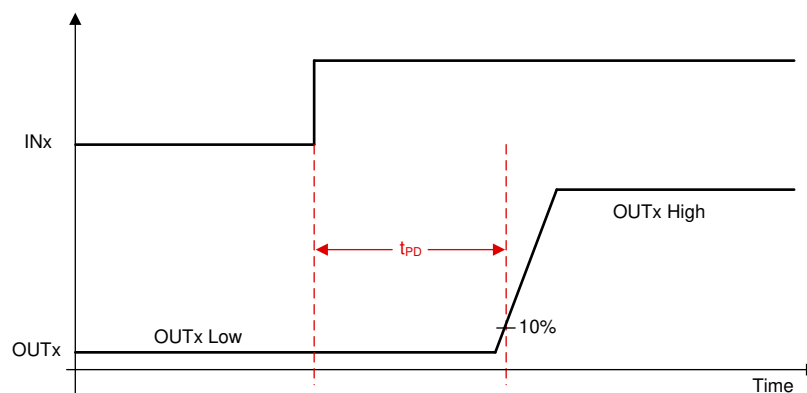


図 7-22. 伝搬遅延

7.3.9 ピン配置図

このセクションには、すべてのデジタル入出力ピンの I/O 構造が示されています。

7.3.9.1 ロジック レベル入力ピン (内部プルダウン)

図 7-23 は、ロジック レベル ピン INHx、INLx、nSLEEP、SCLK、SDI の入力構造を示しています。これらの入力、外部抵抗で GND に接続するか、外部の論理電圧で駆動することが可能です。TI は、デバイスがスリープ モードのときにこれらのピンを Low にプルダウンすることを推奨しています。これは、内部プルダウン抵抗を通るリーク電流を低減するためです。

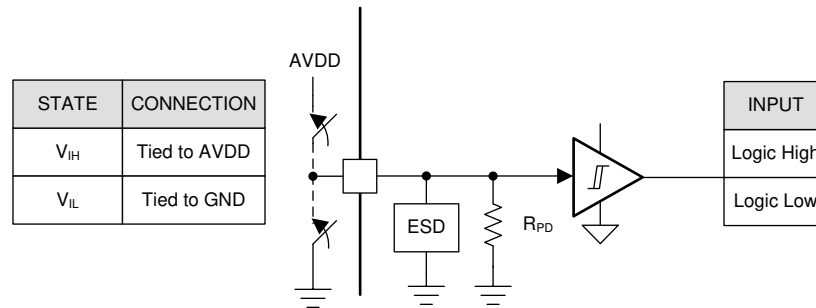


図 7-23. ロジック レベル入力ピンの構造

7.3.9.2 ロジック レベル入力ピン (内部プルアップ)

図 7-24 は、ロジック レベル ピン nSCS の入力構造を示しています。この入力、外部抵抗で GND に接続するか、外部のロジック電圧を印加して駆動することができます。

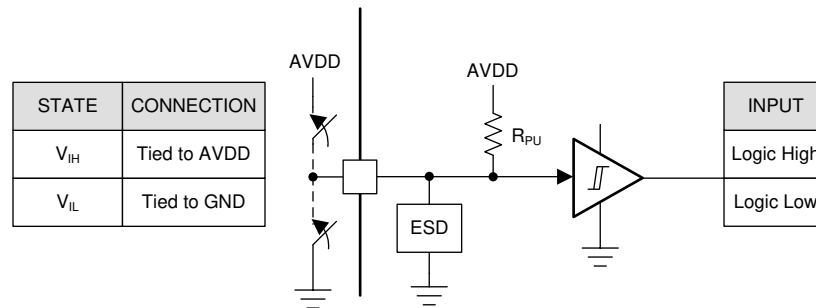


図 7-24. nSCS 入力ピンの構造

7.3.9.3 オープン ドレイン ピン

図 7-25 は、オープン ドレイン 出力ピンである nFAULT の構造を示しています。オープン ドレイン 出力を正しく動作させるためには、外部でロジック電圧にプルアップ抵抗を接続する必要があります。

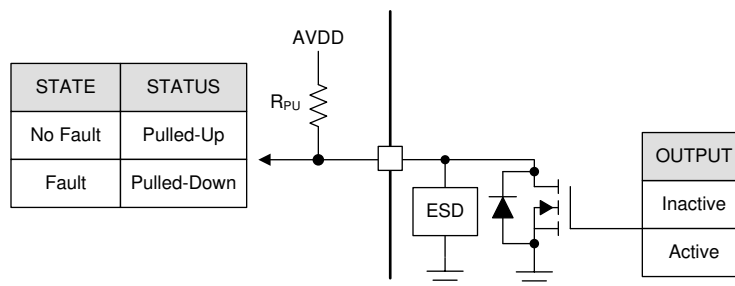


図 7-25. オープン ドレイン出力ピンの構造

7.3.9.4 プッシュプルピン

図 7-26 は、プッシュプルピン SDO の構造を示しています。

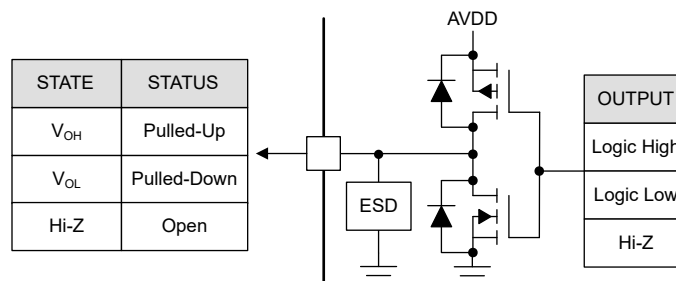


図 7-26. プッシュプル出力ピン構造

7.3.9.5 4 レベル入力ピン

図 7-27 は、ハードウェア インターフェイス デバイス上の 4 レベル入力ピンである GAIN、MODE、SLEW の構造を示しています。入力、ピンを AGND または AVDD に接続するか、未接続のままにするか、あるいは外部抵抗を通してグラウンドに接続することで設定できます。

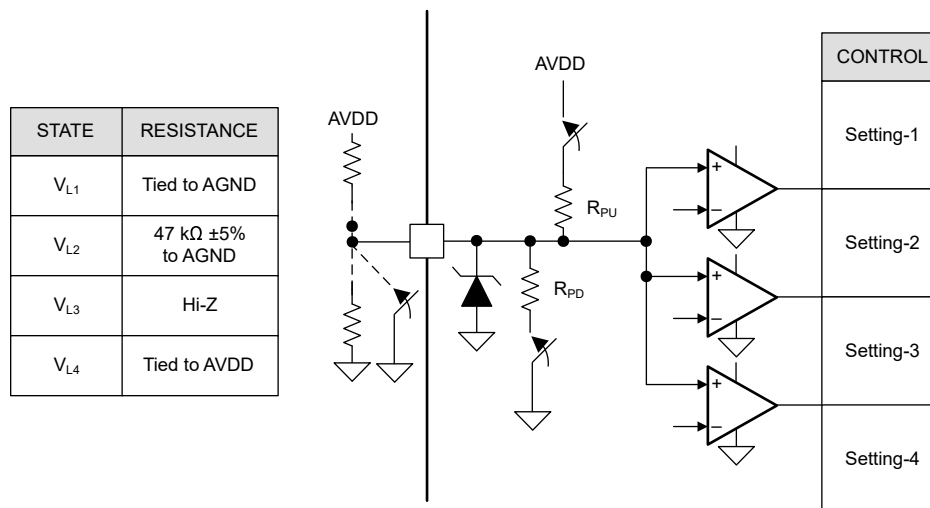


図 7-27. 4 レベル入力ピンの構造

7.3.10 電流センス アンプ

このデバイスは、内蔵電流センスを用いた電流測定のために、性能の高いローサイド電流センス アンプを 3 系統内蔵しています。ローサイド電流測定は、一般に過電流保護、外部トルク制御、または外部コントローラによるブラシレス DC の整流を実装するために使用されます。この 3 つのアンプはいずれも、各ハーフブリッジ脚 (ローサイド MOSFET) に流れる電流を検出するために使用できます。電流センス アンプは、プログラマブル ゲインや、CSAREF ピンから供給される外部電圧リファレンス (VREF) といった機能を備えています。

7.3.10.1 電流センス アンプの動作

デバイスの SOx ピンは、ローサイド FET を流れる電流 (I_{OUTx}) にゲイン設定 (G_{CSA}) を乗算した値に比例するアナログ電圧を出力します。ゲイン設定は 4 段階に調整可能で、ハードウェア デバイス バリエーションの場合はゲイン ピンによって、SPI デバイスまたは tSPI デバイス バリエーションの場合は CSA_GAIN ビットによって設定されます。

図 7-28 に、電流センス アンプの内部アーキテクチャを示しています。電流センスは、デバイスの各ローサイド FET にセンス FET を用いて実装されています。この電流情報は電圧に変換され、CSAREF ピン (VREF) の電圧およびゲイン設定に基づいて SOx ピンに CSA 出力電圧として生成されます。CSA 出力電圧は、式 2 を用いて計算することができます

$$SOx = \frac{V_{REF}}{2} \pm (G_{CSA} \times I_{OUTx}) \quad (2)$$

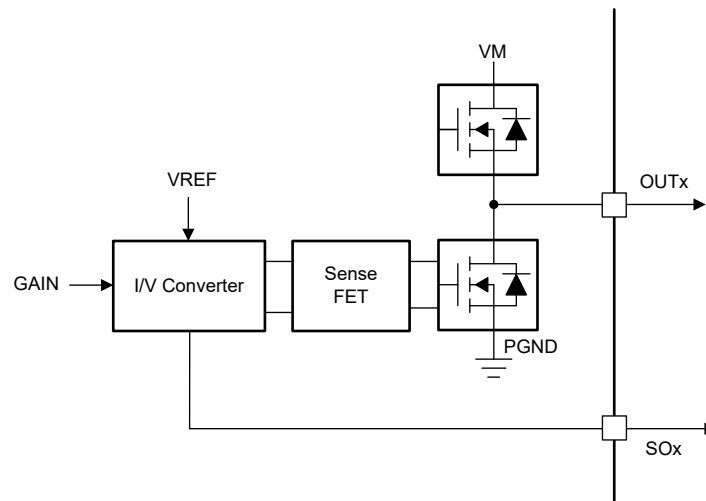


図 7-28. 電流センス アンプ内蔵

図 7-29 および図 7-30 に、アンプの動作範囲の詳細を示しています。双方向動作の場合、入力電圧が 0V のときのアンプ出力は $V_{REF}/2$ に設定されます。差動入力に変化があると、その変化に応じて出力電圧が G_{CSA} の係数で増減します。アンプには定義されたリニア動作範囲があり、この範囲内でアンプは動作を維持することができます。

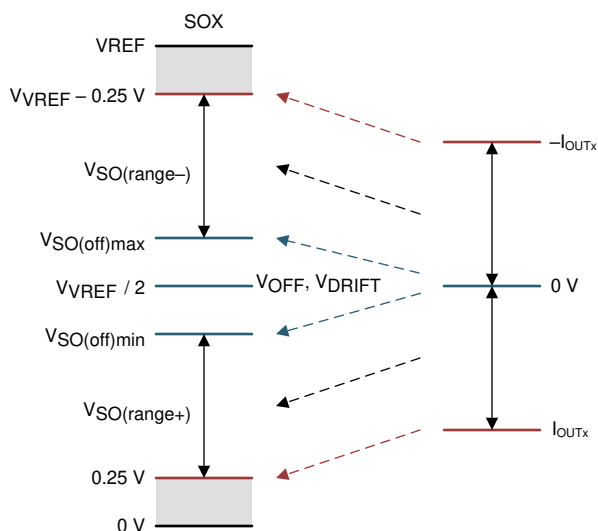


図 7-29. 双方向電流検出の出力

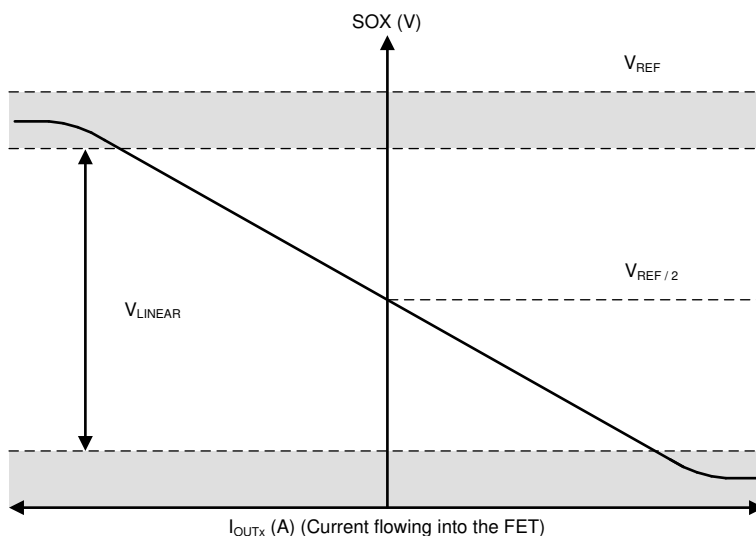


図 7-30. 双方向電流検出の領域

注

電流センス アンプは、CSAREF ピンに供給される外部電圧リファレンス (V_{REF}) を使用して動作します。

7.3.10.2 電流センス アンプ オフセットの補正

CSA 出力では、センス FET と出力 FET の間のグラウンドの差に起因するオフセットが発生します。台形波制御または別のシングル シャント ベース制御 (センサ付き正弦波など) を実行している場合、この CSA オフセットは動作に影響しません。2 つまたは 3 つの電流センスが必要なセンサレス正弦波または FOC 制御を実行している場合は、ユーザーが以下の補正を実行しない限り、ある程度の電流歪みとノイズが発生する可能性があります。

補正措置: 電流が発生するオフセットを補正するために、以下の式をファームウェアに実装します。

1. 3 つの電流センス アンプすべてを使用する場合:

$$i_a = 1.001152 \cdot i_{a_sensed} - 0.003375 \cdot i_{b_sensed} - 0.003103 \cdot i_{c_sensed} \quad (3)$$

$$i_b = 0.002369 \cdot i_{a_sensed} + 1.000665 \cdot i_{b_sensed} - 0.019126 \cdot i_{c_sensed} \quad (4)$$

$$i_c = 0.001234 \cdot i_{a_sensed} + 0.001595 \cdot i_{b_sensed} + 0.998166 \cdot i_{c_sensed} \quad (5)$$

2. 3 つの電流センス アンプのうち 2 つのみを使用する場合:

a. A 相と B 相での電流センス:

$$i_a = 1.004346 \cdot i_{a_sensed} - 0.000199 \cdot i_{b_sensed} \quad (6)$$

$$i_b = 0.022060 \cdot i_{a_sensed} + 1.020405 \cdot i_{b_sensed} \quad (7)$$

$$i_c = -(i_a + i_b) \quad (8)$$

b. B 相と C 相での電流センス:

$$i_b = 0.998309 \cdot i_{b_sensed} - 0.021427 \cdot i_{c_sensed} \quad (9)$$

$$i_c = 0.000368 \cdot i_{b_sensed} + 0.996967 \cdot i_{c_sensed} \quad (10)$$

$$i_a = -(i_b + i_c) \quad (11)$$

c. C 相と A 相での電流センス

$$i_a = 1.004547 \cdot i_{a_sensed} + 0.000195 \cdot i_{c_sensed} \quad (12)$$

$$i_c = 0.000371 \cdot i_{a_sensed} + 0.996975 \cdot i_{c_sensed} \quad (13)$$

$$i_b = -(i_a + i_c) \quad (14)$$

7.3.11 保護

本デバイスは、VM、VIN_AVDD、AVDD、CP の低電圧、過電流、熱イベントから保護されています。表 7-6 に、各種フォルトの詳細が示されています。

表 7-6. フォルト動作および応答

FAULT	条件	構成	通知	H ブリッジ	ロジック	復帰
VM 低電圧 (NPOR)	$V_{VM} < V_{UVLO}$	—	—	ハイ インピーダンス	無効	自動: $V_{VM} > V_{UVLO_R}$ CLR_FLT、nSLEEP リセット パルス (NPOR ビット)
VINAVDD 低電圧 (VINAVDD_UV)	$V_{VINAVDD} < V_{VINAVDD_UV}$	—	nFAULT	ハイ インピーダンス	アクティブ (SPI 無効)	UVP_MODE を使用して設定
AVDD 低電圧 (AVDD_UV)	$V_{AVDD} < V_{AVDD_UV}$	—	nFAULT	ハイ インピーダンス	アクティブ (SPI 無効)	UVP_MODE を使用して設定
チャージ ポンプ低電圧 (CP_UV)	$V_{CP} < V_{CPUV}$	—	nFAULT	ハイ インピーダンス	アクティブ	UVP_MODE を使用して設定
CSAREF 低電圧 (CSAREF_UV)	$V_{CSAREF} < V_{CSAREF_UV}$	CSAREFUV_EN= 1b	nFAULT	アクティブ (CSA 無効)	アクティブ	UVP_MODE を使用して設定
		CSAREFUV_EN= 0b	なし	アクティブ	アクティブ	動作なし
過電流保護 (OCP)	$I_{PHASE} > I_{OCP}$	OCP_MODE = 000b	nFAULT	ハイ インピーダンス	アクティブ	自動リトライ: SLOW_TRETRY
		OCP_MODE = 001b	nFAULT	ハイ インピーダンス	アクティブ	自動リトライ: FAST_TRETRY
		OCP_MODE = 010b	nFAULT	ハイ インピーダンス	アクティブ	ラッチ: CLR_FLT、nSLEEP リセット パルス
		OCP_MODE = 011b	nFAULT	アクティブ	アクティブ	動作なし
		OCP_MODE = 111b	なし	アクティブ	アクティブ	動作なし
SPI フォルト (SPI_FLT)	SCLK フォルトおよび ADDR フォルト	SPIFLT_MODE = 0b	nFAULT	アクティブ	アクティブ	自動
		SPIFLT_MODE = 1b	なし	アクティブ	アクティブ	動作なし
過熱警告 (OTW)	$T_J > T_{OTW}$	OTW_EN = 0b	なし	アクティブ	アクティブ	動作なし
		OTW_EN = 1b	nFAULT	アクティブ	アクティブ	自動: $T_J < T_{OTW} - T_{HYS}$
サーマル シャットダウン (OTSD)	$T_J > T_{OTSD}$	OTSD_MODE = 00b	nFAULT	ハイ インピーダンス	アクティブ	$T_J < T_{OTSD} - T_{HYS}$ 後に自動 SLOW_TRETRY
		OTSD_MODE = 01b	nFAULT	ハイ インピーダンス	アクティブ	$T_J < T_{OTSD} - T_{HYS}$ 後に自動 FAST_TRETRY

7.3.11.1 VM 電源低電圧ロックアウト (NPOR)

VM ピンの入力電源電圧が V_{UVLO} スレッシュホールド (VM UVLO 立ち下がりスレッシュホールド) を下回ると、常にすべての内蔵 FET、ドライバ チャージ ポンプ、デジタル ロジック コントローラが無効化されます (図 7-31 を参照)。VM 低電圧状態が解消されると、通常動作 (ドライバの動作) が再開されます。デバイスが VM を再取得すると、デバイス ステータス (DEV_STS1) レジスタの NPOR ビットはリセットされ、Low にラッチされます。NPOR ビットは、CLR_FLT ビットまたは nSLEEP ピンのリセット パルス (t_{RST}) によってクリアされるまでリセット状態のままです。

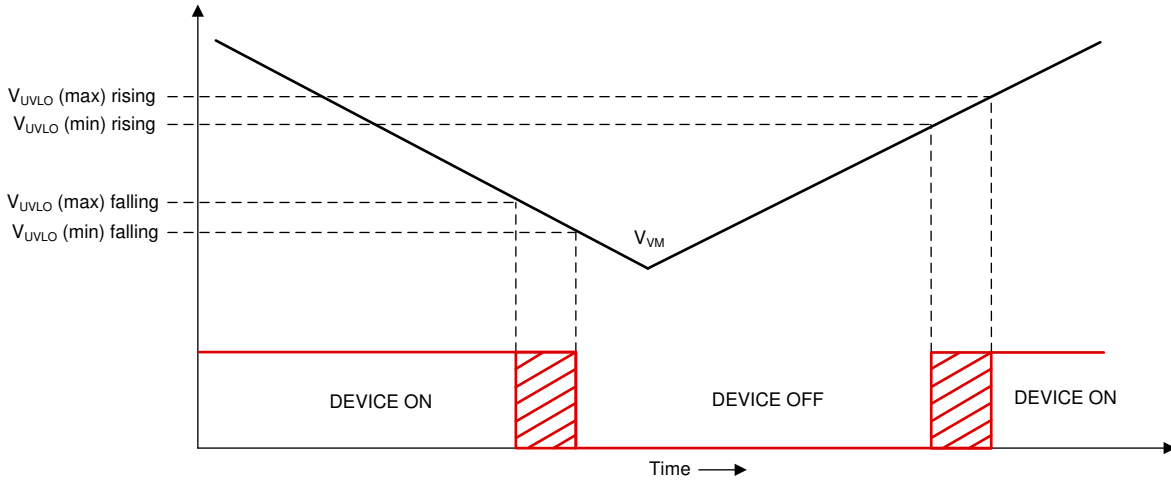


図 7-31. VM 電源低電圧ロックアウト

7.3.11.2 低電圧保護 (UVP)

VM ULVO を除き、本デバイスは VIN_AVDD、CSAREF、AVDD、CP ピンに対して低電圧保護を備えています。VINAVDD_UV、CP_UV、AVDD_UV の低電圧保護は有効化されており無効化できません。一方、CSAREF_UV はデフォルトで無効ですが、SPI バリエントでは SYSF_CTRL レジスタの CSAREFUV_EN を設定することで有効化できます。

ハードウェアバリエントでは AVDD_UV、VINAVDD_UV、CP_UV が有効で、CSAREF_UV は無効、 t_{RETRY} は高速自動リトライ時間の 5ms に設定されています。

SPI バリエントにおける全 UV 保護の t_{RETRY} 構成は以下のとおりです

- 低速リトライ時間 SLOW_TRETRY は、UVP_MODE を 000b に設定することで、 t_{RETRY} 期間として使用可能
- 高速リトライ時間 FAST_TRETRY は、UVP_MODE を 001b に設定することで、 t_{RETRY} 期間として使用可能

VINAVDD 低電圧保護 (VINAVDD_UV)

いずれかの時点で VIN_AVDD ピンの電圧が $V_{VINAVDD_UV}$ スレッシュホールド未満になると、内蔵 FET はすべて無効化され、SPI 通信は無効化され、nFAULT ピンが Low 駆動され、DEV_STS1 の FAULT と UVP、SUP_STS の VINAVDD_UV が High に設定されます。VIN_AVDD ピンが $V_{VINAVDD_UV}$ スレッシュホールドを上回り、 t_{RETRY} が経過すると、自動的に通常動作へ復帰します。(ドライバ動作が再開され、nFAULT ピン解放、VINAVDD_UV ビットがクリアされます)。FAULT と UVP の各ビットは、CLR_FLT ビットによるフォルトクリアコマンド、または nSLEEP リセットパルス (t_{RST}) が発行されるまでラッチ High のままです。

AVDD 低電圧保護 (AVDD_UV)

AVDD ピンの電圧が V_{AVDD_UV} スレッシュホールド未満になると、内蔵 FET はすべて無効化され、SPI 通信は無効化され、nFAULT ピンが Low 駆動され、DEV_STS1 の FAULT と UVP、SUP_STS の AVDD_UV が High に設定されます。AVDD ピンが V_{AVDD_UV} スレッシュホールドを上回り t_{RETRY} が経過すると、自動的に通常動作へ復帰します (ドライバ動作が

再開され、nFAULT ピン解放、AVDD_UV ビットがクリアされます)。FAULT と UVP の各ビットは、CLR_FLT ビットによるフォルトクリアコマンド、または nSLEEP リセットパルス (t_{RST}) が発行されるまでラッチ High のままです。

CSAREF 低電圧保護 (CSAREF_UV)

いずれかの時点で CSAREF ピンの電圧が V_{CSAREF_UV} スレッショルド未満になると、CSAREF_UV が検出されます。CSA_UV は CSAREFUV_EN の設定により有効と無効を切り替えられます。有効時には、CSAREF_UV 事象後に CSA が無効化され、nFAULT が Low 駆動され、DEV_STS1 の FAULT と UVP、SUP_STS の CSAREF_UV が High に設定されます。CSAREF_UV 条件が解消され、 t_{RETRY} が経過すると、自動的に通常動作へ復帰します (CSA の動作が再開され、nFAULT ピン解放、CSAREF_UV ビットがクリアされます)。FAULT と UVP の各ビットは、CLR_FLT ビットによるフォルトクリアコマンド、または nSLEEP リセットパルス (t_{RST}) が発行されるまでラッチ High のままです。

注

CSAREF_UV はハードウェア バリエーションでは無効、SPI バリエーションでもデフォルト無効です

CP 低電圧保護 (CP_UV)

いずれかの時点で CP ピンの電圧が V_{CP_UV} スレッショルド未満になると、内蔵 FET とチャージポンプ動作が無効化され、nFAULT が Low 駆動され、DEV_STS1 の FAULT と UVP、SUP_STS の CP_UV が High に設定されます。CP ピンが V_{CP_UV} スレッショルドを上回り、 t_{RETRY} が経過すると、自動的に通常動作へ復帰します (ドライバとチャージポンプの動作が再開され、nFAULT ピン解放、CP_UV ビットがクリアされます)。FAULT と UVP の各ビットは、CLR_FLT ビットによるフォルトクリアコマンド、または nSLEEP リセットパルス (t_{RST}) が発行されるまでラッチ High のままです。

7.3.11.3 過電流保護 (OCP)

MOSFET 過電流イベントは、FET を流れる電流を監視することで検出されます。FET に流れる電流が t_{OCP} グリッチ除去時間よりも長く I_{OCP} スレッショルドを上回ると、OCP イベントが認識され、OCP_MODE ビットに従って動作が実行されます。PWM 遷移中に相電圧のリングングによって誤って OCP がトリガされるのを防ぐために、デジタル的に各 PWM 信号エッジに t_{BLANK} ブランキング時間が適用されます。ブランキング時間中は、OCP イベントは無視されます。

ハードウェア デバイスのバリエーションでは、 I_{OCP} スレッショルドは、MODE ピンの設定に応じて 5A または 9A (標準値) となり、 t_{OCP_DEG} は固定で $1\mu s$ 、 t_{BLANK} は固定で $0.2\mu s$ 、OCP_MODE ビットは 5ms の自動リトライを伴う高速リトライモードに設定されています。SPI デバイスでは、 I_{OCP} スレッショルドは OCP_LVL により設定され、 t_{OCP_DEG} は OCP_DEG により設定され、 t_{BLANK} は OCP_TBLANK により設定され、OCP_MODE ビットは、OCP ラッチシャットダウン、OCP 自動リトライ (高速または低速リトライ時間)、OCP レポートのみ、OCP 無効の 4 つのモードで動作します。

7.3.11.3.1 OCP ラッチ シャットダウン (OCP_MODE = 010b)

このモードで OCP イベントが発生すると、すべての MOSFET が無効化され、nFAULT ピンが Low に駆動されます。SPI レジスタでは、FAULT、OCP、および対応する FET OCP ビットが High にラッチされます。OCP 状態が解消され、CLR_FLT ビットまたは nSLEEP リセットパルス (t_{RST}) のいずれかによるクリアフォルトコマンドが発行されると、通常動作が再開されます。このとき、ドライバ動作、FAULT ビット、OCP ビット、および該当する FET の OCP ビットはクリアされ、nFAULT ピンはリリースされます。

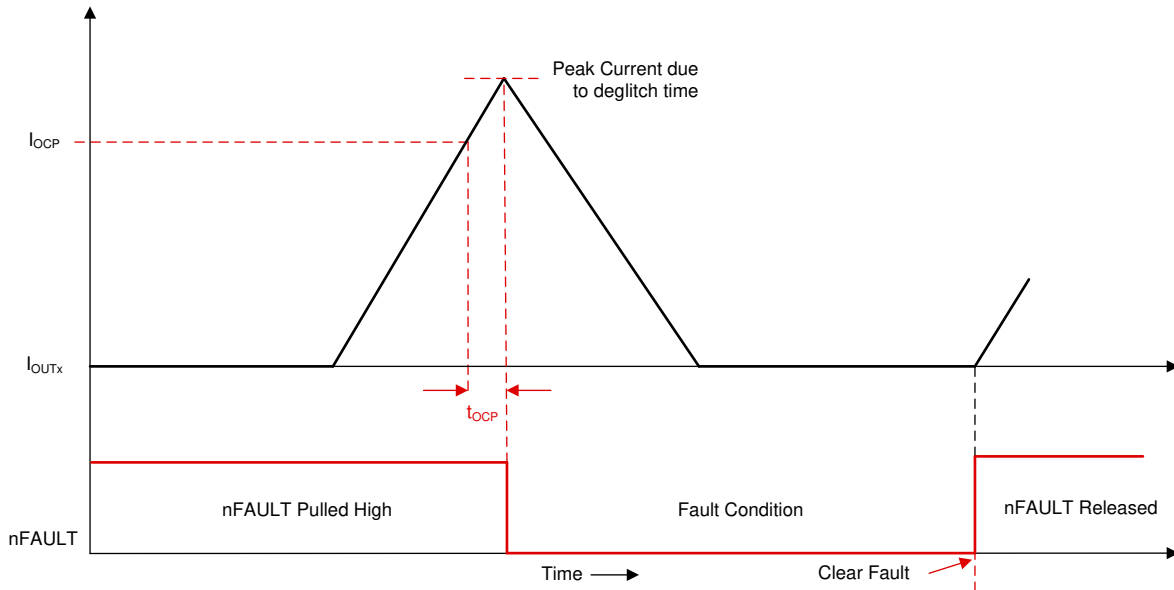


図 7-32. 過電流保護 - ラッチ シャットダウン モード

7.3.11.3.2 OCP 自動リトライ (OCP_MODE = 000b または 001b)

このモードで OCP イベントが発生した後、すべての MOSFET が無効化され、 $nFAULT$ ピンが Low に駆動されます。SPI レジスタ内の FAULT、OCP、および該当する FET の OCP ビットが High に設定されます。 t_{RETRY} 時間が経過すると、通常動作が自動的に再開されます。この際、ドライバは再び動作を開始し、 $nFAULT$ ピンは解放され、該当する FET の OCP ビットはクリアされます。FAULT および OCP ビットは、CLR_FLT ビットまたは $nSLEEP$ リセットパルス (t_{RST}) によるクリア フォルト コマンドが発行されるまで High のままラッチされます。

t_{RETRY} の構成:

- 低速リトライ時間 SLOW_TRETRY は、OCP_MODE を 000b に設定することで、 t_{RETRY} 期間として使用可能
- 高速リトライ時間 FAST_TRETRY は、OCP_MODE を 001b に設定することで、 t_{RETRY} 期間として使用可能

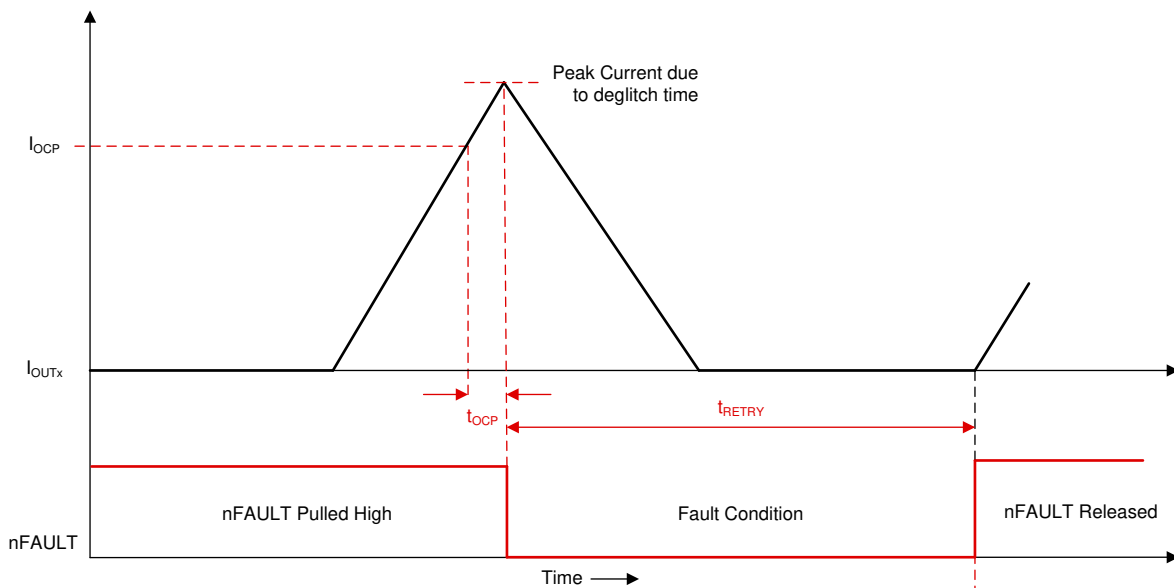


図 7-33. 過電流保護 - 自動リトライ モード

7.3.11.3.3 OCP 通知のみ (OCP_MODE = 011b)

このモードでは、OCP イベントの後に保護動作は発生しません。nFAULT ピンを Low に駆動し、FAULT、OCP、および対応する FET の OCP ビットを SPI レジスタで High に設定することにより、過電流イベントが通知されます。デバイスは通常どおり動作を継続します。外部コントローラは適切に動作することによって過電流状態を管理します。OCP 状態が解消され、かつ CLR_FLT ビットによるフォルトクリアコマンド、または nSLEEP リセットパルス (t_{RST}) が与えられると、報告はクリアされます (nFAULT ピンが解放され、FAULT、OCP、および該当 FET の OCP ビットがクリアされます)。

7.3.11.3.4 OCP 無効 (OCP_MODE = 111b)

このモードでは、OCP イベントの後に何の動作も発生しません。

7.3.11.4 過熱保護

このデバイスには、過熱イベントに対して過熱警告 (OTW) と過熱シャットダウン (OTSD) の機能があります。

7.3.11.4.1 過熱警告 (OTW)

ダイ温度が過熱警告のトリップポイント (T_{OTW}) を上回ると、デバイス ステータス (DEV_STS1) レジスタの OT ビットおよび OT_STS ステータスの OTW ビットが設定されます。OTW を nFAULT ピンに通知する場合は、構成制御レジスタの過熱警告通知 (OTW_EN) ビットを設定して有効化します。デバイスの機能は継続され、追加動作が実行されることはありません。この場合、ダイ温度が過熱警告のヒステリシスポイント (T_{OTW_HYS}) を下回ると、nFAULT ピンがリリースされ、OTW ビットはクリアされます。OT ビットは、CLR_FLT ビットまたは nSLEEP リセットパルス (t_{RST}) によってクリアされ、ダイ温度が過熱警告トリップ (T_{OTW}) を下回るまでラッチ状態のまま保持されます。

ハードウェア デバイス バリエーションでは、デフォルトでは nFAULT ピンに過熱警告は通知されません。

7.3.11.4.2 サーマル シャットダウン (OTSD)

ダイ温度がサーマル シャットダウン制限のトリップポイント (T_{OTS}) を上回ると、すべての FET が無効化され、チャージポンプが nFAULT ピンに Low に駆動されます。さらに、デバイス ステータス レジスタ (DEV_STS1) の OT ビットの FAULT ビットおよび OT ビット、ならびに OT_STS ステータス レジスタの OTSD ビットが設定されます。過熱状態が解消し、 t_{RETRY} 時間が経過すると、ドライバの動作が再開し、nFAULT ピンは解放され、OTSD ビットはクリアされて通常動作に戻ります。OT ビットおよび FAULT ビットは、CLR_FLT ビットによるフォルトクリアコマンド、または nSLEEP リセットパルス (t_{RST}) が与えられるまでラッチ High のままとなり、熱イベントの発生を示し続けます。この保護機能は無効化できません。

ハードウェア デバイス バリエーションでは、 t_{RETRY} 期間は 5ms の高速リトライ時間に固定されています

SPI バリエーションでの t_{RETRY} 構成は、以下の通りです

- 低速リトライ時間 SLOW_TRETRY は、OTSD_MODE を 00b に設定することで、 t_{RETRY} 期間として使用可能
- 高速リトライ時間 FAST_TRETRY は、OTSD_MODE を 01b に設定することで、 t_{RETRY} 期間として使用可能

7.4 デバイスの機能モード

7.4.1 機能モード

7.4.1.1 スリープモード

nSLEEP ピンは、デバイスの状態を管理するピンです。nSLEEP ピンが Low になると、デバイスは低消費電力のスリープモードに移行します。スリープモードでは、すべての FET、センスアンプ、チャージポンプ、AVDD レギュレータ、SPI バスが無効になります。nSLEEP ピンでの立ち上がりエッジの後、 t_{SLEEP} 時間が経過するとデバイスがスリープモードに移行します。nSLEEP ピンが High になると、デバイスのスリープモードは自動的に終了します。 t_{WAKE} 時間が経過すると、デバイスは入力可能な状態になります。

スリープモード時や $V_{VM} < V_{UVLO}$ のときは、すべての MOSFET が無効になります。

注

nSLEEP ピンを通してデバイスがパワーアップおよびパワーダウンしている間は、内部レギュレータが有効化または無効化されるため、nFAULT ピンは Low に保持されます。レギュレータが有効化または無効化された後、nFAULT ピンは自動的に解放されます。nFAULT ピンが Low になっている時間が t_{SLEEP} 時間または t_{WAKE} 時間を上回ることはありません。

7.4.1.2 動作モード

nSLEEP ピンが High で、 V_{VM} 電圧が V_{UVLO} 電圧より大きい場合は、デバイスが動作モードに移行します。 t_{WAKE} 時間が経過すると、デバイスは入力可能な状態になります。このモードでは、チャージポンプ、AVDD レギュレータ、SPI バスがアクティブです。

7.4.1.3 フォルトリセット (CLR_FLT または nSLEEP リセットパルス)

デバイスのフォルト状態がラッチされている場合、このデバイスは、パワー MOSFET とシステムを保護するために部分的シャットダウン状態に移行します。

障害状態が解消されると、SPI デバイスで CLR_FLT SPI ビットを設定するか、またはいずれかのインターフェイスで nSLEEP ピンにリセットパルスを印加することにより、デバイスを動作状態に戻すことができます。nSLEEP リセットパルス (t_{RST}) は、nSLEEP ピンでの High → Low → High の遷移で構成されています。このシーケンスの Low 期間は t_{RST} 時間枠内に収める必要があり、そうしないとデバイスが完全なシャットダウンシーケンスを開始します。リセットパルスがレギュレータ、デバイス設定、またはその他の機能ブロックに影響することはありません。

7.5 SPI 通信

7.5.1 プログラミング

7.5.1.1 SPI および tSPI フォーマット

SPI フォーマット - パリティ付き

SDI 入力データワードは 24 ビット長であり、以下のフォーマットで構成されています。

- 1 ビットの読み取りまたは書き込みビット、W (ビット B23)
- 6 アドレス ビット、A (ビット B22～B17)
- パリティビット、P (ビット B16)
- 15 データ ビット、1 パリティビット、D (ビット B15 ～ B0)

SDO 出力データワードは 24 ビット長です。最上位ビットはステータス ビット、最下位の 16 ビットはアクセス先のレジスタのデータコンテンツです。

表 7-7. SPI の SDI 入力データ ワード フォーマット

R/W	アドレス						PAR ITY	PAR ITY	データ															
B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0	
W0	A5	A4	A3	A2	A1	A0	P	P	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	

表 7-8. SDO 出力データ ワードのフォーマット

STATUS								データ															
B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
S7	S6	S5	S4	S3	S2	S1	S0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0

tSPI 形式 — パリティ付き

SDI 入力データワードは 32 ビット長であり、以下のフォーマットで構成されています。

- 1 ビットの読み取りまたは書き込みビット、W (ビット B31)
- 4 ビットのセカンダリ デバイス ID ビット、AD (ビット B30 ～ B27)
- 8 アドレス ビット、A (ビット B26～B19)
- 2 ビットの予約済みビット、0 (ビット B18、B17)
- パリティビット、P (ビット B16)
- 15 データ ビット、1 パリティビット、D (ビット B15 ～ B0)

SDO 出力データワードは 24 ビット長です。最初の 8 ビットはステータス ビットで、最後の 16 ビットはアクセス対象レジスタのデータ内容です。形式は、表 7-8 に示す標準 SPI と同一です

表 7-9. パリティ付き tSPI - SDI 入力データ ワード形式

R/W	セカンダリ デバイス ID				アドレス	00	00	PARITY	PARITY	データ			
B31	B30	B29	B28	B27	B26～B19	B18	B17	B16	B15	B14～B0			
W0	0	0	AD1	AD0	A7～A0	0	0	P	P	D14～D0			

SPI および tSPI フレーム形式で使用される各ビットの詳細は以下のとおりです。

読み取り / 書き込みビット(R/W): R/W (W0) ビットが 0 の場合は、SPI/tSPI の書き込みトランザクションを示します。読み取り操作には、RW ビットを 1 にする必要があります。

セカンダリ デバイス ID ビット (AD): 同一チップ セレクト上の各 tSPI セカンダリ デバイスは、一意の識別子を持つ必要があります。セカンダリ デバイス ID フィールドは、tSPI セカンダリ デバイスの 4 ビットの一意識別子です。読み取り / 書き込

ミトランザクションを正常に行うには、このセカンダリ デバイス ID フィールドがセカンダリ デバイス アドレスと一致している必要があります。DRV8311P/S-Q1 では、セカンダリ デバイス アドレスの上位 2 ビットは 00 に固定されます。セカンダリ デバイス アドレスの下位 2 ビットは AD1 および AD0 ピンで設定可能です。セカンダリアドレス 15 (0xF) はジェネラル コール用に予約されており、セカンダリ デバイス ID フィールドが 15 のとき、同一バス上のすべてのデバイスが書き込み操作を受け付けます。したがって、DRV8311P/S-Q1 で有効な tSPI セカンダリ アドレスは 0 ~ 3 と 15 (ジェネラル コール アドレス) です。

アドレス ビット (A): tSPI セカンダリ デバイスは 8 ビットのレジスタ アドレスを使用し、SPI セカンダリ デバイスは 6 ビットのレジスタ アドレスを使用します。各 tSPI セカンダリ デバイスには 8 ビットの専用アドレス ポインタが 2 つあり、読み取り用と書き込み用がそれぞれ用意されています。シーケンシャル読み取りのトランザクション中は、読み取りアドレス ポインタが自動的にインクリメントされます。シーケンシャル書き込みのトランザクション中は、書き込みアドレス ポインタと読み取りアドレス ポインタの両方が自動的にインクリメントされます。

パリティ ビット (P): SPI/tSPI 入力データフレームでは、ヘッダとデータの両方のフィールドに単一ビット エラー検出用のパリティ ビットが含まれます。用いられる方式は偶数パリティで、たとえば 16 ビットのブロック (パリティ ビットを含む) における 1 の数が偶数になるようにします。パリティ チェックに成功した場合にのみ、データは内部レジスタへ書き込まれます。読み取り動作では、tSPI セカンダリ デバイスが読み取りデータの MSB (最上位ビット) にパリティ ビットを挿入します。パリティ チェックは、SYS_CTRL レジスタの SPI_PEN ビットを構成することで、有効化または無効化できます。パリティ チェックはデフォルトで無効化されています。

注

パリティ チェックはデフォルトで無効化されていますが、シングル ビット エラーを防止するために、パリティ チェックを有効化することを TI は推奨しています。

エラー処理

パリティ エラー: パリティ エラーを検出すると、セカンダリ デバイスは次のように動作します。パリティ エラーはラッチされ、nFAULT にて通知されます。エラー ステータスは、SYS_STS レジスタの SPI_PARITY フィールドで読み出すことができます。ヘッダーのパリティ エラーがあっても、セカンダリ デバイスはデータ応答を行います。SDO は、アドレス指定されたセカンダリ デバイスが駆動します。パリティ エラーが検出された場合、書き込みアドレス ポインタの更新およびデバイス レジスタの更新は無視されます。シーケンシャル書き込み中にパリティ エラーを検出した場合、以降のレジスタ書き込みはすべて無視されます。

フレーム エラー: 未完了の tSPI フレームはフレーム エラーとして報告されます。tSPI のクロック サイクル数が 16 の倍数でない場合、その転送は未完了と見なされます。フレームエラーは SYS_STS レジスタの FRM_ERR フィールドにラッチされ、nFAULT で通知されます。

SPI 読み取り / 書き込みのシーケンス

SPI 読み取りシーケンス: SPI 読み取りトランザクションは、8 ビットのヘッダ (R/W 1 ビット、アドレス 6 ビット、パリティ 1 ビット) に続いて、16 ビットのダミー データワードから構成されます。ヘッダの最初の 1 バイトを受信すると、セカンダリ デバイスは 8 ビットのデバイス ステータス情報で応答します。読み取りアドレス ポインタは、ヘッダのアドレス フィールド受信直後に更新されます。ヘッダの読み取りアドレスは、レジスタ読み取りの開始アドレスとして機能します。16 ビット転送が完了するたびに、読み取りアドレス ポインタは自動的にインクリメントされます。データ転送の長さはセカンダリ デバイス側では制限されておらず、プライマリ デバイスがダミー ワードを送信し続ける限り、セカンダリ デバイスはデータで応答します。パリティのエラーチェックが有効な場合、読み取りデータの MSB は計算されたパリティ ビットに置き換えられます。

SPI 書き込みシーケンス: SPI の書き込みトランザクションは、8 ビットのヘッダに続いて、レジスタ バンクに書き込む 16 ビットのデータワードで構成されます。読み取りトランザクションと同様に、アドレス指定されたセカンダリ デバイスは、ヘッダの最初の 1 バイトを受信すると 8 ビットのデバイス ステータス情報で応答します。ヘッダバイトを受信すると、書き込みアドレス ポインタが更新されます。ヘッダーからの書き込みアドレスは、シーケンシャル レジスタ書き込みの開始アドレスとして機能します。読み取りアドレス ポインタは、前の tSPI トランザクションで読み取ったレジスタのアドレスを保持します。データ転送の長さはセカンダリ デバイス側では制限されておらず、16 ビット転送が完了するたびに、読み取り・書き込みの両

アドレス ポインタが自動的にインクリメントされます。プライマリ デバイスからデータを受信する間、SDO は読み取りアドレス ポインタによってアドレス指定されたレジスタ データを出力します。

tSPI 通信シーケンス

tSPI は機能的には通常の SPI と同様ですが、同一のチップセレクト (nSCS) の配下で複数デバイスをサポートします。既存の SPI プライマリ デバイスは、フレーム形式を変更することで、tSPI セカンダリ デバイスと通信できます。有効な tSPI フレームは、以下の条件を満たしている必要があります (SPI インターフェイスと同様)。

- SCLK ピンは、nSCS ピンが High から Low、Low から High に遷移するときに Low になっている必要があります。nSCS ピンの High から Low への遷移はフレームの開始で、Low から High への遷移はフレームの終了です。
- nSCS ピンが High にされているときは、SCLK ピンと SDI ピンのすべての信号が無視され、SDO ピンがハイ インピダンス状態になります。
- データは SCLK 信号の立ち下がりエッジでキャプチャされ、SCLK 信号の立ち上がりエッジで駆動される。
- 最上位ビット (MSB) から先にシフト イン / シフト アウトされます。
- 有効なトランザクションには、SCLK が最低 16 サイクル必要で、1 トランザクションの SCLK サイクル数は 16 の倍数である必要があります。
- SDI ピンに送られるデータワードが 16 ビットの倍数でない場合はフレームエラーとなり、超過した SCLK サイクルは無視されます。

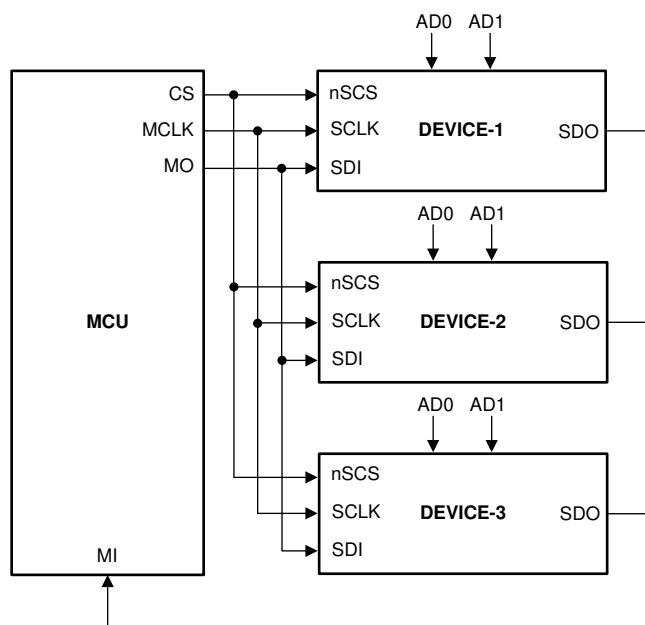


図 7-34. 同一チップセレクト上に複数デバイスを持つ tSPI ブロック図

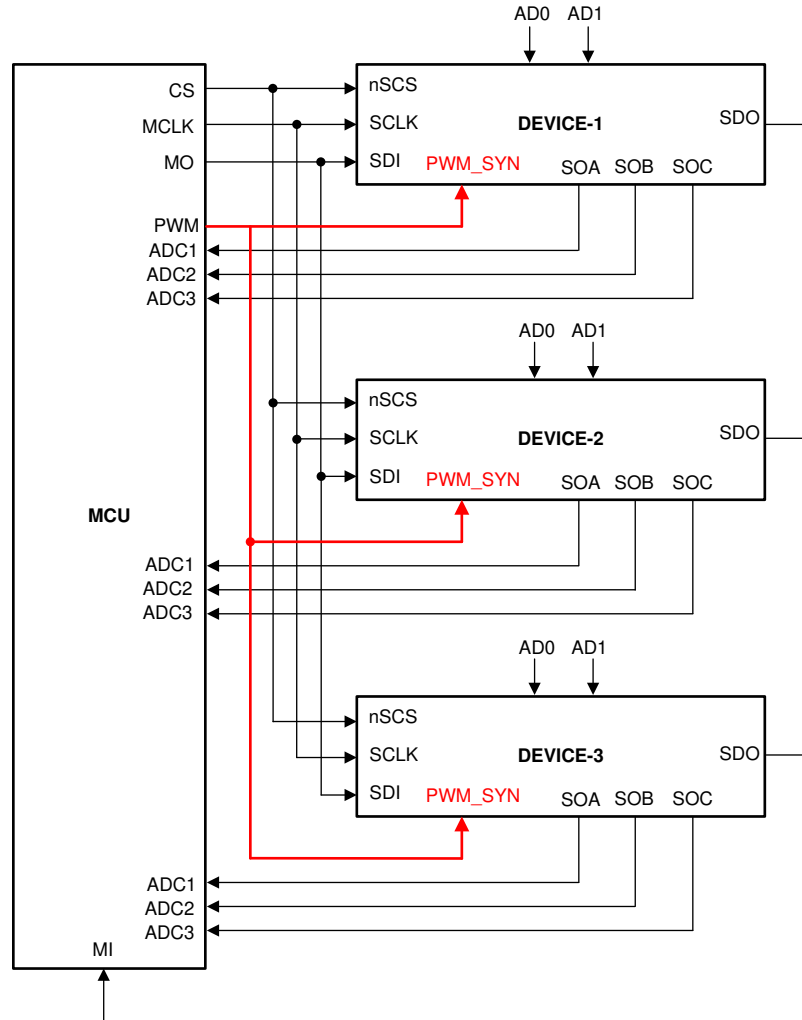


図 7-35. PWM_SYNC を用いた tSPI

tSPI 読み取りシーケンス:tSPI の読み取りトランザクションは、16 ビットのヘッダ (R/W 1 ビット、セカンダリ デバイス ID 4 ビット、アドレス 8 ビット、予約済み 2 ビット、パリティ 1 ビット) に続いて、16 ビットのダミー データ ワードで構成されます。ヘッダの最初の 1 バイトを受信すると、AD0 および AD1 ピンで設定されたセカンダリ デバイス ID フィールドと一致するアドレス指定のセカンダリ デバイスが、8 ビットのデバイス ステータス情報で応答します。ヘッダの読み取りアドレスは、レジスタ読み取りの開始アドレスとして機能します。アドレスは、16 ビット転送が完了するたびに、自動的にインクリメントされます。データ転送の長さはセカンダリ デバイス側では制限されておらず、プライマリ デバイスがダミー ワードを送信し続ける限り、セカンダリ デバイスはデータで応答します。パリティのエラーチェックが有効な場合、読み取りデータの MSB は計算されたパリティビットに置き換えられます。

tSPI 書き込みシーケンス:tSPI の書き込みトランザクションは、16 ビットのヘッダに続いて、レジスタ バンクへ書き込む 16 ビットのデータ ワードで構成されます。読み取りトランザクションと同様に、アドレス指定されたセカンダリ デバイスは、ヘッダの最初の 1 バイトを受信すると 8 ビットのデバイス ステータス情報で応答します。ヘッダーからの書き込みアドレスは、シーケンシャル レジスタ書き込みの開始アドレスとして機能します。データ転送の長さはセカンダリ デバイス側では制限されておらず、16 ビット転送が完了するたびに、書き込みアドレス ポインタと読み出しアドレス ポインタの両方が自動的にインクリメントされます。プライマリ デバイスからデータを受信する間、SDO は読み取りアドレス ポインタによってアドレス指定されたレジスタ データを出力します。

tSPI 読み取りアドレス更新シーケンス: セカンダリ デバイスの読み取り / 書き込みアドレス ポインタは独立しているため、一方のレジスタ集合を読み取りながら、別のレジスタ集合へ書き込むことが可能です。これを行うには、プライマリ デバイスが tSPI 書き込みトランザクションの前に、まず読み出しアドレス更新フレームを送信します。読み取りアドレス フレームは、ヘッダーのみを含む tSPI 読み取りシーケンスです。最初の tSPI トランザクションで、読み取りアドレス ポインタは目的のレジスタ アドレスに更新されます。2 回目の tSPI トランザクションがレジスタ書き込みシーケンスであり、このシーケンスの間、セカンダリ デバイスが SDO に出力するデータは、直前の tSPI 読み取りシーケンスで初期化された読み取りアドレス ポインタが指すレジスタから取得されます。

パリティ付きの tSPI 読み取り / 書き込みシーケンスは、[図 7-36](#) に示しています。SPI フレームヘッダは、CMD[15:8] および CMD[7:0] として示されます。

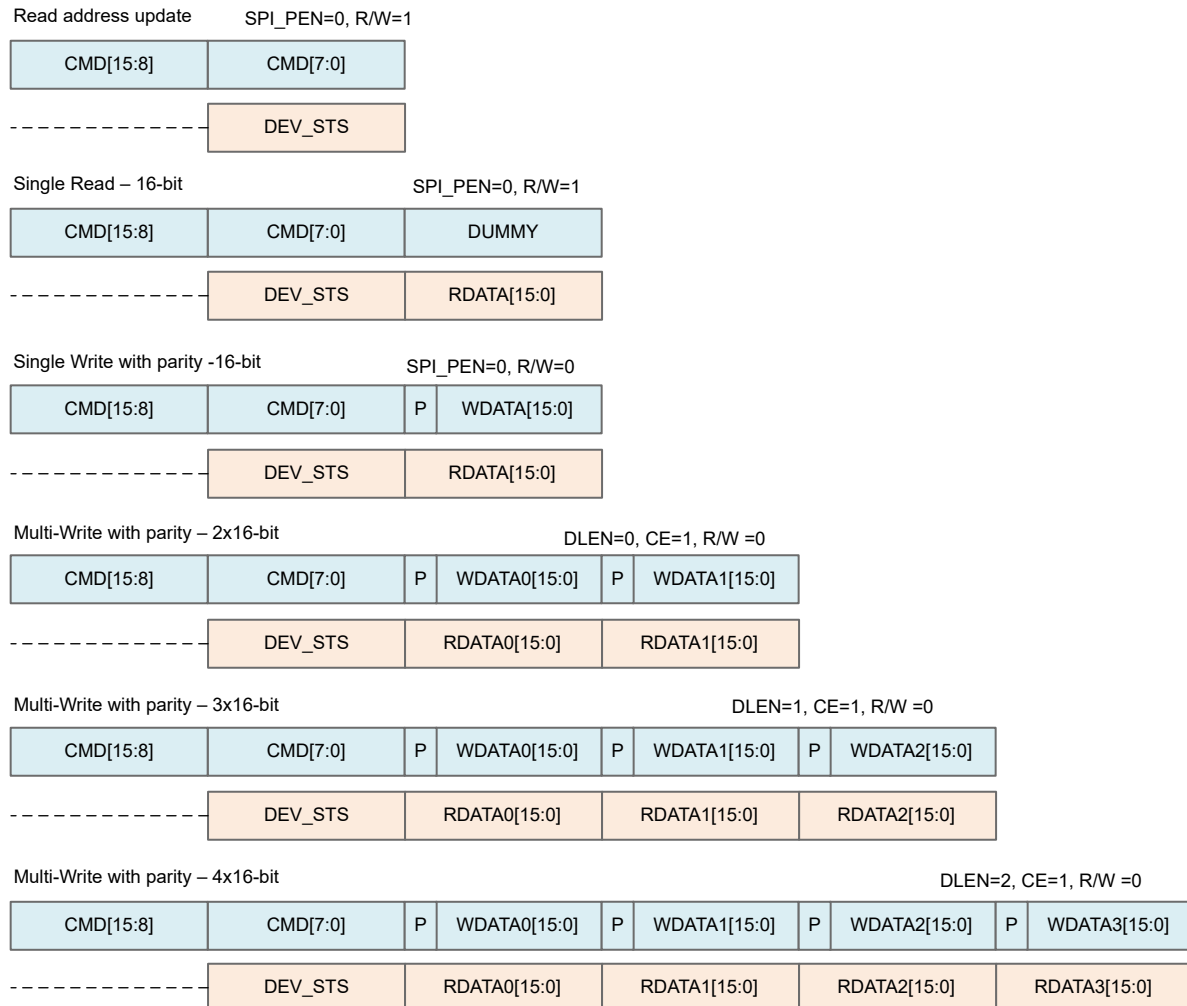


図 7-36. パリティ付きの tSPI 読み取り / 書き込み

8 DRV8311-Q1 のレジスタ

DRV8311-Q1 レジスタのメモリマップされたレジスタを、[DRV8311-Q1 のレジスタ](#) に示します。[DRV8311-Q1 のレジスタ](#) に記載されていないレジスタ オフセット アドレスは予約領域と見なされ、レジスタの内容は変更されません。

表 8-1. DRV8311-Q1 のレジスタ

オフセット	略称	レジスタ名	セクション
0h	DEV_STS1	デバイス ステータス 1 レジスタ	DEV_STS1 レジスタ (オフセット = 0h) [リセット = 0080h]
4h	OT_STS	過熱ステータス レジスタ	OT_STS レジスタ (オフセット = 4h) [リセット値 = 0000h]
5h	SUP_STS	電源ステータス レジスタ	SUP_STS レジスタ (オフセット = 5h) [リセット値 = 0000h]
6h	DRV_STS	ドライバ ステータス レジスタ	DRV_STS レジスタ (オフセット = 6h) [リセット値 = 0000h]
7h	SYS_STS	システム ステータス レジスタ	SYS_STS レジスタ (オフセット = 7h) [リセット値 = 0000h]
Ch	PWM_SYNC_PRD	PWM 同期周期レジスタ	PWM_SYNC_PRD レジスタ (オフセット = Ch) [リセット値 = 0000h]
10h	FLT_MODE	フォルト モード レジスタ	FLT_MODE レジスタ (オフセット = 10h) [リセット値 = 0115h]
12h	SYSF_CTRL	システム フォルト制御レジスタ	SYSF_CTRL レジスタ (オフセット = 12h) [リセット値 = 0515h]
13h	DRVF_CTRL	ドライバ フォルト制御レジスタ	DRVF_CTRL レジスタ (オフセット = 13h) [リセット値 = 0030h]
16h	FLT_TCTRL	フォルト タイミング制御レジスタ	FLT_TCTRL レジスタ (オフセット = 16h) [リセット値 = 0003h]
17h	FLT_CLR	フォルト クリア レジスタ	FLT_CLR レジスタ (オフセット = 17h) [リセット値 = 0000h]
18h	PWMG_PERIOD	PWM_GEN 周期レジスタ	PWMG_PERIOD レジスタ (オフセット = 18h) [リセット値 = 0000h]
19h	PWMG_A_DUTY	PWM_GEN A デューティ レジスタ	PWMG_A_DUTY レジスタ (オフセット = 19h) [リセット値 = 0000h]
1Ah	PWMG_B_DUTY	PWM_GEN B デューティ レジスタ	PWMG_B_DUTY レジスタ (オフセット = 1Ah) [リセット値 = 0000h]
1Bh	PWMG_C_DUTY	PWM_GEN C デューティ レジスタ	PWMG_C_DUTY レジスタ (オフセット = 1Bh) [リセット値 = 0000h]
1Ch	PWM_STATE	PWM 状態レジスタ	PWM_STATE (オフセット = 1Ch) [リセット値 = 0777h]
1Dh	PWMG_CTRL	PWM_GEN 制御レジスタ	PWMG_CTRL レジスタ (オフセット = 1Dh) [リセット値 = 0000h]
20h	PWM_CTRL1	PWM 制御レジスタ 1	PWM_CTRL1 レジスタ (オフセット = 20h) [リセット値 = 0007h]
22h	DRV_CTRL	ブリッドドライバ制御レジスタ	DRV_CTRL レジスタ (オフセット = 22h) [リセット値 = 0000h]
23h	CSA_CTRL	CSA 制御レジスタ	CSA_CTRL レジスタ (オフセット = 23h) [リセット値 = 0008h]
3Fh	SYS_CTRL	システム コントロール レジスタ	SYS_CTRL レジスタ (オフセット = 3Fh) [リセット値 = 0000h]

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。[DRV8311-Q1 のアクセス タイプコード](#) に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-2. DRV8311-Q1 のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み取り
R-0	R -0	読み取り 0 を返す
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

8.1 DEV_STS1 レジスタ (オフセット = 0h) [リセット = 0080h]

DEV_STS1 レジスタ に、DEV_STS1 を示し、DEV_STS1 レジスタ フィールドの説明 に、その説明を示します。

概略表に戻ります。

デバイス ステータス 1 レジスタ

図 8-1. DEV_STS1 レジスタ

15	14	13	12	11	10	9	8
Parity_bit	予約済み						OTP_FLT
R-0h	R-0-0h						R-0h
7	6	5	4	3	2	1	0
リセット	SPI_FLT	OCP	予約済み		UVP	OT	FAULT
R-1h	R-0h	R-0h	R-0h		R-0h	R-0h	R-0h

表 8-3. DEV_STS1 レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	Parity_bit	R	0h	SPI_PEN が「1」に設定されている場合のパリティビット。それ以外の場合 は予約済み
14-9	予約済み	R-0	0h	予約済み
8	OTP_FLT	R	0h	OTP 読み取りフォルト 0h = OTP 読み取りフォルトは未検出 1h = OTP 読み取りフォルトを検出済み
7	リセット	R	1h	電源のパワーオン リセット ステータス 0h = パワーオン リセット状態は未検出 1h = パワーオン リセット状態を検出済み
6	SPI_FLT	R	0h	SPI のフォルト ステータス 0h = SPI 通信フォルトは未検出 1h = SPI 通信 フォルトを検出済み
5	OCP	R	0h	ドライバ過電流保護ステータス 0b = 過電流条件は未検出 1h = 過電流条件を検出済み
4-3	予約済み	R	0h	予約済み
2	UVP	R	0h	電源低電圧ステータス 0h = CP、AVDD、または VIN_AVDD における低電圧状態は未検出 1h = CP、AVDD、または VIN_AVDD における低電圧状態を検出済み
1	OT	R	0h	過熱フォルト ステータス 0h = 過熱警告 / シャットダウンは未検出 1h = 過熱警告 / シャットダウンを検出済み
0	FAULT	R	0h	デバイス フォルト ステータス 0h = フォルト状態は未検出 1h = フォルト状態を検出済み

8.2 OT_STS レジスタ (オフセット = 4h) [リセット値 = 0000h]

OT_STS は OT_STS レジスタ に示し、OT_STS レジスタ フィールドの説明 にその説明を記載しています。

[概略表](#)に戻ります。

過熱ステータス レジスタ

図 8-2. OT_STS レジスタ

15	14	13	12	11	10	9	8
Parity_bit	予約済み						
R-0h	R-0-0h						
7	6	5	4	3	2	1	0
予約済み					OTS_AVDD	OTW	OTSD
R-0-0h					R-0h	R-0h	R-0h

表 8-4. OT_STS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	Parity_bit	R	0h	SPI_PEN が「1」に設定されている場合のパリティビット。それ以外の場合 は予約済み
14-3	予約済み	R-0	0h	予約済み
2	OTS_AVDD	R	0h	AVDD LDO 過熱フォルト ステータス 0h = AVDD 付近での過熱シャットダウンは未検出 1h = AVDD 付近での過熱シャットダウンを検出
1	OTW	R	0h	過熱警告ステータス 0h = 過熱警告は未検出 1h = 過熱警告を検出済み
0	OTSD	R	0h	過熱シャットダウン フォルト ステータス 0h = 過熱シャットダウンは未検出 1h = 過熱シャットダウンを検出済み

8.3 SUP_STS レジスタ (オフセット = 5h) [リセット値 = 0000h]

SUP_STS は [SUP_STS レジスタ](#) に示し、[SUP_STS レジスタ フィールドの説明](#) にその説明を記載しています。

[概略表](#)に戻ります。

電源ステータス レジスタ

図 8-3. SUP_STS レジスタ

15	14	13	12	11	10	9	8
Parity_bit	予約済み						
R-0h	R-0-0h						
7	6	5	4	3	2	1	0
予約済み	CSAREF_UV		CP_UV	予約済み	AVDD_UV	予約済み	VINAVDD_UV
R-0-0h	R-0h		R-0h	R-0-0h	R-0h	R-0-0h	R-0h

表 8-5. SUP_STS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	Parity_bit	R	0h	SPI_PEN が「1」に設定されている場合のパリティビット。それ以外の場合は予約済み
14-6	予約済み	R-0	0h	予約済み
5	CSAREF_UV	R	0h	CSA REF 低電圧フォルト ステータス 0h = CSAREF 低電圧は未検出 1h = CSAREF 低電圧を検出済み
4	CP_UV	R	0h	チャージ ポンプ低電圧フォルト ステータス 0h = チャージ ポンプの低電圧は未検出 1h = チャージ ポンプの低電圧を検出済み
3	予約済み	R-0	0h	予約済み
2	AVDD_UV	R	0h	AVDD LDO 低電圧フォルト ステータス 0h = AVDD 出力の低電圧は未検出 1h = AVDD 出力の低電圧を検出済み
1	予約済み	R-0	0h	予約済み
0	VINAVDD_UV	R	0h	VIN_AVDD 低電圧フォルト ステータス 0h = AVDD 電源入力低電圧は未検出 1h = AVDD 電源入力低電圧を検出済み

8.4 DRV_STS レジスタ (オフセット = 6h) [リセット値 = 0000h]

DRV_STS は [DRV_STS レジスタ](#) に示し、[DRV_STS レジスタ フィールドの説明](#) にその説明を記載しています。

[概略表](#)に戻ります。

ドライバ ステータス レジスタ

図 8-4. DRV_STS レジスタ

15	14	13	12	11	10	9	8
Parity_bit	予約済み						
R-0h	R-0-0h						
7	6	5	4	3	2	1	0
予約済み	OCPC_HS	OCPB_HS	OCA_PA_HS	予約済み	OCPC_LS	OCPB_LS	OCA_PA_LS
R-0-0h	R-0h	R-0h	R-0h	R-0-0h	R-0h	R-0h	R-0h

表 8-6. DRV_STS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	Parity_bit	R	0h	SPI_PEN が「1」に設定されている場合のパリティビット。それ以外の場合 は予約済み
14-7	予約済み	R-0	0h	予約済み
6	OCPC_HS	R	0h	OUTC のハイサイド MOSFET における過電流ステータス 0h = OUTC のハイサイド MOSFET の過電流は未検出 1h = OUTC のハイサイド MOSFET の過電流が検出済み
5	OCPB_HS	R	0h	OUTB のハイサイド MOSFET における過電流ステータス 0h = OUTB のハイサイド MOSFET の過電流は未検出 1h = OUTB のハイサイド MOSFET の過電流が検出済み
4	OCA_PA_HS	R	0h	OUTA のハイサイド MOSFET における過電流ステータス 0h = OUTA のハイサイド MOSFET の過電流は未検出 1h = OUTA のハイサイド MOSFET の過電流が検出済み
3	予約済み	R-0	0h	予約済み
2	OCPC_LS	R	0h	OUTC のローサイド MOSFET における過電流ステータス 0h = OUTC のローサイド MOSFET の過電流は未検出 1h = OUTC のローサイド MOSFET の過電流が検出済み
1	OCPB_LS	R	0h	OUTB のローサイド MOSFET における過電流ステータス 0h = OUTB のローサイド MOSFET の過電流は未検出 1h = OUTB のローサイド MOSFET の過電流が検出済み
0	OCA_PA_LS	R	0h	OUTA のローサイド MOSFET における過電流ステータス 0h = OUTA のローサイド MOSFET の過電流は未検出 1h = OUTA のローサイド MOSFET の過電流が検出済み

8.5 SYS_STS レジスタ (オフセット = 7h) [リセット値 = 0000h]

SYS_STS は [SYS_STS レジスタ](#) に示し、[SYS_STS レジスタ フィールドの説明](#) にその説明を記載しています。

[概略表](#)に戻ります。

システム ステータス レジスタ

図 8-5. SYS_STS レジスタ

15	14	13	12	11	10	9	8
Parity_bit	予約済み						
R-0h	R-0-0h						
7	6	5	4	3	2	1	0
予約済み			OTPLD_ERR	予約済み	SPI_PARITY	BUS_CNT	FRM_ERR
R-0-0h			R-0h	R-0-0h	R-0h	R-0h	R-0h

表 8-7. SYS_STS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	Parity_bit	R	0h	SPI_PEN が「1」に設定されている場合のパリティビット。それ以外の場合 は予約済み
14-5	予約済み	R-0	0h	予約済み
4	OTPLD_ERR	R	0h	OTP 読み取りエラー 0h = OTP 読み込みエラーは未検出 1h = OTP 読み込みエラーを検出済み
3	予約済み	R-0	0h	予約済み
2	SPI_PARITY	R	0h	SPI パリティ エラー 0h = SPI パリティ エラーは未検出 1h = SPI パリティ エラーを検出済み
1	BUS_CNT	R	0h	SPI バス競合エラー 0h = SPI バス競合エラーは未検出 1h = SPI バス競合エラーを検出済み
0	FRM_ERR	R	0h	SPI フレーム エラー 0h = SPI フレーム エラーは未検出 1h = SPI フレーム エラーを検出済み

8.6 PWM_SYNC_PRD レジスタ (オフセット = Ch) [リセット値 = 0000h]

PWM_SYNC_PRD は [PWM_SYNC_PRD レジスタ](#) に示し、[PWM_SYNC_PRD レジスタ フィールドの説明](#) にその説明を記載しています。

[概略表](#)に戻ります。

PWM 同期周期レジスタ

図 8-6. PWM_SYNC_PRD レジスタ

15	14	13	12	11	10	9	8
Parity_bit	予約済み			PWM_SYNC_PRD			
R-0h	R-0-0h			R-0h			
7	6	5	4	3	2	1	0
PWM_SYNC_PRD							
R-0h							

表 8-8. PWM_SYNC_PRD レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	Parity_bit	R	0h	SPI_PEN が「1」に設定されている場合のパリティビット。それ以外の場合は予約済み
14-12	予約済み	R-0	0h	予約済み
11-0	PWM_SYNC_PRD	R	0h	PWM_SYNC 信号の周期を示す 12 ビット出力

8.7 FLT_MODE レジスタ (オフセット = 10h) [リセット値 = 0115h]

FLT_MODE は [FLT_MODE レジスタ](#) に示し、[FLT_MODE レジスタ フィールドの説明](#) にその説明を記載しています。

[概略表](#)に戻ります。

フォルト モード レジスタ

図 8-7. FLT_MODE レジスタ

15	14	13	12	11	10	9	8
Parity_bit	予約済み						OTPFLT_MODE
R-0h	R-0-0h						R/W-1h
7	6	5	4	3	2	1	0
SPIFLT_MODE	OCP_MODE			UVP_MODE		OTSD_MODE	
R/W-0h	R/W-1h			R/W-1h		R/W-1h	

表 8-9. FLT_MODE レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	Parity_bit	R	0h	SPI_PEN が「1」に設定されている場合のパリティビット。それ以外の場合 は予約済み
14-9	予約済み	R-0	0h	予約済み
8	OTPFLT_MODE	R/W	1h	システム フォルト モード。 0h = OTP 読み取りフォルトは有効 1h = OTP 読み取りフォルトは無効
7	SPIFLT_MODE	R/W	0h	SPI フォルト モード 0h = SPI フォルトは有効 1h = SPI フォルトは無効
6-4	OCP_MODE	R/W	1h	過電流保護フォルト モード 0h = nFault に通知、ブリドドライバはハイ インピーダンス、低速リトライ時間 で自動回復 (ms 単位) 1h = nFault に通知、ブリドドライバはハイ インピーダンス、高速リトライ時間 で自動回復 (ms 単位) 2h = nFault に通知、ブリドドライバはハイ インピーダンス、フォルトをラッチ 3h = nFault に通知、ブリドドライバは動作なし 4h = 予約済み 5h = 予約済み 6h = 予約済み 7h = 無効
3-2	UVP_MODE	R/W	1h	低電圧保護フォルト モード 0h = nFault に通知、ブリドドライバはハイ インピーダンス、低速リトライ時間 で自動回復 (ms 単位) 1h = nFault に通知、ブリドドライバはハイ インピーダンス、高速リトライ時間 で自動回復 (ms 単位) 2h = 予約済み 3h = 予約済み

表 8-9. FLT_MODE レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1-0	OTSD_MODE	R/W	1h	過熱フォルト モード 0h = nFault に通知、ブリドドライバはハイ インピーダンス、低速リトライ時間で自動回復 (ms 単位) 1h = nFault に通知、ブリドドライバはハイ インピーダンス、高速リトライ時間で自動回復 (ms 単位) 2h = 予約済み 3h = 予約済み

8.8 SYSF_CTRL レジスタ (オフセット = 12h) [リセット値 = 0515h]

SYSF_CTRL は [SYSF_CTRL レジスタ](#) に示し、[SYSF_CTRL レジスタ フィールドの説明](#) にその説明を記載しています。

[概略表](#)に戻ります。

システム フォルト制御レジスタ

図 8-8. SYSF_CTRL レジスタ

15	14	13	12	11	10	9	8
Parity_bit	予約済み				OTAVDD_EN	OTW_EN	予約済み
R-0h	R-0-0h				R/W-1h	R/W-0h	R-0-4h
7	6	5	4	3	2	1	0
予約済み	CSAREFUV_EN		予約済み	予約済み	予約済み	予約済み	予約済み
R-0-4h	R/W-0h		R/W-1h	R-0-0h	R/W-1h	R-0-0h	R/W-1h

表 8-10. SYSF_CTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	Parity_bit	R	0h	SPI_PEN が「1」に設定されている場合のパリティビット。それ以外の場合は予約済み
14-11	予約済み	R-0	0h	予約済み
10	OTAVDD_EN	R/W	1h	AVDD 過熱フォルトの有効化 0h = AVDD 付近の過熱保護は無効 1h = AVDD 付近の過熱保護は有効
9	OTW_EN	R/W	0h	過熱警告フォルトの有効化 0h = 過熱警告の nFAULT 通知は無効 1h = 過熱警告の nFAULT 通知は有効
8-6	予約済み	R-0	4h	予約済み
5	CSAREFUV_EN	R/W	0h	CSAREF 低電圧フォルトの有効化 0h = CSAREF の低電圧ロックアウトは無効 1h = CSAREF の低電圧ロックアウトは有効
4	予約済み	R/W	1h	予約済み
3	予約済み	R-0	0h	予約済み
2	予約済み	R/W	1h	予約済み
1	予約済み	R-0	0h	予約済み
0	予約済み	R/W	1h	予約済み

8.9 DRVF_CTRL レジスタ (オフセット = 13h) [リセット値 = 0030h]

DRVF_CTRL は [DRVF_CTRL レジスタ](#) に示し、[DRVF_CTRL レジスタ フィールドの説明](#) にその説明を記載しています。

[概略表](#)に戻ります。

ドライバ フォルト制御レジスタ

図 8-9. DRVF_CTRL レジスタ

15	14	13	12	11	10	9	8
Parity_bit	予約済み						
R-0h	R-0-0h						
7	6	5	4	3	2	1	0
予約済み	OCP_DEG		OCP_TBLANK		予約済み	OCP_LVL	
R-0-0h	R/W-3h		R/W-0h		R-0-0h	R/W-0h	

表 8-11. DRVF_CTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	Parity_bit	R	0h	SPI_PEN が「1」に設定されている場合のパリティビット。それ以外の場合は予約済み
14-6	予約済み	R-0	0h	予約済み
5-4	OCP_DEG	R/W	3h	OCP グリッチ除去時間 0h = OCP グリッチ除去時間は 0.2μs 1h = OCP グリッチ除去時間は 0.5μs 2h = OCP グリッチ除去時間は 0.8μs 3h = OCP グリッチ除去時間は 1μs
3-2	OCP_TBLANK	R/W	0h	OCP ブランキング時間 0h = OCP ブランキング時間は 0.2μs 1h = OCP ブランキング時間は 0.5μs 2h = OCP ブランキング時間は 0.8μs 3h = OCP ブランキング時間は 1μs
1	予約済み	R-0	0h	予約済み
0	OCP_LVL	R/W	0h	OCP レベルの設定 0h = OCP レベルは 9A (標準値) 1h = OCP レベルは 5A (標準値)

8.10 FLT_TCTRL レジスタ (オフセット = 16h) [リセット値 = 0003h]

FLT_TCTRL は [FLT_TCTRL レジスタ](#) に示し、[FLT_TCTRL レジスタ フィールドの説明](#) にその説明を記載しています。
[概略表](#)に戻ります。

フォルト タイミング制御レジスタ

図 8-10. FLT_TCTRL レジスタ

15	14	13	12	11	10	9	8
Parity_bit	予約済み						
R-0h	R-0-0h						
7	6	5	4	3	2	1	0
予約済み				SLOW_TRETRY		FAST_TRETRY	
R-0-0h				R/W-0h		R/W-3h	

表 8-12. FLT_TCTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	Parity_bit	R	0h	SPI_PEN が「1」に設定されている場合のパリティビット。それ以外の場合は予約済み
14-4	予約済み	R-0	0h	予約済み
3-2	SLOW_TRETRY	R/W	0h	フォルト状態からの低速回復リトライ時間 0h = 0.5s 1h = 1s 2h = 2s 3h = 5s
1-0	FAST_TRETRY	R/W	3h	フォルト状態からの高速回復リトライ時間 0h = 0.5ms 1h = 1ms 2h = 2ms 3h = 5ms

8.11 FLT_CLR レジスタ (オフセット = 17h) [リセット値 = 0000h]

FLT_CLR は [FLT_CLR レジスタ](#) に示し、[FLT_CLR レジスタ フィールドの説明](#) にその説明を記載しています。

[概略表](#)に戻ります。

フォルト クリア レジスタ

図 8-11. FLT_CLR レジスタ

15	14	13	12	11	10	9	8
Parity_bit	予約済み						
R-0h	R-0-0h						
7	6	5	4	3	2	1	0
予約済み							FLT_CLR
R-0-0h							W-0h

表 8-13. FLT_CLR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	Parity_bit	R	0h	SPI_PEN が「1」に設定されている場合のパリティビット。それ以外の場合は予約済み
14-1	予約済み	R-0	0h	予約済み
0	FLT_CLR	W	0h	フォルトをクリア 0h = クリア フォルト コマンド発行なし 1h = ラッチされたフォルト ビットをクリア書き込んだ後、このビットは自動的にリセットされます。

8.12 PWMG_PERIOD レジスタ (オフセット = 18h) [リセット値 = 0000h]

PWMG_PERIOD は [PWMG_PERIOD レジスタ](#) に示し、[PWMG_PERIOD レジスタ フィールドの説明](#) にその説明を記載しています。

[概略表](#)に戻ります。

PWM_GEN 周期レジスタ

図 8-12. PWMG_PERIOD レジスタ

15	14	13	12	11	10	9	8
Parity_bit	予約済み			PWM_PRD_OUT			
R-0h	R-0-0h			R/W-0h			
7	6	5	4	3	2	1	0
PWM_PRD_OUT							
R/W-0h							

表 8-14. PWMG_PERIOD レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	Parity_bit	R	0h	SPI_PEN が「1」に設定されている場合のパリティビット。それ以外の場合は予約済み
14-12	予約済み	R-0	0h	予約済み
11-0	PWM_PRD_OUT	R/W	0h	PWM 生成モードにおける出力 PWM 信号の 12 ビット周期

8.13 PWMG_A_DUTY レジスタ (オフセット = 19h) [リセット値 = 0000h]

PWMG_A_DUTY は [PWMG_A_DUTY レジスタ](#) に示し、[PWMG_A_DUTY レジスタ フィールドの説明](#) にその説明を記載しています。

[概略表](#)に戻ります。

PWM_GEN A デューティレジスタ

図 8-13. PWMG_A_DUTY レジスタ

15	14	13	12	11	10	9	8
Parity_bit	予約済み			PWM_DUTY_OUTA			
R-0h	R-0-0h			R/W-0h			
7	6	5	4	3	2	1	0
PWM_DUTY_OUTA							
R/W-0h							

表 8-15. PWMG_A_DUTY レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	Parity_bit	R	0h	SPI_PEN が「1」に設定されている場合のパリティビット。それ以外の場合は予約済み
14-12	予約済み	R-0	0h	予約済み
11-0	PWM_DUTY_OUTA	R/W	0h	PWM 生成モードにおける A 相出力の 12 ビットデューティサイクル

8.14 PWMG_B_DUTY レジスタ (オフセット = 1Ah) [リセット値 = 0000h]

PWMG_B_DUTY は [PWMG_B_DUTY レジスタ](#) に示し、[PWMG_B_DUTY レジスタ フィールドの説明](#) にその説明を記載しています。

[概略表](#)に戻ります。

PWM_GEN B デューティレジスタ

図 8-14. PWMG_B_DUTY レジスタ

15	14	13	12	11	10	9	8
Parity_bit	予約済み			PWM_DUTY_OUTB			
R-0h	R-0-0h			R/W-0h			
7	6	5	4	3	2	1	0
PWM_DUTY_OUTB							
R/W-0h							

表 8-16. PWMG_B_DUTY レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	Parity_bit	R	0h	SPI_PEN が「1」に設定されている場合のパリティビット。それ以外の場合は予約済み
14-12	予約済み	R-0	0h	予約済み
11-0	PWM_DUTY_OUTB	R/W	0h	PWM 生成モードにおける B 相出力の 12 ビットデューティサイクル

8.15 PWMG_C_DUTY レジスタ (オフセット = 1Bh) [リセット値 = 0000h]

PWMG_C_DUTY は [PWMG_C_DUTY レジスタ](#) に示し、[PWMG_C_DUTY レジスタ フィールドの説明](#) にその説明を記載しています。

[概略表](#)に戻ります。

PWM_GEN C デューティレジスタ

図 8-15. PWMG_C_DUTY レジスタ

15	14	13	12	11	10	9	8
Parity_bit	予約済み				PWM_DUTY_OUTC		
R-0h	R-0-0h				R/W-0h		
7	6	5	4	3	2	1	0
PWM_DUTY_OUTC							
R/W-0h							

表 8-17. PWMG_C_DUTY レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	Parity_bit	R	0h	SPI_PEN が「1」に設定されている場合のパリティビット。それ以外の場合は予約済み
14-12	予約済み	R-0	0h	予約済み
11-0	PWM_DUTY_OUTC	R/W	0h	PWM 生成モードにおける C 相出力の 12 ビットデューティサイクル

8.16 PWM_STATE (オフセット = 1Ch) [リセット値= 0777h]

PWM_STATE は [PWM_STATE レジスタ](#) に示し、[PWM_STATE レジスタ フィールドの説明](#) にその説明を記載しています。

[概略表](#)に戻ります。

PWM 状態レジスタ

図 8-16. PWM_STATE レジスタ

15	14	13	12	11	10	9	8
Parity_bit	予約済み					PWMC_STATE	
R-0h	R-0-0h					R/W-7h	
7	6	5	4	3	2	1	0
予約済み	PWMB_STATE			予約済み	PWMA_STATE		
R-0-0h	R/W-7h			R-0-0h	R/W-7h		

表 8-18. PWM_STATE レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	Parity_bit	R	0h	SPI_PEN が「1」に設定されている場合のパリティビット。それ以外の場合は予約済み
14-11	予約済み	R-0	0h	予約済み
10-8	PWMC_STATE	R/W	7h	C 相ドライブ出力制御 0h = ハイサイドはオフ、ローサイドはオフ 1h = ハイサイドはオフ、ローサイドは強制オン 2h = ハイサイドは強制オン、ローサイドはオフ 3h = 予約済み 4h = 予約済み 5h = ハイサイドはオフ、ローサイドは PWM 6h = ハイサイドは PWM、ローサイドはオフ 7h = ハイサイドは PWM、ローサイドは !PWM
7	予約済み	R-0	0h	予約済み
6-4	PWMB_STATE	R/W	7h	B 相ドライブ出力制御 0h = ハイサイドはオフ、ローサイドはオフ 1h = ハイサイドはオフ、ローサイドは強制オン 2h = ハイサイドは強制オン、ローサイドはオフ 3h = 予約済み 4h = 予約済み 5h = ハイサイドはオフ、ローサイドは PWM 6h = ハイサイドは PWM、ローサイドはオフ 7h = ハイサイドは PWM、ローサイドは !PWM
3	予約済み	R-0	0h	予約済み
2-0	PWMA_STATE	R/W	7h	A 相ドライブ出力制御 0h = ハイサイドはオフ、ローサイドはオフ 1h = ハイサイドはオフ、ローサイドは強制オン 2h = ハイサイドは強制オン、ローサイドはオフ 3h = 予約済み 4h = 予約済み 5h = ハイサイドはオフ、ローサイドは PWM 6h = ハイサイドは PWM、ローサイドはオフ 7h = ハイサイドは PWM、ローサイドは !PWM

8.17 PWMG_CTRL レジスタ (オフセット = 1Dh) [リセット値 = 0000h]

PWMG_CTRL は [PWMG_CTRL レジスタ](#) に示し、[PWMG_CTRL レジスタ フィールドの説明](#) にその説明を記載しています。

[概略表](#)に戻ります。

PWM_GEN 制御レジスタ

図 8-17. PWMG_CTRL レジスタ

15	14	13	12	11	10	9	8
Parity_bit	予約済み				PWM_EN	PVMCNTR_MODE	
R-0h	R-0-0h				R/W-0h	R/W-0h	
7	6	5	4	3	2	1	0
PWM_OSC_SYNC			SPICLK_FREQ_SYNC			SPISYNC_ACRCY	
R/W-0h			R/W-0h			R/W-0h	

表 8-19. PWMG_CTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	Parity_bit	R	0h	SPI_PEN が「1」に設定されている場合のパリティビット。それ以外の場合 は予約済み
14-11	予約済み	R-0	0h	予約済み
10	PWM_EN	R/W	0h	3X 内部モード PWM 生成を有効化 0h = PWM_GEN 無効 1h = PWM_GEN 有効
9-8	PVMCNTR_MODE	R/W	0h	PWM 生成カウンタ モード 0h = アップおよびダウン 1h = アップ 2h = ダウン 3h = 動作なし
7-5	PWM_OSC_SYNC	R/W	0h	発振器の同期と PWM_SYNC 制御 0h = 発振器の同期は無効 1h = PWM_SYNC_PRD は PWM_SYNC 信号の周期を示し、PWM 周 期のキャリブレーションに使用可能 2h = PWM_SYNC 信号を用いて、PWM 周期を設定 3h = 発振器の同期は無効 4h = 発振器の同期は無効 5h = PWM_SYNC 信号を発振器の同期に使用 (20kHz 周波数のみ対 応) 6h = PWM_SYNC 信号を発振器の同期および PWM 周期の設定に使 用 (20kHz 周波数のみ対応) 7h = SPI クロックピン SCLK を発振器の同期に使用 (SPICLK_FREQ_SYNC を設定)
4-2	SPICLK_FREQ_SYNC	R/W	0h	発振器同期時の SPI クロック周波数 0h = 1MHz 1h = 1.25MHz 2h = 2MHz 3h = 2.5MHz 4h = 4MHz 5h = 5MHz 6h = 8MHz 7h = 10MHz

表 8-19. PWMG_CTRL レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1-0	SPISYNC_ACRCY	R/W	0h	発振器同期に必要な SPI クロック サイクル数 0h = 512 クロック サイクル (1%) 1h = 256 クロック サイクル (1%) 2h = 128 クロック サイクル (1%) 3h = 64 クロック サイクル (2%)

8.18 PWM_CTRL1 レジスタ (オフセット = 20h) [リセット = 0007h]

PWM_CTRL1 レジスタ に、PWM_CTRL1 を示し、PWM_CTRL1 レジスタ フィールドの説明 に、その説明を示します。

概略表に戻ります。

PWM 制御レジスタ 1

図 8-18. PWM_CTRL1 レジスタ

15	14	13	12	11	10	9	8
Parity_bit	予約済み						
R-0h	R-0-0h						
7	6	5	4	3	2	1	0
予約済み					SSC_DIS	PWM_MODE	
R-0-0h					R/W-1h	R/W-3h	

表 8-20. PWM_CTRL1 レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	Parity_bit	R	0h	SPI_PEN が「1」に設定されている場合のパリティビット。それ以外の場合は予約済み
14-3	予約済み	R-0	0h	予約済み
2	SSC_DIS	R/W	1h	内部発振器のスペクトラム拡散変調を無効化 0h = スペクトラム拡散変調は有効 1h = スペクトラム拡散変調は無効
1-0	PWM_MODE	R/W	3h	PWM モードの選択 (DRV8311-Q1S のリセット設定は 00b、DRV8311-Q1P のリセット設定は 11b) 0h = 6x モード 1h = 6x モード 2h = 3x モード 3h = PWM 生成モード

8.19 DRV_CTRL レジスタ (オフセット = 22h) [リセット値 = 0000h]

DRV_CTRL は [DRV_CTRL レジスタ](#) に示し、[DRV_CTRL レジスタ フィールドの説明](#) にその説明を記載しています。

[概略表](#)に戻ります。

プリドライバ制御レジスタ

図 8-19. DRV_CTRL レジスタ

15	14	13	12	11	10	9	8
Parity_bit	予約済み			予約済み			
R-0h	R-0-0h			R/W-0h			
7	6	5	4	3	2	1	0
DLYCMP_EN	TDEAD_CTRL			予約済み		SLEW_RATE	
R/W-0h	R/W-0h			R-0-0h		R/W-0h	

表 8-21. DRV_CTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	Parity_bit	R	0h	SPI_PEN が「1」に設定されている場合のパリティビット。それ以外の場合は予約済み
14-12	予約済み	R-0	0h	予約済み
11-8	予約済み	R/W	0h	予約済み
7	DLYCMP_EN	R/W	0h	ドライバ遅延補償の有効化 0h = ドライバ遅延補償は無効 1h = ドライバ遅延補償は有効
6-4	TDEAD_CTRL	R/W	0h	デッドタイム挿入制御 0h = デッドタイムなし (ハンドシェイクのみ) 1h = 200ns 2h = 400ns 3h = 600ns 4h = 800ns 5h = 1us 6h = 1.2us 7h = 1.4us
3-2	予約済み	R-0	0h	予約済み
1-0	SLEW_RATE	R/W	0h	スルーレートの設定 0h = スルーレートは 35V/μs 1h = スルーレートは 75V/μs 2h = スルーレートは 180V/μs 3h = スルーレートは 230V/μs

8.20 CSA_CTRL レジスタ (オフセット = 23h) [リセット値 = 0008h]

CSA_CTRL は [CSA_CTRL レジスタ](#) に示し、[CSA_CTRL レジスタ フィールドの説明](#) で説明します。

[概略表](#)に戻ります。

CSA 制御レジスタ

図 8-20. CSA_CTRL レジスタ

15	14	13	12	11	10	9	8
Parity_bit	予約済み						
R-0h	R-0-0h						
7	6	5	4	3	2	1	0
予約済み				CSA_EN	予約済み	CSA_GAIN	
R-0-0h				R/W-1h	R-0-0h	R/W-0h	

表 8-22. CSA_CTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	Parity_bit	R	0h	SPI_PEN が「1」に設定されている場合のパリティビット。それ以外の場合は予約済み
14-4	予約済み	R-0	0h	予約済み
3	CSA_EN	R/W	1h	電流センス アンプの有効化 0h = 電流センス アンプは無効 1h = 電流センス アンプは有効
2	予約済み	R-0	0h	予約済み
1-0	CSA_GAIN	R/W	0h	電流センス アンプのゲイン設定 0h = CSA ゲインは 0.25V/A 1h = CSA ゲインは 0.5V/A 2h = CSA ゲインは 1V/A 3h = CSA ゲインは 2V/A

8.21 SYS_CTRL レジスタ (オフセット = 3Fh) [リセット値 = 0000h]

SYS_CTRL は [SYS_CTRL レジスタ](#) に示し、[SYS_CTRL レジスタ フィールドの説明](#) にその説明を記載しています。

[概略表](#)に戻ります。

システム コントロール レジスタ

図 8-21. SYS_CTRL レジスタ

15	14	13	12	11	10	9	8
Parity_bit	WRITE_KEY			予約済み			予約済み
R-0h	W-0h			R-0-0h			R/W-0h
7	6	5	4	3	2	1	0
REG_LOCK	SPI_PEN	予約済み		予約済み	予約済み		
R/W-0h	R/W-0h	R/W-0h		R/W-0h	R/W-0h		

表 8-23. SYS_CTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	Parity_bit	R	0h	SPI_PEN が「1」に設定されている場合のパリティビット。それ以外の場合 は予約済み
14-12	WRITE_KEY	W	0h	0x5 このレジスタ固有のキーを書き込み
11-9	予約済み	R-0	0h	予約済み
8	予約済み	R/W	0h	予約済み
7	REG_LOCK	R/W	0h	レジスタ ロック ビット 0h = レジスタはロック解除 1h = レジスタはロック済み
6	SPI_PEN	R/W	0h	SPI および tSPI 両方のパリティ有効化 0h = パリティは無効化 1h = パリティは有効化
5-4	予約済み	R/W	0h	予約済み
3	予約済み	R/W	0h	予約済み
2-0	予約済み	R/W	0h	予約済み

9 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

DRV8311-Q1 は、ブラシレス DC モーターの駆動に使用できます。次の設計手順で DRV8311-Q1 を構成できます。

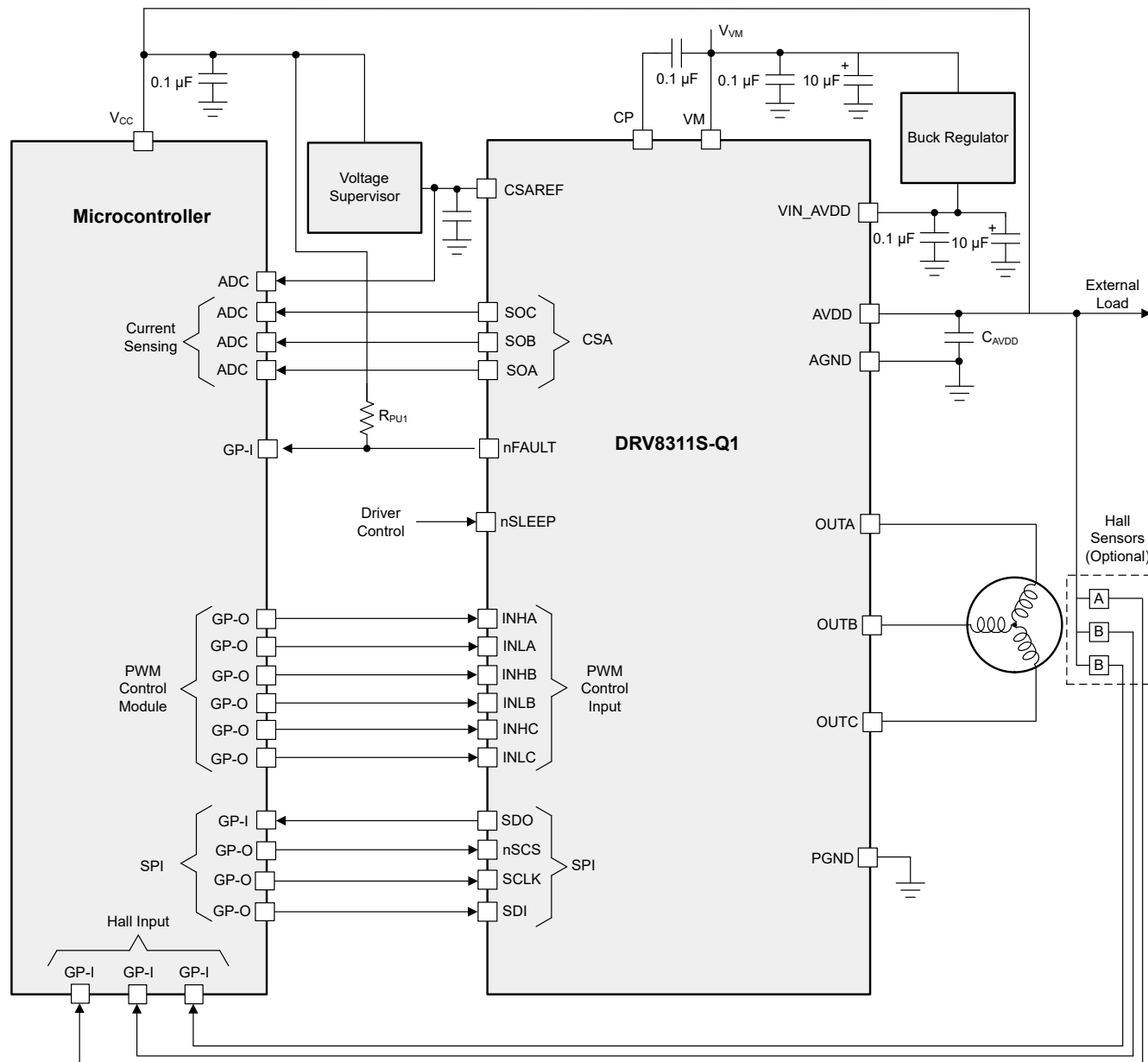


図 9-1. アプリケーション回路図 (DRV8311S-Q1)

9.2 代表的なアプリケーション

9.2.1 三相ブラシレス DC モーター制御

このアプリケーションでは、DRV8311-Q1 を使用して、外部マイコンからの PWM 信号を使って、ブラシレス DC モーターを駆動します。

9.2.1.1 詳細な設計手順

表 9-1 に、システム設計の入力パラメータの例を示します。

表 9-1. 設計パラメータ

設計パラメータ	リファレンス	数値の例
電源電圧	V_{VM}	12V
モーター RMS 電流	I_{RMS}	2A
モーターのピーク電流	I_{PEAK}	3A
PWM 周波数	f_{PWM}	50kHz
スルーレートの設定	SR	230V/ μ s
VIN_AVDD 電源電圧	V_{VIN_AVDD}	12V
CSA リファレンス電圧	V_{CSA_REF}	3.0V
システムの周囲温度	T_A	-20°C ~ +105°C

9.2.1.1.1 モーター電圧

ブラシレス DC モーターは通常、特定の定格電圧 (例: 5V または 12V) が指定されています。DRV8311-Q1 は、3V ~ 20V の範囲の幅広い動作電圧での使用が可能です。

9.2.1.2 ドライバの伝搬遅延時間とデッド タイム

伝搬遅延は、(MCU デッド タイムが加わる場合は先に変化した方の) 入力ロジックエッジ INHx と INLx の変化から、ハーフブリッジ出力電圧 (OUTx) が変化するまでの時間として定義されます。ドライバの伝搬遅延 (t_{PD}) とデッド タイム (t_{dead}) は、標準値と最大値で規定されていますが、最小値は規定されていません。これは、同期スイッチング時に OUTx ピンの電流の向きによって、伝搬遅延が標準値よりも短くなる場合があるためです。内部の dV/dt カップリングを回避するため、ハイサイドまたはローサイドの内部 MOSFET の立ち上がりが遅くなることで、ドライバの伝搬遅延時間とデッド タイムが標準値よりも長くなる場合があります。

入力 PWM および出力構成における伝搬遅延時間とデッド タイムの違いに関する詳細や例については、『[内蔵 MOSFET ドライバの遅延時間とデッド タイム](#)』を参照してください。

マイクロコントローラの PWM 出力によるデッド タイムは、DRV8311-Q1 の内部シュートスルー保護に加える追加の安全策として利用できます。DRV8311-Q1 は、内部ロジックにより、デッド タイムの長さに応じてマイコン側のデッド タイムとドライバ側のデッド タイムのどちらを優先するかを決定します。

マイコンのデッド タイムが DRV8311-Q1 ドライバのデッド タイムよりも短い場合、ドライバが補償を行い、DRV8311-Q1 で規定された値の実際の出力デッド タイムとなるようにします。逆に、マイコンが挿入するデッド タイムがドライバのデッド タイムより長い場合は、DRV8311-Q1 は マイコンのデッドタイムに従ってタイミングを調整します。

同期入力 (INHx および INLx)、OUTx の電流方向、マイコンのデッド タイムに対する DRV8311-Q1 の遅延時間の概要を [表 9-2](#) に示しています。

表 9-2. ロジック入力と出力電流の方向に依存する DRV8311-Q1 の遅延時間の概要

OUTx 電流方向	INHx	INLx	伝搬遅延 (t _{PD})	デッド タイム (t _{dead})	挿入されたマイコンのデッド タイム (t _{dead(MCU)})	
					t _{dead(MCU)} < t _{dead}	t _{dead(MCU)} > t _{dead}
OUTx からの	立ち上がり	立ち下がり	標準値	標準値	出力デッド タイム = t _{dead}	出力デッドタイム = t _{dead(MCU)}
	立ち下がり	立ち上がり	標準値より短い	標準値より短い	出力デッド タイム < t _{dead}	出力デッド タイム < t _{dead(MCU)}
OUTx への	立ち上がり	立ち下がり	標準値より短い	標準値より短い	出力デッド タイム < t _{dead}	出力デッド タイム < t _{dead(MCU)}
	立ち下がり	立ち上がり	標準値	標準値	出力デッド タイム = t _{dead}	出力デッドタイム = t _{dead(MCU)}

9.2.1.3 遅延補償

デッドタイムや伝搬遅延の差により、PWM 出力のタイミングに不一致が生じると、デューティ サイクルの歪みが発生する可能性があります。表 9-2 に示す条件における伝搬遅延の差に対応するため、本デバイスには遅延補償機能が統合されています。

遅延補償は、相 (OUTx) への電流および位相 (OUTx) からの電流の遅延時間を一致させるために、可変遅延時間 (t_{var}) を加えて、伝搬遅延時間とドライバ デッドタイムの和 (t_{PD}+t_{dead}) に等しいプリセットのターゲット遅延時間に合わせるために用いられます。この設定は、DLYCMP_EN ビットを 1 に設定すると、DRV8311P/S-Q1 によって自動的に設定されます。

9.2.1.4 電流センシングと出力フィルタリング

SOx ピンは通常、マイコンの A/D コンバータによってサンプリングされ、位相電流が計算されます。相電流情報は、フィールド オリエンテッド コントロール (磁界方向制御) などの閉ループ制御に使用されます。

式 15 に、相電流の例を示します。

$$SOx = \frac{V_{REF}}{2} \pm (G_{CSA} \times I_{OUTx}) \quad (15)$$

VREF = 3.0V、ゲイン = 0.5V/A、SOx 電圧が 1.2V のシステムでは、I_{OUTx} = 0.6A になります。

VREF のリップル、SOx トレースの付加インダクタンス、あるいは SOx トレースが高周波部品の近くを通るといった要因により、SOx 信号に高周波ノイズが現れることがあります。高周波ノイズを除去するため、台形波制御の場合はカット オフ周波数を PWM スイッチング周波数の少なくとも 10 倍、正弦波制御の場合は PWM スイッチング周波数の 100 倍としたローパス RC フィルタを、マイコン付近に追加することを推奨します。推奨 RC フィルタは 330Ω、22pF で、CSA 出力のセリング タイムを増加させることなく、ADC および電流ミラー回路への並列容量の追加を最小限に抑えます。

式 16 に、ローパス RC フィルタのカット オフ周波数を示しています。

$$f_c = \frac{1}{2\pi RC} \quad (16)$$

注

また、センサレス正弦波制御や FOC 制御のように 2 相または 3 相の電流センサが必要となる動作では、CSA 出力に小さな動的オフセットおよびゲイン誤差が生じることがあります。是正処置の詳細については、[セクション 7.3.10.2](#) を参照してください。

9.2.1.5 アプリケーション曲線

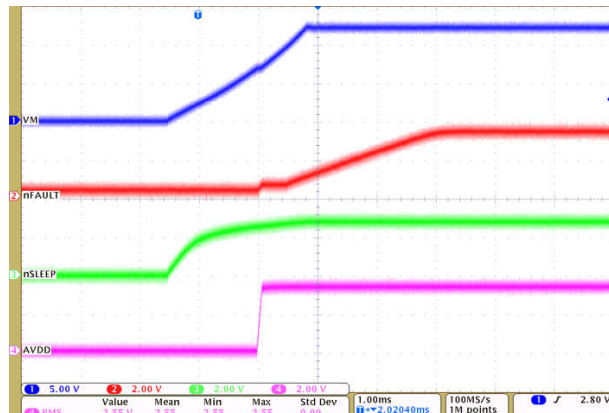


図 9-2. VM (VM、nFAULT、nSLEEP、AVDD) を用いたデバイスの電源投入

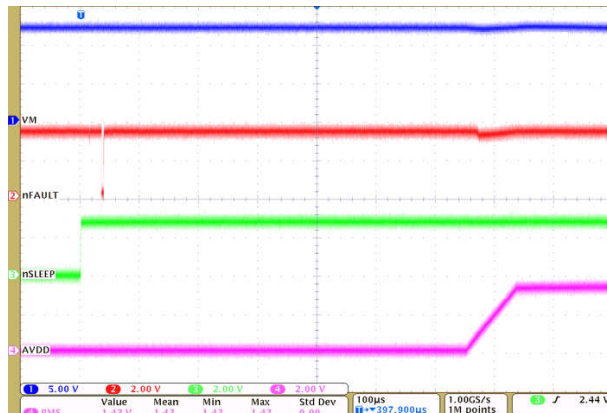


図 9-3. nSLEEP (VM、nFAULT、nSLEEP、AVDD) を用いたデバイスの電源投入

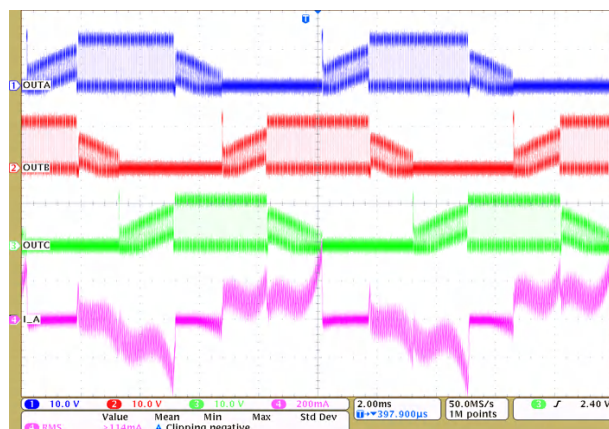


図 9-4. ドライバの PWM 動作 (OUTA、OUTB、OUTC、I_A)

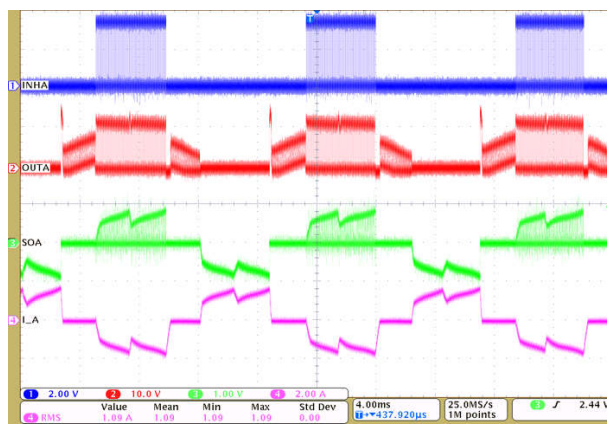


図 9-5. 電流センス フィードバック付きドライバ PWM 動作 (INHA、OUTA、SOA、I_A)

9.3 三相ブラシレス DC tSPI モーター制御

DRV8311-Q1 は、マイコンからの tSPI を用いてブラシレス DC モーターを駆動することができます。次の設計手順で DRV8311-Q1 を設定することが可能です。

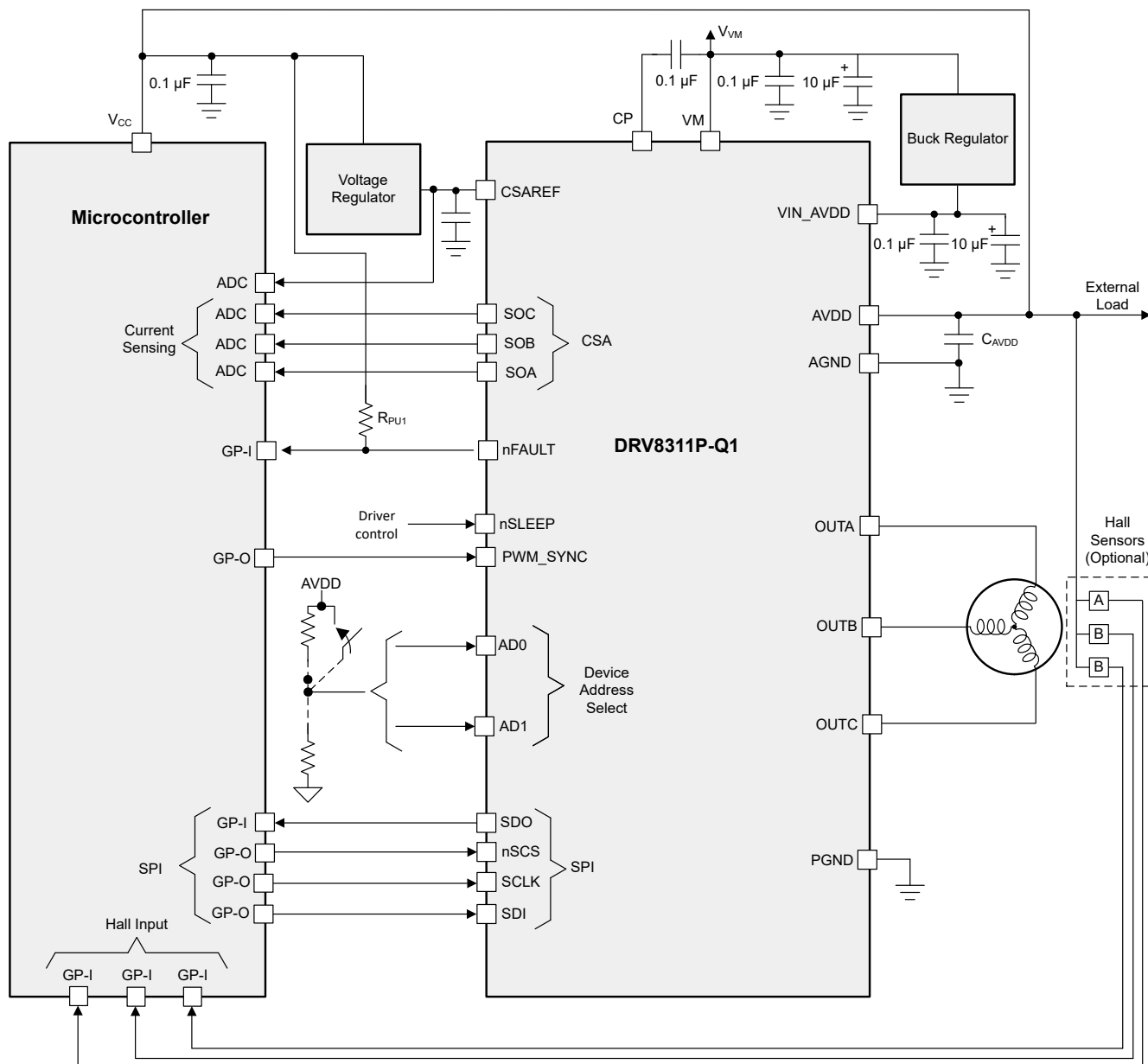


図 9-6. アプリケーション回路図 (DRV8311P-Q1) - 三相ブラシレス DC tSPI モーター制御

9.3.1 詳細な設計手順

tSPI の利点

DRV8311P-Q1 デバイスには tSPI が内蔵されており、標準的な 4 線式 SPI でセカンダリ モーター ドライバ デバイスにランダムな読み書きアクセスを行い、同時にモーターを制御することが可能です。これにより、システム内の配線本数を大幅に削減でき、システム全体のサイズと BOM コストを低減できます。tSPI は特にマルチモーター システムで有効であり、次のような利点があります。

- ジェネラル コール アドレスを使用して **DRV8311P-Q1** デバイスへのランダムアクセスを可能にします
- 任意の順序で読み取りと書き込みが可能です
- すべての **tSPI** デバイスを常時アクティブにする必要がありません
- 他のデバイスのステータスに関係なく、任意のアクティブなセカンダリ デバイスとトランザクションを行うことが可能です

マルチモーター システムで tSPI を使用方法の詳細については、『[tSPI プロトコルを用いた、次のマルチモーター BLDC 設計における配線削減](#)』を参照してください。

アプリケーション曲線

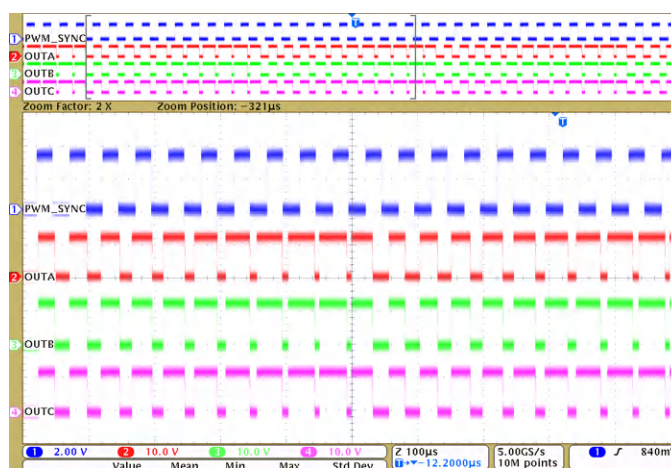


図 9-7. PWM_SYNC = 2b の場合の PWM 同期デューティ サイクル動作 (10% ~ 90%) (PWM_SYNC、OUTA、OUTB、OUTC)

9.4 他のアプリケーション

このデバイスは、ブラシ付き DC モーターおよびソレノイド負荷の駆動に使用できます。デバイスの設定には、以下の設計手順を用いることができます。

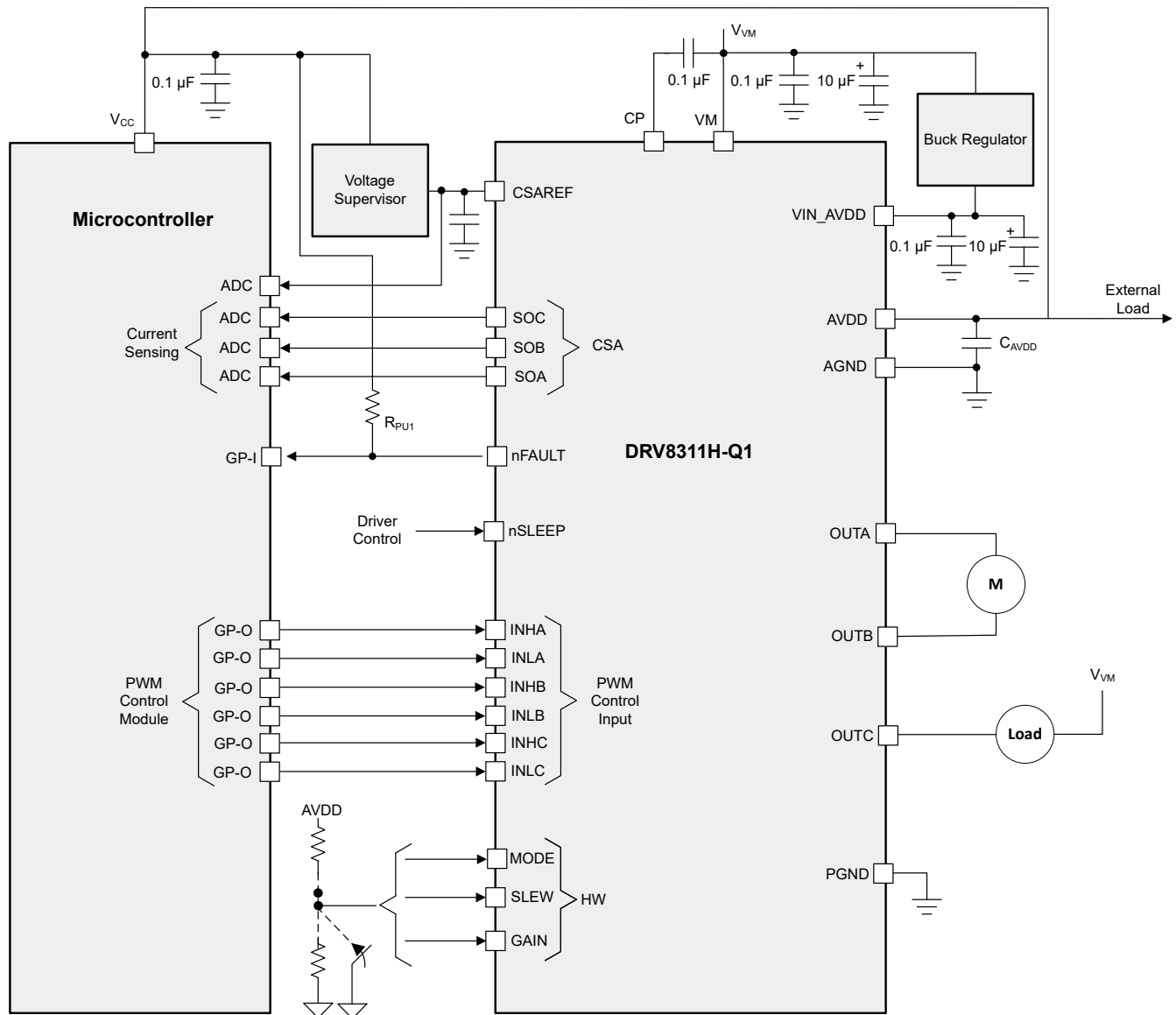


図 9-8. アプリケーション回路図 (DRV8311H-Q1) - ブラシ付き DC およびソレノイドの負荷ドライブ ブロック



アプリケーションに応じて、電流制限の有無を問わず 6x PWM モードまたは 3x PWM モードを用いて、ブラシ付き DC モーターやソレノイド負荷を駆動できます。ブラシ付き DC モーターは 2 つの OUTx 相に接続することで、統合フル H ブリッジ構成を形成し、モーターを両方向に駆動できます。

ソレノイド負荷は OUTx から VM もしくは GND に接続し、6x PWM または 3x PWM モードでプッシュプルドライバとして本デバイスを使用できます。負荷を OUTx から GND に接続した場合、ハイサイド MOSFET はソレノイドへ電流を供給し、ローサイド MOSFET はソレノイド電流の還流経路として還流ダイオードの役割を果たします。負荷を OUTx から VM に接続した場合、ローサイド MOSFET はソレノイドから GND へ電流を吸い込み、ハイサイド MOSFET はソレノイド電流の還流経路として還流ダイオードの役割を果たします。

9.5 電源に関する推奨事項

9.5.1 バルク コンデンサ

適切なローカル バルク容量の確保は、モーター駆動システムの設計において重要な要素です。一般的に、バルク容量が大きいことはより有益ですが、コストと物理的なサイズが大きくなるというデメリットもあります。

必要なローカル容量は、次のようなさまざまな要因で決まります。

- モーター システムが必要とする最大電流
- 電源の容量と電流能力
- 電源とモーター システムの間の寄生インダクタンスの大きさ
- 許容される電圧リップル
- 使用するモーターの種類 (ブラシ付き DC、ブラシレス DC、ステッパ)
- モーターのブレーキ方式

電源とモーター駆動システムとの間のインダクタンスにより、電源からの電流の変化する速度が制限されます。ローカル バルク容量が小さすぎると、モーターに大電流を供給しようとする場合、または負荷ダンピングが発生した場合、システムの電圧が変動します。十分なバルク容量を備えることで、モーターの電圧は安定し、大電流を素早く供給できます。

データシートには一般に、推奨値が記載されていますが、バルク コンデンサの容量が適切かどうかを判断するには、システムレベルのテストが必要です。

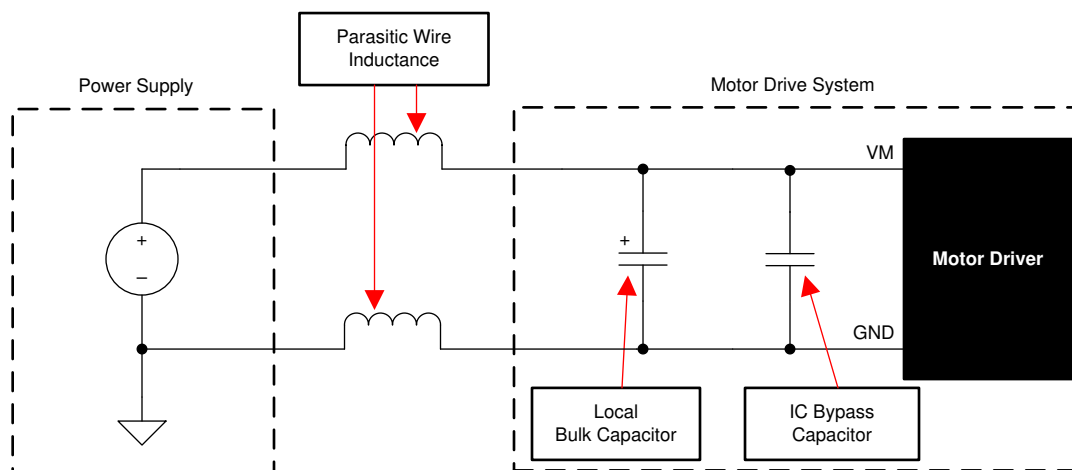


図 9-9. 外部電源を使用したモーター駆動システムの構成例

バルク キャパシタの定格電圧は、モーターが電源にエネルギーを伝達する場合の余裕を考慮して、動作電圧より高く設定されます。

9.6 レイアウト

9.6.1 レイアウトのガイドライン

バルク キャパシタは、モータードライバ デバイスを通る大電流パスの距離ができるだけ短くなるように配置する必要があります。接続用の金属パターンはできる限り幅を広くし、PCB 層を接続する際には多数のビアを使用します。これらの手法により、インダクタンスが最小限に抑えられ、バルク コンデンサが大電流を供給できるようになります。

小容量のコンデンサはセラミック製であり、AVDD、チャージ ポンプ、CSAREF、VINAVDD、VM などのデバイスの各ピンの近傍に配置されています。

大電流デバイス出力には、幅の広い金属パターンを使用します。

大電流の過度現象によるノイズ結合や EMI の影響を小信号経路に及ぼさないために、グラウンディングは、PGND と AGND に分離されています。寄生効果を低減し、デバイスの消費電力を改善するために、電力段以外のすべての回路

(サーマル パッドを含む) を **AGND** に接続することを推奨します。グランドはネット タイを介して接続されており、電位差を抑えつつゲートドライバの性能を維持する設計となっています。**PGND** と **AGND** には共通のグランド プレーンを使用してグランディングのインダクタンスを最小化することも可能ですが、**TI** は、モーターのスイッチング出力をアナログ回路やデジタル回路からできるだけ離して配置することを推奨しています。こうすることで、モーター ノイズがアナログおよびデジタル回路に結合するのを防ぐことができます。

本デバイスのサーマル パッドは、**PCB** の最上層のグランド プレーンに半田付けします。複数のビアを使用して最下層の大きなグランド プレーンに接続します。大きな金属プレーンと複数のビアを使うと、本デバイス内で発生する熱を放散するのに有利です。

放熱性を高めるため、サーマル パッド グランドに接続されたグランド領域を、**PCB** の全層にわたって最大化します。厚い銅のベタ パターンを使うと、接合部から外気への熱抵抗が下がり、ダイ表面からの放熱性が改善されます。

9.6.2 レイアウト例

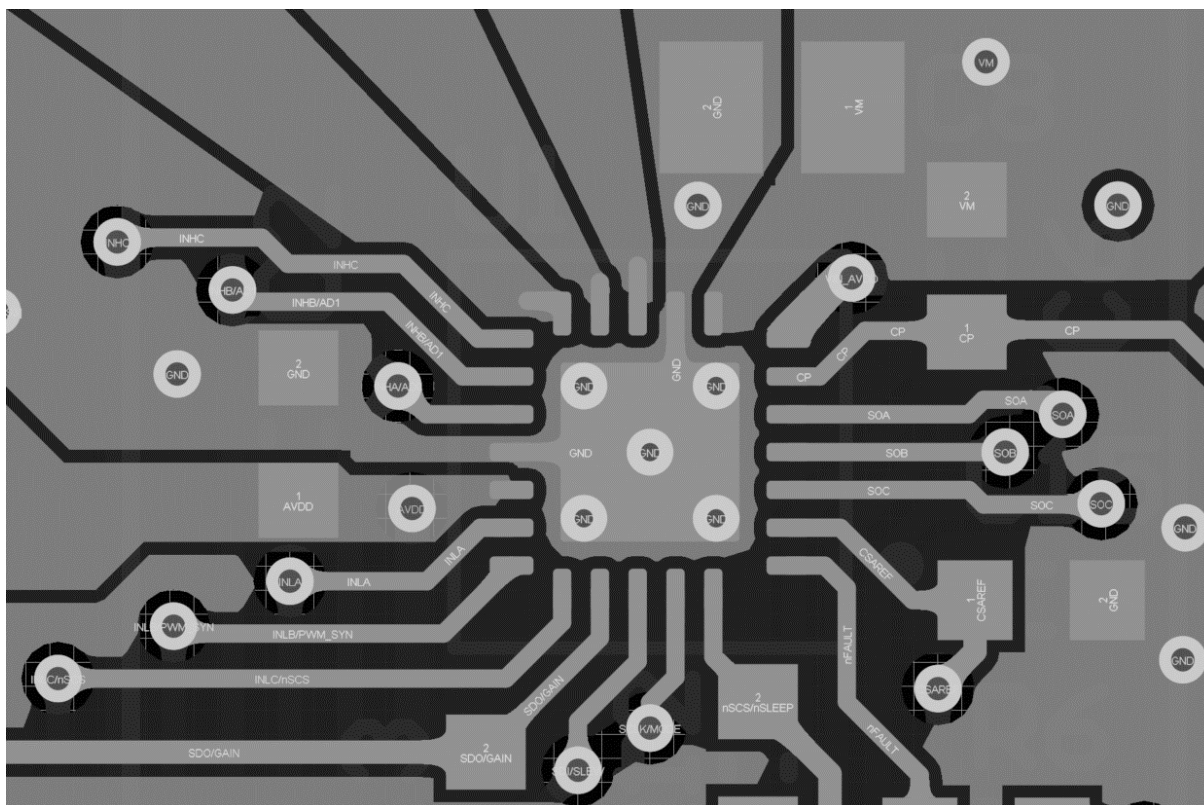


图 9-10. DRV8311P-Q1DRV8311-Q1

9.6.3 熱に関する注意事項

DRV8311-Q1 は、前述のようにサーマル シャットダウン機能 (TSD) を備えています。ダイ温度が 150°Cを超えると、ダイ温度が安全なレベルに低下するまで、本デバイスの機能は (最小限に) 無効化されます。

何度もサーマル シャットダウンが作動する場合、それは、消費電力が過大である、放熱が不十分である、周囲温度が高すぎる、のいずれかであることを示しています。

9.6.3.1 消費電力と接合部温度の概算

消費電力

DRV8311-Q1 の電力損失には、スタンバイ電力損失、LDO の電力損失、FET の導通損失とスイッチング損失、ダイオード損失が含まれます。FET の導通損失は、DRV8311-Q1 の合計消費電力の大部分を占めます。起動時およびフォルト条件では、出力電流が通常よりも大きくなるため、ピーク電流とその持続時間を考慮する必要があります。デバイスの合計消費電力は、互いに追加された 3 つのハーフブリッジのそれぞれで消費される電力です。本デバイスが消費して放散できる電力の最大値は、周囲温度とヒートシンクの影響を受けます。 $R_{DS(ON)}$ は温度とともに上昇するので、デバイスが発熱すると消費電力が増大することに注意してください。PCB とヒートシンクを設計する際には、この点を考慮に入れてください。

表 9-3 は、台形波制御とフィールド オリエンテッド コントロール (磁界方向制御) における各損失の計算式をまとめたものです。

表 9-3. 台形波制御とフィールド オリエンテッド コントロール (磁界方向制御) における DRV8311-Q1 の電力損失

損失の種類	台形波制御	フィールド オリエンテッド コントロール (磁界方向制御/FOC)
スタンバイ消費電力	$P_{standby} = V_{VM} \times I_{VM_TA}$	
LDO (VM から)	$P_{LDO} = (V_{VIN_AVDD} - V_{AVDD}) \times I_{AVDD}$	
FET の導通	$P_{CON} = 2 \times (I_{PK(trap)})^2 \times R_{DS,ON(TA)}$	$P_{CON} = 3 \times (I_{RMS(FOC)})^2 \times R_{DS,ON(TA)}$
FET のスイッチング	$P_{SW} = I_{PK(trap)} \times V_{PK(trap)} \times t_{rise/fall} \times f_{PWM}$	$P_{SW} = 3 \times I_{RMS(FOC)} \times V_{PK(FOC)} \times t_{rise/fall} \times f_{PWM}$
ダイオード (デッドタイム)	$P_{diode} = 2 \times I_{PK(trap)} \times V_{F(diode)} \times t_{DEAD} \times f_{PWM}$	$P_{diode} = 6 \times I_{RMS(FOC)} \times V_{F(diode)} \times t_{DEAD} \times f_{PWM}$

接合部温度の推定

式 17 の式を用いて、電力損失からダイの接合部温度を計算します。熱抵抗 $R_{\theta JA}$ は、PCB 構成 (周囲温度、PCB 層数、銅厚、PCB サイズなど) に依存することに注意してください。

$$T_J(^{\circ}C) = P_{LOSS}(W) \times R_{\theta JA}(^{\circ}C/W) + T_A(^{\circ}C) \quad (17)$$

さまざまな使用条件でのデバイス消費電力および接合部温度の概算には、『BLDC 内蔵 MOSFET 熱計算ツール』を参照してください。

10 デバイスおよびドキュメントのサポート

10.1 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

10.2 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

10.3 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.4 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
October 2025	*	初版リリース

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントの改訂を伴わない場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

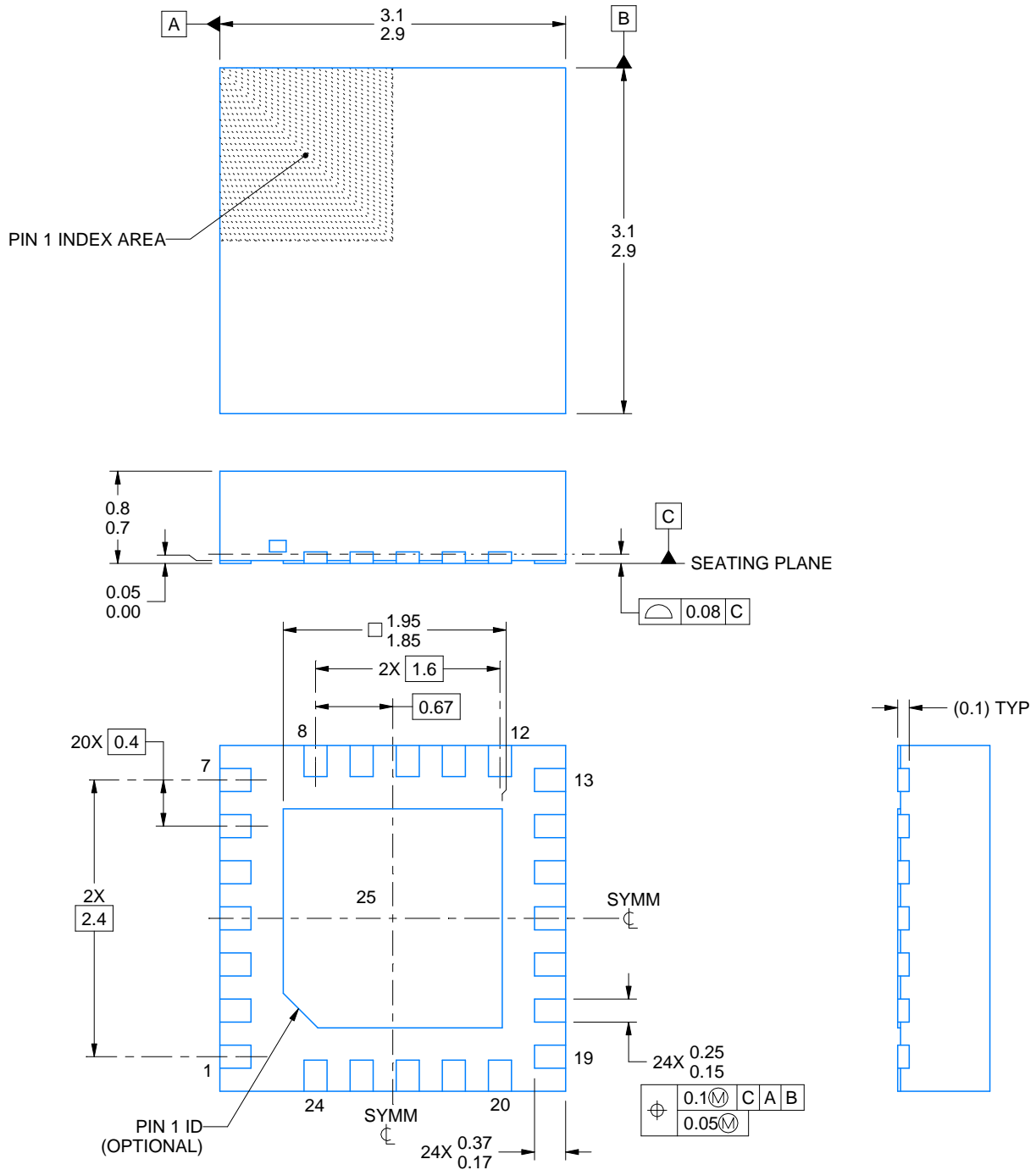
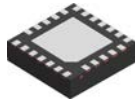
Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRV8311PQRRWRQ1	Active	Production	WQFN (RRW) 24	5000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	8311PQ

- (1) **Status:** For more details on status, see our [product life cycle](#).
- (2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.
- (3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.
- (4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.
- (5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.
- (6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.



4226921/B 10/2021

NOTES:

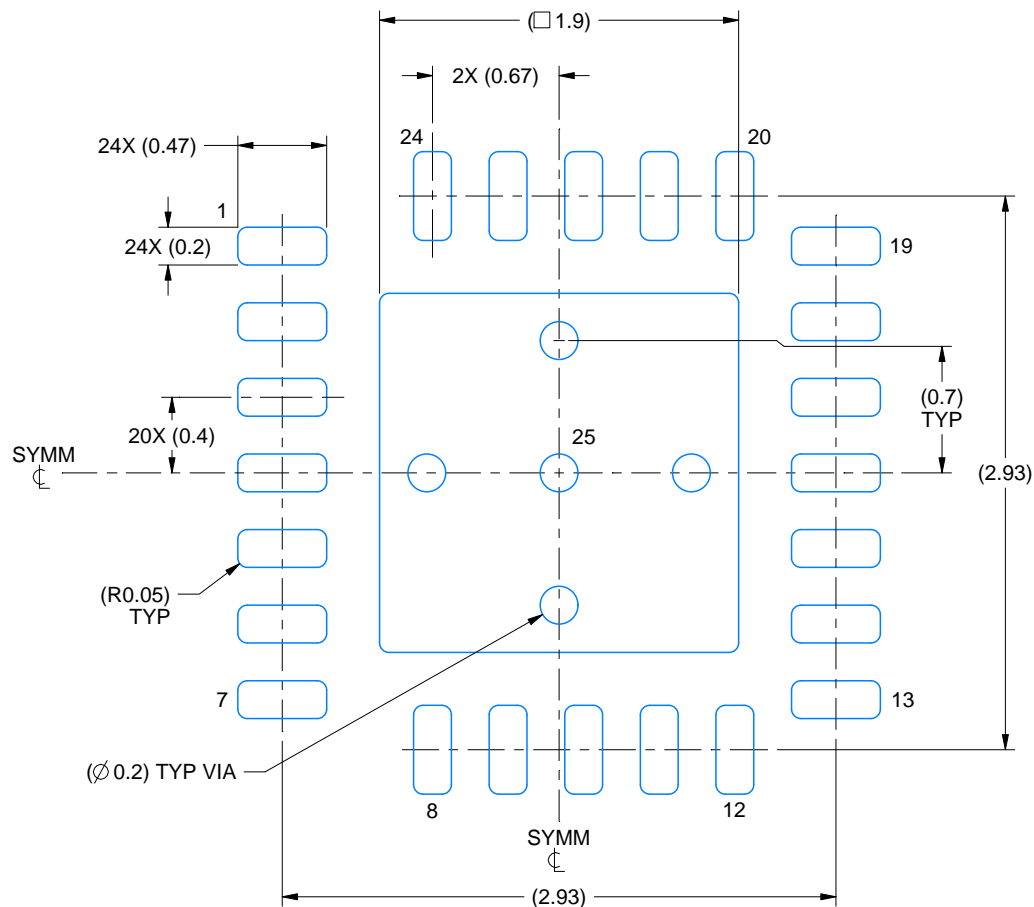
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

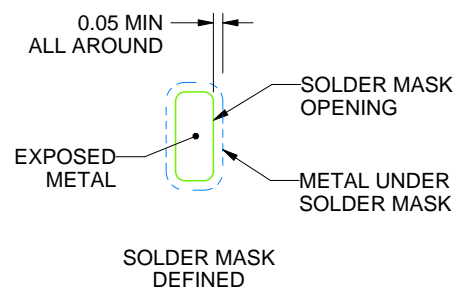
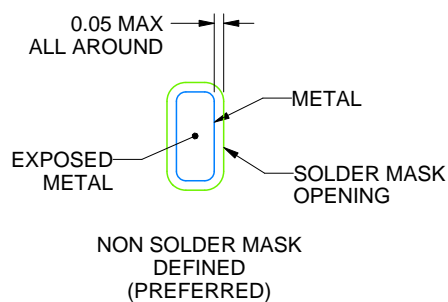
RRW0024A

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:25X



SOLDER MASK DETAILS

4226921/B 10/2021

NOTES: (continued)

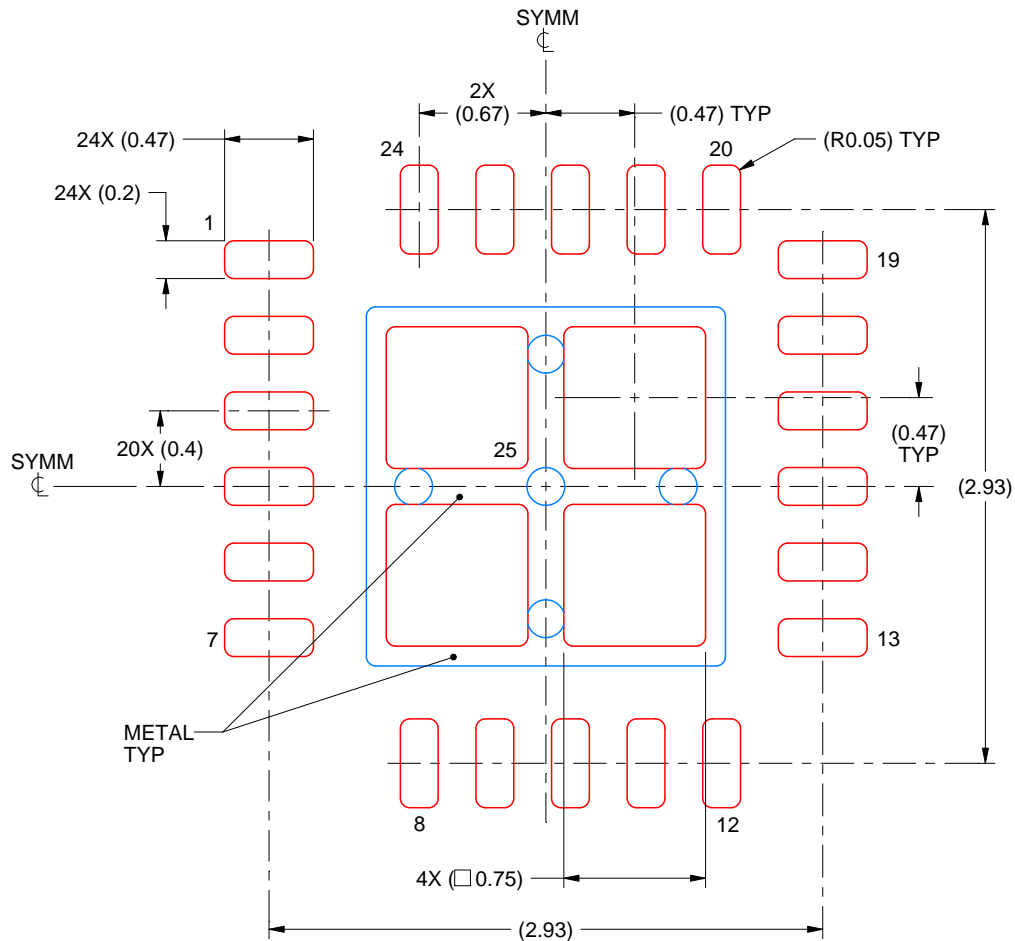
- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RRW0024A

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL

EXPOSED PAD 25:
78% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4226921/B 10/2021

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月