DRV8334 3 相スマート ゲート ドライバ、高精度電流センシング機能および高度監視機能

1 特長

- 3 相ハーフブリッジ ゲートドライバ
  - 6 個の N チャネル MOSFET (NMOS) を駆動
  - 4.5 ～ 60V の広い動作電圧範囲
  - ハイサイド ゲートドライバのブートストラップ アーキテクチャ
  - 最大で平均 50mA のゲート スイッチング電流をサポートする強力な GVDD チャージ ポンプにより、400nC の MOSFET を 20kHz で駆動可能
  - トリクル チャージ ポンプにより 100% の PWM デューティ サイクルをサポートし、外付けの保護回路を駆動するためのオーバードライブ電源を生成
- スマート ゲートドライブ アーキテクチャ
  - 45 レベルで構成可能な最大 1000 / 2000mA (ソース / シンク) のピーク ゲートドライブ電流
  - 3 ステップの動的駆動電流制御
  - 構成可能なソフト シャットダウンにより、過電流シャットダウン時の誘導性電圧スパイクを最小化
- ローサイド電流検出アンプ
  - 全温度範囲にわたって 1mV 未満の低入力オフセット
  - 9 レベルの可変ゲイン
- SPI ベースの詳細な構成と診断
- ドライバを個別にディセーブルする DRVOFF ピン
- 高電圧ウェークアップ ピン (nSLEEP)
- 6x、3x、1x、および独立 PWM モード
- 3.3V および 5V のロジック入力をサポート
- 内蔵保護機能
  - バッテリおよび電源電圧モニタ
  - 位相フィードバック コンパレータ
  - MOSFET V_{DS} および R_{sense} 過電流監視
  - MOSFET V_{GS} ゲート フォルト監視
  - デバイス熱警告とシャットダウン
  - フォルト状態インジケータ ピン

2 アプリケーション

- 家電製品、コードレスの庭園機器および電動工具、芝刈り機
- ブラシレス DC (BLDC) モーター モジュールおよび PMSM
- ファン、ポンプ、サーボ ドライブ
- 電動アシスト自転車、電動スクーター、E-モビリティ
- コードレス掃除機
- ドローン、産業用および物流用ロボット、ラジコン玩具

3 説明

DRV8334 は、3 相 BLDC アプリケーション向けの統合スマート ゲート ドライバです。このデバイスには、3 つのハーフ ブリッジ ゲートドライバがあり、それぞれがハイサイドとローサイドの N チャネル パワー MOSFET を駆動できます。DRV8334 は、内蔵ブートストラップ ダイオードと と GVDD チャージ ポンプを使用して、適切なゲート駆動電圧を生成します。スマート ゲートドライブのアーキテクチャは、0.8mA から最大でソース 1A、シンク 2A までの構成可能なピーク ゲート駆動電流をサポートします。DRV8334 単一電源で 4.5V ～ 60V の広い入力電圧範囲で動作できます。トリクル チャージ ポンプを使用することで、100% PWM デューティ サイクル制御をサポートし、外部スイッチのオーバードライブ電源電圧を供給できます。

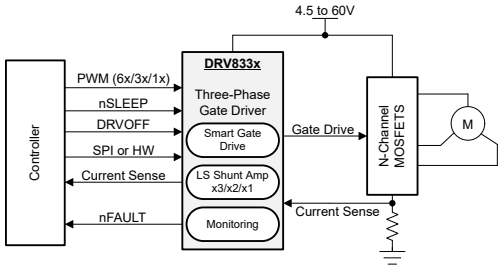
DRV8334 は、抵抗によるローサイド電流検出をサポートする、ローサイド電流検出アンプを備えています。アンプのオフセットが低いため、システムは正確なモーター電流測定を行うことができます。

DRV8334 に内蔵されている広範な診断機能と保護機能により、堅牢なモーター駆動システムの設計が可能になり、外部コンポーネントの必要性がなくなります。高度に構成可能なデバイス応答により、このデバイスは、さまざまなシステム設計にシームレスに組み込むことができます。

パッケージ情報

部品番号	パッケージ(1)	パッケージ サイズ(2)	本体サイズ (公称)
DRV8334	HTQFP (48)	9mm × 9 mm	7mm × 7mm
	QFN (48)	7mm × 7mm	7mm × 7mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) パッケージ サイズには、該当する場合はピンも含まれます。



概略回路図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.... 1
2 アプリケーション.... 1
3 説明.... 1
4 ピン構成および機能.... 3
4.1 ピン機能 48 ピン DRV8334 3
5 仕様.... 6
5.1 絶対最大定格.... 6
5.2 ESD 定格 (DRV8334).... 7
5.3 推奨動作条件.... 7
5.4 熱に関する情報.... 8
5.5 電気的特性.... 8
5.6 タイミング要件.... 20
5.7 SPI のタイミング図.... 21
6 詳細説明.... 22
6.1 概要.... 22
6.2 機能ブロック図.... 23
6.3 機能説明.... 24
6.4 デバイスの機能モード.... 43
6.5 プログラミング.... 45
7 レジスタ マップ.... 47
7.1 STATUS レジスタ.... 48
7.2 制御レジスタ.... 52
8 アプリケーションと実装.... 69
8.1 アプリケーション情報.... 69
8.2 代表的なアプリケーション.... 69
8.3 レイアウト.... 72
9 デバイスおよびドキュメントのサポート.... 74
9.1 ドキュメントのサポート.... 74
9.2 ドキュメントの更新通知を受け取る方法.... 74
9.3 コミュニティリソース.... 74
9.4 商標.... 74
10 改訂履歴.... 74
11 メカニカル、パッケージ、および注文情報.... 75
11.1 付録:パッケージ オプション.... 76
11.2 テープおよびリール情報.... 77

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能

4.1 ピン機能 48 ピン DRV8334

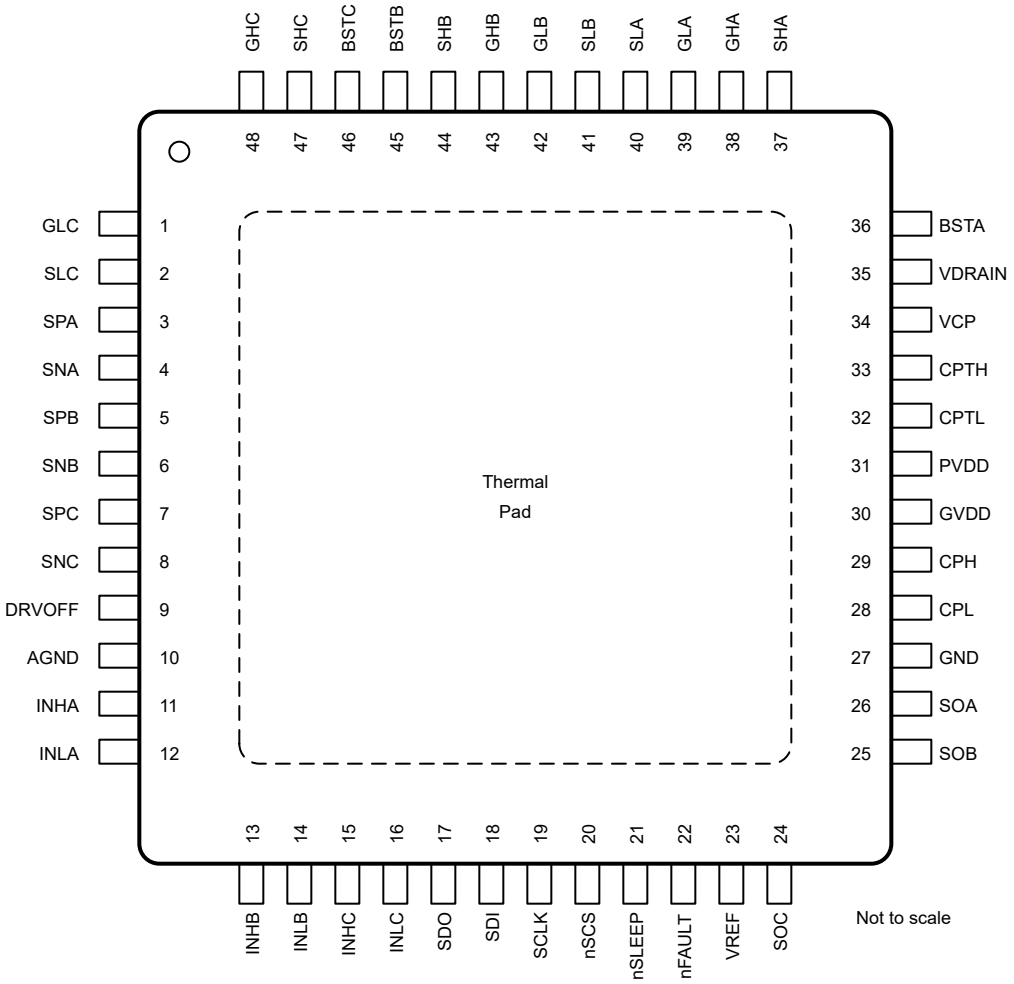


図 4-1. DRV8334 パッケージ、48 ピン 、HTQFP (露出サーマル パッド付き) 上面図

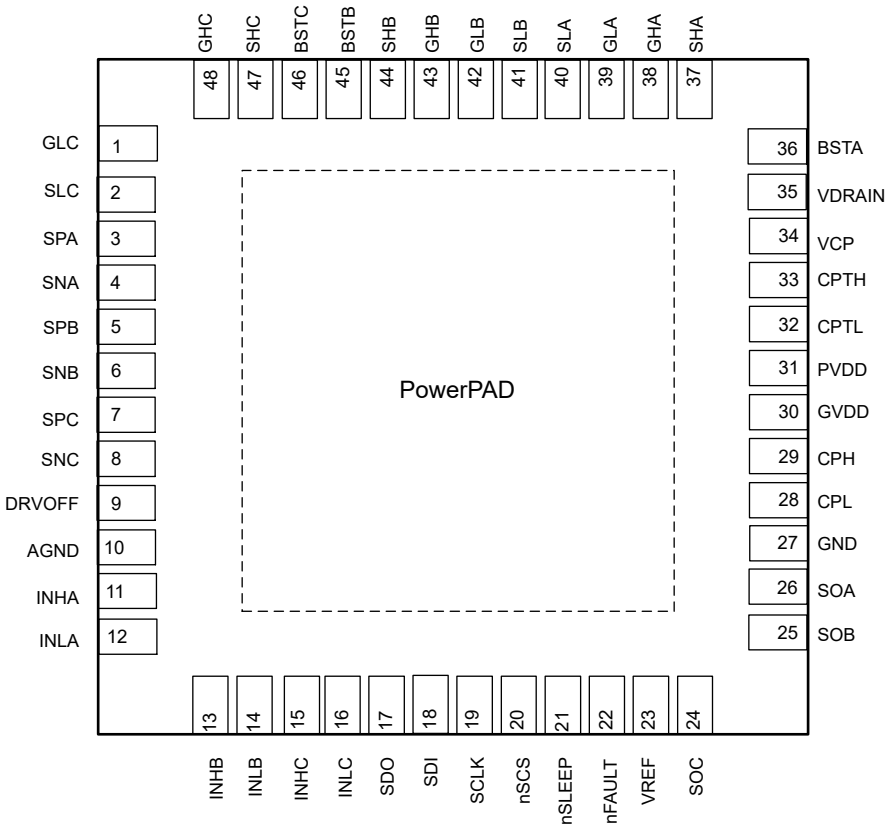


図 4-2. DRV8334xRGZ パッケージ、48 ピン 、QFN (開発中製品) (露出サーマル パッド付き) 上面図

表 4-1. ピンの機能　48-QFP

ピン		I/O[(1)]	説明
名称	番号		
GLC	1	O	ローサイド ゲートドライバ出力。ローサイド パワー MOSFET のゲートに接続します。
SLC	2	I	ローサイド ソース検出入力。ローサイド パワー MOSFET のソースに接続します。
SPA	3	I	ローサイド電流シャント アンプ入力。ローサイド パワー MOSFET のソースと電流シャント抵抗の高電位側に接続します。
SNA	4	I	電流検出アンプ入力。電流シャント抵抗の低電位側に接続します。
SPB	5	I	ローサイド電流シャント アンプ入力。ローサイド パワー MOSFET のソースと電流シャント抵抗の高電位側に接続します。
SNB	6	I	電流検出アンプ入力。電流シャント抵抗の低電位側に接続します。
SPC	7	I	ローサイド電流シャント アンプ入力。ローサイド パワー MOSFET のソースと電流シャント抵抗の高電位側に接続します。
SNC	8	I	電流検出アンプ入力。電流シャント抵抗の低電位側に接続します。
DRVOFF	9	I	ゲートドライバ出力 GHx および GLx へのアクティブ High シャットダウン入力。
AGND	10	PWR	デバイスのグランド。
INHA	11	I	ハイサイド ゲートドライバの制御入力。このピンはハイサイド ゲートドライバの出力を制御します。
INLA	12	I/O	ローサイド ゲートドライバの制御入力。このピンはローサイド ゲートドライバの出力を制御します。このピンは、SPI レジスタ ビット PHC_OUTEN により、位相コンパレータのバッファを出力するように構成できます。
INHB	13	I	ハイサイド ゲートドライバの制御入力。このピンはハイサイド ゲートドライバの出力を制御します。
INLB	14	I/O	ローサイド ゲートドライバの制御入力。このピンはローサイド ゲートドライバの出力を制御します。このピンは、SPI レジスタ ビット PHC_OUTEN により、位相コンパレータのバッファを出力するように構成できます。
INHC	15	I	ハイサイド ゲートドライバの制御入力。このピンはハイサイド ゲートドライバの出力を制御します。
INLC	16	I/O	ローサイド ゲートドライバの制御入力。このピンはローサイド ゲートドライバの出力を制御します。このピンは、SPI レジスタ ビット PHC_OUTEN により、位相コンパレータのバッファを出力するように構成できます。
SDO	17	O	シリアル データ出力。
SDI	18	I	シリアル データ入力。
SCLK	19	I	シリアル クロック入力。
nSCS	20	I	シリアル チップ選択。
nSLEEP	21	I	ゲートドライバ nSLEEP。このピンを論理 Low にすると、本デバイスは低消費電力のスリープ モードに移行します。

Copyright © 2025 Texas Instruments Incorporated

表 4-1. ピンの機能　48-QFP (続き)

ピン		I/O[1]	説明
名称	番号		
nFAULT	22	OD	フォルト通知出力。このピンはフォルト条件中論理 Low にプルされ、外付けプルアップ抵抗を必要とします。
VREF	23	PWR	電流センス アンプ用外部電圧レファレンス。
SOC	24	O	電流センスアンプの出力。
SOB	25	O	電流センスアンプの出力。
SOA	26	O	電流センスアンプの出力。
GND	27	PWR	デバイスのグランド
CPL	28	PWR	チャージ ポンプのスイッチング ノード。フライング コンデンサを CPH ピンと CPL ピンの間に接続します。
CPH	29	PWR	チャージ ポンプのスイッチング ノード。フライング コンデンサを CPH ピンと CPL ピンの間に接続します。
GVDD	30	PWR	ゲートドライバの電源出力。GVDD 定格セラミック コンデンサを GVDD ピンと GND ピンの間に接続します。
PVDD	31	PWR	ゲートドライバの電源入力。ブリッジ電源に接続します。PVDD 定格セラミック コンデンサを PVDD ピンと GND ピンの間に接続します。
CPTL	32	PWR	トリクル チャージ ポンプ スイッチング ノード。チャージ ポンプ フライング コンデンサを CPTL ピンと CPTH ピンの間に接続します。
CPTH	33	PWR	トリクル チャージ ポンプ スイッチング ノード。チャージ ポンプ フライング コンデンサを CPTL ピンと CPTH ピンの間に接続します。
VCP	34	PWR	トリクル チャージ ポンプ ストレージ容量。VCP ピンと VDRAIN ピンの間にセラミック コンデンサを接続します。
VDRAIN	35	PWR	ハイサイド ドレイン検出およびチャージ ポンプ電源入力。
BSTA	36	O	ブートストラップ出力ピン。BSTA と SHA の間にブートストラップ コンデンサを接続します
SHA	37	I	ハイサイド ソース センス入力。ハイサイド パワー MOSFET ソースに接続します。
GHA	38	O	ハイサイド ゲートドライバ出力。ハイサイド パワー MOSFET のゲートに接続します。
GLA	39	O	ローサイド ゲートドライバ出力。ローサイド パワー MOSFET のゲートに接続します。
SLA	40	I	ローサイド ソース検出入力。ローサイド パワー MOSFET のソースに接続します。
SLB	41	I	ローサイド ソース検出入力。ローサイド パワー MOSFET のソースに接続します。
GLB	42	O	ローサイド ゲートドライバ出力。ローサイド パワー MOSFET のゲートに接続します。
GHB	43	O	ハイサイド ゲートドライバ出力。ハイサイド パワー MOSFET のゲートに接続します。
SHB	44	I	ハイサイド ソース センス入力。ハイサイド パワー MOSFET ソースに接続します。
BSTB	45	O	ブートストラップ出力ピン。BSTB と SHB の間にブートストラップ コンデンサを接続します
BSTC	46	O	ブートストラップ出力ピン。BSTC と SHC の間にブートストラップ コンデンサを接続します
SHC	47	I	ハイサイド ソース センス入力。ハイサイド パワー MOSFET ソースに接続します。
GHC	48	O	ハイサイド ゲートドライバ出力。ハイサイド パワー MOSFET のゲートに接続します。
PAD	該当なし	該当なし	露出パッド。最高の放熱能力を持つ GND プレーンに接続します。このパッドは、回路動作のための GND への電気接続としては使用されません。

(1)　信号タイプ : I = 入力、O = 出力、I/O = 入力または出力、PWR = 電源

5 仕様

5.1 絶対最大定格

動作温度範囲内 (特に記述のない限り) [(1)]

		最小値	最大値	単位
電源ピン電圧	PVDD	-0.3	65	V
ハイサイド MOSFET ドレイン ピン電圧	VDRAIN	-0.3	65	V
グランド ピン間の電圧差	AGND、GND	-0.3	0.3	V
チャージ ポンプ ピン電圧	CPH	-0.3	V_{GVDD} + 0.3	V
チャージ ポンプ ピン電圧	CPL	-0.3	V_{GVDD} + 0.9 V_{PVDD} + 0.6	V
トリクル チャージ ポンプ ハイサイド ピン電圧	CPTH	-0.3	80	V
トリクル チャージ ポンプ ローサイド ピン電圧	CPTL	-0.3	V_{VDRAIN} + 0.3	V
トリクル チャージ ポンプ出力ピン電圧	VCP	-0.3	80	V
ゲートドライバ レギュレータ ピン電圧 V_{GVDD}	GVDD	-0.3	18	V
ロジック ピン電圧	nSLEEP	-0.3	65	V
ロジック ピン電圧	DRVOFF	-0.3	65	V
ロジック ピン電圧	INHx、INLx、nFAULT、SCLK、SDO、SDI、nSCS	-0.3	6.5	V
ロジック ピン電圧	INHx、INLx、nFAULT、SCLK、SDO、SDI、nSCS:トランジェント	-0.3	7.0	V
ブートストラップ ピン電圧	BSTx、連続	-0.3	80	V
	SHx を基準とした BSTx	-0.3	20	V
	GHx を基準とした BSTx	-0.3	20	V
ブートストラップ ピン過渡電流	BSTx、トランジェント (500 ns)、想定される外部コンポーネント R_{BST} = 2Ω および条件 $V(R_{BST})$ = -7V、		3.5	A
ハイサイド ゲートドライブ ピン電圧	GHx、連続	-8	80	V
ハイサイド ゲートドライブ ピン電圧	GHx、トランジェント 1us	-15	80	V
SHx を基準とするハイサイド ゲートドライブ ピン電圧	GHx - SHx	-0.3	BSTx + 0.3	V
ハイサイド ソース ピン電圧	SHx、連続	-8	70	V
ハイサイド ソース ピン電圧	SHx、トランジェント 1us	-15	72	V
ローサイド ゲートドライブ ピン電圧	SLx (LSS) を基準とした GLx	-0.3	20	V
ローサイド ゲートドライブ ピン電圧	GVDD を基準とした GLx、V_{GLx} > V_{GVDD} の場合 V_{GLx} - V_{GVDD}		0.3	V
ローサイド ゲートドライブ ピン電圧	GLx、連続	-8	20	V
ローサイド ゲートドライブ ピン電圧	GLx、トランジェント 1us	-15	20	V
ローサイド ソース検出ピン電圧	SLx、連続	-8	V_{GVDD}	V
ローサイド ソース検出ピン電圧	SLx、トランジェント 1us	-15	V_{GVDD}	V
ゲート駆動電流	GHx、GLx	内部的に制限	内部的に制限	A
基準電圧入力ピン電圧	VREF	-0.3	6	V
シャント アンプ入力ピン電圧	SNx、SPx、連続	-5	5	V
シャント アンプ入力ピン電圧	SNx、SPx、トランジェント 1μs	-15	15	V
シャント アンプ出力ピン電圧	SOx	-0.3	VREF + 0.3	V
電源過渡電圧ランプ	PVDD、VDRAIN、VREF		3	V/μs

Copyright © 2025 Texas Instruments Incorporated

動作温度範囲内 (特に記述のない限り) (1)

		最小値	最大値	単位
ハイサイド ソース スルーレート	SHx、V_{BSTx} - V_{SHx} ≥ 5.5V nSLEEP = High および ENABLE_DRV = 1b		4	V/ns
周囲温度、T_A	周囲温度、T_A	-40	125	°C
接合部温度、T_J	接合部温度、T_J	-40	150	°C
保管温度、T_{stg}		-65	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります

5.2 ESD 定格 (DRV8334)

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM) ANSI/ESDA/JEDEC JS-001 準拠(1)	±2000	V
		荷電デバイス モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠(2)	±500	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.3 推奨動作条件

動作温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
V_{VM}	電源電圧	PVDD デバイス完全機能。PVDD = 4.5V で動作するのは、それより高い PVDD から得られる場合のみ。スタートアップ時の最小 PVDD = 4.85V	4.5		36	V
V_{VM}	ロジック動作の電源電圧	PVDD、ロジック、SPI は、起動時にバッテリが最小 PVDD から低下した後に機能します (デバイスの完全な機能から復帰した後のバッテリ始動中)	4.0		60	V
V_{VDRAIN}	ハイサイド MOSFET ドレイン電圧	VDRAIN、フル機能	4.5		60	V
V_{VDRAIN}	ハイサイド MOSFET ドレイン電圧	VDRAIN、限定的な機能 (VDS モニタ)。GVDD、TCP/VCP、BST、ゲートドライバは機能しています。	0		60	V
V_{BST}	SHx を基準とするブートストラップ ピンの電圧	nSLEEP = High、PWM スイッチング、ゲートドライバが機能しています(1)	3.9		20	V
I_{VCP}	VCP 外部負荷	VCP、PVDD < 8V			3	mA
I_{VCP}	VCP 外部負荷	VCP、PVDD > 8V			5	mA
V_{IN}	ロジック入力電圧	DRVOFF、INHx、INLx	0		5.5	V
V_{IN}	ロジック入力電圧	nSLEEP、	0		60	V
V_{IN}	ロジック入力電圧	SCLK、SDI、nSCS	0		5.5	V
V_{OD}	オープンドレイン プルアップ電圧	nFAULT			5.5	V
I_{OD}	オープンドレイン出力プルアップ抵抗	nFAULT	5			KΩ
I_{OD}	オープンドレイン出力電流	SDO、PHC、DC 条件			-1	mA
I_{GS}	総平均ゲート駆動電流 (ローサイドとハイサイドを合わせて)	I_{GHx}.I_{GLx}			50	mA
V_{VREF}	電流センス アンプ リファレンス 電圧	VREF	3		5.5	V

動作温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
V_{SL}	SLx の DC 電圧	SLx ピン、DC 条件	-2		2	V
V_{CM_CSA}	電流センス入力同相電圧	SP、SN	-2		2	V
T_A	動作時の周囲温度		-40		125	°C
T_J	動作時接合部温度		-40		150	°C

(1) V_{BST} は、外部 MOSFET の条件だけでなく、過電圧 / 低電圧検出スレッショルド V_{BST_OV}/V_{BST_UV} とともにユーザーが確認する必要があります。

5.4 熱に関する情報

熱評価基準[1]		DRV8334 PHP (QFP) 48 ピン	DRV8334 RGZ (QFN) 48 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	27.0	23.7	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	15.6	11.6	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	11.0	6.5	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.2	0.2	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	10.9	6.5	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	1.1	1.2	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

5.5 電気的特性

4.5V ≤ V_{PVDD} ≤ 60V、–40°C ≤ T_J ≤ 150°C (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源 (PVDD)						
I_{PVDDQ}	PVDD スリープ モード電流	V_{PVDD} = 12V、nSLEEP = 0、T_A = 25°C、I_{PVDDQ} = PVDD + VDRAIN		16	20	µA
I_{PVDDQ}	PVDD スリープ モード電流	V_{PVDD} = 24V、nSLEEP = 0、T_A = 25°C、I_{PVDDQ} = PVDD + VDRAIN		16	30	µA
I_{PVDDQ}	PVDD スリープ モード電流	V_{PVDD} = < 36V、nSLEEP = 0、TJ < 150C、I_{PVDDQ} = PVDD + VDRAIN		18	50	µA
I_{PVDD}	PVDD アクティブ モード電流	V_{PVDD} = 24V、nSLEEP = HIGH、INHx = INLX = Low.FET 接続なし、I_{PVDD} = PVDD + VDRAIN、V_{DRAIN} = 24V		28	38	mA
I_{PVDD}	PVDD アクティブ モード電流	V_{PVDD} = 60V、nSLEEP = HIGH、INHx = INLX = Low.FET 接続なし、I_{PVDD} = PVDD + VDRAIN、V_{DRAIN} = 60V、VCP_MODE = 00b、01b、11b		50		mA
I_{PVDD}	PVDD アクティブ モード電流	V_{PVDD} = 24V、nSLEEP = HIGH、INHx = INLX = 20kHz でスイッチング、FET 接続なし、I_{PVDD} = PVDD + VDRAIN		25	40	mA
I_{PVDD}	PVDD アクティブ モード電流	V_{PVDD} = 60 V、nSLEEP = HIGH、INHx = INLX = 20kHz でスイッチング。FET 接続なし、I_{PVDD} = PVDD + VDRAIN、V_{DRAIN} = 60V、VCP_MODE = 00b、01b、11b		55		mA
t_{WAKE}	ターンオン時間	nSLEEP = Low から High、nFAULT が High に移行。		1	5	ms

Copyright © 2025 Texas Instruments Incorporated

4.5V ≤ V_{PVDD} ≤ 60V、–40°C ≤ T_J ≤ 150°C (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
ロジック レベル入力 (INHx、INLx、nSLEEP など)						
V_{IL}	入力ロジック Low 電圧				0.8	V
V_{IH}	入力ロジック High 電圧		2.1			V
V_{HYS}	入力ヒステリシス		200	330	450	mV
V_{IL}	DRVOFF 入力ロジック Low 電圧	DRVOFF			0.65	V
V_{IH}	DRVOFF 入力ロジック High 電圧	DRVOFF	2.1			V
V_{HYS}	DRVOFF 入力ヒステリシス	DRVOFF	200	400	600	mV
R_{PD}	入力プルダウン抵抗	対 GND、INHx、INLx、SCLK、SDI	50	100	150	kΩ
R_{PD}	入力プルダウン抵抗	nSLEEP、DRVOFF	460	800	1700	kΩ
I_{IL}	入力ロジック Low 電流	V_I = 0V、nSCS (内部プルアップ)、VIO = 3.3V	11	33	66	μA
I_{IL}	入力ロジック Low 電流	V_I = 0V、nSCS (内部プルアップ)、VIO = 5V	25	50	100	μA
I_{IH}	入力ロジック High 電流	V_I = 5V、INHx/INLx/SDI/SCLK	30	50	70	μA
V_{IH}	nSleep 入力ロジック High 電圧				2.1	V
V_{IL}	nSleep 入力ロジック Low 電圧		0.8			V
V_{HYST}	nSleep 入力ロジック ヒステリシス		0.1			V
ロジック レベル出力 (nFAULT、SDO、PHCx)						
V_{OL}	出力ロジック Low 電圧	I_{DOUT} = 1mA、PHCOMP			0.5	V
V_{OL}	出力ロジック Low 電圧	I_{DOUT} = 1mA、SDO			0.5	V
V_{OH}	ロジック High 出力電圧	I_{DOUT} = 1mA、SDO、3.3V モード	2.7	3.3	3.6	V
V_{OH}	ロジック High 出力電圧	I_{DOUT} = 1mA、PHCOMP、5V モード、V_{PVDD} ≥ 4.5V	4.0	5	5.5	V
V_{OH}	ロジック High 出力電圧	I_{DOUT} = 1mA、SDO、5V モード、V_{PVDD} ≥ 4.5V	4.0	5	5.5	V
V_{OH}	ロジック High 出力電圧	I_{DOUT} = 1mA、SDO、5V モード、4V ≤V_{PVDD} < 4.5V	3.6	3.8	4.5	V
I_{OZ}	出力ロジック High 電流	nFAULT:nFAULT = 5V を強制、フォルト イベントなし、nSLEEP = High SDO:V_{SDO} = 5V を強制、nSCS = High または nSLEEP = Low	-12		25	μA
I_{OZ}	出力ロジック High 電流	SDO:V_{SDO} = 0V を強制、nSCS = High または nSLEEP = Low	-12		10	μA
チャージ ポンプ (GVDD、VCP)						
V_{GVDD}	GVDD ゲートドライバ レギュレータ電圧 (LDO モード)	22V ≤V_{PVDD}、I_{GS} ≤50mA	11.5		13.5	V
		18V ≤ V_{PVDD} ≤ 22V、I_{GS} ≤ 50mA	11.5		13.5	V
	GVDD ゲートドライバ レギュレータ電圧 (チャージ ポンプ モード)	7.2V ≤ V_{PVDD} ≤ 18V、I_{GS} = 50mA、I_{VCP} = 5mV	11.5		13.5	V
		6.5V ≤V_{PVDD} ≤ 7.2V、I_{GS} ≤ 20mA、I_{VCP} = 3mA DIS_GVDD_SS = 1b	11.5		13.5	V
		5V ≤V_{PVDD} ≤ 6.5V、I_{GS} ≤ 20mA、I_{VCP} = 3mA DIS_GVDD_SS = 1b	9		13	V
		4.5V ≤V_{PVDD} ≤ 5V、I_{GS} ≤ 20mA、I_{VCP} = 3mA、 DIS_GVDD_SS = 1b	8		10	V

4.5V ≤ V_{PVDD} ≤ 60V、–40°C ≤ T_J ≤ 150°C (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{VCP}	VCP チャージ ポンプ電圧 (VDRAIN を基準とした場合)	V_{VCP} = $V_{(VCP - VDRAIN)}$、13.5 ≥ GVDD ≥ 11V、V_{DRAIN} > 4.5V、I_{VCP} 5mA、	9.8		13.5	V
		V_{VCP} = $V_{(VCP - VDRAIN)}$、9V ≤ GVDD < 11V、V_{DRAIN} > 4.5V、I_{VCP} = 3mA、	8.4		11	
		V_{VCP} = $V_{(VCP - VDRAIN)}$、8V ≤ GVDD < 9V、V_{DRAIN} > 4.5V、I_{VCP} = 3mA、	7.4		9	
t_{BST_PRECHG}	VCP チャージ ポンプのブートストラップ コンデンサのプリチャージ時間	$V_{BST-SHX}$ = 5V 、INHx = INLx = Low.Tj = 150C、I_{VCP} = 3mA、C_{VCP} = 1.5μF、C_{BST} = 1.5μF (各相)、C_{VCP_FLY} = 1μF、V_{PVDD} = 4.5V		1.7	3	ms
V_{BST_TCPOFF}	VCP の BST 監視電圧により、BST コンデンサの充電を停止 (立ち上がり電圧)	INLx = 0、SHx = 0、VDRAIN、VDRAIN = PVDD = 12V、60V	12.0	13.2	14.6	V
ブートストラップ ダイオード						
V_{BOOTD}	ブートストラップ ダイオードの順方向電圧	I_{BOOT} = 100μA.			0.85	V
		I_{BOOT} = 10mA.			1	V
		I_{BOOT} = 100mA.T_J < 175℃			1.67	V
R_{BOOTD}	ブートストラップの動的抵抗 (ΔV_{BOOTD}/ΔI_{BOOT})	I_{BOOT} = 100mA および 50 mA。		5.5		Ω
ゲートドライバ (GHx、GLx、SHx、SLx)						
VGL_L	ローサイド低レベル出力電圧	IGLx = 10mA、GLx - SLx、IDRVN = 100100b：IHOLD_SEL = 0b、V_{GVDD} = 12V、	0		0.2	V
VGL_H	ローサイドハイレベル出力電圧	IGLx = 10mA、GVDD - GLx、IDRVP = 100100b、IHOLD_SEL = 0b、V_{GVDD} = 12V、	0		0.2	V
VGH_L	ハイサイド低レベル出力電圧	IGHx = 10mA、GHx - SHx、IDRVN = 100100b、IHOLD_SEL = 0b、V_{GVDD} = 12V、	0		0.2	V
VGH_H	ハイサイドハウレベル出力電圧	IGHx = 10mA、BSTx - GHx、IDRVP = 100100b、IHOLD_SEL = 0b、V_{GVDD} = 12V、	0		0.2	V
R_{PDSA_LS}	ロー サイド セミ アクティブ プルダウン抵抗	GLx から SLx、nSLEEP = Low、V_{GLx} - V_{SLx} = 2V、GVDD (BSTx-SHx) > 2V	2	3	4.3	kΩ
R_{PDSA_HS}	ハイ サイド セミ アクティブ プルダウン抵抗	GHx から SHx、nSLEEP = Low、V_{GHx} - V_{SHx} = 2V、GVDD (BSTx-SHx) > 2V	7	9	12	kΩ

Copyright © 2025 Texas Instruments Incorporated

4.5V ≤ V_{PVDD} ≤ 60V、–40°C ≤ T_J ≤ 150°C (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{DRVN}	ピーク シンクゲート電流	IDRVN=000000b、VGSx = 5V、BST-SHx = GVDD = 12V		0.75		mA
		IDRVN=000001b、VGSx = 5V、BST-SHx = GVDD = 12V		1.1		
		IDRVN=000010b、VGSx = 5V、BST-SHx = GVDD = 12V		1.5		
		IDRVN=000011b、VGSx = 5V、BST-SHx = GVDD = 12V		1.9		
		IDRVN=000100b、VGSx = 5V、BST-SHx = GVDD = 12V		2.3		
		IDRVN=000101b、VGSx = 5V、BST-SHx = GVDD = 12V		2.8		
		IDRVN=000110b、VGSx = 5V、BST-SHx = GVDD = 12V		3.4		
		IDRVN=000111b、VGSx = 5V、BST-SHx = GVDD = 12V		3.9		
		IDRVN=001000b、VGSx = 5V、BST-SHx = GVDD = 12V		4.4		
		IDRVN=001001b、VGSx = 5V、BST-SHx = GVDD = 12V		5.3		
		IDRVN=001010b、VGSx = 5V、BST-SHx = GVDD = 12V		6.3		
		IDRVN=001011b、VGSx = 5V、BST-SHx = GVDD = 12V		7.2		
		IDRVN=001100b、VGSx = 5V、BST-SHx = GVDD = 12V		8.1		
		IDRVN=001101b、VGSx = 5V、BST-SHx = GVDD = 12V		10		
		IDRVN=001110b、VGSx = 5V、BST-SHx = GVDD = 12V		11		
		IDRVN=001111b、VGSx = 5V、BST-SHx = GVDD = 12V		13		
		IDRVN=010000b、VGSx = 5V、BST-SHx = GVDD = 12V		14		
		IDRVN=010001b、VGSx = 5V、BST-SHx = GVDD = 12V		16		
		IDRVN=010010b、VGSx = 5V、BST-SHx = GVDD = 12V		18		
		IDRVN=010011b、VGSx = 5V、BST-SHx = GVDD = 12V		21		
		IDRVN=010100b、VGSx = 5V、BST-SHx = GVDD = 12V		25		
		IDRVN=010101b、VGSx = 5V、BST-SHx = GVDD = 12V		29		

4.5V ≤ V_{PVDD} ≤ 60V、–40°C ≤ T_J ≤ 150°C (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{DRVN}	ピーク シンクゲート電流	IDRVN=010110b、VGSx = 5V、BST-SHx = GVDD = 12V		33		mA
		IDRVN=010111b、VGSx = 5V、BST-SHx = GVDD = 12V		38		
		IDRVN=011000b、VGSx = 5V、BST-SHx = GVDD = 12V		44		
		IDRVN=011001b、VGSx = 5V、BST-SHx = GVDD = 12V		49		
		IDRVN=011010b、VGSx = 5V、BST-SHx = GVDD = 12V		68		
		IDRVN=011011b、VGSx = 5V、BST-SHx = GVDD = 12V		79		
		IDRVN=011100b、VGSx = 5V、BST-SHx = GVDD = 12V		88		
		IDRVN=011101b、VGSx = 5V、BST-SHx = GVDD = 12V		106		
		IDRVN=011110b、VGSx = 5V、BST-SHx = GVDD = 12V		125		
		IDRVN=011111b、VGSx = 5V、BST-SHx = GVDD = 12V		144		
		IDRVN=100000b、VGSx = 5V、BST-SHx = GVDD = 12V		163		
		IDRVN=100001b、VGSx = 5V、BST-SHx = GVDD = 12V		191		
		IDRVN=100010b、VGSx = 5V、BST-SHx = GVDD = 12V		219		
		IDRVN=100011b、VGSx = 5V、BST-SHx = GVDD = 12V		247		
I_{DRVP}	ピーク ソースゲート電流	IDRV_CFG = 0b、IDRV_RATIO = 00b、IDRVN = 00000b から 100011b、VGSx = 5V、BST-SHx = GVDD = 12V		1*I_{DRVN}		mA
		IDRV_CFG = 0b、IDRV_RATIO = 01b、IDRVN = 00000b から 100011b、VGSx = 5V、BST-SHx = GVDD = 12V		0.75*I_{DRVN}		mA
		IDRV_CFG = 0b、IDRV_RATIO = 10b、IDRVN = 00000b から 100011b、VGSx = 5V、BST-SHx = GVDD = 12V		0.5*I_{DRVN}		mA
		IDRV_CFG = 0b、IDRV_RATIO = 11b、IDRVN = 00000b から 100011b、VGSx = 5V、BST-SHx = GVDD = 12V		0.25*I_{DRVN}		mA
I_{DRVN_VAR}	ピーク シンク ゲート電流変動	IDRVN=000000b - 011001b	-50		+50	%
I_{DRVP_VAR}	ピーク ソース ゲート電流変動	IDRVN=011010b - 100011b	-50		+80	%

Copyright © 2025 Texas Instruments Incorporated

4.5V ≤ V_{PVDD} ≤ 60V、–40°C ≤ T_J ≤ 150°C (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
IDRVN	ピーク シンク ゲート電流-スイッチ モード	IDRVN=100100b、VGSx (GHx-SHx、GLx-SLx) = 12V、BST-SHx = GVDD = 12V.SGD_TMP_EN = 1b	400	600	980	mA
		IDRVN=100101b、VGSx (GHx-SHx、GLx-SLx) = 12V、BST-SHx = GVDD = 12V.	480	695	1020	mA
		IDRVN=100110b、VGSx (GHx-SHx、GLx-SLx) = 12V、BST-SHx = GVDD = 12V.	560	795	1060	mA
		IDRVN=100111b、VGSx (GHx-SHx、GLx-SLx) = 12V、BST-SHx = GVDD = 12V.	640	925	1240	mA
		IDRVN=101000b、VGSx (GHx-SHx、GLx-SLx) = 12V、BST-SHx = GVDD = 12V.	760	1090	1440	mA
		IDRVN=101001b、VGSx (GHx-SHx、GLx-SLx) = 12V、BST-SHx = GVDD = 12V.	880	1255	1660	mA
		IDRVN=101010b、VGSx (GHx-SHx、GLx-SLx) = 12V、BST-SHx = GVDD = 12V.	1020	1455	1920	mA
		IDRVN=101011b、VGSx (GHx-SHx、GLx-SLx) = 12V、BST-SHx = GVDD = 12V.	1080	1685	2500	mA
		IDRVN=101100b、VGSx (GHx-SHx、GLx-SLx) = 12V、BST-SHx = GVDD = 12V.	1080	2000	2600	mA
IDRVP	ピーク ソース ゲート電流 - スイッチ モード	IDRVP=100100b、VGSx (GHx-SHx、GLx-SLx) = 0V、GVDD = 12V	150	300	450	mA
IDRVP	ピーク ソース ゲート電流 - スイッチ モード	IDRVP=100101b、VGSx (GHx-SHx、GLx-SLx) = 0V、GVDD = 12V	177	355	533	mA
IDRVP	ピーク ソース ゲート電流 - スイッチ モード	IDRVP=100110b、VGSx (GHx-SHx、GLx-SLx) = 0V、GVDD = 12V	205	410	615	mA
IDRVP	ピーク ソース ゲート電流 - スイッチ モード	IDRVP=100111b、VGSx (GHx-SHx、GLx-SLx) = 0V、GVDD = 12V	237	475	713	mA
IDRVP	ピーク ソース ゲート電流 - スイッチ モード	IDRVP=101000b;VGSx (GHx-SHx、GLx-SLx) = 0V、GVDD = 12V	280	560	840	mA
IDRVP	ピーク ソース ゲート電流 - スイッチ モード	IDRVP=101001b;VGSx (GHx-SHx、GLx-SLx) = 0V、GVDD = 12V	322	645	968	mA
IDRVP	ピーク ソース ゲート電流 - スイッチ モード	IDRVP=101010b、VGSx (GHx-SHx、GLx-SLx) = 0V、GVDD = 12V	375	750	1125	mA
IDRVP	ピーク ソース ゲート電流 - スイッチ モード	IDRVP=101011b、VGSx (GHx-SHx、GLx-SLx) = 0V、GVDD = 12V	432	865	1298	mA
IDRVP	ピーク ソース ゲート電流 - スイッチ モード	IDRVP=101100b、VGSx (GHx-SHx、GLx-SLx) = 0V、GVDD = 12V	507	1015	1523	mA
I_{HOLD_PU}	ゲート プル アップ保持電流	IHOLD_SEL = 1b、BST-SHx = GVDD = 12V.	150	250	400	mA
I_{HOLD_PU}	ゲート プル アップ保持電流	IHOLD_SEL = 0b、BST-SHx = GVDD = 12V.	330	560	900	mA
I_{HOLD_PD}	ゲート プル ダウン保持電流	IHOLD_SEL = 1b、BST-SHx = GVDD = 12V.	140	267	480	mA

4.5V ≤ V_{PVDD} ≤ 60V、–40°C ≤ T_J ≤ 150°C (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{HOLD_PD}	ゲート プル ダウン保持電流	IHOLD_SEL = 0b、BST-SHx = GVDD = 12V.	580	1100	1500	mA
I_{STRONG}	ゲート プル ダウン強電流	GHx-SHx = 12V (ハイ サイド) または GLx = 12V (ロー サイド)、BST-SHx = GVDD = 12V.	1000	2000	2800	mA
ゲート ドライバ タイミング (GHx、GLx)						
t_{PD}	入力から出力までの伝搬遅延 GHx/GLx 立ち下がり	INHx、INLx から GHx、GLx。IDRVN = IDRVP = 101000b、INHx/INLx の立ち下がりエッジ後 VGS = VGHS/VGLS – 1V、V_{GVDD} = $V_{BSTx-SHx}$ ≥ 8V		55	150	ns
t_{PD}	入力から出力までの伝搬遅延 GHx/GLx 立ち下がり	INHx、INLx から GHx、GLx。IDRVN = IDRVP = 011101b、INHx/INLx の立ち下がりエッジ後 VGS = VGHS/VGLS – 1V、V_{GVDD} = $V_{BSTx-SHx}$ ≥ 8V		75	150	ns
t_{PD}	入力から出力までの伝搬遅延 GHx/GLx 立ち上がり	INHx、INLx から GHx、GLx。IDRVN = IDRVP = 101000b、INHx/INLx の立ち上がりエッジ後 VGS = 1 V、V_{GVDD} = $V_{BSTx-SHx}$ ≥ 8V		55	150	ns
t_{PD}	入力から出力までの伝搬遅延 GHx/GLx 立ち上がり	INHx、INLx から GHx、GLx.IDRVN = IDRVP = 011101b、INHx/INLx の立ち上がりエッジ後から VGS = 1 V、V_{GVDD} = $V_{BSTx-SHx}$ ≥ 8V		70	150	ns
t_{PD_match}	位相ごとの伝搬遅延のマッチング	GHx ターン オフから GLx ターン オン、GLx ターン オフから GHx ターン オン、V_{GVDD} = $V_{BSTx-SHx}$ ≥ 8V	-150	10	150	ns
t_{PD_match}	位相間の伝搬遅延時間のマッチング	GHx/GLx ターン オフから GHy/GLy ターン オン、GHx/GLx ターン オフから GHy/GLy ターン オン、V_{GVDD} = $V_{BSTx-SHx}$ ≥ 8V	-50	10	50	ns
t_{DRIVE}	ピーク電流ゲート駆動時間	標準値。TDRVP (TDRVN) = 0000b - 1111b.抵抗マップ TDRNP および TDRVN を参照。	140		3815	ns
t_{DRIVE_V}	ピーク電流ゲート駆動時間の変動	標準値を基準にした場合。TDRVP (TDRVN) = 0000b - 1111b	-20		20	%
t_{DEAD}	デジタル ゲート駆動デッド タイム	DEADTIME = 000b;	30	70	130	ns
		DEADTIME = 001b;	170	214	300	ns
		DEADTIME = 010b	230	286	380	ns
		DEADTIME = 011b	420	500	640	ns
		DEADTIME = 100b	640	750	930	ns
		DEADTIME = 101b	880	1000	1280	ns
		DEADTIME = 110b	1270	1500	1820	ns
		DEADTIME = 111b	1700	2000	2400	ns
電流シャント アンプ (SNx、SOx、SPx、VREF)						

Copyright © 2025 Texas Instruments Incorporated

4.5V ≤ V_{PVDD} ≤ 60V、–40°C ≤ T_J ≤ 150°C (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
A_{CSA}	検出アンプのゲイン	CSAGAIN = 0000b		5		V/V
		CSAGAIN = 0001b;		10		V/V
		CSAGAIN = 0010b		12		V/V
		CSAGAIN = 0011b		16		V/V
		CSAGAIN = 0100b		20		V/V
		CSAGAIN = 0101b		23		V/V
		CSAGAIN = 0110b		25		V/V
		CSAGAIN = 0111b		30		V/V
		CSAGAIN = 1000b		40		V/V
EA_{CSA}	検出アンプのゲイン誤差	すべての CSAGAIN 設定 V_{GVDD} > 7.2V (この GVDD 条件はすべての CSA 項目に適用)	-0.5		0.5	%
t_{SET}	±1% までのセトリング タイム	V_{STEP} = 1.6V、A_{CSA} = 5V/V、R_{SO} = 160Ω、C_{SO} = 470pF 、VREF = 5V/3V		0.6	1.35	µs
t_{SET}	±1% までのセトリング タイム	V_{STEP} = 1.6V、A_{CSA} = 10V/V、C_{LOAD} = 470pF		0.65	1.35	µs
t_{SET}	±1% までのセトリング タイム	V_{STEP} = 1.6V、A_{CSA} = 20V/V、R_{SO} = 160Ω、C_{SO} = 470pF VREF = 5V/3V		0.7	1.35	µs
t_{SET}	±1% までのセトリング タイム	V_{STEP} = 1.6V、A_{CSA} = 30V/V、R_{SO} = 160Ω、C_{SO} = 470pF VREF = 5V		0.7	1.35	µs
t_{SET}	±1% までのセトリング タイム	V_{STEP} = 1.6V、A_{CSA} = 30V/V、R_{SO} = 160Ω、C_{SO} = 470pF VREF = 3V		0.7	1.6	µs
t_{SET}	±1% までのセトリング タイム	V_{STEP} = 1.6V、A_{CSA} = 40V/V、R_{SO} = 160Ω、C_{SO} = 470pF VREF = 5V		0.7	1.7	µs
t_{SET}	±1% までのセトリング タイム	V_{STEP} = 1.6V、A_{CSA} = 40V/V、R_{SO} = 160Ω、C_{SO} = 470pF VREF = 3V		0.7	1.75	µs
UGB	ユニティ ゲイン帯域幅	C_{LOAD} = 470pF、閉ループ、BW @ ユニティ ゲイン	10			MHz
BW	帯域幅	閉ループ、-3db、出力負荷なし	1			MHz
V_{SWING}	出力電圧範囲	V_{VREF} = 3 から 5.5V	0.25		V_{VREF} - 0.25	V
V_{COM}	同相入力範囲	VCOM = (V_{SP} + V_{SN})/2	-2		2	V
t_{com_rec}	同相過渡回復タイミング	VCOM = -15V～0V			2.2	µs
V_{DIFF}	差動モード入力範囲		-0.3		0.3	V
V_{OFF}	入力オフセット電圧の合計	V_{SP} = V_{SN} = GND、 初期オフセット + オフセット ドリフト	-0.65		0.65	mV
V_{OFF_DRIFT}	入力オフセット電圧ドリフト	V_{SP} = V_{SN} = GND、温度ドリフト + エイジング	-0.2		0.2	mV
I_{BIAS}	入力バイアス電流	V_{SP} = V_{SN} = GND. CSA と SENSE_OCP の合計	20		100	µA
I_{BIAS_OFF}	入力バイアス電流オフセット	I_{SP} – I_{SN}.CSA と SENSE_OCP の合計	-1		1	µA
I_{VREF}	基準入力電流	V_{CSAREF} = 3.3V	3	6	9.25	mA
		V_{CSAREF} = 5V	4	7	9.5	mA
CMRR	DC 同相除去比	SN/SP = -2V から 2V	60	90		dB
CMRR	過渡同相除去比	20KHz	60	90		dB
PSRR	電源除去比			100		dB

4.5V ≤ V_{PVDD} ≤ 60V、–40°C ≤ T_J ≤ 150°C (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
温度レポート						
電源電圧の監視						
V_{PVDD_UV}	PVDD 低電圧誤動作防止スレッショルド	V_{PVDD} 立ち上がり	4.5	4.65	4.8	V
		V_{PVDD} 立ち下がり	4.05	4.2	4.35	
$V_{PVDD_UV_HYS}$	PVDD 低電圧誤動作防止ヒシテリス	立ち上がりから立ち下がりへのスレッショルド	400	450	500	mV
$t_{PVDD_UV_DG}$	PVDD 低電圧グリッチ除去時間	立ち上がりエッジと立ち下がりエッジ	8	12	16	µs
V_{PVDD_UVW}	PVDD 低電圧警告スレッショルド	V_{PVDD} 立ち上がり、PVDD_UVW_LVL= 0b	6.0		7	V
		V_{PVDD} 立ち下がり、PVDD_ULW_LVL= 0b	5.8		6.8	V
		V_{PVDD} 立ち上がり、PVDD_UVW_LVL = 1b	7.3		8.3	V
		V_{PVDD} 立ち下がり、PVDD_UVW_LVL = 1b	7.1		8.1	V
$V_{PVDD_UVW_HYS}$	PVDD 低電圧警告ヒステリシス	立ち上がりから立ち下がりへのスレッショルド	140	200	260	mV
$t_{PVDD_UVW_DG}$	PVDD 低電圧警告グリッチ除去時間	立ち上がりエッジと立ち下がりエッジ	8	12	16	µs
V_{PVDD_OV}	PVDD 過電圧スレッショルド	V_{PVDD} 立ち上がり、PVDD_OV_LVL = 00b	28		31	V
		V_{PVDD} 立ち下がり、PVDD_OV_LVL = 00b	27		30	
		V_{PVDD} 立ち上がり、PVDD_OV_LVL = 01b	33		36	
		V_{PVDD} 立ち下がり、PVDD_OV_LVL = 01b	32		35	
		V_{PVDD} 立ち上がり、PVDD_OV_LVL = 10b	50		55	
		V_{PVDD} 立ち下がり、PVDD_OV_LVL = 10b	47		52	
$V_{PVDD_OV_HYS}$	PVDD 過電圧ヒステリシス	立ち上がりから立ち下がりまでのスレッショルド PVDD_OV_LVL = 00b、01b	0.6	0.9	1.2	V
$V_{PVDD_OV_HYS}$	PVDD 過電圧ヒステリシス	立ち上がりから立ち下がりまでのスレッショルド PVDD_OV_LVL = 10b	2.0	2.2	2.4	V
$t_{PVDD_OV_DG}$	PVDD 過電圧グリッチ除去時間	立ち上がりエッジと立ち下がりエッジ	8	12	16	µs
V_{GVDD_UV}	GVDD 低電圧スレッショルド	V_{GVDD} 立ち上がり - 電源投入後	7.0		7.8	V
		V_{GVDD} 立ち上がり - 電源投入時のみ	7.5		8.1	V
		V_{GVDD} 立ち下がり	6.8		7.6	V
$V_{GVDD_UV_HYS}$	GVDD 低電圧ヒステリシス	立ち上がりから立ち下がりへのスレッショルド	185	215	245	mV
$t_{GVDD_UV_DG}$	GVDD 低電圧グリッチ除去時間	立ち上がりエッジと立ち下がりエッジ	8	12	16	µs
V_{GVDD_OV}	GVDD 過電圧スレッショルド	V_{GVDD} 立ち上がり	15		17	V
V_{GVDD_OV}	GVDD 過電圧スレッショルド	V_{GVDD} 立ち下がり	14.5		16.5	V
$V_{GVDD_OV_HYS}$	GVDD 過電圧ヒステリシス	立ち上がりから立ち下がりへのスレッショルド	490	560	620	mV
$t_{GVDD_OV_DG}$	GVDD 過電圧グリッチ除去時間	立ち上がりエッジと立ち下がりエッジ	8	12	16	µs
V_{BST_UV}	ブートストラップ低電圧スレッショルド	V_{BSTx}- V_{SHx}、V_{BSTx} 立ち上がり、BST_UV_LVL = 1b	6.3	7.4	8.5	V
V_{BST_UV}	ブートストラップ低電圧スレッショルド	V_{BSTx}- V_{SHx}、V_{BSTx} 立ち下がり、BST_UV_LVL = 1b	6.1	7.2	8.3	V
V_{BST_UV}	ブートストラップ低電圧スレッショルド	V_{BSTx}- V_{SHx}、V_{BSTx} 立ち上がり、BST_UV_LVL = 0b	3.8	4.4	5	V
		V_{BSTx}- V_{SHx}、V_{BSTx} 立ち下がり、BST_UV_LVL = 0b	3.65	4.2	4.8	V

Copyright © 2025 Texas Instruments Incorporated

4.5V ≤ V_{PVDD} ≤ 60V、–40°C ≤ T_J ≤ 150°C (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{BST_UV_HYS}$	ブートストラップ低電圧ヒステリシス	立ち上がりから立ち下がりまでのスレッショルド BST_UV_LVL = 0b および 1b	120	200	280	mV
$t_{BST_UV_DG}$	ブートストラップ低電圧グリッチ除去時間	立ち上がりエッジと立ち下がりエッジ	4	5	8	µs
V_{BST_OV}	ブートストラップ過電圧スレッショルド	V_{BSTx} - V_{SHx}、V_{BSTx} の立ち上がり	15.2		18	V
V_{BST_OV}	ブートストラップ過電圧スレッショルド	V_{BSTx} - V_{SHx}、V_{BSTx} の立ち下がり	15		17.8	V
$V_{BST_OV_HYS}$	ブートストラップ過電圧ヒステリシス		130	200	260	mV
$t_{BST_OV_DG}$	ブートストラップ過電圧グリッチ除去時間	立ち上がりエッジと立ち下がりエッジ	8	12	16	µs
V_{CP_UV}	VCP 低電圧スレッショルド	VCP - VDRAIN、立ち上がり	6	6.7	7.4	V
V_{CP_UV}	VCP 低電圧スレッショルド	VCP - VDRAIN、立ち下がり	5.7	6.4	7.1	V
$t_{CP_UV_DG}$	VCP 低電圧グリッチ除去時間	立ち上がりエッジと立ち下がりエッジ	8	12	16	µs
V_{CP_OV}	VCP 過電圧スレッショルド	VCP - VDRAIN、立ち上がり	14		17.0	V
V_{CP_OV}	VCP 過電圧スレッショルド	VCP - VDRAIN、立ち下がり	13.8		16.7	V
$t_{CP_OV_DG}$	VCP 過電圧グリッチ除去時間	立ち上がりエッジと立ち下がりエッジ	8	12	16	µs
V_{DRAIN_UV}	VDRAIN 低電圧スレッショルド	V_{VDRAIN} 立ち上がり	4.25	4.35	4.45	V
V_{DRAIN_UV}	VDRAIN 低電圧スレッショルド	V_{VDRAIN} 立ち下がり	4.05	4.15	4.25	V
$V_{DRAIN_UV_HYS}$	VDRAIN 低電圧ヒステリシス		170	190	210	mV
$t_{VDRAIN_UV_DG}$	VDRAIN 低電圧グリッチ除去時間	立ち上がりエッジと立ち下がりエッジ	8	12	16	µs
V_{DRAIN_OV}	VDRAIN 過電圧スレッショルド	V_{VDRAIN} 立ち上がり、VDRAIN_OV_LVL = 00b	28		31	V
		V_{VDRAIN} 立ち下がり、VDRAIN_OV_LVL = 00b	27		30	V
		V_{VDRAIN} 立ち上がり、VDRAIN_OV_LVL = 01b	33		36	V
		V_{VDRAIN} 立ち下がり、VDRAIN_OV_LVL = 01b	32		35	V
		V_{VDRAIN} 立ち上がり、VDRAIN_OV_LVL = 10b、11b	50		55	V
		V_{VDRAIN} 立ち下がり、VDRAIN_OV_LVL = 10b、11b	48		353	V
$V_{DRAIN_OV_HYS}$	VDRAIN 過電圧ヒステリシス	立ち上がりから立ち下がりまでのスレッショルド、VDRAIN_OV_LVL = 00b、01b	0.7	1.0	1.3	V
$V_{DRAIN_OV_HYS}$	VDRAIN 過電圧ヒステリシス	立ち上がりから立ち下がりまでのスレッショルド、VDRAIN_OV_LVL = 10b、11b	2.0	2.3	2.6	V
$t_{VDRAIN_OV_DG}$	VDRAIN 過電圧グリッチ除去時間	立ち上がりエッジと立ち下がりエッジ	8	12	16	µs
保護回路						
$V_{GS_LVL_H}$	ゲート電圧監視スレッショルド	V_{GHx} – V_{SHx}、V_{GLx} – V_{SLx}、INLx/INHx=H、VGS_LVL = 1'b1	7		8.5	V
$V_{GS_LVL_H}$	ゲート電圧監視スレッショルド	V_{GHx} – V_{SHx}、V_{GLx} – V_{SLx}、INLx/INHx=H、VGS_LVL = 1'b0	5		6.3	V
$V_{GS_LVL_L}$	ゲート電圧監視スレッショルド	V_{GHx} – V_{SHx}、V_{GLx} – V_{SLx}、INLx/INHx=L		1	2	V

4.5V ≤ V_{PVDD} ≤ 60V、–40°C ≤ T_J ≤ 150°C (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{GS_DG}	VGS ゲート電圧監視グリッチ除去時間	VGS_DG = 000b	0.3	0.6	0.8	µs
		VGS_DG = 001b	0.6	1.0	1.3	µs
		VGS_DG = 010b	1.1	1.5	1.9	µs
		VGS_DG = 011b、VGS_DG = 1xxb	1.6	2.0	2.5	µs
t_{GS_BLK}	VGS ゲート電圧監視ブランキング時間	VGS_BLK = 000b	1.7	2.25	2.9	µs
		VGS_BLK = 001b	2.4	3	3.6	µs
		VGS_BLK = 010b	4.0	5	5.8	µs
		VGS_BLK = 011b	5.9	7	8.2	µs
		VGS_BLK = 100b、101b、110b、111b	8.6	10	11.9	µs
V_{DS_LVL}	V_{DS} 過電流保護スレッショルド	VDS_LVL = 0000b、SLx = -0.2V ～ +2.0V.VDS_CM = 0b.	0.04	0.06	0.085	V
		VDS_LVL = 0001b、SLx = -0.2V ～ +2.0V.VDS_CM = 0b.	0.06	0.08	0.11	
		VDS_LVL = 0010b、SLx = -0.3V ～ +2.0V. VDS_CM = 0b.	0.075	0.10	0.13	
		VDS_LVL = 0011b、SLx = -0.3V ～ +2.0V.	0.09	0.12	0.16	
		VDS_LVL = 0100b、SLx = -0.3V ～ +2.0V.	0.13	0.16	0.20	
		VDS_LVL = 0101b、SLx = -0.3V ～ +2.0V.	0.2	0.24	0.29	
		VDS_LVL = 0110b、SLx = -0.3V ～ +2.0V.	0.27	0.32	0.385	
		VDS_LVL = 0111b、SLx = -0.3V ～ +2.0V.	0.35	0.4	0.48	
		VDS_LVL = 1000b、SLx = -0.3V ～ +2.0V.	0.44	0.5	0.58	
		VDS_LVL = 1001b、SLx = -0.3V ～ +2.0V.	0.59	0.67	0.77	
		VDS_LVL = 1010b、SLx = -0.3V ～ +2.0V.	0.75	0.83	0.96	
		VDS_LVL = 1011b、SLx = -0.3V ～ +2.0V.	0.90	1	1.15	
		VDS_LVL = 1100b、SLx = -0.3V ～ +2.0V.	1.13	1.25	1.42	
		VDS_LVL = 1101b、SLx = -0.3V ～ +2.0V.	1.36	1.5	1.70	
		VDS_LVL = 1110b、SLx = -0.3V ～ +2.0V.	1.58	1.75	1.98	
		VDS_LVL = 1111b、SLx = -0.3V ～ +2.0V.	1.81	2	2.26	
tDS_CMP	VDS コンパレータ遅延	VDS (コンパレータ入力電圧) 0V から VDS_LVL の最大値 (コンパレータ出力立ち上がり) まで、内部コンパレータの遅延時間。		0.5	1.0	µs
tDS_CMP	VDS コンパレータ遅延	VDRAIN から VDS_LVL の最小値 (コンパレータ出力の立ち下がり) までの VDS (コンパレータ入力電圧)、内部コンパレータの遅延時間。		1.0	1.6	µs

Copyright © 2025 Texas Instruments Incorporated

4.5V ≤ V_{PVDD} ≤ 60V、–40°C ≤ T_J ≤ 150°C (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{DS_DG}	V_{DS} 過電流グリッチ除去	VDS_DG = 000b	0.3	0.5	0.8	μs
		VDS_DG = 001b	0.7	1	1.3	
		VDS_DG = 010b	1.2	1.5	2.0	
		VDS_DG = 011b	1.5	2	2.5	
		VDS_DG = 100b	3.3	4	4.8	
		VDS_DG = 101b	5.2	6	7.3	
		VDS_DG = 110b、111b	6.8	8	9.2	
t_{DS_BLK}	V_{DS} 過電流ブランキング時間	VDS_BLK = 000b		0	0.2	μs
		VDS_BLK = 001b	0.4	0.5	0.7	
		VDS_BLK = 010b	0.7	1	1.5	
		VDS_BLK = 011b	1.4	2	2.6	
		VDS_BLK = 100b	5.0	6	7.2	
		VDS_BLK = 101b	6.8	8	9.4	
		VDS_BLK = 110b	8.4	10	11.9	
		VDS_BLK = 111b	10.1	12	13.9	
V_{SENSE_LVL}	V_{SENSE} 過電流スレッショルド	SNS_OCP_LVL = 000b：入力同相電圧 +/-2V	37	50	58	mV
		SNS_OCP_LVL = 001b：入力同相電圧 +/-2V	62	75	84	
		SNS_OCP_LVL = 010b：入力同相電圧 +/-2V	87	100	110	
		SNS_OCP_LVL = 011b：入力同相電圧 +/-2V	112	125	135	
		SNS_OCP_LVL = 100b：入力同相電圧 +/-2V	135	150	165	
		SNS_OCP_LVL = 101b：入力同相電圧 +/-2V	185	200	215	
		SNS_OCP_LVL = 110b：入力同相電圧 +/-2V	280	300	320	
		SNS_OCP_LVL = 111b：入力同相電圧 +/-2V	475	500	525	
t_{SENSE_DG}	V_{SENSE} 過電流グリッチ除去時間	SNS_OCP_DG = 00b	1.5	2.0	2.5	μs
		SNS_OCP_DG = 01b	3.0	4.0	5.0	
		SNS_OCP_DG = 10b	4.5	6.0	7.5	
		SNS_OCP_DG = 11b	8	10.0	12	
V_{PHC_H}	VDRAIN に対する位相コンパレータの High レベル スレッショルド (VDRAIN 電圧に対する比率)	PHC_THR = 0b	0.6	0.75	0.9	
V_{PHC_H}	VDRAIN に対する位相コンパレータの High レベル スレッショルド (VDRAIN 電圧に対する比率)	PHC_THR = 1b	0.37	0.52	0.67	
V_{PHC_L}	VDRAIN に対する位相コンパレータの Low レベル スレッショルド (VDRAIN 電圧に対する比率)	PHC_THR = 0b	0.10	0.25	0.40	
V_{PHC_L}	VDRAIN に対する位相コンパレータの Low レベル スレッショルド (VDRAIN 電圧に対する比率)	PHC_THR = 1b	0.33	0.48	0.63	

4.5V ≤ V_{PVDD} ≤ 60V、–40°C ≤ T_J ≤ 150°C (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{PHC_PD_HL}$	位相コンパレータの伝搬遅延	位相コンパレータの High から Low までの Shx から PHCx までの伝搬遅延、Cload = 20pF、SHx 入力テスト条件 60V – 0V/10ns (設計目標)、SHx = 88% から V_{DRAIN} の 15% まで			1.5	µs
$t_{PHC_PD_LH}$	位相コンパレータの伝搬遅延	位相コンパレータの Low から High までの Shx から PHCx までの伝搬遅延、Cload = 20pF、SHx 入力テスト条件 0V – 60V/10ns (設計目標)、SHx = 15% から V_{DRAIN} の 88% まで			1.5	µs
$t_{PHC_OUT_DEG}$	位相コンパレータ出力グリッチ除去時間	PHCOUT_DG_SEL = 1	0.8	1.0	1.4	µs
T_{OTW}	過熱警告温度	T_J 立ち上がり、OT_LVL = 0b;	125		150	°C
T_{OTW_HYS}	過熱警告ヒステリシス		15	22	25	°C
t_{OTW_DEG}	過熱警告グリッチ除去		8	12	16	µs
T_{OTSD}	サーマル シャットダウン温度	T_J 立ち上がり	155		180	°C
T_{OTSD_HYS}	サーマル シャットダウン ヒステリシス		16	23	27	°C
t_{OTSD_DEG}	サーマル シャットダウン グリッチ除去		8	12	16	µs
t_{DRVN_SD}	ゲート駆動シャットダウン シーケンス時間			20		µs

5.6 タイミング要件

		最小値	公称値	最大値	単位
t_{SCLK}	SCLK の最小期間	100			ns
t_{SCLKH}	SCLK 最小 High 時間	50			ns
t_{SCLKL}	SCLK の最小 Low 時間	50			ns
t_{SU_SDI}	SDI 入力データ セットアップ時間	15			ns
t_{H_SDI}	SDI 入力データ ホールド時間	25			ns
t_{D_SDO}	SDO 出力データ遅延時間、SCLK High から SDO 有効まで (立ち上がりは DC VOH×70%、立ち下がりは x30%)、C_L = 20pF、PVDD ≥4.5V	5		38	ns
t_{D_SDO}	SDO 出力データ遅延時間、SCLK High から SDO 有効まで (立ち上がりは DC VOH×70%、立ち下がりは x30%)、C_L = 20pF、4.5V ≥PVDD 4V	5		48	ns
t_{SU_nSCS}	nSCS 入力セットアップ時間	25			ns
t_{H_nSCS}	nSCS 入力ホールド時間	25			ns
t_{HI_nSCS}	nSCS のアクティブ Low の前の最小 High 時間	450			ns
t_{EN_SDO}	SDO 有効化遅延時間。nSCS が Low から SDO が Ready まで			50	ns
t_{DIS_SDO}	SDO 無効化遅延時間、nSCS High から SDO ハイ インピーダンスまで			50	ns

Copyright © 2025 Texas Instruments Incorporated

5.7 SPI のタイミング図

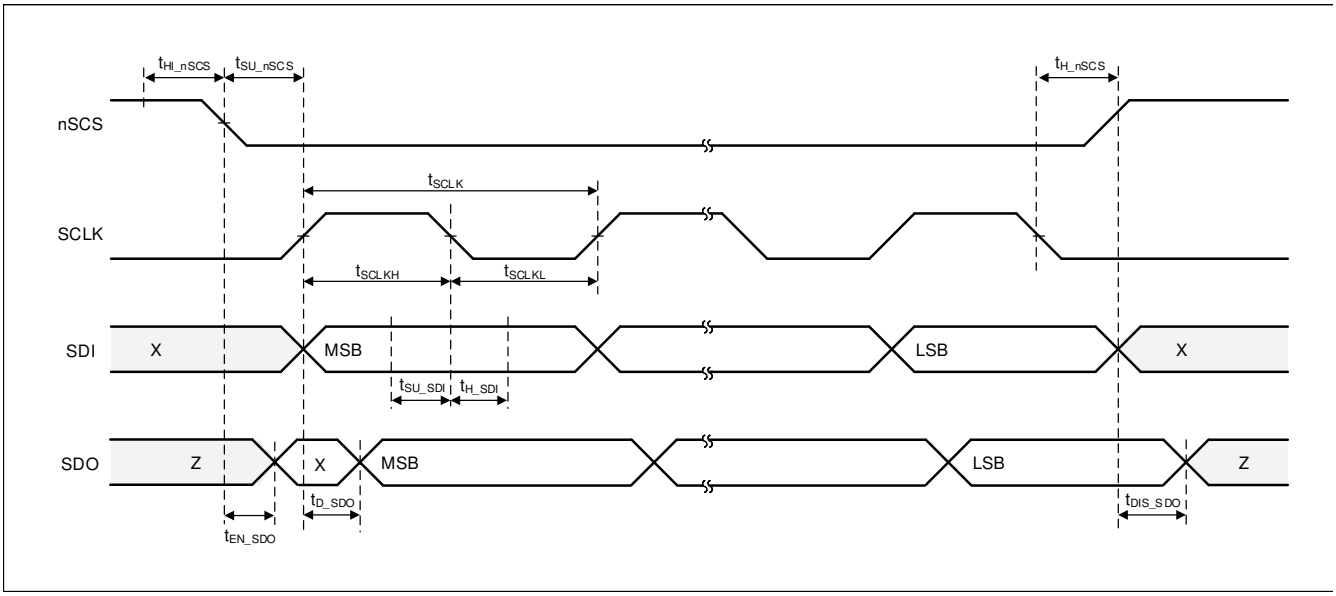


図 5-1. SPI スレーブ モード タイミング図

6 詳細説明

6.1 概要

DRV8334 ファミリのデバイスは、3 相モーター駆動アプリケーション用の統合型 4.5 ～ 60V ゲートドライバです。デバイスは、3 つの独立したハーフブリッジ ゲートドライバ、トリクル チャージ ポンプ、ハイサイドおよびローサイド ゲートドライバの電源電圧用リニア レギュレータを統合することにより、システムのコンポーネント数、コスト、複雑性を低減しています。このデバイスは、電流シャント (または電流センス) アンプも内蔵しています。標準のシリアル ペリフェラル インターフェイス (SPI) を使うと、デバイスの各種設定とフォルト診断情報の読み出しを外部コントローラから簡単に行うことができます。

本ゲートドライバは外付け N チャネル ハイサイド / ローサイド パワー MOSFET をサポートしており、最大 1A (ソース) / 2A (シンク) のピーク電流を駆動することができます。ハイサイド ゲート駆動の電源電圧は、ブートストラップ コンデンサから生成されます。ローサイド ゲートドライバの電源電圧は、12V に制御される PVDD 電源からリニア レギュレータ GVDD を使用して生成されます。

スマート ゲートドライブ アーキテクチャはゲート駆動出力電流の強度を動的に調整する機能を備えています。これにより、ゲートドライバはパワー MOSFET の VDS スイッチング速度を制御できます。この機能により、外部のゲート駆動抵抗およびダイオードが不要になるので、部品表 (BOM) の部品点数や、コスト、プリント基板 (PCB) 上に占める面積が低減します。このアーキテクチャでは、ゲートドライバで発生する短絡からの保護、ハーフブリッジのデッド タイムの制御、外部パワー MOSFET の dV/dt 寄生ターンオンからの保護のために、内部ステート マシンも使用します。

DRV8334 は、ローサイド シャント抵抗を使用してすべての外部ハーフブリッジを流れる電流のレベルを監視するために、電流センス アンプが内蔵されています。電流センス アンプのゲイン設定は、SPI コマンドを介して調整できます。

高いレベルでデバイスが統合されていることに加え、DRV8334 には、広範な保護機能も組み込まれています。電源低電圧誤動作防止 (PVDD Uv)、レギュレータ低電圧誤動作防止 (GVDDUV)、VDS 過電流監視 (VDS OCP)、R_{SENSE} 過電流監視 (SNS_OCP)、過熱シャットダウン (OTW および OTSD) などの機能が挙げられます。故障イベントは、nFAULT ピンで通知されます。

Copyright © 2025 Texas Instruments Incorporated

6.2 機能ブロック図

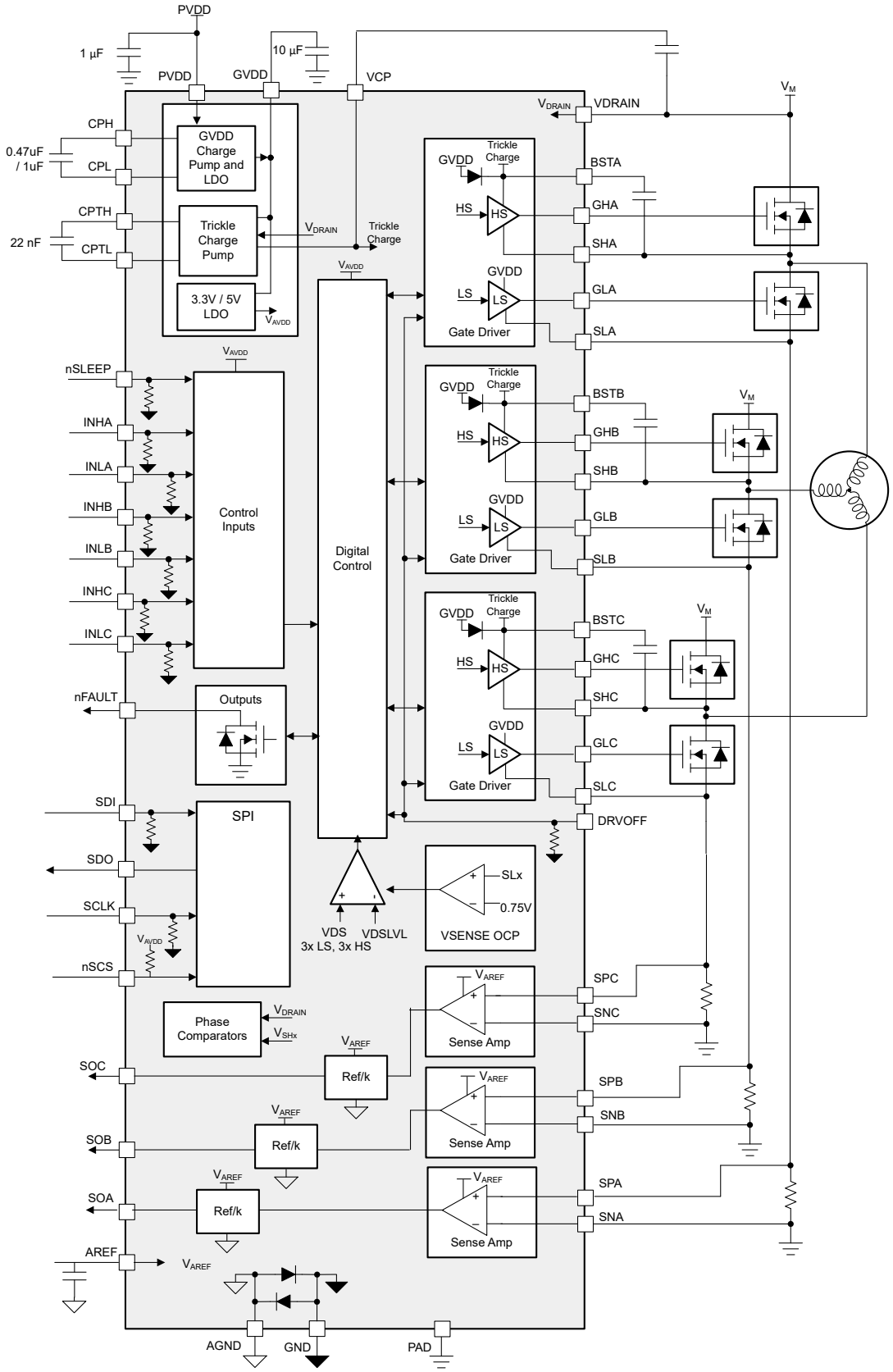


図 6-1. DRV8334 のブロック図

6.3 機能説明

6.3.1 3 つの BLDC ゲート ドライバ

DRV8334 には 3 つのハーフ ブリッジ ゲートドライバを統合し、それぞれがハイサイドとローサイドの N チャネル パワー MOSFET を駆動できます。PVDD 電源入力の広い動作電圧範囲にわたって適切なゲート バイアス電圧を供給する GVDD を生成するため、チャージ ポンプが使われます。ローサイド ゲート出力は GVDD から直接駆動されるのに対し、ハイサイドゲート出力はダイオード内蔵ブートストラップ回路を使って駆動されます。内部トリクル チャージ ポンプ (VCP) により、100% デューティ サイクルをサポートし、外部スイッチのオーバー ドライブ電圧を備えています。ハーフブリッジ ゲートドライバは、3 相モータを駆動するために複数のドライバを組み合わせて使用することも、他の種類の負荷を駆動するために個別に使用することもできます。

6.3.1.1 PWM 制御モード

DRV8334 には、さまざまな整流方式や制御方式をサポートするために、4 種類の PWM 制御モードが用意されています。PWM 制御モードは、PWM_MODE レジスタ ビットで調整できます。

6.3.1.1.1 6x PWM モード

6x PWM モードでは、対応する INHx および INLx 信号が 表 6-1 に記載されている出力状態を制御します。

表 6-1. 6x PWM モードの真理値表

INLx	INHx	GLx	GHx	注
0	0	L	L	
0	1	L	H	
1	0	H	L	
1	1	L	L	貫通電流保護

6.3.1.1.2 3x PWM モード、INLx 有効化制御付き

この 3x PWM モードでは、INHx ピンで各ハーフブリッジを制御し、Low または High の 2 つの出力状態がサポートされます。INLx ピンは、ハイサイドとローサイド両方のゲート駆動出力を Low にするために使用します。この状態にする必要がない場合は、すべての INLx ピンをロジック High に固定してください。表 6-2 に示すように、対応する INHx および INLx 信号で出力状態を制御します。

表 6-2. 3x PWM モードの真理値表

INLx	INHx	GLx	GHx
0	X	L	L
1	0	H	L
1	1	L	H

6.3.1.1.3 3x PWM モード、SPI 有効化制御付き

3x PWM モードでは、INHx ピンは Ghx および Glx の出力状態を制御します。SPI レジスタ ビット DRVEN_x (x = A、B、C) が 0b の場合、GHx と GLx は Low にプルされます。このデバイスは、PWM 制御に INLx を使用していません。対応する INHx 信号と DRVEN_x は、表に示すように出力状態を制御します。

表 6-3. 3x PWM モード (SPI 有効化制御) の真理値表

DRVEN_x	INL	INHx	GLx	GHx
0	X	X	L	L
1	X	0	H	L
1	X	1	L	H

Copyright © 2025 Texas Instruments Incorporated

注

SPI レジスタ ビット DRVEN_x は、すべての PWM モード設定に対して有効です。

6.3.1.1.4 1x PWM モード

1x PWM モードでは、デバイスは内部に格納されている 6 段階のブロック整流テーブルを使用します。この機能により、3 相 BLDC モータを、単純なコントローラから供給する 1 つの PWM を使用して制御できます。PWM は INHA ピンに印加され、ハーフブリッジの出力周波数とデューティ サイクルを決定します。

ハーフブリッジの出力状態は INLA、INHB、INLB の各ピンによって管理され、それらが状態の論理入力として使用されます。状態の入力は、外部コントローラで制御することも、モータからのホール エフェクト センサのデジタル出力に直接接続することもできます (INLA = HALL_A、INHB = HALL_B、INLB = HALL_C)。1x PWM モードは通常、同期整流 (ローサイド MOSFET 再循環)で動作します。

INHC 入力は、6 段階の整流テーブルによって方向を制御します。このテーブルは、ホール エフェクト センサが INLA、INHB、INLB の状態入力を直接制御している場合に、モータの方向を変更するために使用されます。この機能が必要ない場合は、INHC ピンを Low に接続してください。

INLC 入力は、INLC ピンが Low にプルされたときに、すべてのハイサイド MOSFET をオフにし、すべてのローサイド MOSFET をオンにすることにより、モータにブレーキをかけます。このブレーキ動作は、他の入力ピンの状態とは無関係です。この機能が必要ない場合は、INLC ピンを High に接続してください。

表 6-4. 同期 1x PWM モード（PWM1X_COM = 0b）

ロジックおよびホール入力							ゲートドライブ出力[(1)]						
状態	INHC = 0			INHC = 1			位相 A		位相 B		位相 C		説明
	INLA	INHB	INLB	INLA	INHB	INLB	GHA	GLA	GHB	GLB	GHC	GLC	
ストップ	0	0	0	0	0	0	L	L	L	L	L	L	ストップ
アライン	1	1	1	1	1	1	PWM	!PWM	L	H	L	H	アライン
1	1	1	0	0	0	1	L	L	PWM	!PWM	L	H	B → C
2	1	0	0	0	1	1	PWM	!PWM	L	L	L	H	A → C
3	1	0	1	0	1	0	PWM	!PWM	L	H	L	L	A → B
4	0	0	1	1	1	0	L	L	L	H	PWM	!PWM	C → B
5	0	1	1	1	0	0	L	H	L	L	PWM	!PWM	C → A
6	0	1	0	1	0	1	L	H	PWM	!PWM	L	L	B → A

(1) *!PWM* は PWM 信号の反転です。

表 6-5. 非同期 1x PWM モード (PWM_MODE = 1b)

ロジックおよびホール入力							ゲートドライブ出力						
状態	INHC = 0			INHC = 1			位相 A		位相 B		位相 C		説明
	INLA	INHB	INLB	INLA	INHB	INLB	GHA	GLA	GHB	GLB	GHC	GLC	
ストップ	0	0	0	0	0	0	L	L	L	L	L	L	ストップ
アライン	1	1	1	1	1	1	PWM	L	L	H	L	H	アライン
1	1	1	0	0	0	1	L	L	PWM	L	L	H	B → C
2	1	0	0	0	1	1	PWM	L	L	L	L	H	A → C
3	1	0	1	0	1	0	PWM	L	L	H	L	L	A → B
4	0	0	1	1	1	0	L	L	L	H	PWM	L	C → B
5	0	1	1	1	0	0	L	H	L	L	PWM	L	C → A
6	0	1	0	1	0	1	L	H	PWM	L	L	L	B → A

図 6-2 と図 6-3 は、1x PWM モードで可能な 2 種類の構成を示しています。

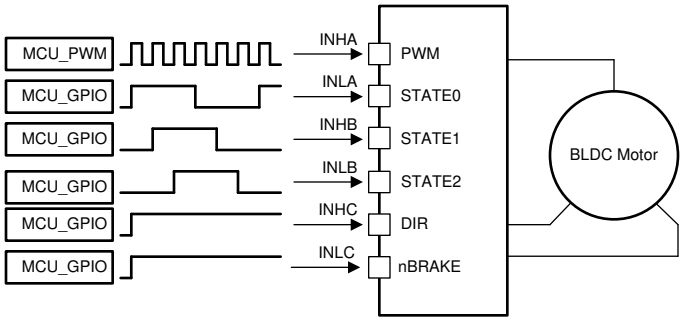


図 6-2. 1x PWM — 単純なコントローラ

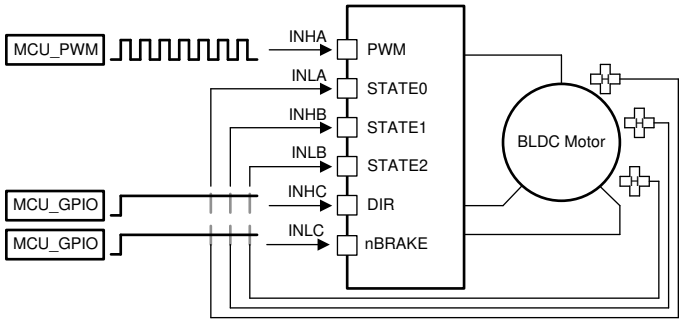


図 6-3. 1x PWM — ホール エフェクト センサ

6.3.1.1.5 SPI ゲート駆動モード

SPI ゲート駆動モードでは、表 6-6 に示すように、GLx と Ghx の出力状態は対応する DRV_GLx および DRV_GHx SPI レジスタ ビットによって制御されます。

表 6-6. SPI ゲート駆動モードの真理値表

SPI DRV_GLx	SPI DRV_GHx	GLx	GHx
0	0	L	L
0	1	L	H
1	0	H	L
1	1	L	L

6.3.1.2 ゲート ドライブ アーキテクチャ

本ドライバ デバイスは、ハイサイドとローサイド両方のドライバに対して、相補型のプッシュプル トポロジが使用されています。このトポロジにより、外部 MOSFET ゲートのプルアップとプルダウンが両方とも強化できます。ローサイド ゲート ドライバには、GVDD レギュレータ電源から直接電力が供給されます。ハイサイド ゲート ドライバ用には、ブートストラップ ダイオードとブートストラップ コンデンサを使ってフローティング ハイサイド ゲート電源電圧を生成します。ブートストラップ ダイオードは内蔵されており、BSTx ピンに外付けのブートストラップ コンデンサを使います。100% デューティ サイクル制御をサポートするため、トリクル チャージ ポンプが本デバイスに内蔵されています。トリクル チャージ ポンプは BSTx ノードに接続され、ドライバと外部 MOSFET のリーク電流による 100% デューティ サイクル動作中のブートストラップ電圧降下を防止します。

Copyright © 2025 Texas Instruments Incorporated

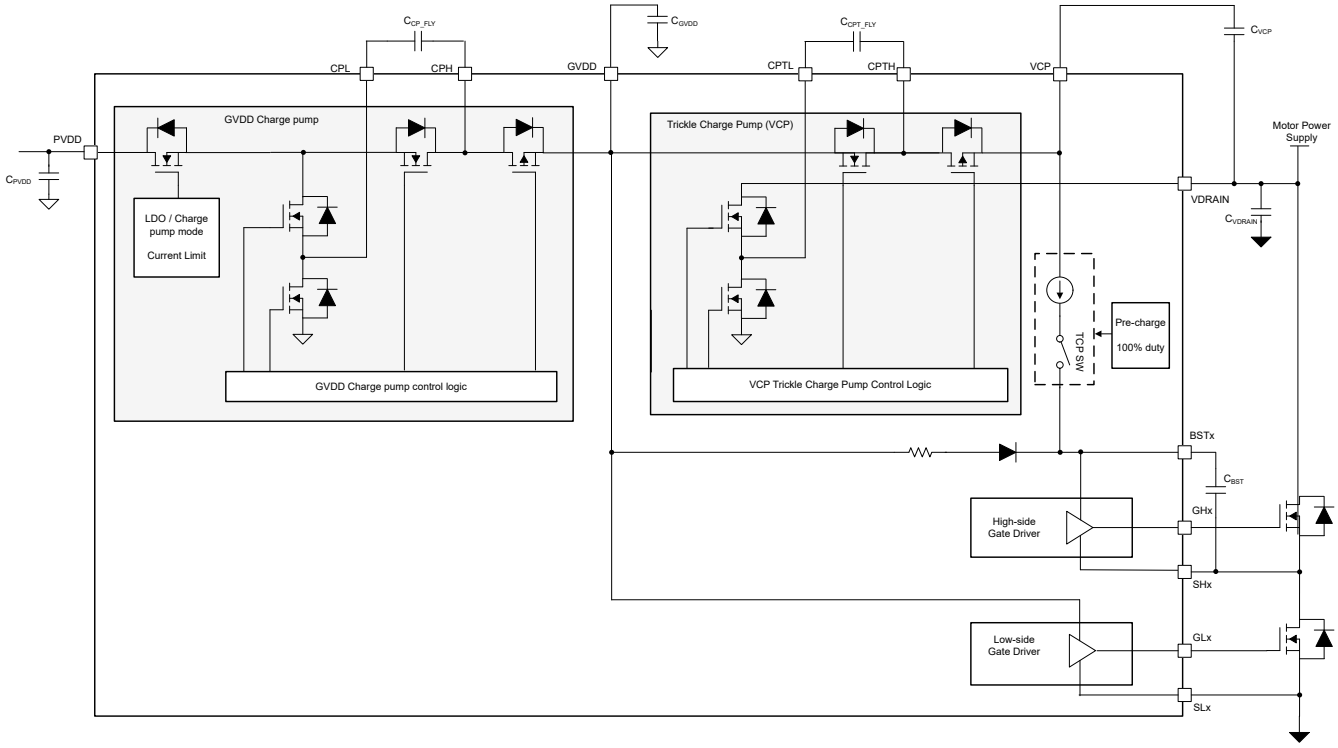


図 6-4. DRV8334 ゲート ドライバの電源アーキテクチャ

6.3.1.2.1 ブートストラップ ダイオード

ハイサイドバイアスを生成するにはブートストラップ ダイオードが必要で、ドライバに内蔵されています。ダイオード アノードは内部抵抗経由で GVDD に接続され、カソードは BSTx に接続されます。C_{BST} コンデンサが BSTx ピンと SHx ピンに接続されている場合、SHx がグランドに遷移するたびに、C_{BST} コンデンサの電荷がスイッチング サイクルごとに更新されます。コンデンサ値 C_{BST} は、ハイサイド MOSFET のゲート電荷に依存し、PWM 制御と MOSFET ゲートの電圧降下を考慮して選択する必要があります。ブート ダイオードにより、高速な回復時間、低いダイオード抵抗、電圧定格マージンが可能になり、効率的で信頼性の高い動作を実現できます。

6.3.1.2.2 GVDD チャージ ポンプ / LDO

GVDD チャージ ポンプ / LDO は、約 12V の制御された電圧を GVDD ピンに供給します。GVDD はブートストラップ ダイオードと VCP トリクルチャージ ポンプの電源ソースです。

注

電源投入後に DIS_GVDD_SS を 1b に設定することを推奨します。DIS_GVDD_SS が 0b のままの場合、PVDD 入力電圧が 7.2V を下回ると、GVDD 出力負荷能力は電気的特性表のテスト制限を満たさなくなります。

6.3.1.2.3 VCP トリクル チャージ ポンプ

このデバイスは、C_{BST} ブートストラップ コンデンサに電流を供給するトリクル チャージ ポンプを備えているため、ブートストラップ コンデンサが充電されたままになります。これにより、ゲート ドライバは 100% のデューティ サイクルで動作できます。チャージ ポンプは、電源オン時に C_{BST} コンデンサの慈善充電もサポートしています。

デフォルトでは、デバイスは INLx ピンを監視し、INLx が非アクティブ (Low) の間、VCP によりブートストラップ コンデンサを充電しています。TCP_SW_MODE レジスタ ビットが「1b」の場合、INLx ピンに関係なく充電ブートストラップ コンデンサは有効になります。

100% の PWM デューティ サイクル動作をサポートすることに加え、VCP チャージ ポンプは外部部品のオーバードライブ電源をサポートするよう設計されています。電源電圧 V_{VCP} は VCP ピン で供給され、電圧は VDRAIN を基準にレギュレートされます。ここでは、VCP ピンと VDRAIN ピンの間にコンデンサを接続します。VCP 電圧は、バッテリ逆接続保護スイッチ、ハイサイド スイッチ、またはモーター位相絶縁スイッチなどの外部スイッチ制御回路のオーバードライブ電源として使用できます。VCP チャージ ポンプはこれらの外部負荷をサポートするように設計されていますが、オーバードライブ電源の合計電流制限を超えないように注意する必要があります。

注

デバイスの電源投入時に、VCP 低電圧フラグ VCP_UV が通知され、ラッチされた状態を維持します。VCP_UV ステータス フラグは、MCU による SPI 書き込みコマンド CLR_FLT によってクリアできます。

6.3.1.2.4 ゲート ドライバの出力

ゲート ドライバでは、スマート ゲート ドライブ アーキテクチャの使用によって、外部パワー MOSFET のスイッチング制御や、MOSFET の保護手法の追加、効率性と堅牢性のバランスの最適化が実現できます。このアーキテクチャは IDRIVE および TDRIVE と呼ばれる 2 つのコンポーネントによって実装されます。IDRIVE ゲート駆動電流と TDRIVE ゲート駆動時間の最初の設定は、システムで使用する外部パワー MOSFET のパラメータと、目標とする立ち上がりおよび立ち下がり時間に基づき選択する必要があります 。

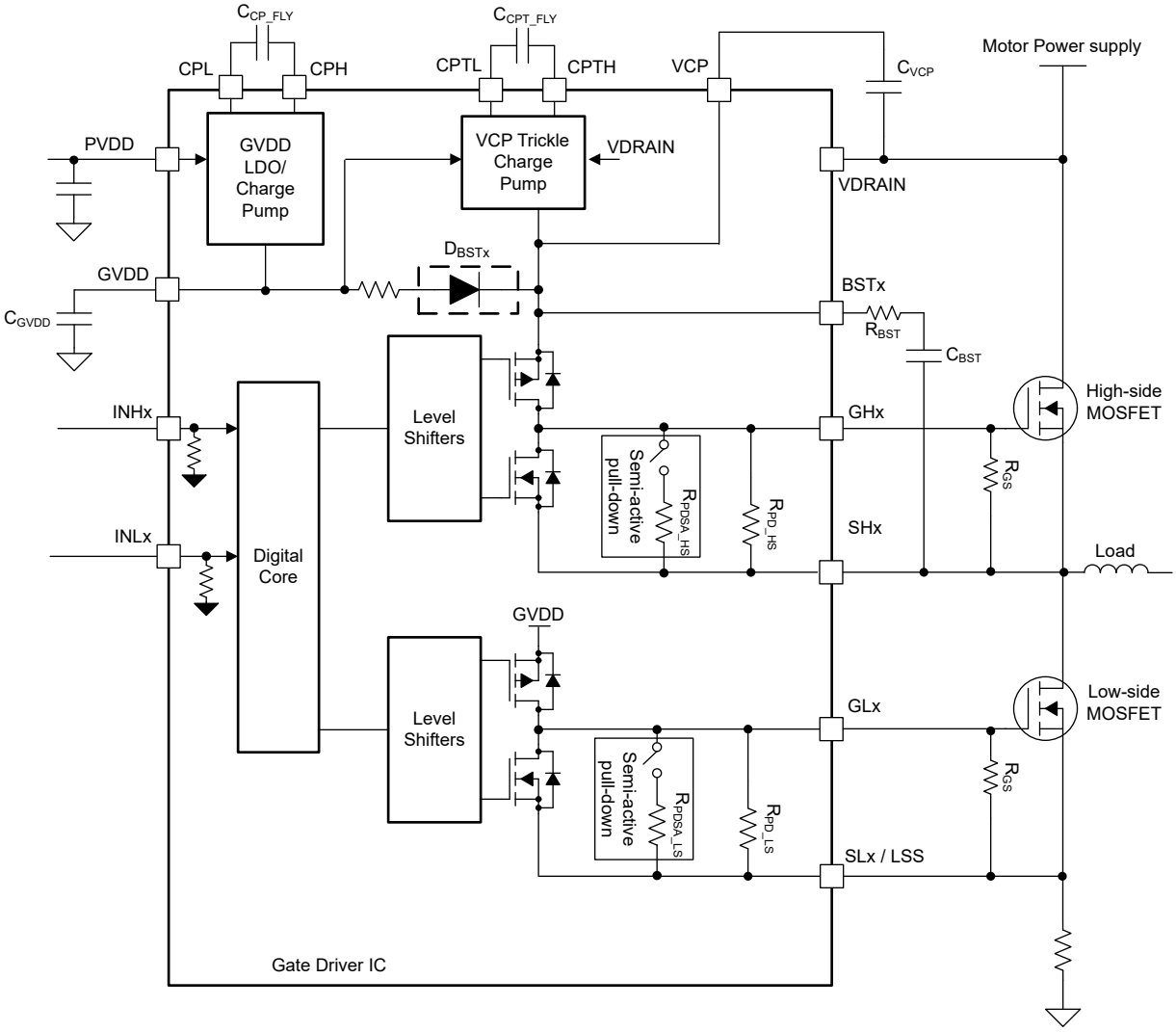


図 6-5. ゲート ドライバのアーキテクチャ

Copyright © 2025 Texas Instruments Incorporated

6.3.1.2.5 パッシブおよびセミアクティブ プルダウン抵抗

各ゲートドライバは、無電力状態で外部 MOSFET をターン オフ状態に維持するため、ゲートとソースの間にパッシブ プルダウンを備えています。さらに、ローサイド ゲートドライバのセミアクティブ プルダウン回路により、スリープ モード中のゲート インピーダンスが低減されます。

6.3.1.2.6 TDRIVE ゲート駆動タイミング制御

このデバイスには、外部 MOSFET の寄生 dV/d t ゲート ターンオンを防止するため、TDRIVE ゲート駆動タイミング制御機能が内蔵されています。MOSFET がスイッチングしているときは常に、反対側の MOSFET ゲートで強力なプルダウン I_{STRONG} 電流が有効になります。この強いプルダウンは TDRIVE 期間全体にわたって持続します。この機能は、ハーフブリッジ スイッチ ノード電圧のスルーレートが高い場合に外部 MOSFET ゲートにカップリングする寄生電荷を除去するのに役立ちます。

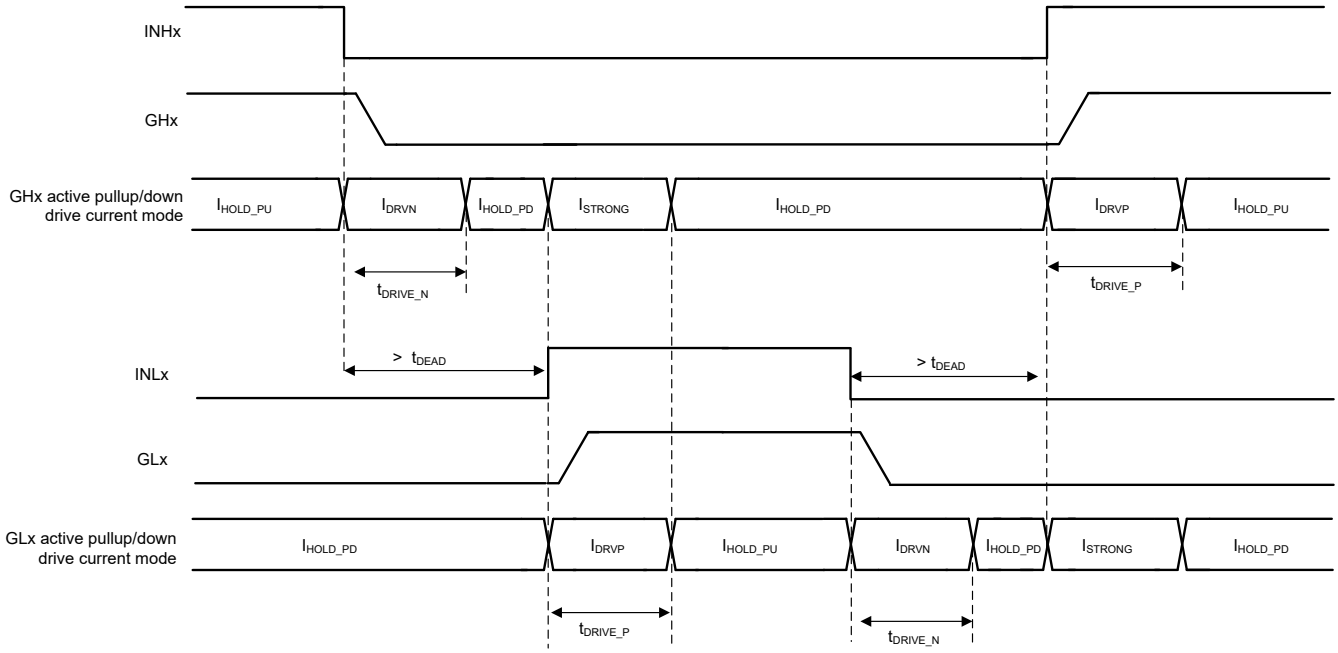


図 6-6. TDRIVE ゲート駆動タイミング制御 (DEADT_MODE=0b)

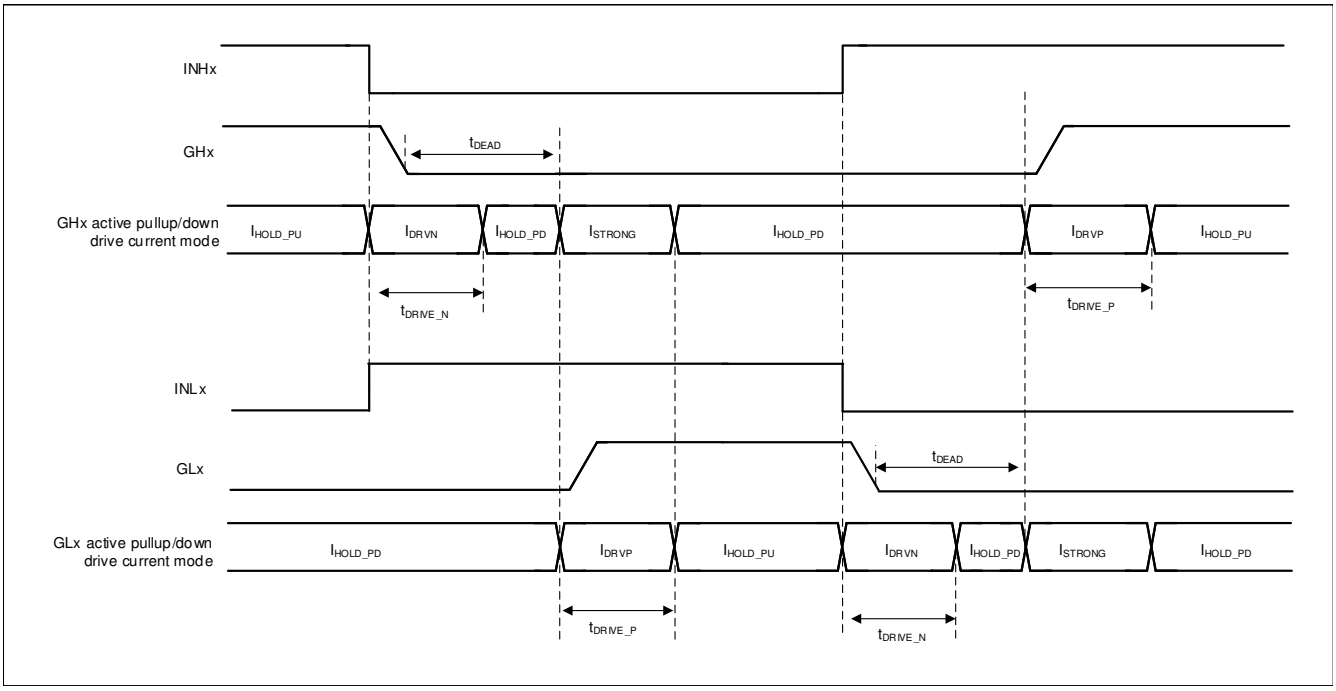


図 6-7. TDRIVE ゲート駆動タイミング制御 (DEADT_MODE=1b)

6.3.1.2.7 伝搬遅延

伝搬遅延時間 (t_{pd}) は入力ロジックのエッジから出力の変化が検出されるまでの時間として測定されます。この時間は、デジタル伝搬遅延、アナログ ゲートドライバによる遅延という 2 つの要素で構成されています。

複数の制御モードとデッド タイム挿入をサポートするため、デバイス全体への入力コマンドの伝搬に伴い、わずかなデジタル遅延が追加されます。また、アナログ ゲート ドライバによるわずかな遅延も、デバイスの全体的な伝搬遅延に含まれます。

6.3.1.2.8 デッドタイムとクロス導通防止

DRV8334 の 6xPWM モードでは、ハイサイド INHx 入力とローサイド INLx 入力は独立して動作しますが、同じハーフブリッジのハイサイドとローサイドが同時にオンになった場合の相互導通を防止するという例外があります。電力段の貫通電流状態を防止するため、このデバイスはハイサイドとローサイドのゲート出力を Low にプルし、ハイサイド入力とローサイド入力が同時にロジック High になると故障 STP_FLT が通知されます。

6xPWM モードでは、SPI レジスタ ビット DEADT_MODE が 0b で、DEADT_MODE_6X が 00b の場合、デバイスは INHx と INLx を監視し、INHx = INLx = Low の期間が t_{DEAD} より短い場合、デッドタイムを挿入します。6xPWM モード以外では、構成に関係なくデッドタイムは常に挿入されます。

Copyright © 2025 Texas Instruments Incorporated

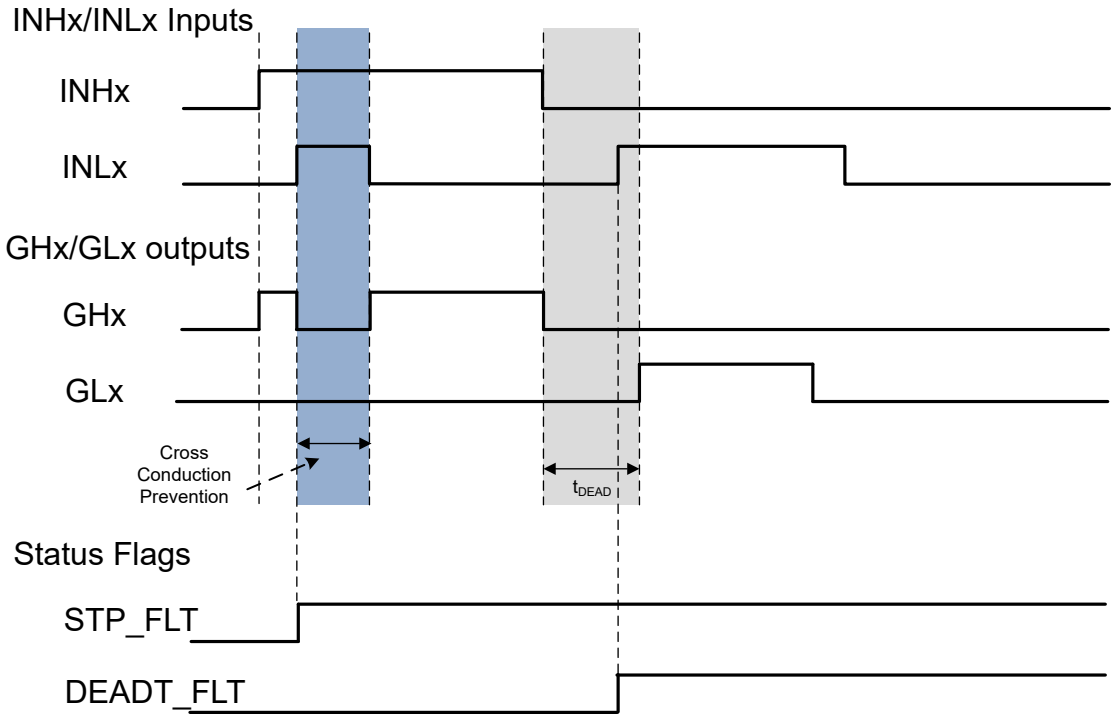


図 6-8. クロス導通防止とデッドタイム挿入

6.3.2 ローサイド電流検出アンプ

DRV8334 デバイスは、ローサイド シャント抵抗を使った電流測定のための高性能ローサイド電流検出アンプを内蔵しています。ローサイド電流測定は、一般に過電流保護、外部トルク制御、または外部コントローラによるブラシレス DC の整流を実装するために使用されます。この電流センス アンプは、5 ～ 40V/V の範囲で 9 つのゲイン設定を設定でき、SPI コマンドを使用して構成できます。CSA 出力は、外部電圧リファレンス ピン (VREF)を基準とするか、.。CSA 出力オフセットは 1/2 xVREF と 1/8 xVREF の間で設定でき、必要に応じて双方向または単方向の電流センシングをサポートします。

注

デフォルトでは、CSA 出力は無効になっています。CSA 出力は、SPI レジスタ IC_CTRL2 で有効化できます。CSA が有効になった後、外部 MCU は CSA 出力信号をサンプリングする前に 100us まで待つ必要があります。

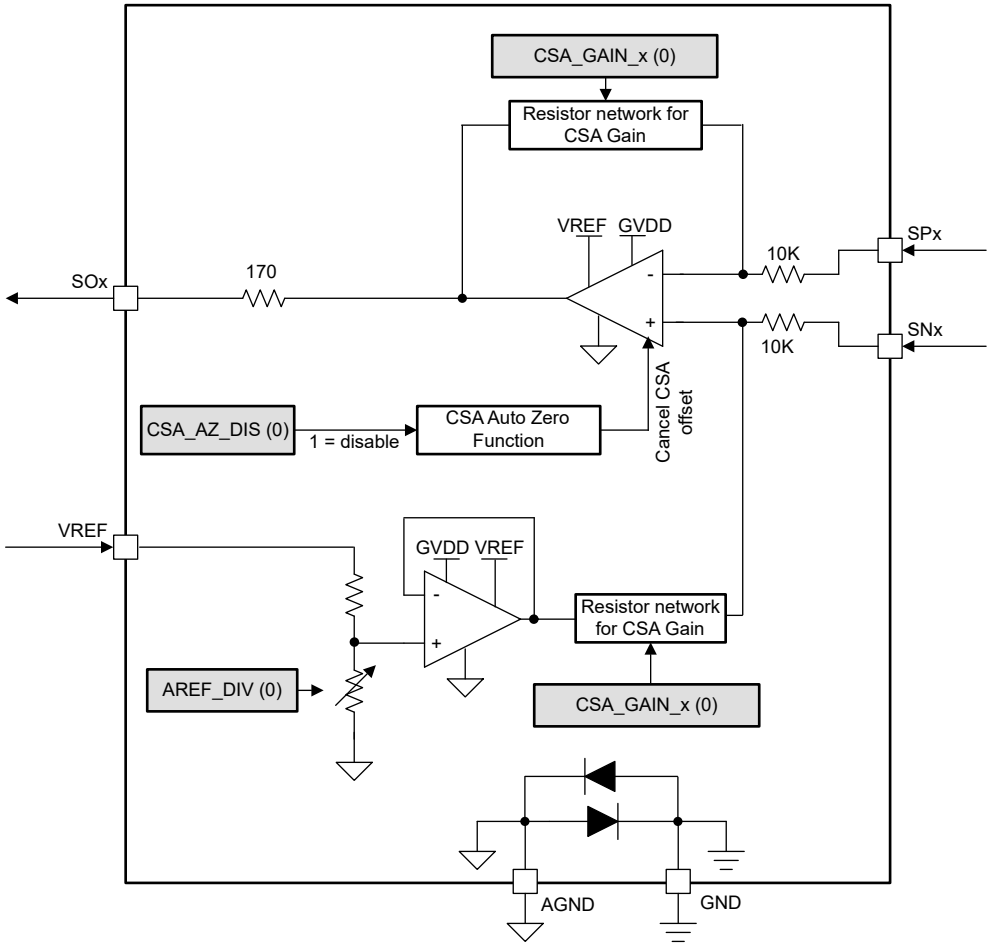


図 6-9. 電流センス アンプの図

6.3.2.1 単方向電流センス動作

電流測定の分解能を最大限に高めるため、DRV8334 は同相電圧 1/8 x VRE を内部で生成します。電流センスアンプは単方向モードとして動作し、SO ピンは、SP および SN ピン間の電圧にゲイン設定 (G_{CSA}) と出力を乗算した値に等しいアナログ電圧を出力します。

シャント抵抗を流れる電流値を計算するには、式 1 を使用します。

Copyright © 2025 Texas Instruments Incorporated

$$I = \frac{V_{SOx} - V_{VREF}/8}{G_{CSA} \times R_{SENSE}} \quad (1)$$

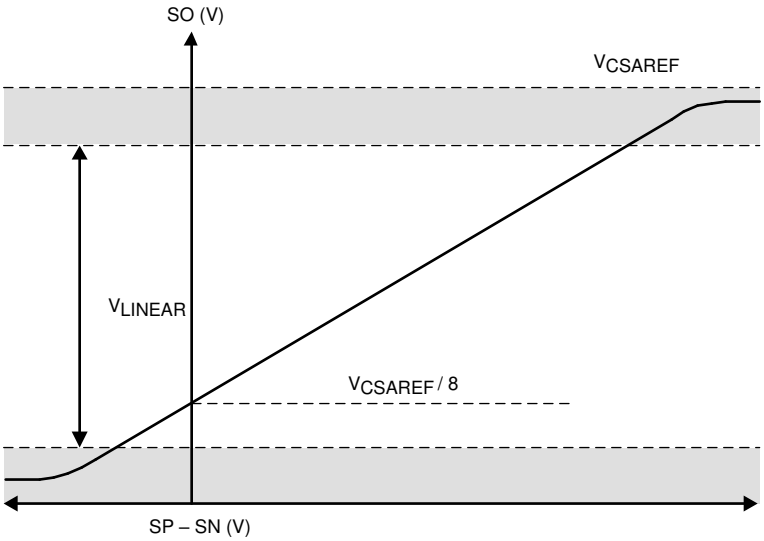


図 6-10. 単方向電流検出の出力

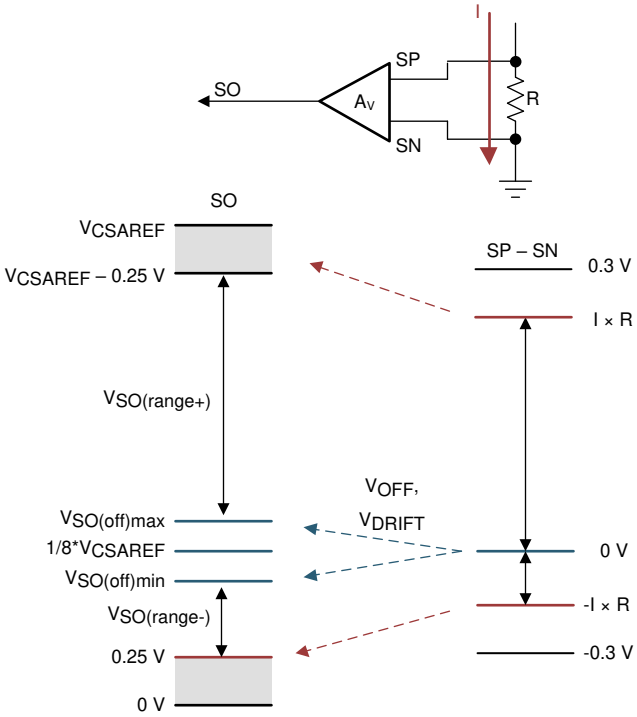


図 6-11. 単方向電流検出の領域

6.3.2.2 双方向電流検出の動作

このモードでは、DRV8334 は 1/2 x VREF の同相電圧を内部で生成し、双方向電流測定を可能にします。電流センスアンプは双方向モードとして動作し、SO ピンは、SP および SN ピン間の電圧にゲイン設定 (G_{CSA}) と出力を乗算した値に等しいアナログ電圧を出力します。

シャント抵抗 (AREF_DIV = VREF / 2 ケース) を流れる電流値を計算するには、式 2 を使用します。

$$I = \frac{V_{SOx} - \frac{V_{VREF}}{2}}{G_{CSA} \times R_{SENSE}} \tag{2}$$

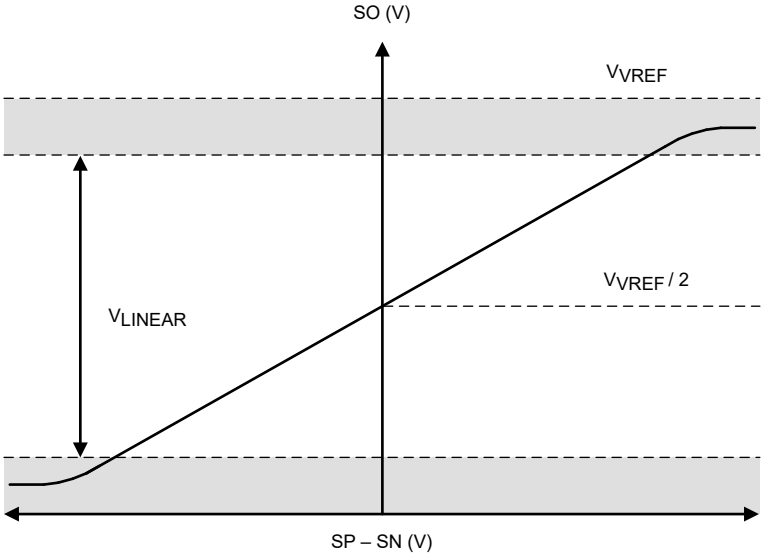


図 6-12. 双方向電流検出の出力

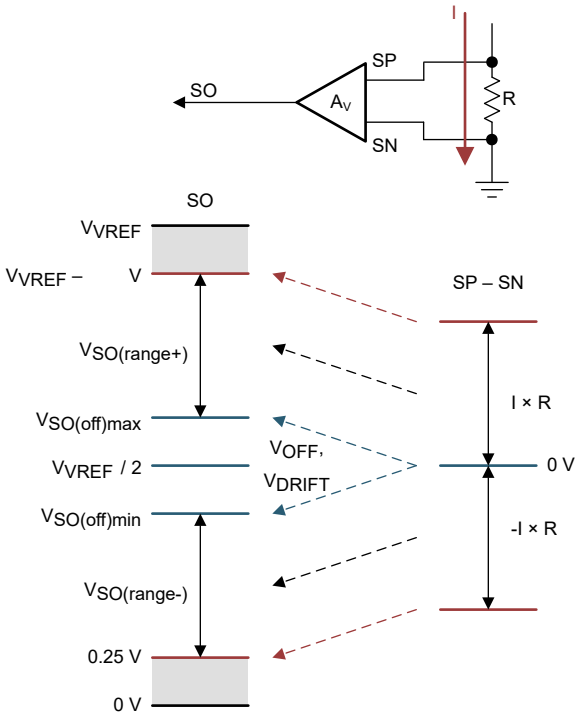


図 6-13. 双方向電流検出の領域

Copyright © 2025 Texas Instruments Incorporated

6.3.3 ゲート ドライバ シャットダウン

故障状態が検出されるか、DRVOFF ピンがシステムによって駆動されると、このデバイスはゲート ドライバ シャットダウンの動作を実行します。外部 MOSFET をオフにするため、ハイサイドおよびローサイドのゲート ドライバ出力がプルダウンされます。

6.3.3.1 DRVOFF ゲート ドライバ シャットダウン

DRVOFF が High に駆動されると、ゲート ドライバはシャットダウン モードに移行し、入力ピン INHx および INLx の信号がオーバーライドされます。DRVOFF は内部デジタル ロジックをバイパスし、プリドライバに直接接続されます。このピンは、外部コントローラを直接バイパスしてゲート ドライバを無効にする、外部で監視される故障用のメカニズムを提供します。DRVOFF ピンが High に駆動されると、ゲート ドライバは無効になり、シャットダウン シーケンスがトリガされます。

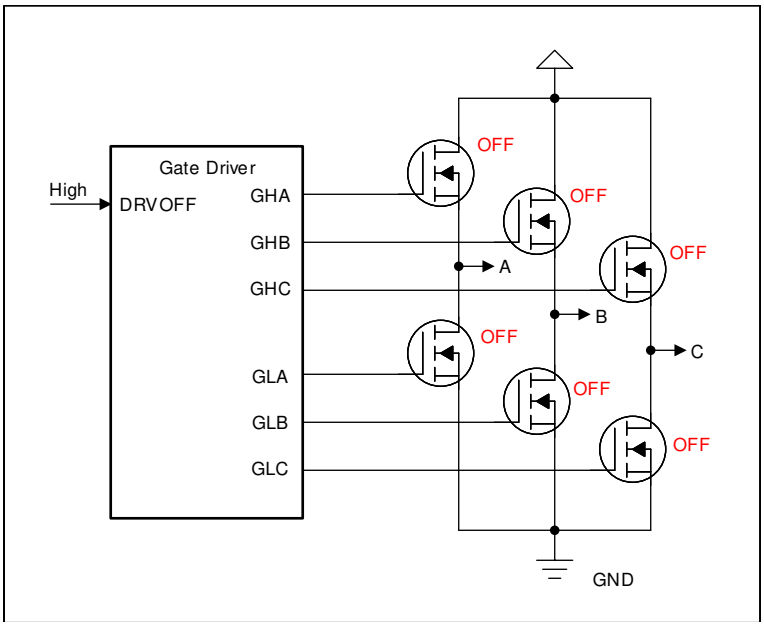


図 6-14. DRVOFF のゲート ドライバの出力状態

6.3.3.2 ゲート ドライバ シャットダウン タイミング シーケンス

図に示すように、このデバイスはゲート ドライバ シャットダウン シーケンスを開始します。シャットダウン駆動電流は、SPI レジスタ IDRVN_SD でプログラムできます。ゲート ドライバは、MOSFET のゲートを放電する t_{DRVN_SDD} 時間に I_{DRVN_SDD} を使用します。シャットダウン電流は I_{DRVN_SD} 電流に変化し、t_{DRVN_SD} 時間の終了まで保持されます。シャットダウン シーケンスの完了後、ゲート ドライバの出力はセミアクティブ プルダウン モードになります。

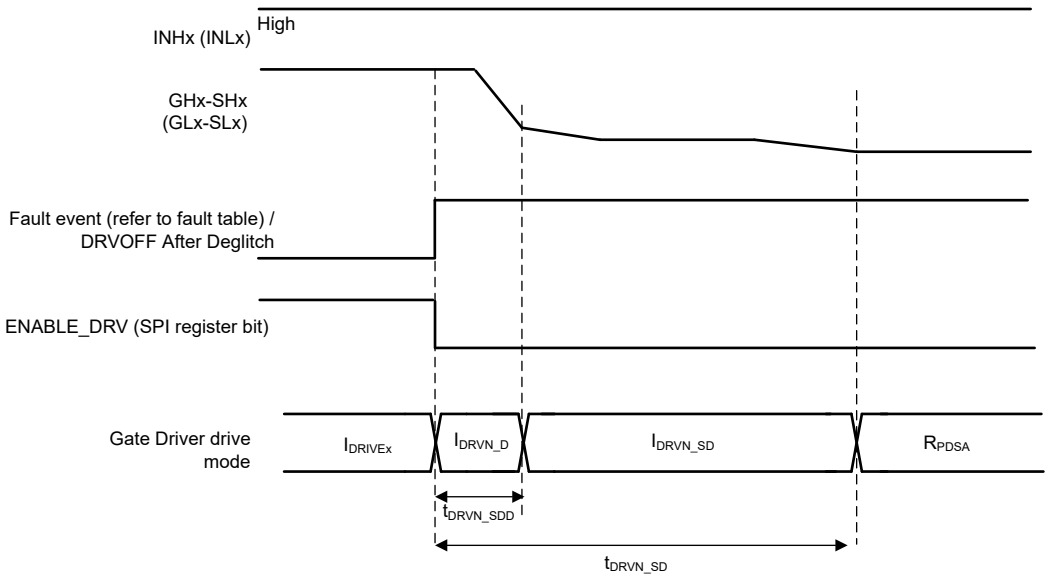


図 6-15. ゲート ドライバ シャットダウン シーケンス

Copyright © 2025 Texas Instruments Incorporated

6.3.4 ゲート ドライバ保護回路

6.3.4.1 PVDD 電源低電圧警告 (PVDD_UVW)

PVDD ピンの電源電圧が V_{PVDD_UVW} スレッショルドを下回る状態が、$t_{PVDD_UV_DG}$ 時間より長く続くと常に、DRV8334 は PVDD 低電圧状態を検出します。低電圧状態の検出後、デバイスは WARN_MODE ビットに応じて警告をアサートします。V_{PVDD_UVW} スレッショルドは、SPI レジスタ ビット PVDD_UVW_LVL で調整できます。

6.3.4.2 PVDD 電源低電圧誤動作防止 (PVDD_UV)

PVDD ピンの電源電圧が V_{PVDD_UV} スレッショルドを下回るイベントが、$t_{PVDD_UV_DG}$ 時間より長く続くと常に、DRV8334 は PVDD 低電圧イベントを検出します。低電圧電圧状態を検出すると、ゲート ドライバとチャージ ポンプが無効になり、nFAULT ピンが Low に駆動されます。PVDD_UV 条件のクリア後、故障状態はラッチされたまま維持され、SPI コマンドでクリアできます。

6.3.4.3 PVDD 電源過電圧故障 (PVDD_OV)

PVDD ピンの電源電圧が $t_{PVDD_OV_DG}$ 時間よりも長い間 V_{PVDD_OV} しきい値を超えた場合、DRV8334 が PVDD 過電圧イベントを検出します。過電圧状態を検出すると、ゲート ドライバとチャージ ポンプが無効になり、nFAULT ピンが Low に駆動されます。PVDD_OV 条件のクリア後、故障状態はラッチされたまま維持され、SPI コマンドでクリアできます。PVDD_OV スレッショルドは、SPI レジスタ フィールド PVDD_OV_LVL で調整できます。PVDD OV スレッショルドは、SPI レジスタ フィールド PVDD_OV_LVL で調整可能で、28V、33V、50V に設定できます。

6.3.4.4 GVDD 低電圧誤動作防止 (GVDD_UV)

GVDD ピンの電圧が V_{GVDD_UV} スレッショルドを下回る状態が、$t_{GVDD_UV_DG}$ 時間を超えると常に、本デバイスは GVDD 低電圧イベントを検出します。GVDD_UV 低電圧イベントの検出後、GVDD_UV_MODE ビット が 1b の場合、ゲート ドライバは無効化され、VCP チャージ ポンプは無効になり、nFAULT ピンは Low に駆動されます。GVDD_UV 条件のクリア後、故障状態はラッチされたまま維持され、SPI コマンドでクリアできます。

6.3.4.5 GVDD 過電圧故障 (GVDD_OV)

GVDD ピンの電源電圧が $t_{GVDD_OV_DG}$ 時間よりも長い間 V_{GVDD_OV} スレッショルドを超えた場合、DRV8334 が GVDD 過電圧イベントを検出します。過電圧状態を検出すると、ゲート ドライバとチャージ ポンプが無効になり、nFAULT ピンが Low に駆動されます。PVDD_OV 条件のクリア後、故障状態はラッチされたまま維持され、SPI コマンドでクリアできます。

6.3.4.6 BST 低電圧誤動作防止 (BST_UV)

BTSx ピンと SHx ピンの間の電圧が V_{BST_UV} スレッショルドを下回る状態が、$t_{BST_UV_DG}$ 時間を超えると常に、本デバイスは BST 低電圧イベントを検出します。BST_UV 低電圧イベントの検出後、BST_UV_MODE レジスタ ビットが 1b の場合、ハイサイド ゲートドライバは無効になり、nFAULT ピンは Low に駆動されます。BST_UV イベントの間、ローサイド ゲートドライバはアクティブのままです。BST_UV 条件がクリアされた後、BST_UV_LATCH レジスタ ビットが 1b のときは故障状態はラッチされたままとなり、SPI コマンドによってフラグをクリアできます。

6.3.4.7 BST 過電圧故障 (BST_OV)

BSTx ピンの 1 つ電源電圧が $t_{BST_OV_DG}$ 時間よりも長い間 V_{BST_OV} スレッショルドを超えた場合、DRV8334 が VDRAIN 過電圧イベントを検出します。過電圧状態を検出すると、ゲート ドライバとチャージ ポンプが無効になり、nFAULT ピンが Low に駆動されます。BST_OV 条件のクリア後、故障状態はラッチされたまま維持され、SPI コマンドでクリアできます。

6.3.4.8 VCP 低電圧故障 (CP_OV)

VCP ピンと VDRAIN ピン間の電圧が $t_{CP_UV_DG}$ 時間よりも長い間 V_{CP_UV} スレッショルドを下回ると常に、DRV8334 が VCP 低電圧イベントを検出します。低電圧電圧状態を検出すると、ゲート ドライバとチャージ ポンプが無効になり、nFAULT ピンが Low に駆動されます。VCP_UV 条件のクリア後、故障状態はラッチされたまま維持され、SPI コマンドでクリアできます。

6.3.4.9 VCP 過電圧故障 (CP_OV)

VCP ピンと VDRAIN ピン間が $t_{CP_OV_DG}$ 時間よりも長い間 V_{CP_OV} スレッショルドを上回ると常に、DRV8334 が VCP 過電圧イベントを検出します。過電圧状態を検出すると、ゲート ドライバとチャージ ポンプが無効になり、nFAULT ピンが Low に駆動されます。VCP_OV 条件のクリア後、故障状態はラッチされたまま維持され、SPI コマンドでクリアできます。

6.3.4.10 VDRAIN 低電圧故障 (VDRAIN_UV)

VDRAIN ピンの電源電圧が V_{DRAIN_UV} スレッショルドを下回る状態が $t_{vdrain_uv_dg}$ 時間を超えると常に、DRV8334 は VDRAIN 低電圧イベントを検出します。低電圧電圧状態を検出すると、ゲート ドライバとチャージ ポンプが無効になり、nFAULT ピンが Low に駆動されます。VDARIN_UV 条件のクリア後、故障状態はラッチされたまま維持され、SPI コマンドでクリアできます。

6.3.4.11 VDRAIN 過電圧故障 (VDRAIN_OV)

VDRAIN ピンの電源電圧が $t_{PVDD_OV_DG}$ 時間よりも長い間 V_{DRFAIN_OV} スレッショルドを超えた場合、DRV8334 が VDRAIN 過電圧イベントを検出します。過電圧状態を検出すると、ゲート ドライバとチャージ ポンプが無効になり、nFAULT ピンが Low に駆動されます。VDRAIN_OV 条件のクリア後、故障状態はラッチされたまま維持され、SPI コマンドでクリアできます。VDRAIN_OV スレッショルドは、VDRAIN_OV_LVL レジスタ フィールドを使用して、期待される電源電圧範囲に基づいて調整できます。

6.3.4.12 MOSFET VGS 監視保護

は、DRV8334 内蔵のゲート-ソース間電圧 (VGS) のモニタを活用して、外部 MOSFET の状態を監視します。MOSFET の出力状態をオフに指示した場合 (INxx = Low)、モニタは出力をオフに維持します。いずれかの時点で VGS 電圧が tvgs_DG より長い時間 VGS スレッショルドを超えると、nFAULT ピンが Low に駆動され、対応する出力チャネルの VGS_XX フラグが設定されます。MOSFET の出力状態をオンに指示すると (INxx = High)、モニタは出力がオンになり、MOSFET が強く拡張されるのに十分な VGS で駆動されていることを検証します。いずれかの時点で VGS 電圧が tvgs_DG より長い時間 VGS スレッショルドを下回ると、nFAULT ピンが Low に駆動され、対応する出力チャネルの VGS_XX フラグが設定されます。VGS モニタのブランキング時間は、VGS_BLK レジスタ フィールドで調整できます。この値は、外部 MOSFET の予測スイッチング時間に基づいて設定することを推奨します。VGS モニタのグリッチ除去時間は、VGS_DEG レジスタ フィールドで調整できます。グリッチ除去タイマは、PWM 信号の立ち上がり/立ち下がりの後に VGS ブランキング時間が経過するまで起動しません。この値は、システムのノイズレベルと許容されるフォルト トレランス タイミングに基づいて設定することを推奨します。

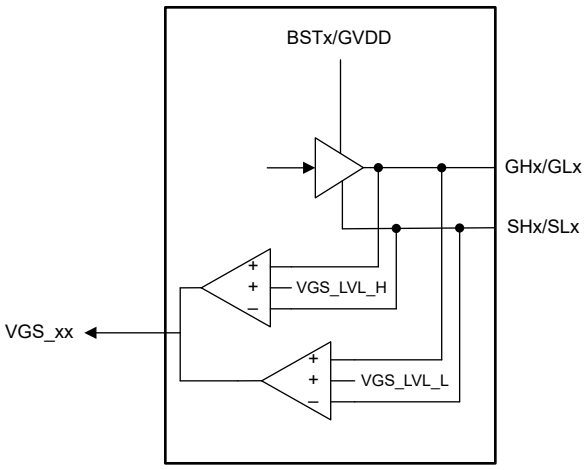


図 6-16. DRV8334 V_{GS} モニタ

Copyright © 2025 Texas Instruments Incorporated

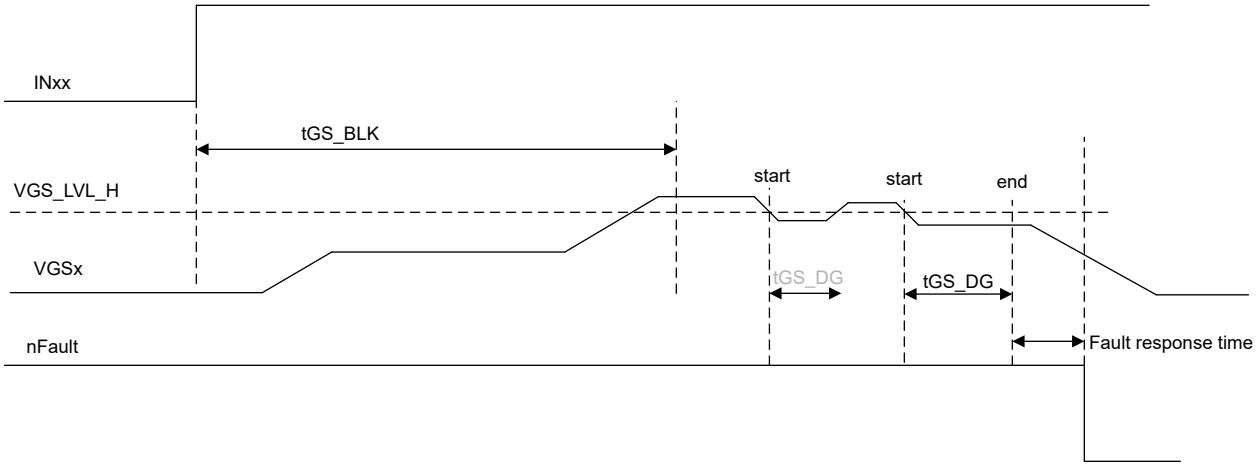


図 6-17. DRV8334 V_{Gs} モニタモニタのタイミング (出力 High)

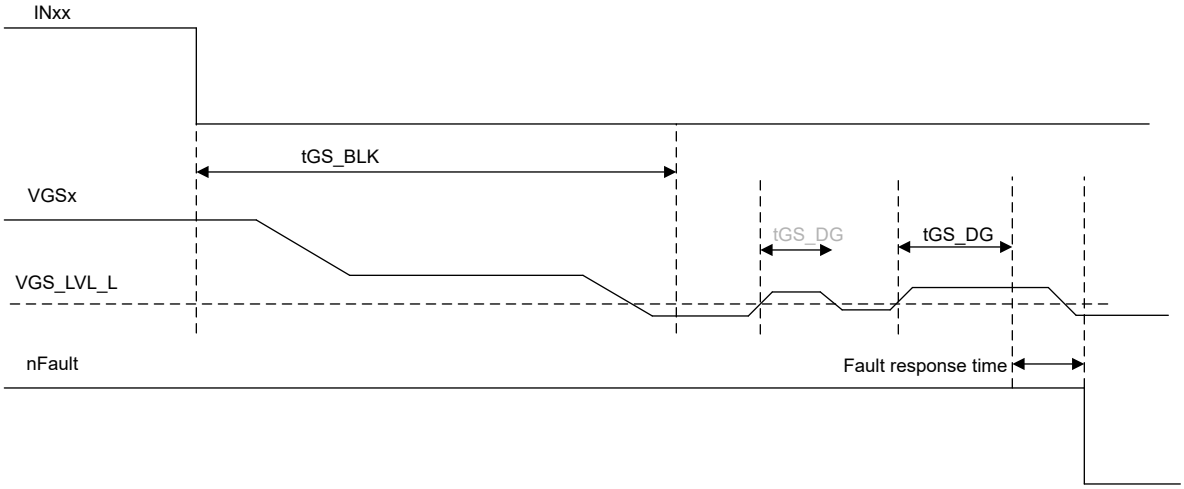


図 6-18. DRV8334 V_{Gs} モニタモニタのタイミング (出力 Low)

6.3.4.13 MOSFET V_{DS} 過電流保護 (VDS_OCP)

本デバイスは、外部パワー MOSFET での過電流状態や短絡状態を検出するため、調整可能な V_{DS} 電圧監視機能を備えています。MOSFET 過電流状態は、外部 MOSFET $R_{DS(on)}$ での V_{DS} 電圧降下を監視することによって検出されます。ハイサイド VDS モニタは VDRAIN ピンと SHx ピンの間の電圧を測定し、ローサイド VDS モニタは SHx ピンと SLx ピンの間の電圧を測定します。外部 MOSFET にかかる電圧が、V_{DS_LVL} スレッショルドを t_{DS_DG} グリッチ除去時間より上回ると、VDS_OCP イベントが認識されます。VDS 過電流イベントの検出後、外部 MOSFET をオフにするため、すべてのゲートドライバ出力は Low に駆動され、nFAULT ピンは Low に駆動されます。VDS レベルとグリッチ除去時間はプログラム可能です。

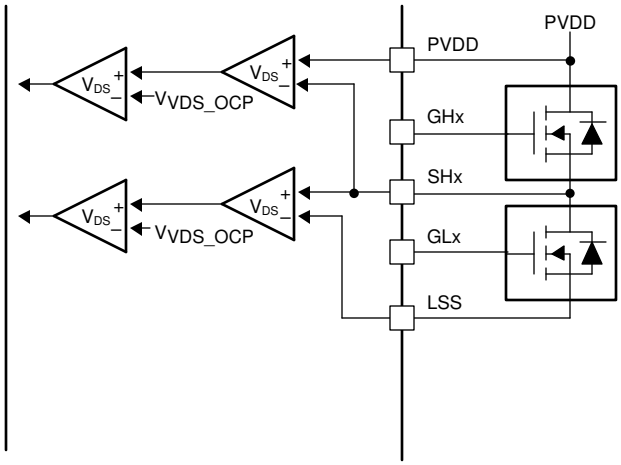


図 6-19. DRV8334 V_{DS} モニタ

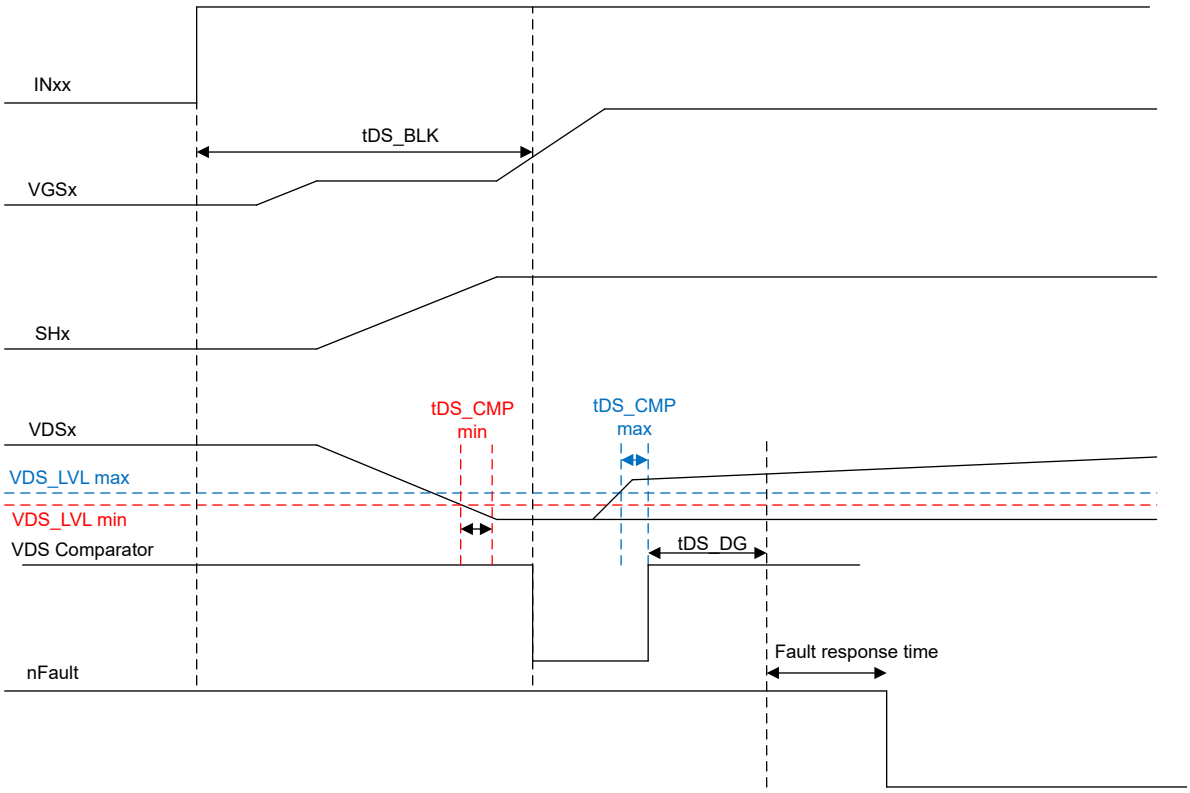


図 6-20. DRV8334 V_{DS} モニタのタイミング

6.3.4.14 V_{SENSE} 過電流保護 (SEN_OCP)

SPx ピンと SNx ピンの間の外部電流検出抵抗での電圧降下を検出することにより、過電流も監視できます。いつでも、SPx-SNx の差電圧が t_{OCP_DEG}G デグリッチ時間よりも長い間 V_{SEN_OCP} スレッショルドを超えると、SEN_OCP イベントが認識されます。SEN_OCP 過電流イベントの検出後、外部 MOSFET をオフにするため、すべてのゲートドライバ出力は Low に駆動され、nFAULT ピンは Low に駆動されます。V_{SENSE} スレッショルドとデグリッチ時間はプログラム可能です。SEN_OCP 条件のクリア後、故障状態はラッチされたまま維持され、SPI コマンドでクリアできます。

Copyright © 2025 Texas Instruments Incorporated

6.3.4.15 位相コンパレータ

このデバイスには 3 つの位相コンパレータが内蔵されており、それぞれが VDRAIN ピンの電圧に対して Shx ピンの電圧を監視します。位相コンパレータは、モーター整流制御、入力から出力までの時間の測定、またはドライバ、外部 MOSFET、外部負荷の診断のために Shx ピン の電圧を監視するために使用できます。

位相コンパレータのスレッショルドは、VDRAIN ピンと GND ピンの間の分圧抵抗によって生成されます。このスレッショルド電圧は位相コンパレータに送られ、GND を基準とした Shx 電圧と比較されます。

このデバイスは、INLA、INLB、INLC ピン で 3 つのプッシュプル デジタル出力を有効にするように構成できます。出力は各位相コンパレータ出力の状態を示します。INLx を位相コンパレータ出力に使用する場合、ローサイド ゲートドライバを制御するため、SPI レジスタビット PWM_MODE を 010b (スピン有効化制御付きの 3xPWM モード) に設定する必要があります。

このデバイスには、デジタル入力 INHx と位相コンパレータ出力を比較するロジックが内蔵されています。誤比較が検出されると、SPI レジスタ ビット PHCx_FLT で故障が通知されます。

6.3.4.16 サーマル シャットダウン (OTSD)

ダイ温度がサーマル シャットダウン制限のトリップ ポイント (T_{OTSD}) を超えると、OTSD イベントが認識されます。OTSD 過熱イベントを検出した後、OTSD_MODE が故障モードの場合、すべてのゲート ドライバ出力が低く駆動されて外部 MOSFET が無効になり、チャージ ポンプと電流センスが無効になり、nFAULT ピンが低く駆動されます。OTSD 条件のクリア後、故障状態はラッチされたまま維持され、SPI コマンド (CLR_FLT) でクリアできます。OTSD_MODE はデフォルトで故障モードです。デバイス電源投入中に OTSD 状態が検出された場合、nFAULT は Low に維持され、チャージ ポンプ、OTSD 条件が解消されて MCU が SPI コマンド (CLR_FLT) を送信するまで、電流センスは無効のままになります。

6.3.4.17 過熱警告 (OTW)

ダイ温度が過熱警告のトリップ ポイント (T_{OTW}) を上回ると、SPI デバイスのレジスタに OTW ビットが設定されます。デバイスの機能は継続され、追加動作が実行されることはありません。ダイ温度が過熱警告のヒステリシス ポイント未満まで低下すると、OTW ビットはラッチされたまま維持され、SPI コマンド CLR_FLT でクリアできます。OTW ビットが 1b の場合、nFAULT は High のままです。

6.3.4.18 OTP CRC

電源を投入するたびに、デバイスは OTP CRC チェックを実行します。計算された CRC8 チェックサムが、内部 OTP メモリに保存されている CRC8 チェックサムと一致しない場合、OTP_CRC 故障フラグがセットされます。

6.3.4.19 SPI ウォッチドッグ タイマ

このデバイスは、外部コントローラが動作していることを確認し、プログラマブル ウィンドウ タイプの SPI ウォッチドッグ タイマを統合しています。SPI ウォッチドッグ タイマーは、WDT_EN SPI レジスタ ビットに 1 を書き込むことによって有効化できます。ウォッチドッグ タイマは、デフォルトで無効になっています。ウォッチドッグ タイマがイネーブルになると、内部タイマはカウントアップを開始します。有効な SPI アクセスが、タイマをリセットします。この 有効な SPI アクセスは、下位ウィンドウ時間と上位ウィンドウ時間の間に発行する必要があります。ウォッチドッグ タイマ故障が検出されると、WDT_FLT ステータス ビットは 1b に設定され、nFAULT ピンは Low にアサートされます。

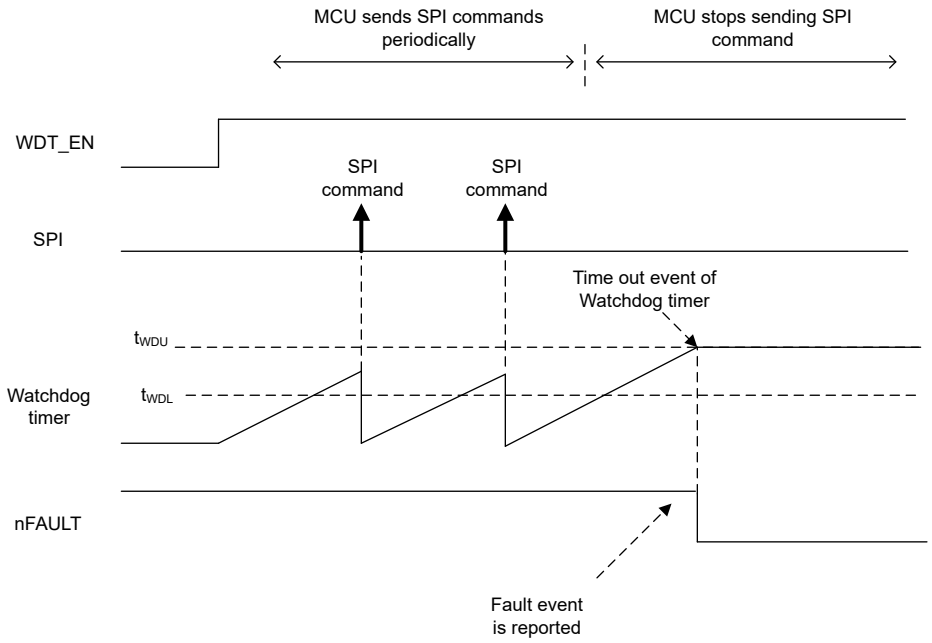


図 6-21. SPI ウォッチドッグ タイマのタイミング図

6.3.4.20 位相診断

このデバイスは、電流ソースと VDRAIN ピンと SHx デバイス ピンの間、および SHx デバイス ピンと各チャネルのデバイス グランドの間を統合しています。これらのスイッチは、SPI レジスタ ビット PHDEN_Hx と PHDEN_Lx を使用して、個別に有効化/無効化できます。PHDEN_Hx が 1b の場合、SHx ピンのソース電流 I_{PHD_SRC} が有効化されます。PHDEN_Lx が 1b の場合、SHx ピンのシンク電流 I_{PHD_SNK} が有効になります。PHDEN_Hx と PHDEN_Lx のいずれかのレジスタ ビットが 1 に設定されている場合、VDS 過電流検出フラグである VDS_Hx と VDS_Lx は故障検出フラグから VDS コンパレータのステータス フラグに変更されます。内部電流ソースと VDS ステータス フラグの組み合わせにより、外部 MOSFET をアクティブにせずに、モーター負荷の開放フォルト検出などの位相診断に使用できます。

デフォルトでは、PHDEN_x レジスタ ビットが 1b のとき、ゲート ドライバは無効になります。PHDEN_DRV レジスタ ビットが 1b の場合、PHDEN_x レジスタ ビットが 1b の間、ゲート ドライバの出力は INHx および INLx 入力ピンで制御でき、位相診断中に外部 MOSFET をオンにできます。

PDHEN_x レジスタ ビットが 1b の場合、VCP チャージ ポンプは有効のままですが、VCP からブートストラップ コンデンサまでの充電パスは無効化されます。位相診断の後、PWM 動作の前にブートストラップ コンデンサを事前充電する必要があります。

Copyright © 2025 Texas Instruments Incorporated

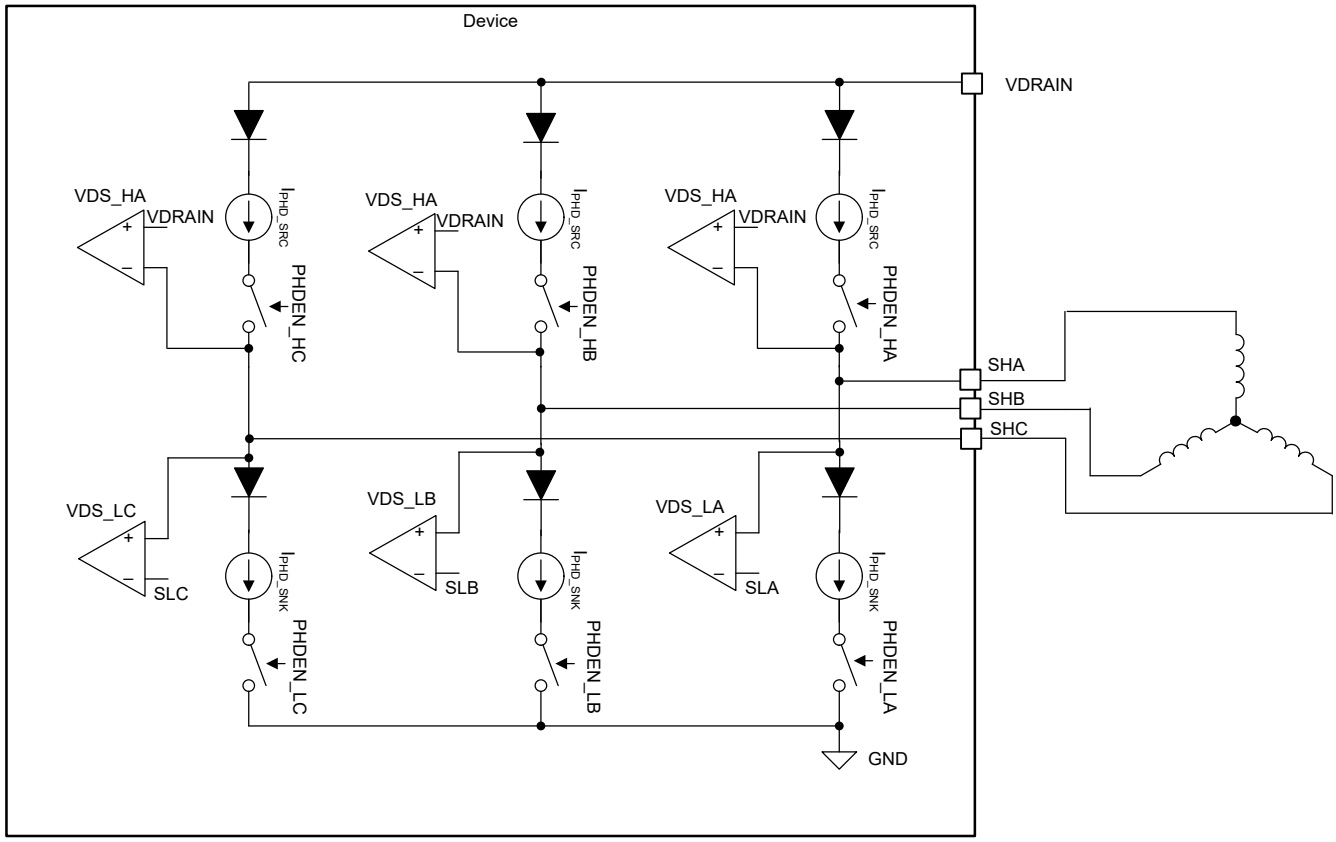


図 6-22. 位相診断 (開発中製品のみ)

6.4 デバイスの機能モード

6.4.1 ゲート ドライバの機能モード

6.4.1.1 スリープ モード

nSLEEP ピンは、DRV8334 の状態を管理するピンです。nSLEEP ピンが Low になると、デバイスは低消費電力のスリープ モードに移行します。スリープ モードでは、すべてのゲート ドライバ、センス アンプ、すべての外部 MOSFET、GVDD レギュレータが無効化されます。nSLEEP ピンでの立ち下がりエッジの後、t_{SLEEP} 時間が経過するとデバイスがスリープ モードに移行します。nSLEEP ピンが High になると、デバイスのスリープ モードは自動的に終了します。t_{WAKE} 時間が経過すると、デバイスは入力可能な状態になります。

6.4.1.2 動作モード

nSLEEP ピンが High で、V_{PVDD} 電圧が V_{UVLO} 電圧より大きい場合は、デバイスが動作モードに移行します。t_{WAKE} 時間が経過すると、デバイスは入力可能な状態になります。このモードでは、GVDD レギュレータと AVDD レギュレータ アクティブです

6.4.2 デバイス パワーアップ シーケンス

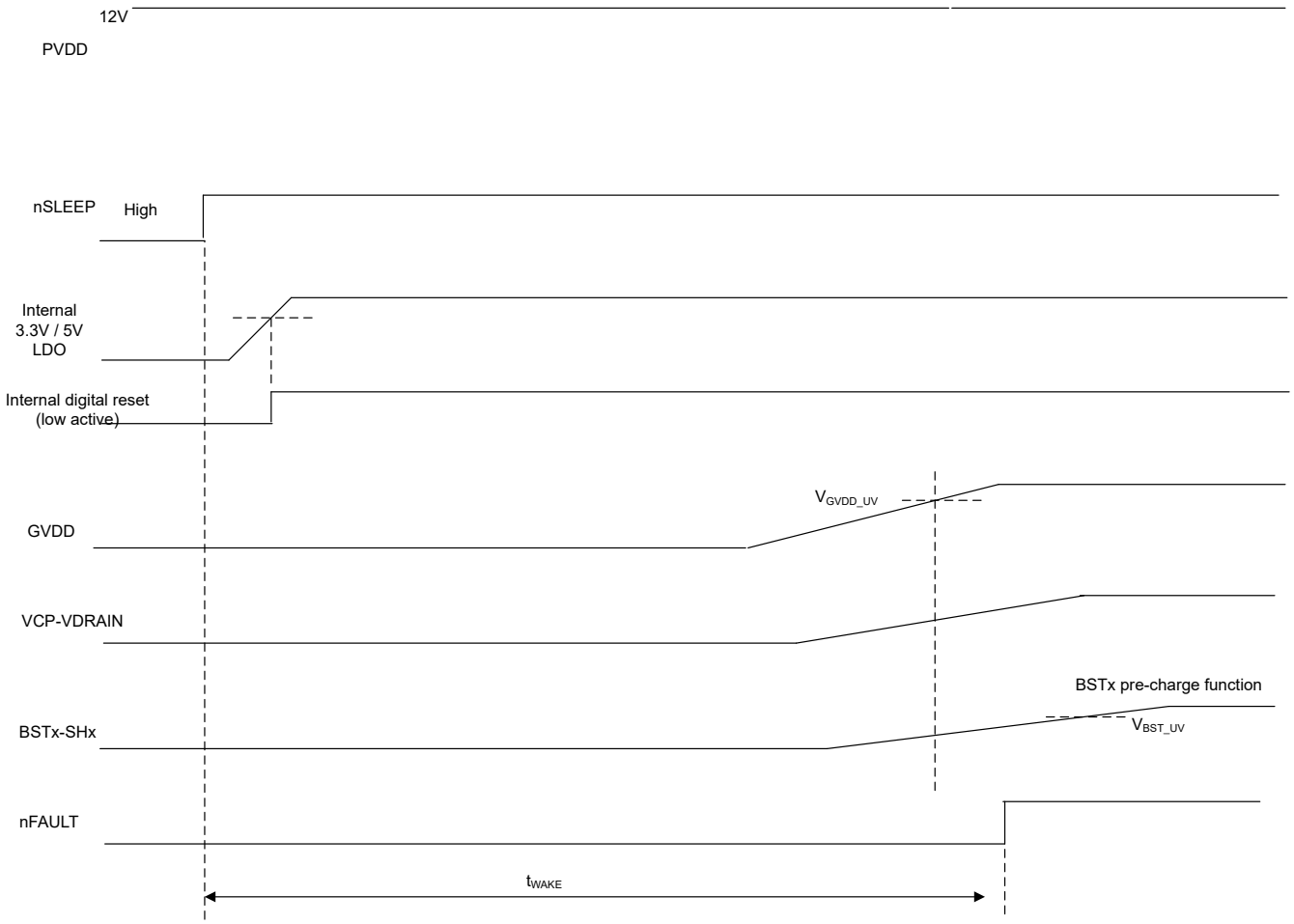


図 6-23. デバイスの電源オン シーケンスと t_{WAKE}

図 6-23 に、デバイスの内部情報を含む、デバイスの電源オン シーケンスを示します。セクション 6.4 で説明しているように、nSLEEP ピンが High に駆動されると、デバイスは内部 LDO、GVDD、VCP チャージ ポンプを有効にするため、パワーアップ シーケンスを開始します。デバイスが電源オン シーケンスを完了し、動作モードに移行すると、nFAULT 出力は Low になります。外部マイコンは、ハイサイド ゲートドライバをトグルする前にブートストラップ コンデンサの事前充電も待機します。また、SPI ステータス フラグ BST_UVx を使用して事前充電動作ステータスを確認できます。

Copyright © 2025 Texas Instruments Incorporated

6.5 プログラミング

6.5.1 SPI

このデバイスは、シリアル ペリフェラル インターフェイス (SPI) バスを使用して、デバイス構成、動作パラメータを設定し、診断情報を読み取ります。デバイスの SPI はペリフェラル モードで動作し、コントローラの外部コントローラに接続します。SPI CRC (SPI_CRC_EN = 1b) が有効の場合、SPI 入力データ (SDI) ワードは 32 ビットのワード、8 ビットのコマンド、16 ビットのデータ、8 ビットの CRC (初期値 0xFF、多項式 0x2F) で構成されます。SPI 出力データ (SDO) ワードは 32 ビットのワード、8 ビットのステータス データ、16 ビットのレジスタ データ、8 ビットの CRC (初期値 0xFF、多項式 0x2F) で構成されています。SPI CRC が無効の場合 (SPI_CRC_EN = 0b)、SPI データ ワードは 24 ビット ワードで構成されており、8 ビット CRC は除外されます。

注

デフォルトでは CRC は有効です。CRC を無効化するには、デバイスの電源投入後にレジスタ 0x1C に CRC 値「0x0009」を送信します (フル SPI フレームは「0x3800096E」)。

有効なフレームは次の条件を満たしていなければなりません。

- nSCS ピンが High から Low、Low から High に遷移すると、SCLK ピンの Low になります。
- nSCS ピンは、ワード間の 450ns 以上にわたって High にプルアップされます。
- nSCS ピンが High にされているときは、SCLK ピンと SDI ピンのすべての信号が無視され、SDO ピンが Hi-Z 状態に設定される。
- データは SCLK ピンの立ち下がりエッジで収集され、SCLK ピンの立ち上がりエッジで伝搬される。
- 最上位ビット (MSB) が最初にシフト イン / シフト アウトされる。
- トランザクションを有効にするには、32 (または 24) SCLK サイクルすべてが発生しなければならない。
- SDI ピンに送信されるデータ ワードが 32 (または 24) ビットでない場合、フレーム エラーが発生してデータ ワードが無視される。
- 書き込みコマンドの場合、書き込み先レジスタ内の既存データは、8 ビットのコマンド データに続いて SDO ピンでシフト アウトされる。
- SDO ピンはプッシュプル タイプの出力です。
- SPI 故障は、nSCS の立ち上がりエッジで確認されます。

6.5.2 SPI フォーマット

SDI 入力データ ワードは 32 (または 24) ビット長であり、以下のフォーマットで構成されています。

- 7 アドレス ビット、A6-A0
- 1 読み取りまたは書き込みビット、W0。書き込みコマンドの場合は W0 = 0b、読み取りコマンドの場合は W0 = 1b です。
- 16 データ ビット、D15-D0
- SPI_CRC_EN = 1b の場合、8 ビット CRC。

SDO 出力データ ワードは 32 (または 24) ビット長であり、以下のフォーマットで構成されています。

- 1 故障ステータス ビット、F。このビットは、IC_STAT1 故障レジスタ ビットと同じです。
- 7 読み戻しビット、A6-A0。これは同じ SPI フレーム内の SDI の着信 7 アドレス ビットの読み戻しです。このデバイスは、SCLK の立ち上がりエッジで SDI をキャプチャし、SCLK の立ち下がりエッジで SDI をプッシュアウトします。
- 16 データ ビット、D15-D0。これはアドレス指定されたレジスタの読み取りデータです。書き込みコマンドの場合、アドレス指定されたレジスタに以前に保存されたデータです。
- SPI_CRC_EN = 1b の場合、8 ビット CRC。

6.5.3 SPI フォーマット図

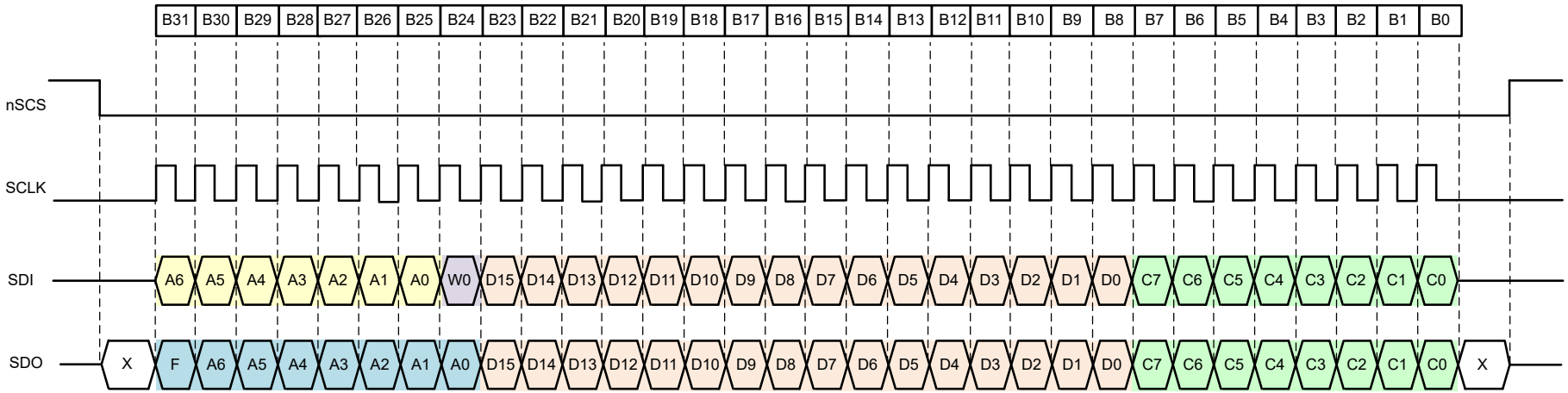


図 6-24. SPI フォーマット - 32 ビット フレーム (SPI_CRC_EN = 1b)

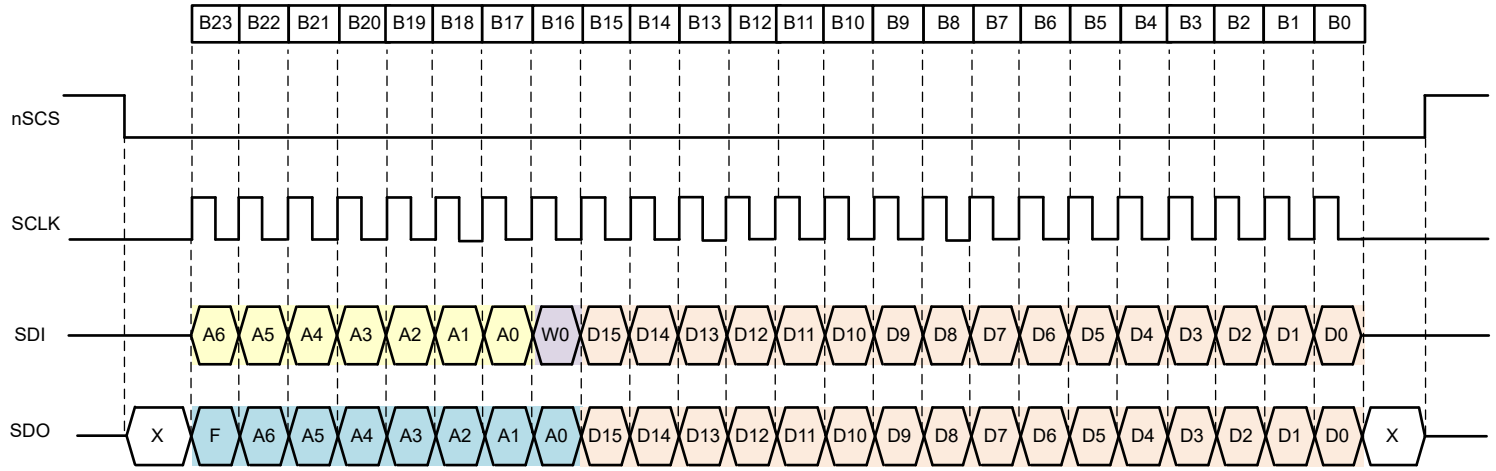


図 6-25. SPI フォーマット - 24 ビット フレーム (SPI_CRC_EN = 0b)

Copyright © 2025 Texas Instruments Incorporated

7 レジスタ マップ

7.1 STATUS レジスタ

表 7-1 に、STATUS レジスタに対してメモリマップされたレジスタを一覧表示します。表 7-1 にリストされていないすべてのレジスタ オフセット アドレスは予約領域と見なされます。レジスタの内容は変更しないでください。

表 7-1. STATUS レジスタ

アドレス	略称	レジスタ名	セクション
0h	IC_STAT1	IC ステータス レジスタ 1	セクション 7.1.1
1h	IC_STAT2	IC ステータス レジスタ 2	セクション 7.1.2
2h	IC_STAT3	IC ステータス レジスタ 3	セクション 7.1.3
3h	IC_STAT4	IC ステータス レジスタ 4	セクション 7.1.4
4h	IC_STAT5	IC ステータス レジスタ 5	セクション 7.1.5
5h	IC_STAT6	IC ステータス レジスタ 6	セクション 7.1.6

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 7-2 に、このセクションでアクセス タイプに使用しているコードを示します。

表 7-2. STATUS のアクセス タイプ コード

アクセス タイプ	コード	概要
読み取りタイプ		
R	R	読み出し
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

7.1.1 IC_STAT1 レジスタ (アドレス = 0h) [リセット = 8000h]

IC_STAT1 を表 7-3 に示します。

概略表に戻ります。

表 7-3. IC_STAT1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	SPI_OK	R	1b	SPI 故障は検出されていません 0b = SPI 故障が検出さえました 1b = 故障なし
14	フォルト	R	0b	フォルト ステータス レジスタの論理和。nFAULT ピンを反映します。 0b = nFAULT ステータス ロジック Low 1b = nFAULT ステータス ロジック High1 つまたは複数の障害イベントが検出されました。
13	WARN	R	0b	OTW を除く WARN ステータスの OR (論理和) 0b = 過熱警告イベント検出なし 1b = 1 つまたは複数の警告イベントが検出されました
12	VDS	R	0b	VDS 過電流検出の OR (論理和) 0b = VDS イベント検出なし。 1b = 1 つまたは複数の VDS イベントが検出されました。
11	VGS	R	0b	VGS 検出の OR (論理和) 0b = VGS イベント検出なし。 1b = 1 つまたは複数の VGS イベントが検出されました。
10	SNS_OCP	R	0b	センス過電流検出の OR (論理和) 0b = センス過電流イベント検出なし。 1b = 1 つまたは複数のセンス過電流イベントが検出されました。

Copyright © 2025 Texas Instruments Incorporated

表 7-3. IC_STAT1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	概要
9	OV	R	0b	電源電圧過電圧検出の OR (論理和) 0b = 過電圧イベント検出なし。 1b = 1 つ以上の過電圧イベントが検出されました。
8	UV	R	0b	電源電圧低電圧検出の OR (論理和) 0b = 低電圧イベント検出なし。 1b = 1 つ以上の低電圧イベントが検出されました。
7-2	予約済み	R	0b	予約済み
1	OTW	R	0b	過熱警告ステータス ビット 0b = イベントは検出なし 1b = 過熱警告イベントが検出されました
0	DRV_STAT	R	0b	ドライバの有効ステータスを示します。ミラー ENABLE_DRV レジスタ ビット

7.1.2 IC_STAT2 レジスタ (アドレス = 1h) [リセット = 0000h]

IC_STAT2 を表 7-4 に示します。

概略表に戻ります。

表 7-4. IC_STAT2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	CBC_ST	R	0b	VDS および SNS_OCP モニタのサイクル単位 (CBC) カウンタの動作ステータス。CBC が有効化されている場合 (CBC が 1b)、VDS または SNS_OCP 条件が検出されると CBC カウンタがインクリメントされます。1 つまたは複数の VDS または SNS_OCP 条件が検出されたことを示すため、CBC カウンタが 0 ではない場合 (CBC カウンタ > 0)、CBC_ST は 1 となります。 0b = CBC カウンタは 0 1b = CBC が有効化されている場合、CBC カウンタは 0 ではありません。
14-11	予約済み	R	0b	予約済み
10	SNS_OCP_A	R	0b	位相 A の外部検出抵抗ステータス ビットの過電流
9	SNS_OCP_B	R	0b	位相 B の外部検出抵抗ステータス ビットの過電流
8	SNS_OCP_C	R	0b	位相 C の外部検出抵抗ステータス ビットの過電流
7-6	予約済み	R	0b	予約済み
5	VDS_HA	R	0b	A ハイサイド MOSFET の VDS 過電流ステータス
4	VDS_LA	R	0b	A ローサイド MOSFET の VDS 過電流ステータス
3	VDS_HB	R	0b	B ハイサイド MOSFET の VDS 過電流ステータス
2	VDS_LB	R	0b	B ローサイド MOSFET の VDS 過電流ステータス
1	VDS_HC	R	0b	C ハイサイド MOSFET の VDS 過電流ステータス
0	VDS_LC	R	0b	C ローサイド MOSFET の VDS 過電流ステータス

7.1.3 IC_STAT3 レジスタ (アドレス = 2h) [リセット = 0000h]

IC_STAT3 を表 7-5 に示します。

概略表に戻ります。

表 7-5. IC_STAT3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15-6	予約済み	R	0b	予約済み

表 7-5. IC_STAT3 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	概要
5	VGS_HA	R	0b	A ハイサイド MOSFET の VDS ゲートドライバ故障ステータス。
4	VGS_LA	R	0b	A ローサイド MOSFET の VDS ゲートドライバ故障ステータス。
3	VGS_HB	R	0b	B ハイサイド MOSFET の VDS ゲートドライバ故障ステータス。
2	VGS_LB	R	0b	B ローサイド MOSFET の VDS ゲートドライバ故障ステータス。
1	VGS_HC	R	0b	C ハイサイド MOSFET の VDS ゲートドライバ故障ステータス。
0	VGS_LC	R	0b	C ローサイド MOSFET の VDS ゲートドライバ故障ステータス。

7.1.4 IC_STAT4 レジスタ (アドレス = 3h) [リセット = 0000h]

IC_STAT4 を表 7-6 に示します。

概略表に戻ります。

表 7-6. IC_STAT4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	PVDD_OV	R	0b	PVDD 過電圧ステータス
14	PVDD_UV	R	0b	PVDD 低電圧ステータス
13	VDRAIN_OV	R	0b	VDRAIN 過電圧ステータス
12	VDRAIN_UV	R	0b	VDRAIN 低電圧ステータス
11	VCP_OV	R	0b	VCP 過電圧ステータス
10	VCP_UV	R	0b	VCP 低電圧ステータス
9	GVDD_OV	R	0b	GVDD 過電圧ステータス
8	GVDD_UV	R	0b	GVDD 低電圧ステータス
7	予約済み	R	0b	予約済み
6	予約済み	R	0b	予約済み
5	BSTA_OV	R	0b	A ハイサイド MOSFET の BST 過電圧
4	BSTA_UV	R	0b	A ハイサイド MOSFET の BST 低電圧
3	BSTB_OV	R	0b	B ハイサイド MOSFET の BST 過電圧
2	BSTB_UV	R	0b	B ハイサイド MOSFET の BST 低電圧
1	BSTC_OV	R	0b	C ハイサイド MOSFET の BST 過電圧
0	BSTC_UV	R	0b	C ハイサイド MOSFET の BST 低電圧

7.1.5 IC_STAT5 レジスタ (アドレス = 4h) [リセット = 0000h]

IC_STAT5 を表 7-7 に示します。

概略表に戻ります。

表 7-7. IC_STAT5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	予約済み	R	0b	予約済み
14	PVDD_UVW	R	0b	PVDD 低電圧警告ステータス
13-11	予約済み	R	0b	予約済み
10	GVDD_CP_LDO	R	0b	GVDD 動作モード ステータス 0b = チャージ ポンプ 1b = LDO モード

Copyright © 2025 Texas Instruments Incorporated

表 7-7. IC_STAT5 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	概要
9	OTSD	R	0b	
8	WDT_FLT	R	0b	ウォッチドッグ タイマ故障ビット
7	SPI_CRC_FLT	R	0b	SPI CRC 故障ビット
6	SPI_ADDR_FLT	R	0b	SPI アドレス故障ビット
5	SPI_CLK_FLT	R	0b	SPI クロック フレーミング故障ビット。32 ビット フレーム (SPI_CRC_EN が 1)の場合、1 つの SPI フレームの SPI クロックの数が 1 ～ 31、33 またはそれ以上なら、SPI_CLK_FLT は 1 に設定されます。SPI クロック数が 0 または 32 の場合、SPI_CLK_FLT は 0 になります。24 ビット フレーム (SPI_CRC_EN が 0b) の場合、SPI クロック数が 0 または 24 なら、SPI_CLK_FLT は 0 になります。96 ビット フレームの場合、SPI クロック数が 0 または 96 なら、SPI_CLK_FLT は 0 になります。それ以外の場合、SPI_CLK_FLT は 1 に設定されます。
4	OTP_CRC_FLT	R	0b	OTP CRC 故障ビット。デバイス製造に使用される OTP メモリの故障が検出されました。
3	OTP_USR_CRC_FLT	R	0b	ユーザー OTP CRC 故障。ユーザー構成に使用される OTP メモリの故障が検出されました。ユーザー OTP を使用しない場合 (プログラムされている場合)、OTP_USR_CRC_FLT は常に 1b に設定されるため、電源投入時にフラグをクリアする必要があります。OTP_USR_CRC_FLT は、nFAULT やゲートドライバには影響しません。
2	予約済み	R	0b	予約済み
1	STP_FLT	R	0b	シュートスルー保護違反
0	DEADT_FLT	R	0b	デッドタイム違反

7.1.6 IC_STAT6 レジスタ (アドレス = 5h) [リセット = 0000h]

IC_STAT6 を表 7-8 に示します。

概略表に戻ります。

表 7-8. IC_STAT6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	PHCA_FLT	R	0b	PHCA の位相コンパレータ故障を示します
14	PHCB_FLT	R	0b	PHCB の位相コンパレータ故障を示します
13	PHCC_FLT	R	0b	PHCC の位相コンパレータ故障を示します
12	予約済み	R	0b	予約済み
11	VREF_OV	R	0b	VREF 入力過電圧ステータス
10	VREF_UV	R	0b	VREF 入力低電圧ステータス
9	VDDSDO_UV	R	0b	デバイス内部レギュレータ VDDSDO レギュレータ低電圧ステータス
8	予約済み	R	0b	予約済み
7	DVDD_OV	R	0b	DVDD 過電圧ステータス
6-5	予約済み	R	0b	予約済み
4	ABIST_FLT	R	0b	アナログ BIST 故障ステータス
3	DEV_MODE_FLT	R	0b	デバイス モード故障ステータス
2-1	予約済み	R	0b	予約済み
0	CLK_MON_FLT	R	0b	クロック モニタ故障ステータス

7.2 制御レジスタ

表 7-9 に、制御レジスタ用にメモリマップされたレジスタを示します。表 7-9 にリストされていないすべてのレジスタ オフセット アドレスは予約領域と見なされ、レジスタの内容は変更しないでください。

表 7-9. 制御レジスタ

アドレス	略称	レジスタ名	セクション
1Ah	IC_CTRL1	IC 制御レジスタ 1	セクション 7.2.1
1Bh	IC_CTRL2	IC 制御レジスタ 2	セクション 7.2.2
1Ch	IC_CTRL3	IC 制御レジスタ 3	セクション 7.2.3
1Eh	GD_CTRL1	ゲート駆動制御レジスタ 1	セクション 7.2.4
1Fh	GD_CTRL2	ゲート駆動制御レジスタ 2	セクション 7.2.5
21h	GD_CTRL3	ゲート駆動制御レジスタ 3	セクション 7.2.6
22h	GD_CTRL3B	ゲート駆動制御レジスタ 3B	セクション 7.2.7
23h	GD_CTRL4	ゲート駆動制御レジスタ 4	セクション 7.2.8
24h	GD_CTRL5	ゲート駆動制御レジスタ 5	セクション 7.2.9
25h	GD_CTRL6	ゲート駆動制御レジスタ 6	セクション 7.2.10
26h	GD_CTRL7	ゲート駆動制御レジスタ 7	セクション 7.2.11
29h	CSA_CTRL	CSA 制御レジスタ	セクション 7.2.12
2Bh	MON_CTRL1	モニタ制御レジスタ 1	セクション 7.2.13
2Ch	MON_CTRL2	モニタ制御レジスタ 2	セクション 7.2.14
2Dh	MON_CTRL3	モニタ制御レジスタ 3	セクション 7.2.15
2Eh	MON_CTRL4	モニタ制御レジスタ 4	セクション 7.2.16
2Fh	MON_CTRL5	モニタ制御レジスタ 5	セクション 7.2.17
30h	MON_CTRL6	モニタ制御レジスタ 6	セクション 7.2.18
33h	DIAG_CTRL1	診断制御レジスタ 1	セクション 7.2.19
36h	SPI_TEST	SPI テスト レジスタ	セクション 7.2.20
48h	OTP_USR	OTP ユーザー制御	セクション 7.2.21

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 7-10 に、このセクションでアクセス タイプに使用しているコードを示します。

表 7-10. 制御アクセス タイプ コード

アクセス タイプ	表記	説明
読み取りタイプ		
R	R	読み出し
R-0	R -0	読み出し 0 を返す
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

7.2.1 IC_CTRL1 レジスタ (アドレス = 1Ah) [リセット = 0000h]

IC_CTRL1 を表 7-11 に示します。

概略表に戻ります。

Copyright © 2025 Texas Instruments Incorporated

表 7-11. IC_CTRL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-1	予約済み	R	0b	予約済み
0	VDDSDO_SEL	R/W	0b	VDDSDO レギュレータ出力選択ビット。このビットは、SDO および PHCx の VOH レベルを、3.3V モードまたは 5V モードで決定します。入力バッファの VIH/VIL は VDDSDO_SEL ビットの影響を受けません。 VDDSDO_SEL をセットする前に、VDDSDO_MON_LVL を正しく構成する必要があります。 0b = SDO/PHCx 3.3V モード 1b = SDO/PHCx 5V モード

7.2.2 IC_CTRL2 レジスタ (アドレス = 1Bh) [リセット = 0006h]

IC_CTRL2 を表 7-12 に示します。

概略表に戻ります。

表 7-12. IC_CTRL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	ENABLE_DRV	R/W	0b	プリドライバ ビットを有効にします。1 つまたは複数のプリドライバ シャットダウン条件が検出され、故障フラグが 1b に設定されている場合、および ALL_CH が 1b の場合、または DRVOFF が High で駆動されている場合、このビットは 0b にクリアされます。故障状態が発生している間、または DRVOFF が High の間、デバイスによって ENABLE_DRV ビットが強制的に 0b に設定されます。電源投入時は、ENABLE_DRV への書き込みアクセスは無視され、nFAULT が High になるまでこのビットを 1 に設定できません。nFAULT が High になった後、5us 待機して、ENABLE_DRV を 1b に設定します。初期セットアップ中は、ENABLE_DRV を 1b に設定する前に、ゲート駆動電流 IDRVx 設定を設定することをお勧めします。 0b = INHx および INLx デジタル入力は無視され、ゲートドライバ出力はデフォルトで Low (アクティブ プルダウン) にプルされます。 1b = ゲートドライバ出力は INHx および INL デジタル入力によって制御されます。ENABLE_DRV が 1b のときに IDRVP または IDRVN レジスタの値を変更すると、ゲートドライバ電流は 1 PWM サイクルの遅延で更新されます。
14	MODE_NSLEEP	R/W	0b	nSLEEP モード。 0b = nSLEEP はアクティブ Low で、nSLEEP が Low に駆動されるとデバイスはスリープ モードに移行します。 1b = nSLEEP はアクティブ Low で、nSLEEP が Low に駆動されると、デバイスは DRVOFF シャットダウン モードに移行します。GVDD チャージ ポンプや TCP/VCP チャージ ポンプなどの内部レギュレータがアクティブです。WDT_FLT が検出されると、nSLEEP が Low のとき、MODE_NSLEEP ビットに関係なく、本デバイスはスリープ モードに移行します。
13	CFG_CRC_EN	R/W	0b	構成データ CRC 機能を有効化します 0b = 構成データの CRC 機能を無効化。 1b = 構成データの CRC 機能を有効化。
12	CLKMON_EN	R/W	0b	クロック モニタ有効 0b = クロック モニタが無効です。 1b = クロック モニタを有効化。
11	CSA_EN	R/W	0b	電流センス アンプが有効です。GVDD_UV_MODE が 0b (警告モード) の場合、CSA_EN ビットが 1b に設定される前に、MCU は GVDD_UV フラグが 0b に維持する必要があります。GVDD_UV_MODE が 1b (故障モード) の場合、GVDD_UV が検出されると IC は CSA アンプを無効化します。 0b = CSA を無効化。SOx は HiZ 状態です。 1b = CSA は有効です。

表 7-12. IC_CTRL2 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
10	CSA_AZ_DIS	R/W	0b	電流センス アンプの自動ゼロ機能無効化 0b = CSA 自動ゼロ機能有効化。通常 PWM/CSA 動作中はこのビットは 0b になります。 1b = CSA 自動ゼロ機能無効化。このビットの目的は、自動ゼロ機能のために電流検出アンプのスイッチング動作を無効にすることです。このビットを使用する場合は、タイミング要件を参照してください。
9	DIS_GVDD_SS	R/W	0b	注 プロトタイプ サンプルの電源投入後に DIS_GVDD_SS を 1b に設定することを推奨します。最終的な生産サンプルでは、この機能を削除する予定です GVDD チャージ ポンプのソフト スタートを無効化します 0b = PVDD 入力電圧が 7.2V を下回るとき、GVDD の出力負荷能力は仕様を満たしていません。 1b = プロトタイプ サンプルの場合、ユーザーはプロトタイプ サンプルの電源投入後にこのビットを 1 に設定することを TI は推奨しています。
8	GVDD_MODE	R/W	0b	GVDD チャージ ポンプ LDO モード制御 0b = GVDD 通常動作。チャージ ポンプ モードと LDO モードは、デバイスによって制御されます。 1b = LDO モード。GVDD チャージ ポンプ クロックが無効化。(チャージ ポンプのスイッチング動作は無効です)。
7-6	VCP_MODE	R/W	00b	VCP/TCP モード制御 00b = VCP/TCP の通常動作。電源投入時に VCP/TCP が有効になります。SPI ENABLE_DRV が 0 の場合、TCP SW が有効になります。DRVOFF が High であり、システムがデバイスに BST コンデンサを充電状態に維持する必要がある場合、VCP_MODE が 00b である必要があります。 01b = VCP/CPTH - Shx スイッチを無効化。VCP/TCP チャージ ポンプ クロックがアクティブ。このビットは、SPI ENABLE_DRV に関係なく有効です。 10b = VCP/TCP シャットダウン。VCP/CPTH-SHx スイッチと VCP/TCP チャージ ポンプ クロックの両方が無効になります。このビットは、SPI ENABLE_DRV に関係なく有効です。 11b = VCP/TCP の通常動作。電源投入時に VCP/TCP が有効になります。SPI ENABLE_DRV が 0 の場合、TCP SW が無効になります。
5-4	予約済み	R	0b	予約済み
3-1	LOCK	R/W	011b	レジスタ設定 をロックおよびロック解除します。リストされていないビット設定は効果がありません。 011b = すべてのレジスタをロック解除します。 110b = これらのビット以外のレジスタへの書き込みを無視して設定をロックします。
0	CLR_FLT	R/W	0b	故障をクリア。故障イベントが検出され、故障フラグが設定された後で、最初に CLR_FLT コマンドを発行し、次に別の SPI フレームで ENABLE_DRV コマンドを発行することを推奨します。CLR_FLT コマンドと ENABLE_DRV コマンドが同じ SPI フレーム内で発行されると、CLR_FLT はより優先度が高くなり、故障フラグがすでにラッチされており、デバイスが CLR_FLT を待機している場合、ENABLE_DRV はセットされません。 0b = アクションなし 1b = 故障クリア。0b にセルフクリア。

7.2.3 IC_CTRL3 レジスタ (アドレス = 1Ch) [リセット = 8009h]

IC_CTRL3 を表 7-13 に示します。

Copyright © 2025 Texas Instruments Incorporated

概略表に戻ります。

表 7-13. IC_CTRL3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	SPI_CRC_EN	R/W	1b	SPI CRC 有効 0b = SPI CRC を無効化。1 つの SPI フレームは 8 ビット コマンド、16 ビット データです。 1b = SPI CRC を有効化。1 つの SPI フレームは、8 ビット コマンド、16 ビット データ、8 ビット CRC です。
14	WARN_MODE	R/W	0b	警告 nFAULT モード、警告イベントの nFAULT 応答を制御します 0b = 警告応答の nFAULT 通知なし。ステータス フラグが設定されます。 1b = nFAULT は警告応答のため Low に駆動されます。ステータス フラグが設定されます。
13	予約済み	R	0b	予約済み
12	DIS_SSC	R/W	0b	TI 社内用設計パラメータ:TI から通知を受けない限り、変更は必要ありません。このビットは、デバイスの内部発振器のスペクトラム拡散クロック機能を無効化にします 0b = 通常動作。スペクトラム拡散クロック処理機能を有効化。 1b = TI のデバッグの目的で、拡散スペクトラム クロック処理機能を無効化。
11	予約済み	R	0b	予約済み
10	TCP_EN_DLY	R/W	0b	本デバイスが PWM 非アクティブを検出してから、トリクル チャージ ポンプがアクティブになるまでの遅延時間 (INHx=INLx = Low) 0b = 100us (代表値) 1b = 250us (代表値)
9	DRVOFF_PDSEL_HS	R/W	0b	ハイサイド ゲートドライバの DROVFF プルダウン選択 0b = DRVOFF が High の場合、ハイサイド ゲートドライバ出力 Ghx はセミアクティブ プルダウン (RPDSA_HS) になります。 1b = DRVOFF が High の場合、ハイサイド ゲートドライバ出力 GHx はパッシブ プルダウン (RPD_HS) になります。
8	DRVOFF_PDSEL_LS	R/W	0b	ローサイド ゲートドライバの DROVFF プルダウン選択 0b = DRVOFF が Low の場合、ハイサイド ゲートドライバ出力 GLx はセミアクティブ プルダウン (RPDSA_LS) になります。 1b = DRVOFF が High の場合、ローサイド ゲートドライバ出力 GLx はパッシブ プルダウン (RPD_LS) になります。
7-4	予約済み	R	0b	予約済み
3	OT_LVL	R/W	1b	過熱シャットダウン スレッショルドの選択 0b = グレード 1 モード 1b = グレード 0 モード
2	予約済み	R	0b	予約済み
1-0	OTSD_MODE	R/W	01b	過熱シャットダウン モード 00b = 警告モード 01b = 故障 (シャットダウン) モード 10b = レポートなし。シャットダウンなし。 11b = レポートなし。シャットダウンなし

7.2.4 GD_CTRL1 レジスタ (アドレス = 1Eh) [リセット = 0138h]

GD_CTRL1 を表 7-14 に示します。

概略表に戻ります。

表 7-14. GD_CTRL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0b	予約済み

表 7-14. GD_CTRL1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
14-12	PWM_MODE	R/W	000b	PWM モード。 000b = 6x PWM モード (INHx/INLx) 001b = INLx 有効化制御付き 3x PWM モード 010b = SPI 有効化制御 (DRVEN_x) を備えた 3x PWM モード。INLx は PWM 制御に影響しません。PHC_OUTEN が 1b の場合、MCU はこのモードを使用して PWM を生成する必要があります。 011b = 1x PWM モード (INHx/INLx) 100b = 予約済み。 101b = SPI ゲート駆動モード。DRV_GHx および DRV_GLx レジスタ ビットが有効です。 110b = 6x PWM モード (INHx/INLx) 111b = 6x PWM モード (INHx/INLx)
11	予約済み	R	0b	予約済み
10-9	SGD_MODE	R/W	00b	スマート ゲートドライブ モード 00b = 固定ピーク電流制御を備えたスマート ゲートドライブ。TDRVN_D は有効ではなく無視されます。 01b = 動的ピーク電流制御機能付きスマート ゲートドライブ。TDRVN_D を有効化。
8	SGD_TMP_EN	R/W	1b	スマート ゲートドライブの動的な温度制御を有効化にします。 0b = SGD 温度制御を無効化します。IDRVP と IDRVN は一定です。 1b = SGD 温度制御を有効化。IDRVP (300mA 以上) と IDRVN (600mA 以上) は、DIE_TEMP 情報に基づいて調整されます。IDRIVx 調整は、デバイスによって 9ms ごと、または SGD_TMP_EN ビットが 0b から 1b に変化したときに行われます。
7	STP_MODE	R/W	0b	貫通電流保護レポート モード **注** PWM_MODE 000b 以外では、STP_MODE は 1b に設定され、それ以外の場合は偽 STP_FLT フラグが通知されます。 0b = 貫通電流保護を有効化。貫通電流条件の間、ゲートドライバ出力は強制的に Low になります。故障状態が検出されると、SPI 故障フラグがセットされ、nFAULT ピンが Low に駆動されます。PWM_MODE 000b (6xPWM モード) の場合のみ STP_MODE を 0b に設定します。 1b =貫通電流保護が有効になっていますが、通知は実行されません。貫通電流条件の間、ゲートドライバ出力は強制的に Low になります。SPI 障害フラグは設定されず、故障状態が検出されると nFAULT ピンは High のままになります。PWM_MODE 000b 以外では、偽 STP_FLT フラグを通知しないように、STP_MODE を 1b に設定する必要があります。
6	予約済み	R	0b	予約済み
5-3	DEADT	R/W	111b	ゲートドライバ デッドタイム 000b = 70ns 001b = 200ns 010b = 300ns 011b = 500ns 100b = 750ns 101b = 1000ns 110b = 1500ns 111b = 2000ns
2	DEADT_MODE	R/W	0b	デッドタイム挿入モード。 0b = デバイス入力 (INHx または INLx) が Low になるとデッド タイムが挿入されます。 1b = ゲートドライバ出力 (Ghx または Glx) を監視することでデッドタイムが挿入されます。

Copyright © 2025 Texas Instruments Incorporated

表 7-14. GD_CTRL1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1-0	DEADT_MODE_6X	R/W	00b	6 PWM モードの場合のみ、デッドタイム違反応答モード。注:6 PWM モード以外では、DEADT_MODE ビットに関係なくデッドタイムは常に挿入され、MCU へは故障は通知されません。 00b = デッドタイム保護を有効化。ゲートドライバ制御信号は、デッドタイム期間中は強制的に Low になります。デッドタイム状態が検出されると、SPI 故障フラグがセットされ、nFAULT ピンが Low に駆動されます。 01b = デッドタイム保護は有効化されていますが、通知は実行されません。デッドタイム中は、ゲートドライバの出力は強制的に Low になります。デッドタイム状態が検出されると、SPI 故障フラグは設定されず、nFAULT ピンは High のままです 10b = デッドタイム保護を無効化。デッドタイムは挿入されません。SPI フォルトフラグはセットされず、nFAULT1 ピンは High のままです。これは、DEADT_MODE が 0b (INH または INL の監視) と 1b (Ghx または Glx の監視) の場合の両方に適用されます。 11b = デッドタイム保護が有効化され、SPI 故障がセットされていますが、nFAULT 通知は実行されません。デッドタイム中は、ゲートドライバの出力は強制的に Low になります。デッドタイム状態が検出されると、nFAULT ピンは High のまま維持されます。

7.2.5 GD_CTRL2 レジスタ (アドレス = 1Fh) [リセット = 0717h]

GD_CTRL2 を表 7-15 に示します。

概略表に戻ります。

表 7-15. GD_CTRL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	予約済み	R	0b	予約済み
11-8	TDRVP	R/W	0111b	ピーク ソース プルアップ駆動タイミング 0000b = 0.143us 0001b = 0.179us 0010b = 0.321us 0011b = 0.464us 0100b = 0.607us 0101b = 0.750us 0110b = 0.893us 0111b = 1.036us 1000b = 1.321us 1001b = 1.607us 1010b = 1.893us 1011b = 2.179us 1100b = 2.536us 1101b = 2.964us 1110b = 3.393us 1111b = 3.821us

表 7-15. GD_CTRL2 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
7-4	TDRVN_D	R/W	0001b	ピーク シンク プルダウン事前放電タイミング 0000b = 70ns 0001b = 140ns 0010b = 211ns 0011b = 281ns 0100b = 351ns 0101b = 421ns 0110b = 491ns 0111b = 561ns 1000b = 632ns 1001b = 702ns 1010b = 772ns 1011b = 842ns 1100b = 912ns 1101b = 982ns 1110b = 1053ns 1111b = 1123ns
3-0	TDRVN	R/W	0111b	ピーク シンク プルダウン駆動タイミング。TDRVP を参照

7.2.6 GD_CTRL3 レジスタ (アドレス = 21h) [リセット = 0700h]

GD_CTRL3 を表 7-16 に示します。

概略表に戻ります。

表 7-16. GD_CTRL3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	予約済み	R	0b	予約済み
11-8	TDRVN_SDD	R/W	0111b	スマート シャットダウン放電タイミング。TDRVN_D を参照してください
7-6	予約済み	R	0b	予約済み
5-0	IDRVN_SD	R/W	000000b	スマート シャットダウン駆動電流。

7.2.7 GD_CTRL3B レジスタ (アドレス = 22h) [リセット = 0000h]

GD_CTRL3B を表 7-17 に示します。

概略表に戻ります。

表 7-17. GD_CTRL3B レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	予約済み	R	0b	予約済み
13-8	IDRVN_D_H	R/W	000000b	ハイサイド ゲートドライバのピーク シンク プルダウン事前放電電流。 IDRIVE の説明を参照してください
7-6	予約済み	R	0b	予約済み
5-0	IDRVN_D_L	R/W	000000b	ローサイド ゲートドライバのピーク シンク プルダウン事前放電電流。 IDRIVE の説明を参照してください

7.2.8 GD_CTRL4 レジスタ (アドレス = 23h) [リセット = 0000h]

GD_CTRL4 を表 7-18 に示します。

概略表に戻ります。

Copyright © 2025 Texas Instruments Incorporated

表 7-18. GD_CTRL4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	PWM1X_COM	R/W	0b	1x PWM 通信制御 0b = 1x PWM モードは同期整流を使用 0b = 1x PWM モードは非同期整流を使用
14	PWM1X_DIR	R/W	0b	1x PWM 方向。1x PWM モードではこのビットは INHC (DIR) 入力と論理和がとられます。
13-12	PWM1X_BRAKE	R/W	00b	1x PWM 出力構成。 00b = 出力は指令された入力に従います 01b = 3 つのローサイド MOSFET をすべてオンにする 10b = 3 つのハイサイド MOSFET のすべてをターンオン 11b = 6 つの MOSFET のすべてをターンオフ (コースト)
11-10	予約済み	R	0b	予約済み
9	IDRVP_CFG	R/W	0b	IDRVP 構成モード 0b = IDRVP レジスタは有効ではなく無視されます。IDRVN が 000000b (0.7mA) ～ 100011b (247mA) の範囲内である場合、IDRVP パラメータを決定するために IBD_RATIO が使用されます。IDRVN が 100100b (600mA) ～ 101100b (2000mA) の場合、IDRVP は IDRVN と同じ設定を使用します。たとえば、IDRVN が 100100b (600mA) に設定されている場合、IDRVP は 100100b (300mA) です。ここで、プルアップ電流は通常プルダウン電流の半分です。 1b = IDRVP レジスタを使用して IDRVP パラメータを決定します。IDRV_RATIO は無効で無視されます。
8	IHOLD_SEL	R/W	0b	IHOLD プルアップおよびプルダウン電流を選択します。PWM が非アクティブ (ENABLE_DRV が 0b) の間、IHOLD_SEL ビットを設定する必要があります。 0b = IHOLD プルアップ/ダウン 500mA/1000mA (標準値) 1b = IHOLD プルアップ/ダウン 260mA/260mA (標準値)
7-6	予約済み	R	0b	予約済み
5	DRV_GHA	R/W	0b	SPI コマンドで GHA を駆動します。PWM_MODE = 101b (SPI ゲート駆動モード) のみ。このビットは ENABLE_DRV が 1b の場合に有効です。 0b = GHA は Low に駆動されます 1b = GHA は High に駆動されます
4	DRV_GHB	R/W	0b	SPI コマンドで GHB を駆動します。PWM_MODE = 101b (SPI ゲート駆動モード) のみ。このビットは ENABLE_DRV が 1b の場合に有効です。 0b = GHB は Low に駆動されます 1b = GHB は High に駆動されます
3	DRV_GHC	R/W	0b	SPI コマンドで GHC を駆動します。PWM_MODE = 101b (SPI ゲート駆動モード) のみ。このビットは ENABLE_DRV が 1b の場合に有効です。 0b = GHC は Low に駆動されます 1b = GHC は High に駆動されます
2	DRV_GLA	R/W	0b	SPI コマンドで GLA を駆動します。PWM_MODE = 101b (SPI ゲート駆動モード) のみ。このビットは ENABLE_DRV が 1b の場合に有効です。 0b = GLA は Low に駆動されます 1b = GLA は High に駆動されます
1	DRV_GLB	R/W	0b	SPI コマンドで GLB を駆動します。PWM_MODE = 101b (SPI ゲート駆動モード) のみ。このビットは ENABLE_DRV が 1b の場合に有効です。 0b = GLB は Low に駆動されます 1b = GLB は High に駆動されます
0	DRV_GLC	R/W	0b	SPI コマンドで GLC を駆動します。PWM_MODE = 101b (SPI ゲート駆動モード) のみ。このビットは ENABLE_DRV が 1b の場合に有効です。 0b = GLC は Low に駆動されます 1b = GLC は High に駆動されます

7.2.9 GD_CTRL5 レジスタ (アドレス = 24h) [リセット = 0007h]

GD_CTRL5 を表 7-19 に示します。

概略表に戻ります。

表 7-19. GD_CTRL5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-3	予約済み	R	0b	予約済み
2	DRVEN_A	R/W	1b	DRVEN_A = 0 は、シャットダウン シーケンスなしで、GHA と GLA をアクティブ プルダウンにより強制的に Low にします。このビットは、すべての PWM_MODE 設定で有効です。このビットは ENABLE_DRV が 1b の場合に有効です。 0b = GHA と GLA はアクティブにプルダウンされます (Low)。ENABLE_DRV はこのビットの影響を受けません。 1b = 影響なし。GHA と GLA は、PWM_MODE の設定に応じて、通常制御されます。
1	DRVEN_B	R/W	1b	DRVEN_B = 0 は、シャットダウン シーケンスなしで、GHB と GLB をアクティブ プルダウンにより強制的に Low にします。このビットは、すべての PWM_MODE 設定で有効です。このビットは ENABLE_DRV が 1b の場合に有効です。 0b = GHB と GLB はアクティブにプルダウンされます (Low)。ENABLE_DRV はこのビットの影響を受けません。 1b = 影響なし。GHB と GLB は、PWM_MODE の設定に応じて、通常制御されます。
0	DRVEN_C	R/W	1b	DRVEN_C = 0 は、シャットダウン シーケンスなしで、GHC と GLC をアクティブ プルダウンにより強制的に Low にします。このビットは、すべての PWM_MODE 設定で有効です。このビットは ENABLE_DRV が 1b の場合に有効です。 0b = GHC と GLC はアクティブにプルダウンされます (Low)。ENABLE_DRV はこのビットの影響を受けません。 1b = 影響なし。GHC と GLC は、PWM_MODE の設定に応じて、通常制御されます。

7.2.10 GD_CTRL6 レジスタ (アドレス = 25h) [リセット = 0000h]

GD_CTRL6 を表 7-20 に示します。

概略表に戻ります。

表 7-20. GD_CTRL6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	予約済み	R	0b	予約済み
13-8	IDRVP_H	R/W	000000b	ハイサイド ピーク ソース プルアップ電流。IDRVP_H は IDRVP_CFG = 1b の場合に有効です。IDRVP_H は無効であり、IDRVP_CFG = 0b の場合、無視されます。
7-6	予約済み	R	0b	予約済み
5-0	IDRVP_L	R/W	000000b	ローサイド ピーク ソース プルアップ電流 IDRVP_L は、IDRVP_CFG = 1b の場合に有効です。IDRVP_H は無効であり、IDRVP_CFG = 0b の場合、無視されます。

7.2.11 GD_CTRL7 レジスタ (アドレス = 26h) [リセット = 0000h]

GD_CTRL7 を表 7-21 に示します。

概略表に戻ります。

Copyright © 2025 Texas Instruments Incorporated

表 7-21. GD_CTRL7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	IDRV_RATIO_H	R/W	00b	ハイサイド IDRVP と IDRVN 比。IDRVP_RATIO_H は、IDRVP_CFG = 0b、かつ IDRVN_H の範囲が 00000b (0.7mA) ～ 100011b (標準 247mA) の場合に有効です。IDRVN_H が 10010b (600mA) 以上の設定の場合、IDRIVE_RATIO_H はゲートドライバの性能に影響を与えません。IDRVP_CFG = 1b の場合、IDRVP_RATIO_H は無効であり、無視されます。 00b = IDRVP is IDRVN x 1 01b = IDRVP is IDRVN x 0.75 10b = IDRVP is IDRVN x 0.5 11b = IDRVP is IDRVN x 0.25
13-8	IDRVN_H	R/W	000000b	ハイサイド ピーク シンク プルダウン電流。電気的特性表の IDRVN パラメータを参照してください。
7-6	IDRV_RATIO_L	R/W	00b	ローサイド IDRVP と IDRVN 比。IDRV_RATIO_L は、IDRVP_CFG = 0b、かつ IDRVN_H の範囲が 00000b (0.7mA) ～ 100011b (標準 247mA) の場合に有効です。IDRIVE_RATIO_L が 100100b (600mA) 以上の設定の場合、IDRIVE_RATIO_H はゲートドライバの性能に影響を与えません。IDRVP_CFG = 1b の場合、IDRV_RATIO_L は無効であり、無視されます。 00b = IDRVP is IDRVN x 1 01b = IDRVP is IDRVN x 0.75 10b = IDRVP is IDRVN x 0.5 11b = IDRVP is IDRVN x 0.25
5-0	IDRVN_L	R/W	000000b	ローサイド ピーク シンク プルダウン電流。電気的特性表の IDRVN パラメータを参照してください。

7.2.12 CSA_CTRL (アドレス = 29h) [リセット = 0000h]

CSA_CTRL を 表 7-22 に示します。

概略表に戻ります。

表 7-22. CSA_CTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	AREF_DIV	R/W	0b	VREF の分割比 0b = 1/2 1b = 1/8
14-12	予約済み	R	0b	予約済み
11-8	CSA_GAIN_A	R/W	0000b	SOA の CSA ゲイン。GAIN は PWM 動作中に更新できます。未定義の設定 (1001b ～ 1111b) は 40 です。 0000b = 5 0001b = 10 0010b = 12 0011b = 16 0100b = 20 0101b = 23 0110b = 25 0111b = 30 1000b = 40

表 7-22. CSA_CTRL レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
7-4	CSA_GAIN_B	R/W	0000b	SOB の CSA ゲイン。GAIN は PWM 動作中に更新できます。未定義の設定 (1001b ～ 1111b) は 40 です。 0000b = 5 0001b = 10 0010b = 12 0011b = 16 0100b = 20 0101b = 23 0110b = 25 0111b = 30 1000b = 40
3-0	CSA_GAIN_C	R/W	0000b	SOC の CSA ゲイン。GAIN は PWM 動作中に更新できます。未定義の設定 (1001b ～ 1111b) は 40 です。 0000b = 5 0001b = 10 0010b = 12 0011b = 16 0100b = 20 0101b = 23 0110b = 25 0111b = 30 1000b = 40

7.2.13 MON_CTRL1 レジスタ (アドレス = 2Bh) [リセット = 4002h]

MON_CTRL1 を表 7-23 に示します。

概略表に戻ります。

表 7-23. MON_CTRL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	VDRAIN_OV_LVL	R/W	01b	VDRAIN 過電圧スレッショルド レベル 00b = 29.5V (標準値) 01b = 34.5V (標準値) 10b = 53.5V (標準値) 11b = 53.5V (標準値)
13	VDRAIN_MON_MODE	R/W	0b	低電圧と過電圧のモニタ用 VDRAIN モニタ モード 0b = 警告モード 1b = 故障モード
12	BST_OV_MODE	R/W	0b	BST ピンの過電圧監視モード 0b = 警告モード 1b = 故障モード
11	BST_UV_LATCH	R/W	0b	BST ピン低電圧ラッチ モード 0b = BST_UV はリアルタイム監視です。VBST が VBST_UV スレッショルドを超えると、BST_UV は 0b にクリアされます。BST_UV_MODE は無視されます。 1b = 低電圧条件が検出されると、BST_UV がラッチされます。
10	BST_UV_MODE	R/W	0b	BST ピン監視モード。BST_UV_LATCH が 1b の場合、BST_UV_MODE が警告モードまたは故障モードを決定します。BST_UV_LATCH レジスタ ビットを参照してください。 0b = 警告モード 1b = 故障モード
9	BST_UV_LVL	R/W	0b	BST ピンの低電圧スレッショルド レベル V_{BST_UV} 0b = 4.2V (標準値) 1b = 7.2V (標準値)

Copyright © 2025 Texas Instruments Incorporated

表 7-23. MON_CTRL1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
8	DVDD_OV_MODE	R/W	0b	過電圧監視の DVDD 監視モード 0b = 警告モード 1b = 故障モード
7	GVDD_OV_MODE	R/W	0b	過電圧監視の GVDD 監視モード 0b = 警告モード 1b = 故障モード
6	GVDD_UV_MODE	R/W	0b	低電圧監視の GVDD 監視モード 0b = 警告モード 1b = 故障モード
5	VCP_OV_MODE	R/W	0b	過電圧監視の VCP 監視モード 0b = 警告モード 1b = 故障モード
4	VCP_UV_MODE	R/W	0b	低電圧監視の VCP 監視モード 0b = 警告モード 1b = 故障モード
3	PVDD_UVW_LVL	R/W	0b	PVDD UV 警告スレッショルド レベル
2-1	PVDD_OV_LVL	R/W	01b	PVDD OV スレッショルド レベル
0	PVDD_OV_MODE	R/W	0b	PVDD OV スレッショルド監視モード 0b = 警告モード 1b = 故障モード

7.2.14 MON_CTRL2 レジスタ (アドレス = 2Ch) [リセット = 1101h]

MON_CTRL2 を表 7-24 に示します。

概略表に戻ります。

表 7-24. MON_CTRL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	VDS_MODE	R/W	00b	VDS 過電流モード 00b = 警告モード。 01b = 故障モード。 10b = 予約済み 11b = レポートなし。シャットダウンなし。
13-11	VDS_BLK	R/W	010b	VDS 過電流ブランキング時間
10-8	VDS_DEG	R/W	001b	VDS 過電流デグリッチ時間
7-6	VGS_MODE	R/W	00b	VGS モニタ モード 00b = 警告モード。 01b = 故障モード。 10b = 予約済み 11b = レポートなし。シャットダウンなし。
5-3	VGS_BLK	R/W	000b	VGS 監視ブランキング時間
2-0	VGS_DEG	R/W	001b	VGS 監視デグリッチ時間

7.2.15 MON_CTRL3 レジスタ (アドレス = 2Dh) [リセット = 003Bh]

MON_CTRL3 を表 7-25 に示します。

概略表に戻ります。

表 7-25. MON_CTRL3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-9	予約済み	R	0b	予約済み
8	VGS_LVL	R/W	0b	INLx/INHx = High のときのゲート電圧監視スレッショルド レベル。 $V_{GS_LVL_H}$ 0b = 5.7V (標準値) 1b = 7.7V (標準値)
7-6	SNS_OCP_MODE	R/W	00b	V_{SENSE} 過電流保護の監視モード (Rshunt 監視) 00b = 警告モード。 01b = 故障モード。 10b = 予約済み 11b = レポートなし。シャットダウンなし。
5-3	SNS_OCP_LVL	R/W	111b	V_{SENSE} 過電流保護のスレッショルド電圧 (Rshunt 監視) 000b = 50mV (標準値) 001b = 75mV (標準値) 010b = 100mV (標準値) 011b = 125mV (標準値) 100b = 150mV (標準値) 101b = 200mV (標準値) 110b = 300mV (標準値) 111b = 500mV (標準値)
2	予約済み	R	0b	予約済み
1-0	SNS_OCP_DEG	R/W	11b	V_{SENSE} 過電流保護のデグリッチ時間 (Rshunt 監視) 00b = 2.0us (代表値) 01b = 4.0us (代表値) 10b = 6.0us (代表値) 11b = 10.0us (代表値)

7.2.16 MON_CTRL4 レジスタ (アドレス = 2Eh) [リセット = 0000h]

MON_CTRL4 を表 7-26 に示します。

概略表に戻ります。

表 7-26. MON_CTRL4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-6	予約済み	R	0b	予約済み
5	WDT_FLT_MODE	R/W	0b	ウォッチドッグ時間故障モード 0b = nFAULT で通知。ゲートドライバはシャットダウンしません。 1b = nFAULT で通知。ゲートドライバ シャットダウン。
4	WDT_CNT	R/W	0b	ウォッチドッグ時間故障カウント 0b = 1 回の WDT 障害によりステータス フラグが報告され、nFAULT1 ピンが Low にアサートされます。 1b = 3 回連続する故障通知ステータス フラグ、nFAULT ピンが Low にアサートされます。3 つの故障が連続して検出されると、内部カウンタは 0 にクリアされます。WDT_EN が 0b にクリアされていれば、内部カウンタもクリアできます。
3	WDT_MODE	R/W	0b	ウォッチドッグ時間モード 0b = 有効な読み取りアクセスによって、ウォッチドッグ タイマがリセットされます 1b = SPI_TEST への有効な書き込みアクセスは、ウォッチドッグ タイマをリセットします

Copyright © 2025 Texas Instruments Incorporated

表 7-26. MON_CTRL4 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2-1	WDT_W	R/W	00b	ウォッチドッグ タイマ ウィンドウ t_{WDL} (下側ウィンドウ) および t_{WDU} (上側ウィンドウ) 00b = tWDL 0.5ms tWDU 10ms 01b = tWDL 1ms tWDU 20ms 10b = tWDL 2ms tWDU 40ms 11b = tWDL 2ms tWDU 40ms
0	WDT_EN	R/W	0b	ウォッチドッグ時間有効化 0b = ウォッチドッグ タイマを無効化。 1b = ウォッチドッグ タイマを有効化。

7.2.17 MON_CTRL5 レジスタ (アドレス = 2Fh) [リセット = 0000h]

MON_CTRL5 を表 7-27 に示します。

概略表に戻ります。

表 7-27. MON_CTRL5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	予約済み	R	0b	予約済み
13	VDDSDO_MON_LVL	R/W	0b	VDDSDO (SDO の電源) 低電圧および過電圧監視レベル。VDDSDO の目標公称電圧は 3.3V または 5V です。 0b = 3.3V モード 1b = 5V モード
12	VREF_MON_LVL	R/W	0b	VREF (CSA リファレンス電圧) 低電圧および過電圧監視スレッショルド レベル。目標の公称 VREF 電圧は 3.3V または 5V です 0b = VREF の目標公称電圧は 3.3V。低電圧監視スレッショルドは 2.8V (標準)、過電圧監視スレッショルドは 3.8V (標準) です。 1b = VREF の目標公称電圧は 5V です。低電圧監視スレッショルドは 4.2V (標準)、過電圧監視スレッショルドは 5.8V (標準) です。
11	VREF_MON_MODE	R/W	0b	低電圧および過電圧モニタ用の VREF モニタ モード。 0b = 警告モード 1b = 故障モード
10-5	予約済み	R	0b	
4	PHC_OUTDG_SEL	R/W	0b	位相コンパレータ出力 (PHCx デバイス ピン) のグリッチ除去時間の選択 0b = グリッチ除去なし。本デバイスのコンパレータ出力は、デバイス ピン (PHCx) に直接接続されています。 1b = グリッチ除去 1us (標準値) が有効化で、位相コンパレータ出力にグリッチ除去が追加されます。
3	PHC_MON_MODE	R/W	0b	位相コンパレータ故障監視モード 0b = ステータス レジスタ ビットに通知。nFAULT1 レポートなし。ゲートドライバはシャットダウンしません 1b = ステータス レジスタ ビットに通知し、nFAULT は Low に駆動されます。ゲートドライバはシャットダウンしません
2	PHC_COMPEN	R/W	0b	位相コンパレータ有効化 0b = 無効化。位相コンパレータ出力 (デバイス ピンまたは SPI ステータス ビット) が無効。 1b = 有効化。有効化後、システムが 5us 待機する必要があります。
1	PHC_OUTEN	R/W	0b	位相出力バッファの有効化。このビットは、PWM_MODE に関係なく有効化できます。 0b = 無効化。出力は HiZ です。 1b = 有効化。INLx 信号は、デバイスでは Low に接続されます。
0	PHC_TH	R/W	0b	位相コンパレータのスレッショルド 0b = 立ち上がりで 75%、立ち下がりで 25% 1b = 50%

7.2.18 MON_CTRL6 レジスタ (アドレス = 30h) [リセット = 20BBh]

MON_CTRL6 を表 7-28 に示します。

概略表に戻ります。

表 7-28. MON_CTRL6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	予約済み	R	0b	予約済み
13	ALL_CH	R/W	1b	すべてのチャネル シャットダウン有効化 0b = VDS、VGS、OCP_SNS に応答して、関連する障害のあるハーフ ブリッジがシャットダウン (アクティブ プルダウン)。3 つのチャネルのすべてが故障を起こした後、nFAULT は Low になります。ENABLE_DRV ビットはデバイスによってクリアされません。PWM を再起動するための復帰シーケンスのために、MCU は CLR_FLT を使用して ENABLE_DRV をクリアします (1 つの SP I コマンドに可)。次に ENABLE_DRV を 1b に設定します。 1b = VDS、VGS、および OCP_SNS に応答して 3 つのハーフブリッジがすべてシャットダウン (セミアクティブ プルダウン) となります。1 つまたは複数のチャネルにフォルトが発生すると、nFAULT は Low になります。デバイスによって ENABLE_DRV ビットが 0b にクリアされます。
12	CBC	R/W	0b	サイクルごとのシャットダウン再試行モードの有効化。このビットは、VDS および SNS_OCP 検出の故障モードに適用されます。相ごとに 1 つのカウンタが内部に実装されています。 0b = サイクルごとのリトライモードを無効化 1b = サイクルごとのリトライモードを有効化。VDS または SNS_OCP 故障が検出されたとき、ゲートドライバがシャットダウンされているとき (故障モード)、新しい PWM 入力 (INLx/INHx の立ち上がりまたは立ち下がりエッジ) が与えられると、PWM 出力は自動的に再試行されます。ステータス フラグがラッチされます。nFAULT 通知が有効化されている場合、CBC カウントが CBC_CNT + 1b に達すると、nFAULT はアサート (Low) されます。
11	CBC_CNT	R/W	0b	サイクルごとのシャットダウン再試行回数の選択。CBC のリトライは、リトライカウントが CBC_CNT に達すると (CBC_CNT + 1 回の故障が検出された後)、終了します。ALL_CH = 1b の場合、CBC リトライ完了後に ENABLE_DRV がクリアされます。ENABLE_DRV がクリアされた後、ENABLE_DRV が 1 に設定されると、CBC_CNT は 0 にリセットされます。CLR_FLT が 1 に設定されているときに CBC_CNT がクリアされる場合。 0b = CBC リトライが 3 回繰り返されます。CBC リトライは 4 回目の故障で終了します。 1b = CBC リトライが 10 回繰り返されます。CBC リトライは 11 回目の故障で終了します。
10-8	予約済み	R	0b	予約済み
7-4	VDS_LVL_HS	R/W	1011b	ハイサイド MOSFET の VDS 過電流スレッショルド
3-0	VDS_LVL_LS	R/W	1011b	ローサイド MOSFET の VDS 過電流スレッショルド。スレッショルド設定は VDS_LVL_HS と同じです

7.2.19 DIAG_CTRL1 レジスタ (アドレス = 33h) [リセット = 0000h]

DIAG_CTRL1 を表 7-29 に示します。

概略表に戻ります。

表 7-29. DIAG_CTRL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-6	予約済み	R	0b	予約済み

Copyright © 2025 Texas Instruments Incorporated

表 7-29. DIAG_CTRL1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5	PHDEN_HA	R/W	0b	ハイサイド チャネル A の位相診断スイッチ有効化 (VDRAIN-SHA) 0b = 影響なし 1b = 位相診断スイッチが有効化。VDS_Hx フラグと VDS_LX フラグは、故障検出から実際の監視ステータスに変化します。PHDEN_x ビットのすべてが 0 にクリアされると、VDS_xx フラグはデバイスによってクリアされます。
4	PHDEN_LA	R/W	0b	ローサイド チャネル A の位相診断スイッチ有効化 (SHA-GND) 0b = 影響なし 1b = 位相診断スイッチが有効化。VDS_LA ビットは、SHA-SLA 電圧のリアル監視ステータスです
3	PHDEN_HB	R/W	0b	ハイサイド チャネル B の位相診断スイッチ有効化 (VDRAIN-SHB) 0b = 影響なし 1b = 位相診断スイッチが有効化。VDS_Hx フラグと VDS_LX フラグは、故障検出から実際の監視ステータスに変化します。
2	PHDEN_LB	R/W	0b	ローサイド チャネル B の位相診断スイッチ有効化 (SHB-GND) 0b = 影響なし 1b = 位相診断スイッチが有効化。VDS_LB ビットは、SHB-SLB 電圧のリアル監視ステータスです
1	PHDEN_HC	R/W	0b	ハイサイド チャネル C の位相診断スイッチ有効化 (VDRAIN-SHC) 0b = 影響なし 1b = 位相診断スイッチが有効化。VDS_Hx フラグと VDS_LX フラグは、故障検出から実際の監視ステータスに変化します。
0	PHDEN_LC	R/W	0b	ローサイド チャネル C の位相診断スイッチ有効化 (SHC-GND) 0b = 影響なし 1b = 位相診断スイッチが有効化。VDS_LC ビットは、SHC-SLC 電圧のリアル監視ステータスです

7.2.20 SPI_TEST (アドレス = 36h) [リセット = 0000h]

SPI_TEST を 表 7-30 に示します。

概略表に戻ります。

表 7-30. SPI_TEST レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	SPI_TEST	R/W	0000000000000000b	SPI テスト レジスタ。このレジスタへの書き込みアクセスはデバイスの動作に影響しません。

7.2.21 OTP_USR レジスタ (アドレス = 48h) [リセット = 0000h]

OTP_USR を 表 7-31 に示します。

概略表に戻ります。

表 7-31. OTP_USR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-5	予約済み	R	0b	予約済み

表 7-31. OTP_USR レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
4	OTP_USR_P_VER	R/W	0b	ユーザー OTP プログラムのメモリ検証を有効化します。ユーザー OTP がユーザーによってプログラムされた後に、このビットが使用されます。MCU は、このビットがデバイスによって 0 にクリアされるまで待機し、その後 MCU は検証結果を OTP_USR_CRC_FLT をチェックする必要があります。OTP_USR_PRG と OTP_USR_P_VER を同時に 1b に設定することはできません。 0b = ユーザー OTP 検証は非アクティブです 1b = ユーザー OTP 検証が有効でアクティブです。デバイスは CRC を自動的に実行し、ユーザー OTP 検証が失敗した場合、OTP_USR_CRC_FLT ステータスビットは 1b に設定されます。
3-1	OTP_USR_P_ACC	R/W	000b	ユーザー OTP プログラムとユーザー OTP 検証のアクセス制御。OTP_USR_PRG ビットの書き込みアクセスは、シーケンスに 0x2、0x1、0x4 の値が書き込まれない限り利用できません。その他の未定義の値はすべて無視され、内部シーケンス ロジックはリセットされます。シーケンス値が受け付けられると、デバイスは読み取り 0x7 を返します。デバイスがシーケンスを受け付けた後 (読み取り = 0x7)、このレジスタへの書き込みアクセス (0x2、0x1、0x4 を含む) はシーケンス ロジック (読み取り = 0x0) をリセットします。 000b = シーケンス ロジックがリセットされている場合は、返されたデータを読み取ります。 001b = シーケンスに入力される 2 番目のデータ 010b = シーケンスに入力される最初のデータ 100b = シーケンスに入力される 3 番目のデータ 111b = デバイスがシーケンス コマンドを受け付け、OTP_USR_PRG への書き込みアクセスが許可されている場合は、返されたデータを読み取ります。
0	OTP_USR_PRG	W	0b	ユーザー OTP をプログラム。MCU がビットを 1 に設定すると、OTP プログラムが有効になります。デバイスによってビットが 0 にクリアされるまで MCU は待機します。OTP_USR_PRG と OTP_USR_P_VER を同時に 1b に設定することはできません。OTP_USR_PRG が 1 に設定されている場合、以下の SPI レジスタ ビットを適宜設定します。ENABLE_DRV = 0、ADC_EN = 0、ADC_EN2 = 0、PWSPI_EN = 0、WDT_EN = 0、VCP_MODE = 11、CLKMON_EN = 0、DRVEN_A = 0、DRVEN_B = 0、CSA_EN = 0、GVDD_MODE = 1。 0b = ユーザー OTP プログラムは非アクティブです。 1b = ユーザー OTP プログラムは有効でアクティブです。

Copyright © 2025 Texas Instruments Incorporated

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

DRV8334 は、主に 3 相ブラシレス DC モーター制御のアプリケーションで使用されます。「*セクション 8.2*」セクションの設計手順では、DRV8334 デバイスの使用方法と設定方法を中心に説明します。

8.2 代表的なアプリケーション

8.2.1 48 ピン パッケージを使用した代表的なアプリケーション

図は、DRV8334 48 ピン パッケージの代表的なアプリケーション図を示しています。

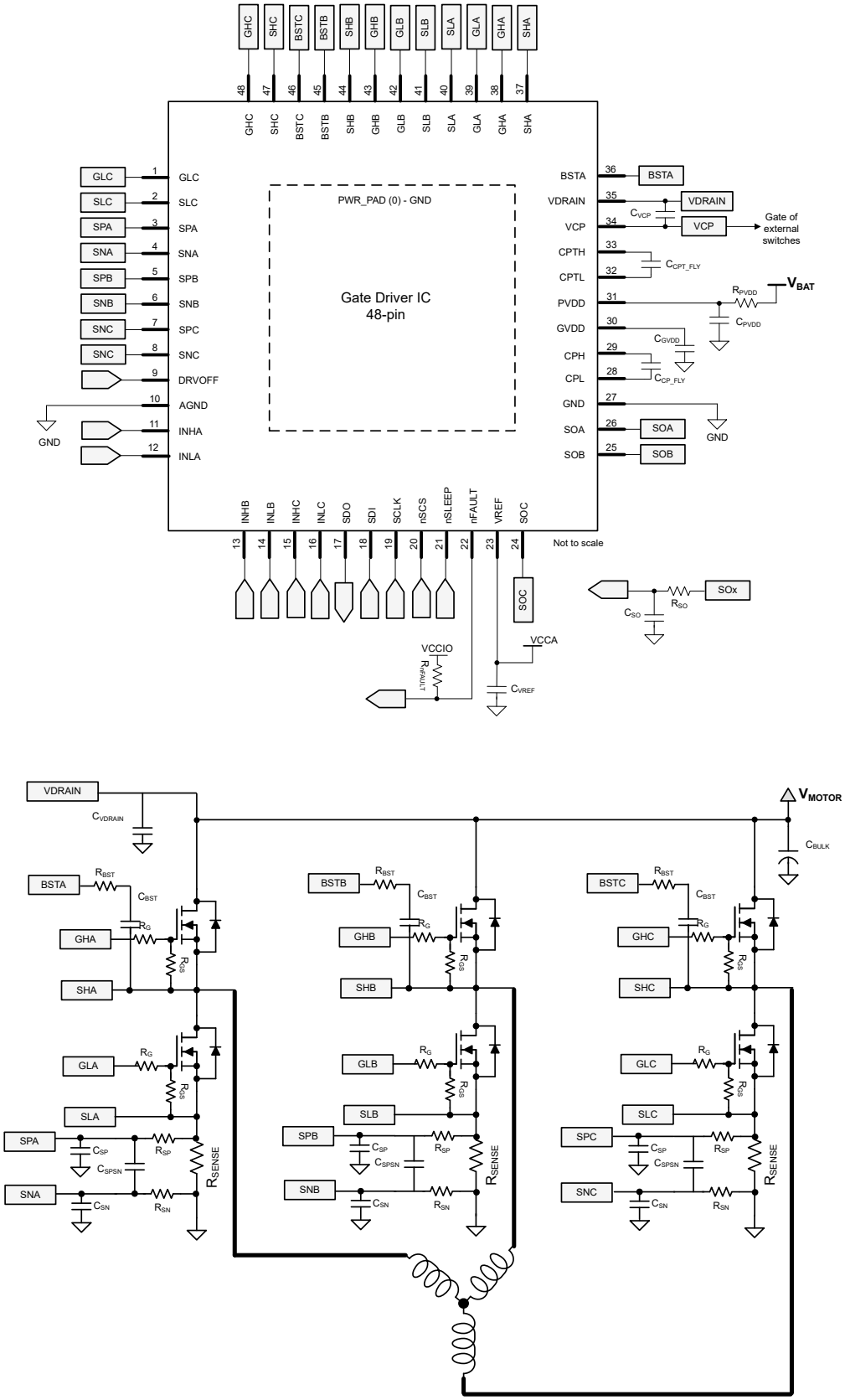


図 8-1. DRV8334 の代表的なアプリケーション回路図

Copyright © 2025 Texas Instruments Incorporated

8.2.1.1 外付け部品

「外付け部品」には、推奨外付け部品が一覧表示されます。以下に示す容量は、公称条件における実効容量と見なされます。これらの部品を選択するときは、DC ディレーティングの影響を考慮してください。

表 8-1. 外付け部品 (48 ピン パッケージ)

部品	PIN1	PIN2	推奨
R_{PVDD}	V_{BAT}	PVDD	オプション:1Ω 以下の直列抵抗
C_{PVDD}	PVDD	GND	PVDD 定格 の 10μF セラミック コンデンサ。
C_{GVDD}	GVDD	GND	GVDD 定格 の 10μF セラミック コンデンサ。
C_{CP_FLY}	CPH	CPL	GVDD 電圧定格 の 1.0μF セラミック コンデンサ
C_{CPT_FLY}	CPTH	CPTL	GVDD 電圧定格 の 1.0μF セラミック コンデンサ
C_{VCP}	VCP	VDRAIN	VCP 電圧定格 の 1.0μF セラミック コンデンサ
R_{nFAULT}	VCCIO	nFAULT	10kΩ は、MCU I/O 電源をプルアップしました
C_{VREF}	VREF	GND	VREF 定格のセラミック コンデンサ
C_{BULK}	V_{MOTOR}	GND	100μF - 1000μF は V_{MOTOR} 定格です。システム構成に応じて異なります
C_{VDRAIN}	VDRAIN	GND	VDRAIN 定格 1μF
C_{BST}	BSTx	SHx	外部 MOSFET Q_g の合計ゲート電荷に応じて、BSTx と SHx 間に 1.0μF、20V のセラミック コンデンサを配置します。$C_{BST} > 20 \times Q_g / (V_{GHx} - V_{SHx})$
R_{BST}	BSTx	SHx	オプション:BSTx と Shx の間に 2Ω の直列抵抗を接続することで、SHx ピンに大きな負の過渡電圧が発生した場合に C_{BST} の過充電を防止します。
R_G	GHx、GLx	外部 MOSFET のゲート	オプション:GHx/GLx と外部 MOSFET のゲートの間に 3Ω の直列抵抗。
R_{GS}	GHx、GLx	外部 MOSFET のソース	外部 MOSFET の GHx/GLx とソースの間の 100kΩ プルダウン抵抗。
R_{SENSE}	SPX	SNX	電流検出アンプ用の 0.5mΩ シャント抵抗。システム設計パラメータ。
R_{SO}	MCU ADC	SOx	電流センスアンプ出力フィルタ用 160Ω。
C_{SO}	MCU ADC	GND	電流センスアンプの出力フィルタ用の AREF 定格 470pF セラミック コンデンサ
R_{SP}、R_{SN}	SPx/SNx	R_{SENSE}	オプション:電流センスアンプ入力フィルタ用 10Ω。
C_{SPSN}	SPX	SNX	オプション:電流センスアンプ入力フィルタ用 1nF セラミックコンデンサ。
C_{SP}、C_{SN}	SPx/SNx	GND	オプション:電流センスアンプ入力フィルタ用 1nF セラミックコンデンサ。

8.2.2 アプリケーション曲線

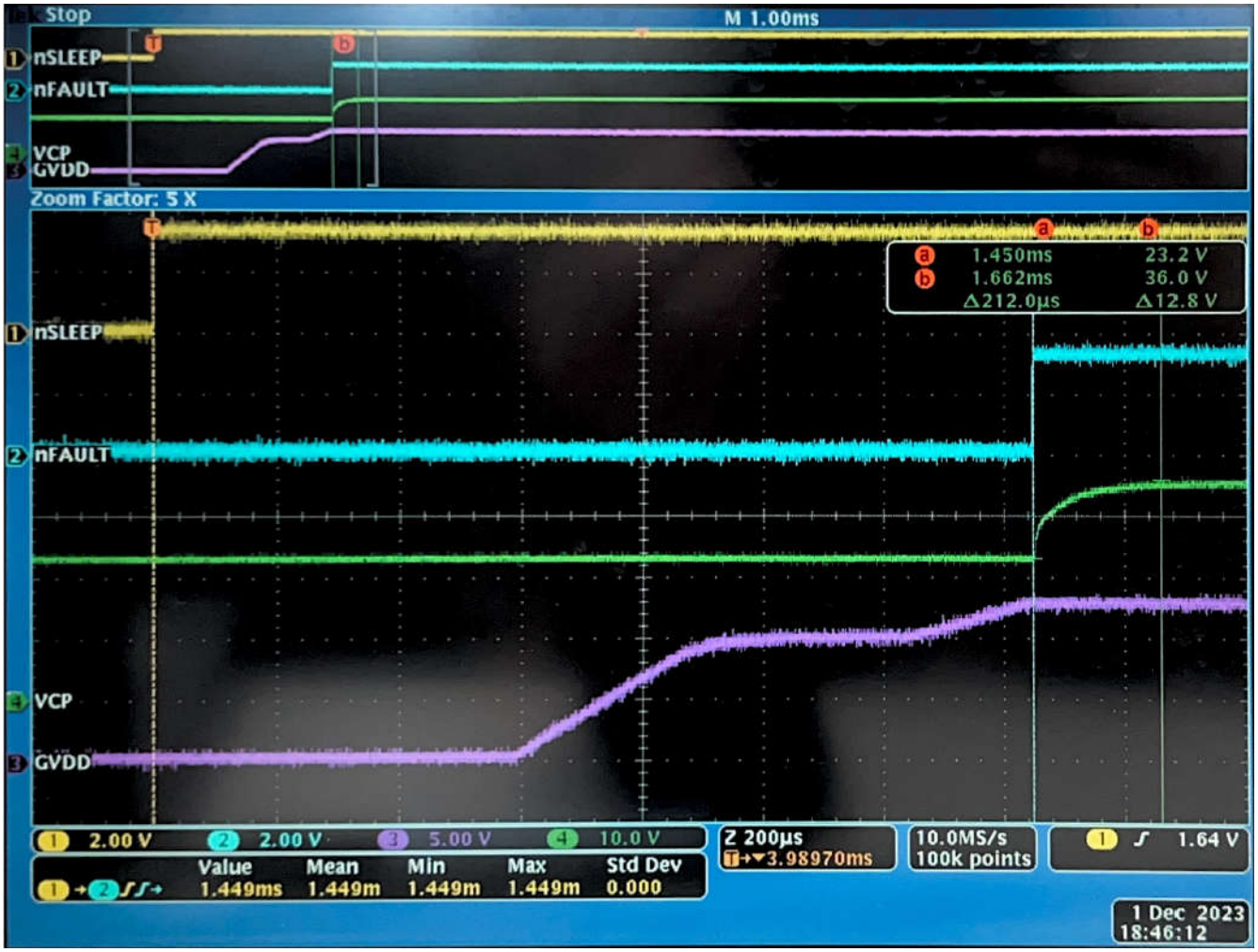


図 8-2. デバイス パワーアップ

8.3 レイアウト

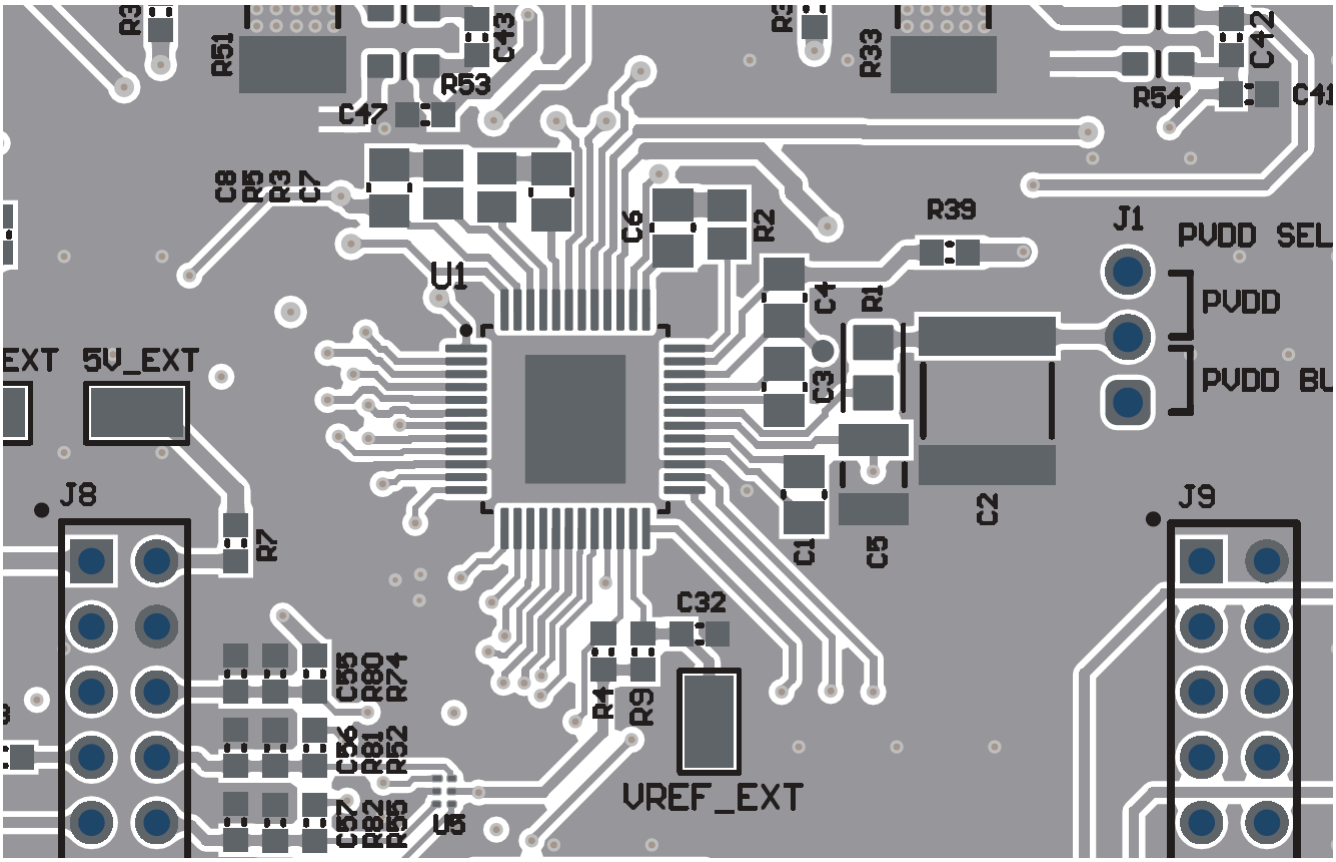
8.3.1 レイアウトのガイドライン

- GHx、SHx、GLx、SLx のパターンの長さとインピーダンスを最小化します。寄生インダクタンスを最小化するため、できるだけ少数のビアを使用します。TI は、寄生抵抗を最小限に抑えるため、デバイスピンから離して配線した直後にこれらのトレース幅を広げることを推奨しています。
- BSTx コンデンサは IC のピンの近くに配置します
- CPH/CPL フライング コンデンサは、デバイスのピンにできるだけ近づけて配置します
- これらの PVDD コンデンサは、PVDD のピンの近くに配置します
- チャージポンプに安定したスイッチング電流を供給するために、VDRAIN コンデンサを VDRAIN ピンの近くに配置します。
- 外部 MOSFET 上の高電流パスをバイパスするために、追加のバルク容量が必要です。このバルク容量は、外部 MOSFET を通過する高電流パスの長さを最小化するように配置されています。接続用の金属パターンはできる限り幅広くし、PCB の層間を多数のビアで接続します。これらの手法により、インダクタンスが最小限に抑えられ、バルク コンデンサが高電流を伝達できるようになります。
- VDS を正確に検出するため、SLx ピンを GND に直接接続しないで MOSFET ソースに接続します。

Copyright © 2025 Texas Instruments Incorporated

- SNX/SPX ピンは、センス抵抗からデバイスに並列に配線します。フィルタリング後のノイズ結合を最小限に抑えるため、デバイスのピンの近くにフィルタコンポーネントを配置します。最高の CSA 精度を実現するには、SNX/SPX が GND プレーンから離れていることを確認してください。VREF と GND の間にあるバイパスコンデンサは、デバイスピンに近づけて配置します。
- 露出したパッドは、電気的なグランドではなく、放熱のために使用され、GND/AGND ピンに対してハイインピーダンスに接続されます。そのため、露出したパッドを最良のサーマル GND に接続し、GND/AGND ピンを MCU リファレンス GND に接続することを推奨します。

8.3.2 レイアウト例



9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連資料

- テキサス・インスツルメンツ、*『スマート ゲートドライブの理解 (Rev. D)』アプリケーション レポート*
- テキサス・インスツルメンツ、*『ブラシレス DC モータドライバの考慮事項および選択ガイド (Rev. A)』アプリケーションレポート*
- テキサス・インスツルメンツ、*『モーター アプリケーションでのハイサイドおよび 3 相アイソレータ MOSFET 回路の設計』アプリケーション ノート*
- テキサス・インスツルメンツ、*『モータドライバの基板レイアウトのベスト プラクティス (Rev. B)』アプリケーション ノート*
- テキサス・インスツルメンツ、*『熱特性強化型パッケージ PowerPAD™』アプリケーション レポート*
- テキサス・インスツルメンツ、*『PowerPAD™ 入門』アプリケーション レポート*
- テキサス・インスツルメンツ、*『MSP430 を使用するセンサ付き 3 相 BLDC モータ制御』アプリケーション レポート*
- テキサス・インスツルメンツ、*『BLDC モータを使用する電動自転車のハードウェア設計の考慮事項』アプリケーション レポート*

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。右上の [アラートを受け取る] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 コミュニティ リソース

9.4 商標

すべての商標は、それぞれの所有者に帰属します。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (May 2025) to Revision B (August 2025)	Page
• DRV3233QPHP のデバイス ステータスを「量産データ」に更新	75

Changes from Revision * (December 2023) to Revision A (May 2025)	Page
• データシートに QFN パッケージを追加	1
• DRV3233EPHP のデバイス ステータスを「量産データ」に更新。	1
• PVDD 電源低電圧警告、PVDD 電源過電圧フォルト、GVDD 低電圧誤動作防止、GVDD 過電圧フォルト、ブートストラップ低電圧誤動作防止、ブートストラップ過電圧フォルト、VCP 低電圧フォルト、VCP 過電圧フォルト、VDRAIN 低電圧フォルト、MOSFET VGS 監視保護の説明を追加。MOSFET VDS 過電流保護の図を追加。	37

Copyright © 2025 Texas Instruments Incorporated

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

11.1 付録：パッケージ オプション

パッケージ情報

発注可能なデバイス	供給状況(1)	パッケージ タイプ	パッケージ図	ピン	パッケージの数量	エコ プラン	リード / ボール仕上げ(5)	MSL ピーク温度(2)	動作温度 (°C)	デバイス マーキング(3) (4)
DRV8334RGZR	アクティブ	VQFN	RGZ	48	1000	RoHS & グリーン	NiPdAu	Level-3-260C-168 HR	-40～125	DRV8334

(1) マーケティング ステータスの値は次のように定義されています。
供給中:新しい設計への使用が推奨される量産デバイス。
最終受注中:TI はデバイスの生産終了を発表しており、現在最終受注期間中です。
非推奨品:新規設計には推奨しません。デバイスは既存の顧客をサポートするために生産されていますが、テキサス・インスツルメンツでは新規設計にこの部品を使用することを推奨していません。
プレビュー:デバイスは発表済みですが、まだ生産は開始されていません。サンプルが提供される場合と提供されない場合があります。
生産中止品:TI は、このデバイスの生産を終了しました。
(2) MSL、ピーク温度-- JEDEC 業界標準分類に従った耐湿性レベル、およびピークはんだ温度です。
(3) ロゴ、ロット トレース コード情報、または環境カテゴリに関する追加マークがデバイスに表示されることがあります。
(4) 複数のデバイス マーキングが、括弧書きされています。カッコ内に複数のデバイス マーキングがあり、「～」で区切られている場合、その中の 1 つだけがデバイスに表示されます。行がインデントされている場合は、前行の続きということです。2 行合わせたものが、そのデバイスのデバイス マーキング全体となります。
(5) リード / ボール仕上げ - 発注可能なデバイスには、複数の材料仕上げオプションが用意されていることがあります。複数の仕上げオプションは、縦罫線で区切られています。リード / ボール仕上げの値が最大列幅に収まらない場合は、2 行にまたがります。

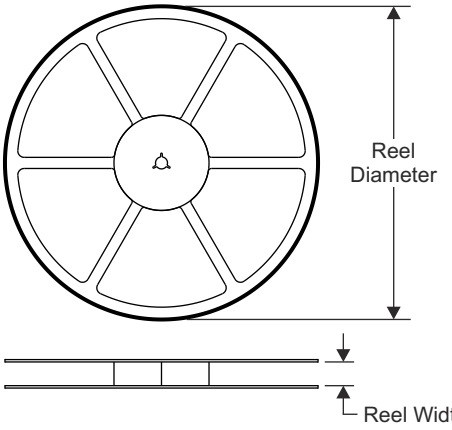
重要なお知らせと免責事項:このページに掲載されている情報は、発行日現在のテキサス・インスツルメンツの知識および見解を示すものです。テキサス・インスツルメンツの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。テキサス・インスツルメンツでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。テキサス・インスツルメンツおよび テキサス・インスツルメンツのサプライヤは、特定の情報を機密情報として扱っているため、CAS 番号やその他の制限された情報が公開されない場合があります。

いかなる場合においても、そのような情報から生じたテキサス・インスツルメンツの責任は、このドキュメント発行時点でのテキサス・インスツルメンツ製品の価格に基づくテキサス・インスツルメンツからお客様への合計購入価格 (年次ベース) を超えることはありません。

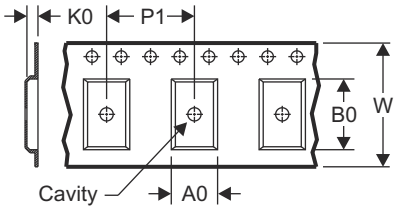
Copyright © 2025 Texas Instruments Incorporated

11.2 テープおよびリール情報

REEL DIMENSIONS

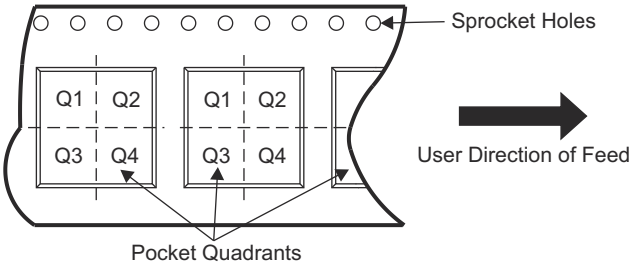


TAPE DIMENSIONS



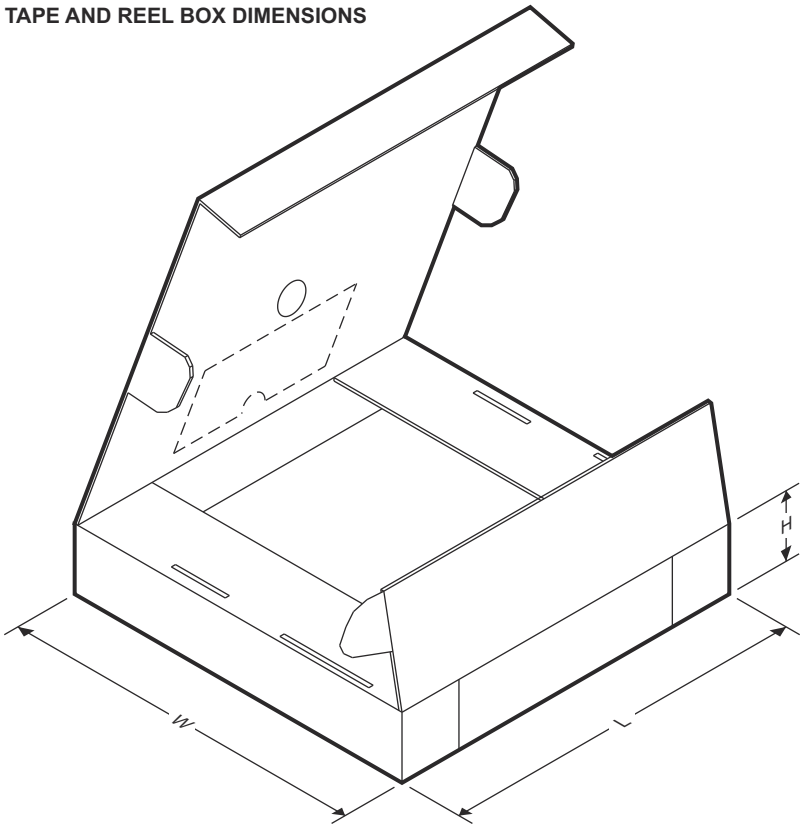
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



デバイス	パッケージタイプ	パッケージ図	ピン	SPQ	リール直径 (mm)	リール幅 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	ピン 1 の象限
DRV8334RGZR	HTQFP	RGZ	48	1000	330.0	16.4	9.6	9.6	1.5	12.0	16.0	2

TAPE AND REEL BOX DIMENSIONS



デバイス	パッケージ タイプ	パッケージ図	ピン	SPQ	長さ (mm)	幅 (mm)	高さ (mm)
DRV8334RGZR	HTQFP	RGZ	48	1000	336.6	336.6	31.8

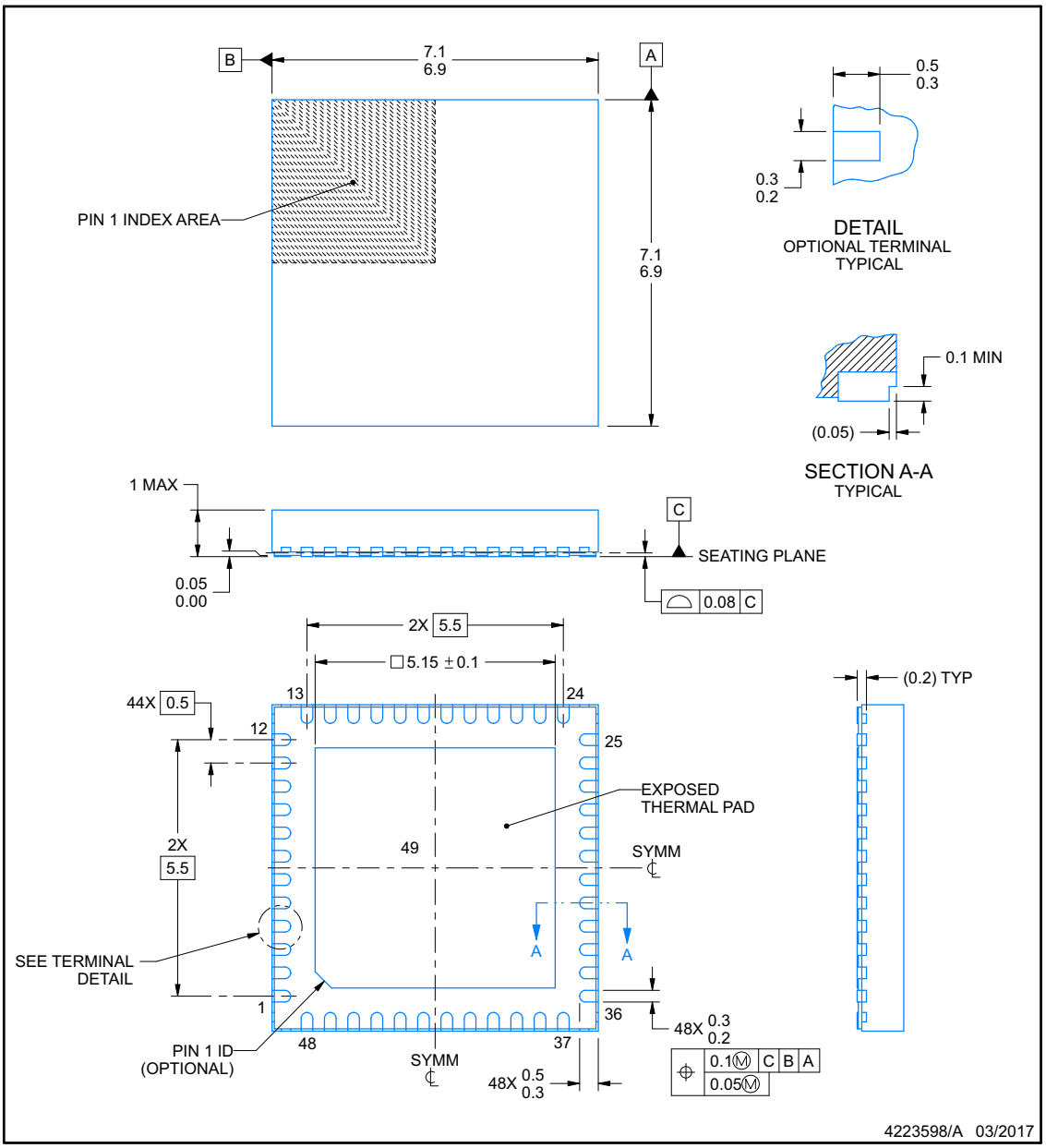
Copyright © 2025 Texas Instruments Incorporated

PACKAGE OUTLINE

RGZ0048N

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

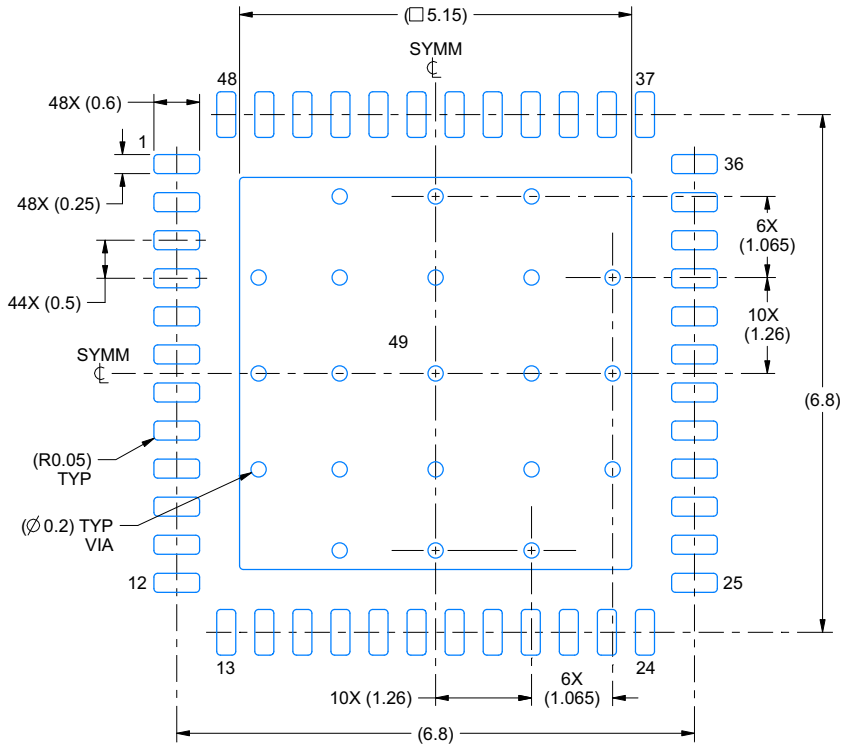
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

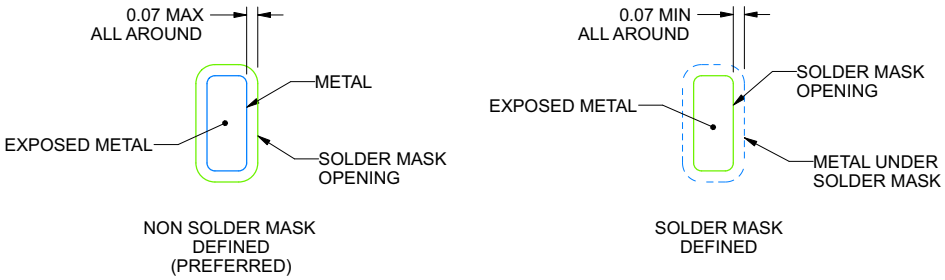
RGZ0048N

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:12X



SOLDER MASK DETAILS

4223598/A 03/2017

NOTES: (continued)

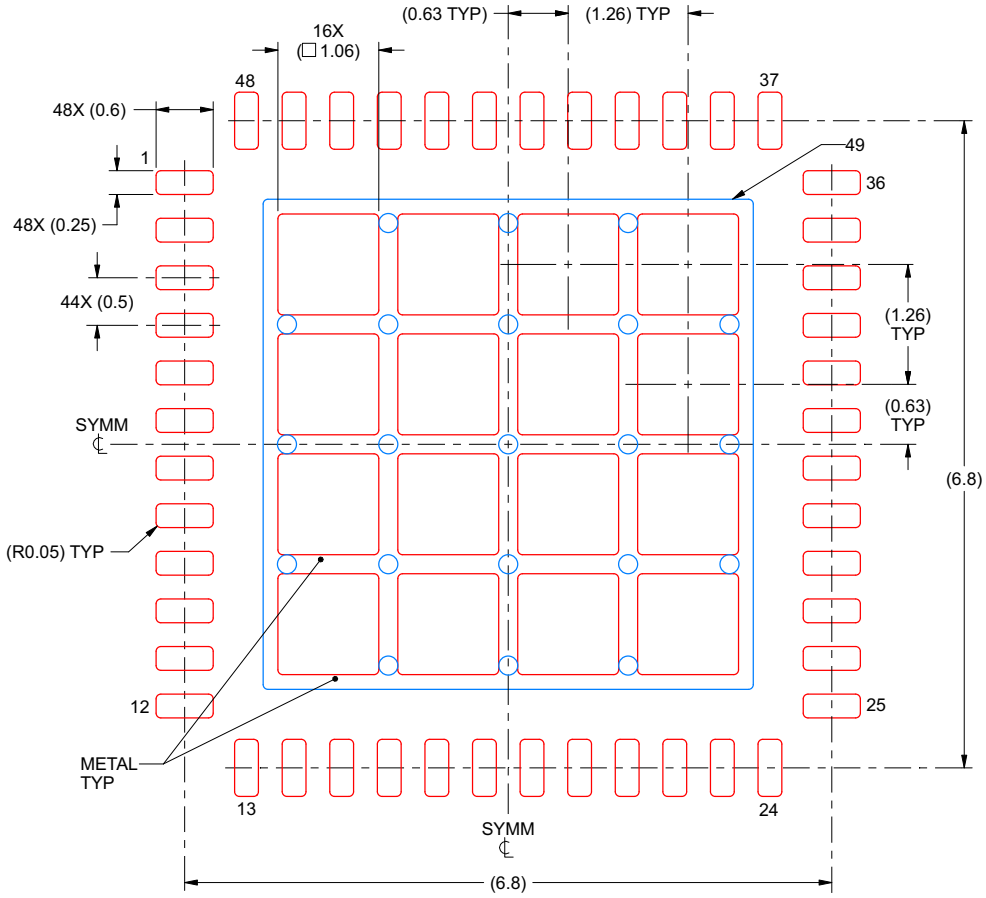
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

RGZ0048N **VQFN - 1 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 49
68% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:15X

4223598/A 03/2017

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRV8334PHPR	Active	Production	HTQFP (PHP) | 48	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8334
DRV8334PHPR.A	Active	Production	HTQFP (PHP) | 48	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8334
DRV8334RGZR	Active	Production	VQFN (RGZ) | 48	4000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8334 RGZ

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF DRV8334 :

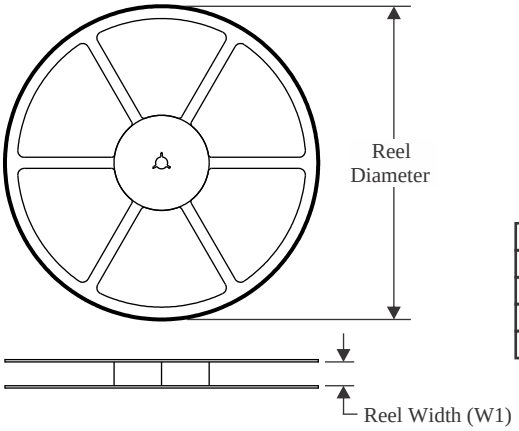
- Automotive : DRV8334-Q1

NOTE: Qualified Version Definitions:

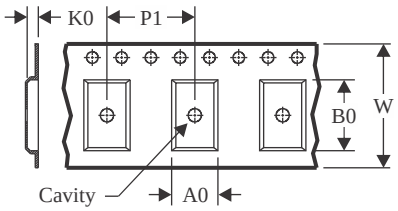
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

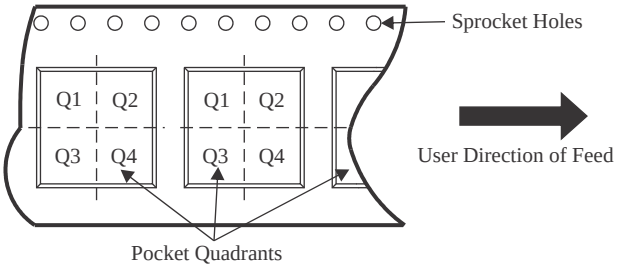


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

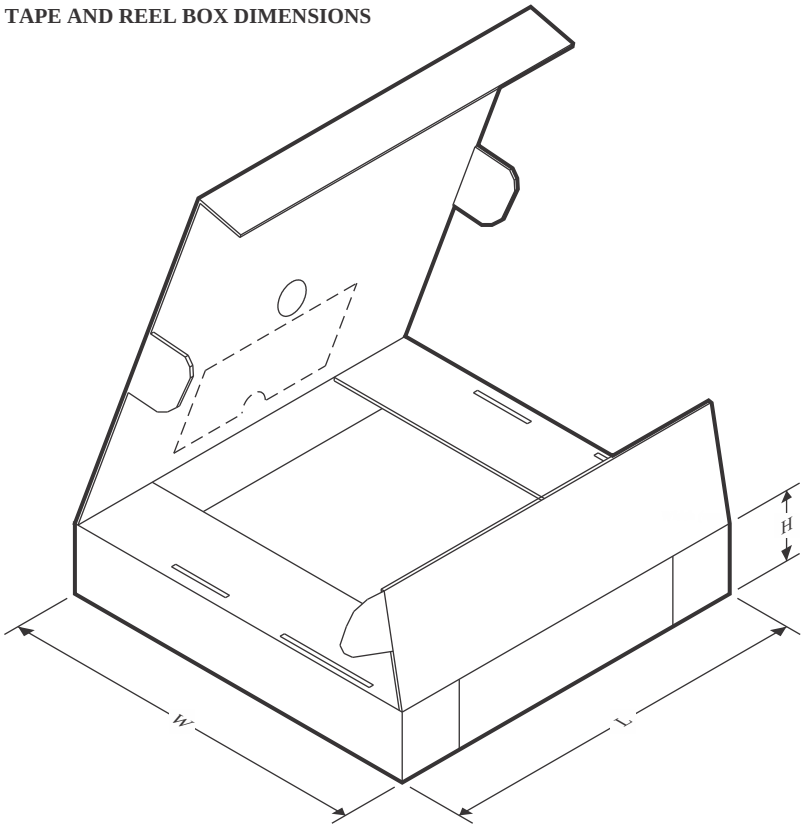
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DRV8334PHPR	HTQFP	PHP	48	1000	330.0	16.4	9.6	9.6	1.5	12.0	16.0	Q2
DRV8334RGZR	VQFN	RGZ	48	4000	330.0	16.4	7.3	7.3	1.1	12.0	16.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DRV8334PHPR	HTQFP	PHP	48	1000	336.6	336.6	31.8
DRV8334RGZR	VQFN	RGZ	48	4000	367.0	367.0	38.0

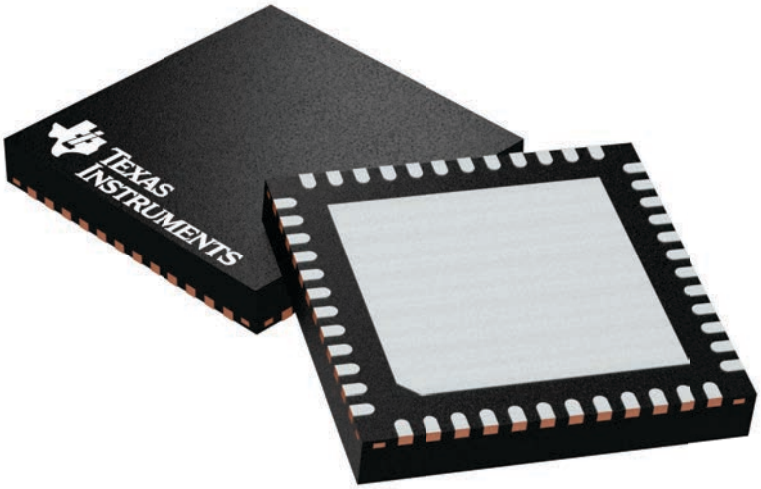
GENERIC PACKAGE VIEW

RGZ 48

VQFN - 1 mm max height

7 x 7, 0.5 mm pitch

PLASTIC QUADFLAT PACK- NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4224671/A

GENERIC PACKAGE VIEW

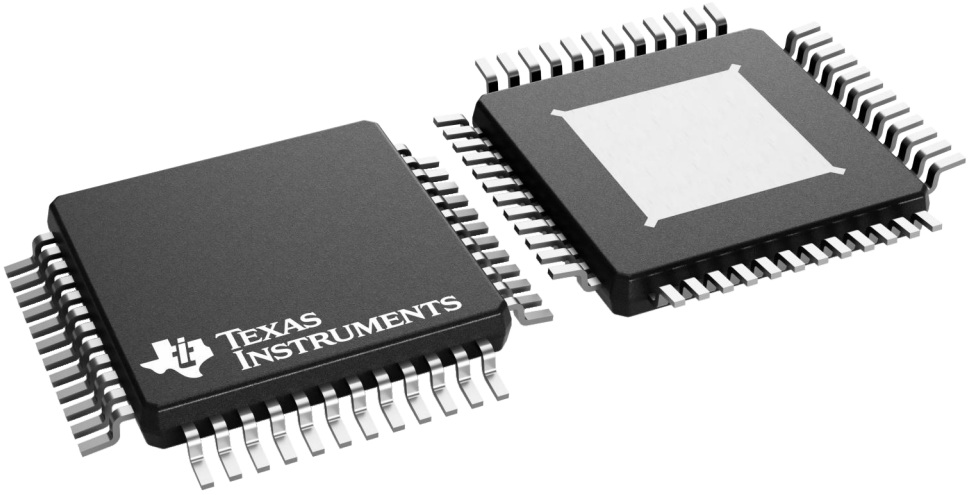
PHP 48

TQFP - 1.2 mm max height

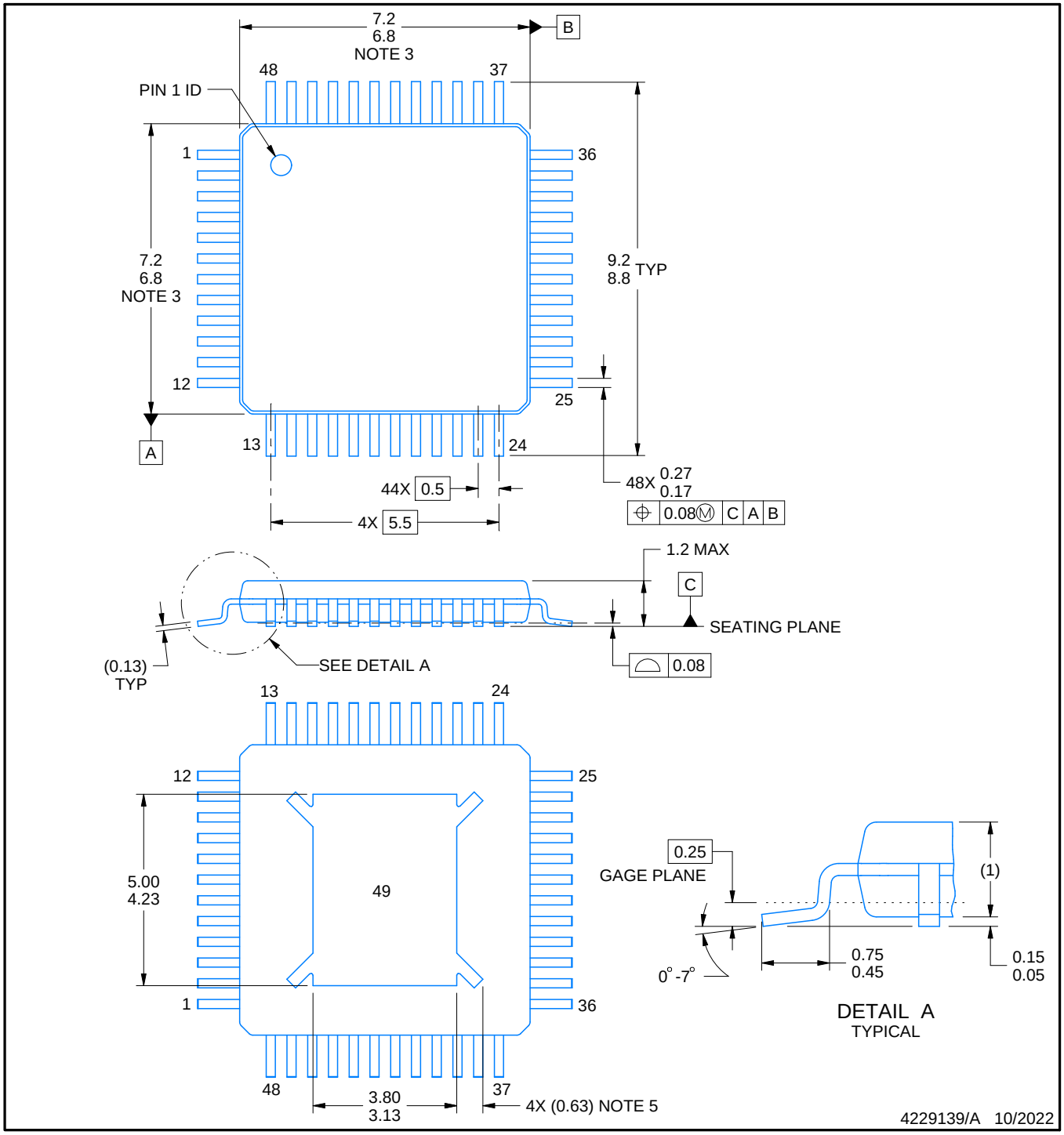
7 x 7, 0.5 mm pitch

QUAD FLATPACK

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



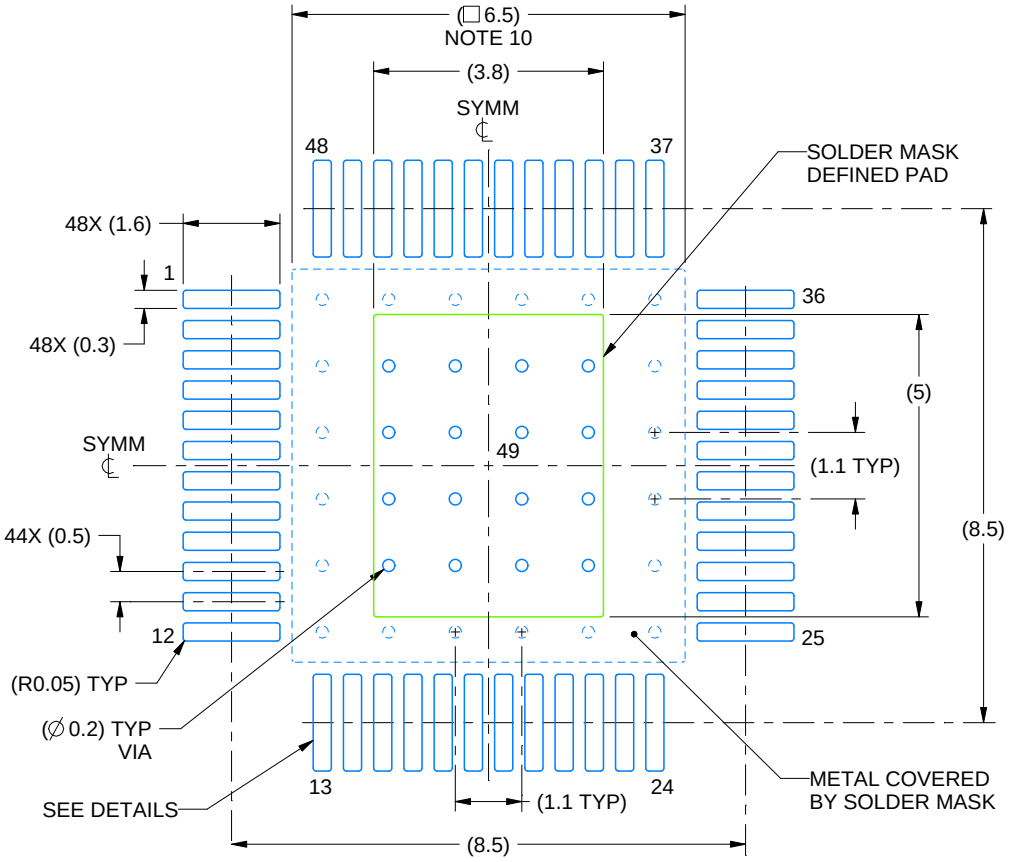
4226443/A



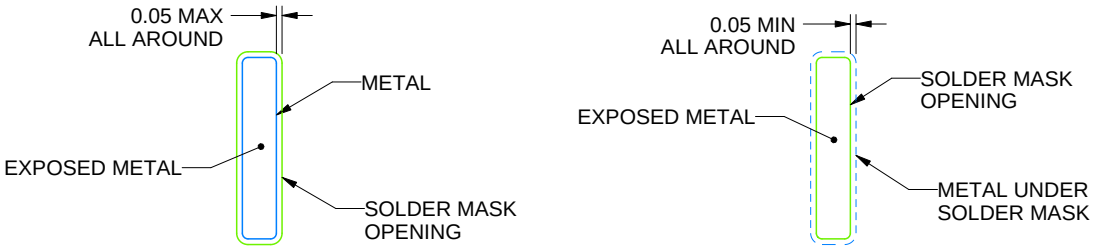
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MS-026.
5. Feature may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



NON SOLDER MASK
DEFINED

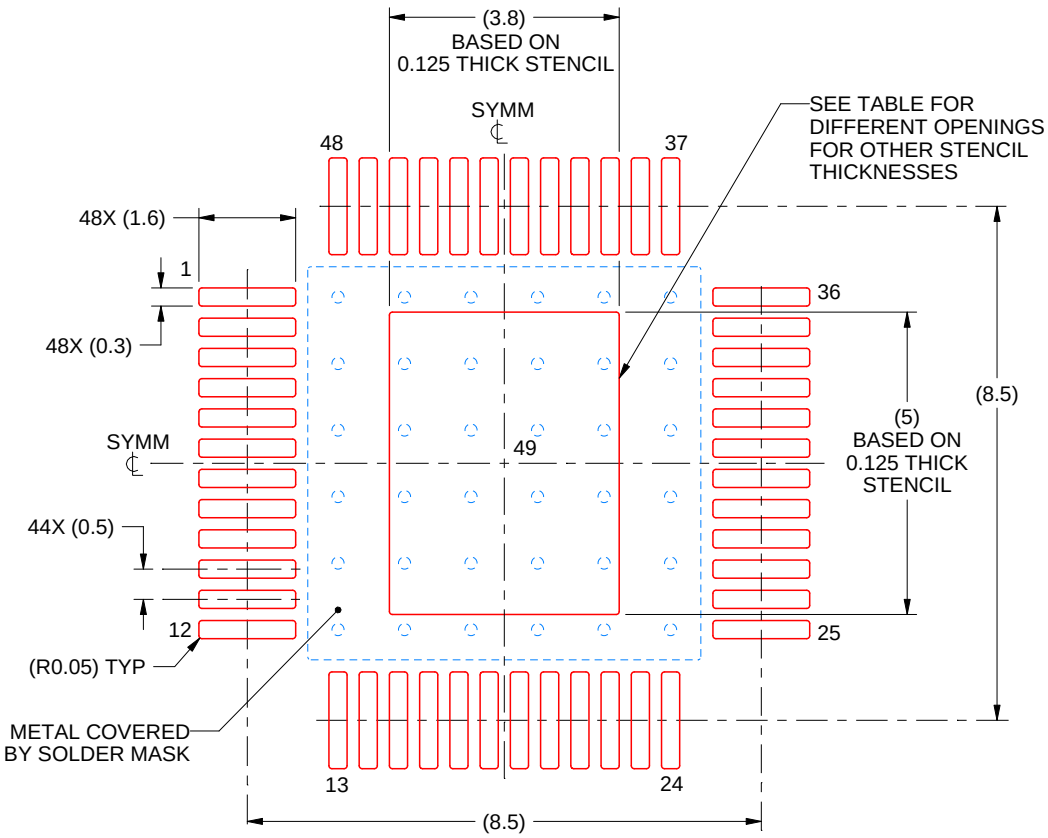
SOLDER MASK DETAILS

SOLDER MASK
DEFINED

4229139/A 10/2022

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. See technical brief, Powerpad thermally enhanced package, Texas Instruments Literature No. SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.
10. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:8X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	4.25 X 5.59
0.125	3.80 X 5.00 (SHOWN)
0.150	3.47 X 4.56
0.175	3.21 X 4.23

4229139/A 10/2022

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月