

DRV8762-Q1 48V バッテリ対応 H ブリッジスマートゲートドライバ、高精度電流検出機能および高度監視機能を搭載

1 特長

- 車載アプリケーション向けの AEC-Q100 テスト ガイダンス
 - デバイスの周囲温度: $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$
- H ブリッジ ゲートドライバ
 - 4 個の N チャンネル MOSFET (NMOS) を駆動
 - 8 ~ 85V の広い動作電圧範囲
 - ハイサイド ゲートドライバのブートストラップ アーキテクチャ
 - 400nC の MOSFET を 20kHz で駆動可能な 50mA の平均ゲートスイッチング電流をサポート
 - トリクルチャージポンプにより 100% の PWM デューティサイクルをサポートし、外付けの遮断 / 逆極性保護回路を駆動するためのオーバードライブ電圧を生成
- スマートゲートドライブ アーキテクチャ
 - 8 レベルで構成可能な最大 224 / 448mA (ソース / シンク) のピークゲートドライブ電流
 - ゲートソース電圧監視に基づく閉ループの自動デッドタイム挿入
 - 構成可能なソフトシャットダウンにより、過電流シャットダウン時の誘導性電圧スパイクを最小化
- ローサイド電流検出アンプ
 - 全温度範囲にわたって 1mV の低入力オフセット
 - 4 レベルの可変ゲイン
 - 単方向または双方向のセンシングをサポートする調整可能な出力バイアス
- SPI ベースの詳細な構成と診断
- ドライバを個別にディセーブルする DRVOFF ピン
- 高電圧ウェークアップピン (nSLEEP)
- モーターブレーキを制御するための専用 ASCIN ピン (アクティブ短絡回路)
- 4x および 2x PWM モード
- 3.3V および 5V のロジック入力をサポート
- 保護機能
 - バッテリーおよび電源電圧モニタ
 - MOSFET V_{DS} および R_{sense} 過電流監視
 - MOSFET V_{GS} ゲートフォルト監視
 - デバイス熱警告とシャットダウン
 - フォルト状態インジケータピン

2 アプリケーション

- 48V の車載用モータ制御アプリケーション
 - 車載各種ボディ用モーター
 - トランスミッション アクチュエータ

– 車載 BDC モーター

3 説明

DRV8762-Q1 は、48V 車載 H ブリッジ アプリケーション向けの統合型スマートゲートドライバです。このデバイスには、2 つのハーフブリッジゲートドライバがあり、それぞれがハイサイドとローサイドの N チャンネル パワー MOSFET を駆動できます。DRV8762-Q1 は、外付け 12V 電源と統合ブートストラップダイオードを使ってハイサイド MOSFET のために適切なゲート駆動電圧を生成します。スマートゲートドライブのアーキテクチャは、16mA から最大でソース 224mA、シンク 448mA までの構成可能なピークゲート駆動電流をサポートします。DRV8762-Q1 は、モーター接続時に 8V ~ 85V と広い電源電圧範囲で動作します。トリクルチャージポンプにより、ゲートドライバは 100% の PWM デューティサイクル制御をサポートし、外部スイッチのオーバードライブゲート駆動電圧を供給します。

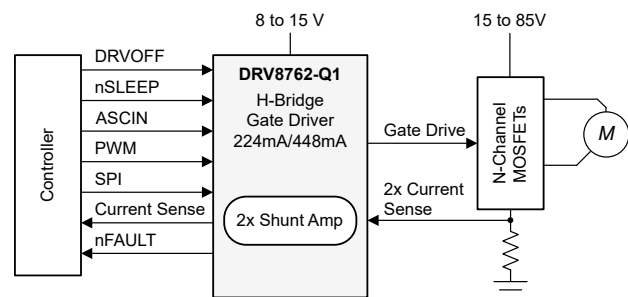
DRV8762-Q1 は、抵抗によるローサイド電流検出をサポートする、ローサイド電流検出アンプを備えています。アンプのオフセットが低いため、システムは正確なモーター電流測定を行うことができます。

DRV8762-Q1 に内蔵されている広範な診断機能と保護機能により、堅牢なモーター駆動システムの設計が可能になり、外部コンポーネントの必要性がなくなります。高度に構成可能なデバイス応答により、このデバイスは、さまざまなシステム設計にシームレスに組み込むことができます。

パッケージ情報

部品番号	パッケージ (1)	パッケージサイズ (公称) (2)
DRV8762-Q1	QFN (48)	7mm × 7mm

- 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
- パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



概略回路図



目次

1 特長	1	7 レジスタ マップ	44
2 アプリケーション	1	7.1 ステータス レジスタ.....	45
3 説明	1	7.2 制御レジスタ.....	52
4 ピン機能 48 ピン DRV8762-Q1	3	8 アプリケーションと実装	71
5 仕様	6	8.1 使用上の注意.....	71
5.1 絶対最大定格.....	6	8.2 代表的なアプリケーション.....	71
5.2 推奨動作条件.....	7	8.3 レイアウト.....	73
5.3 熱に関する情報 (1pkg).....	7	9 デバイスおよびドキュメントのサポート	75
5.4 電気的特性.....	8	9.1 ドキュメントのサポート.....	75
5.5 SPI のタイミング要件.....	16	9.2 ドキュメントの更新通知を受け取る方法.....	75
5.6 SPI のタイミング図.....	16	9.3 サポートリソース.....	75
6 詳細説明	17	9.4 商標.....	75
6.1 概要.....	17	9.5 静電気放電に関する注意事項.....	75
6.2 機能ブロック図.....	18	9.6 用語集.....	75
6.3 機能説明.....	19	10 改訂履歴	75
6.4 障害検出と応答の概略表 (障害表).....	35	11 メカニカル、パッケージ、および注文情報	76
6.5 デバイスの機能モード.....	41	11.1 テープおよびリール情報.....	78
6.6 プログラミング.....	42		

4 ピン機能 48 ピン DRV8762-Q1

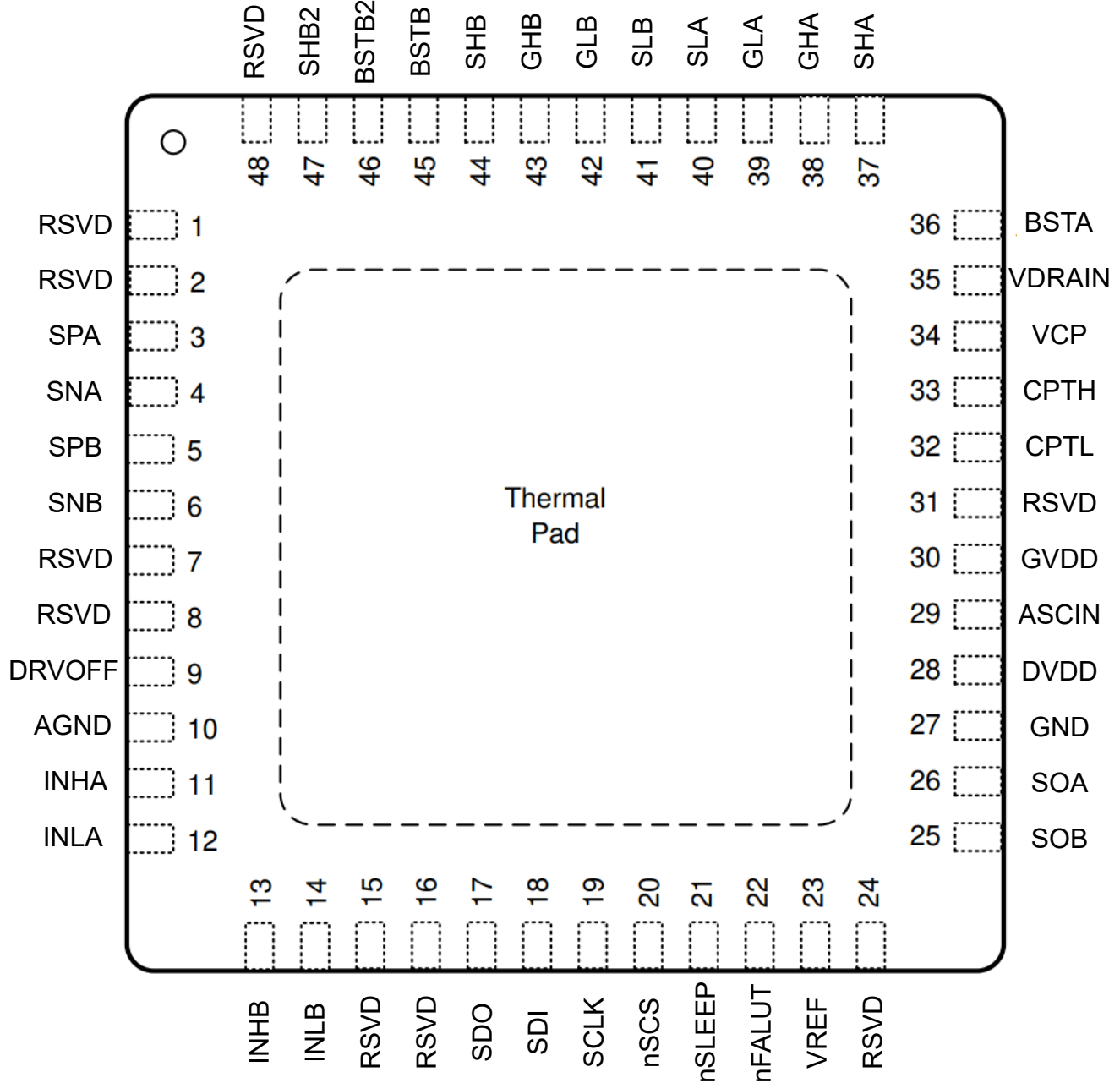


図 4-1. DRV8762-Q1 パッケージ、48 ピン、QFN (露出サーマルパッド付き) 上面図

表 4-1. ピン機能 (48-QFN)

ピン		I/O ⁽¹⁾	説明
名称	番号		
RSVD	1	-	予約済み。ピンはフローティングのままにしてください。
RSVD	2	-	予約済み。グラウンドに接続します。
SPA	3	I	ローサイド電流シャントアンプ入力。ローサイドパワー MOSFET のソースと電流シャント抵抗の高電位側に接続します。
SNA	4	I	電流検出アンプ入力。電流シャント抵抗の低電位側に接続します。

表 4-1. ピン機能 (48-QFN) (続き)

ピン		I/O ⁽¹⁾	説明
名称	番号		
SPB	5	I	ローサイド電流シャントアンプ入力。ローサイド パワー MOSFET のソースと電流シャント抵抗の高電位側に接続します。
SNB	6	I	電流検出アンプ入力。電流シャント抵抗の低電位側に接続します。
RSVD	7	-	予約済み。グラウンドに接続 (推奨) するか、フローティングのまま。
RSVD	8	-	予約済み。グラウンドに接続 (推奨) するか、フローティングのまま。
DRVOFF	9	I	ゲートドライバ出力 GHx および GLx へのアクティブ High シャットダウン入力。
AGND	10	PWR	デバイスのグラウンド。
INHA	11	I	ハイサイド ゲートドライバの制御入力。このピンはハイサイド ゲートドライバの出力を制御します。
INLA	12	I	ローサイド ゲートドライバの制御入力。このピンはローサイド ゲートドライバの出力を制御します。
INHB	13	I	ハイサイド ゲートドライバの制御入力。このピンはハイサイド ゲートドライバの出力を制御します。
INLB	14	I	ローサイド ゲートドライバの制御入力。このピンはローサイド ゲートドライバの出力を制御します。
RSVD	15	-	予約済み。ピンはフローティングのままにしてください。
RSVD	16	-	予約済み。ピンはフローティングのままにしてください。
SDO	17	O	シリアル データ出力。
SDI	18	I	シリアル データ入力。
SCLK	19	I	シリアル クロック入力。
nSCS	20	I	シリアル チップ選択。
nSLEEP	21	I	ゲートドライバ nSLEEP。このピンを論理 Low にすると、本デバイスは低消費電力のスリープモードに移行します。
nFAULT	22	OD	フォルト通知出力。このピンはフォルト条件中論理 Low にプルされ、外付けプルアップ抵抗を必要とします。
VREF	23	PWR	電流センス アンプ用外部電圧レファレンス。
RSVD	24	-	予約済み。ピンはフローティングのままにしてください。
SOB	25	O	電流センスアンプの出力。
SOA	26	O	電流センスアンプの出力。
GND	27	PWR	デバイスのグラウンド
DVDD	28	PWR	3.3V/5V LDO 出力。10V を超える定格のセラミックコンデンサを使用して隣接する GND に接続します。
ASCIN	29	I	ASC 外部トリガピン。このピンがロジック High のとき、デバイスは両ローサイド ゲートまたは両ハイサイド ゲートをオンにします。
GVDD	30	PWR	ゲートドライバの電源入力。GVDD 定格セラミックを使用して、外部からレギュレートされた 8V ~ 15V の電源を GVDD ピンと GND ピンの間に接続します。
RSVD	31	-	予約済み。ピンはフローティングのままにしてください。
CPTL	32	PWR	トリクル チャージ ポンプ スイッチング ノード。チャージ ポンプ フライイング コンデンサを CPTL ピンと CPTH ピンの間に接続します。
CPTH	33	PWR	トリクル チャージ ポンプ スイッチング ノード。チャージ ポンプ フライイング コンデンサを CPTL ピンと CPTH ピンの間に接続します。
VCP	34	PWR	トリクル チャージ ポンプ ストレージ容量。VCP ピンと VDRAIN ピンの間にセラミック コンデンサを接続します。
VDRAIN	35	PWR	ハイサイドドレイン検出およびチャージ ポンプ電源入力。
BSTA	36	O	ブートストラップ出力ピン。BSTA と SHA の間にブートストラップ コンデンサを接続します
SHA	37	I	ハイサイド ソース センス入力。ハイサイド パワー MOSFET ソースに接続します。
GHA	38	O	ハイサイド ゲートドライバ出力。ハイサイド パワー MOSFET のゲートに接続します。
GLA	39	O	ローサイド ゲートドライバ出力。ローサイド パワー MOSFET のゲートに接続します。
SLA	40	I	ローサイド ソース検出入力。ローサイド パワー MOSFET のソースに接続します。

表 4-1. ピン機能 (48-QFN) (続き)

ピン		I/O ⁽¹⁾	説明
名称	番号		
SLB	41	I	ローサイド ソース検出入力。ローサイド パワー MOSFET のソースに接続します。
GLB	42	O	ローサイド ゲートドライバ出力。ローサイド パワー MOSFET のゲートに接続します。
GHB	43	O	ハイサイド ゲートドライバ出力。ハイサイド パワー MOSFET のゲートに接続します。
SHB	44	I	ハイサイド ソース センス入力。ハイサイド パワー MOSFET ソースに接続します。
BSTB	45	O	ブートストラップ出力ピン。BSTB と SHB の間にブートストラップ コンデンサを接続します
BSTB2	46	-	ブートストラップ ピン。BSTB (ピン 45) に接続。
SHB2	47	-	ソース検出ピン。SHB (ピン 44) に接続
RSVD	48	-	予約済み。ピンはフローティングのままにしてください。

(1) 信号タイプ: I = 入力、O = 出力、I/O = 入力または出力、PWR = 電源

5 仕様

5.1 絶対最大定格

推奨動作条件範囲内 (特に記述のない限り)⁽¹⁾

		最小値	最大値	単位
ゲートドライバレギュレータピン電圧	GVDD	-0.3	20	V
ハイサイドドレインピン電圧	VDRAIN	-0.3	85	V
ブートストラップピン電圧	BSTx	-0.3	105	V
ブートストラップピン電圧	SHを基準としたBST	-0.3	20	V
ロジックピン電圧	nSLEEP、DRVOFF、ASCIN	-0.3	35	V
ロジックピン電圧	nFAULT	-0.3	6	V
	INHx、INLx	-0.3	35	
	SCLK、nSCS、SDI、SDO	-0.3	6	
トリクルチャージポンプ出力ピン電圧	VCP	-0.3	100	V
トリクルチャージポンプハイサイドピン電圧	CPTH	-0.3	VCP + 0.3	V
トリクルチャージポンプローサイドピン電圧	CPTL	-0.3	VDRAIN + 0.3	V
ハイサイドゲートドライブピン電圧	GH	-5	105	V
過度ハイサイドゲートドライブピンマイナス電圧	GH、1 μs	-20		V
ハイサイドゲートドライブピン電圧	SHを基準としたGH	-0.3	20	V
ハイサイドソースピン電圧	SH、DC	-5	105	V
過度ハイサイドソースピンマイナス電圧	SH、1 μs	-20		V
ハイサイドソースピンのスルーレート	SH、 $V_{BST-SH} > 4.3V$		20	V/ns
ローサイドゲートドライブピン電圧	SLを基準としたGL	-0.3	20	V
ローサイドソース検出ピン電圧	SL	-5	$V_{GVDD} + 0.3$	V
過度ローサイドソースセンスピンマイナス電圧	SL、1 μs	-16		V
電流検出アンプリファレンス入力ピン電圧	VREF	-0.3	5.5	V
シャントアンプ入力ピン電圧	SN、SP	-1	1	V
過渡500nsシャントアンプ入力ピン電圧	SN、SP、500ns	-16	20	V
シャントアンプ出力ピン電圧	SO	-0.3	$V_{VREF} + 0.3$	V
接合部温度、 T_J		-40	150	°C
保管温度、 T_{stg}		-65	150	°C

- (1) 「絶対最大定格」の範囲を超える動作は、デバイスに永続的な損傷を与える可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります

5.2 推奨動作条件

動作温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
V_{GVDD}	電源電圧	GVDD	8		15	V
V_{VDRAIN}	ハイサイドドレインピン電圧	VDRAIN、ローサイドゲート駆動、ハイサイドゲート駆動スイッチング(ブートストラップ付き)	0		85	V
	ハイサイドドレインピン電圧	VDRAIN、トリクルチャージポンプ機能をサポートするため V_{TCP} 最小 > V_{BST_UV} 最大 (立ち下がり)、ハイサイドゲート駆動 100%、 BST_UV 検出なし。 $VDRAIN > GVDD + 4V$ 、 $GVDD > 9V$	13		85	V
V_{BST_SH}	SH を基準とするブートストラップピンの電圧	$BST (V_{BST} - V_{SH})$ 、ハイサイドゲート駆動スイッチング、 BST_UV 検出なし、 $V_{BST_SH\ min} > V_{BST_UV\ max}$ (立ち上がり)、	6.1		20	V
V_{BST}	ブートストラップピン電圧	BST	0		105	V
V_{SH}	ハイサイドソースピン電圧	SH	-2		85	V
$I_{TRICKLE}$	トリクルチャージポンプの外部負荷電流	相負荷と VCP 外部負荷の合計値			4	mA
V_I	入力電圧	INH、INL、SDI、SCLK、nSCS	0		5.5	V
$f_{PWM}^{(1)}$	PWM 周波数		0		200	kHz
V_{OD}	オープンドレインプルアップ電圧	nFAULT			5.5	V
I_{OD}	オープンドレイン出力電流	nFAULT			-5	mA
V_{VREF}	電流センスアンプリファレンス電圧	VREF	3.0		5.5	V
T_A	動作時周囲温度		-40		125	°C
T_J	動作時接合部温度		-40		150	°C

(1) 消費電力および温度の制限に従う必要があります。

5.3 熱に関する情報 (1pkg)

熱評価基準 ⁽¹⁾		DRV8762	単位
		RGZ (QFN)	
		48	
$R_{\theta JA}$	接合部から周囲への熱抵抗	24.1	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	12.9	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	7.6	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.2	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	7.3	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	2.0	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーションレポートを参照してください。

5.4 電気的特性

動作時接合部温度範囲および推奨動作条件下で、(特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源 (GVDD、VDRAIN、DVDD)						
I_{VDRAIN_UNPW} R	GVDD 電源が供給されていないときの VDRAIN スリープ電流	GVDD = 0V, VDRAIN = 48V, $V_{BST-SH} = 0V$, nSLEEP = 0V, $T_j = 25^{\circ}C$. SH = VDRAIN および 0V SH = 0V 時の VDRAIN のリーク電流. SH = VDRAIN 時の VDRAIN + SH のリーク電流 [両ブリッドドライバ位相をまとめる]	2	4.5	13.5	μA
I_{GVDD}	GVDD スタンバイ モード電流	GVDD = 12V, VDRAIN = 48V, INH = INL = 0, DRVOFF = Low, SHx=0V. TCP = ON, VCP の外部負荷なし。 [TCP スイッチが切り替わります]	9.5	13.4	17.5	mA
I_{GVDD}	GVDD スタンバイ モード電流	GVDD = 12V, VDRAIN = 48V, INH = INL = 0, DRVOFF = High, SHx=VDRAIN, TCP = ON, VCP の外部負荷なし。 [TCP スイッチがオンになります]	9.7	11.7	17.1	mA
I_{VDRAIN}	VDRAIN アクティブ モード電流	GVDD = 12V, VDRAIN = 48V, INH = INL = 20kHz でスイッチング. INL=1 時に SH=0, INH=1 時に SH=VDRAIN, INH=INL=0 時に SH は電圧を保持. FET の接続なし. TCP がオン, TCP スイッチが切り替わります	4.3	5.2	6.9	mA
I_{GVDD}	GVDD アクティブ モード電流	GVDD = 12V, VDRAIN = 48V, INH = INL = 20kHz でスイッチング. INL=1 時に SH=0, INH=1 時に SH=VDRAIN, INH=INL=0 時に SH は電圧を保持. FET の接続なし. TCP がオン, TCP スイッチが切り替わります	9.8	13.1	20	mA
t_{WAKE}	ターンオン時間	GVDD = 12V nSLEEP = High からアクティブモード (出力準備完了) (nFAULT = High)			10	ms
$I_{L_BS_HSPU}$	ハイサイドプルアップ中のブートストラップピンのリーク電流	INH = High, SH = VDRAIN = 85V. TCP スイッチオフ. TDRIVE=0. $V_{BST-SH} = 12V$	200	340	450	μA
V_{DVDD_RT}	DVDD デジタルレギュレータ電圧 (室温)	$V_{GVDD} \geq GVDD_UVH$, $0mA \leq I_{DVDD} \leq 30mA$ 外部負荷 + 0mA ~ 5mA 内部デジタル負荷, $T_j = 25^{\circ}C$, DVDD_LVL = 0	3.23	3.3	3.37	V
V_{DVDD_RT}	DVDD デジタルレギュレータ電圧 (室温)	$V_{GVDD} \geq GVDD_UVH$, $30mA \leq I_{DVDD} \leq 100mA$ 外部負荷 + 0mA ~ 5mA 内部デジタル負荷, $T_j = 25^{\circ}C$, DVDD_LVL = 0	3.23	3.3	3.37	V
V_{DVDD}	DVDD デジタルレギュレータ電圧	$V_{GVDD} \geq GVDD_UVH$, $0mA \leq I_{DVDD} \leq 30mA$ 外部負荷 + 0mA ~ 5mA 内部デジタル負荷, DVDD_LVL = 0	3.21	3.3	3.39	V
V_{DVDD}	DVDD デジタルレギュレータ電圧	$V_{GVDD} \geq GVDD_UVH$, $30mA \leq I_{DVDD} \leq 100mA$ 外部負荷 + 0mA ~ 5mA 内部デジタル負荷, DVDD_LVL = 0	3.21	3.3	3.39	V
V_{DVDD_RT}	DVDD デジタルレギュレータ電圧 (室温)	$V_{GVDD} \geq 6.5V$, $0mA \leq I_{DVDD} \leq 30mA$ 外部負荷 + 0mA ~ 5mA 内部デジタル負荷, $T_j = 25^{\circ}C$, DVDD_LVL = 1	4.9	5	5.1	V
V_{DVDD_RT}	DVDD デジタルレギュレータ電圧 (室温)	$V_{GVDD} \geq 6.5V$, $30mA \leq I_{DVDD} \leq 100mA$ 外部負荷 + 0mA ~ 5mA 内部デジタル負荷, $T_j = 25^{\circ}C$, DVDD_LVL = 1	4.9	5	5.1	V
V_{DVDD}	DVDD デジタルレギュレータ電圧	$V_{GVDD} \geq 6.5V$, $0mA \leq I_{DVDD} \leq 30mA$ 外部負荷 + 0mA ~ 5mA 内部デジタル負荷, DVDD_LVL = 1	4.85	5	5.15	V
V_{DVDD}	DVDD デジタルレギュレータ電圧	$V_{GVDD} \geq 6.5V$, $30mA \leq I_{DVDD} \leq 100mA$ 外部負荷 + 0mA ~ 5mA 内部デジタル負荷, DVDD_LVL = 1	4.85	5	5.15	V
ロジックレベル入力 (INHx, INLx, nSLEEP など)						
V_{IL}	入力ロジック Low 電圧	NSLEEP ピン. GVDD>6V			0.8	V
V_{IL}	入力ロジック Low 電圧	DRVOFF ピン. GVDD>6V			0.8	V

動作時接合部温度範囲および推奨動作条件下で、(特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V _{IL}	入力ロジック Low 電圧	INLx, INHx, ASCIN, SDI, SCLK, nSCS, GVDD>6V			0.8	V
V _{IH}	入力ロジック High 電圧	NSLEEP ピン。GVDD>6V	2.2			V
V _{IH}	入力ロジック High 電圧	DRVOFF ピン。GVDD>6V	2.2			V
V _{IH}	入力ロジック High 電圧	INLx, INHx, DRVOFF, ASCIN, SDI, SCLK, nSCS GVDD > 6V DVDD < 4V	2.2			V
V _{IH}	入力ロジック High 電圧	INLx, INHx, DRVOFF, ASCIN, SDI, SCLK, nSCS GVDD > 6V DVDD < 5.25V	2.6			V
V _{IH}	入力ロジック High 電圧	INLx, INHx, DRVOFF, ASCIN, SDI, SCLK, nSCS GVDD > 6V DVDD < 6V	2.9			V
V _{OH}	SDO Voh	DVDD > 2.5V, ILOAD = 5mA, SDO = H			500	mV
V _{OL}	SDO Vol	DVDD > 2.5V, ILOAD = 5mA, SDO = L			500	mV
V _{HYS}	入力ヒステリシス	NSLEEP	100	250	500	mV
V _{HYS}	入力ヒステリシス	DRVOFF	50	200	400	mV
V _{HYS}	入力ヒステリシス	INLx, INHx, DRVOFF, ASCIN, SDI, SCLK, nSCS	50	200	400	mV
I _{IL}	入力ロジック Low 電流	INLx, INHx, DRVOFF, ASCIN, SDI, SCLK = 0V	-1	0	1	μA
R _{PU}	入力プルアップ抵抗	nSCS から DVDD ピン	50	100	200	kΩ
R _{PD}	入力プルダウン抵抗	SDI, SCLK から GND	50	100	200	kΩ
R _{PD}	入力プルダウン抵抗	INLx, INHx, DRVOFF, ASCIN, NSLEEP から GND。	150	250	350	kΩ
t _{NSLEEP_DG}	NSLEEP 入力のグリッチ除去時間		1	2	4	μs
t _{DRVOFF_DG}	DRVOFF 入力のグリッチ除去時間		1	2	4	μs
オープンドレイン出力 (nFAULT)						
V _{OL}	出力ロジック Low 電圧	I _{OD} = 5mA, GVDD > 4V			0.4	V
I _{OZ}	出力ロジック High 電流	V _{OD} = 5 V	-1		1	μA
ブートストラップダイオード (BST)						
V _{BOOTD}	ブートストラップ ダイオードの順方向電圧	I _{BOOT} = 100 μA			0.82	V
V _{BOOTD}	ブートストラップ ダイオードの順方向電圧	I _{BOOT} = 10 mA			1	V
V _{BOOTD}	ブートストラップ ダイオードの順方向電圧	I _{BOOT} = 100 mA			1.6	V
R _{BOOTD}	ブートストラップの動的抵抗 (ΔV _{BOOTD} /ΔI _{BOOT})	I _{BOOT} = 100mA および 50mA	3.9	4.8	9	Ω
トリクルチャージポンプ (VCP)						
V _{TCP}	トリクルチャージポンプの出力電圧	V _{VCP-VDRAIN} , V _{DRAIN} > 15V, GVDD>11V, V _{DRAIN} >GVDD+4V。外部負荷 I _{VCP} < 4mA	10.3	10.7	10.9	V
V _{TCP}	トリクルチャージポンプの出力電圧	V _{VCP-VDRAIN} , V _{DRAIN} > 15V, 8V<GVDD<11V, V _{DRAIN} >GVDD+4V。外部負荷 I _{VCP} < 2mA	7.5	7.8	8.0	V
	トリクルチャージポンプの出力電圧	V _{VCP-VDRAIN} , V _{DRAIN} =GVDD, 8V<GVDD<11V, 外部負荷 I _{VCP} < 2mA	4.0	5.4	6.7	V
V _{BST_TCP}	VCP の BST 監視電圧により、BST コンデンサの充電を停止 (立ち上がり電圧)	INLx = 0, SHx = 0, V _{DRAIN} , V _{DRAIN} = 48V, 85V	12.0	13.2	14.6	V
T _{PRECHARGE}	ブートストラッププリチャージの起動時間	INH=INL=0, BST_UVLO = 最高レベル。TCP_SWITCH=PRECHARGE モード (5mA)。GVDD > 11V, V _{DRAIN} > GVDD + 4V。SHx=V _{DRAIN} 。		1.5	3	ms
I _{TCP_NRM}	VCP から BST へのスイッチ電流。通常モード	BST = SH = 0, VCP > 15V, TCP_HD_DIS = 1, TCP_SW_CURLIM = 0。		1.25		mA
I _{TCP_NRM}	VCP から BST へのスイッチ電流。通常モード	BST = SH = 0, VCP > 15V, TCP_HD_DIS = 1, TCP_SW_CURLIM = 1。		2.3		mA
I _{TCP_PCHG}	VCP から BST へのスイッチ電流。プリチャージモード	BST = SH = 0, VCP > 15V。		5.2		mA

動作時接合部温度範囲および推奨動作条件下で、(特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
I _{TCP_HD}	VCP から BST へのスイッチ電流。 TCP_SW_HD_CURLIM=0b00 の High デューティサイクルモード	BST = SH = 0. VCP > 15V. TCP_HD_DIS = 0b. TCP_SW_HD_CURLIM = 0b00.		7.7		mA
I _{TCP_HD}	VCP から BST へのスイッチ電流。 TCP_SW_HD_CURLIM=0b01 の High デューティサイクルモード	BST = SH = 0. VCP > 15V. TCP_HD_DIS = 0b. TCP_SW_HD_CURLIM = 0b01.		6.4		mA
I _{TCP_HD}	VCP から BST へのスイッチ電流。 TCP_SW_HD_CURLIM=0b10 の High デューティサイクルモード	BST = SH = 0. VCP > 15V. TCP_HD_DIS = 0b. TCP_SW_HD_CURLIM = 0b10.		10.5		mA
I _{TCP_HD}	VCP から BST へのスイッチ電流。 TCP_SW_HD_CURLIM=0b11 の High デューティサイクルモード	BST = SH = 0. VCP > 15V. TCP_HD_DIS = 0b. TCP_SW_HD_CURLIM = 0b11.		9.2		mA
ゲートドライバ (GH, GL, SH, SL)						
V _{GSHx_LO}	ハイサイド ゲート駆動の low レベル電圧 (V _{GH} - V _{SH})	I _{GHx} = -10mA, V _{GVDD} = 12V, IDRIVE = 448mA, FET は接続されていない	0		0.2	V
V _{GSHx_HI}	ハイサイドゲート駆動の High レベル電圧 (V _{BST} - V _{GH})	I _{GHx} = 10mA, V _{GVDD} = 12V, IDRIVE = 224mA, FET は接続されていない	0		0.2	V
V _{GSLx_LO}	ローサイド ゲート駆動の low レベル電圧 (V _{GL} - V _{SL})	I _{GLx} = -10mA, V _{GVDD} = 12V, IDRIVE = 448mA, FET は接続されていない	0		0.2	V
V _{GSLx_HI}	ローサイド ゲート駆動の High レベル電圧 (V _{GVDD} - V _{GL})	I _{GLx} = 10mA, V _{GVDD} = 12V, IDRIVE = 224mA, FET は接続されていない	0		0.2	V
I _{DRIVEP0}	ピーク ソースゲート電流	V _{BST} -V _{SH} = V _{GVDD} = 12V, IDRVP_xx = 0x0	9	16	26	mA
I _{DRIVEP1}		V _{BST} -V _{SH} = V _{GVDD} = 12V, IDRVP_xx = 0x1	19	32	52	mA
I _{DRIVEP2}		V _{BST} -V _{SH} = V _{GVDD} = 12V, IDRVP_xx = 0x2	38	64	103	mA
I _{DRIVEP3}		V _{BST} -V _{SH} = V _{GVDD} = 12V, IDRVP_xx = 0x3	57	96	154	mA
I _{DRIVEP4}		V _{BST} -V _{SH} = V _{GVDD} = 12V, IDRVP_xx = 0x4	76	128	205	mA
I _{DRIVEP5}		V _{BST} -V _{SH} = V _{GVDD} = 12V, IDRVP_xx = 0x5	96	160	256	mA
I _{DRIVEP6}		V _{BST} -V _{SH} = V _{GVDD} = 12V, IDRVP_xx = 0x6	115	192	308	mA
I _{DRIVEP7}		V _{BST} -V _{SH} = V _{GVDD} = 12V, IDRVP_xx = 0x7	134	224	359	mA
I _{DRIVEN0}	ピーク シンクゲート電流	V _{BST} -V _{SH} = V _{GVDD} = 12V, IDRVN_xx = 0x0	19	32	52	mA
I _{DRIVEN1}		V _{BST} -V _{SH} = V _{GVDD} = 12V, IDRVN_xx = 0x1	38	64	103	mA
I _{DRIVEN2}		V _{BST} -V _{SH} = V _{GVDD} = 12V, IDRVN_xx = 0x2	76	128	205	mA
I _{DRIVEN3}		V _{BST} -V _{SH} = V _{GVDD} = 12V, IDRVN_xx = 0x3	115	192	308	mA
I _{DRIVEN4}		V _{BST} -V _{SH} = V _{GVDD} = 12V, IDRVN_xx = 0x4	153	256	410	mA
I _{DRIVEN5}		V _{BST} -V _{SH} = V _{GVDD} = 12V, IDRVN_xx = 0x5	192	320	512	mA
I _{DRIVEN6}		V _{BST} -V _{SH} = V _{GVDD} = 12V, IDRVN_xx = 0x6	230	384	615	mA
I _{DRIVEN7}		V _{BST} -V _{SH} = V _{GVDD} = 12V, IDRVN_xx = 0x7	268	448	717	mA
R _{PD_LS}	ローサイド パッシブ ブルダウン	GL から SL, V _{GL} - V _{SL} = 2V	60	85	120	kΩ
R _{PDSA_HS}	ハイサイド セミアクティブ ブルダウン	GVDD_UV = 1 GH から SH, V _{GH} - V _{SH} = 2V	2	4	8	kΩ
I _{PUHOLD_L}	ハイサイドブルアップホールド Low 電流	I _{HOLD_SEL} = 0	614	1024	1639	mA
I _{PUHOLD_H}	ハイサイドブルアップホールド High 電流	I _{HOLD_SEL} = 1	153	256	410	mA
I _{PDSTRONG_LS}	ローサイド・ブルダウン強電流		1228	2048	3277	mA
I _{PDSTRONG_HS}	ハイサイドブルダウン強電流		1228	2048	3277	mA
ゲートドライバのタイミング						
t _{PDR_LS}	ローサイド立ち上がり伝搬遅延	INL から GL 立ち上がりまで, V _{GVDD} > 8V	45	63	90	ns
t _{PDF_LS}	ローサイド立ち下がり伝搬遅延	INL から GL 立ち下がりまで, V _{GVDD} > 8V	45	64	90	ns
t _{PDR_HS}	ハイサイド立ち上がり伝搬遅延	INH から GH 立ち上がりまで, V _{GVDD} = V _{BST} - V _{SH} > 8V	45	62	90	ns
t _{PDF_HS}	ハイサイド立ち下がり伝搬遅延	INH から GH 立ち下がりまで, V _{GVDD} = V _{BST} - V _{SH} > 8V	45	65	90	ns

動作時接合部温度範囲および推奨動作条件下で、(特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t _{PD_MATCH}	ローサイドゲートドライバの伝搬遅延の一致	GL ターンオンから GL ターンオフまで、V _{GL-SL} = 1V から V _{GL-SL} = V _{GVDD} - 1V、V _{GVDD} = V _{BST} - V _{SH} > 8V、V _{SH} = 0V~90V、GH と GL は無負荷	-8	±4	8	ns
	ハイサイドゲートドライバの伝搬遅延の一致	GH ターンオンから GH ターンオフまで、V _{GH-SH} = 1V から V _{GH-SH} = V _{BST-SH} - 1V、V _{GVDD} = V _{BST} - V _{SH} > 8V、V _{SH} = 0V~90V、GH と GL は無負荷	-10	±4	10	ns
t _{PD_MATCH_PH}	位相ごとの伝搬遅延のマッチング	デッドタイムの無効化。GL ターンオフから GH ターンオンまで、V _{GL-SL} = V _{GVDD} - 1V から V _{GH-SH} = 1V、V _{GVDD} = V _{BST} - V _{SH} > 8V、V _{SH} = 0V~90V、GH と GL は無負荷、デッドタイムは無効化	-12	±4	12	ns
		デッドタイムの無効化。GH ターンオフから GL ターンオンまで、V _{GH-SH} = V _{BST-SH} - 1V から V _{GL-SL} = 1V、V _{GVDD} = V _{BST} - V _{SH} > 8V、V _{SH} = 0V~90V、GH と GL は無負荷	-11	±4	11	ns
t _{DEAD}	デジタルゲート駆動デッドタイム	DEADT = 0000b = 0h		70		ns
t _{DEAD}	デジタルゲート駆動デッドタイム	DEADT = 0001b = 1h		120		ns
t _{DEAD}	デジタルゲート駆動デッドタイム	DEADT = 0010b = 2h		180		ns
t _{DEAD}	デジタルゲート駆動デッドタイム	DEADT = 0011b = 3h		300		ns
t _{DEAD}	デジタルゲート駆動デッドタイム	DEADT = 0100b = 4h		400		ns
t _{DEAD}	デジタルゲート駆動デッドタイム	DEADT = 0101b = 5h		500		ns
t _{DEAD}	デジタルゲート駆動デッドタイム	DEADT = 0110b = 6h		600		ns
t _{DEAD}	デジタルゲート駆動デッドタイム	DEADT = 0111b = 7h		750		ns
t _{DEAD}	デジタルゲート駆動デッドタイム	DEADT = 1000b = 8h		1000		ns
t _{DEAD}	デジタルゲート駆動デッドタイム	DEADT = 1001b = 9h		1.5		us
t _{DEAD}	デジタルゲート駆動デッドタイム	DEADT = 1010b = Ah		2		us
t _{DEAD}	デジタルゲート駆動デッドタイム	DEADT = 1011b = Bh		2.5		us
t _{DEAD}	デジタルゲート駆動デッドタイム	DEADT = 1100b = Ch		3		us
t _{DEAD}	デジタルゲート駆動デッドタイム	DEADT = 1101b = Dh		3.5		us
t _{DEAD}	デジタルゲート駆動デッドタイム	DEADT = 1110b = Eh		5		us
t _{DEAD}	デジタルゲート駆動デッドタイム	DEADT = 1111b = Fh		10		us
t _{DEAD}	アナログ伝搬遅延デッドタイムの変動	デジタルデッドタイムの一番上に挿入	-12	4	12	ns
電流シャント アンプ (SNx, SOx, SPx, VREF)						
A _{CSA}	検出アンプのゲイン	CSAGAIN = 00b	4.9	5	5.08	V/V
		CSAGAIN = 01b	9.85	10	10.15	V/V
		CSAGAIN = 10b	19.7	20	20.3	V/V
		CSAGAIN = 11b	39.4	40	40.8	V/V
A _{CSA_ERR_DRI} FT	検出アンプのゲイン誤差の温度ドリフト		-30		30	ppm/°C
NL	非直線性誤差			0.01	0.05	%
t _{SET}	±1% までのセトリング タイム	V _{STEP} = 1.6V、A _{CSA} = 5V/V、C _{SO} = 500pF、V _{REF} = 4.5V ~ 5.5V、k = 1/2、Cboardroute = 0pF ~ 60pF		0.6	1.6	μs
		V _{STEP} = 1.6V、A _{CSA} = 10V/V、C _{SO} = 500pF、V _{REF} = 4.5V ~ 5.5V、k = 1/2、Cboardroute = 0pF ~ 60pF		0.65	1.6	μs
		V _{STEP} = 1.6V、A _{CSA} = 20V/V、C _{SO} = 500pF、V _{REF} = 4.5V ~ 5.5V、k = 1/2、Cboardroute = 0pF ~ 60pF		0.7	1.6	μs
		V _{STEP} = 1.6V、A _{CSA} = 40V/V、C _{SO} = 500pF、V _{REF} = 4.5V ~ 5.5V、k = 1/2、Cboardroute = 0pF ~ 60pF		1.25	2.1	μs

動作時接合部温度範囲および推奨動作条件下で、(特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t _{SET}	±1% までのセトリング タイム	V _{STEP} = 1.6V, A _{CSA} = 5V/V, C _{SO} = 60pF, V _{REF} = 4.5V ~ 5.5V, k = 1/2, C _{boardroute} = 0pF ~ 60pF		0.3	0.6	μs
		V _{STEP} = 1.6V, A _{CSA} = 10V/V, C _{SO} = 60pF, V _{REF} = 4.5V ~ 5.5V, k = 1/2, C _{boardroute} = 0pF ~ 60pF		0.35	0.6	μs
		V _{STEP} = 1.6V, A _{CSA} = 20V/V, C _{SO} = 60pF, V _{REF} = 4.5V ~ 5.5V, k = 1/2, C _{boardroute} = 0pF ~ 60pF		0.35	0.7	μs
		V _{STEP} = 1.6V, A _{CSA} = 40V/V, C _{SO} = 60pF, V _{REF} = 4.5V ~ 5.5V, k = 1/2, C _{boardroute} = 0pF ~ 60pF		0.6	0.9	μs
BW	帯域幅	A _{CSA} = 5V/V, C _{LOAD} = 60pF, 小信号 -3dB	3	5	7	MHz
		A _{CSA} = 10V/V, C _{LOAD} = 60pF, 小信号 -3dB	2.5	4.8	6.6	MHz
		A _{CSA} = 20V/V, C _{LOAD} = 60pF, 小信号 -3dB	2	4	5.4	MHz
		A _{CSA} = 40V/V, C _{LOAD} = 60pF, 小信号 -3dB	1.75	3	4.2	MHz
t _{SR}	出力スルーレート	V _{STEP} = 1.6V, A _{CSA} = 5V/V, C _{LOAD} = 60pF, Low から High に遷移		14		V/μs
		V _{STEP} = 1.6V, A _{CSA} = 10V/V, C _{LOAD} = 60pF, Low から High に遷移		13		V/μs
		V _{STEP} = 1.6V, A _{CSA} = 20V/V, C _{LOAD} = 60pF, Low から High に遷移		13		V/μs
		V _{STEP} = 1.6V, A _{CSA} = 40V/V, C _{LOAD} = 60pF, Low から High に遷移		6		V/μs
V _{SWING}	出力電圧範囲	V _{VREF} = 3	0.25		2.75	V
V _{SWING}	出力電圧範囲	V _{VREF} = 5.5	0.25		5.25	V
V _{SWING}	出力電圧範囲	V _{VREF} = 3 ~ 5.5V	0.25		V _{VREF} - 0.25	V
V _{COM}	同相入力範囲		-0.15		0.15	V
V _{DIFF}	差動モード入力範囲	ゲイン A _{CSA} = 5V/V	-0.3		0.3	V
V _{OFF}	入力オフセット電圧	V _{SP} = V _{SN} = GND, T _J = -40°C, G=5V/V	-2.65		2.65	mV
V _{OFF}	入力オフセット電圧	V _{SP} = V _{SN} = GND, T _J = -40°C, G = 10、20、40V/V	-1.5		1.5	mV
V _{OFF}	入力オフセット電圧	V _{SP} = V _{SN} = GND, T _J = 25°C, G=5V/V	-2.65		2.65	mV
V _{OFF}	入力オフセット電圧	V _{SP} = V _{SN} = GND, T _J = 25°C, G = 10、20、40V/V	-1.5		1.5	mV
V _{OFF}	入力オフセット電圧	V _{SP} = V _{SN} = GND, T _J = 150°C, G=5V/V	-2.65		2.65	mV
V _{OFF}	入力オフセット電圧	V _{SP} = V _{SN} = GND, T _J = 150°C, G = 10、20、40V/V	-1.5		1.5	mV
V _{OFF}	入力オフセット電圧	V _{SP} = V _{SN} = GND, G=5V/V	-2.6		2.6	mV
V _{OFF_DRIFT}	入力オフセット電圧ドリフト	V _{SP} = V _{SN} = GND	-10	0	10	μV/°C
V _{BIAS}	出力電圧バイアス比	V _{SP} = V _{SN} = GND		0.5		
V _{BIAS_ACC}	出力電圧バイアス比の精度		-1.2		1.8	%
I _{BIAS}	入力バイアス電流	V _{SP} = V _{SN} = GND, V _{VREF} = 3V ~ 5.5V			100	μA
I _{BIAS_OFF}	入力バイアス電流オフセット	I _{SP} - I _{SN}	-2.5		2.5	μA
CMRR	同相信号除去比	DC		80		dB
		20kHz		60		dB
PSRR	電源除去比	GVDD ~ SOx, DC		100		dB
PSRR	電源除去比	GVDD ~ SOx, 20kHz		63		dB
PSRR	電源除去比 (VREF)	VREF から SOx, DC, 差動		85		dB
		VREF から SOx, 20kHz, 差動		90		dB
PSRR	電源除去比 (VREF)	VREF から SOx, 20kHz, シングルエンド		40		dB

動作時接合部温度範囲および推奨動作条件下で、(特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
I _{CSA_SUP}	GVDD 電源オフ時の CSA の電源リーク電流	V _{REF} 、V _{VREF} = 3.V to 5.5V、GVDD = 0V、VDRAIN = 48V / 0V			1000	nA
I _{CSA_SUP}	CSA の消費電流	V _{REF} 、V _{VREF} = 3V ~ 5.5V		4.5	6.5	mA
T _{CMREC}	同相復帰時間			2	2.5	us
リップル	SOx 出力リップル電圧	ピークツーピーク、V _{REF} = 3 ~ 5.5V、SOx 容量 = 500pF、入力換算、SOx / ゲイン		850	1100	μV
C _{LOAD}	最大負荷容量			10		nF
保護回路						
V _{GVDD_UV_BST}	GVDD 低電圧警告スレッシュホールド立ち上がり	GVDD_UV_BST_LV = 1b	9.25	9.6	9.95	V
V _{GVDD_UV_BST}	GVDD 低電圧警告スレッシュホールド立ち下がり	GVDD_UV_BST_LVL = 1b	9.1	9.45	9.8	V
V _{GVDD_UV_BST}	GVDD 低電圧警告スレッシュホールド立ち上がり	GVDD_UV_BST_LVL = 0b	10.25	10.65	10.95	V
V _{GVDD_UV_BST}	GVDD 低電圧警告スレッシュホールド立ち下がり	GVDD_UV_BST_LVL = 0b	10.1	10.45	10.8	V
V _{GVDD_UVH}	GVDD 低電圧障害スレッシュホールド立ち上がり		7.2	7.55	7.9	V
V _{GVDD_UVH}	GVDD 低電圧障害スレッシュホールド立ち下がり		7	7.35	7.7	V
V _{GVDD_UVLO}	GVDD 低電圧誤動作防止スレッシュホールド		5.35	5.65	5.95	V
V _{GVDD_UVLO}	GVDD 低電圧誤動作防止スレッシュホールド		5.25	5.55	5.85	V
V _{GVDD_OV}	GVDD 過電圧スレッシュホールド立ち上がり		16.9	17.65	18.4	V
V _{GVDD_OV}	GVDD 過電圧スレッシュホールド立ち下がり		16.5	17.25	18	V
t _{GVDD_UVOV_DEG}	GVDD 低電圧 / 過電圧デグリッチ			12		μs
V _{VDRAIN_UVH}	VDRAIN 低電圧障害スレッシュホールド立ち上がり	VDRAIN_UVH_LVL = 0b	18	19	20	V
V _{VDRAIN_UVH}	VDRAIN 低電圧障害スレッシュホールド立ち下がり	VDRAIN_UVH_LVL = 0b	17	18	19	V
V _{VDRAIN_UVH}	VDRAIN 低電圧障害スレッシュホールド立ち上がり	VDRAIN_UVH_LVL = 01b	20	21	22	V
V _{VDRAIN_UVH}	VDRAIN 低電圧障害スレッシュホールド立ち下がり	VDRAIN_UVH_LVL = 01b	19	20	21	V
V _{VDRAIN_UVH}	VDRAIN 低電圧障害スレッシュホールド立ち上がり	VDRAIN_UVH_LVL = 10b	22	23	24	V
V _{VDRAIN_UVH}	VDRAIN 低電圧障害スレッシュホールド立ち下がり	VDRAIN_UVH_LVL = 10b	21	22	23	V
V _{VDRAIN_UVH}	VDRAIN 低電圧障害スレッシュホールド立ち上がり	VDRAIN_UVH_LVL = 11b	24	25	26	V
V _{VDRAIN_UVH}	VDRAIN 低電圧障害スレッシュホールド立ち下がり	VDRAIN_UVH_LVL = 11b	23	24	25	V
V _{VDRAIN_UVL}	TCP 立ち上がりを無効にする VDRAIN 低電圧スレッシュホールド	VDRAIN_UVL_LVL = 0b	10.2	10.7	11.2	
V _{VDRAIN_UVL}	TCP 立ち下がりを無効にする VDRAIN 低電圧スレッシュホールド	VDRAIN_UVL_LVL = 0b	10	10.5	11	V
V _{VDRAIN_UVL}	TCP 立ち上がりを無効にする VDRAIN 低電圧スレッシュホールド	VDRAIN_UVL_LVL = 1b	5.15	5.65	5.95	V
V _{VDRAIN_UVL}	TCP 立ち下がりを無効にする VDRAIN 低電圧スレッシュホールド	VDRAIN_UVL_LVL = 1b	5.05	5.55	5.85	V
t _{VDRAIN_UV_DEG}	VDRAIN 低電圧グリッチ除去			12		μs
V _{VDRAIN_OV}	VDRAIN 過電圧障害スレッシュホールド立ち上がり	VDRAIN_OV_LVL = 0b。	55.5	58	60.5	V
V _{VDRAIN_OV}	VDRAIN 過電圧障害スレッシュホールド立ち下がり	VDRAIN_OV_LVL = 0b。	53.5	56	58.5	V
V _{VDRAIN_OV}	VDRAIN 過電圧障害スレッシュホールド立ち上がり	VDRAIN_OV_LVL = 1b。	57.5	60	62.5	V
V _{VDRAIN_OV}	VDRAIN 過電圧障害スレッシュホールド立ち下がり	VDRAIN_OV_LVL = 1b。	55.5	58	60.5	V
V _{VDRAIN_OV}	VDRAIN 過電圧障害スレッシュホールド立ち上がり	VDRAIN_OV_LVL = 10b。	59.5	62	64.5	V
V _{VDRAIN_OV}	VDRAIN 過電圧障害スレッシュホールド立ち下がり	VDRAIN_OV_LVL = 10b。	57.5	60	62.5	V
V _{VDRAIN_OV}	VDRAIN 過電圧障害スレッシュホールド立ち上がり	VDRAIN_OV_LVL = 11b。	78	81.5	84	V
V _{VDRAIN_OV}	VDRAIN 過電圧障害スレッシュホールド立ち下がり	VDRAIN_OV_LVL = 11b。	76	79.5	82	V
t _{VDRAIN_OV_DEG}	VDRAIN 過電圧デグリッチ			6.5		μs
V _{VCP_UV}	VCP 低電圧障害スレッシュホールド立ち上がり		6.7	7.6	8.4	V
V _{VCP_UV}	VCP 低電圧障害スレッシュホールド立ち下がり		6.5	7.4	8.2	V

動作時接合部温度範囲および推奨動作条件下で、(特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t _{VCP_UV_DEG}	VCP 低電圧グリッチ除去			12		μs
V _{BST_UV_HI}	ブートストラップ低電圧レベル (High) 立ち上がり	8V < GVDD < 9V。PREDRV_BST_UVLO=1	4.5	5.15	5.8	V
V _{BST_UV_HI}	ブートストラップ低電圧レベル (High) 立ち下がり	8V < GVDD < 9V。PREDRV_BST_UVLO=1	4.4	5.05	5.7	V
V _{BST_UV_LO}	ブートストラップ低電圧レベル (Low) 立ち上がり	GVDD > 9V。PREDRV_BST_UVLO=0	5.45	6.1	6.8	V
V _{BST_UV_LO}	ブートストラップ低電圧レベル (Low) 立ち下がり	GVDD > 9V。PREDRV_BST_UVLO=0	5.35	6	6.65	V
t _{BST_UV_DEG}	ブートストラップ低電圧デグリッチ			6		μs
V _{DVDD_UV}	DVDD 低電圧障害スレッショルド立ち上がり		2.6	2.75	2.9	V
V _{DVDD_UV}	DVDD 低電圧障害スレッショルド立ち下がり		2.5	2.65	2.8	V
V _{DVDD_OV}	DVDD 過電圧障害スレッショルド立ち上がり	DVDD_LDO_SEL = 0b (3.3V)	3.7	3.85	4.0	V
V _{DVDD_OV}	DVDD 過電圧障害スレッショルド立ち下がり	DVDD_LDO_SEL = 0b (3.3V)	3.65	3.8	3.95	V
V _{DVDD_OV}	DVDD 過電圧障害スレッショルド立ち上がり	DVDD_LDO_SEL = 1b (5V)	5.55	5.75	5.95	V
V _{DVDD_OV}	DVDD 過電圧障害スレッショルド立ち下がり	DVDD_LDO_SEL = 1b (5V)	5.5	5.7	5.9	V
t _{DVDD_OV_DEG}	DVDD 過電圧デグリッチ			18		μs
V _{VREF_UV}	VREF 低電圧障害スレッショルド立ち上がり	VREF 立ち上がり	2.05	2.2	2.35	V
V _{VREF_UV}	VREF 低電圧障害スレッショルド立ち下がり	VREF 立ち下がり	1.85	2	2.15	V
t _{VREF_UV_DEG}	VREF 低電圧グリッチ除去			12		μs
TOTW	過熱警告スレッショルド立ち上がり		127	142	157	°C
TOTW	過熱警告スレッショルド立ち下がり		121	136	151	°C
TOTSD	過熱シャットダウンスレッショルド立ち上がり		161	176	191	°C
TOTSD	過熱シャットダウンスレッショルド立ち下がり		155	170	185	°C
V _{VDS_LVL0}	VDS 過電流障害レベル	VDS_LVL_x = 0000b	0.075	0.1	0.120	V
V _{VDS_LVL1}	VDS 過電流障害レベル	VDS_LVL_x = 0001b	0.125	0.15	0.170	V
V _{VDS_LVL2}	VDS 過電流障害レベル	VDS_LVL_x = 0010b	0.175	0.2	0.220	V
V _{VDS_LVL3}	VDS 過電流障害レベル	VDS_LVL_x = 0011b	0.27	0.3	0.33	V
V _{VDS_LVL4}	VDS 過電流障害レベル	VDS_LVL_x = 0100b	0.38	0.4	0.42	V
V _{VDS_LVL5}	VDS 過電流障害レベル	VDS_LVL_x = 0101b	0.475	0.5	0.525	V
V _{VDS_LVL6}	VDS 過電流障害レベル	VDS_LVL_x = 0110b	0.57	0.6	0.63	V
V _{VDS_LVL7}	VDS 過電流障害レベル	VDS_LVL_x = 0111b	0.67	0.7	0.73	V
V _{VDS_LVL8}	VDS 過電流障害レベル	VDS_LVL_x = 1000b	0.76	0.8	0.84	V
V _{VDS_LVL9}	VDS 過電流障害レベル	VDS_LVL_x = 1001b	0.86	0.9	0.94	V
V _{VDS_LVL10}	VDS 過電流障害レベル	VDS_LVL_x = 1010b	0.95	1.0	1.05	V
V _{VDS_LVL11}	VDS 過電流障害レベル	VDS_LVL_x = 1011b	1.43	1.5	1.57	V
V _{VDS_LVL12}	VDS 過電流障害レベル	VDS_LVL_x = 1100b	1.9	2.0	2.1	V
V _{VGS_FLT}	VGS 障害スレッショルド立ち上がり	障害 VGS モニタモード。VGS 立ち上がり	0.6	1.2	1.7	V
V _{VGS_FLT}	VGS 障害スレッショルド立ち下がり	障害 VGS モニタモード。VGS 立ち下がり	0.5	1.1	1.6	V
t _{VGS_DG0}	VGS 障害プログラマブルグリッチ除去	VGS_DEG = 00b		0.5		μs
t _{VGS_DG1}	VGS 障害プログラマブルグリッチ除去	VGS_DEG = 01b		1.0		μs
t _{VGS_DG2}	VGS 障害プログラマブルグリッチ除去	VGS_DEG = 10b		1.5		μs
t _{VGS_DG3}	VGS 障害プログラマブルグリッチ除去	VGS_DEG = 11b		2.0		μs
t _{BLNK0}	VDS/VGS 監視プログラマブルブランキング期間	VDS_VGS_BLK = 000b		0		μs
t _{BLNK1}	VDS/VGS 監視プログラマブルブランキング期間	VDS_VGS_BLK = 001b		0.5		μs
t _{BLNK2}	VDS/VGS 監視プログラマブルブランキング期間	VDS_VGS_BLK = 010b		1.0		μs
t _{BLNK3}	VDS/VGS 監視プログラマブルブランキング期間	VDS_VGS_BLK = 011b		2.0		μs
t _{BLNK4}	VDS/VGS 監視プログラマブルブランキング期間	VDS_VGS_BLK = 100b		6.0		μs
t _{BLNK5}	VDS/VGS 監視プログラマブルブランキング期間	VDS_VGS_BLK = 101b		8.0		μs
t _{BLNK6}	VDS/VGS 監視プログラマブルブランキング期間	VDS_VGS_BLK = 110b		10.0		μs
t _{BLNK7}	VDS/VGS 監視プログラマブルブランキング期間	VDS_VGS_BLK = 111b		12.0		μs

動作時接合部温度範囲および推奨動作条件下で、(特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t _{VDS_DG0}	V _{DS} 保護グリッチ除去時間	VDS_DEG = 000b		0.5		μs
t _{VDS_DG1}	V _{DS} 保護グリッチ除去時間	VDS_DEG = 001b		1.0		μs
t _{VDS_DG2}	V _{DS} 保護グリッチ除去時間	VDS_DEG = 010b		1.5		μs
t _{VDS_DG3}	V _{DS} 保護グリッチ除去時間	VDS_DEG = 011b		2.0		μs
t _{VDS_DG4}	V _{DS} 保護グリッチ除去時間	VDS_DEG = 100b		4.0		μs
t _{VDS_DG5}	V _{DS} 保護グリッチ除去時間	VDS_DEG = 101b		6.0		μs
t _{VDS_DG6}	V _{DS} 保護グリッチ除去時間	VDS_DEG = 110b, 111b		8.0		μs
トリップドリフト	LS および HS VDS スレッシュホールドの経時ドリフト		-2	0	2	mV
I _{OPENLOAD_PU}	SH ピンの開放負荷プルアップ電流		2.4	3.5	6	mA
I _{OPENLOAD_PD}	SH ピンの開放負荷プルダウン電流		2.4	4.2	6	mA
RSHUNT_OCP						
V _{RSHUNT_OCP}	SNS_OCP しきい値	RSHUNT_OCP_LVL=0	VREF*0.2 0	VREF*0.8 0		
V _{RSHUNT_OCP}	SNS_OCP しきい値	RSHUNT_OCP_LVL=1	VREF*0.1 0	VREF*0.9 0		
RSHUNT_OC P_VAR	SNS_OCP しきい値ばらつき	RSHUNT_OCP_LVL = 0, 1, k = 1/2, SN/SP コ モン モード = 0V	-3.2		3.2	%
RSHUNT_OC P_VAR	SNS_OCP しきい値ばらつき	RSHUNT_OCP_LVL = 0, 1, k = 1/2, SN/SP コ モン モード = -0.175V	-3.5		3.5	%
RSHUNT_OC P_VAR	SNS_OCP しきい値ばらつき	RSHUNT_OCP_LVL = 0, 1, k = 1/2, SN/SP コ モン モード = 0.7V	-3.8		3.8	%
RSHUNT_OC P_VAR	SNS_OCP しきい値ばらつき	RSHUNT_OCP_LVL = 0, 1, k = 1/8, SN/SP コ モン モード = 0V	-2		2	%
RSHUNT_OC P_VAR	SNS_OCP しきい値ばらつき	RSHUNT_OCP_LVL = 0, 1, k = 1/8, SN/SP コ モン モード = -0.175V	-2		2	%
RSHUNT_OC P_VAR	SNS_OCP しきい値ばらつき	RSHUNT_OCP_LVL = 0, 1, k = 1/8, SN/SP コ モン モード = 0.7V	-2		2	%
t _{SNS_OCP_DEG}	SNS_OCP デグリッチ	SNS_OCP_DEG = 00b		3		μs
t _{SNS_OCP_DEG}	SNS_OCP デグリッチ	SNS_OCP_DEG = 01b		6		μs
t _{SNS_OCP_DEG}	SNS_OCP デグリッチ	SNS_OCP_DEG = 10b		9		μs
t _{SNS_OCP_DEG}	SNS_OCP デグリッチ	SNS_OCP_DEG = 11b		12		μs

5.5 SPI のタイミング要件

$V_{GVDD} = 8 \sim 15$ V、動作時周囲温度範囲全体 (特に記述のない限り)

		最小値	公称値	最大値	単位
t_{CLK}	SCLK の最小期間	100			ns
t_{CLKH}	SCLK 最小 High 時間	50			ns
t_{CLKL}	SCLK の最小 Low 時間	50			ns
t_{SU_SDI}	SDI 入力データ セットアップ時間	15			ns
t_{H_SDI}	SDI 入力データ ホールド時間	25			ns
t_{D_SDO}	SDO 出力データ遅延時間、CL = 20pF	SCLK High から SDO 有効まで、 $C_L = 20$ pF		50	ns
t_{SU_nSCS}	nSCS 入力セットアップ時間	25			ns
t_{H_nSCS}	nSCS 入力ホールド時間	25			ns
t_{HL_nSCS}	nSCS のアクティブ Low の前の最小 High 時間	450			ns
t_{ACC_nSCS}	nSCS アクセス時間	nSCS Low から SDO 準備完了		50	ns
t_{DIS_nSCS}	nSCS ディスエーブル時間	nSCS High から SDO ハイ インピーダンスまで		50	ns

5.6 SPI のタイミング図

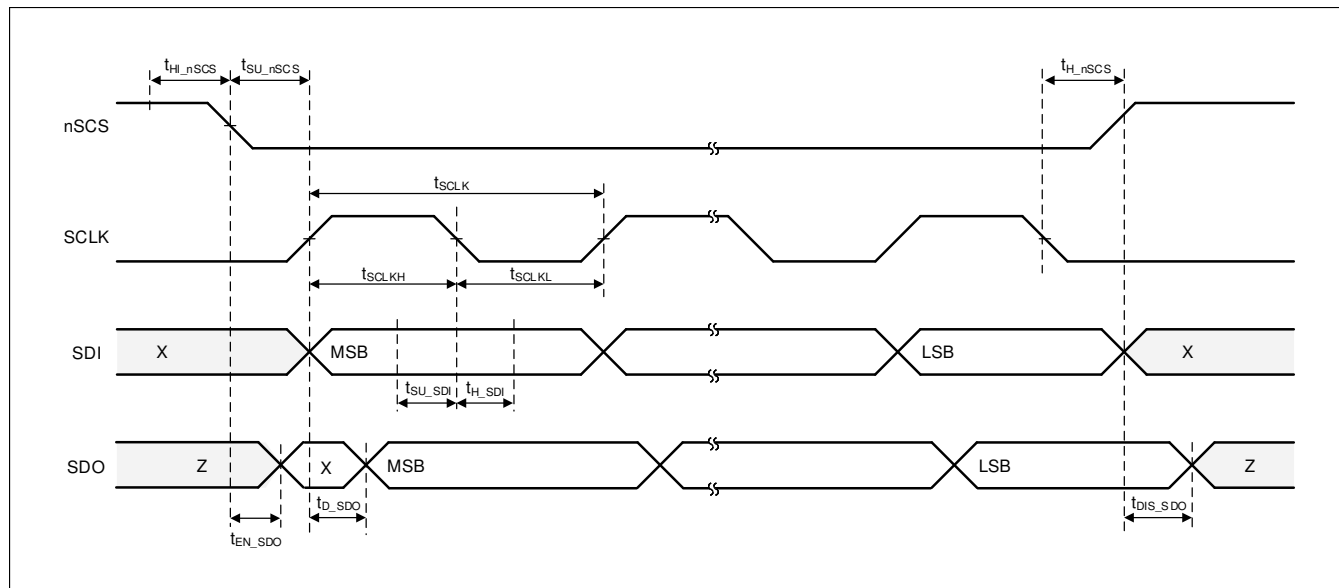


図 5-1. SPI ペリフェラルモードのタイミング図

6 詳細説明

6.1 概要

DRV8762-Q1 は、H ブリッジ モーター駆動アプリケーション用の統合型 8V ~ 85V ゲートドライバです。これらのデバイスでは、2 つの独立したハーフブリッジ ゲートドライバ、トリクル チャージ ポンプ、低消費電力マイコンの電源用リニアレギュレータを統合することにより、システムの部品数、コスト、複雑性を低減しています。このデバイスは、2 つの電流シャント (または電流センス) アンプも内蔵しています。標準のシリアル ペリフェラル インターフェイス (SPI) を使うと、デバイスの各種設定とフォルト診断情報の読み出しを外部コントローラから簡単に行うことができます。

ゲートドライバは外付け N チャンネルハイサイド/ローサイドパワー MOSFET をサポートしており、最大 224mA ソース、448mA シンクのピーク電流を駆動できます。ハイサイド ゲート駆動の電源電圧は、ブートストラップ コンデンサから生成されます。ローサイドゲートドライバの電源電圧は、公称 12V で外部から供給されます。

スマート ゲートドライブ アーキテクチャはゲート駆動出力電流の強度を動的に調整する機能を備えています。これにより、ゲートドライバはパワー MOSFET の VDS スイッチング速度を制御できます。この機能により、外部のゲート駆動抵抗およびダイオードが不要になるので、部品表 (BOM) の部品点数や、コスト、プリント基板 (PCB) 上に占める面積が低減します。このアーキテクチャでは、ゲートドライバで発生する短絡からの保護、ハーフブリッジのデッドタイムの制御、外部パワー MOSFET の dV/dt 寄生ターンオンからの保護のために、内部ステートマシンも使用します。

DRV8762-Q1 は、ローサイド シャント抵抗を使用してすべての外部ハーフブリッジを流れる電流のレベルを監視するために、電流センス アンプが内蔵されています。電流センス アンプのゲイン設定は、SPI コマンドを介して調整できます。

高いレベルでデバイスが統合されていることに加え、DRV8762-Q1 には、広範な保護機能も組み込まれています。主な機能には、電源の低電圧/過電圧監視 (GVDD UV/OV)、ドレイン電源の低電圧/過電圧監視 (VDRAIN UV/OV)、VDS 過電流監視、 R_{SENSE} 過電流監視 (SNS_OCP)、過熱監視/シャットダウン (OTW および OTSD) が含まれます。故障イベントは、nFAULT ピンで通知されます。

6.2 機能ブロック図

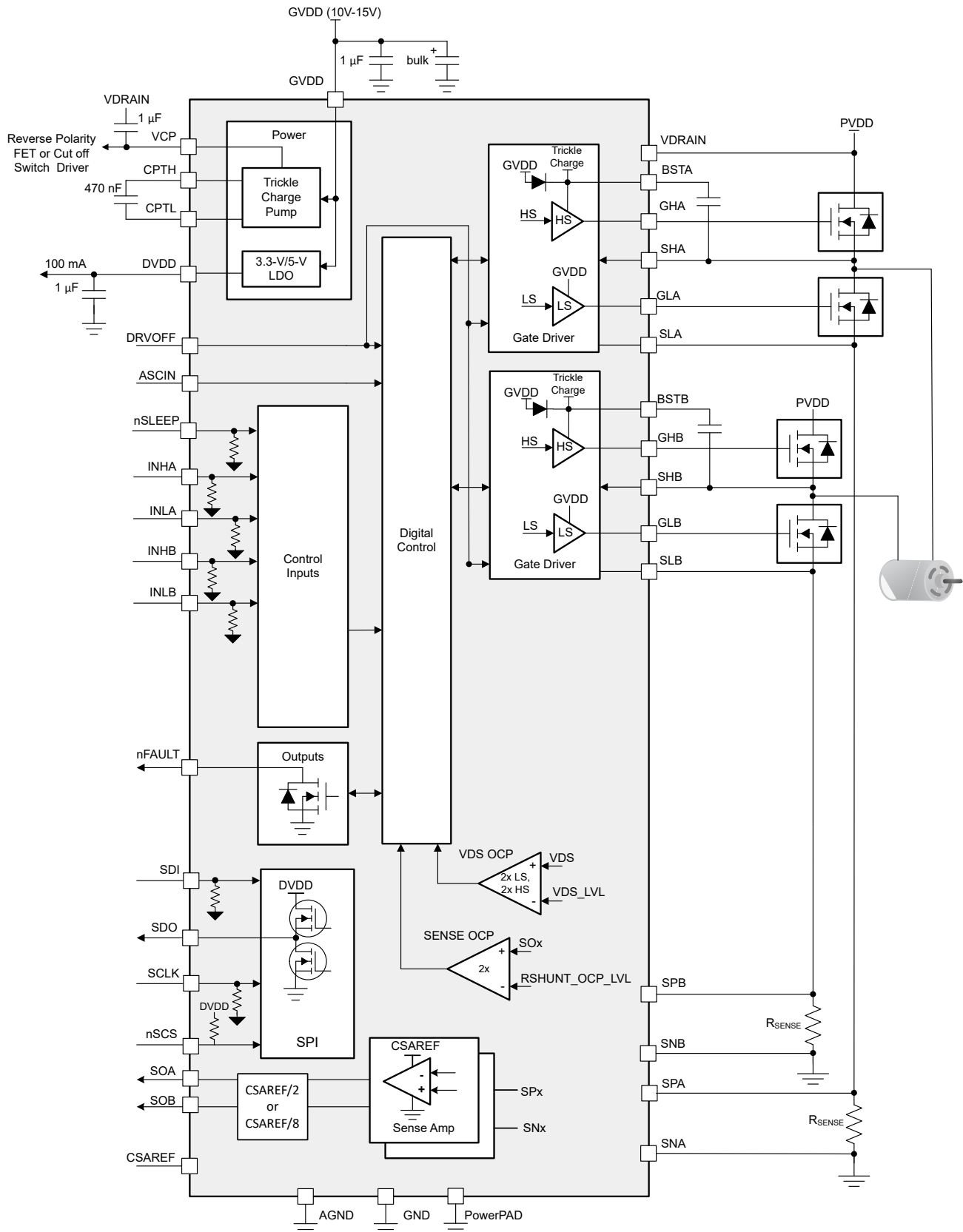


図 6-1. DRV8762-Q1 のブロック図

6.3 機能説明

6.3.1 Hブリッジゲートドライバ

DRV8762-Q1には2つのハーフブリッジゲートドライバが内蔵されており、それぞれがハイサイドとローサイドのNチャネルパワーMOSFETを駆動できます。ブートストラップ回路は、幅広い動作条件においてハイサイドMOSFETに適切なゲートバイアス電圧を供給し、内蔵のトリクルチャージポンプは100%のデューティサイクル動作をサポートしています。ハーフブリッジゲートドライバは、組み合わせて1つのモーターを駆動することも、あるいは個別に使用して他の種類の負荷を駆動することもできます。

6.3.1.1 PWM制御モード

DRV8762-Q1には、さまざまな制御方式をサポートするために、2種類のPWM制御モードが用意されています。PWM制御モードは、PWM_MODEレジスタビットで調整できます。

6.3.1.1.1 4x PWMモード

4x PWMモードでは、対応するINHxおよびINLx信号が表6-1に記載されている出力状態を制御します。

表 6-1. 4x PWMモードの真理値表

INLx	INHx	GLx	GHx	SHx	注
0	0	L	L	ハイインピーダンス	
0	1	L	H	H	
1	0	H	L	L	
1	1	L	L	ハイインピーダンス	貫通電流保護

6.3.1.1.2 2x PWMモード、INLx有効化制御付き

この2x PWMモードでは、INHxピンで各ハーフブリッジを制御し、LowまたはHighの2つの出力状態がサポートされます。INLxピンは、ハイサイドとローサイド両方のゲート駆動出力をLowにするために使用します。この状態にする必要がない場合は、すべてのINLxピンをロジックHighに固定してください。表6-2に示すように、対応するINHxおよびINLx信号で出力状態を制御します。

表 6-2. 2x PWMモードの真理値表

INLx	INHx	GLx	GHx	SHx
0	X	L	L	ハイインピーダンス
1	0	H	L	L
1	1	L	H	H

6.3.1.2 ゲートドライブアーキテクチャ

ゲートドライバでは、ハイサイドとローサイド両方のドライバに対して、相補型のプッシュプルトポロジが使用されています。このトポロジにより、外部MOSFETゲートのプルアップとプルダウンが両方とも強化できます。ローサイドゲートドライバには、GVDD電源から直接電力が供給されます。ハイサイドゲートドライバ用には、ブートストラップダイオードとブートストラップコンデンサを使ってフローティングハイサイドゲート電源電圧を生成します。ブートストラップダイオードは内蔵されており、BSTxピンに外付けのブートストラップコンデンサを使います。100%デューティサイクル制御をサポートするため、トリクルチャージポンプが本デバイスに内蔵されています。ドライバと外部MOSFETのリーク電流による電圧降下を防止するため、トリクルチャージポンプがBSTxノードに接続されています。

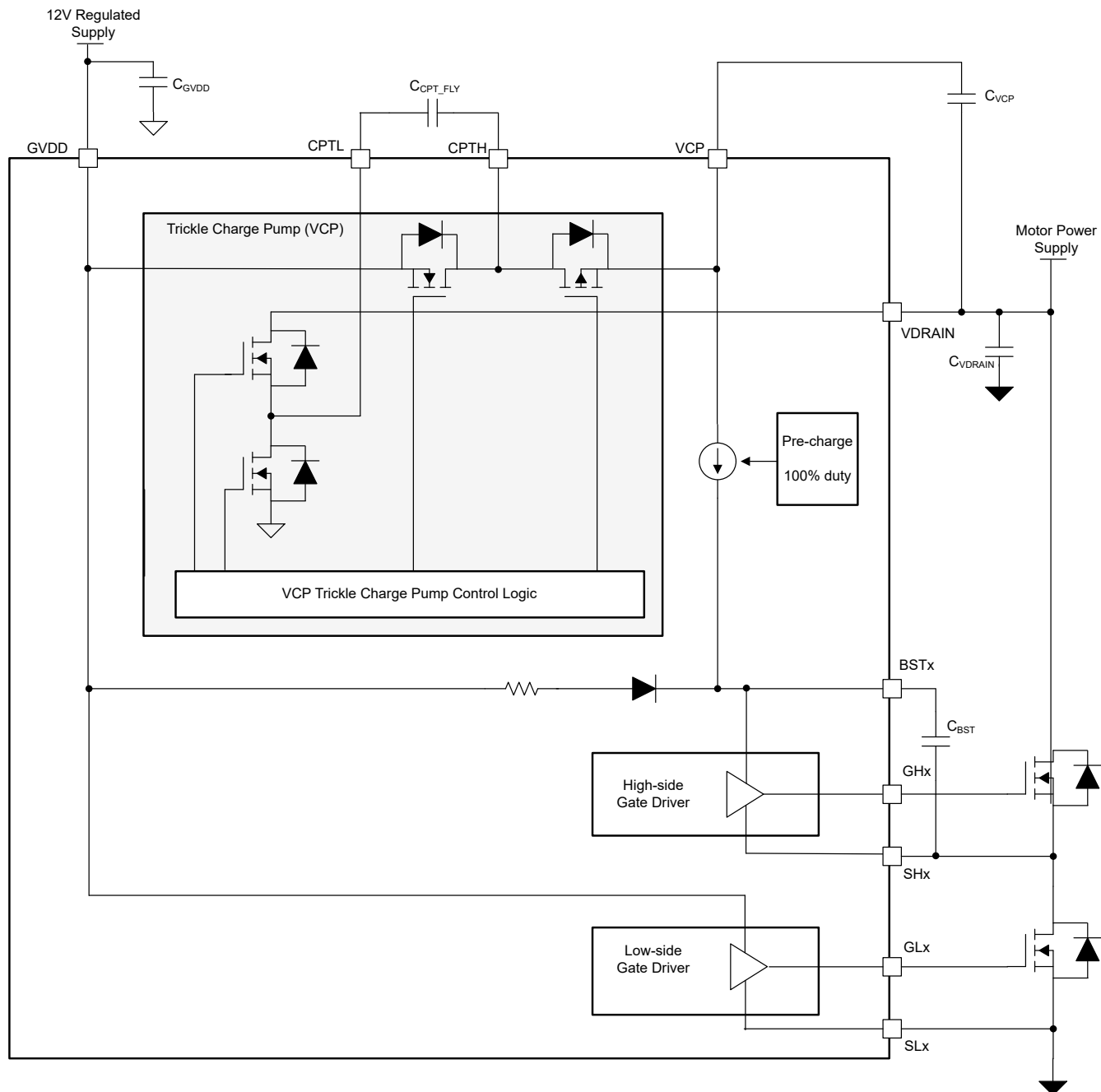


図 6-2. DRV8762-Q1 ゲート ドライバの電源アーキテクチャ

6.3.1.2.1 ブートストラップダイオード

ハイサイドバイアスを生成するにはブートストラップダイオードが必要ですが、ドライバデバイスに内蔵されています。ダイオードアノードは内部抵抗経由で GVDD に接続され、カソードは BSTx に接続されます。C_{BST} コンデンサが BSTx ピンと SHx ピンに接続されている場合、SHx がグラウンドに遷移するたびに、C_{BST} コンデンサの電荷がスイッチングサイクルごとに更新されます。コンデンサ値 C_{BST} は、ハイサイド MOSFET のゲート電荷に依存し、PWM 制御と MOSFET ゲートの電圧降下を考慮して選択する必要があります。ブートダイオードにより、高速な回復時間、低いダイオード抵抗、電圧定格マージンが可能になり、効率的で信頼性の高い動作を実現できます。

6.3.1.2.2 VCP トリクル チャージ ポンプ

このデバイスは、 C_{BST} ブートストラップコンデンサに電流を供給するチャージポンプを備えているため、ブートストラップコンデンサが充電されたままになります。これにより、ゲートドライバは **100%** のデューティ サイクルで動作できます。チャージポンプは、電源オン時に C_{BST} コンデンサの事前充電もサポートしています。

デフォルトでは、トリクル チャージ ポンプからブートストラップへの接続は「高デューティ サイクル」モードに設定されています。TCP_HD_DIS = 0 の場合、INHx が High になると同時に、TCP_HD_SW_CURLIM で定義された強度で VCP-BSTx プルアップが有効になります。これは、ローサイドのオン時間が限られているためにブートストラップ ダイオード経由で BSTx コンデンサを十分に再充電できない高デューティ サイクル過渡時に、BSTx 電圧を維持するのに役立ちます。

TCP_HD_DIS = 1 の場合、VCP-BSTx プルアップは「通常モード」となり、INHx の立ち上がりエッジ後に TCP_SW_DLY が経過するまで待ってから、TCP_SW_CURLIM で定義された強度でプルアップを有効にします。このモードでは、トリクル チャージ ポンプへの負荷を低減して消費電力を抑えることができ、誤ってトリクル チャージ ポンプを過負荷にし、VCP 低電圧を引き起こすことを防ぐのに役立ちます。

100% の PWM デューティ サイクル動作をサポートすることに加え、VCP チャージ ポンプは外部部品のオーバードライブ電源をサポートするよう設計されています。電源電圧 V_{VCP} は VCP ピンで供給され、電圧は VDRAIN を基準にレギュレートされます。ここでは、VCP ピンと VDRAIN ピンの間にコンデンサを接続します。VCP 電圧は、バッテリー逆接続保護スイッチ、ハイサイドスイッチ、またはモーター位相絶縁スイッチなどの外部スイッチ制御回路のオーバードライブ電源として使用できます。VCP チャージ ポンプはこれらの外部負荷をサポートするように設計されていますが、オーバードライブ電源の合計電流制限を超えないように注意する必要があります。

6.3.1.2.3 ゲート ドライバの出力

ゲートドライバでは、スマートゲートドライブアーキテクチャの使用によって、外部パワー MOSFET のスイッチング制御や、MOSFET の保護手法の追加、効率性と堅牢性のバランスの両立を実現できます。このアーキテクチャは IDRIVE および TDRIVE と呼ばれる 2 つのコンポーネントによって実装されます。IDRIVE ゲート駆動電流と TDRIVE ゲート駆動時間の最初の設定は、システムで使用する外部パワー MOSFET のパラメータと、目標とする立ち上がりおよび立ち下がり時間に基づき選択する必要があります。

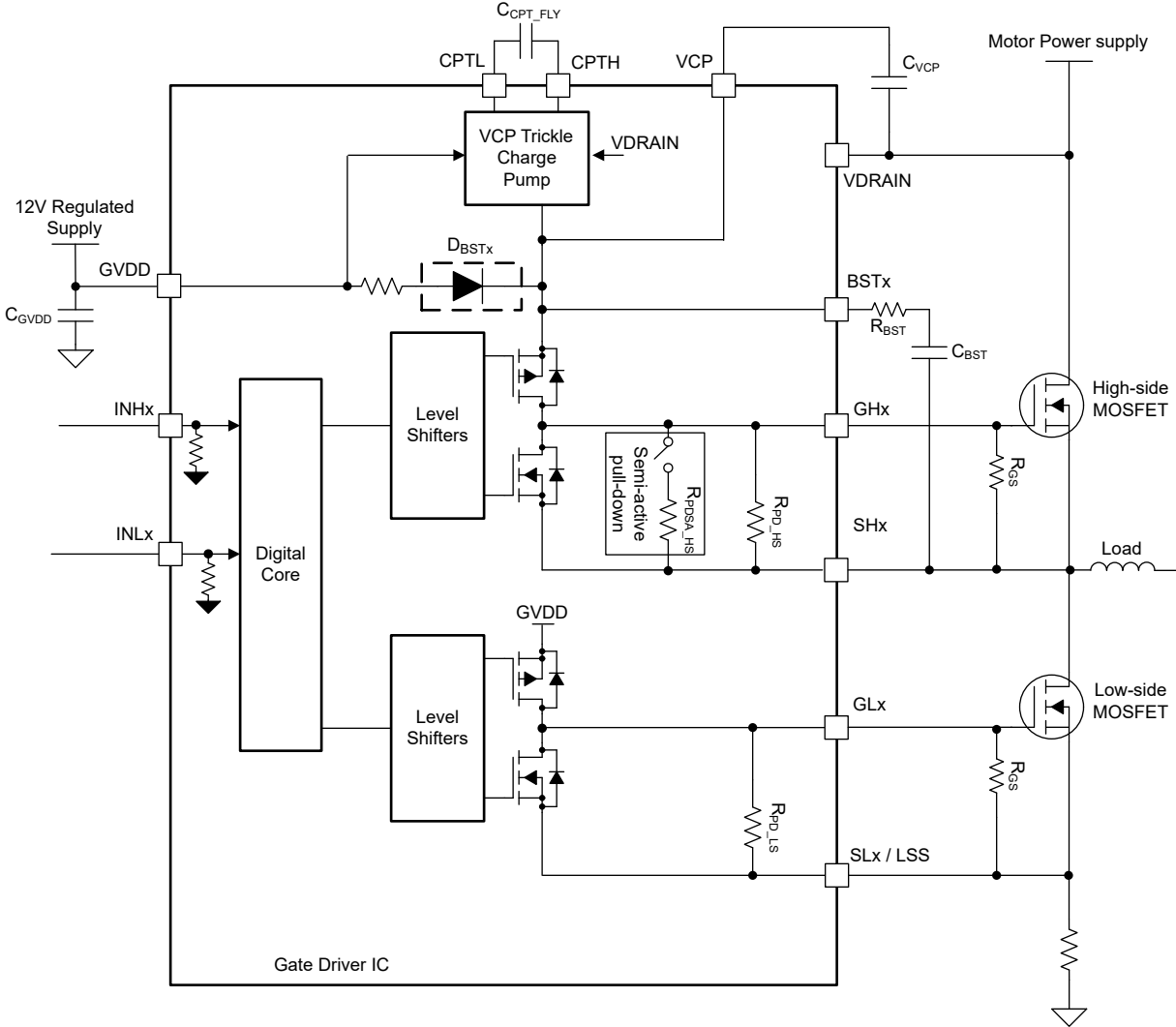


図 6-3. ゲート ドライバのアーキテクチャ

6.3.1.2.4 パッシブおよびセミアクティブプルダウン抵抗

各ゲートドライバは、無電力状態で外部 MOSFET をターン オフ状態に維持するため、ゲートとソースの間にパッシブプルダウンを備えています。さらに、ハイサイド出力には、SLEEP / シャットダウン モード中にゲート インピーダンスをさらに低減するためのセミアクティブプルダウン回路が組み込まれています。

6.3.1.2.5 TDRIVE/IDRIVE ゲート駆動タイミング制御

本デバイスは、スイッチング速度を制御し、外部 MOSFET の寄生 dV/dt によるゲート誤動作を防止するため、TDRIVE/IDRIVE ゲート駆動タイミング制御を内蔵しています。設定可能なプルアップ電流 I_{DRVP} およびプルダウン電流 I_{DRVN} により、外付けの直列ゲート抵抗を使用することなく、立ち上がりおよび立ち下りのスルーレートを独立して調整できます。強力なプルダウン I_{STRONG} 電流は、 t_{DRIVE_N} の経過後に有効となり、MOSFET を強くオフするとともに、ハーフブリッジ反対側がスイッチングしている間も MOSFET のオフ状態を維持します。この機能は、ハーフブリッジスイッチ ノード電圧のスルーレートが高い場合に外部 MOSFET ゲートにカップリングする寄生電荷を除去するのに役立ちます。

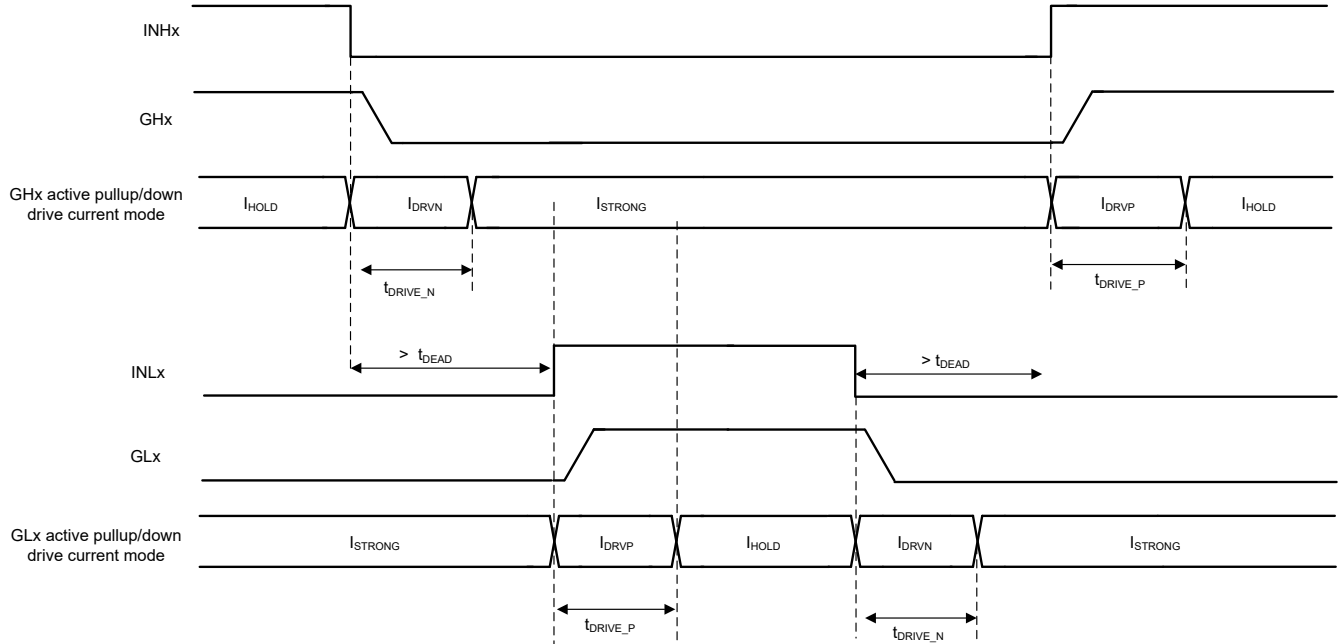


図 6-4. TDRIVE ゲート駆動タイミング制御

6.3.1.2.6 伝搬遅延

伝搬遅延時間 (t_{pd}) は入力ロジックのエッジから出力の変化が検出されるまでの時間として測定されます。この時間は、デジタル伝搬遅延、アナログ ゲートドライバによる遅延という 2 つの要素で構成されています。

複数の制御モードとデッド タイム挿入をサポートするため、デバイス全体への入力コマンドの伝搬に伴い、わずかなデジタル遅延が追加されます。また、アナログ ゲートドライバによるわずかな遅延も、デバイスの全体的な伝搬遅延に含まれます。

6.3.1.2.7 デッドタイムとクロス導通防止

DRV8762-Q1 の 4xPWM モードでは、ハイサイド INHx 入力とローサイド INLx 入力は独立して動作しますが、同じハーフブリッジのハイサイドとローサイドが同時にオンになった場合の相互導通を防止するという例外があります。電力段の貫通電流状態を防止するため、このデバイスはハイサイドとローサイドのゲート出力を Low にプルし、ハイサイド入力とローサイド入力が同時にロジック High になると故障 STP_FLT が通知されます。

4xPWM モードでは、SPI レジスタ ビット DEADT_MODE が 0b で、DEADT_MODE_4X が 00b の場合、デバイスは INHx と INLx を監視し、INHx = INLx = Low の期間が t_{DEAD} より短い場合、デッドタイムを挿入します。4xPWM モード以外では、構成に関係なくデッドタイムは常に挿入されます。

注

PWM_MODE が 01b に設定されている場合、STP_FLT の誤フラグを避けるため、STP_MODE ビットを 1b に設定する必要があります。SPI レジスタ ビット STP_MODE = 0b は、PWM_MODE = 00b (4xPWM モード) にのみ使用できます。

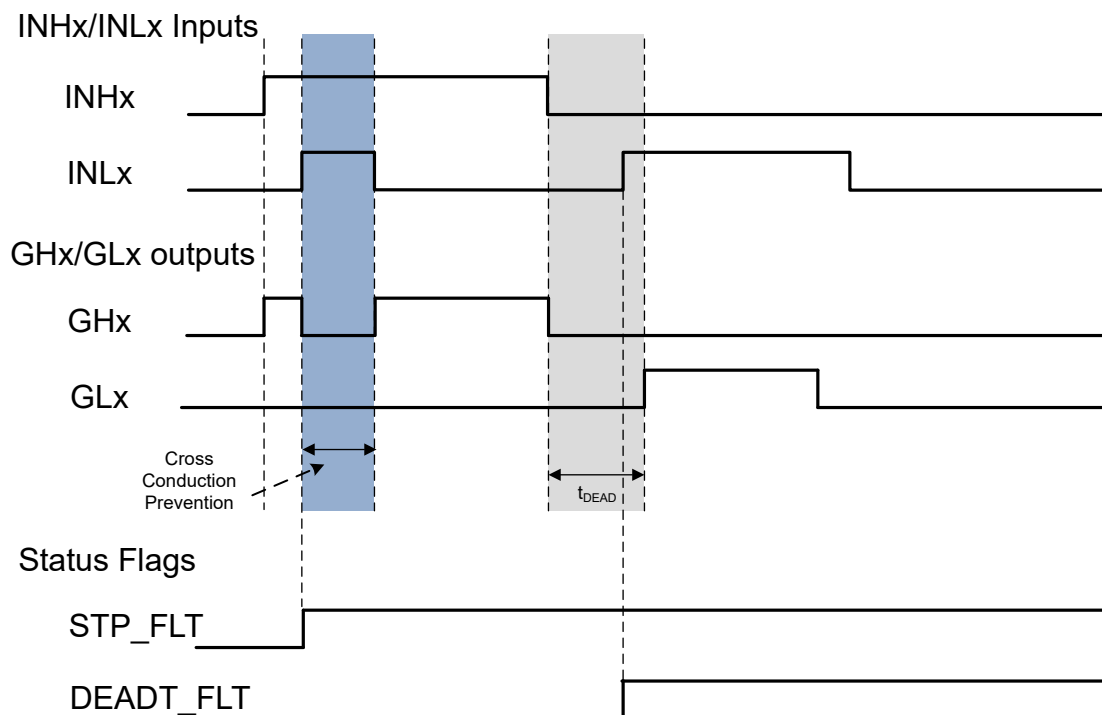


図 6-5. クロス導通防止とデッドタイム挿入

6.3.2 DVDD リニア電圧レギュレータ

デバイスには 100mA 出力のリニアレギュレータが内蔵されており、外部回路から使用できます。LDO は 3.3V または 5V 出力に設定できます。このレギュレータは、低電力 MCU または低電流をサポートするその他の回路に電源電圧を供給できます。DVDD レギュレータの出力は、1μF セラミックコンデンサを使用して DVDD ピン付近でバイパスされます。TI では、十分な実効キャパシタンスを維持するため、16V 以上の定格を持つ X5R または X7R コンデンサを使用することをお勧めしています。コンデンサからのグラウンド帰還は、隣接する GND グラウンドピンへと配線されます。

LDO の出力電圧は、DVDD_LVL レジスタビットで選択できます。

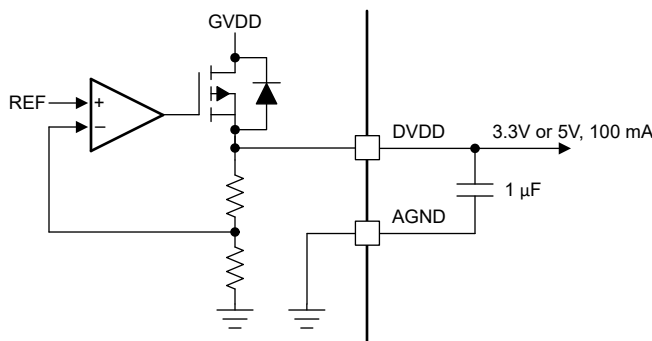


図 6-6. DVDD リニア レギュレータのブロック図

DVDD リニア レギュレータが本デバイス内で消費する電力は、 $P = (V_{GVDD} - V_{DVDD}) \times I_{DVDD}$ として計算できます

6.3.3 ローサイド電流検出アンプ

DRV8762-Q1 デバイスは、ローサイド シャント抵抗を使った電流測定のための高性能ローサイド電流検出アンプを内蔵しています。ローサイド電流測定は一般に、外部コントローラによる過電流保護や外部トルク制御の実装に使用されます。この電流センスアンプは、5 ~ 40V/V の範囲で 4 つのゲイン設定を設定でき、SPI コマンドを使用して構成できます。CSA 出力は、外部電圧リファレンスピン (VREF) を基準とするか、。CSA 出力オフセットは 1/2 xVREF と 1/8 xVREF の間で設定でき、必要に応じて双方向または単方向の電流センシングをサポートします。

注

デフォルトでは、CSA 出力は無効になっています。CSA 出力は、SPI レジスタ IC_CTRL2 で有効化できます。

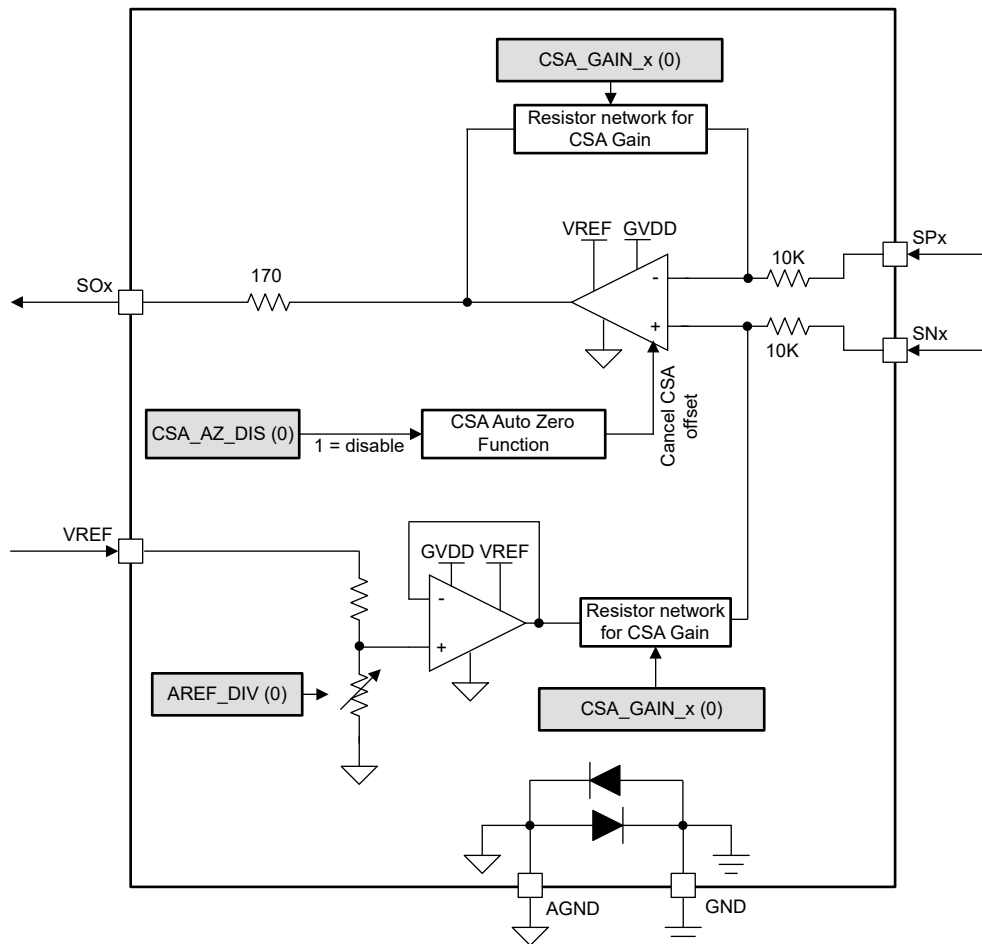


図 6-7. 電流センスアンプの図

6.3.3.1 単方向電流センス動作

電流測定の分解能を最大限に高めるため、DRV8762-Q1 は同相電圧 $1/8 \times VRE$ を内部で生成します。電流センスアンプは単方向モードとして動作し、SO ピンは、SP および SN ピン間の電圧にゲイン設定 (G_{CSA}) と出力を乗算した値に等しいアナログ電圧を出力します。

シャント抵抗を流れる電流値を計算するには、式 1 を使用します。

$$I = \frac{V_{SOx} - V_{VREF}/8}{G_{CSA} \times R_{SENSE}}$$

(1)

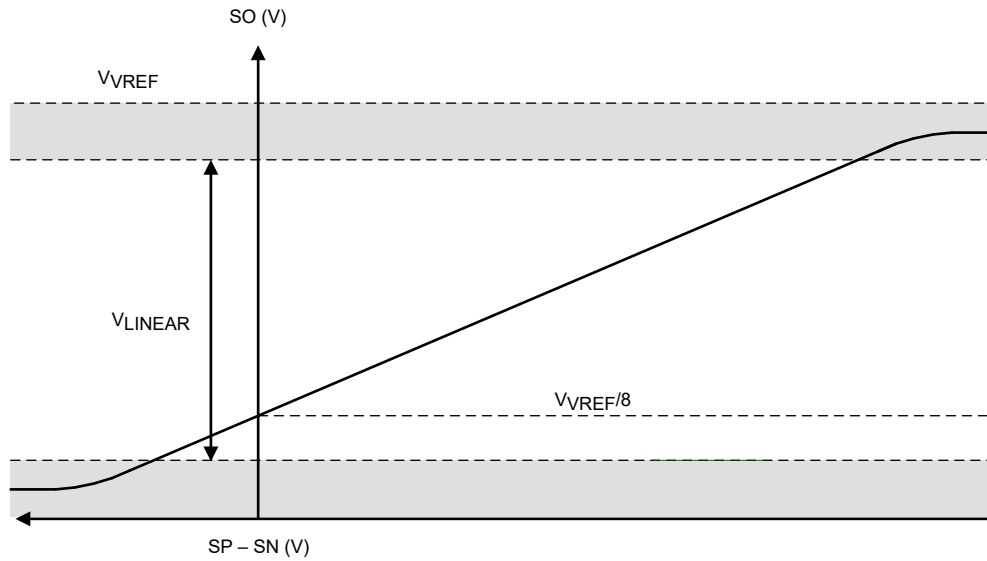


図 6-8. 単方向電流検出の出力

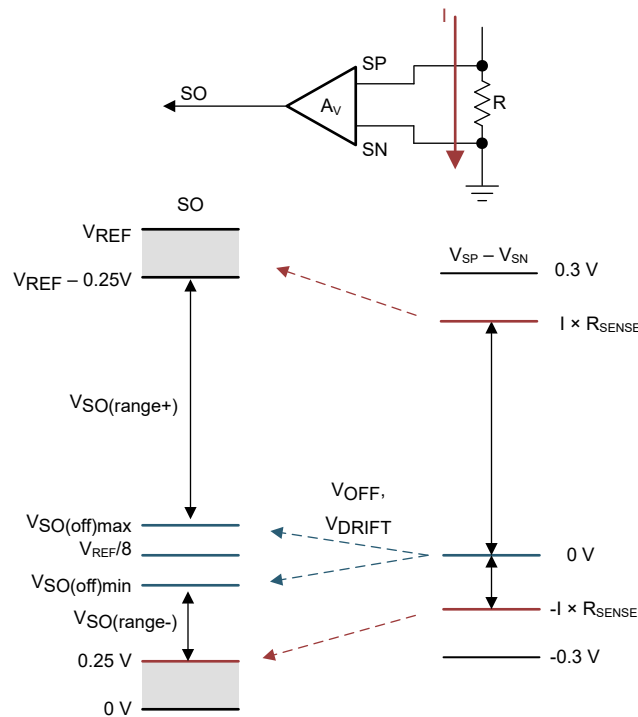


図 6-9. 単方向電流検出の領域

6.3.3.2 双方向電流検出の動作

このモードでは、DRV8762-Q1 は $1/2 \times V_{REF}$ の同相電圧を内部で生成し、双方向電流測定を可能にします。電流センスアンプは双方向モードとして動作し、SO ピンは、SP および SN ピン間の電圧にゲイン設定 (G_{CSA}) と出力を乗算した値に等しいアナログ電圧を出力します。

シャント抵抗 ($A_{REF_DIV} = V_{REF} / 2$ ケース) を流れる電流値を計算するには、式 2 を使用します。

$$I = \frac{V_{SOx} - \frac{V_{VREF}}{2}}{G_{CSA} \times R_{SENSE}} \quad (2)$$

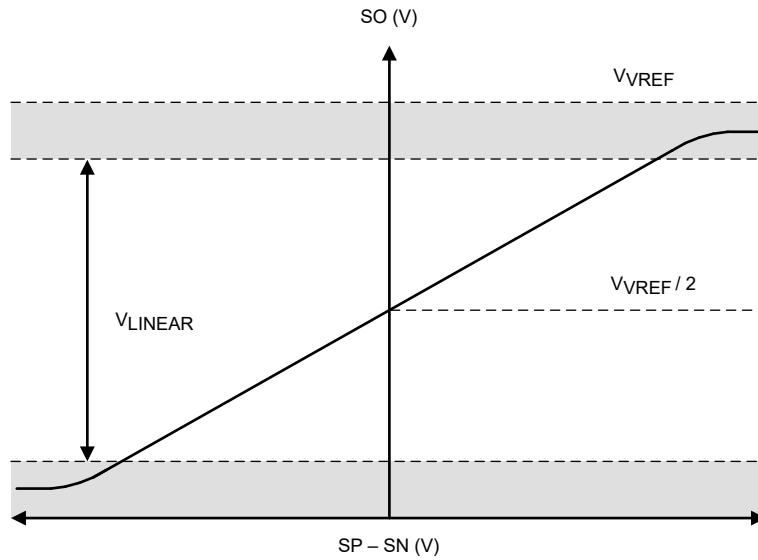


図 6-10. 双方向電流検出の出力

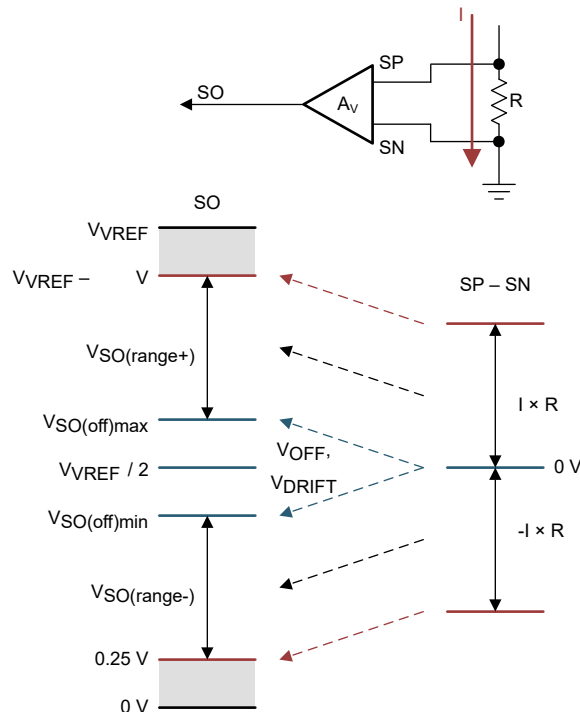


図 6-11. 双方向電流検出の領域

6.3.4 ゲート ドライバ シャットダウン

故障状態が検出されるか、DRVOFF ピンがシステムによって駆動されると、このデバイスはゲートドライバ シャットダウンの動作を実行します。外部 MOSFET をオフにするため、ハイサイドおよびローサイドのゲートドライバ出力がプルダウンされます。

6.3.4.1 DRVOFF ゲート ドライバ シャットダウン

DRVOFF が High に駆動されると、ゲートドライバはシャットダウン モードに移行し、入力ピン INHx および INLx の信号がオーバーライドされます。DRVOFF は内部デジタル ロジックをバイパスし、プリドライバに直接接続されます。このピンは、外部コントローラを直接バイパスしてゲートドライバを無効にする、外部で監視される故障用のメカニズムを提供します。DRVOFF ピンが High に駆動されると、ゲートドライバは無効になり、シャットダウン シーケンスがトリガされます。

6.3.4.2 ソフト シャットダウン タイミング シーケンス

過電流フォルトによってシャットダウンが発生した場合、DRV8762-Q1 は電力段における誘導性スパイクを最小化するため、ソフト シャットダウン シーケンスを使用します。シャットダウン駆動電流は、SPI レジスタ IDRVN_SD でプログラムできます。ゲートドライバは、MOSFET のゲートを放電するために、 I_{DRVN_SD} を t_{DRVN_SD} の時間だけ使用します。シャットダウンシーケンス完了後、ゲートドライバ出力はパッシブ/セミ アクティブ プルダウン モードになります。

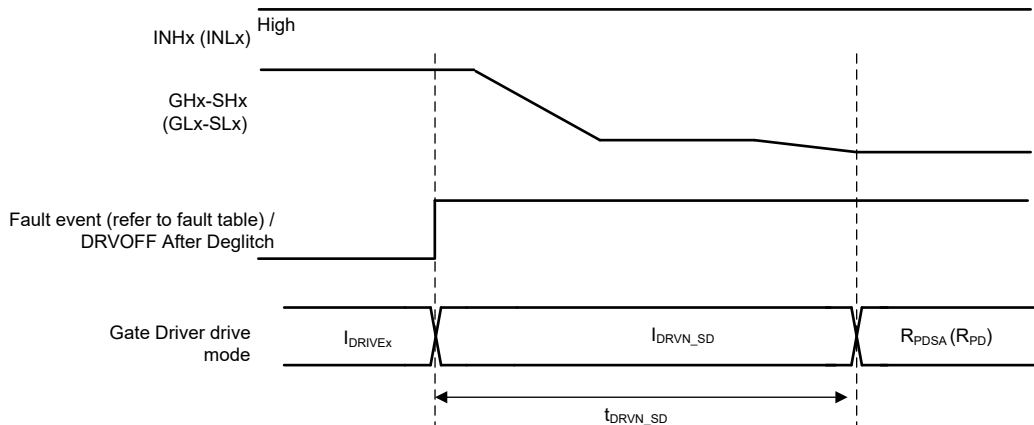


図 6-12. ゲート ドライバ シャットダウン シーケンス

6.3.5 アクティブ短絡

高慣性負荷を駆動するシステム、またはモーターが外力で回転する発電機モード条件にさらされる可能性のあるシステムを支援するため、DRV8762-Q1 には高度なアクティブ短絡機能が組み込まれています。この機能は、ASCIN ピン、SPI、または VDRAIN 過電圧への自動応答によってトリガーされ、両ハイサイドまたは両ローサイド MOSFET をオンにすることで、モーター電流を再循環させ、ダイオード整流による電源電圧のさらなる上昇を防ぎます。

ハイサイドまたはローサイドの ASC のデフォルト選択は、ASC_POLARITY ビットで設定できます。ただし、さまざまな動作条件やシステム故障シナリオに対する堅牢性を確保するため、DRV8762-Q1 はハイサイドとローサイドの ASC を自動的に切り替えます。この動作は、以下のチャートに要約されています。

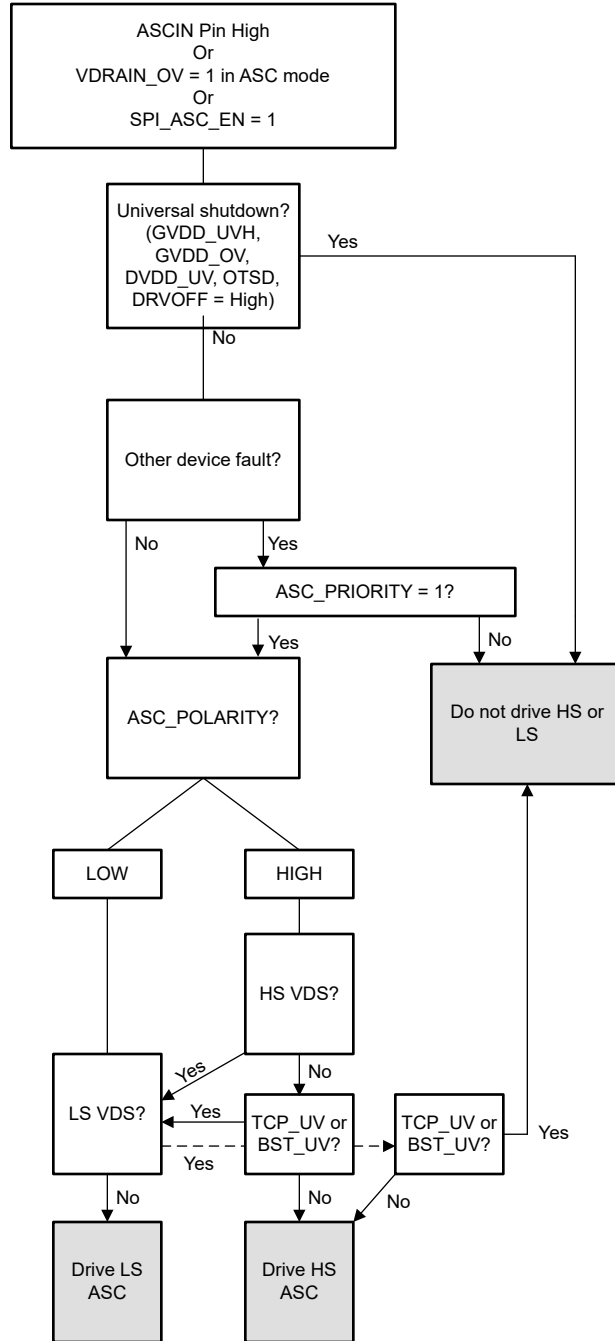


図 6-13. アクティブ短絡のロジック

6.3.6 ゲートドライバ保護回路

6.3.6.1 GVDD 低電圧誤動作防止 (GVDD_UV)

GVDD ピンの電圧が V_{GVDD_UV} スレッショルドを下回る状態が、 $t_{GVDD_UV_DG}$ 時間を超えると常に、本デバイスは GVDD 低電圧イベントを検出します。GVDD_UV 低電圧イベントを検出すると、ゲートドライバとチャージポンプが無効になり、nFAULT ピンが Low に駆動されます。GVDD_UV 条件のクリア後、故障状態はラッチされたまま維持され、SPI コマンドでクリアできます。

6.3.6.2 GVDD 過電圧故障 (GVDD_OV)

GVDD ピンの電源電圧が $t_{GVDD_OV_DG}$ 時間よりも長い間 V_{GVDD_OV} スレッショルドを超えた場合、DRV8762-Q1 が GVDD 過電圧イベントを検出します。過電圧状態を検出すると、ゲートドライバとチャージポンプが無効になり、nFAULT ピンが Low に駆動されます。GVDD_OV 条件のクリア後、故障状態はラッチされたまま維持され、SPI コマンドでクリアできます。

6.3.6.3 VDRAIN 低電圧故障 (VDRAIN_UV)

VDRAIN ピンの電源電圧が V_{VDRAIN_UV} スレッショルドを下回る状態が $t_{vdrain_uv_dg}$ 時間を超えると常に、DRV8762-Q1 は VDRAIN 低電圧イベントを検出します。低電圧電圧状態を検出すると、ゲートドライバとチャージポンプが無効になり、nFAULT ピンが Low に駆動されます。VDRAIN_UV 条件のクリア後、故障状態はラッチされたまま維持され、SPI コマンドでクリアできます。

6.3.6.4 VDRAIN 過電圧故障 (VDRAIN_OV)

VDRAIN ピンの電源電圧が $t_{VDRAIN_OV_DG}$ 時間よりも長い間 V_{VDRAIN_OV} スレッショルドを超えた場合、DRV8762-Q1 が VDRAIN 過電圧イベントを検出します。過電圧状態を検出すると、ゲートドライバとチャージポンプが無効になり、nFAULT ピンが Low に駆動されます。VDRAIN_OV 条件のクリア後、故障状態はラッチされたまま維持され、SPI コマンドでクリアできます。VDRAIN_OV スレッショルドは、VDRAIN_OV_LVL レジスタフィールドを使用して、期待される電源電圧範囲に基づいて調整できます。

6.3.6.5 VCP 低電圧故障 (CP_UV)

VCP ピンと VDRAIN ピン間の電圧が $t_{CP_UV_DG}$ 時間よりも長い間 V_{CP_UV} スレッショルドを下回ると常に、DRV8762-Q1 が VCP 低電圧イベントを検出します。低電圧電圧状態を検出すると、ゲートドライバとチャージポンプが無効になり、nFAULT ピンが Low に駆動されます。VCP_UV 条件のクリア後、故障状態はラッチされたまま維持され、SPI コマンドでクリアできます。

6.3.6.6 BST 低電圧誤動作防止 (BST_UV)

BSTx ピンと SHx ピン間の電圧が V_{BST_UV} スレッショルドを下回る状態が、 $t_{BST_UV_DG}$ 時間を超えると常に、本デバイスは BST 低電圧イベントを検出します。BST_UV の低電圧イベントを検出すると、ゲートドライバが無効になり、nFAULT ピンが Low に駆動されます。BST_UV 条件のクリア後、故障状態はラッチされたまま維持され、SPI コマンドでクリアできます。

6.3.6.7 MOSFET V_{DS} 過電流保護 (VDS_OCP)

本デバイスは、外部パワー MOSFET での過電流状態や短絡状態を検出するため、調整可能な V_{DS} 電圧監視機能を備えています。MOSFET 過電流状態は、外部 MOSFET $R_{DS(on)}$ での V_{DS} 電圧降下を監視することによって検出されます。ハイサイド V_{DS} モニタは VDRAIN ピンと SHx ピン間の電圧を測定し、ローサイド V_{DS} モニタは SHx ピンと SLx ピン間の電圧を測定します。外部 MOSFET にかかる電圧が、 V_{DS_LVL} スレッショルドを t_{DS_DG} グリッチ除去時間より上回ると、VDS_OCP イベントが認識されます。VDS 過電流イベントの検出後、外部 MOSFET をオフにするため、すべてのゲートドライバ出力は Low に駆動され、nFAULT ピンは Low に駆動されます。VDS レベルとグリッチ除去時間はプログラム可能です。

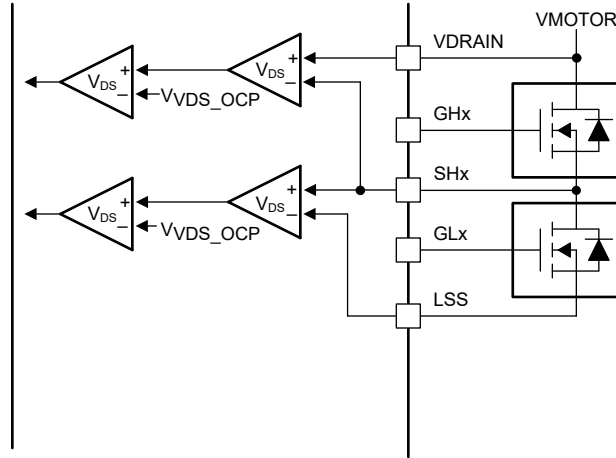


図 6-14. DRV8762-Q1 V_{DS} モニタ

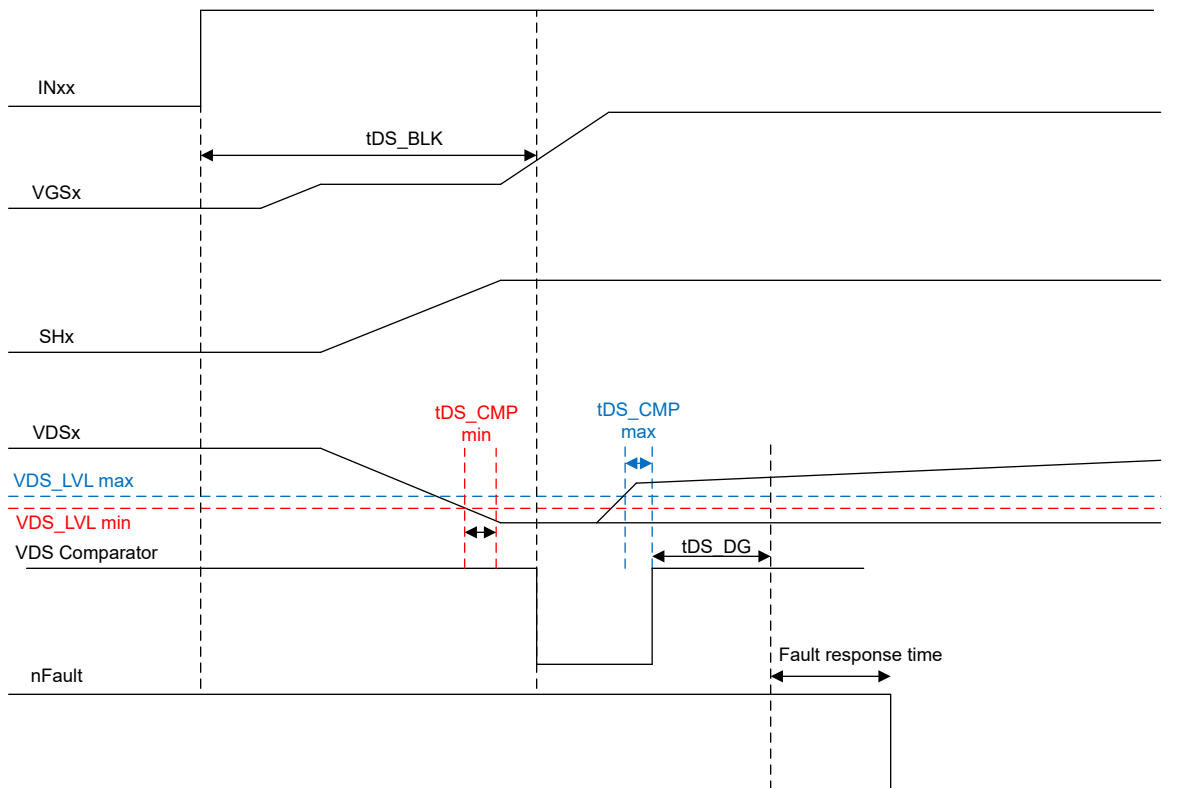


図 6-15. DRV8762-Q1 V_{DS} モニタのタイミング

6.3.6.8 MOSFET VGS 監視保護

は、DRV8762-Q1 内蔵のゲート-ソース間電圧 (VGS) のモニタを活用して、外部 MOSFET の状態を監視します。MOSFET の出力状態をオフに指示した場合 (INxx = Low)、モニタは出力をオフであることを確認してオフを維持します。いずれかの時点で VGS 電圧が tvgs_DG より長い時間 VGS スレッシュホールドを超えると、nFAULT ピンが Low に駆動され、対応する出力チャネルの VGS_XX フラグが設定されます。MOSFET の出力状態をオンに指示した場合 (INxx = High)、モニタは出力がオンであることを確認します。いずれかの時点で VGS 電圧が tvgs_DG より長い時間 VGS スレッシュホールドを下回ると、nFAULT ピンが Low に駆動され、対応する出力チャネルの VGS_XX フラグが設定されます。VGS モニタのブランキング時間は VDS モニタと共有され、VDS_VGS_BLK レジスタフィールドで調整できます。この値は、外部 MOSFET の予測スイッチング時間に基づいて設定することを推奨します。VGS モニタのグリッチ除去時間は、

VGS_DEG レジスタ フィールドで調整できます。グリッチ除去タイムは、PWM 信号の立ち上がり/立ち下りの後にブランキング時間が経過するまで起動しません。この値は、システムのノイズレベルと許容されるフォルトトレランス タイミングに基づいて設定することを推奨します。

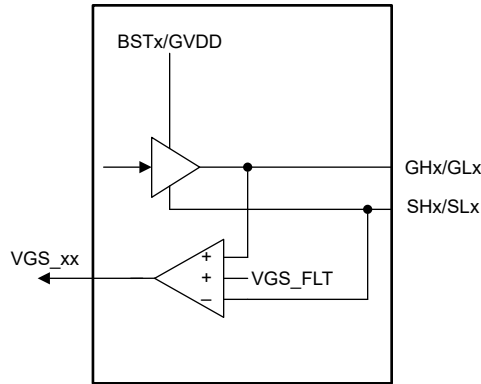


図 6-16. DRV8762-Q1 V_{GS} モニタ

6.3.6.9 シャント過電流保護 (SNS_OCP)

過電流は、電流検出アンプ出力 (SOx) を検出することでも監視されます。SOx の電圧が、いずれかの時点で $t_{SNS_OCP_DEG}$ のデグリッチ時間より長く V_{RSHUNT_OCP} しきい値を超えた場合、SNS_OCP イベントが認識されます。

V_{RSHUNT_OCP} のしきい値は V_{VREF} を基準に定義されており、双方向であるため、正方向および逆方向のいずれの過電流も検出できます。SNS_OCP_LVL ビットによって設定可能なしきい値設定は 2 種類あります。80%/20% モード、または 90%/10% モードです。このモニタの有効電流レベルは、次のように計算できます。

$$I_{SENSE_OCP} = \frac{V_{RSHUNT_OCP} - \frac{V_{VREF}}{k}}{Gain \times R_{SHUNT}} \quad (3)$$

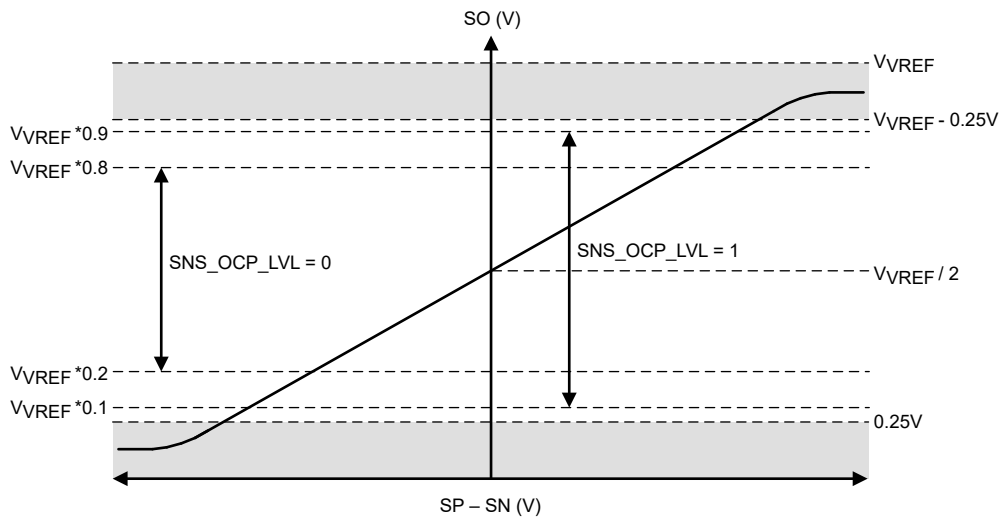


図 6-17. SNS_OCP しきい値

SNS_OCP イベント検出時のデバイス動作は、SNS_OCP_MODE ビットによって設定できます。シャットダウン モードは、SNS_OCP_STD_SHD ビットによっても設定できます。OCP しきい値への到達が通常動作の一部である場合 (自動回復モードや CBC モードを使用する場合など)、ソフト シャットダウン モードによる MOSFET の過度な発熱を防ぐため、TI は「標準」シャットダウン モードの使用を推奨します。

6.3.6.10 サーマル シャットダウン (OTSD)

ダイ温度がサーマル シャットダウン制限のトリップ ポイント (T_{OTSD}) を超えると、OTSD イベントが認識されます。OTSD 過熱イベントを検出した後、OTSD_MODE が故障モードの場合、すべてのゲートドライバ出力が低く駆動されて外部 MOSFET が無効になり、チャージ ポンプと電流センスが無効になり、nFAULT ピンが低く駆動されます。OTSD 条件のクリア後、故障状態はラッチされたまま維持され、SPI コマンド (CLR_FLT) でクリアできます。OTSD_MODE はデフォルトで故障モードです。デバイス電源投入中に OTSD 状態が検出された場合、nFAULT は Low に維持され、チャージ ポンプ、OTSD 条件が解消されて MCU が SPI コマンド (CLR_FLT) を送信するまで、電流センスは無効のままになります。

6.3.6.11 過熱警告 (OTW)

ダイ温度が過熱警告のトリップ ポイント (T_{OTW}) を上回ると、SPI デバイスのレジスタに OTW ビットが設定されます。デバイスの機能は継続され、追加動作が実行されることはありません。ダイ温度が過熱警告のヒステリシス ポイント未満まで低下すると、OTW ビットはラッチされたまま維持され、SPI コマンド CLR_FLT でクリアできます。OTW ビットが 1b の場合、WARN_MODE ビットが 1b 時に nFAULT は High のままです。

6.3.6.12 OTP CRC

電源を投入するたびに、デバイスは OTP CRC チェックを実行します。計算された CRC8 チェックサムが、内部 OTP メモリに保存されている CRC8 チェックサムと一致しない場合、OTP_CRC 故障フラグがセットされます。

6.3.6.13 SPI ウォッチドッグ タイマ

このデバイスは、外部コントローラが動作していることを確認し、プログラマブル ウィンドウ タイプの SPI ウォッチドッグ タイマを統合しています。SPI ウォッチドッグ タイマーは、WDT_EN SPI レジスタ ビットに 1 を書き込むことによって有効化できます。ウォッチドッグ タイマは、デフォルトで無効になっています。ウォッチドッグ タイマがイネーブルになると、内部タイマはカウントアップを開始します。有効な SPI アクセスが、タイマをリセットします。この 有効な SPI アクセスは、下位ウィンドウ時間と上位ウィンドウ時間の間に発行する必要があります。ウォッチドッグタイマ障害が検出されると、nFAULT ピンが Low にアサートされます。

6.3.6.14 オフ状態診断

このデバイスは、電流ソースと VDRAIN ピンと SHx デバイス ピンの間、および SHx デバイス ピンと各チャンネルのデバイス グランドの間を統合しています。これらのスイッチは、SPI レジスタビット OSD_Hx および OSD_Lx を使用して、個別に有効化 / 無効化できます。OSD_Hx が 1b の場合、SHx ピンのソース電流 I_{PHD_SRC} が有効化されます。OSD_Lx が 1b の場合、SHx ピンのシンク電流 I_{PHD_SNK} が有効化されます。OSD_Hx と OSD_Lx のいずれかのレジスタ ビットが 1 に設定されている場合、VDS 過電流検出フラグである VDS_Hx と VDS_Lx は、故障検出フラグから VDS コンパレータのステータス フラグに変更されます。内部電流ソースと VDS ステータス フラグの組み合わせにより、外部 MOSFET をアクティブにせずに、モーター負荷の開放フォルト検出などの位相診断に使用できます。

表 6-3. オフ状態診断テーブル

故障状態	OSD_HB	OSD_LB	VDS_HB	VDS_LB	VDS_HA	VDS_LA
故障なし	1	0	0	1	0	1
	0	1	1	0	1	0
GND への短絡	1	0	1	0	1	0
	0	1	1	0	1	0
VBAT への短絡	1	0	0	1	0	1
	0	1	0	1	0	1
開放回路	1	0	0	1	VDS_xB 応答以外のすべて	
	0	1	1	0		

注

上の表は、すべてのテストで OSD_HA と OSD_LA が 0 のままであることを前提としています。

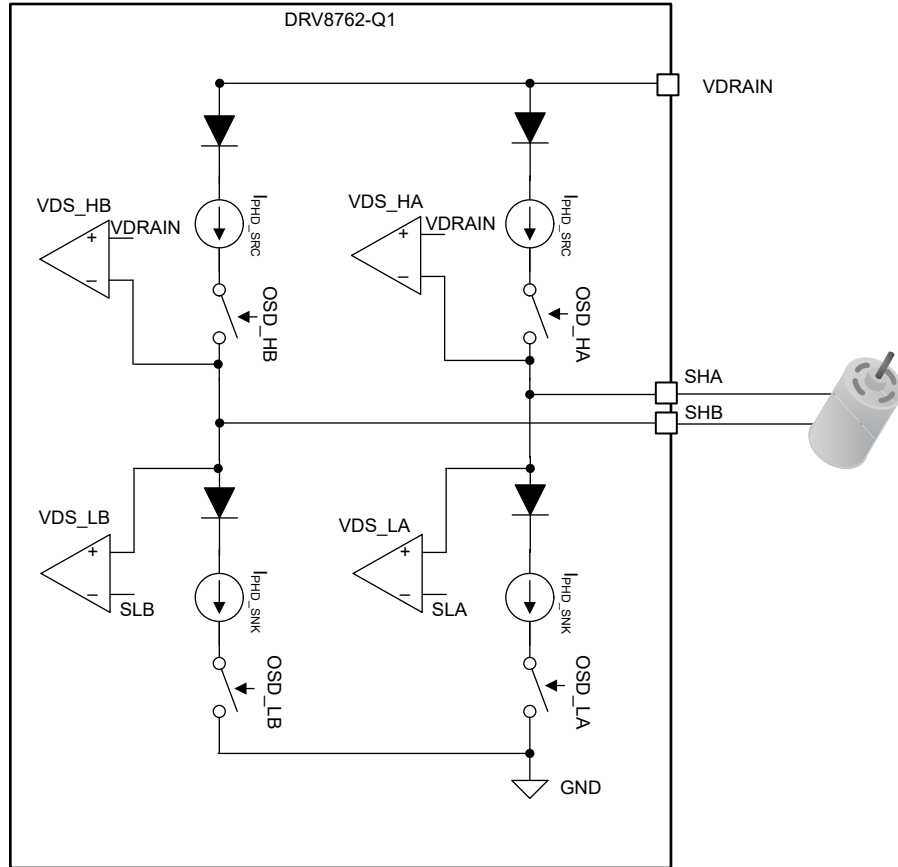


図 6-18. オフ状態診断

6.4 障害検出と応答の概略表 (障害表)

表 6-4. 障害検出と応答の概略

名称	SPI フラグビット	条件	モード	デジタルコア	ゲートドライバ	チャージポンプ	電流検出	応答
GVDD 低電圧誤動作防止	該当なし	GVDD < GVDD_UVLO	該当なし	リセット	ディセーブル	ディセーブル	ディセーブル	ゲート駆動シャットダウン、デバイスシャットダウン、nFAULT
GVDD 低電圧警告	GVDD_UVH	GVDD < GVDD_UVH	GVDD_UVH_MOD E = 0 (警告)	アクティブ	アクティブ	アクティブ	アクティブ	SPI 通知、nFAULT
			GVDD_UVH_MOD E = 1 (障害)	アクティブ	無効 (弱プルダウン)	アクティブ	アクティブ	ゲート駆動シャットダウン、SPI 通知、nFAULT
GVDD 低電圧 BST 警告	GVDD_UV_BST	GVDD < GVDD_UV_BST	GVDD_UV_BST_M ODE = 00b (RT 警告)	アクティブ	アクティブ	アクティブ	アクティブ	SPI 通知 (ラッチなし)、nFAULT
			GVDD_UV_BST_M ODE = 01b (障害)	アクティブ	アクティブ	アクティブ	アクティブ	SPI 通知、VCP_UV 無効、BST_UV_LVL を 1b に強制、nFAULT
			GVDD_UV_BST_M ODE = 10b (RT 障害)	アクティブ	アクティブ	アクティブ	アクティブ	SPI 通知 (ラッチなし)、VCPI_UV 無効、BST_UV_LVL を 1b に強制、nFAULT
			GVDD_UV_BST_M ODE = 11b (無効)	アクティブ	アクティブ	アクティブ	アクティブ	該当なし
GVDD 過電圧	GVDD_OV	GVDD > GVDD_OV	GVDD_OV_MODE = 0b (警告)	アクティブ	アクティブ	アクティブ	アクティブ	SPI 通知、nFAULT
			GVDD_OV_MODE = 1b (障害)	アクティブ	無効 (標準シャットダウン)	ディセーブル	アクティブ	SPI 通知、ゲート駆動シャットダウン、nFAULT

表 6-4. 障害検出と応答の概略 (続き)

名称	SPI フラグビット	条件	モード	デジタル コア	ゲートドライバ	チャージ ポンプ	電流検出	応答
VDRAIN 低電圧 Low レッショルド	VDRAIN_UVL	VDRAIN < VDRAIN_UVL	VDRAIN_UVL_MO DE = 00b (警告)	アクティブ	アクティブ	アクティブ	アクティブ	SPI 通知、nFAULT
			VDRAIN_UVL_MO DE = 01b (警告 RT)	アクティブ	アクティブ	アクティブ	アクティブ	SPI 通知 (ラッチなし)、nFAULT
			VDRAIN_UVL_MO DE = 10b (障害)	アクティブ	無効 (標準シャットダウン)	ディセーブル	アクティブ	SPI 通知、ゲート駆動シャットダウン、nFAULT
			VDRAIN_UVL_MO DE = 11b (無効)	アクティブ	アクティブ	アクティブ	アクティブ	該当なし
VDRAIN 定電圧 High スレッシュョルド	VDRAIN_UVH	VDRAIN < VDRAIN_UVH	VDRAIN_UVH_MO DE = 00b (警告)	アクティブ	アクティブ	アクティブ	アクティブ	SPI 通知、nFAULT
			VDRAIN_UVH_MO DE = 01b (警告 RT)	アクティブ	アクティブ	アクティブ	アクティブ	SPI 通知 (ラッチなし)、nFAULT
			VDRAIN_UVH_MO DE = 10b (障害)	アクティブ	無効 (標準シャットダウン)	アクティブ	アクティブ	SPI 通知、ゲート駆動シャットダウン、nFAULT
			VDRAIN_UVH_MO DE = 11b (無効)	アクティブ	アクティブ	アクティブ	アクティブ	該当なし
VDRAIN 過電圧	VDRAIN_OV	VDRAIN > VDRAIN_OV	VDRAIN_OV_MOD E = 00b (警告)	アクティブ	アクティブ	アクティブ	アクティブ	SPI 通知、nFAULT
			VDRAIN_OV_MOD E = 01b (障害)	アクティブ	無効 (標準シャットダウン)	アクティブ	アクティブ	SPI 通知、ゲート駆動シャットダウン、nFAULT
			VDRAIN_OV_MOD E = 10b (ASC ラッチ)	アクティブ	アクティブ (ASC 有効)	アクティブ	アクティブ	SPI 通知、nFAULT
			VDRAIN_OV_MOD E = 11b (ASC RT)	アクティブ	アクティブ (ASC 有効)	アクティブ	アクティブ	SPI 通知、nFAULT

表 6-4. 障害検出と応答の概略 (続き)

名称	SPI フラグビット	条件	モード	デジタル コア	ゲートドライバ	チャージ ポンプ	電流検出	応答
DVDD 過電圧	DVDD_OV	DVDD > DVDD_OV	DVDD_MODE = 0b (警告)	アクティブ	アクティブ	アクティブ	アクティブ	SPI 通知、nFAULT
			DVDD_MODE = 1b (障害)	アクティブ	無効 (標準シャットダウン)	ディセーブル	アクティブ	SPI 通知、ゲート駆動シャットダウン、nFAULT
過熱警告	OTW	内部温度 > OTW	該当なし	アクティブ	アクティブ	アクティブ	アクティブ	SPI 通知、nFAULT
過熱シャットダウン	OTSD	内部温度 > OTSD	OTSD_MODE = 0b (警告)	アクティブ	アクティブ	アクティブ	アクティブ	SPI 通知、nFAULT
			OTSD_MODE = 1b (障害)	ディセーブル	無効 (標準シャットダウン)	ディセーブル	ディセーブル	SPI 通知、ゲート駆動シャットダウン、nFAULT
加熱シャットダウン、トリクルチャージポンプ	OTSD_TCP	内部チャージポンプ温度 > OTSD	該当なし	アクティブ	アクティブ	ディセーブル	アクティブ	SPI 通知、nFAULT
VCP 低電圧	VCP_UV	VCP < VCP_UV	VCP_UV_MODE = 00b (警告)	アクティブ	アクティブ	アクティブ	アクティブ	SPI 通知、nFAULT
			VCP_UV_MODE = 01b (障害)	アクティブ	無効 (標準シャットダウン)	アクティブ	アクティブ	SPI 通知、ゲート駆動シャットダウン、nFAULT
			VCP_UV_MODE = 10b (障害、TCP シャットダウン)	アクティブ	無効 (標準シャットダウン)	ディセーブル	アクティブ	SPI 通知、ゲート駆動シャットダウン、nFAULT
			VCP_UV_MODE = 11b (無効)	アクティブ	アクティブ	アクティブ	アクティブ	該当なし

表 6-4. 障害検出と応答の概略 (続き)

名称	SPI フラグビット	条件	モード	デジタル コア	ゲートドライバ	チャージ ポンプ	電流検出	応答
ブートストラップ低電圧	BST_x_UV	BSTx < BST_UV	BST_UV_MODE = 000b、110b (警告)	アクティブ	アクティブ	アクティブ	アクティブ	SPI 通知、nFAULT
			BST_UV_MODE = 001b (障害 RT、アクティブプルダウン)	アクティブ	HS オフ (アクティブプルダウン)、LS アクティブ	アクティブ	アクティブ	SPI 通知、ゲート駆動シャットダウン、nFAULT
			BST_UV_MODE = 010b (障害 RT、弱プルダウン)	アクティブ	HS オフ (弱プルダウン)、LS アクティブ	アクティブ	アクティブ	SPI 通知、ゲート駆動シャットダウン、nFAULT
			BST_UV_MODE = 011b (障害、アクティブプルダウン)	アクティブ	HS オフ (アクティブプルダウン)、LS アクティブ	アクティブ	アクティブ	SPI 通知、ゲート駆動シャットダウン、nFAULT
			BST_UV_MODE = 100b (障害、弱プルダウン)	アクティブ	HS オフ (弱プルダウン)、LS アクティブ	アクティブ	アクティブ	SPI 通知、ゲート駆動シャットダウン、nFAULT
			BST_UV_MODE = 101b (障害、弱プルダウン、TCP スイッチオフ)	アクティブ	HS オフ (弱プルダウン)、LS アクティブ	ディセーブル	アクティブ	SPI 通知、ゲート駆動シャットダウン、nFAULT
			BST_UV_MODE = 111b (無効)	アクティブ	アクティブ	アクティブ	アクティブ	該当なし
VREF 低電圧	VREF_UV	VREF < VREF_UV	該当なし	アクティブ	アクティブ	アクティブ	ディセーブル	SPI 通知、nFAULT
VDS OCP	VDS_xx	VDS > VDS_LVL	VDS_OCP_MODE = 0b (警告)	アクティブ	アクティブ	アクティブ	アクティブ	SPI 通知、nFAULT
			VDS_OCP_MODE = 1b (障害)	アクティブ	無効 (ソフトシャットダウン)	アクティブ	アクティブ	SPI 通知、ゲート駆動シャットダウン、nFAULT

表 6-4. 障害検出と応答の概略 (続き)

名称	SPI フラグビット	条件	モード	デジタル コア	ゲートドライバ	チャージ ポンプ	電流検出	応答
センス OCP	OCP_SNS_x	SOx > SNS_OCP_LVL	SNS_OCP_MODE = 000b (警告)	アクティブ	アクティブ	アクティブ	アクティブ	SPI 通知、nFAULT
			SNS_OCP_MODE = 001b (障害)	アクティブ	無効 (ソフトシャットダウン)	アクティブ	アクティブ	SPI 通知、nFAULT
			SNS_OCP_MODE = 010b (警告 RT)	アクティブ	アクティブ	アクティブ	アクティブ	SPI 通知 (ラッチなし)、nFAULT
			SNS_OCP_MODE = 011b (障害 RT)	アクティブ	無効 (ソフトシャットダウン)	アクティブ	アクティブ	SPI 通知 (ラッチなし)、ゲート駆動シャットダウン、nFAULT
			SNS_OCP_MODE = 100b (制限モード)	アクティブ	無効 (標準シャットダウン)	アクティブ	アクティブ	次の PWM エッジまでゲート駆動をシャットダウン
			SNS_OCP_MODE = 111b (無効)	アクティブ	アクティブ	アクティブ	アクティブ	該当なし
VGS モニタ	VGS_xx	オフ/オン状態でスレッシュホールドを上回る/下回る VGS 電圧	VGS_MODE = 0b (警告)	アクティブ	アクティブ	アクティブ	アクティブ	SPI 通知、nFAULT
			VGS_MODE = 1b (障害)	アクティブ	無効 (標準シャットダウン)	アクティブ	アクティブ	SPI 通知、nFAULT
ウォッチドッグモニタ	WDT_FLT	ウォッチドッグはウィンドウでサービスなし	該当なし	アクティブ	無効 (標準シャットダウン)	アクティブ	アクティブ	SPI 通知、nFAULT
デッドタイム保護	DEADT_FLT	DEADT 設定より短いデッドタイム	DEADT_MODE_4X = 00b (障害)	アクティブ	最小デッドタイムが強制	アクティブ	アクティブ	SPI 通知、ゲートドライバ出力の強制、nFAULT
			DEADT_MODE_4X = 01b (強制のみ)	アクティブ	最小デッドタイムが強制	アクティブ	アクティブ	SPI 通知、ゲートドライバ出力の強制、nFAULT
			DEADT_MODE_4X = 10b (無効)	アクティブ	アクティブ	アクティブ	アクティブ	該当なし
			DEADT_MODE_4X = 11b (警告)	アクティブ	最小デッドタイムが強制	アクティブ	アクティブ	SPI 通知、nFAULT

表 6-4. 障害検出と応答の概略 (続き)

名称	SPI フラグビット	条件	モード	デジタル コア	ゲートドライバ	チャージ ポンプ	電流検出	応答
シュートスルー保護	STP_FLT	INHx + INLx 同時 High	STP_MODE = 0b (警告 + 強制)	アクティブ	強制 (両方の入力が高 High の間 Low)	アクティブ	アクティブ	SPI 通知、出力は強制
			STP_MODE = 1b (強制のみ)	アクティブ	強制 (両方の入力が高 High の間 Low)	アクティブ	アクティブ	出力は強制
SPI クロック障害	SPI_CLK_FLT	SPI フレームのクロック数が誤っている (24 または 32 ビットではない)	該当なし	アクティブ	アクティブ	アクティブ	アクティブ	SPI 通知、nFAULT、SPI トランザクションが拒否
SPI アドレス障害	SPI_ADDR_FLT	SPI の無効なアドレスアクセス	該当なし	アクティブ	アクティブ	アクティブ	アクティブ	SPI 通知、nFAULT、SPI トランザクションが拒否
SPI CRC 障害	SPI_CRC_FLT	SPI CRC 値の不一致	該当なし	アクティブ	アクティブ	アクティブ	アクティブ	SPI 通知、nFAULT、SPI トランザクションが拒否
SPI パリティ障害	SPI_PAR_FLT	SPI パリティビット値の不一致	該当なし	アクティブ	アクティブ	アクティブ	アクティブ	SPI 通知、nFAULT、SPI トランザクションが拒否
OTP CRC 障害	OTP_CRC_FLT	内部 OTP 値の破損	該当なし	アクティブ	無効 (弱プルダウン)	アクティブ	アクティブ	SPI 通知、nFAULT
デバイスモード障害	DEV_MODE_FLT	デバイスが TI テストモード	該当なし	アクティブ	アクティブ	アクティブ	アクティブ	SPI 通知、nFAULT
ブートストラッププリチャージタイムアウト	BST_TIMEOUT_FLT	タイムアウト期間の終了までにブートストラップのプリチャージが未完了	該当なし	アクティブ	アクティブ	アクティブ	アクティブ	SPI 通知、nFAULT

6.5 デバイスの機能モード

6.5.1 ゲートドライバの機能モード

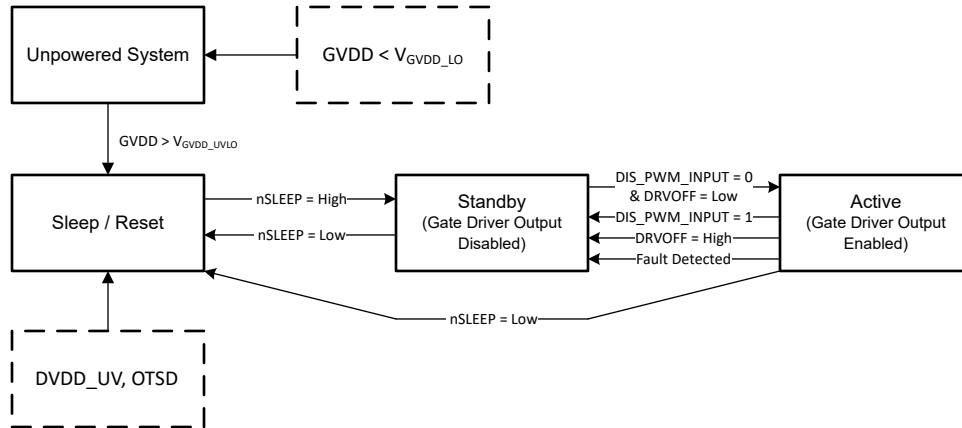


図 6-19. 機能状態図

6.5.1.1 スリープモード

nSLEEP ピンは、DRV8762-Q1 の状態を管理するピンです。nSLEEP ピンが Low になると、デバイスは低消費電力のスリープモードに移行します。スリープモードでは、すべてのゲートドライバが無効化され、センスアンプが無効化され、すべての外部 MOSFET が無効化されます。さらに、VCP トリクルチャージポンプおよび DVDD レギュレータも無効化されます。nSLEEP ピンでの立ち下がりエッジの後、 t_{SLEEP} 時間が経過するとデバイスがスリープモードに移行します。nSLEEP ピンが High になると、デバイスのスリープモードは自動的に終了します。 t_{WAKE} 時間が経過すると、デバイスは入力可能な状態になります。スリープモード中は、nFAULT ピンが Low にプルダウンされます。

6.5.1.2 スタンバイモード

nSLEEP ピンが High で、かつ V_{GVDD} 電圧が $GVDD_{UVLO}$ 電圧より高い場合、デバイスはスタンバイモードに入ります。このモードでは、DVDD レギュレータおよび VCP トリクルチャージポンプは有効ですが、MOSFET 出力ドライブ段は無効です。デバイスを初めてパワーアップする場合、VCP および $BSTx$ 電圧がそれぞれの UV しきい値をクリアすると、Active モードに移行します。

フォルト条件の発生、DRVOFF を High に保持すること、または $DIS_PWM_INPUT = 1$ に設定することにより、デバイスはスタンバイモードに入り、その状態を維持します。フォルト条件によってスタンバイモードに入っている場合、フォルトフラグがクリアされると、デバイスは再び Active モードに入ります。

6.5.1.3 アクティブモード

故障条件がなく、DRVOFF が Low、かつ $DIS_PWM_INPUT = 0$ の場合、デバイスはアクティブモードに入ります。このモードでは MOSFET 出力がアクティブになり、 $INHx/INLx$ 入力に応答します。

6.6 プログラミング

6.6.1 SPI

このデバイスは、シリアル ペリフェラル インターフェイス (SPI) バスを使用して、デバイス構成、動作パラメータを設定し、診断情報を読み取ります。デバイスの SPI はセカンダリモードで動作し、外部コントローラに接続します。SPI CRC (SPI_CRC_EN = 0b) が無効の場合、SPI 入力データ (SDI) ワードは、24 ビットのワードで構成され、1 読み取り / 書き込みビット、1 パリティビット、6 ビットのアドレス、16 ビットのデータから成ります。SPI 出力データ (SDO) ワードは 24 ビットのワード、8 ビットのステータスデータ、16 ビットのレジスタデータで構成されています。SPI CRC が有効 (SPI_CRC_EN = 1b) な場合、フレームの最後に追加の 8 ビット CRC (初期値 0xFF、多項式 0x2F) が追加され、SPI データワードの合計長が 32 ビットに増加します。

有効なフレームは次の条件を満たしていなければなりません。

- nSCS ピンが High から Low、Low から High に遷移すると、SCLK ピンの Low になります。
- nSCS ピンは、ワード間の 450ns 以上にわたって High にプルアップされます。
- nSCS ピンが High にされているときは、SCLK ピンと SDI ピンのすべての信号が無視され、SDO ピンが Hi-Z 状態に設定される。
- データは SCLK ピンの立ち下がりエッジで収集され、SCLK ピンの立ち上がりエッジで伝搬される。
- 最上位ビット (MSB) が最初にシフト イン / シフト アウトされます。
- トランザクションを有効にするには、24 (または 32) SCLK サイクルすべてが発生しなければならない。
- SDI ピンに送信されるデータワードが 24 (または 32) ビットでない場合、フレーム エラーが発生してデータワードが無視される。
- 書き込みコマンドの場合、書き込み先レジスタ内の既存データは、8 ビットのコマンド データに続いて SDO ピンでシフトアウトされる。
- SDO ピンはプッシュプル タイプの出力です。
- SPI 故障は、nSCS の立ち上がりエッジで確認されます。

6.6.2 SPI フォーマット

SDI データワードは 24 (または 32) ビット長であり、以下のフォーマットで構成されています。

- 1 パリティビット、P。パリティビットは偶数パリティ方式を使用するため、SPI フレーム内の「1」の数を偶数にする必要があります。SPI_CRC_EN = 1b の場合、このビットは「Don't Care」です。
- 6 アドレスビット、A5-A0
- 1 読み取りまたは書き込みビット、W0。書き込みコマンドの場合は W0 = 0b、読み取りコマンドの場合は W0 = 1b です。
- 16 データビット、D15-D0
- SPI_CRC_EN = 1b の場合、8 ビット CRC。

SDO データワードは 24 (または 32) ビット長であり、以下のフォーマットで構成されています。

- 1 故障ステータスビット、F。このビットは、IC_STAT1 故障レジスタビットと同じです。
- 7 ビットは「Don't Care」です。
- 16 データビット、D15-D0。これはアドレス指定されたレジスタの読み取りデータです。書き込みコマンドの場合、アドレス指定されたレジスタに以前格納されたデータが使用されます。
- SPI_CRC_EN = 1b の場合、8 ビット CRC

6.6.3 SPI フォーマット図

表 6-5. SPI の SDI 入力データワードフォーマット (24 ビット、CRC 無効)

PARITY	アドレス						RW	データ															
B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
P	A5	A4	A3	A2	A1	A0	W0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0

表 6-6. SDO 出力データワードフォーマット (24 ビット、CRC 無効)

ステータス								データ															
B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
フォルト	DC	DC	DC	DC	DC	DC	DC	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0

表 6-7. SPI の SDI 入力データワードフォーマット (32 ビット、CRC 有効)

PARITY	アドレス							RW	データ																CRC						
B31	B30	B29	B28	B27	B26	B25	B24	B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
DC	A5	A4	A3	A2	A1	A0	W0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	C7	C6	C5	C4	C3	C2	C1	C0

表 6-8. SDO 出力データワードフォーマット (32 ビット、CRC 有効)

ステータス								データ																CRC							
B31	B30	B29	B28	B27	B26	B25	B24	B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
フォルト	DC	DC	DC	DC	DC	DC	DC	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	C7	C6	C5	C4	C3	C2	C1	C0

7 レジスタ マップ

このセクションは DRV8762-Q1 の予備的なレジスタ マップなので、変更される可能性があります。

7.1 ステータス レジスタ

表 7-1 に、ステータス レジスタに対してメモリマップされたレジスタを示します。表 7-1 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 7-1. ステータス レジスタ

オフセット	略称	レジスタ名	セクション
0h	IC_STAT1	IC ステータス レジスタ 1	セクション 7.1.1
1h	IC_STAT2	IC ステータス レジスタ 2	セクション 7.1.2
2h	IC_STAT3	IC ステータス レジスタ 3	セクション 7.1.3
3h	IC_STAT4	IC ステータス レジスタ 4	セクション 7.1.4
4h	IC_STAT5	IC ステータス レジスタ 5	セクション 7.1.5
5h	IC_STAT6	IC ステータス レジスタ 6	セクション 7.1.6

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 7-2 に、このセクションでアクセス タイプに使用しているコードを示します。

表 7-2. STATUS のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

7.1.1 IC_STAT1 レジスタ (オフセット = 0h) [リセット = 8080h]

IC_STAT1 を表 7-3 に示します。

概略表に戻ります。

表 7-3. IC_STAT1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	SPI_OK	R	1h	SPI 故障は検出されていません 0h = SPI 故障が検出されました 1h = 故障なし
14	フォルト	R	0h	フォルト ステータス レジスタの論理和。nFAULT ピンの反転ミラーです。 0h = nFAULT ピンは High。フォルト イベントは検出されていません。 1h = nFAULT ピンは Low。1 つまたは複数の障害イベントが検出されました。
13	WARN	R	0h	OTW を除く WARN ステータスの OR (論理和) 0h = 過熱警告イベント検出なし 1h = 1 つまたは複数の警告イベントが検出されました
12	VDS	R	0h	VDS 過電流検出の OR (論理和) 0h = VDS イベント検出なし。 1h = 1 つまたは複数の VDS イベントが検出されました。
11	VGS	R	0h	VGS 検出の OR (論理和) 0h = VGS イベント検出なし。 1h = 1 つまたは複数の VGS イベントが検出されました。
10	SNS_OCP	R	0h	センス過電流検出の OR (論理和) 0h = センス過電流イベント検出なし。 1h = 1 つまたは複数のセンス過電流イベントが検出されました。
9	OV	R	0h	電源電圧過電圧検出の OR (論理和) 0h = 過電圧イベント検出なし。 1h = 1 つ以上の過電圧イベントが検出。
8	UV	R	0h	電源電圧低電圧検出の OR (論理和) 0h = 低電圧イベント検出なし。 1h = 1 つ以上の低電圧イベントが検出。
7	RESET_STAT	R	1h	デジタルリセットステータス: デジタルリセット信号に追従します。CLR_FLT = 1 に設定することでクリアされます。 0h = CLR_FLT を 1 に設定することで信号をクリア 1h = デジタルがリセットから復帰
6	予約済み	R	0h	予約済み
5	予約済み	R	0h	予約済み
4	予約済み	R	0h	予約済み
3	予約済み	R	0h	予約済み
2	予約済み	R	0h	予約済み
1	OTW	R	0h	過熱警告ステータス ビット 0h = イベントは検出なし 1h = 過熱警告イベントが検出されました
0	DRV_STAT	R	0h	ドライバインープルスステータスを表示: ドライバは INxx 入力に追従します。 ステータスは 0b で開始されますが、パワーアップ シーケンス完了時に自動的に 1b にセットされます。 0h = ドライバ出力が無効 1h = ドライバ出力が有効

7.1.2 IC_STAT2 レジスタ (オフセット = 1h) [リセット = 0000h]

IC_STAT2 を表 7-4 に示します。

[概略表](#)に戻ります。

表 7-4. IC_STAT2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14	予約済み	R	0h	予約済み
13	予約済み	R	0h	予約済み
12	予約済み	R	0h	予約済み
11	予約済み	R	0h	予約済み
10	SNS_OCP_A	R	0h	位相 A の外部検出抵抗ステータス ビットの過電流 0h = フォルトは未検出 1h = フォルト検出あり
9	SNS_OCP_B	R	0h	位相 B の外部検出抵抗ステータス ビットの過電流 0h = フォルトは未検出 1h = フォルト検出あり
8	予約済み	R	0h	予約済み
7	予約済み	R	0h	予約済み
6	OSD_ACTIVE	R	0h	オフ状態診断がアクティブ (OSD_xx の 1 つ以上が High) 0h = OSD_xx は現在アクティブではない 1h = OSD_xx は現在アクティブ
5	VDS_HA	R	0h	A ハイサイド MOSFET の VDS 過電流ステータス 0h = フォルトは未検出 1h = フォルト検出あり
4	VDS_LA	R	0h	A ローサイド MOSFET の VDS 過電流ステータス 0h = フォルトは未検出 1h = フォルト検出あり
3	VDS_HB	R	0h	B ハイサイド MOSFET の VDS 過電流ステータス 0h = フォルトは未検出 1h = フォルト検出あり
2	VDS_LB	R	0h	B ローサイド MOSFET の VDS 過電流ステータス 0h = フォルトは未検出 1h = フォルト検出あり
1	予約済み	R	0h	予約済み
0	予約済み	R	0h	予約済み

7.1.3 IC_STAT3 レジスタ (オフセット = 2h) [リセット = 0000h]

IC_STAT3 を表 7-5 に示します。

[概略表](#)に戻ります。

表 7-5. IC_STAT3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14	予約済み	R	0h	予約済み
13	予約済み	R	0h	予約済み
12	予約済み	R	0h	予約済み
11	予約済み	R	0h	予約済み
10	予約済み	R	0h	予約済み
9	予約済み	R	0h	予約済み
8	予約済み	R	0h	予約済み
7	予約済み	R	0h	予約済み
6	予約済み	R	0h	予約済み
5	VGS_HA	R	0h	A ハイサイド MOSFET の VDS ゲートドライバ故障ステータス。 0h = フォルトは未検出 1h = フォルト検出あり
4	VGS_LA	R	0h	A ローサイド MOSFET の VDS ゲートドライバ故障ステータス。 0h = フォルトは未検出 1h = フォルト検出あり
3	VGS_HB	R	0h	B ハイサイド MOSFET の VDS ゲートドライバ故障ステータス。 0h = フォルトは未検出 1h = フォルト検出あり
2	VGS_LB	R	0h	B ローサイド MOSFET の VDS ゲートドライバ故障ステータス。 0h = フォルトは未検出 1h = フォルト検出あり
1	予約済み	R	0h	予約済み
0	予約済み	R	0h	予約済み

7.1.4 IC_STAT4 レジスタ (オフセット = 3h) [リセット = 0000h]

IC_STAT4 を表 7-6 に示します。

[概略表](#)に戻ります。

表 7-6. IC_STAT4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14	DVDD_OV	R	0h	DVDD 過電圧検出 0h = イベントは検出なし 1h = DVDD 過電圧イベントを検出
13	VDRAIN_OV	R	0h	VDRAIN 過電圧ステータス 0h = フォルトは未検出 1h = フォルト検出あり
12	VDRAIN_UVH	R	0h	VDRAIN 低電圧ステータス、High スレッショルド 0h = フォルトは未検出 1h = フォルト検出あり
11	VDRAIN_UVL	R	0h	VDRAIN 低電圧ステータス、Low スレッショルド 0h = フォルトは未検出 1h = フォルト検出あり
10	VCP_UV	R	0h	VCP 低電圧ステータス 0h = フォルトは未検出 1h = フォルト検出あり
9	GVDD_OV	R	0h	GVDD 過電圧ステータス 0h = フォルトは未検出 1h = フォルト検出あり
8	GVDD_UVH	R	0h	GVDD 低電圧ステータス、High スレッショルド 0h = フォルトは未検出 1h = フォルト検出あり
7	GVDD_UV_BST	R	0h	GVDD 低電圧ステータス、BST 0h = フォルトは未検出 1h = フォルト検出あり
6	予約済み	R	0h	
5	予約済み	R	0h	
4	VREF_UV	R	0h	VREF 低電圧ステータス 0h = フォルトは未検出 1h = フォルト検出あり
3	BST_TIMEOUT_FLT	R	0h	電源投入時の BST タイムアウト障害 (パワーアップシーケンス中、 BST_UV または VCP_UV のいずれかが約 10ms より長い間 High に維持された) 0h = フォルトは未検出 1h = フォルト検出あり
2	BSTA_UV	R	0h	A ハイサイド MOSFET の BST 低電圧 0h = フォルトは未検出 1h = フォルト検出あり
1	BSTB_UV	R	0h	B ハイサイド MOSFET の BST 低電圧 0h = フォルトは未検出 1h = フォルト検出あり
0	予約済み	R	0h	予約済み

7.1.5 IC_STAT5 レジスタ (オフセット = 4h) [リセット = 0000h]

IC_STAT5 を表 7-7 に示します。

概略表に戻ります。

表 7-7. IC_STAT5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14	予約済み	R	0h	予約済み
13	予約済み	R	0h	
12	予約済み	R	0h	
11	OTSD_TCP	R	0h	過熱シャットダウン TCP ステータスビット 0h = イベントは検出なし 1h = 過熱シャットダウン TCP イベントを検出
10	OTSD	R	0h	過熱シャットダウンステータスビット 0h = イベントは検出なし 1h = 過熱シャットダウンイベントを検出
9	WDT_FLT	R	0h	ウォッチドッグタイマ障害ステータス 0h = フォルトは未検出 1h = フォルト検出あり
8	SPI_PAR_FLT	R	0h	SPI パリティビット障害ステータス 0h = フォルトは未検出 1h = フォルト検出あり
7	SPI_CRC_FLT	R	0h	SPI CRC 故障ステータス 0h = フォルトは未検出 1h = フォルト検出あり
6	SPI_ADDR_FLT	R	0h	SPI アドレス障害ステータス 0h = フォルトは未検出 1h = 無効なレジスタアドレスへのアクセス試行を検出
5	SPI_CLK_FLT	R	0h	SPI クロック障害ステータス 0h = フォルトは未検出 1h = 誤った SCLK サイクル数を検出
4	OTP_CRC_FLT	R	0h	OTP CRC 故障ステータス 0h = フォルトは未検出 1h = デバイスの OTP 設定にフォルトが検出されました。CLR_FLT コマンドを発行するとゲートドライブ出力は有効になりますが、このフォルトレポートビットはラッチされたままになります。
3	DEV_MODE_FLT	R	0h	デバイス モード故障ステータス 0h = フォルトは未検出 1h = フォルト検出あり
2	予約済み	R	0h	
1	STP_FLT	R	0h	シュートスルー保護障害ステータス 0h = フォルトは未検出 1h = シュートスルー入力条件を検出 (INHx/INLx が同時に High)
0	DEADT_FLT	R	0h	デッドタイム保護障害ステータス 0h = フォルトは未検出 1h = 最小デッドタイム違反を検出

7.1.6 IC_STAT6 レジスタ (オフセット = 5h) [リセット = 0000h]

IC_STAT6 を表 7-8 に示します。

[概略表](#)に戻ります。

表 7-8. IC_STAT6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	
14	予約済み	R	0h	
13	予約済み	R	0h	
12	予約済み	R	0h	
11	予約済み	R	0h	
10	予約済み	R	0h	
9	予約済み	R	0h	
8	予約済み	R	0h	
7	VDRAIN_UVOV_RAW	R	0h	VDRAIN OV/UV 監視出力のラッチなしステータスビット 0h = フォルトは未検出 1h = フォルト検出あり
6	GVDD_UVOV_RAW	R	0h	GVDD OV/UV 監視出力のラッチなしステータスビット 0h = フォルトは未検出 1h = フォルト検出あり
5	BST_VCP_UV_RAW	R	0h	BST UV および VCP UV 監視出力のラッチなしステータスビット 0h = フォルトは未検出 1h = フォルト検出あり
4	VREF_UV_RAW	R	0h	VREF UV 監視出力のラッチなしステータスビット 0h = フォルトは未検出 1h = フォルト検出あり
3	DVDD_OV_RAW	R	0h	DVDD OV 監視出力のラッチなしステータスビット 0h = フォルトは未検出 1h = フォルト検出あり
2	OTSD_RAW	R	0h	OTSD 監視出力のラッチなしステータスビット 0h = フォルトは未検出 1h = フォルト検出あり
1	予約済み	R	0h	
0	予約済み	R	0h	

7.2 制御レジスタ

表 7-9 に、制御レジスタ用にメモリマップされたレジスタを示します。表 7-9 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 7-9. 制御レジスタ

オフセット	略称	レジスタ名	セクション
9h	IC_CTRL1	IC 制御レジスタ 1	セクション 7.2.1
Ah	IC_CTRL2	IC 制御レジスタ 2	セクション 7.2.2
Bh	GD_CTRL1	ゲート駆動制御レジスタ 1	セクション 7.2.3
Ch	GD_CTRL2	ゲート駆動制御レジスタ 2	セクション 7.2.4
Dh	GD_CTRL3	ゲート駆動制御レジスタ 3	セクション 7.2.5
Eh	GD_CTRL4	ゲート駆動制御レジスタ 4	セクション 7.2.6
13h	CSA_CTRL1	CSA 制御レジスタ 1	セクション 7.2.7
14h	CSA_CTRL2	CSA 制御レジスタ 2	セクション 7.2.8
15h	MON_CTRL1	モニタ制御レジスタ 1	セクション 7.2.9
16h	MON_CTRL2	モニタ制御レジスタ 2	セクション 7.2.10
17h	MON_CTRL3	モニタ制御レジスタ 3	セクション 7.2.11
18h	MON_CTRL4	モニタ制御レジスタ 4	セクション 7.2.12
19h	MON_CTRL5	モニタ制御レジスタ 5	セクション 7.2.13
1Ah	MON_CTRL6	モニタ制御レジスタ 6	セクション 7.2.14
1Bh	DIAG_CTRL1	診断制御レジスタ 1	セクション 7.2.15
1Ch	IC_CTRL_SP	IC 制御スペシャルレジスタ	セクション 7.2.16

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 7-10 に、このセクションでアクセス タイプに使用しているコードを示します。

表 7-10. 制御アクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

7.2.1 IC_CTRL1 レジスタ (オフセット = 9h) [リセット = 0106h]

IC_CTRL1 を表 7-11 に示します。

概略表に戻ります。

表 7-11. IC_CTRL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	DIS_PWM_INPUT	R/W	0h	PWM 入力を無効化 0h = ゲートドライバ出力は INHx および INL デジタル入力によって制御されます。 1h = INHx および INLx デジタル入力は無視され、ゲートドライバ出力はデフォルトで Low (アクティブプルダウン) にプルされます。
14	WARN_MODE	R/W	0h	警告 nFAULT モード、警告イベントの nFAULT 応答を制御します 0h = 警告応答の nFAULT 通知なし。ステータスフラグが設定されます。 1h = nFAULT は警告応答のため Low に駆動されます。ステータスフラグが設定されます。
13	DIS_SSC	R/W	0h	TI 社内用設計パラメータ: TI から通知を受けない限り、変更は必要ありません。このビットは、デバイスの内部発振器のスペクトラム拡散クロック機能を無効化にします 0h = 通常動作。スペクトラム拡散クロック処理機能を有効化。 1h = TI のデバッグの目的で、拡散スペクトラムクロック処理機能を無効化。
12	予約済み	R	0h	予約済み
11	ASC_LS_FORCE	R/W	0h	LS ASC が有効化されている場合、グローバルシャットダウン以外のすべての条件下 (OCP_VDS_LS_x フォルト下を含む) で LS ASC を強制します。これは HS ASC には影響しません。 0h = LS ASC を強制しない 1h = 上記のとおり LS ASC を強制する
10	ASC_POLARITY	R/W	0h	LS または HS で ASC を実行 0h = すべての LS FET を ON にして ASC を実行 1h = すべての HS FET を ON にして ASC を実行
9	SPI_ASC_EN	R/W	0h	ASC を有効化 (ASCIN ピンと OR) 0h = 通常動作モード 1h = ASC を有効化
8	ASC_PRIORITY	R/W	1h	OTSD、GVDD_UVH、GVDDD_OV、DRVOFF 以外の故障よりも ASC が優先されます。記載のこれら 3 つの故障は、常に ASC より優先されません。 0h = すべての故障よりも ASC を優先 1h = OTSD、GVDD_UVH、DRVOFF 以外の故障よりも ASC が優先されます (デフォルト)
7	予約済み	R	0h	予約済み
6	予約済み	R	0h	予約済み
5	予約済み	R	0h	予約済み
4	予約済み	R	0h	予約済み
3-1	LOCK	R/W	3h	レジスタ設定をロックおよびロック解除します。リストされていないビット設定は効果がありません。 3h = すべてのレジスタをロック解除します。 6h = これらのビット以外のレジスタへの書き込みを無視して設定をロックします。

表 7-11. IC_CTRL1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	CLR_FLT	R/W	0h	<p>故障をクリア。故障イベントが検出され、故障フラグが設定された後で、最初に CLR_FLT コマンドを発行し、次に別の SPI フレームで ENABLE_DRV コマンドを発行することを推奨します。CLR_FLT コマンドと ENABLE_DRV コマンドが同じ SPI フレーム内で発行されると、CLR_FLT はより優先度が高くなり、故障フラグがすでにラッチされており、デバイスが CLR_FLT を待機している場合、ENABLE_DRV はセットされません。</p> <p>0h = 動作なし 1h = 故障クリア。このビットは自動クリアされませんが、フォルトクリア動作は、このレジスタ/ビットが書き込まれたときに 1 回のみ実行されます。</p>

7.2.2 IC_CTRL2 レジスタ (オフセット = Ah) [リセット = 0000h]

IC_CTRL2 を表 7-12 に示します。

[概略表](#)に戻ります。

表 7-12. IC_CTRL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14	予約済み	R	0h	予約済み
13	予約済み	R	0h	予約済み
12	予約済み	R	0h	予約済み
11	予約済み	R	0h	予約済み
10	予約済み	R	0h	予約済み
9	予約済み	R	0h	予約済み
8	予約済み	R	0h	予約済み
7	予約済み	R	0h	予約済み
6	TCP_SW_CURLIM	R/W	0h	TCP_SW_DLY 後の TCP スイッチ電流制限 0h = 1.25mA (標準値) 1h = 2.3mA (標準値)
5-4	TCP_SW_HD_CURLIM	R/W	0h	High デューティサイクルの TCP スイッチ HD 電流制限 (TCP_HD_DIS = 0) 0h = 7.7mA (標準値) 1h = 6.4mA (標準値) 2h = 10.5mA (標準値) 3h = 9.2mA (標準値)
3	TCP_SW_DLY	R/W	0h	本デバイスが PWM 非アクティブを検出してから、トリクル チャージ ポンプがアクティブになるまでの遅延時間 (INHx=INLx = Low) 0h = 100us (代表値) 1h = 250us (代表値)
2	TCP_HD_DIS	R/W	0h	VCP/TCP High デューティが無効 0h = TCP High デューティサイクルが有効 1h = TCP High デューティサイクルが無効
1-0	TCP_SW_MODE	R/W	0h	VCP/TCP モード制御 0h = VCP/TCP の通常動作。電源投入時に VCP/TCP が有効になります。TCP SW は PWM 入力に応答します。SPI DIS_PWM_INPUT が 1 の場合、TCP SW が有効になります。DRVOFF が High であり、システムがデバイスに BST コンデンサを充電状態に維持する必要がある場合、TCP_SW_MODE が 00b である必要があります。 1h = VCP/CPTH - Shx スイッチを無効化。VCP/TCP チャージ ポンプ クロックがアクティブ。 2h = VCP/TCP シャットダウン。VCP/CPTH-SHx スイッチと VCP/TCP チャージ ポンプ クロックの両方が無効になります。 3h = VCP/TCP の通常動作。電源投入時に VCP/TCP が有効になります。

7.2.3 GD_CTRL1 レジスタ (オフセット= Bh) [リセット= 0038h]

GD_CTRL1 を表 7-13 に示します。

概略表に戻ります。

表 7-13. GD_CTRL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14	予約済み	R	0h	予約済み
13-12	予約済み	R	0h	予約済み
11	予約済み	R	0h	予約済み
10	予約済み	R	0h	予約済み
9-8	PWM_MODE	R/W	0h	PWM モード 0h = 4x PWM モード (INHx/INLx) 1h = INLx 有効化制御付き 2x PWM モード 2h = 予約済み 3h = 予約済み。使用禁止。この設定が有効な場合、シュートスルーが発生するリスクがあります。
7	STP_MODE_4X	R/W	0h	4xPWM モードでの STP 故障通知の制御 0h = 通知が有効 (出力を Low に強制) 1h = 通知が無効 (出力を Low に強制)
6-3	DEADT	R/W	7h	ゲートドライバ デッドタイム 0h = 70ns 1h = 120ns 2h = 180ns 3h = 300ns 4h = 400ns 5h = 500ns 6h = 600ns 7h = 750ns 8h = 1000ns 9h = 1.5us Ah = 2us Bh = 2.5us Ch = 3us Dh = 3.5us Eh = 5us Fh = 10us
2	DEADT_MODE	R/W	0h	開ループ/閉ループ 0h = デバイス入力 (INHx または INLx) が Low になるとデッドタイムが挿入されます 1h = ゲートドライバ出力 (GHx または GLx) を監視することでデッドタイムが挿入されます

表 7-13. GD_CTRL1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1-0	DEADT_MODE_4X	R/W	0h	<p>4x PWM モードでのみ有効な、デッドタイム違反応答モード。注: 4x PWM モード以外では、DEADT_MODE ビットに関係なくデッドタイムは常に挿入され、マイコンへは故障は通知されません。</p> <p>0h = デッドタイム保護を有効化。通知が実行されます。ゲートドライバ制御信号は、デッドタイム期間中は強制的に Low になります。デッドタイム状態が検出されると、SPI 故障フラグがセットされ、nFAULT ピンが Low に駆動されます。</p> <p>1h = デッドタイム保護を有効化。通知は実行されません。ゲートドライバ制御信号は、デッドタイム期間中は強制的に Low になります。デッドタイム状態が検出されると、SPI 故障フラグは設定されず、nFAULT ピンは High のままです。</p> <p>2h = デッドタイム保護を無効化。デッドタイムは挿入されません。SPI 故障フラグは設定されず、nFAULT ピンは High のままとなります。これは、DEADT_MODE が 0b (INH または INL の監視) と 1b (GHx または GLx の監視) の場合の両方に適用されます。</p> <p>3h = デッドタイム保護が有効化され、SPI 故障がセットされていますが、nFAULT 通知は実行されません。デッドタイム期間中、ゲートドライバ出力は強制的に Low になります。デッドタイム状態が検出されると、nFAULT ピンは High のままです。</p>

7.2.4 GD_CTRL2 レジスタ (オフセット = Ch) [リセット = 7700h]

GD_CTRL2 を表 7-14 に示します。

概略表に戻ります。

表 7-14. GD_CTRL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	TDRV_P	R/W	7h	ピークソース プルアップ駆動タイミング 0h = 200ns 1h = 300ns 2h = 400ns 3h = 500ns 4h = 650ns 5h = 750ns 6h = 900ns 7h = 1000ns 8h = 1.4us 9h = 1.6us Ah = 2us Bh = 2.2us Ch = 2.6us Dh = 3us Eh = 3.5us Fh = 4us
11-8	TDRV_N	R/W	7h	ピークシンクプルダウン駆動タイミング 0h = 200ns 1h = 300ns 2h = 400ns 3h = 500ns 4h = 650ns 5h = 750ns 6h = 900ns 7h = 1000ns 8h = 1.4us 9h = 1.6us Ah = 2us Bh = 2.2us Ch = 2.6us Dh = 3us Eh = 3.5us Fh = 4us
7	予約済み	R	0h	予約済み
6	予約済み	R	0h	予約済み
5	予約済み	R	0h	予約済み
4	IHOLD_SEL	R/W	0h	IHOLD プルアップおよびプルダウン電流を選択します。PWM が非アクティブ (ENABLE_DRV が 0b) の間、IHOLD_SEL ビットを設定する必要があります。 0h = IHOLD プルアップ 1024mA (typ) 1h = IHOLD プルアップ 256mA (typ)
3	予約済み	R	0h	予約済み
2-0	IDRVN_SD	R/W	0h	ソフト シャットダウン時のドライブ電流。 0h = 32mA 1h = 64mA 2h = 128mA 3h = 192mA 4h = 256mA 5h = 320mA 6h = 384mA 7h = 448mA

7.2.5 GD_CTRL3 レジスタ (オフセット = Dh) [リセット = 0000h]

GD_CTRL3 を表 7-15 に示します。

[概略表](#)に戻ります。

表 7-15. GD_CTRL3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	
14-12	IDRVP_HA	R/W	0h	ハイサイド A のピーク ソース プルアップ 電流。 0h = 16mA 1h = 32mA 2h = 64mA 3h = 96mA 4h = 128mA 5h = 160mA 6h = 192mA 7h = 224mA
11	予約済み	R	0h	
10-8	IDRVN_HA	R/W	0h	ハイサイド A のピーク シンク プルダウン 電流。 0h = 32mA 1h = 64mA 2h = 128mA 3h = 192mA 4h = 256mA 5h = 320mA 6h = 384mA 7h = 448mA
7	予約済み	R	0h	
6-4	IDRVP_LA	R/W	0h	ローサイド A のピーク ソース プルアップ 電流。 0h = 16mA 1h = 32mA 2h = 64mA 3h = 96mA 4h = 128mA 5h = 160mA 6h = 192mA 7h = 224mA
3	予約済み	R	0h	
2-0	IDRVN_LA	R/W	0h	ローサイド A のピーク シンク プルダウン 電流。 0h = 32mA 1h = 64mA 2h = 128mA 3h = 192mA 4h = 256mA 5h = 320mA 6h = 384mA 7h = 448mA

7.2.6 GD_CTRL4 レジスタ (オフセット = Eh) [リセット = 0000h]

GD_CTRL4 を表 7-16 に示します。

[概略表](#)に戻ります。

表 7-16. GD_CTRL4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	
14-12	IDRVP_HB	R/W	0h	ハイサイド B のピーク ソース プルアップ 電流。 0h = 16mA 1h = 32mA 2h = 64mA 3h = 96mA 4h = 128mA 5h = 160mA 6h = 192mA 7h = 224mA
11	予約済み	R	0h	
10-8	IDRVN_HB	R/W	0h	ハイサイド B のピーク シンク プルダウン 電流。 0h = 32mA 1h = 64mA 2h = 128mA 3h = 192mA 4h = 256mA 5h = 320mA 6h = 384mA 7h = 448mA
7	予約済み	R	0h	
6-4	IDRVP_LB	R/W	0h	ローサイド B のピーク ソース プルアップ 電流。 0h = 16mA 1h = 32mA 2h = 64mA 3h = 96mA 4h = 128mA 5h = 160mA 6h = 192mA 7h = 224mA
3	予約済み	R	0h	
2-0	IDRVN_LB	R/W	0h	ローサイド B のピーク シンク プルダウン 電流。 0h = 32mA 1h = 64mA 2h = 128mA 3h = 192mA 4h = 256mA 5h = 320mA 6h = 384mA 7h = 448mA

7.2.7 CSA_CTRL1 レジスタ (オフセット = 13h) [リセット = 0000h]

CSA_CTRL1 を表 7-17 に示します。

概略表に戻ります。

表 7-17. CSA_CTRL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14	予約済み	R	0h	予約済み
13	予約済み	R	0h	予約済み
12	予約済み	R	0h	予約済み
11	予約済み	R	0h	予約済み
10	予約済み	R	0h	予約済み
9	予約済み	R	0h	予約済み
8	予約済み	R	0h	予約済み
7	予約済み	R	0h	予約済み
6	予約済み	R	0h	予約済み
5-4	CSA_AZ_TMAX	R/W	0h	PWM 入力スイッチングがない場合に CSA_CLK を切り替えるまでの最大遅延 0h = 250us 1h = 1ms 2h = 5ms 3h = 遅延なし
3	CSA_AZ_DIS	R/W	0h	電流センス アンプの自動ゼロ機能無効化 0h = CSA 自動ゼロ機能有効化。このビットは、通常の PWM/CSA 動作中は 0b に設定する必要があります。 1h = CSA 自動ゼロ機能無効化。このビットの目的は、自動ゼロ機能のために電流検出アンプのスイッチング動作を無効にすることです。このビットを使用する場合は、タイミング要件を参照してください。
2	CSA_A_DIS	R/W	0h	CSA チャンネル A を無効化 0h = CSA チャンネルを有効化 1h = CSA チャンネル A を無効化
1	CSA_B_DIS	R/W	0h	CSA チャンネル B を無効化 0h = CSA チャンネル B を有効化 1h = CSA チャンネル B を無効化
0	予約済み	R	0h	予約済み

7.2.8 CSA_CTRL2 レジスタ (オフセット = 14h) [リセット = 0000h]

CSA_CTRL2 を表 7-18 に示します。

[概略表](#)に戻ります。

表 7-18. CSA_CTRL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	AREF_DIV	R/W	0h	VREF の分割比 0h = 1/2 1h = 1/8
14	予約済み	R	0h	予約済み
13	予約済み	R	0h	予約済み
12	予約済み	R	0h	予約済み
11-8	WDT_TEST	R/W	0h	SPI テスト フィールドであり、ここへの書き込みアクセスはデバイス設定に影響しません。また WDT にも使用され、正しいウィンドウ内でこのフィールドに有効な SPI 書き込みが行われると、ウォッチドッグ タイマがリセットされます。
7	予約済み	R	0h	予約済み
6	予約済み	R	0h	予約済み
5-4	CSA_GAIN_A	R/W	0h	SOA の CSA ゲイン。GAIN は PWM 動作中に更新できます。未定義の設定 (1001b ~ 1111b) は 40 です。 0h = 5 1h = 10 2h = 20 3h = 40
3-2	CSA_GAIN_B	R/W	0h	SOB の CSA ゲイン。GAIN は PWM 動作中に更新できます。未定義の設定 (1001b ~ 1111b) は 40 です。 0h = 5 1h = 10 2h = 20 3h = 40
1-0	予約済み	R	0h	予約済み

7.2.9 MON_CTRL1 レジスタ (オフセット = 15h) [リセット = 4000h]

MON_CTRL1 を表 7-19 に示します。

概略表に戻ります。

表 7-19. MON_CTRL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	VDRAIN_OV_LVL	R/W	1h	VDRAIN 過電圧スレッショルド レベル 0h = 58 V 1h = 60 V 2h = 62 V 3h = 81.5 V
13-12	VDRAIN_UVH_LVL	R/W	0h	VDRAIN UV の High スレッショルドレベル 0h = 18 V 1h = 20 V 2h = 22 V 3h = 24 V
11	VDRAIN_UVL_LVL	R/W	0h	VDRAIN UV の Low スレッショルドレベル 0h = 10.5 V 1h = 5.55 V
10-8	VDRAIN_OV_MODE	R/W	0h	ASC モードに設定した場合: HS または LS ASC は ASC_POLARITY ビットから適用。VDRAIN_OV = 1 であり VDS 応答で WPD の場合は、ASC_POLARITY に関係なく ASC と LS APD を適用 (WPD なし) 0h = 警告モード (ラッチ) 1h = 故障モード (ラッチ) 2h = ASC モード (ラッチ、ASC_POLARITY または VDS 故障に基づく HS または LS) 3h = ASC モード (オートリカバリ、ASC_POLARITY または VDS 故障に基づく HS または LS) 4h = デフォルトモード 5h = デフォルトモード 6h = デフォルトモード 7h = レポートなし。シャットダウンなし。
7-6	VDRAIN_UVH_MODE	R/W	0h	低電圧監視用 VDRAIN 監視モード 0h = 警告モード (ラッチ) 1h = 故障モード (ラッチ) 2h = 警告モード (オートリカバリ) 3h = レポートなし。シャットダウンなし。
5-4	VDRAIN_UVL_MODE	R/W	0h	低電圧監視用 VDRAIN 監視モード 0h = 警告モード (ラッチ) 1h = 故障モード (ラッチ) 2h = 警告モード (オートリカバリ) VDS 故障が無効化 3h = レポートなし。シャットダウンなし。
3	GVDD_UVH_MODE	R/W	0h	GVDD_UVH 監視モード 0h = 警告モード (ラッチ) 1h = 故障モード (ラッチ)
2-1	GVDD_UV_BST_MODE	R/W	0h	GVDD_UV_BST 監視モード。WARN_MODE に関係なく nFAULT は High のままです。 0h = 警告モード (オートリカバリ)。VCP_UV 入力は無効なままで、BST_UV_LVL の強制なし 1h = 警告スペシャルモード (ラッチ)、VCP_UV 入力は無効、BST_UV_LVL は 1 2h = 警告スペシャルモード (オートリカバリ)、VCP_UV 入力は無効、BST_UV_LVL は 1 3h = レポートなし。動作なし。
0	GVDD_UV_BST_LVL	R/W	0h	GVDD_UV_BST 監視スレッショルドレベル。 0h = 10.6V (標準値) 1h = 9.6V (標準値)

7.2.10 MON_CTRL2 レジスタ (オフセット = 16h) [リセット = 8003h]

MON_CTRL2 を表 7-20 に示します。

概略表に戻ります。

表 7-20. MON_CTRL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	GVDD_OV_MODE	R/W	1h	過電圧監視の GVDD 監視モード 0h = 警告モード (ラッチ) 1h = 故障モード (ラッチ)
14	VDRAIN_UVL_MASK	R/W	0h	有効な場合、初回電源投入シーケンス中は VDRAIN_UVL をマスクします。 0h = 通常動作 1h = 最初の電源オンシーケンスの間に VDRAIN_UVL がマスクされます
13	予約済み	R	0h	予約済み
12	予約済み	R	0h	予約済み
11	SNS_OCP_STD_SHD	R/W	0h	SNS_OCP 故障のシャットダウンタイプ 0h = ソフト シャットダウン シーケンス (IDRIVENSND の使用) 1h = 標準シャットダウン シーケンス (IDRIVEN の使用)
10	SNS_OCP_A_EN	R/W	0h	チャンネル A のシャント OCP 有効 0h = チャンネル A のシャント OCP を無効化 1h = チャンネル A のシャント OCP を有効化
9	SNS_OCP_B_EN	R/W	0h	チャンネル B のシャント OCP 有効 0h = チャンネル B のシャント OCP を無効化 1h = チャンネル B のシャント OCP を有効化
8	予約済み	R	0h	予約済み
7	SNS_OCP_LVL	R/W	0h	V _{SENSE} 過電流保護のスレッショルド電圧 (シャント OCP)スレッショルドは VREF の %として表されます。 0h = VREF-GND の 80%/20% 1h = VREF-GND の 90%/10%
6	予約済み	R	0h	予約済み
5	SNS_OCP_TRETRY	R/W	0h	センス OCP リトライ時間 0h = 1ms 1h = 9ms
4-2	SNS_OCP_MODE	R/W	0h	V _{SENSE} 過電流保護の監視モード (Rshunt 監視) 0h = 警告モード (ラッチ) 1h = 故障モード (ラッチ) 2h = 警告モード (オートリカバリ) 3h = 故障モード (オートリカバリ) 4h = 制限モード (オートリカバリ CBC) 5h = デフォルトモード 6h = デフォルトモード 7h = レポートなし。シャットダウンなし。
1-0	SNS_OCP_DEG	R/W	3h	V _{SENSE} 過電流保護のデグリッチ時間 (Rshunt 監視) 0h = 3.0us (代表値) 1h = 6.0us (代表値) 2h = 9.0us (代表値) 3h = 12.0us (代表値)

7.2.11 MON_CTRL3 レジスタ (オフセット = 17h) [リセット = 5101h]

MON_CTRL3 を表 7-21 に示します。

[概略表](#)に戻ります。

表 7-21. MON_CTRL3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	VDS_MODE	R/W	1h	VDS 過電流モード 0h = 警告モード (ラッチ) 1h = 故障モード (ラッチ) 2h = デフォルトモード 3h = レポートなし。シャットダウンなし。
13-11	VDS_VGS_BLK	R/W	2h	VDS 過電流および VGS ブランキング時間 0h = 150ns 1h = 500ns 2h = 1us 3h = 2us 4h = 6us 5h = 8us 6h = 10us 7h = 12us
10-8	VDS_DEG	R/W	1h	VDS 過電流デグリッチ時間 0h = 500ns 1h = 1us 2h = 1.5us 3h = 2us 4h = 4us 5h = 6us 6h = 8us 7h = 8us
7-6	VGS_MODE	R/W	0h	VGS モニタ モード 0h = 警告モード (ラッチ) 1h = 故障モード (ラッチ) 2h = デフォルトモード 3h = レポートなし。シャットダウンなし。
5	予約済み	R	0h	予約済み
4	予約済み	R	0h	予約済み
3	予約済み	R	0h	予約済み
2-0	VGS_DEG	R/W	1h	VGS 監視デグリッチ時間 0h = 500ns 1h = 1us 2h = 1.5us 3h = 2us 4h = 2us 5h = 2us 6h = 2us 7h = 2us

7.2.12 MON_CTRL4 レジスタ (オフセット = 18h) [リセット = 0000h]

MON_CTRL4 を表 7-22 に示します。

概略表に戻ります。

表 7-22. MON_CTRL4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14	予約済み	R	0h	予約済み
13	予約済み	R	0h	予約済み
12	予約済み	R	0h	予約済み
11	予約済み	R	0h	予約済み
10	予約済み	R	0h	予約済み
9	予約済み	R	0h	予約済み
8	予約済み	R	0h	予約済み
7	予約済み	R	0h	予約済み
6	予約済み	R	0h	予約済み
5	WDT_FLT_MODE	R/W	0h	ウォッチドッグ時間故障モード 0h = 警告モード (ラッチ) 1h = 故障モード (ラッチ)。ゲートドライバ シャットダウン。
4	WDT_CNT	R/W	0h	ウォッチドッグ時間故障カウント 0h = 1 回の WDT 障害によりステータス フラグが報告され、nFAULT1 ピンが Low にアサートされます。 1h = 3 回連続する故障通知ステータス フラグ、nFAULT ピンが Low にアサートされます。3 つの故障が連続して検出されると、内部カウンタは 0 にクリアされます。WDT_EN が 0b にクリアされていれば、内部カウンタもクリアできます。
3	WDT_MODE	R/W	0h	ウォッチドッグ時間モード 0h = 有効な読み取りアクセスによって、ウォッチドッグ タイマがリセットされます 1h = CSA_CTRL2 への有効な書き込みアクセスは、ウォッチドッグタイマをリセットします
2-1	WDT_W	R/W	0h	ウォッチドッグタイマウィンドウ tWDL (下側ウィンドウ) および tWDU (上側ウィンドウ) 0h = tWDL 0.5ms tWDU 10ms 1h = tWDL 1ms tWDU 20ms 2h = tWDL 2ms tWDU 40ms 3h = tWDL 2ms tWDU 40ms
0	WDT_EN	R/W	0h	ウォッチドッグ時間有効化 0h = ウォッチドッグ タイマを無効化。 1h = ウォッチドッグ タイマを有効化。

7.2.13 MON_CTRL5 レジスタ (オフセット = 19h) [リセット = 0000h]

MON_CTRL5 を表 7-23 に示します。

[概略表](#)に戻ります。

表 7-23. MON_CTRL5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14	予約済み	R	0h	予約済み
13	予約済み	R	0h	予約済み
12	予約済み	R	0h	予約済み
11	予約済み	R	0h	予約済み
10	予約済み	R	0h	予約済み
9	予約済み	R	0h	予約済み
8	予約済み	R	0h	予約済み
7	予約済み	R	0h	予約済み
6	DVDD_OV_MODE	R/W	0h	過電圧用 DVDD 監視 0h = 警告モード (ラッチ) 1h = 故障モード (ラッチ)
5-4	VCP_UV_MODE	R/W	0h	低電圧監視の VCP 監視モード 0h = 警告モード (ラッチ) 1h = 故障モード (ラッチ、TCP オン) 2h = 故障モード (ラッチ、TCP オフ) 3h = レポートなし。シャットダウンなし。
3	BST_UV_LVL	R/W	0h	BST ピンの低電圧スレッショルド レベル V_{BST_UV} 0h = 6.0V (標準値) 1h = 5.0V (標準値)
2-0	BST_UV_MODE	R/W	0h	BST ピン UV 監視モード。 0h = 警告モード (ラッチ) 1h = 故障モード (リアルタイム) HS アクティブ PD 2h = 故障モード (リアルタイム) HS 弱 PD 3h = 故障モード (ラッチ) HS アクティブ PD 4h = 故障モード (ラッチ) HS 弱 PD 5h = 故障モード (ラッチ) HS 弱 PD、TCP_SW オフ 6h = デフォルトモード 7h = レポートなし。動作なし。

7.2.14 MON_CTRL6 レジスタ (オフセット = 1Ah) [リセット = 2000h]

MON_CTRL6 を表 7-24 に示します。

概略表に戻ります。

表 7-24. MON_CTRL6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14	予約済み	R	0h	予約済み
13	ALL_CH	R/W	1h	すべてのチャンネル シャットダウン有効化 0h = VDS、VGS、SNS_OCP に応答して、関連する障害のあるハーフブリッジがシャットダウン (アクティブ プルダウン)。両チャンネルで故障が発生した後、nFAULT は Low になります。PWM を再起動する復帰シーケンスの場合、MCU は CLR_FLT を使用します。 1h = VDS、VGS、および SNS_OCP に応答して、両ハーフブリッジがシャットダウン (セミアクティブ プルダウン)。1 つまたは両方のチャンネルで故障が発生した場合、nFAULT は Low になります。
12	予約済み	R	0h	予約済み
11-8	VDS_LVL_A	R/W	0h	位相 A の VDS 過電流スレッショルド 0h = 100 mV 1h = 150 mV 2h = 200 mV 3h = 300 mV 4h = 400 mV 5h = 500 mV 6h = 600 mV 7h = 700 mV 8h = 800 mV 9h = 900 mV Ah = 1.0V Bh = 1.5V Ch = 2.0V
7-4	VDS_LVL_B	R/W	0h	位相 B の VDS 過電流スレッショルド 0h = 100 mV 1h = 150 mV 2h = 200 mV 3h = 300 mV 4h = 400 mV 5h = 500 mV 6h = 600 mV 7h = 700 mV 8h = 800 mV 9h = 900 mV Ah = 1.0V Bh = 1.5V Ch = 2.0V
3-0	予約済み	R	0h	予約済み

7.2.15 DIAG_CTRL1 レジスタ (オフセット = 1Bh) [リセット = 0000h]

DIAG_CTRL1 を表 7-25 に示します。

[概略表](#)に戻ります。

表 7-25. DIAG_CTRL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14	予約済み	R	0h	予約済み
13	予約済み	R	0h	予約済み
12	予約済み	R	0h	予約済み
11	予約済み	R	0h	予約済み
10	予約済み	R	0h	予約済み
9-8	予約済み	R	0h	予約済み
7	TCP_LL_MODE	R/W	0h	位相診断の TCP_SWITCH 電流制限を低減 0h = 通常の TCP_SWITCH 電流制限 1h = TCP_SWITCH の電流制限を低減 (230uA、標準値)
6	OSD_LL	R/W	0h	ブリドライバの有効 / 無効時におけるオフ状態診断の低リーケージ 0h = 位相診断中に PWM 生成を許容 1h = 位相診断中に PWM 生成を許容しない
5	OSD_HA	R/W	0h	位相 A のオフ状態診断用プルアップを有効化 0h = 診断電流ソースを無効化 1H = 診断電流ソースを有効化
4	OSD_LA	R/W	0h	位相 A のオフ状態診断用プルダウンを有効化 0h = 診断電流ソースを無効化 1H = 診断電流ソースを有効化
3	OSD_HB	R/W	0h	位相 B のオフ状態診断用プルアップを有効化 0h = 診断電流ソースを無効化 1H = 診断電流ソースを有効化
2	OSD_LB	R/W	0h	位相 B のオフ状態診断用プルダウンを有効化 0h = 診断電流ソースを無効化 1H = 診断電流ソースを有効化
1	予約済み	R	0h	予約済み
0	予約済み	R	0h	予約済み

7.2.16 IC_CTRL_SP レジスタ (オフセット = 1Ch) [リセット = 0805h]

IC_CTRL_SP を表 7-26 に示します。

[概略表](#)に戻ります。

表 7-26. IC_CTRL_SP レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14	予約済み	R	0h	予約済み
13	SPI_CRC_EN	R/W	0h	SPI CRC を有効化 0h = CRC なし、24 ビットフレーム 1h = CRC 有効、32 ビットフレーム
12	DVDD_LVL	R/W	0h	LDO 出力電圧を制御するビット 0h = 3.3 V 1h = 5 V
11	OTSD_MODE	R/W	1h	過熱シャットダウン モード 0h = 警告モード (ラッチ) 1h = 故障モード (ラッチ)
10	予約済み	R	0h	予約済み
9	予約済み	R	0h	予約済み
8	予約済み	R	0h	予約済み
7	予約済み	R	0h	予約済み
6	予約済み	R	0h	予約済み
5	予約済み	R	0h	予約済み
4	予約済み	R	0h	予約済み
3	予約済み	R	0h	予約済み
2-0	LOCK2	R/W	5h	レジスタ をロック解除およびロックします。リストされていないビット設定は効果があり ません。 2h = このレジスタをロック解除 5h = これらのビット以外の追加の書き込みを無視することで、このレジスタ の設定をロックします。

8 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

DRV8762-Q1 は主に、H ブリッジのブラシ付き DC モーター制御アプリケーションで使用されます。「[セクション 8.2](#)」セクションの設計手順では、デバイスの使用方法と設定方法を中心に説明します。

8.2 代表的なアプリケーション

8.2.1 48 ピン パッケージを使用した代表的なアプリケーション

図は、DRV8762-Q1 48 ピン パッケージの代表的なアプリケーション図を示しています。

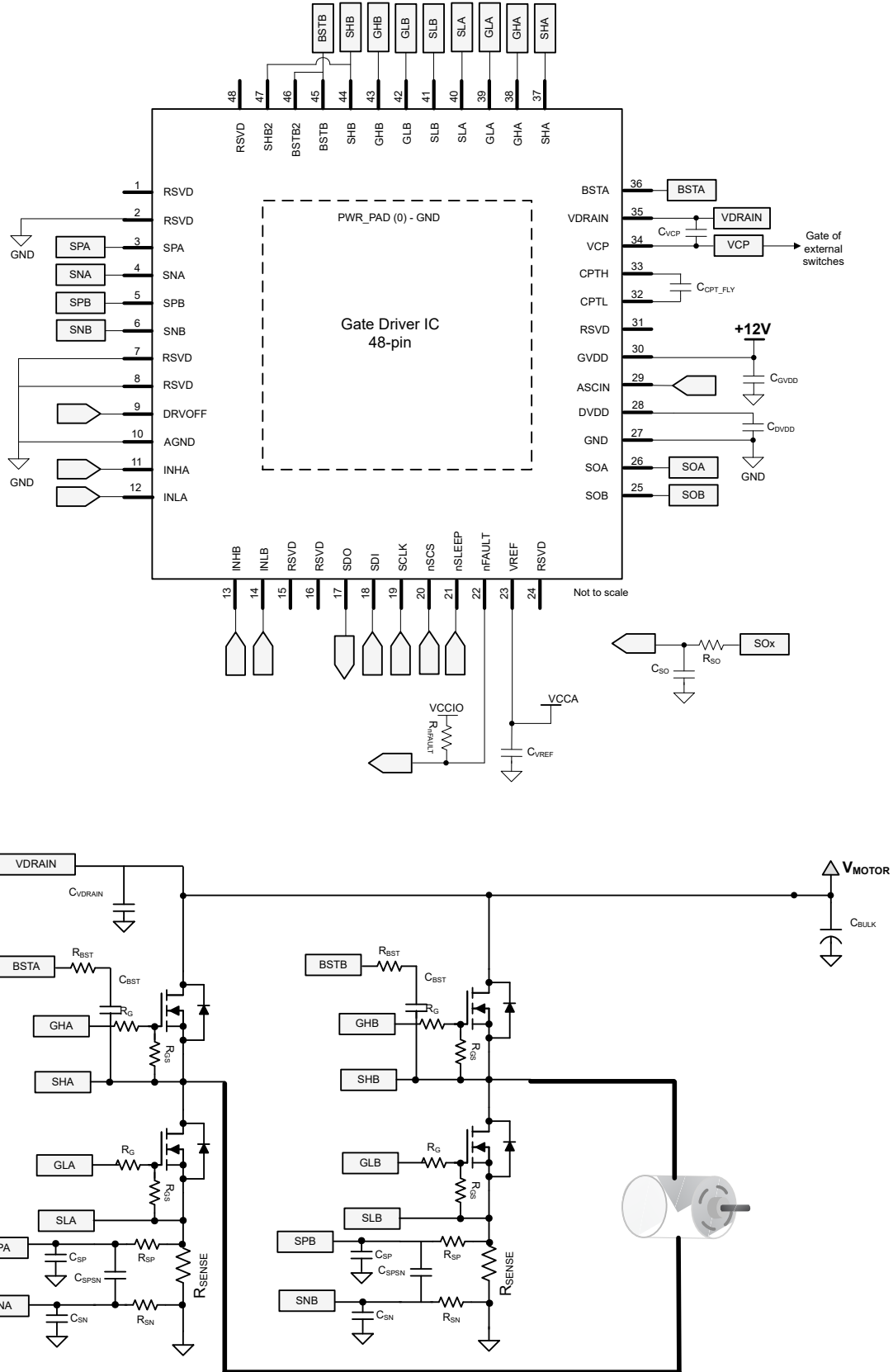


図 8-1. DRV8762-Q1 の代表的なアプリケーション回路

8.2.1.1 外付け部品

「外付け部品」には、推奨外付け部品が一覧表示されます。

表 8-1. 外付け部品 (48 ピン パッケージ)

部品	PIN1	PIN2	推奨
C _{GVDD}	GVDD	GND	GVDD 定格の 10μF セラミック コンデンサ。
C _{DVDD}	DVDD	GND	DVDD 電圧定格の 1.0μF セラミック コンデンサ
C _{CPT_FLY}	CPTH	CPTL	GVDD 電圧定格の 1.0μF セラミック コンデンサ
C _{VCP}	VCP	VDRAIN	GVDD 電圧定格の 1.0μF セラミック コンデンサ
R _{nFAULT}	VCCIO	nFAULT	10kΩ は MCU I/O 電源または DVDD をプルアップ
C _{VREF}	VREF	GND	VREF 電圧定格の 0.1-μF セラミック コンデンサ
C _{BULK}	V _{MOTOR}	GND	100μF ~ 1000μF は V _{MOTOR} 定格です。システム構成に応じて異なります
C _{VDRAIN}	VDRAIN	GND	1μF は VDRAIN に定格規定されています
C _{BST}	BSTx	SHx	1.0μF、20V BSTx と Shx の間のセラミック コンデンサは、外部 MOSFET の合計ゲート電荷 Q _g に依存します。C _{BST} > 40 X Q _g / (V _{GHx} - V _{SHx})
R _{BST}	BSTx	SHx	オプション: BSTx と Shx との間に 3Ω の直列抵抗を接続することで SHx ピンに大きな負の過渡電圧が発生した場合に C _{BST} が過充電されるのを防止します。
R _G	GHx, GLx	外部 MOSFET のゲート	オプション: GHx/GLx と外部 MOSFET のゲートの間に 2Ω の直列抵抗。
R _{GS}	GHx, GLx	外部 MOSFET のソース	オプション: 外部 MOSFET の GHx/GLx とソースの間の 100kΩ プルダウン抵抗。
R _{SENSE}	SPX	SNX	電流検出アンプ用の 0.5mΩ ショット抵抗。システム設計パラメータ。
R _{SO}	MCU ADC	SOx	電流センスアンプ出力フィルタ用 160Ω
C _{SO}	MCU ADC	GND	電流センスアンプ出力フィルタ用 VREF 定格 470pF セラミックコンデンサ
R _{SP} , R _{SN}	SPx/SNx	R _{SENSE}	オプション: 電流センスアンプ入力フィルタ用 10Ω。
C _{SPSN}	SPX	SNX	オプション: 電流センスアンプ入力フィルタ用 1nF セラミックコンデンサ。
C _{SP} , C _{SN}	SPx/SNx	GND	オプション: 電流センスアンプ入力フィルタ用 1nF セラミックコンデンサ。

8.3 レイアウト

8.3.1 レイアウトのガイドライン

- GHx, SHx, GLx, SLx のパターンの長さインピーダンスを最小化します。寄生インダクタンスを最小化するため、できるだけ少数のビアを使用します。TI では、寄生抵抗を最小限に抑えるため、デバイスピンから離して配線した直後にこれらのトレース幅を 15 ~ 20mil (0.381 ~ 0.508mm) 広げることを推奨しています (1mil は 1/1000 インチ)。
- BSTx コンデンサは対応するピンの近くに配置します。TI では、寄生ビアのインダクタンスを回避するため、このコンデンサを PCB の同じ側に配置することを強く推奨しています。
- CPTH/CPTL フライイングコンデンサは、デバイスのピンにできるだけ近づけて配置します。TI では、寄生ビアのインダクタンスを回避するため、このコンデンサを PCB の同じ側に配置することを強く推奨しています。
- GVDD コンデンサは、GVDD のピンの近くに配置します。TI では、寄生ビアのインダクタンスを回避するため、このコンデンサを PCB の同じ側に配置することを強く推奨しています。
- DVDD コンデンサは、DVDD のピンの近くに配置します。TI では、寄生ビアのインダクタンスを回避するため、このコンデンサを PCB の同じ側に配置することを強く推奨しています。さらに、DVDD コンデンサの GND リターン接続は、DVDD レギュレターループに寄生インダクタンスと抵抗が加わるのを避けるため、隣接する GND ピンに直接配線します。

- VDRAIN 接続は、VDS の精度を維持するために、2 位相の「平均」を観測するように配線されています。TI では、VDRAIN への入力を安定させ、ピンの絶対最大定格を超えないようにするため、VDRAIN をハイサイドバルク容量の近くに接続することも推奨しています。チャージポンプに安定したスイッチング電流を供給するために、VDRAIN コンデンサを VDRAIN ピンの近くに配置します。
- 外部 MOSFET 上の高電流パスをバイパスするために、追加のバルク容量が必要です。このバルク容量は、バルク容量が外部 MOSFET を通過する高電流パスの長さを最小化するように配置されています。接続用の金属パターンはできる限り幅広くし、PCB の層間を多数のビアで接続します。これらの手法により、インダクタンスが最小限に抑えられ、バルクコンデンサが高電流を伝達できるようになります。
- VDS を正確に検出して過渡抵抗を向上させるため、SLx ピンを GND に直接接続しないで MOSFET の各ソースに接続します。
- SNX/SPX ピンは、センス抵抗からデバイスに並列に配線します。フィルタリング後のノイズ結合を最小限に抑えるため、デバイスのピンの近くにフィルタコンポーネントを配置します。最高の CSA 精度を実現するには、SNx/SPx が GND プレーンから離れていることを確認してください。
- フィルタリング後のノイズ結合を最小限に抑えるため、MCU/ADC 入力の近くに SO フィルタコンポーネントを配置します。
- 露出したパッドは、電氣的なグラウンドではなく、放熱のために使用され、GND/AGND ピンに対してハイインピーダンスに接続されます。そのため、露出したパッドを最良のサーマル GND に接続し、GND/AGND ピンを MCU リファレンス GND に接続することを推奨します。

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連資料

- テキサス・インスツルメンツ、『スマートゲートドライブの理解 (Rev. D)』アプリケーションレポート
- テキサス・インスツルメンツ、『モータドライブの基板レイアウトのベストプラクティス (Rev. B)』アプリケーションノート
- テキサス・インスツルメンツ、『熱特性強化型パッケージ PowerPAD™』アプリケーションレポート
- テキサス・インスツルメンツ、『PowerPAD™ 入門』アプリケーションレポート

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。右上のアラートを受け取るをクリックして登録すると、製品情報の更新に関する週次ダイジェストを受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート リソース

9.4 商標

すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
May 2026	*	初版リリース

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

付録：パッケージ・オプション

パッケージ情報

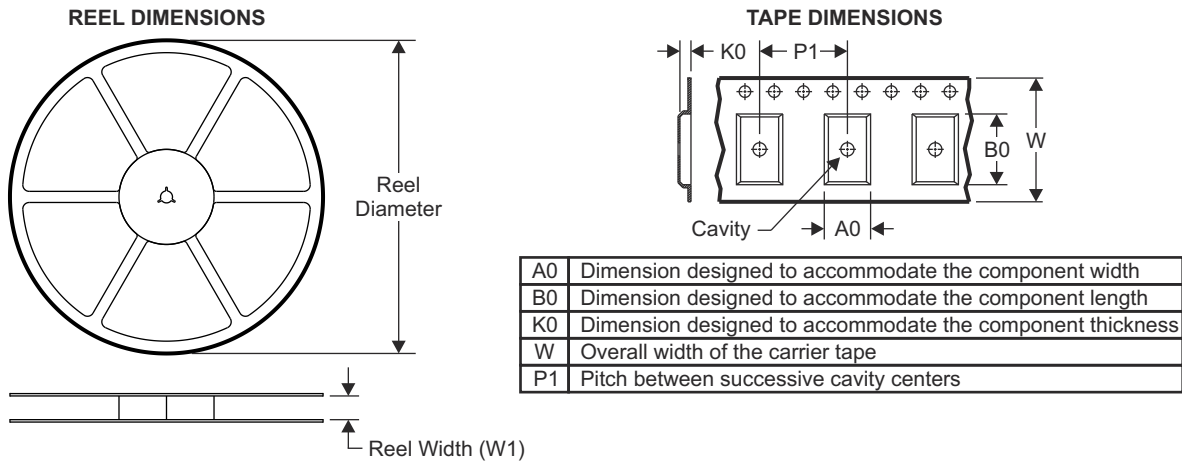
注文可能な型番	ステータス (1)	資料の タイプ (2)	パッケージ ピン数	パッケージ数量 キ ャリア	RoHS (3)	リード端子の仕上げ/ ボールの原材料 (4)	MSL 定格/ピークリフロ ー (5)	動作温度 (°C)	部品マーキング (6)
DRV8762QRGZRQ1	アクティブ	量産出荷中	VQFN (RGZ) 48	1000 TRAY	対応	NiPdAu	レベル 3-260C-168 HR	-40~125	DRV8762

- (1) **ステータス:**ステータスの詳細については、当社の[製品ライフサイクル](#)をご覧ください。
- (2) **資料のタイプ:**指定された量産開始前部品はプロトタイプ/検証用デバイスであり、実生産向けに承認またはリリースされたものではありません。テストおよび最終プロセス (品質保証、信頼性性能テスト、プロセス認証が含まれますが、これに限定されるものではありません) がまだ完了していない可能性があるほか、さらなる変更が加えられたり、中止される可能性もあります。注文可能になっている場合、その購入はチェックアウト時に新たな免責条項の対象となるものとします。また、これは早期内部評価のみを目的としたものです。これらの商品は、いかなる保証もなしで販売されています。
- (3) **RoHS 値:**はい、いいえ、RoHS 免除。詳細情報および値の定義については、[TI RoHS に関する声明](#)を参照してください。
- (4) **リード端子の仕上げ/ボールの原材料:**部品には複数の材料仕上げオプションがあります。複数の仕上げオプションは、縦罫線で区切られています。リード端子の仕上げ / ボールの原材料の値が最大列幅に収まらない場合は、2 行にまたがります。
- (5) **MSL 定格/ピークリフロー:**湿度感度レベルの定格、および半田付けのピーク (リフロー) 温度です。部品が複数の耐湿性定格を持つ場合、JEDEC 規格で最低レベルのみを示しています。プリント基板に部品を取り付けるために使用する実際のリフロー温度については、出荷ラベルをご確認ください。
- (6) **部品マーキング:**ロゴ、ロットトレースコード情報、または環境カテゴリに関する追加マークが部品に記載されることがあります。複数の部品マーキングが括弧の中に記載されています。括弧内で「~」で区切られた 1 つの部品マーキングのみが部品に表示されます。行がインデントされている場合は、前行の続きということです。2 行合わせたものが、そのデバイスの部品マーキング全体となります。

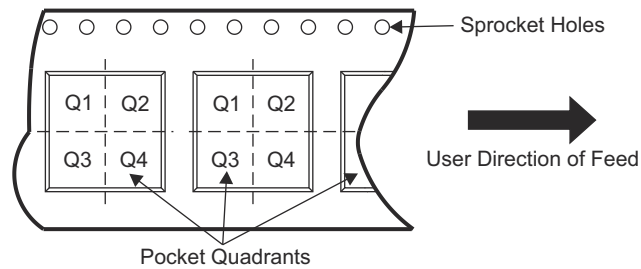
重要なお知らせと免責事項:このページに掲載されている情報は、発行日現在のテキサス・インスツルメンツの知識および見解を示すものです。テキサス・インスツルメンツの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行いません。第三者からの情報をより良く統合するための努力は続けております。テキサス・インスツルメンツでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。テキサス・インスツルメンツおよびテキサス・インスツルメンツのサプライヤは、特定の情報を機密情報として扱っているため、CAS 番号やその他の制限された情報が公開されない場合があります。

いかなる場合においても、そのような情報から生じた TI の責任は、このドキュメント発行時点での TI 製品の価格に基づく TI からお客様への合計購入価格 (年次ベース) を超えることはありません。

11.1 テープおよびリール情報

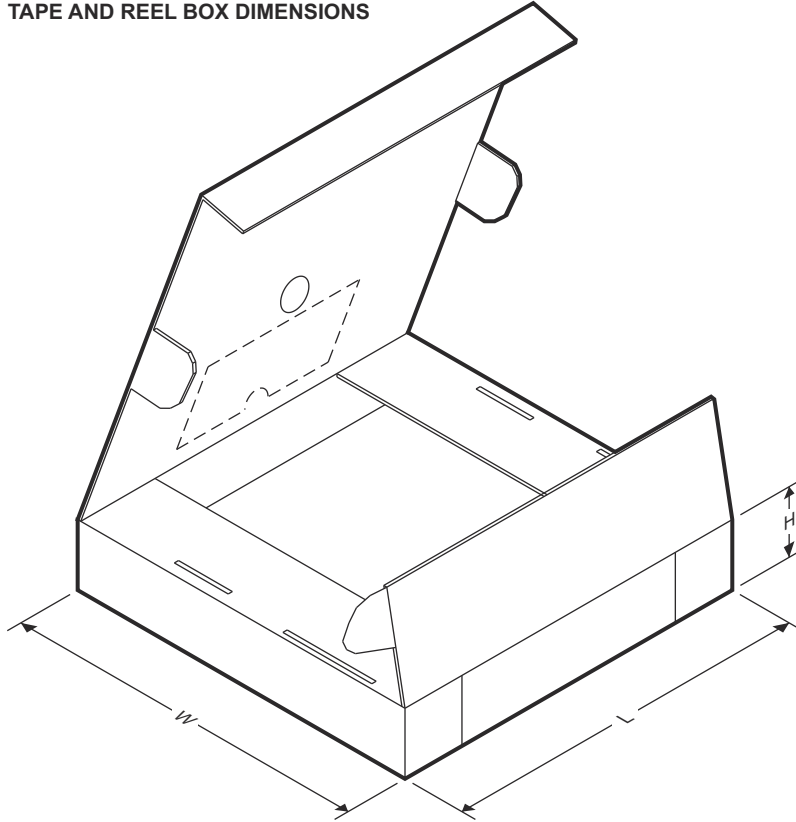


QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

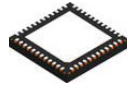


デバイス	パッケージ タイプ	パッケージ 図	ピン	SPQ	リール 直径 (mm)	リール 幅 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	ピン1の 象限
DRV8762RGZR	VQFN	RGZ	48	1000	330.0	16.4	9.6	9.6	1.5	12.0	16.0	2

TAPE AND REEL BOX DIMENSIONS



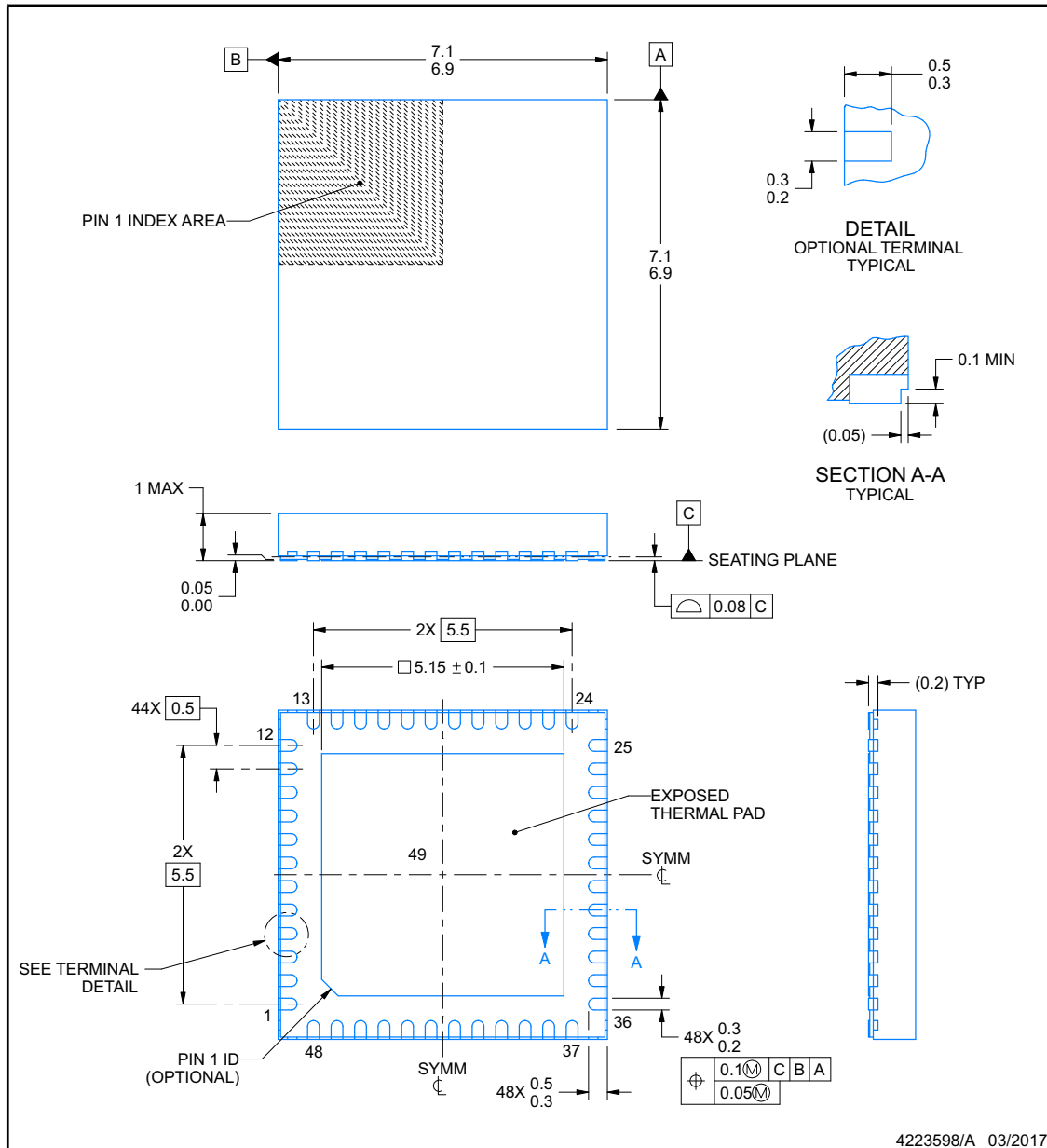
デバイス	パッケージタイプ	パッケージ図	ピン	SPQ	長さ (mm)	幅 (mm)	高さ (mm)
PDRV8762QRGZRQ1	VQFN	RGZ	48	1000	336.6	336.6	31.8



RGZ0048N

PACKAGE OUTLINE
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



4223598/A 03/2017

NOTES:

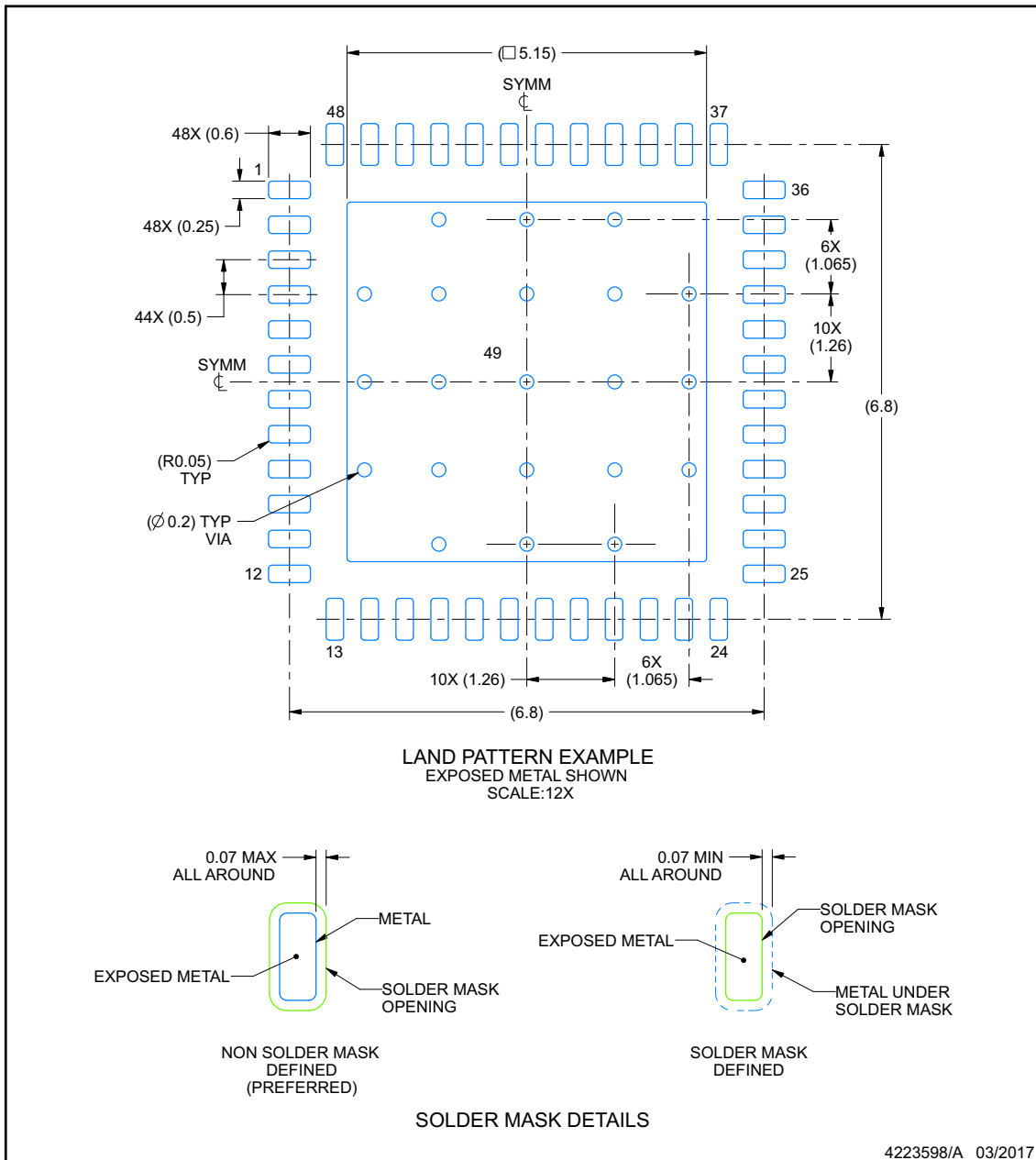
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

RGZ0048N

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

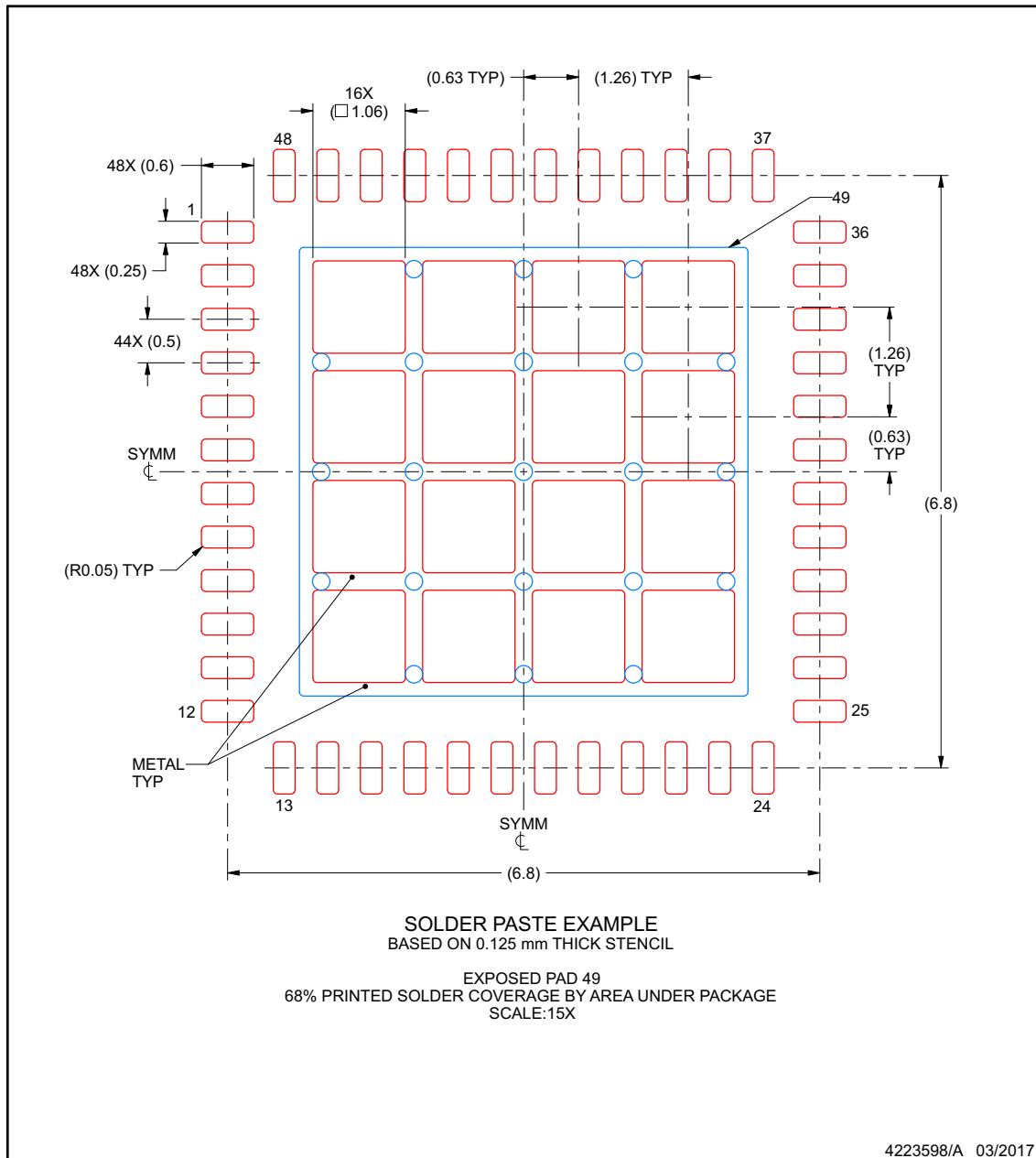
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RGZ0048N

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRV8762QRGZRQ1	Active	Production	VQFN (RGZ) 48	4000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8762 QRGZ Q1

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

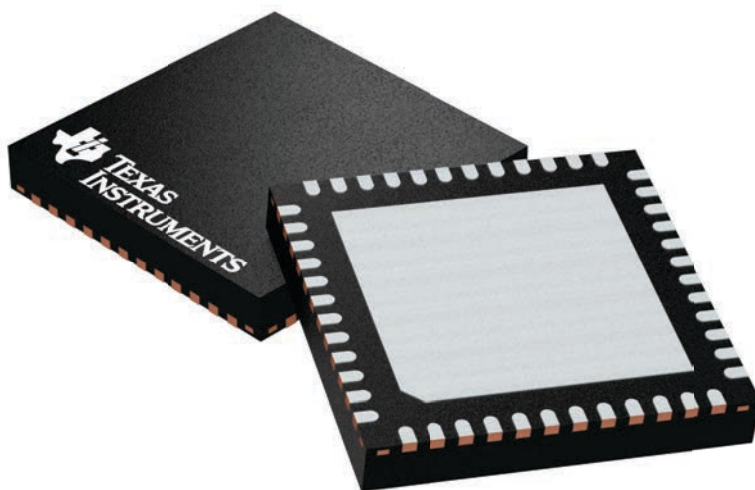
GENERIC PACKAGE VIEW

RGZ 48

VQFN - 1 mm max height

7 x 7, 0.5 mm pitch

PLASTIC QUADFLAT PACK- NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4224671/A

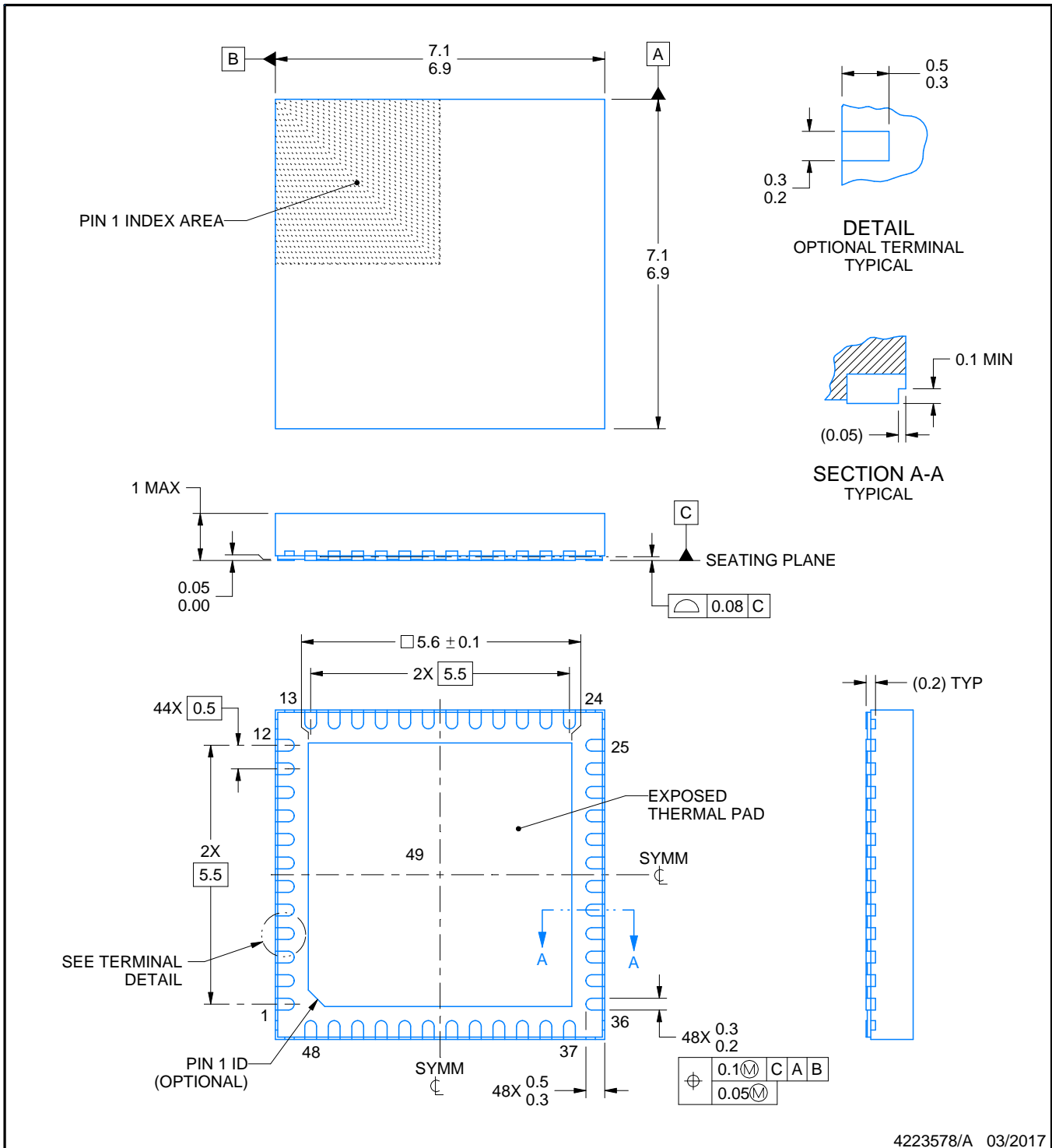
RGZ0048M



PACKAGE OUTLINE

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



4223578/A 03/2017

NOTES:

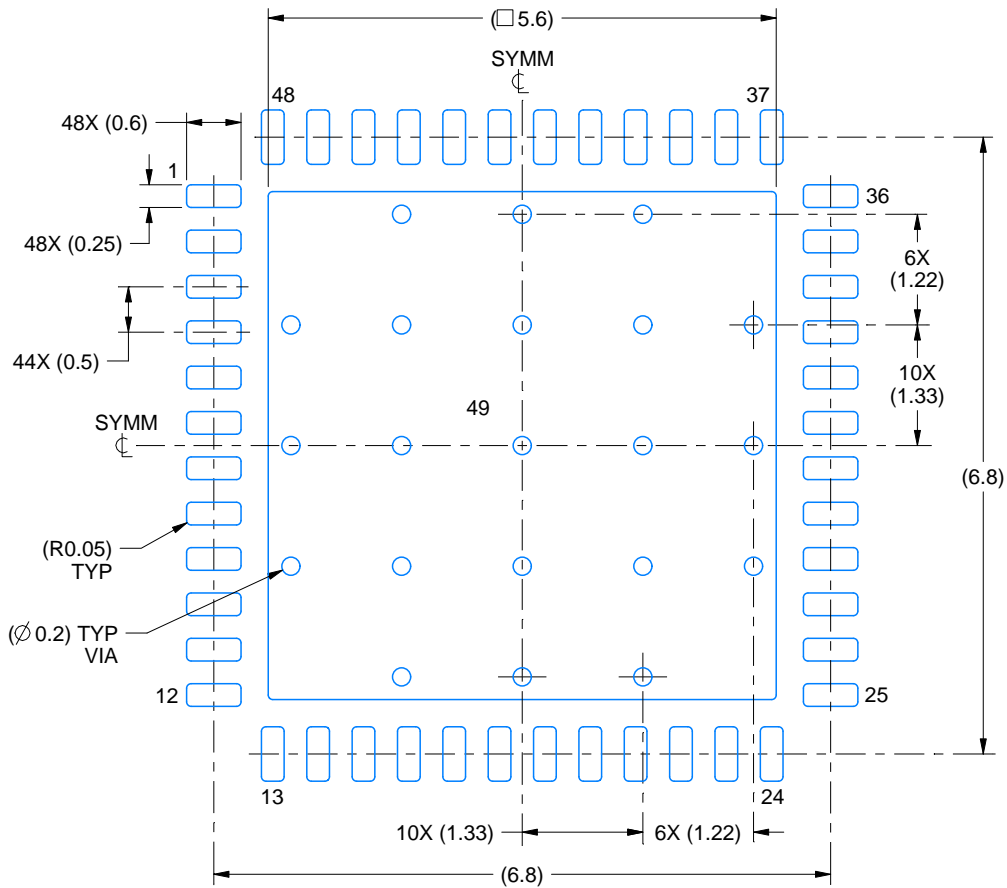
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

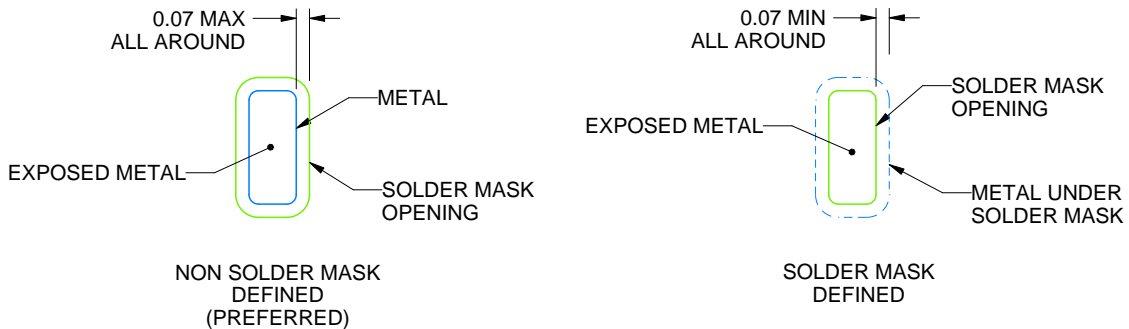
RGZ0048M

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:12X



SOLDER MASK DETAILS

4223578/A 03/2017

NOTES: (continued)

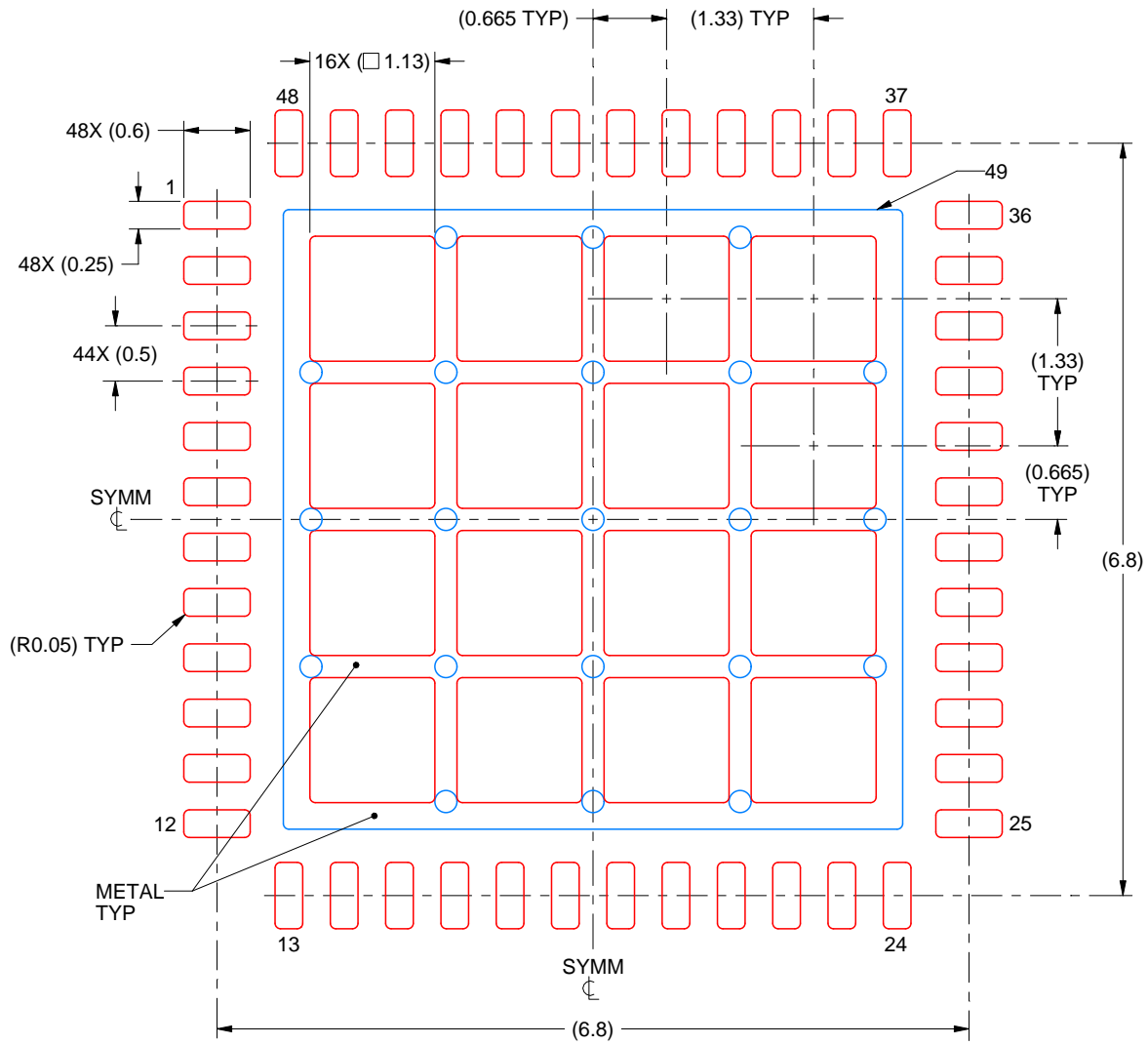
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RGZ0048M

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
 BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 49
 66% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
 SCALE:15X

4223578/A 03/2017

NOTES: (continued)

- 6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月