

DS42BR400

DS42BR400 Quad 4.25 Gbps CML Transceiver with Transmit De-Emphasis and Receive Equalization



Literature Number: JAJSAI9

DS42BR400

送信デエンファシス/受信イコライジング内蔵、4.25GbpsクワッドCMLトランシーバ

概要

DS42BR400は、バックプレーンやケーブル用途向けに開発された4回路入りデバイスで、250Mbps ~ 4.25GbpsのCMLトランシーバまたは8チャンネル・バッファとして機能します。最低250Mbpsまで動作するDS42BR400は、低周波数と高周波数両方のデータ・レートに対応しなければならないアプリケーションに最適です。各入力段には、基板配線によるISI歪みを低減する固定イコライザを搭載しています。イコライザは4つにグループ化され、2つの制御ピンによって有効化します。これらの制御ピンによってISI歪みが送信方向によって異なる場合にも柔軟に対応できます。

また、すべての出力ドライバは、4段階の選択が可能なデエンファシス機能を備えており、長いFR4バックプレーンによる伝送損失を補償します。デエンファシス・ブロックも4つにグループ化されています。さらに4つのチャンネルに対するループバック制御も可能です。すべてのCMLドライバには、対V_{CC}の50Ω終端抵抗が接続されています。また、レシーバは差動100Ωの抵抗により内部で終端されています。

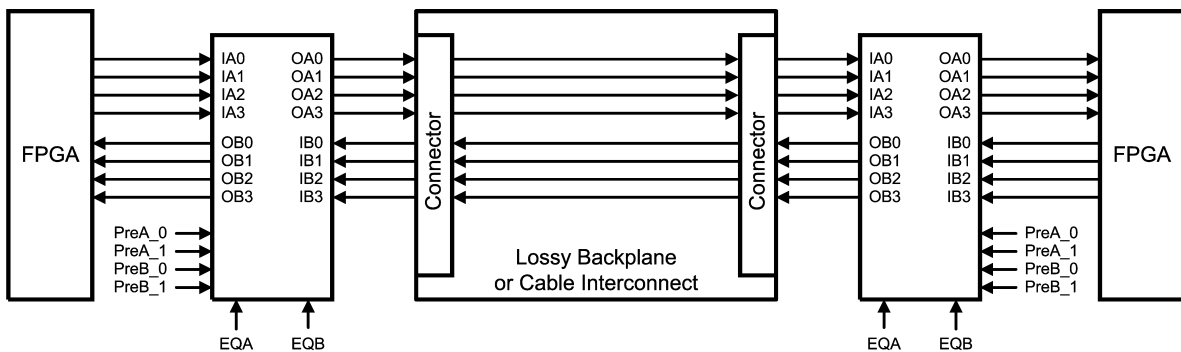
特長

- 250Mbps ~ 4.25Gbpsの完全差動データ・パス
- オプションの固定入力イコライズ機能
- 選択可能な出力プリアンプ
- 個別ループバック制御
- オンチップ終端
- リードレスeLLP-60ピン・パッケージ
(9mm × 9mm × 0.8mm、0.5mmピッチ)
- 工業用動作温度範囲 - 40 ~ + 85
- 人体モデルESD耐圧 6kV

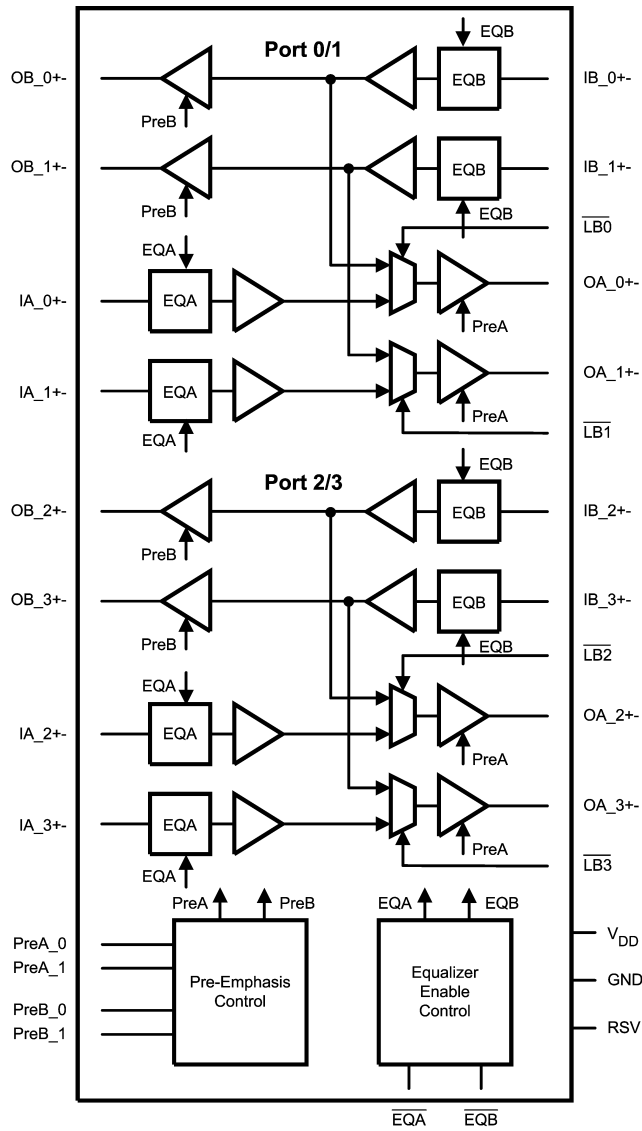
アプリケーション

- バックプレーン・ドライバまたはケーブル・ドライバ
- 信号のリピート、バッファリング、調整アプリケーション

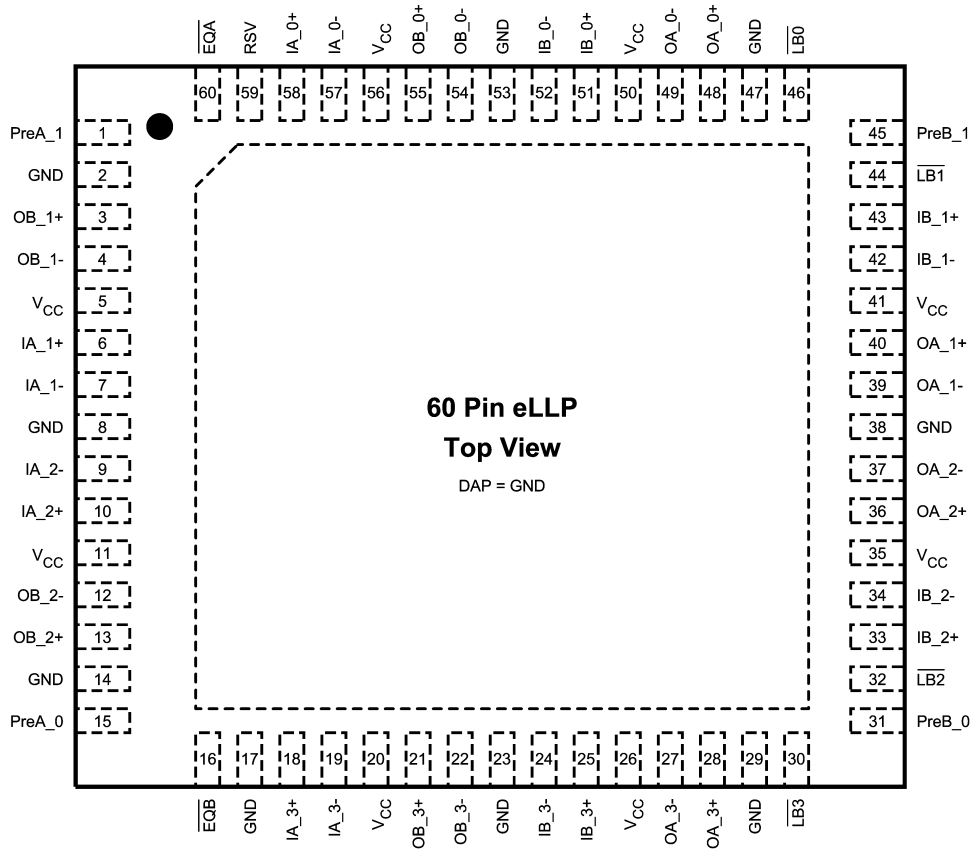
簡略アプリケーション図



機能ブロック図



ピン配置図



Leadless eLLP-60 Pin Package
(9 mm x 9 mm x 0.8 mm, 0.5 mm pitch)
Order number DS42BR400TSQ
See NS Package Number SQA060

ピン説明

ピン名称	ピン番号	入出力	説明
差動入出力			
IB_0 + IB_0 -	51 52	I	ポート_0の反転および非反転差動入力です。IB_0 +およびIB_0 -は、50 のチップ内抵抗を介して基準電圧に接続されています。Figure 7を参照してください。
OA_0 + OA_0 -	48 49	O	ポート_0の反転および非反転差動出力です。OA_0 +およびOA_0 -は、50 の抵抗を介してV _{CC} に接続されています。
IB_1 + IB_1 -	43 42	I	ポート_1の反転および非反転差動入力です。IB_1 +およびIB_1 -は、50 のチップ内抵抗を介して基準電圧に接続されています。Figure 7を参照してください。
OA_1 + OA_1 -	40 39	O	ポート_1の反転および非反転差動出力です。OA_1 +およびOA_1 -は、50 の抵抗を介してV _{CC} に接続されています。
IB_2 + IB_2 -	33 34	I	ポート_2の反転および非反転差動入力です。IB_2 +およびIB_2 -は、50 のチップ内抵抗を介して基準電圧に接続されています。Figure 7を参照してください。
OA_2 + OA_2 -	36 37	O	ポート_2の反転および非反転差動出力です。OA_2 +およびOA_2 -は、50 の抵抗を介してV _{CC} に接続されています。
IB_3 + IB_3 -	25 24	I	ポート_3の反転および非反転差動入力です。IB_3 +およびIB_3 -は、50 のチップ内抵抗を介して基準電圧に接続されています。Figure 7を参照してください。
OA_3 + OA_3 -	28 27	O	ポート_3の反転および非反転差動出力です。OA_3 +およびOA_3 -は、50 の抵抗を介してV _{CC} に接続されています。
IA_0 + IA_0 -	58 57	I	ポート_0の反転および非反転差動入力です。IA_0 +およびIA_0 -は、50 のチップ内抵抗を介して基準電圧に接続されています。Figure 7を参照してください。
OB_0 + OB_0 -	55 54	O	ポート_0の反転および非反転差動出力です。OB_0 +およびOB_0 -は、50 の抵抗を介してV _{CC} に接続されています。
IA_1 + IA_1 -	6 7	I	ポート_1の反転および非反転差動入力です。IA_1 +およびIA_1 -は、50 のチップ内抵抗を介して基準電圧に接続されています。Figure 7を参照してください。
OB_1 + OB_1 -	3 4	O	ポート_1の反転および非反転差動出力です。OB_1 +およびOB_1 -は、50 の抵抗を介してV _{CC} に接続されています。
IA_2 + IA_2 -	10 9	I	ポート_2の反転および非反転差動入力です。IA_2 +およびIA_2 -は、50 のチップ内抵抗を介して基準電圧に接続されています。Figure 7を参照してください。
OB_2 + OB_2 -	13 12	O	ポート_2の反転および非反転差動出力です。OB_2 +およびOB_2 -は、50 の抵抗を介してV _{CC} に接続されています。
IA_3 + IA_3 -	18 19	I	ポート_3の反転および非反転差動入力です。IA_3 +およびIA_3 -は、50 のチップ内抵抗を介して基準電圧に接続されています。Figure 7を参照してください。
OB_3 + OB_3 -	21 22	O	ポート_3の反転および非反転差動出力です。OB_3 +およびOB_3 -は、50 の抵抗を介してV _{CC} に接続されています。

ピン説明 (つづき)

ピン名称	ピン番号	入出力	説明
制御 (3.3V LVCMOS)			
$\overline{\text{EQA}}$	60	I	アクティブ Low のピンです。 $\overline{\text{EQA}}$ を論理 Low にすると、入力チャネル IA_0 ±、IA_1 ±、IA_2 ±、IA_3 ± のイコライジングが有効になります。デフォルトでは、このピンは内部で High にプルアップされており、イコライジングは無効になっています。
$\overline{\text{EQB}}$	16	I	アクティブ Low のピンです。 $\overline{\text{EQB}}$ を論理 Low にすると、入力チャネル IB_0 ±、IB_1 ±、IB_2 ±、IB_3 ± のイコライジングが有効になります。デフォルトでは、このピンは内部で High にプルアップされており、イコライジングは無効になっています。
PreA_0 PreA_1	15 1	I	PreA_0 および PreA_1 は出力デエンファシス・レベル (OA_0 ±、OA_1 ±、OA_2 ±、OA_3 ±) を選択します。PreA_0 と PreA_1 は、内部で High にプルアップされています。デエンファシス・レベルについては、Table 2 を参照してください。
PreB_0 PreB_1	31 45	I	PreB_0 および PreB_1 は出力デエンファシス・レベル (OB_0 ±、OB_1 ±、OB_2 ±、OB_3 ±) を選択します。PreB_0 と PreB_1 は、内部で High にプルアップされています。デエンファシス・レベルについては、Table 2 を参照してください。
$\overline{\text{LB0}}$	46	I	アクティブ Low のピンです。 $\overline{\text{LB0}}$ を論理 Low にすると、IB_0 ± から OA_0 ± への内部ループバック・パスが有効になります。 $\overline{\text{LB0}}$ は内部で High にプルアップされています。詳細は Table 1 を参照してください。
$\overline{\text{LB1}}$	44	I	アクティブ Low のピンです。 $\overline{\text{LB1}}$ を論理 Low にすると、IB_1 ± から OA_1 ± への内部ループバック・パスが有効になります。 $\overline{\text{LB1}}$ は内部で High にプルアップされています。詳細は Table 1 を参照してください。
$\overline{\text{LB2}}$	32	I	アクティブ Low のピンです。 $\overline{\text{LB2}}$ を論理 Low にすると、IB_2 ± から OA_2 ± への内部ループバック・パスが有効になります。 $\overline{\text{LB2}}$ は内部で High にプルアップされています。詳細は Table 1 を参照してください。
$\overline{\text{LB3}}$	30	I	アクティブ Low のピンです。 $\overline{\text{LB3}}$ を論理 Low にすると、IB_3 ± から OA_3 ± への内部ループバック・パスが有効になります。 $\overline{\text{LB3}}$ は内部で High にプルアップされています。詳細は Table 1 を参照してください。
RSV	59	I	工場内検査用の予約済みピンです。このピンの処理方法は、開放、GND への接続、外部プルダウン抵抗を介した GND への接続のいずれでも構いません。
電源			
V _{CC}	5, 11, 20, 26, 35, 41, 50, 56	P	V _{CC} = 3.3V ± 5%。 各 V _{CC} ピンは、低インダクタンスの配線経路により基板の V _{CC} 層に接続するようにします。通常は、V _{CC} ピンをハンダ付けするパッドにできる限り近いビアを介して接続します。各 V _{CC} ピンからグラウンド層に対して、0.01 μF または 0.1 μF の X7R、サイズ 0402 のバイパス・コンデンサを接続することを推奨します。
GND	2, 8, 14, 17, 23, 29, 38, 47, 53	P	グラウンド・リファレンス電圧。各グラウンド・ピンは、低インダクタンスの配線経路によって基板のグラウンド層に接続するようにします。通常は GND ピンをハンダ付けするパッドにできる限り近いビアを介して接続します。
GND	DAP	P	ダイ・アタッチ・パッド (DAP) は、eLLP-60 ピン・パッケージの中央底面にある、金属の接触面です。グラウンド・インピーダンスを低減し、パッケージの熱性能を良くするために、4 個以上のビアでグラウンド層に接続してください。

Note: I = 入力、O = 出力、P = 電源

機能説明

TABLE 1. ループバック制御の論理表

LB0	ループバック機能
0	IB_0 ± から OA_0 ± へのループバックを有効にします。
1 (デフォルト)	通常モードです。ループバック機能は無効になります。
LB1	ループバック機能
0	IB_1 ± から OA_1 ± へのループバックを有効にします。
1 (デフォルト)	通常モードです。ループバック機能は無効になります。
LB2	ループバック機能
0	IB_2 ± から OA_2 ± へのループバックを有効にします。
1 (デフォルト)	通常モードです。ループバック機能は無効になります。
LB3	ループバック機能
0	IB_3 ± から OA_3 ± へのループバックを有効にします。
1 (デフォルト)	通常モードです。ループバック機能は無効になります。

TABLE 2. デエンファシス制御

PreA_[1:0]	Default VOD Level in mV _{pp} (VODB)	De-Emphasis Level in mV _{pp} (VODPE)	De-Emphasis in dB (VODPE/ VODB)
0 0	1200	1200	0
0 1	1200	850	-3
1 0	1200	600	-6
1 1 (Default)	1200	426	-9
PreB_[1:0]	Default VOD Level in mV _{pp} (VODB)	De-Emphasis Level in mV _{pp} (VODPE)	De-Emphasis in dB (VODPE/ VODB)
0 0	1200	1200	0
0 1	1200	850	-3
1 0	1200	600	-6
1 1 (Default)	1200	426	-9

デエンファシスは、バックプレーンの伝送損失を補償するために使われる、代表的な信号調整機能です。DS42BR400では、0、-3、-6、-9dBの4段階のデエンファシスが可能で、これらの中からバックプレーンの損失特性に応じてユーザーが選択でき

ます。Figure 1 にドライバのデエンファシス波形を示します。デエンファシス時間の公称値は、4.25Gbpsの場合のビット幅85%に相当する200psです。スイッチ側、ライン側のデエンファシス・レベルは個別にプログラムできます。

入力イコライジング

DS42BR400 の各差動入力の前段には固定イコライザが設けられています。このイコライザには、375MHz ~ 1.875GHz の範囲で約 5dB となる短いボード配線の伝送損失を補償するための、固定イコライジング機能を持たせてあります。プログラム可能なデエンファシスと入力イコライジングを組み合わせることによって、40 イ

ンチ (101.6 センチ) の FR4 バックプレーンでも十分に開いたアイパターンを得ることができます。

チャンネル A およびチャンネル B の差動入力イコライザは、それぞれ EQA と EQB によってバイパスすることができます。デフォルトでは、イコライザ制御信号は内部で High にプルアップされており、イコライザは無効になっています。したがって、イコライジングを有効にするには、EQA および EQB を Low にアサートする必要があります。

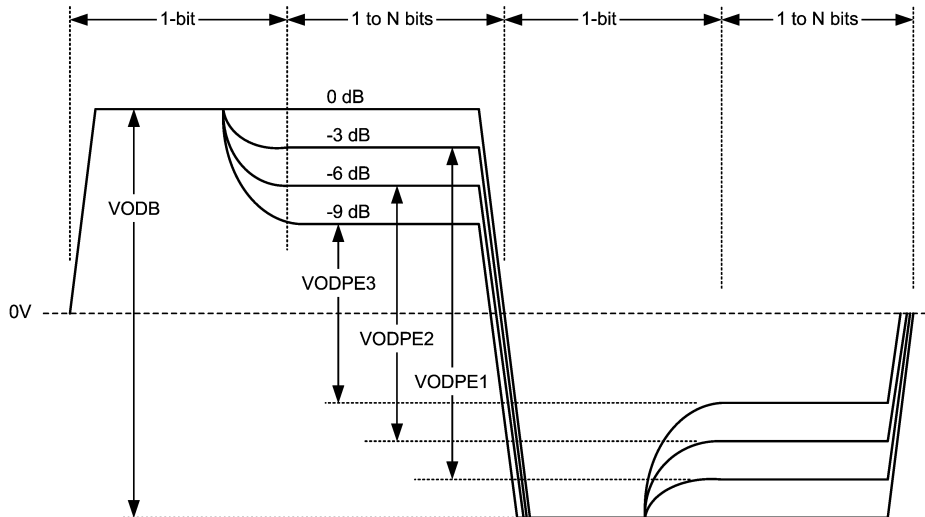


FIGURE 1. Driver De-Emphasis Differential Waveform (showing all 4 de-emphasis steps)

絶対最大定格 (Note 1)

本データシートには軍用・航空宇宙用の規格は記載されていません。
関連する電気的信頼性試験方法の規格を参照ください。

最大電源電圧 (V _{CC})	- 0.3V ~ + 4V
CMOS/TTL 最大入力電圧	- 0.3V ~ (V _{CC} + 0.3V)
CML 入出力 (I/O) 電圧	- 0.3V ~ (V _{CC} + 0.3V)
最大接合部温度	+ 150
保存温度範囲	- 65 ~ + 150
リード温度 (ハンダ付け 4 秒)	+ 260
熱抵抗 JA	22.3 /W
熱抵抗 JC	3.2 /W
熱抵抗 JB	10.3 /W

ESD 耐圧 (Note 9)

人体モデル	6kV
電場誘起帯電試験モデル	1kV
マシン・モデル	350V

推奨動作条件

	最小値	代表値	最大値	単位
電源電圧 (V _{CC-GND})	3.135	3.3	3.465	V
電源ノイズ振幅 10Hz ~ 2GHz			100	mV _{pp}
周囲温度	- 40		+85	
ケース温度			100	

電気的特性

特記のない限り、推奨動作条件の電源電圧と動作周囲温度を対象。

Symbol	Parameter	Conditions	Min	Typ (Note 2)	Max	Units
LVC MOS DC SPECIFICATIONS						
V _{IH}	High Level Input Voltage		2.0		V _{CC} + 0.3	V
V _{IL}	Low Level Input Voltage		-0.3		0.8	V
I _{IH}	High Level Input Current	V _{IN} = V _{CC}	-10		10	μA
I _{IL}	Low Level Input Current	V _{IN} = GND	75	94	124	μA
R _{PU}	Pull-High Resistance			35		kΩ
RECEIVER SPECIFICATIONS						
V _{ID}	Differential Input Voltage Range	AC Coupled Differential Signal. Below 1.25 Gb/s At 1.25 Gbps–3.125 Gbps Above 3.125 Gbps This parameter is not production tested.	100 100 100		1750 1560 1200	mV _{p-p} mV _{p-p} mV _{p-p}
V _{ICM}	Common Mode Voltage at Receiver Inputs	Measured at receiver inputs reference to ground.		1.3		V
R _{ITD}	Input Differential Termination	On-chip differential termination between IN+ or IN-. <i>Figure 7</i>	84	100	116	Ω

電気的特性 (つづき)

特記のない限り、推奨動作条件の電源電圧と動作周囲温度を対象。

Symbol	Parameter	Conditions	Min	Typ (Note 2)	Max	Units
DRIVER SPECIFICATIONS						
V _{ODB}	Output Differential Voltage Swing without De-Emphasis	R _L = 100Ω ±1% PreA_1 = 0; PreA_0 = 0 PreB_1 = 0; PreB_0 = 0 Driver de-emphasis disabled. Running K28.7 pattern at 4 Gbps. (Figure 6)	1000	1200	1400	mV _{p,p}
V _{PE}	Output De-Emphasis Voltage Ratio 20*log(V _{ODPE} /V _{ODB})	R _L = 100Ω ±1% Running K28.7 pattern at 4.25 Gbps PreX_[1:0] = 00 PreX_[1:0] = 01 PreX_[1:0] = 10 PreX_[1:0] = 11 X = A/B channel de-emphasis drivers (Figure 1 / Figure 6)		0 -3 -6 -9		dB dB dB dB
t _{PE}	De-Emphasis Width	Tested at -9 dB de-emphasis level, PreX[1:0] = 11 X = A/B channel de-emphasis drivers See Figure 5 on measurement condition.	125	200	250	ps
R _{OTSE}	Output Termination	On-chip termination from OUT+ or OUT- to V _{CC}	42	50	58	Ω
R _{OTD}	Output Differential Termination	On-chip differential termination between OUT+ and OUT-		100		Ω
ΔR _{OTSE}	Mis-Match in Output Termination Resistors	Mis-match in output termination resistors			5	%
V _{OCM}	Output Common Mode Voltage			2.7		V
POWER DISSIPATION						
P _D	Power Dissipation	V _{DD} = 3.465V All outputs terminated by 100Ω ±1%. PreB_[1:0] = 0, PreA_[1:0] = 0 Running PRBS 27-1 pattern at 4.25 Gbps			1.3	W
AC CHARACTERISTICS						
t _R	Differential Low to High Transition Time	Measured with a clock-like pattern at 4.25 Gbps, between 20% and 80% of the differential output voltage. De-emphasis disabled. Transition time is measured with the fixture shown in Figure 6 adjusted to reflect the transition time at the output pins.		80		ps
t _F	Differential High to Low Transition Time			80		ps
t _{PLH}	Differential Low to High Propagation Delay	Measured at 50% differential voltage from input to output.			1	ns
t _{PHL}	Differential High to Low Propagation Delay				1	ns
t _{SKP}	Pulse Skew	t _{PHL} - t _{PLH}			20	ps
t _{SKO}	Output Skew (Note 7)	Difference in propagation delay between channels on the same part (Channel-to-Channel Skew)(Note 7)			100	ps
t _{SKPP}	Part-to-Part Skew (Note 7)	Difference in propagation delay between devices across all channels operating under identical conditions			165	ps
t _{LB}	Loopback Delay Time	Delay from enabling loopback mode to signals appearing at the differential outputs Figure 4			4	ns

電气的特性 (つづき)

特記のない限り、推奨動作条件の電源電圧と動作周囲温度を対象。

Symbol	Parameter	Conditions	Min	Typ (Note 2)	Max	Units
RJ	Device Random Jitter (Note 5)	At 0.25 Gbps At 1.5 Gbps At 4.25 Gbps Alternating-10 pattern. De-emphasis disabled. (Figure 6)			2 2 2	ps rms ps rms ps rms
DJ	Device Deterministic Jitter (Note 6)	At 0.25 Mbps, PRBS7 pattern At 1.5 Gbps, K28.5 pattern At 4.25 Gbps, K28.5 pattern At 4.25 Gbps, PRBS7 pattern De-emphasis disabled. (Figure 6)			25 25 25 25	ps pp ps pp ps pp ps pp
DR	Data Rate (Note 8)	Alternating-10 pattern	0.25		4.25	Gbps

Note 1: 絶対最大定格とはデバイスが損傷する可能性があるリミット値をいいます。動作定格とは、デバイスが動作する条件を表します。保証される仕様値とそのテスト条件については「電气的特性」の表を参照してください。最大動作定格を超える条件でのデバイスの使用は推奨できません。

Note 2: 仕様の代表値は $T_A = 25$ で製品の特性評価を行った場合に得られる可能性が最も高いパラメータの基準値です。代表値は仕様として保証された値ではありません。

Note 3: IN + および IN - は、DS42BR400 が持つ多数の相補入力対の 1 つを表す、一般名です。OUT + および OUT - は、DS42BR400 が持つ多数の相補出力対の 1 つを表す、一般名です。差動入力電圧 V_{ID} は $|IN + - IN -|$ として定義されています。差動出力電圧 V_{OD} は $|OUT + - OUT -|$ として定義されています。

Note 4: K28.7 パターンとは、10 ビットの K28.7 コード・グループ { 001111 1000 } を繰り返すパターンです。
K28.5 パターンとは、20 ビットの + K28.5 および - K28.5 コード・グループ { 110000 0101 001111 1010 } を繰り返すパターンです。

Note 5: デバイス出力ランダム・ジッタとは、デバイスに起因するランダム・ジッタの測定値です。値は、 $\text{SQRT}[(R_{J_{OUT}})^2 - (R_{J_{IN}})^2]$ という式によって計算できます。ここで、 $R_{J_{OUT}}$ はデバイス出力に対して測定した総ランダム・ジッタ (ps rms)、 $R_{J_{IN}}$ はデバイスを駆動するパターン・ジェネレータのランダム・ジッタです。400Mbps 未満では、システム・ジッタとデバイス・ジッタを分けることはできません。250Mbps の仕様にはシステム・ランダム・ジッタが含まれます。AC テスト回路については Figure 6 を参照してください。

Note 6: デバイス出力デタミニスティック・ジッタとは、デバイスに起因するデタミニスティック・ジッタの測定値です。値は、 $(DJ_{OUT} - DJ_{IN})$ で表されます。ここで、 DJ_{OUT} はデバイスの出力で測定したピーク・ツー・ピークのデタミニスティック・ジッタで単位は ps pp です。 DJ_{IN} は、テスト・ボードの入力のピーク・ツー・ピークのデタミニスティック・ジッタです。AC テスト回路については Figure 6 を参照してください。

Note 7: t_{SKO} は、デバイス上のすべてのデータ・パス間の伝搬遅延の差の絶対値です。つまり、チャネル間のスキューです。 t_{SKPP} は、同一の条件で動作する複数のデバイスに含まれる全チャネル間の伝搬遅延の差のワースト値です。例えば、2 つのデバイスが同一条件で動作している場合、 t_{SKPP} は、一方のデバイスの最短の伝搬遅延と、もう一方のデバイスの最長の伝搬遅延の差の絶対値になります。

Note 8: このパラメータは設計および特性評価、またはそのいずれか一方によって保証されています。量産時の試験は行っていません。

Note 9: ESD 試験は次の規格に準拠しています。
人体モデル (HBM) 適用規格: MIL-STD-883 Method 3015.7
マシン・モデル (MM) 適用規格: JESD22-A115-A (JEDEC の ESD MM 規格)
電場誘起帯電試験モデル (CDM) 適用規格: JESD22-C101-C (JEDEC の ESD FICDM 規格)

タイミング図

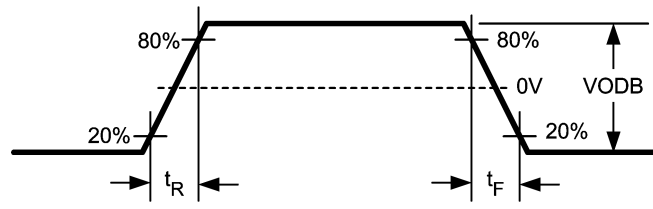


FIGURE 2. Driver Output Transition Time

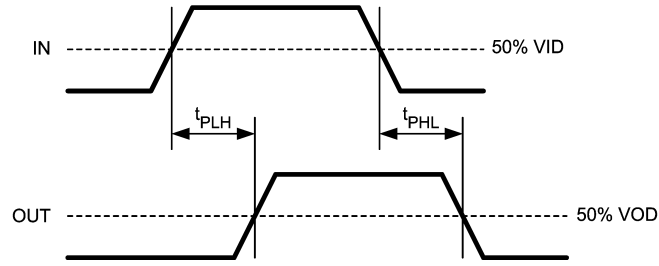


FIGURE 3. Propagation Delay

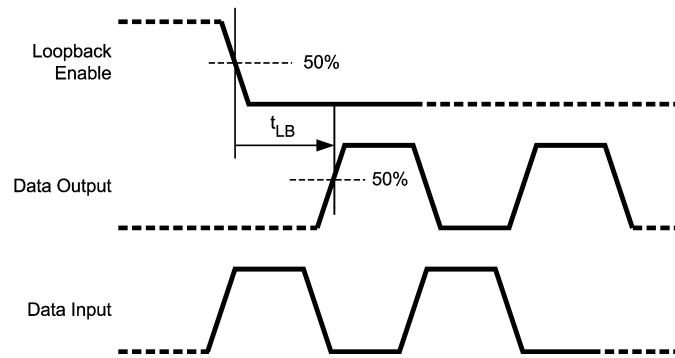


FIGURE 4. Loopback Delay Timing

タイミング図(つぎ)

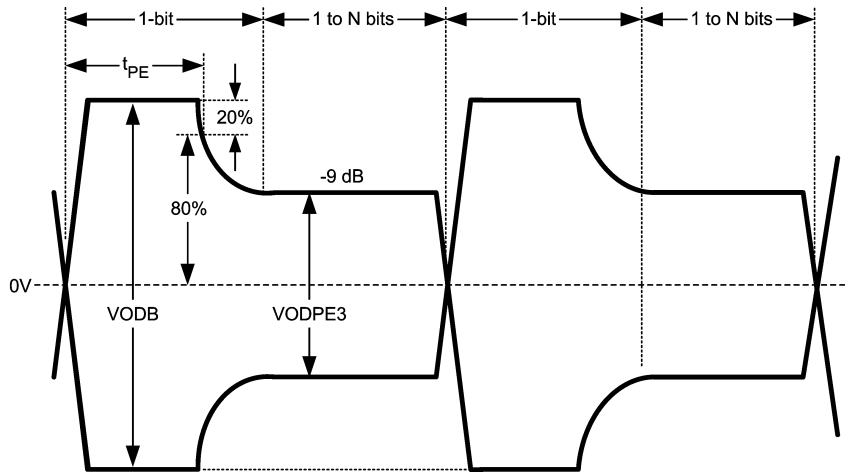


FIGURE 5. Output De-Emphasis Duration

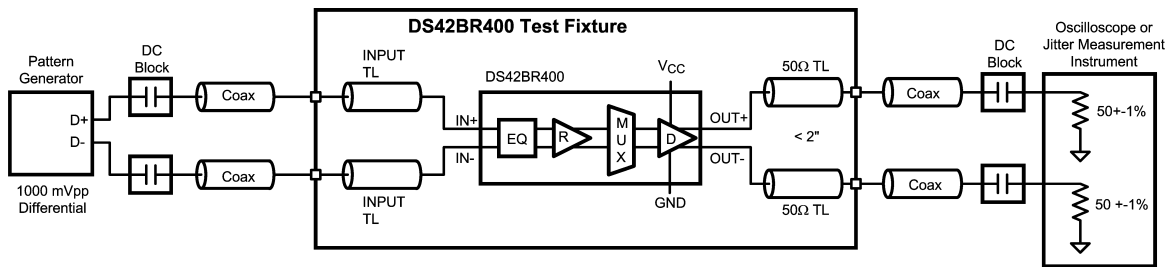


FIGURE 6. AC Test Circuit

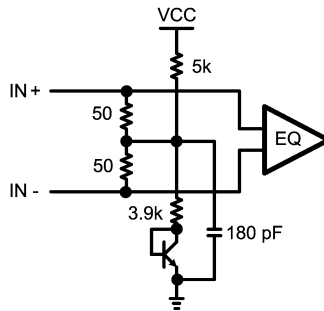
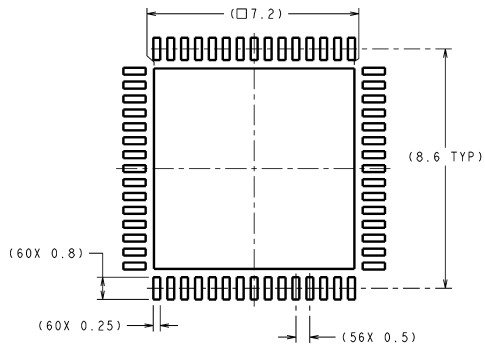
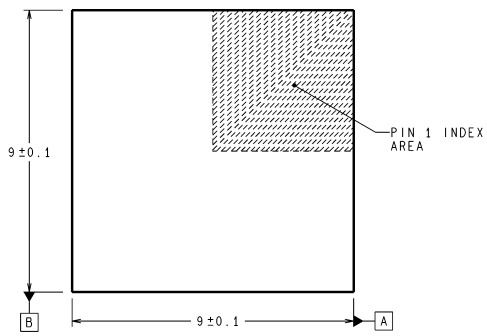


FIGURE 7. Receiver Input Termination

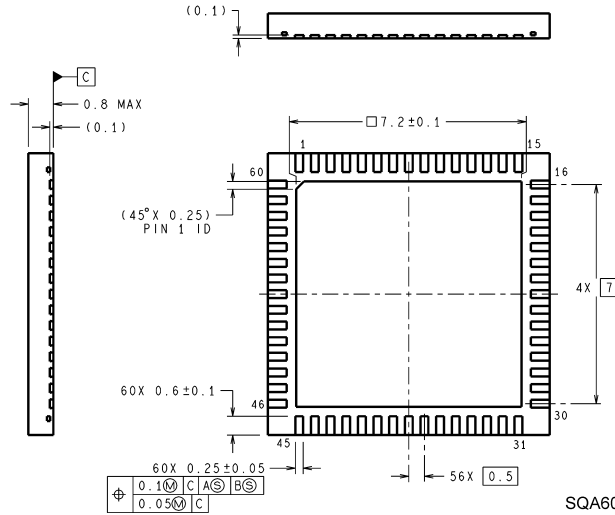
外形寸法図 単位は millimeters



RECOMMENDED LAND PATTERN



DIMENSIONS ARE IN MILLIMETERS
DIMENSION IN () FOR REFERENCE ONLY



SQA60A (Rev A)

eLLP-60 Package
Order Number DS42BR400TSQ
NS Package Number SQA060

このドキュメントの内容はナショナル セミコンダクター社製品の関連情報として提供されます。ナショナル セミコンダクター社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナル セミコンダクター社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター社との取引条件で規定される場合を除き、ナショナル セミコンダクター社は一切の義務を負わないものとし、また、ナショナル セミコンダクター社の製品の販売が使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター社の製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2007 National Semiconductor Corporation
製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上