

ESD762 24V、2 チャネル、2.5A、8/20μs サージ保護と ESD 保護、SOT-23 パッケージ

1 特長

- 強力なサージ保護:
 - IEC 61000-4-5 (8/20μs): 2.5A
- IEC 61000-4-2 レベル 4 ESD 保護:
 - ±18kV 接触放電
 - ±18kV エアギャップ放電
- 24V の動作電圧
- 双方向 ESD 保護
- 1 つの部品で完全な ESD 保護機能とサージ保護機能を実現できる 2 チャネル デバイス
- 下流の部品を保護する低いクランピング電圧
- I/O 容量 = 1.7pF (標準値)
- SOT-23 (DBZ): 小型、標準、共通フットプリント
- 自動光学検査 (AOI) に適したリード付きパッケージ

2 アプリケーション

- USB Power Delivery (USB-PD):
 - VBUS 保護
 - IO 保護 (VBUS への短絡に耐える)
- 産業用制御ネットワーク:
 - スマート分配システム (SDS)
 - DeviceNet IEC 62026-3
 - CANopen - CiA 301/302-2、EN 50325-4
 - 4/20mA 回路
 - PLC サージ保護
 - ADC サージ保護

3 説明

ESD762 は、USB 給電 (USB-PD) および産業用インターフェイス用の双方向 ESD 保護ダイオードです。ESD762 は、IEC 61000-4-2 レベル 4 で規定されている最大レベル (±18kV 接触および ±18kV のエアギャップ) を満たす、または上回る ESD 耐性を持ちます。低い動的抵抗および低いクランピング電圧により、過渡現象に対してシステム レベルの保護を実現します。産業用システムは高いレベルの堅牢性と信頼性を要求するため、この保護機能は重要です。

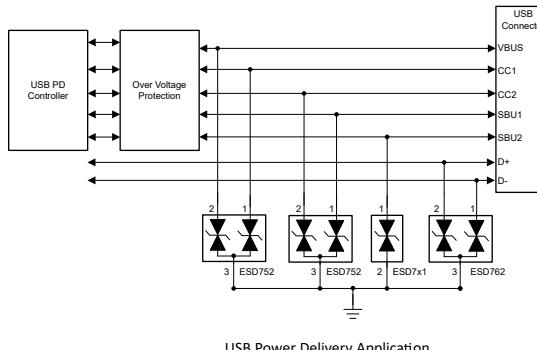
これらのデバイスはチャネルごとの IO 容量が低く、静電気放電 (ESD) とその他の過渡事象に起因する損傷から保護されるよう、2 つの IO ラインに適合したピン配置を備えています。ESD762 には $I_{PP} = 2.5A$ (8/20μs のサージ波形) の性能があり、過渡的なサージ事象から USB VBUS や産業用 I/O ラインを保護するのに適しています。さらに、ESD762 の 1.7pF のライン容量は、産業用アプリケーションの USB 給電と IO 信号用の低速な信号を保護するのに適しています。

ESD762 は、フロースルー配線を容易にするため、SOT-23 パッケージで供給されます。

パッケージ情報

部品番号	パッケージ (1)	本体サイズ (公称)
ESD762	DBZ (SOT-23, 3)	2.92mm × 2.37mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



USB Power Delivery の標準的なアプリケーション



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

English Data Sheet: [SLVSGX0](#)

目次

1 特長	1	6.4 デバイスの機能モード	10
2 アプリケーション	1	7 アプリケーションと実装	11
3 説明	1	7.1 アプリケーション情報	11
4 ピン構成および機能	3	7.2 代表的なアプリケーション	11
5 仕様	4	8 電源に関する推奨事項	13
5.1 絶対最大定格	4	9 レイアウト	14
5.2 ESD 定格 - JEDEC 仕様	4	9.1 レイアウトのガイドライン	14
5.3 ESD 定格 - IEC 仕様	4	9.2 レイアウト例	14
5.4 推奨動作条件	4	10 デバイスおよびドキュメントのサポート	15
5.5 熱に関する情報	4	10.1 ドキュメントのサポート	15
5.6 電気的特性	5	10.2 ドキュメントの更新通知を受け取る方法	15
5.7 代表的特性 — ESD762 (DBZ)	6	10.3 サポート・リソース	15
5.8 代表的特性 — ESD762 (DXA)	7	10.4 商標	15
6 詳細説明	9	10.5 静電気放電に関する注意事項	15
6.1 概要	9	10.6 用語集	15
6.2 機能ブロック図	9	11 改訂履歴	16
6.3 機能説明	9	12 メカニカル、パッケージ、および注文情報	16

4 ピン構成および機能

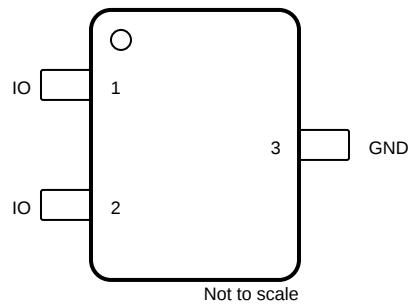


図 4-1. DBZ パッケージ、3 ピン SOT-23 (上面図)

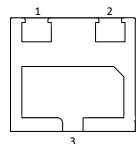


図 4-2. DXA パッケージ、3 ピン DFN1110-3 (底面図)

表 4-1. ピンの機能

ピン		タイプ ⁽¹⁾	説明
名称	番号		
IO	1, 2	I/O	ESD 保護 IO
GND	3	G	グランドに接続します。

(1) I = 入力、O = 出力、I/O = 入力または出力、G = グランド、P = 電源

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)⁽¹⁾

パラメータ		最小値	最大値	単位
P _{pp}	25°Cでの IEC 61000-4-5 の電力 (t _p – 8/20μs)		90	W
I _{pp}	25°Cでの IEC 61000-4-5 の電流 (t _p – 8/20μs)		2.5	A
T _A	外気温度での動作時	-55	150	°C
T _J	接合部温度	-55	150	°C
T _{stg}	保存温度	-65	155	°C

- (1) 「絶対最大定格」の範囲外での動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

5.2 ESD 定格 - JEDEC 仕様

パラメータ		テスト条件	値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠 ⁽¹⁾	±2500	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JS-002 に準拠 ⁽²⁾	±1000	

- (1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
 (2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.3 ESD 定格 - IEC 仕様

TA = 25°C (特に記述のない限り)

パラメータ		テスト条件	値	単位
V _(ESD)	静電放電	IEC 61000-4-2 接触放電、すべてのピン	±18000	V
		IEC 61000-4-2 空中放電、すべてのピン	±18000	

5.4 推奨動作条件

パラメータ		最小値	公称値	最大値	単位
V _{IN}	入力電圧	-24	24	24	V
T _A	外気温度での動作時	-55	150	150	°C

5.5 熱に関する情報

熱評価基準 ⁽¹⁾		ESD762	単位
		DBZ (SOT-23)	
		3 ピン	
R _{θJA}	接合部から周囲への熱抵抗	325.3	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	178.8	°C/W
R _{θJB}	接合部から基板への熱抵抗	165.5	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	52.4	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	164.4	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	該当なし	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『半導体およびIC パッケージの熱評価基準』アプリケーション ノートを参照してください。

5.6 電気的特性

$T_A = 25^\circ\text{C}$ 以上(特に注記のない限り)⁽¹⁾

パラメータ	テスト条件	パッケージ	最小値	標準値	最大値	単位
V_{RWM}	逆スタンドオフ電圧	すべてのパッケージ	-24		24	V
V_{BRF}	順方向降伏電圧 ⁽²⁾	$I_{IO} = 10\text{mA}$, IO から GND へ	すべてのパッケージ	25.5	35.5	V
V_{BRR}	逆方向降伏電圧 ⁽²⁾	$I_{IO} = -10\text{mA}$, IO から GND へ	すべてのパッケージ	-35.5	-25.5	V
V_{CLAMP}	クランプ電圧 ⁽³⁾	$I_{PP} = 2.5\text{A}$, $t_p = 8/20\mu\text{s}$, IO ~ GND 間	すべてのパッケージ		36	V
	クランプ電圧 ⁽⁴⁾	$I_{PP} = 16\text{A}$, TLP, IO から GND または GND から IO へ	SOT-23 および SC-70 DFN1110-3	38 42		V
I_{LEAK}	リーク電流	$V_{IO} = \pm 24\text{V}$, IO から GND へ	すべてのパッケージ	-50	5	50 nA
R_{DYN}	動的抵抗 ⁽⁴⁾	IO から GND および GND から IO へ	SOT-23 および SC-70 DFN1110-3	0.57 0.68		Ω
	ライン容量 ⁽⁵⁾	$V_{IO} = 0\text{V}$, $f = 1\text{MHz}$, $V_{pp} = 30\text{mV}$	すべてのパッケージ		1.7	2.8 pF

(1) 各 IO チャネルで測定を行います。

(2) V_{BRF} と V_{BRR} は、デバイスがバスナップバック状態にラッチする前に、それぞれ $\pm 10\text{mA}$ が正方向または負方向に印加されたときの電圧として定義されます。

(3) IEC 61000-4-5 に従い、 $8/20\mu\text{s}$ の指数関数的減衰波形でストレスを加えたデバイス

(4) 非反復電流パルス、伝送ラインパルス (TLP)、方形パルス、ANSI/ESD STM5.5.1-2008

(5) 各チャネルで IO ~ GND 間を測定

5.7 代表的特性 – ESD762 (DBZ)

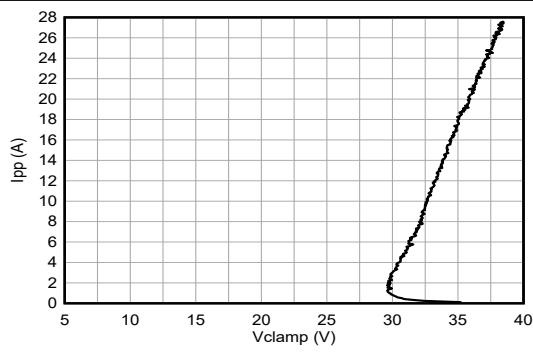


図 5-1. 正の TLP 曲線

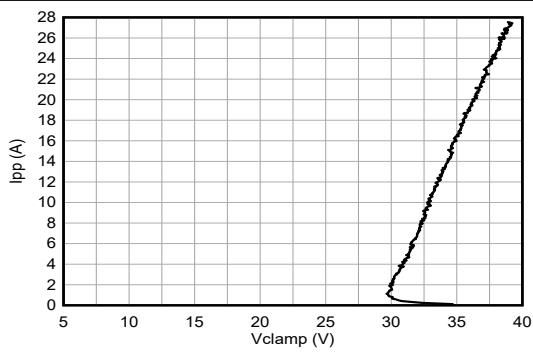


図 5-2. 負の TLP 曲線

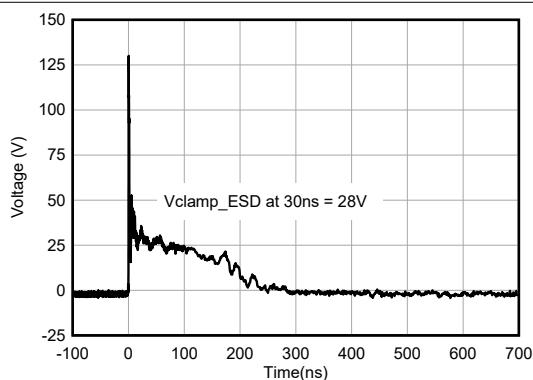


図 5-3. +8kV クランプ IEC 波形

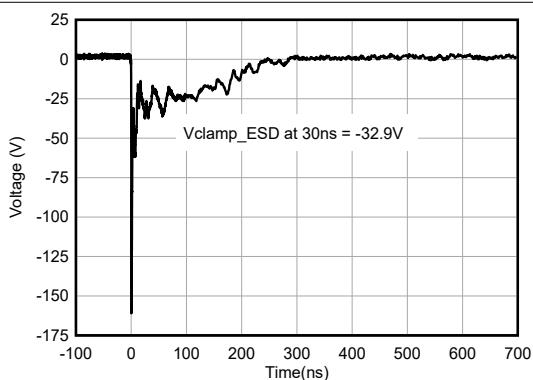


図 5-4. -8kV クランプ IEC 波形

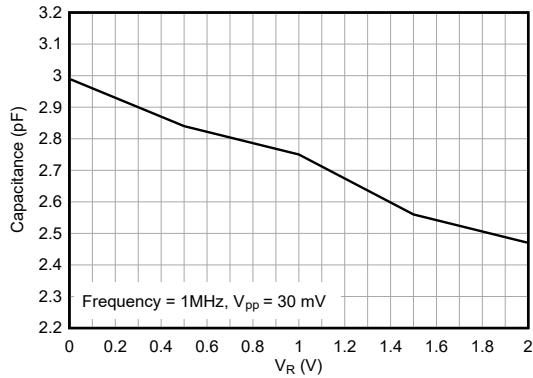


図 5-5. 静電容量とバイアス電圧

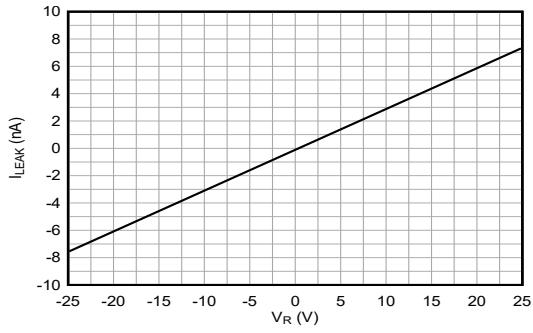


図 5-6. 温度範囲全体でのリーク電流とバイアス電圧の関係

5.7 代表的特性 — ESD762 (DBZ) (続き)

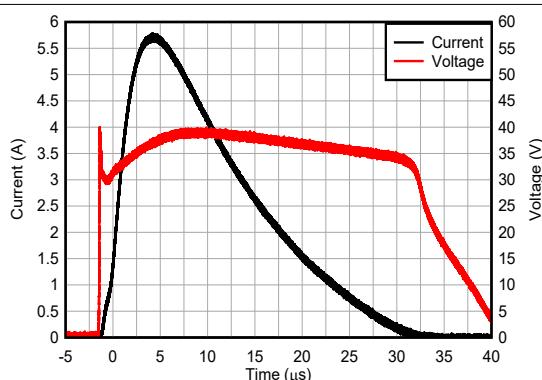


図 5-7. 5.7A での 8/20μs サージ応答

5.8 代表的特性 — ESD762 (DXA)

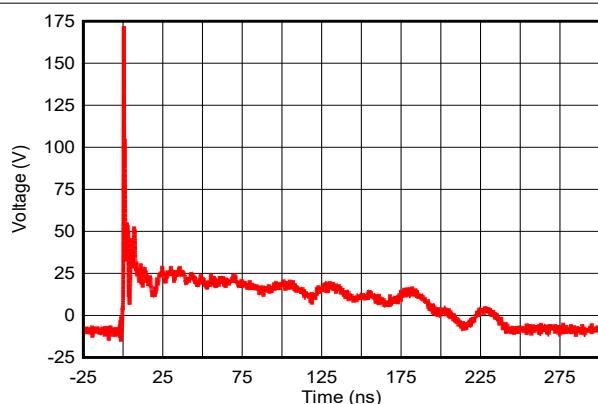


図 5-8. +8kV クランプ IEC 波形

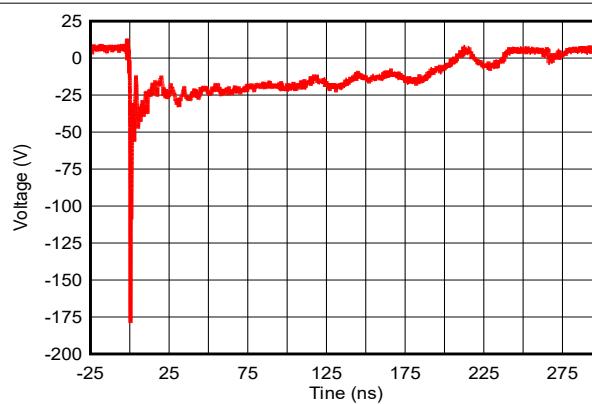


図 5-9. -8kV クランプ IEC 波形

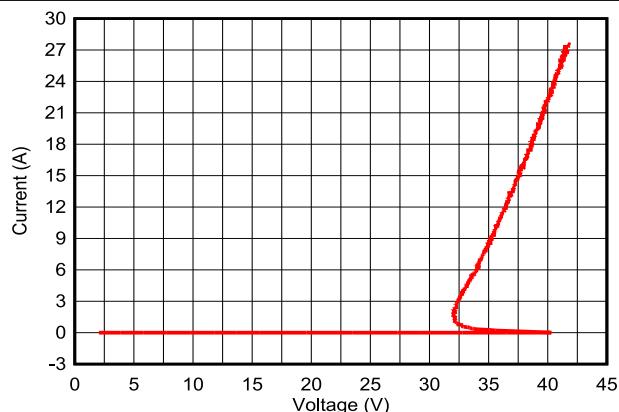


図 5-10. 正の TLP 曲線

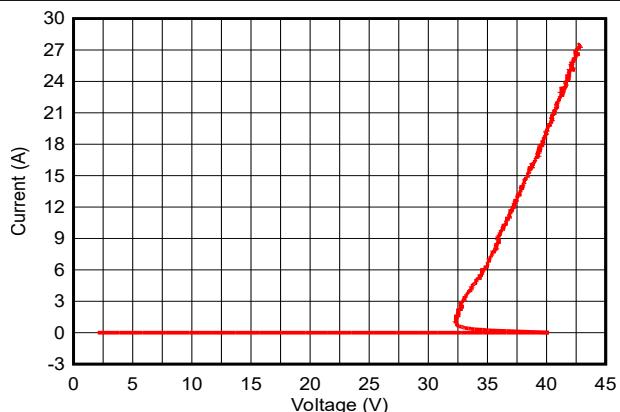


図 5-11. 負の TLP 曲線

5.8 代表的特性 – ESD762 (DXA) (続き)

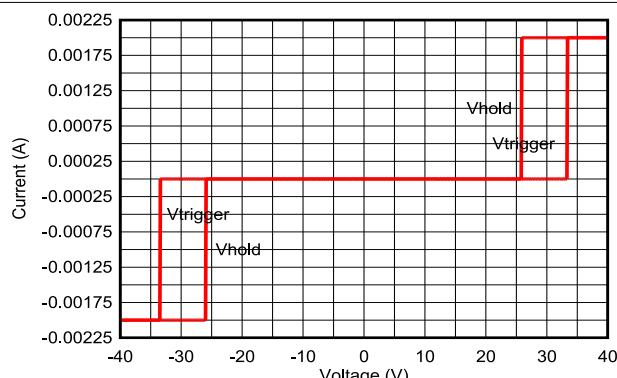


図 5-12. DC IV の特性

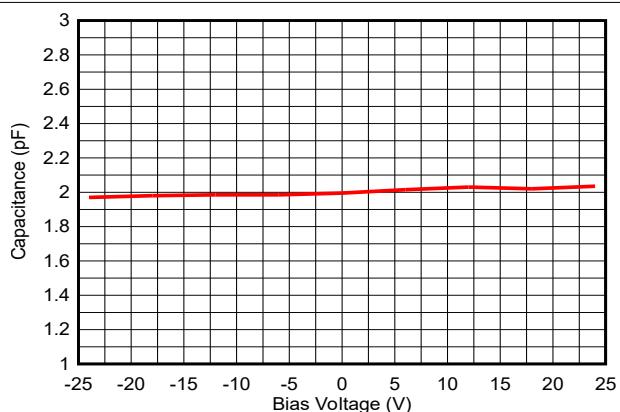


図 5-13. 静電容量とバイアス電圧

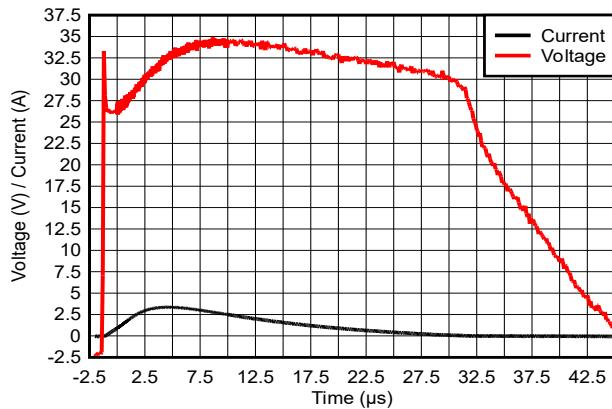


図 5-14. 8/20μs のサージ応答

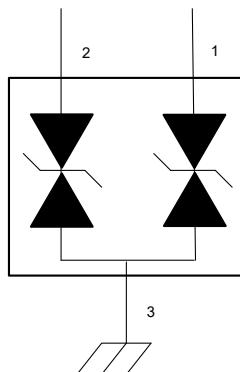
6 詳細説明

6.1 概要

ESD762 は、SOT-23 リード付きパッケージに封止されたデュアル チャネル ESD TVS ダイオードで、自動光学検査に便利です。本製品は IEC 61000-4-2, $\pm 18\text{kV}$ 接触およびエアギャップ ESD 保護をそれぞれ提供し、双方向信号に対応するためのバックツーバック TVS ダイオード付きクランプ回路を搭載しています。

この製品の代表的なアプリケーションは、USB-PD 低速信号 (CC1, CC2, SBU1, SBU2, D+, および D-) 対する ESD 保護です。ESD762 には $I_{PP} = 2.5\text{A}$ (8/20 μs サージ波形) の能力があるため、VBUS の保護に適しています。ESD762 は、2.5A 以下のサージ電流に対する保護が必要な産業用 IO の保護にも適しています。この ESD 保護ダイオードの 1.7pF のライン容量は、USB-PD 低速信号や産業用 IO アプリケーションに適しています。

6.2 機能ブロック図



6.3 機能説明

ESD762 は高 ESD 保護レベルを備えた双方向 TVS ダイオードです。このデバイスは、IEC 61000-4-2 規格で規定されている最大 $\pm 18\text{kV}$ 接触の ESD 衝撃、および $\pm 18\text{kV}$ エアギャップから回路を保護します。ESD762 は、最大 2.5A のサージ電流 (IEC 61000-4-5 8/20 μs) を処理することができます。1.7pF (標準値) の I/O 容量は、USB 給電の低速信号や産業用アプリケーションに適しています。このクランピング デバイスは動的抵抗が小さいため、デバイスが他の回路をアクティブに保護するときのクランプ電圧が低くなります。

たとえば、デバイスが 2.5A の過渡電流を消費している場合、ESD762 クランプ電圧はわずか 36V です。ブレークダウンは双方向であるため、これらの保護デバイスは正負極性保護を必要とするアプリケーションに適しています。低リークのため、 V_{RWM} 以下で動作するときにこれらのダイオードの消費電力を節約できます。55°C ~ 150°C の温度範囲は、この ESD デバイスは、ほとんどの環境で広範な温度で動作します。リード付き SOT-23 パッケージは、自動光学検査 (AOI) を必要とするアプリケーションに適しています。

6.3.1 温度範囲

これらのデバイスは、-55°C から 150°C の動作が認定されています。

6.3.2 IEC 61000-4-5 サージ保護

IO ピンは、ESD762 で最大 2.5A (8/20 μs 波形) のサージイベントに耐えられます。ESD サージ クランプは、この電流をグランドに転送します。

6.3.3 IO 容量

ESD762 の I/O ピン間の容量は 1.7pF です。これらのコンデンサは、USB 給電の低速信号および産業用アプリケーション向けに設計されています。

6.3.4 動的抵抗

IO ピンには、SOT-23 パッケージでは 0.57Ω 、DFN1110-3 パッケージでは 0.68Ω の低い R_{DYN} を備えた ESD クランプが搭載されており、ESD イベント時のシステム損傷を防止します。

6.3.5 DC ブレークダウン電圧

IO ピン間の DC ブレークダウン電圧は、最小 $\pm 25.5V$ です。これにより、逆スタンドオフ電圧 $\pm 24V$ を超えるサージから、敏感な機器を保護します。

6.3.6 超低リーキ電流

IO ピンは、バイアス $\pm 24V$ で $50nA$ (最大値) の超低リーキ電流を特長としています。

6.3.7 クランプ電圧

IO ピンには ESD クランプがあり、電圧を $36V$ (8/20 μs サージ波形で $I_{PP} = 2.5A$)、 $38V$ (TLP、SOT-23 パッケージで $I_{PP} = 16A$)、 $42V$ (TLP、DFN1110-3 パッケージで $I_{PP} = 16A$) までクランプできます。

6.3.8 業界標準リード付きパッケージ

これらのデバイスは、業界標準の SOT-23 (DBZ) および DFN1110-3 パッケージを採用し、自動光学検査 (AOI) に対応しています。

6.4 デバイスの機能モード

ESD762 は、通常動作時のリーキ電流が小さく、IO と GND の間の電圧が V_{RWM} を下回っている場合にアクティブになるデュアル チャネル パッシブ クランプです。IO と GND の間の電圧が V_{BR} を上回るとアクティブになります。IEC 61000-4-2 ESD イベントの際、どちらのチャネルでも最大 $\pm 18kV$ の過渡電圧をクランプできます。保護されたラインの電圧が V_{HOLD} を下回ると、デバイスは低リーキのパッシブ状態に戻ります。

7 アプリケーションと実装

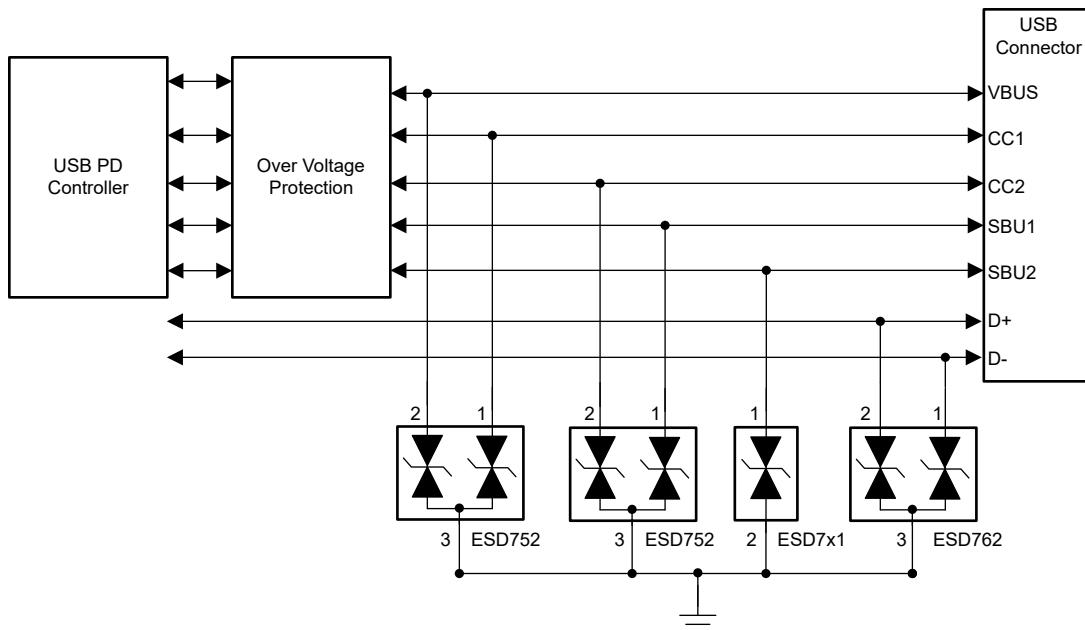
注

以下のアプリケーション セクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

ESD762 は、USB-PD または産業用 IO 信号ラインで ESD イベントを放散するためのグランドへのパスを提供するためには使用されるデュアル チャネル TVS ダイオードです。ESD 電流が TVS を通過するため、ダイオードの両端ではわずかな電圧降下が発生します。これは、保護対象の IC に供給される電圧です。トリガされた TVS の R_{DYN} が低いと、この電圧(V_{CLAMP})は、保護された IC に対して安全なレベルに保持されます。

7.2 代表的なアプリケーション



USB Power Delivery Application

図 7-1. USB Power Delivery の標準的なアプリケーション

7.2.1 設計要件

この設計例では、ESD762 を使用して、USB-PD コネクタに ESD 保護を提供します。このアプリケーションの既知の設計パラメータを、表 7-1 に示します。

表 7-1. USB パワー デリバリの代表的なアプリケーションの設計パラメータ

設計パラメータ	値
ダイオードの構成	双方向
V _{BUS} 電圧	+20V
V _{IO} 信号範囲	+3.3V
V _{RWM}	± 24V
V _{IO} の V _{BUS} への短絡イベント	± 20V

表 7-1. USB パワー デリバリの代表的なアプリケーションの設計パラメータ (続き)

設計パラメータ	値
データ レート	最大 480Mbps

7.2.2 詳細な設計手順

ESD762 には $\pm 24V$ の V_{RWM} があり、USB-PD 低速ライン (CC1、CC2、SBU1、SBU2、D+、と D-) のいずれかが VBUS に短絡した場合に発生する可能性のある短絡イベント中にダイオードが損傷するのを防ぎます。双方向特性により、正と負の両方の極性を保護します。ESD762 デバイスの静電容量が 1.7pF と低いため、最大 480Mbps のデータレートが可能になり、設計者は D+ および D- 信号の要件を満たすことができます。ESD762 は $I_{PP} = 2.5\text{A}$ ($8/20\mu\text{s}$) のサージ電流能力があるため、VBUS 電源レールの保護に適しています。

7.2.3 アプリケーション曲線

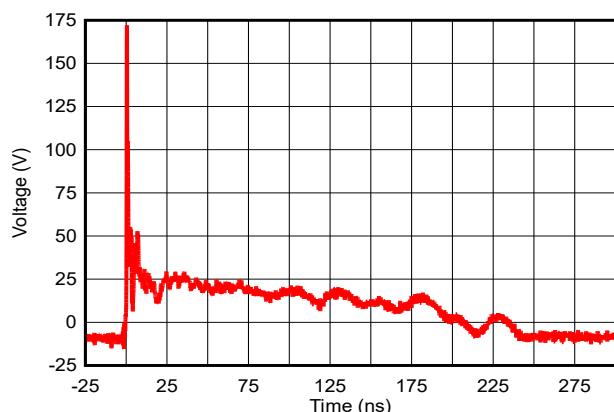


図 7-2. +8kV クランプ IEC 波形

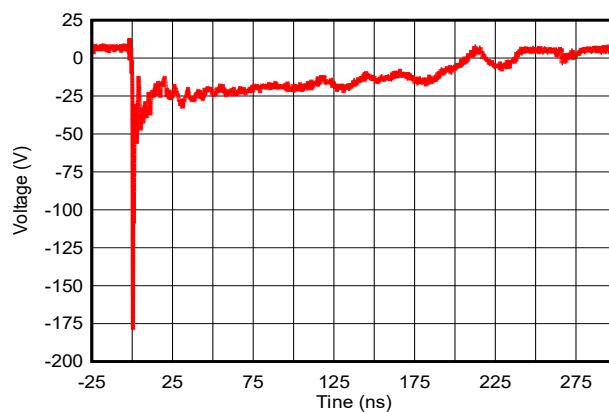


図 7-3. -8kV クランプ IEC 波形

8 電源に関する推奨事項

これらはパッシブ TVS ダイオード ベースの ESD 保護デバイスであるため、電力を供給する必要はありません。各ピンの最大電圧仕様に違反しないようにしてください。

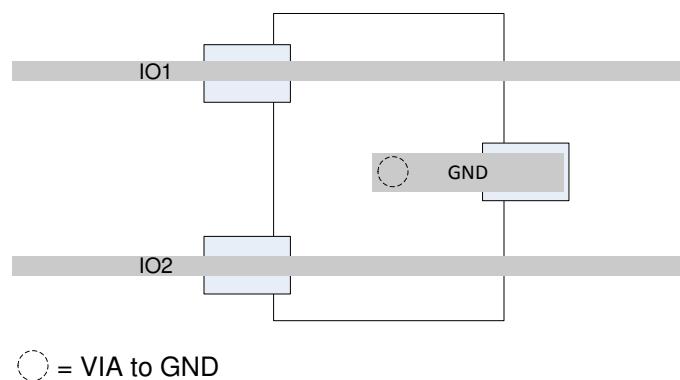
9 レイアウト

9.1 レイアウトのガイドライン

- デバイスの最適な配置は、コネクタに可能な限り近接して配置することです。
- ESD イベント中の EMI が、配線と接触した配線から、保護されていない他の配線と結合し、システムの早期障害を引き起こす可能性があります。
- PCB 設計者は、TVS とコネクタの間に保護されていないトレースから離れた場所に配置して、EMI 結合の可能性を最小限に抑える必要があります。
- 保護トレースを可能な限り直線的に配線します。
- 可能な限り大きな半径の丸みを帯びた角を使用し、TVS とコネクタの間の保護トレースの鋭角な角を排除します。
 - 電界は角で蓄積する傾向があり、EMI 結合を増加させます。
- ピン 3 がグランドに接続されている場合、このリターンパスには太く短いパターンを使用します。

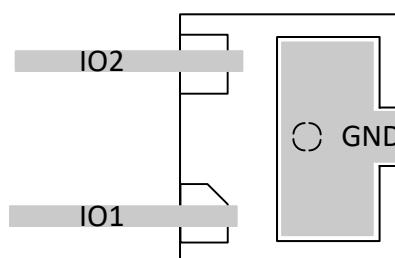
9.2 レイアウト例

これは、デュアル チャネル IO 配線の代表的な例です。



○ = VIA to GND

図 9-1. DBZ パッケージを使用した配線



○ = VIA to GND

図 9-2. DXA パッケージを使用した配線

10 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

10.1 ドキュメントのサポート

10.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『[ESD レイアウトガイド ユーザー ガイド](#)』
- テキサス・インスツルメンツ、『[USB インターフェイス用の ESD およびサージ保護](#)』アプリケーションノート
- テキサス・インスツルメンツ、『[ESD 保護ダイオード EVM ユーザー ガイド](#)』
- テキサス・インスツルメンツ、『[汎用 ESD 評価基板 ユーザー ガイド](#)』
- テキサス・インスツルメンツ、『[ESD 保護の読み取りと理解](#)』データシート

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

10.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (November 2022) to Revision C (December 2025)	Page
• データシートから ESD752 の仕様を削除.....	1
• デバイス パッケージ オプションに DFN1110-3 パッケージを追加.....	1

Changes from Revision A (August 2022) to Revision B (November 2022)	Page
• データシートに ESD762 の仕様を追加.....	1

Changes from Revision * (May 2022) to Revision A (August 2022)	Page
• データシートのステータスを以下のように変更:「詳細情報」から次のように変更:「量産データ」.....	1

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ESD762DBZR	Active	Production	SOT-23 (DBZ) 3	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 150	2RK8
ESD762DBZR.B	Active	Production	SOT-23 (DBZ) 3	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 150	2RK8
ESD762DXAR	Active	Production	USON (DXA) 3	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-55 to 150	1X3

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

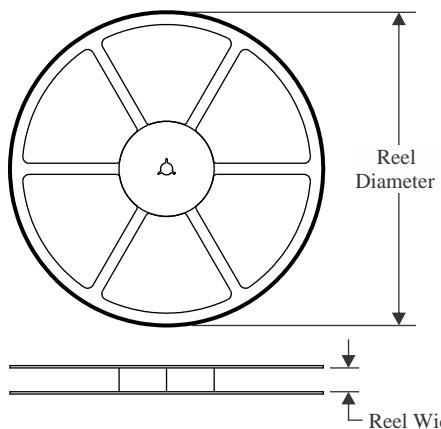
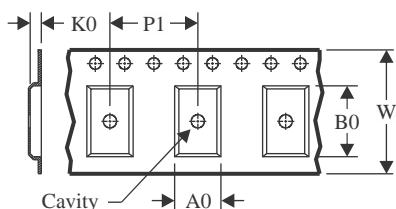
⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

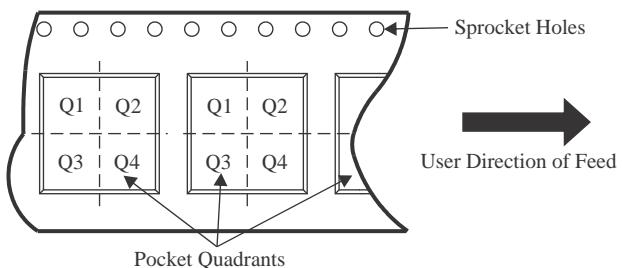
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

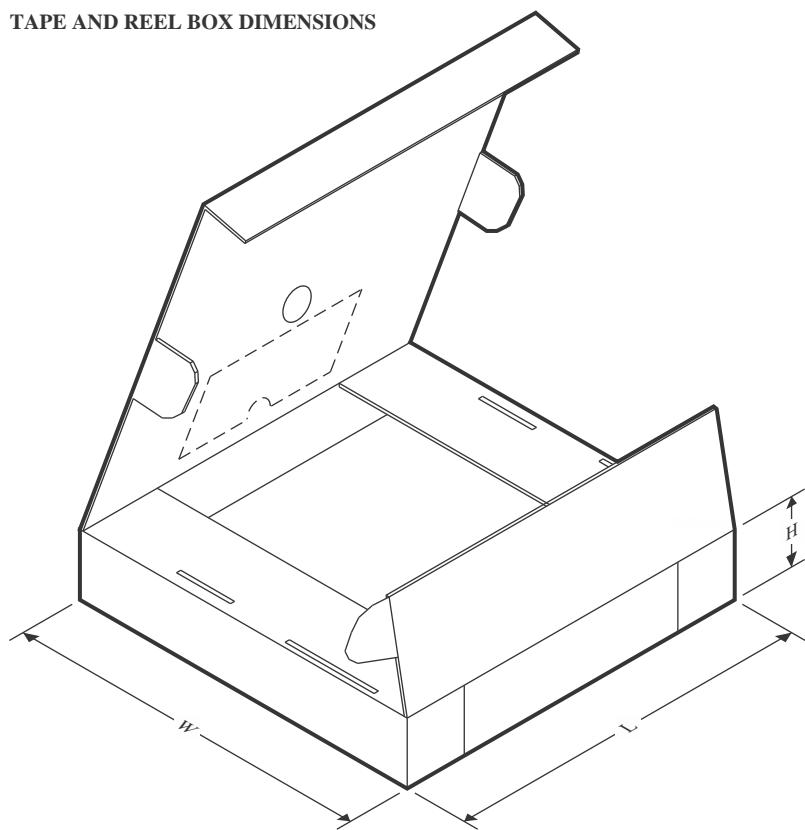
TAPE AND REEL INFORMATION
REEL DIMENSIONS

TAPE DIMENSIONS


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ESD762DBZR	SOT-23	DBZ	3	3000	180.0	8.4	2.9	3.35	1.35	4.0	8.0	Q3
ESD762DXAR	USON	DXA	3	3000	180.0	8.4	1.2	1.3	0.65	4.0	8.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

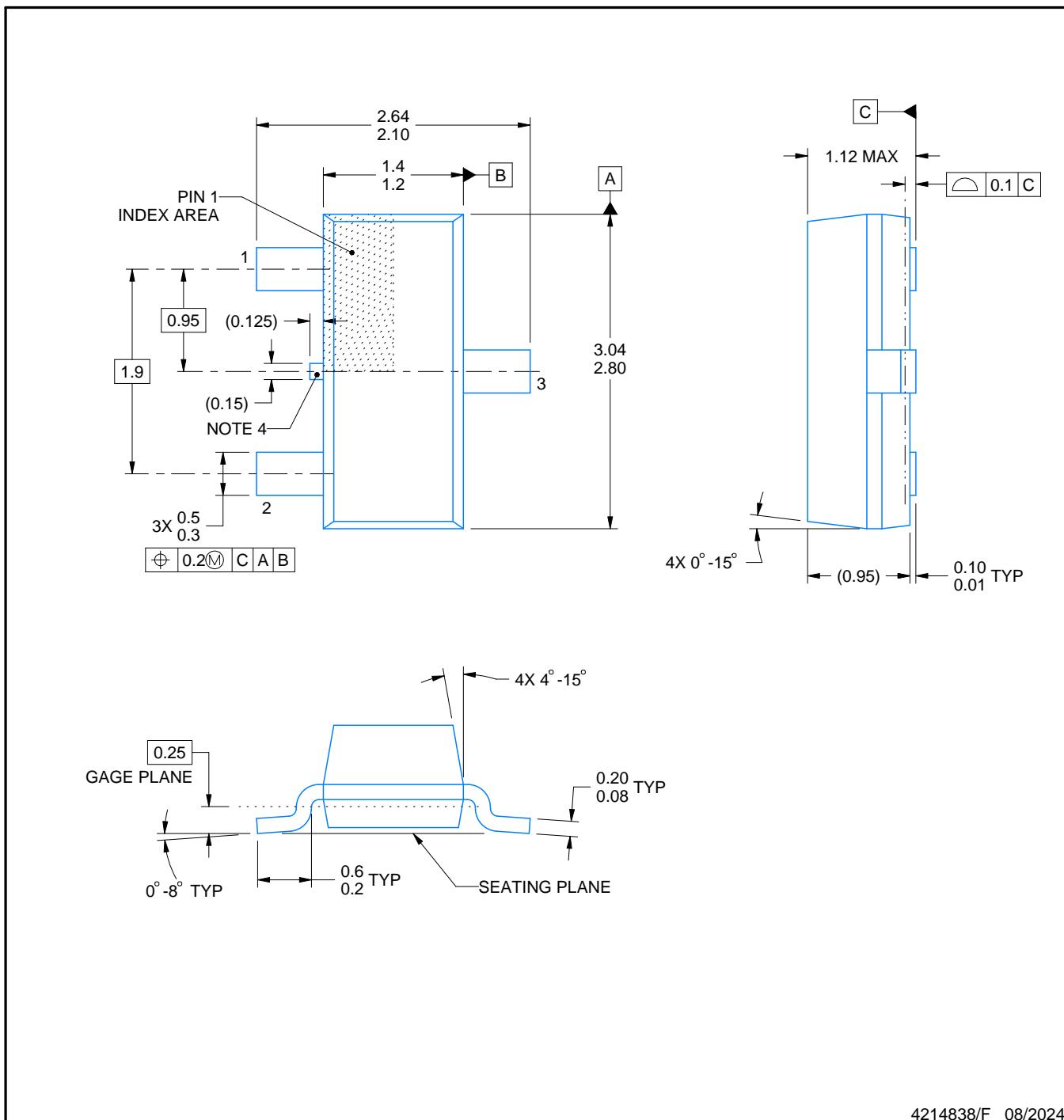
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ESD762DBZR	SOT-23	DBZ	3	3000	210.0	185.0	35.0
ESD762DXAR	USON	DXA	3	3000	210.0	185.0	35.0

PACKAGE OUTLINE

DBZ0003A

SOT-23 - 1.12 mm max height

SMALL OUTLINE TRANSISTOR



NOTES:

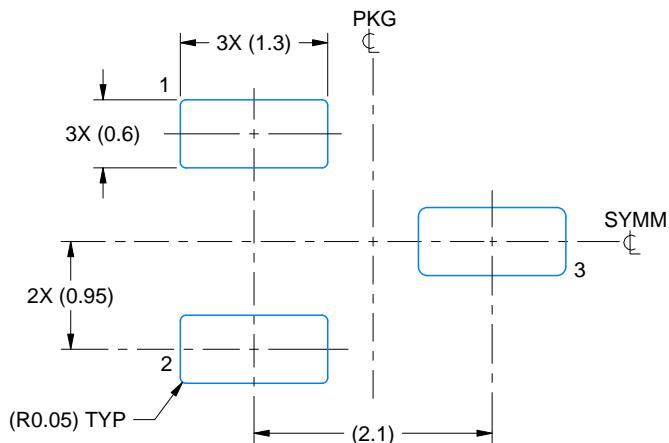
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC registration TO-236, except minimum foot length.
4. Support pin may differ or may not be present.
5. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side

EXAMPLE BOARD LAYOUT

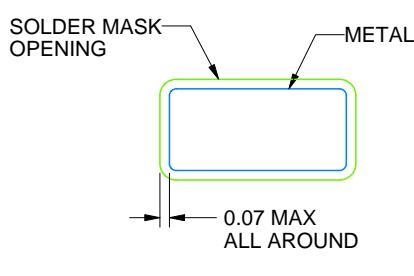
DBZ0003A

SOT-23 - 1.12 mm max height

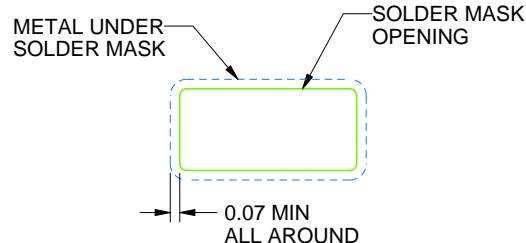
SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
SCALE:15X



NON SOLDER MASK DEFINED (PREFERRED)



SOLDER MASK DEFINED

SOLDER MASK DETAILS

4214838/F 08/2024

NOTES: (continued)

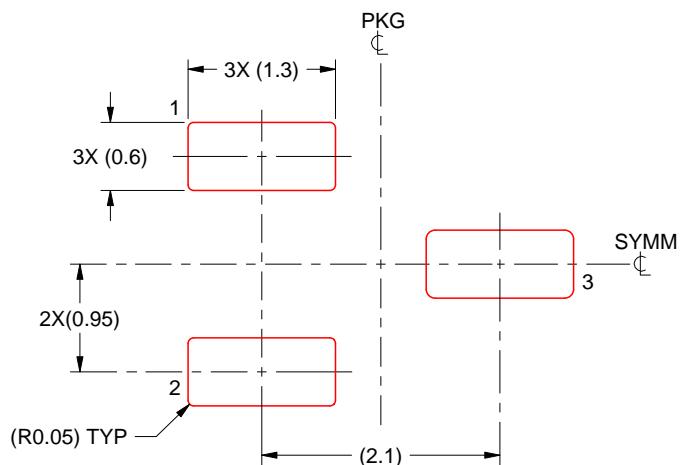
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBZ0003A

SOT-23 - 1.12 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:15X

4214838/F 08/2024

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

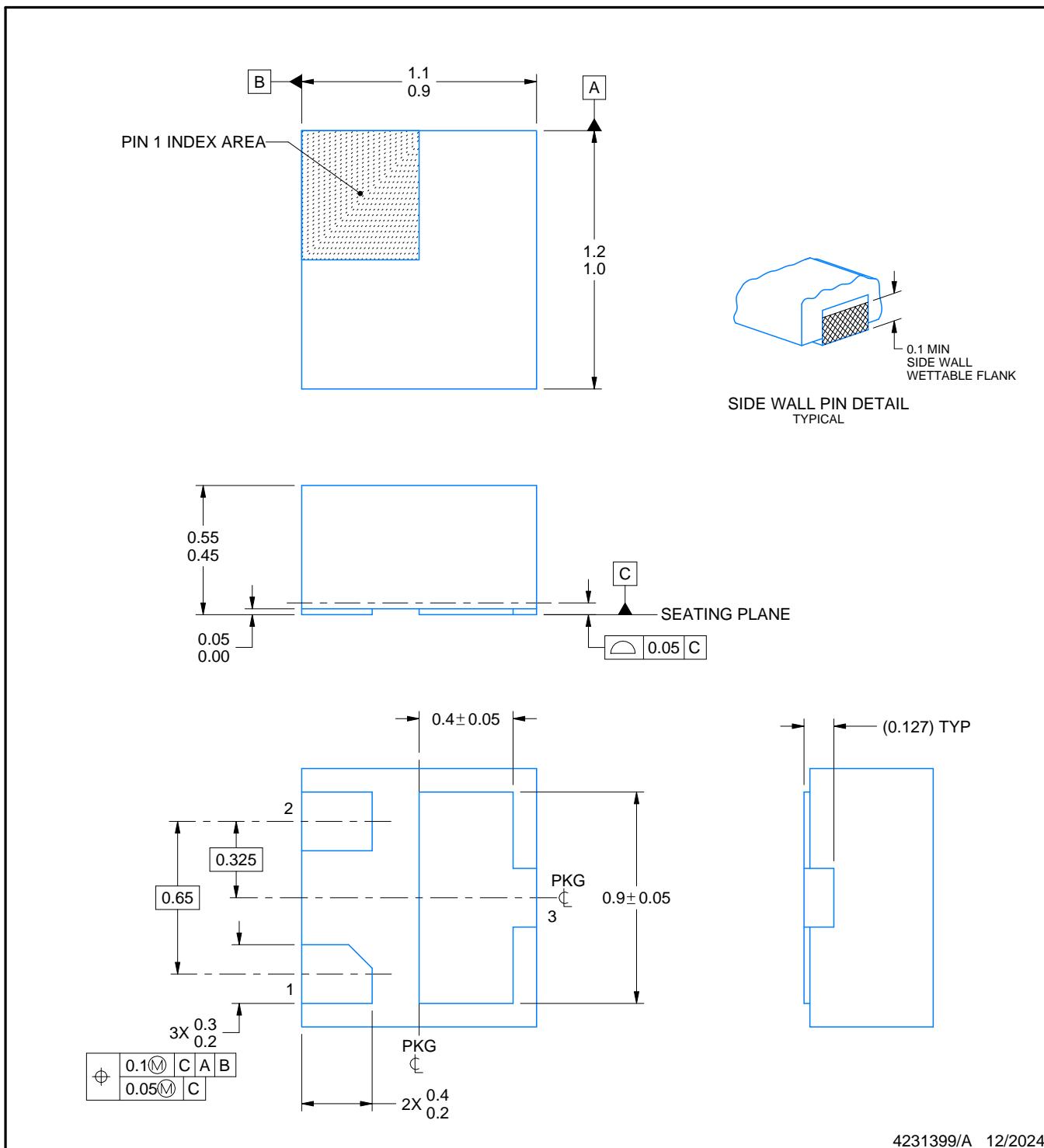
PACKAGE OUTLINE

DXA0003A



USON - 0.55 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



4231399/A 12/2024

NOTES:

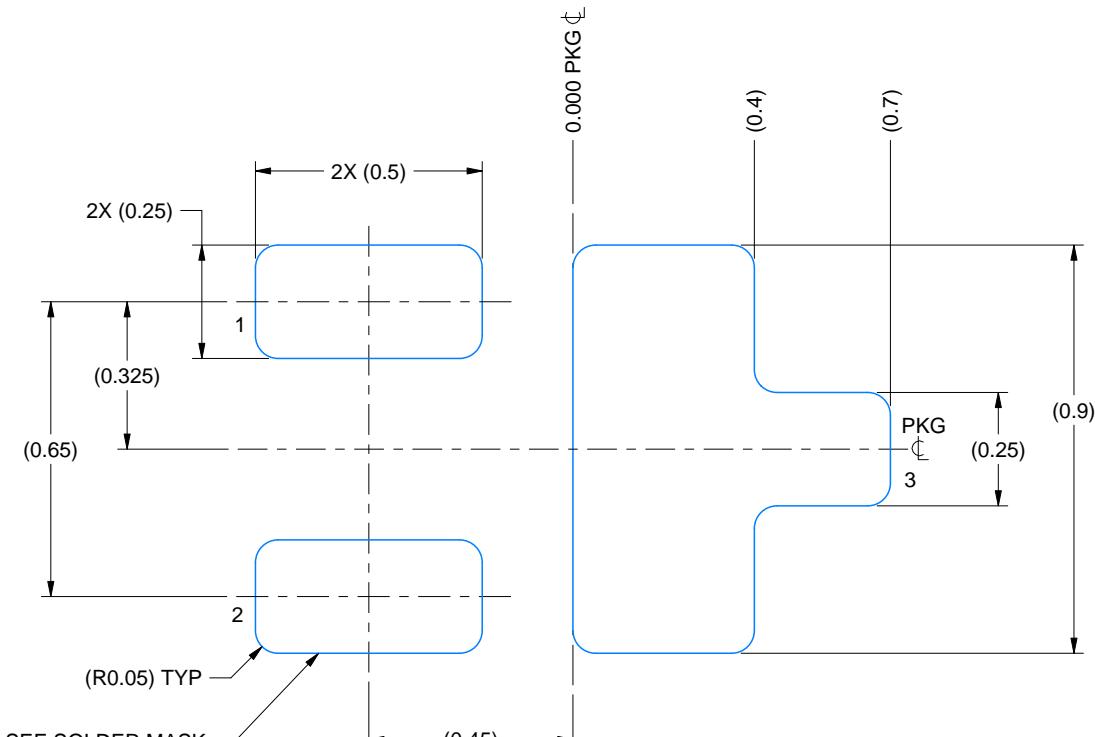
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

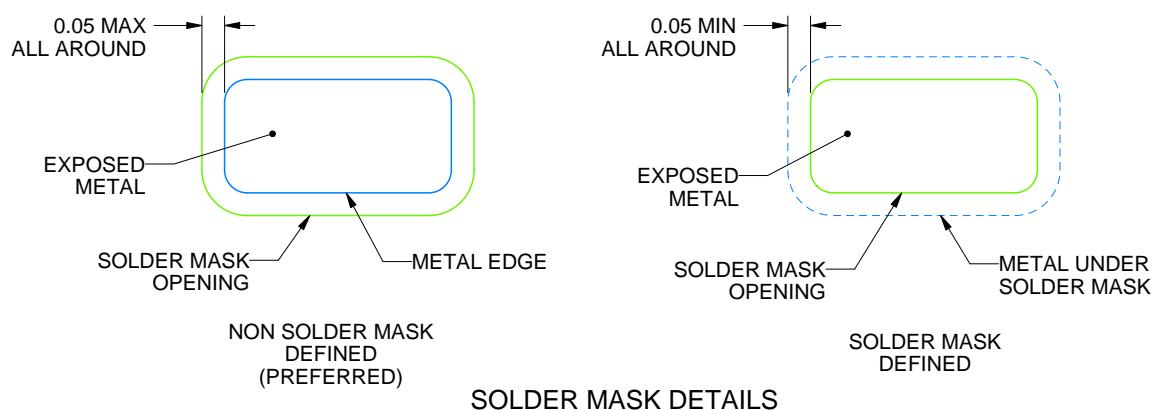
DXA0003A

USON - 0.55 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 60X



4231399/A 12/2024

NOTES: (continued)

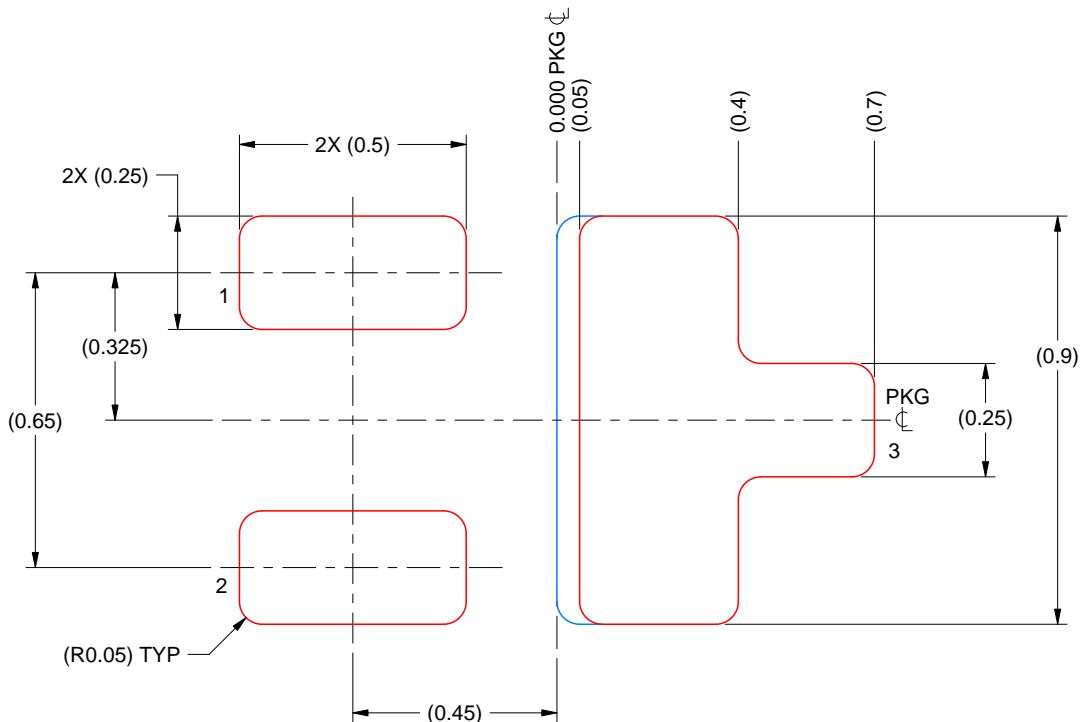
3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

DXA0003A

USON - 0.55 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE: 60X

EXPOSED PAD 3
90% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4231399/A 12/2024

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月