

INA105 高精度、ユニティ ゲイン、差動アンプ

1 特長

- ユニティ ゲイン差動アンプの構成
- 大きい同相信号除去(CMRR) : 72dB (最小値)
- 低ゲイン誤差: 0.025% (最大値)
- 小さいゲインドリフト: 5ppm/°C (最大値)
- 低い非線形性: 0.001% (最大値)
- 帯域幅: 1MHz (標準値)
- 低いオフセット電圧: 500µV (最大値)
- 低いオフセット電圧ドリフト: 20µV/°C (最大値)

2 アプリケーション

- バッテリ セル形成とテスト機器
- センサのタグとデータ ロガー
- サーボ ドライブ位置フィードバック
- レベル トランスマッタ
- ストリング インバータ

3 概要

INA105 は、ゲイン = 1 の单一チップ差動増幅器で、高精度のオペアンプ(op アンプ)とオンチップの金属皮膜抵抗ネットワークで構成されています。レーザ トリミングされた抵抗により、高いゲイン精度と高い同相除去比を実現します。これらの抵抗温度係数 (TCR) が小さいため、温度が変化してもゲイン精度と同相モード除去が維持されます。入力同相範囲は、正および負の電源レールよりも拡張されています。

差動アンプは、多くの一般的な回路の基礎となるものです。INA105 は、高価な高精度抵抗ネットワークを使用せずに、この精密な回路機能を提供します。INA105 は 8 ピンのプラスチック製 DIP、SOIC 表面実装パッケージ、および TO-99 金属製パッケージで供給されます。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
INA105	P (PDIP, 8)	9.81mm × 9.43mm
	D (SOIC, 8)	4.90mm × 6.00mm
	LMC (TO-CAN, 8)	8.96mm × 8.96mm

- (1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

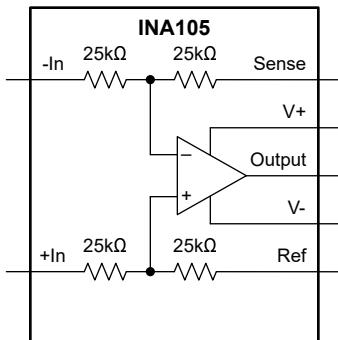


図 3-1. 高精度、ユニティ ゲイン、差動アンプ



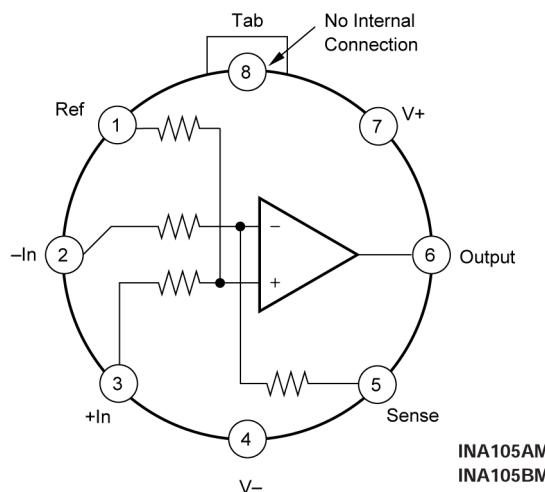
このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール(機械翻訳)を使用していることがあり、TIでは翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

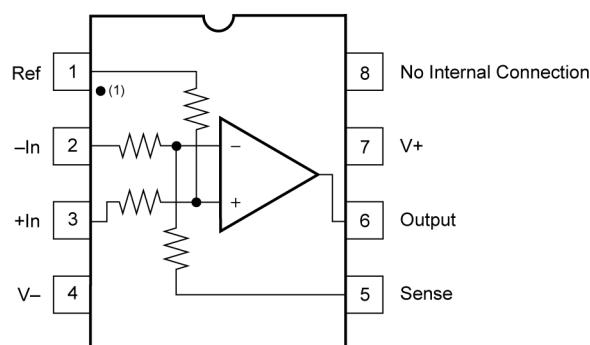
1 特長	1	7 アプリケーションと実装	12
2 アプリケーション	1	7.1 アプリケーション情報	12
3 概要	1	7.2 代表的なアプリケーション	13
4 ピン構成および機能	3	7.3 追加アプリケーション	13
5 仕様	4	7.4 電源に関する推奨事項	25
5.1 絶対最大定格	4	7.5 レイアウト	25
5.2 推奨動作条件	4	8 デバイスおよびドキュメントのサポート	27
5.3 熱に関する情報	4	8.1 デバイス サポート	27
5.4 電気的特性	5	8.2 ドキュメントの更新通知を受け取る方法	27
5.5 代表的特性	7	8.3 サポート・リソース	27
6 詳細説明	10	8.4 商標	28
6.1 概要	10	8.5 静電気放電に関する注意事項	28
6.2 機能ブロック図	10	8.6 用語集	28
6.3 機能説明	10	9 改訂履歴	28
6.4 デバイスの機能モード	11	10 メカニカル、パッケージ、および注文情報	29

4 ピン構成および機能

Top View



Top View



注: 小型外形表面マウント用の性能グレード識別ボックス。空白は K グレードを示します。部品には「INA105U」と表示されます。

表 4-1. ピンの機能

名称	番号	タイプ	説明
+In	3	入力	オペアンプの非反転端子への正(非反転)入力 $25k\Omega$ 抵抗
-In	2	入力	負(反転)入力 オペアンプの反転端子への $25k\Omega$ 抵抗
出力	6	出力	出力
Ref	1	入力	リファレンス入力 オペアンプの反転端子への $25k\Omega$ 抵抗
V+	7	-	正(最高)電源
V-	4	-	負(最低)電源
センス	5	入力	センス入力 オペアンプの反転端子への $25k\Omega$ 抵抗
NC	8	-	内部接続なし(フローティングのままでも可)

5 仕様

注

TI では、このデバイスの複数の製造フローを認定済みです。性能の違いは、チップの原産拠点 (CSO) によってラベル付けされています。システムの堅牢性を確保するために、すべてのフローを考慮した設計を強く推奨します。詳細情報については、[セクション 8.1.1](#) をご覧ください。

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)⁽¹⁾

		最小値	最大値	単位
電源電圧、 $V_S = (V+) - (V-)$		0	36	V
信号入力ピン	単一電源、+In, -In, Sense, REF	0	V_S	V
出力短絡 ⁽²⁾		連続		
温度	動作時、 T_A (INA105KP, KU)	-40	85	°C
	動作時、 T_A (INA105AM, BM)	-55	125	
	接合部、 T_J		150	
	ストレージ、 T_{stg} (INA105KP, KU)	-40	125	
	ストレージ、 T_{stg} (INA105AM, BM)	-65	150	

- (1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能性、性能に影響を及ぼし、デバイスの寿命を短縮する可能性があります。
- (2) $V_S / 2$ への短絡

5.2 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
電源電圧	単一電源	10	30	36	V
	デュアル電源	± 5	± 15	± 18	
規定温度		-40		85	°C

5.3 熱に関する情報

熱評価基準 ⁽¹⁾		INA105		単位
		D (SOIC)	P (PDIP)	
		8 ピン	8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	108.9	74.1	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	45.9	52.3	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	56.6	38.3	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	4.8	18.3	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	55.7	37.3	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

5.4 電気的特性

$T_A = 25^\circ\text{C}$ 、 $V_S = \pm 15\text{V}$ 、 $R_L = 10\text{k}\Omega$ 、 $V_{\text{REF}} = 0\text{V}$ 、 $G = 1$ のとき、すべてのチップ原産拠点 (CSO) (特に記述のない限り)

パラメータ	テスト条件			最小値	標準値	最大値	単位
入力							
V_{OS}	オフセット電圧	RTO ^{(1) (2)}	INA105AM、INA105BM	50	250		μV
	オフセット電圧ドリフト		INA105KP、KU	50	500		
PSRR	電源除去比	$T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$ 、 RTO ^{(1) (2)} 、 $V_S = \pm 6\text{V} \sim \pm 18\text{V}$	INA105AM	5	20		$\mu\text{V}/^\circ\text{C}$
			INA105BM	5	10		
			INA105KP、KU	5	20		
$Z_{\text{IN-DM}}$	長期安定性	RTO ^{(1) (2)}			20		$\mu\text{V}/\text{mo}$
	差動インピーダンス ⁽³⁾			50			$\text{k}\Omega$
$Z_{\text{IN-CM}}$	同相インピーダンス ⁽³⁾			50			$\text{k}\Omega$
V_{CM}	動作時同相入力電圧 ⁽⁴⁾			-20	20		V
V_{DM}	動作時作動入力電圧 ⁽⁴⁾			-10	10		V
CMRR	同相信号除去比 ⁽⁵⁾	$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$	INA105AM	80	90		dB
			INA105BM	86	100		
			INA105KP、KU	72	90		
ノイズ電圧							
e_N	電圧ノイズ	RTO ^{(1) (6)}	$f_O = 10\text{kHz}$	CSO: SHE	60		$\text{nV}/\sqrt{\text{Hz}}$
				CSO: RFB	50		
			$f_B = 0.01\text{Hz} \sim 10\text{Hz}$		2.4		μV_{PP}
ゲイン							
GE	ゲイン誤差	INA105AM、INA105BM			± 0.005	± 0.01	$\%$
		INA105KP、KU			± 0.01	± 0.025	
	ゲインドリフト				1	5	$\text{ppm}/^\circ\text{C}$
	ゲインの非直線性				± 0.0002	± 0.001	FSR の %
出力							
	出力電圧	$I_O = -5\text{mA}, 20\text{mA}$			10	12	V
	負荷容量(安定動作)				1000		pF
I_{SC}	短絡電流	$VS / 2$ まで連続	ソース	CSO: SHE	40		mA
				CSO: RFB	70		
			シンク	CSO: SHE	10		
				CSO: RFB	70		
Z_O	出力インピーダンス				0.01		Ω

5.4 電気的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = \pm 15\text{V}$ 、 $R_L = 10\text{k}\Omega$ 、 $V_{\text{REF}} = 0\text{V}$ 、 $G = 1$ のとき、すべてのチップ原産拠点 (CSO) (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
周波数応答						
BW	帯域幅、-3dB			1		MHz
FPBW	フルパワー帯域幅、-3dB	$V_O = 20\text{Vpp}$	30	50		kHz
SR	スルーレート	CSO: SHE	2	3		$\text{V}/\mu\text{s}$
		CSO: RFB		22		
t_s	セトリング タイム	0.1%、 $V_{\text{STEP}} = 10\text{V}$		4		μs
		0.01%、 $V_{\text{STEP}} = 10\text{V}$		5		
		0.01%、 $V_{\text{CM-STEP}} = 10\text{V}$ 、 $V_{\text{DIFF}} = 0\text{V}$		1.5		
電源						
I_Q	静止時電流	$V_O = 0\text{V}$		± 1.5	± 2	mA

- (1) ユニティ ゲイン差動構成の出力を基準とします。この回路は、オペアンプのオフセット電圧とノイズ電圧のゲインが 2 あることに注意してください。
- (2) アンプの入力バイアスとオフセット電流の影響を含みます。
- (3) $25\text{k}\Omega$ の抵抗は、抵抗値比率が調整されていますが、絶対値で $\pm 20\%$ の誤差があります。
- (4) 保護なしで許容される最大入力電圧は、 $\pm 15\text{V}$ の電源電圧に対して $\pm 10\text{V}$ 高い ($\pm 25\text{V}$) 値です。 I_{IN} を 1mA に制限。
- (5) ソース インピーダンスが 0 の場合。
- (6) アンプの入力電流ノイズと抵抗ネットワークの熱ノイズの影響を含みます。

5.5 代表的特性

$T_A = 25^\circ\text{C}$ 、 $V_S = \pm 15\text{V}$ 、すべてのチップ原産拠点 (CSO)、特に記述のない限り

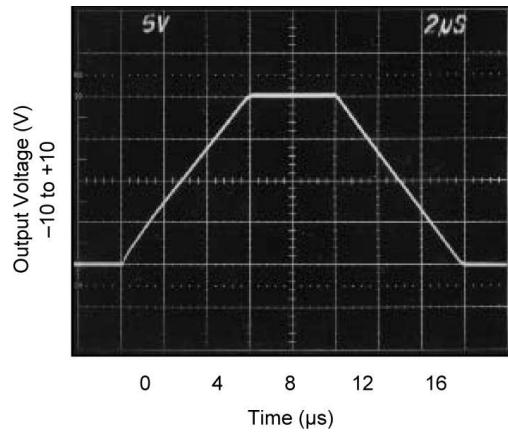


図 5-1. ステップ応答

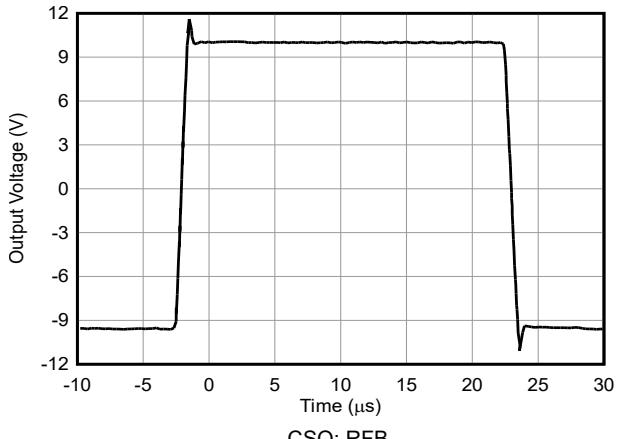


図 5-2. ステップ応答

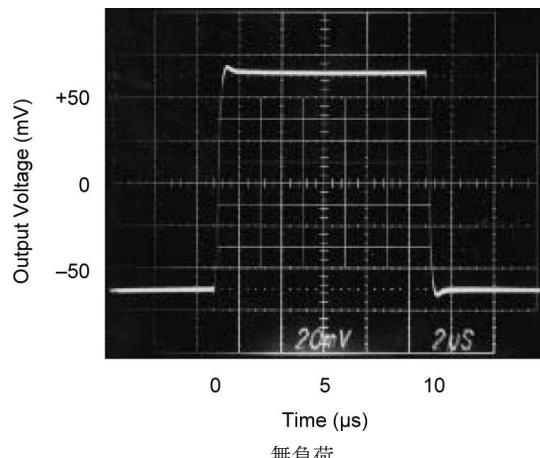


図 5-3. 小信号応答（無負荷）

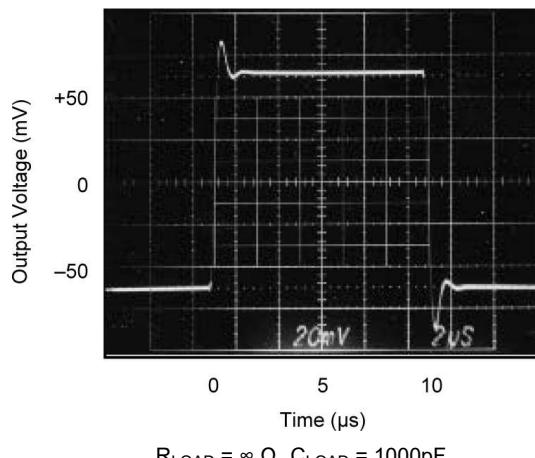


図 5-4. 小信号応答

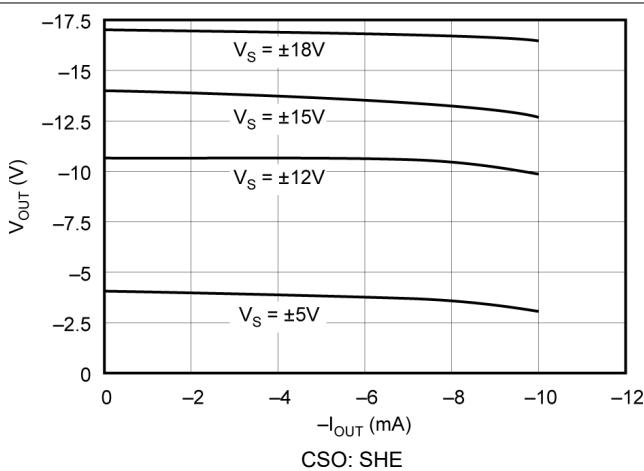


図 5-5. 最大 V_{OUT} と I_{OUT} との関係（負のスイング）

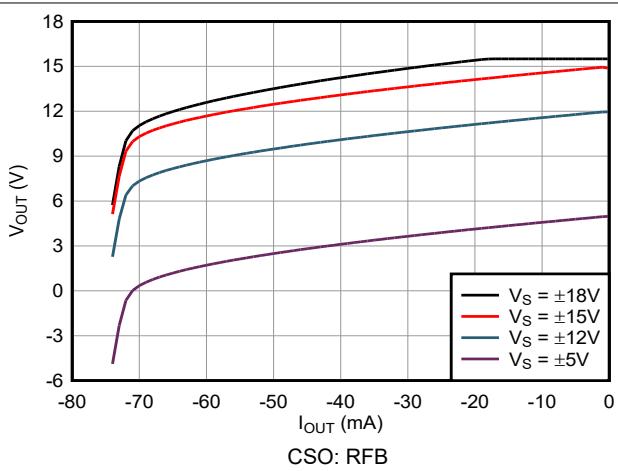


図 5-6. 最大 V_{OUT} と I_{OUT} との関係（負のスイング）

5.5 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = \pm 15\text{V}$ 、すべてのチップ原産拠点 (CSO)、特に記述のない限り

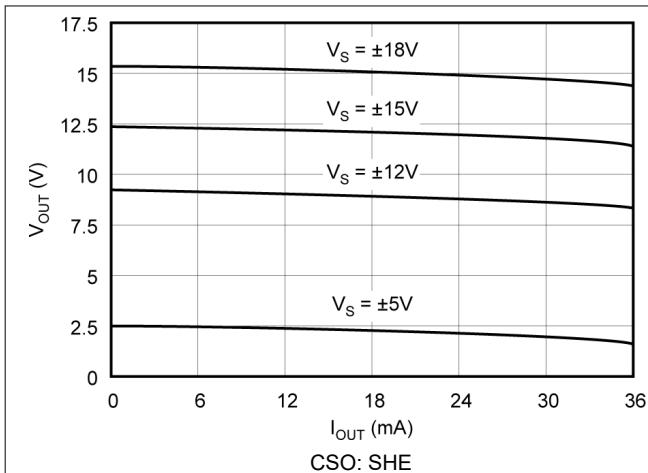


図 5-7. 最大 V_{OUT} と I_{OUT} との関係 (正のスイング)

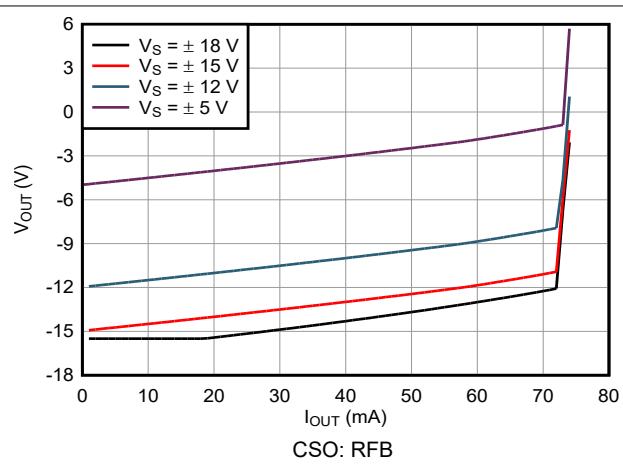


図 5-8. 最大 V_{OUT} と I_{OUT} との関係 (正のスイング)

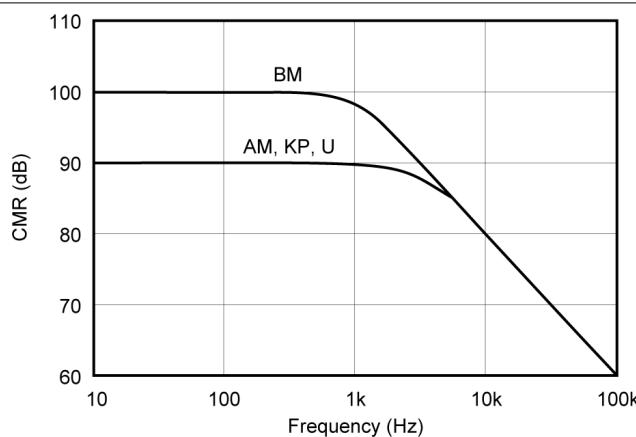


図 5-9. CMR と周波数との関係

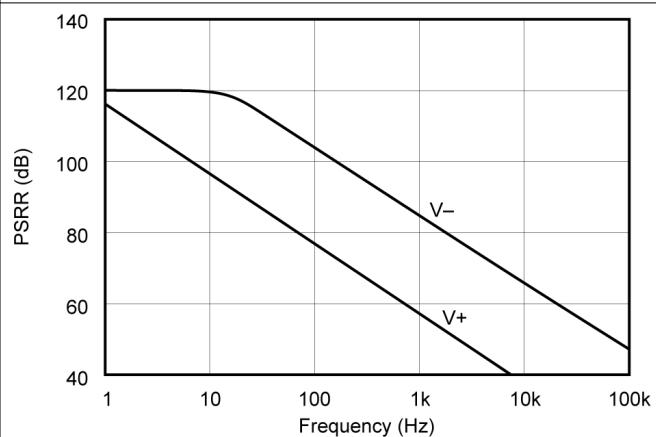
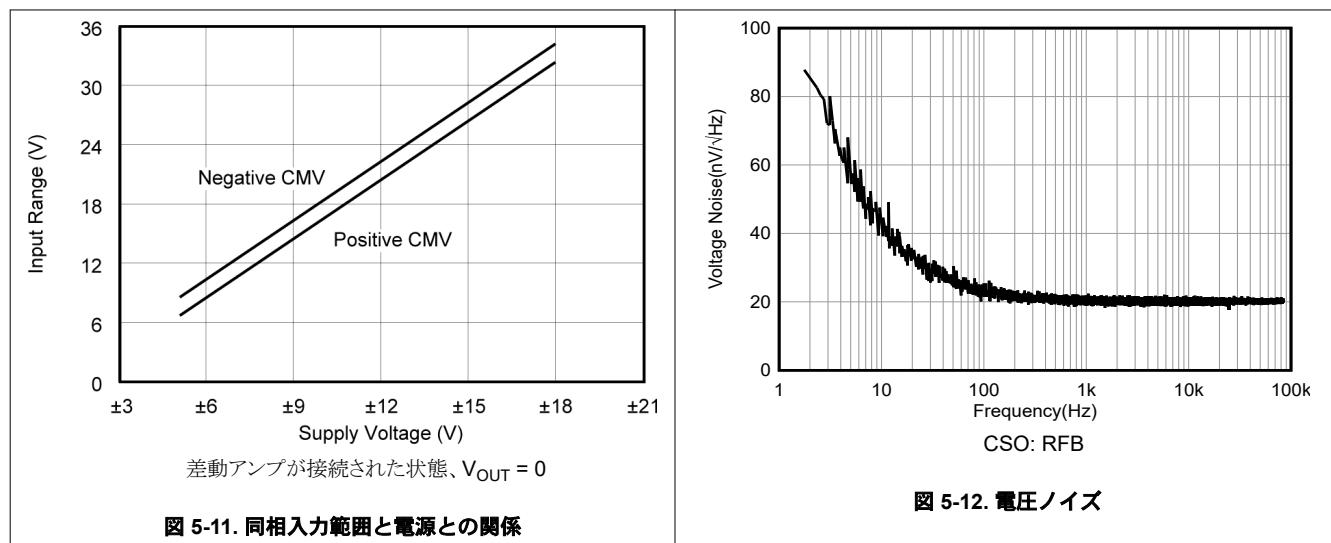


図 5-10. 電源除去特性と周波数の関係

5.5 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = \pm 15\text{V}$ 、すべてのチップ原産拠点 (CSO)、特に記述のない限り



6 詳細説明

6.1 概要

INA105 は、高精度オペアンプと、4 つのトリミングされたオンチップ抵抗で構成されています。このデバイスは、差動、非反転、反転の構成など、さまざまなアンプ構成に設定することができます。統合されたマッチング抵抗は、ディスクリート実装よりも優れています。

オペアンプ回路の DC 性能の大部分は、周囲の抵抗の精度で決まります。INA105 上の抵抗は、厳密にマッチングするようにレイアウトされています。各部分の抵抗はオンチップでマッチングされ、マッチング精度のテストは完了しています。この結果、INA105 は、ゲインドリフト、同相信号除去比、ゲイン誤差などの仕様に対する高精度を実現しています。

6.2 機能ブロック図

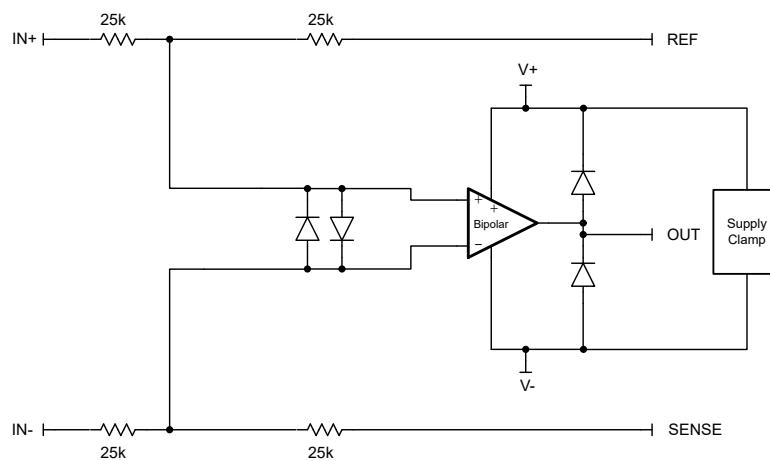


図 6-1. CSO の INA105 内部回路図 : SHE

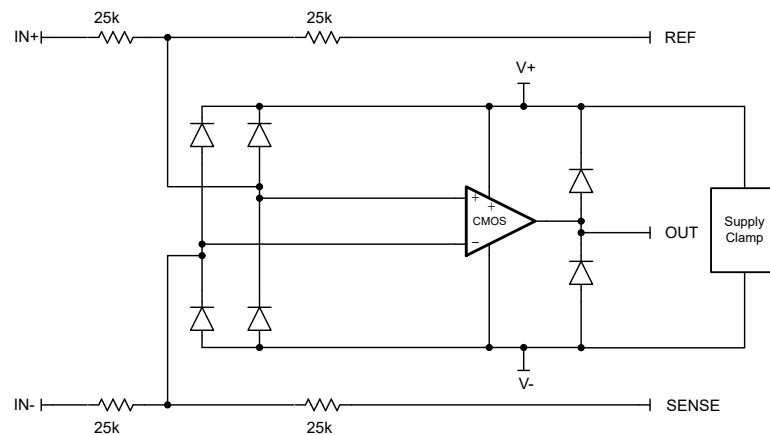


図 6-2. CSO : RFB の INA105 内部回路図

6.3 機能説明

6.3.1 ゲイン誤差とドリフト係数

INA105 のゲイン誤差は、内蔵の高精度抵抗の不一致によって制限されます。ゲインドリフトは、内蔵抵抗の温度係数のわずかな不一致によって制限されます。内蔵抵抗は高精度にマッチングされ、低温度係数の抵抗を使用することで、外部抵抗を用いたディスクリート構成の差動アンプと比べて、全体のゲインドリフトを改善しています。

6.3.2 入力電圧範囲

INA105 差動アンプは、入力信号を高精度の分圧抵抗で分割することで、広い入力同相電圧範囲を実現しています。内蔵抵抗は、電圧が内部オペアンプに到達する前に分圧し、オペアンプ入力の保護を行います。図 6-3 は、差動アンプの構成において分圧がどのように働くかという例を示しています。INA105 の電源電圧が $\pm 15V$ の場合、入力同相電圧範囲は $\pm 20V$ です。

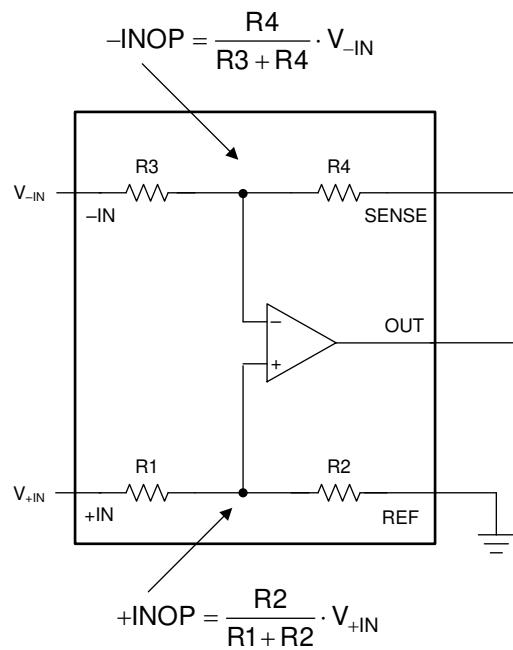


図 6-3. 差動アンプ構成での分圧

6.4 デバイスの機能モード

INA105 には 1 つの機能モードがあります。本デバイスは $\pm 15V$ の電源で仕様が定められていますが、 $\pm 5V$ ～ $\pm 18V$ の範囲で動作可能です(性能は低下します)。「[代表的特性](#)」を参照

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

図 7-1 は、INA105 の動作に必要な基本的な接続を示しています。デバイス ピンの近くに電源バイパス コンデンサを接続します。

差動入力信号は、図に示すようにピン 2 と 3 に接続します。入力に接続される各ソース インピーダンスは、良好な同相信号除去を実現するため、ほぼ等しくする必要があります。ソース インピーダンス内に 5Ω のミスマッチがあると、標準的なデバイスの同相信号除去が約 80dB まで低下する場合があります。ソース インピーダンスに既知のミスマッチがある場合は、1 つの入力に抵抗を直列に追加して、良好な同相信号除去を維持してください。

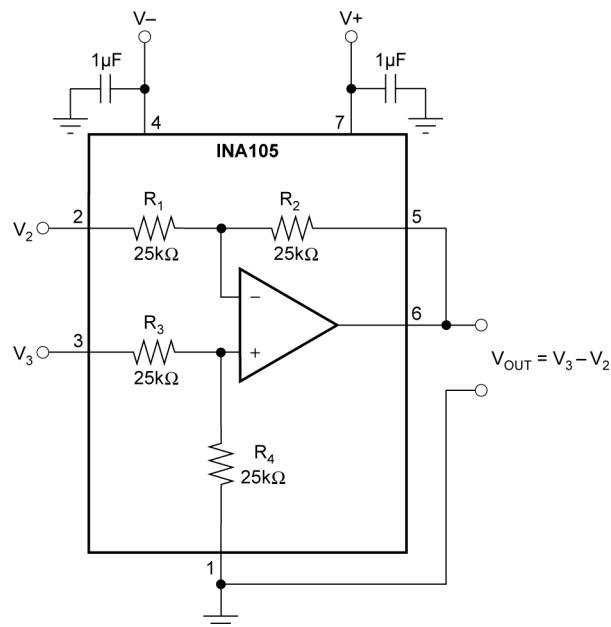


図 7-1. 基本的な電源と信号の接続

出力は、通常接地された出力基準端子 (ピン 1) を基準にします。Ref 端子に印加された電圧は、出力信号に加算されます。これは、図 7-2 に示すように、オフセット電圧を 0 にするために使用できます。良好な同相信号除去を維持するには、Ref 端子に印加される信号のソース インピーダンスが 10Ω 未満である必要があります。

公称抵抗値が同じであっても、ピン 1 とピン 3、またはピン 2 とピン 5 を入れ替えないでください。これらの抵抗は、正確なゲインと最高の同相信号除去比(CMR)を実現するために、レーザー トリムによって精密な抵抗比が確保されています。

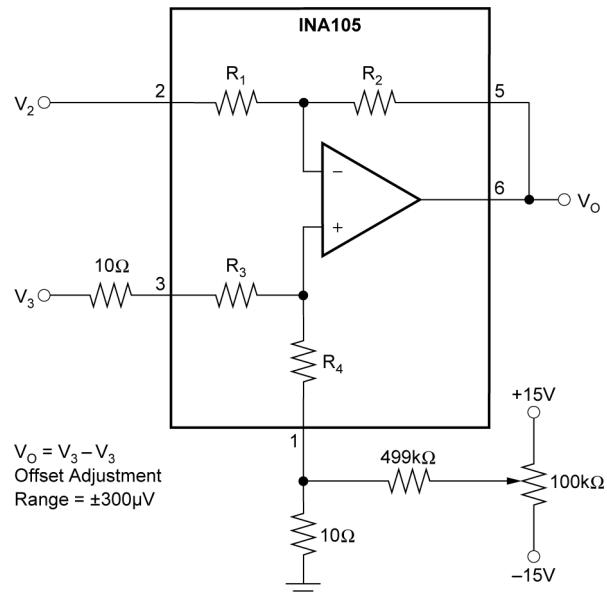
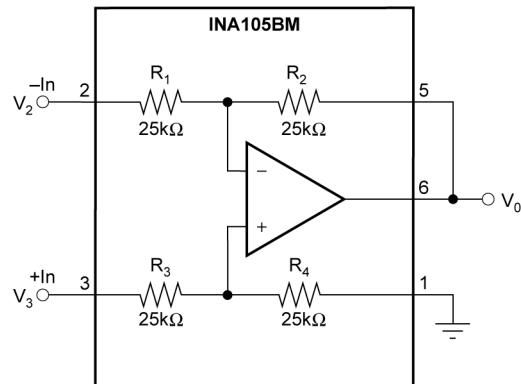


図 7-2. オフセット調整

7.2 代表的なアプリケーション

INA105 幅広い用途に使用できます。図 7-3 にその一例を示します。



$V_0 = V_3 - V_2$
Gain Error = 0.005%
CMR = 100dB
Nonlinearity = 0.0002%

図 7-3. 高精度差動アンプ

7.3 追加アプリケーション

差動アンプは、さまざまなアプリケーションで使用可能な、汎用性の高いビルディング ブロックです。次のセクションでは、追加のアプリケーション回路のアイデアを紹介します。

7.3.1 オペアンプの回路図

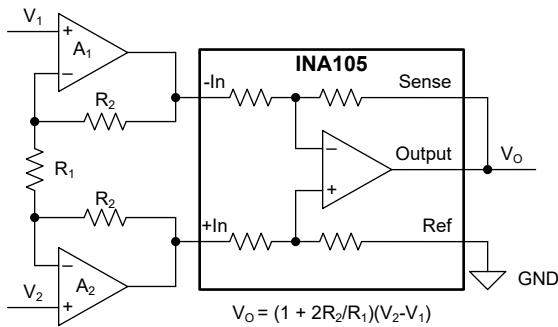


図 7-4. 高精度計測アンプ

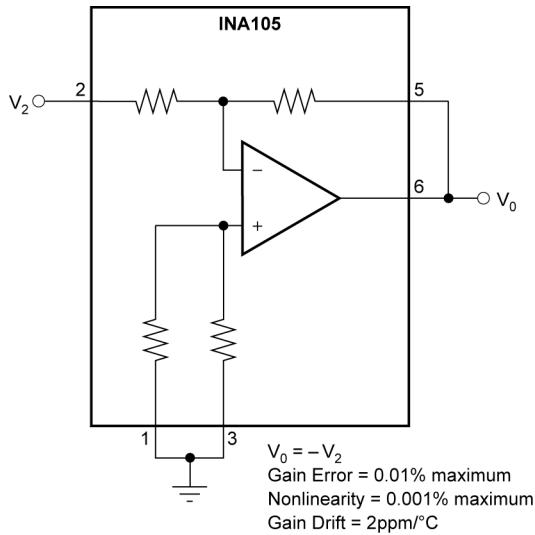


図 7-5. 高精度ユニティ ゲイン反転アンプ

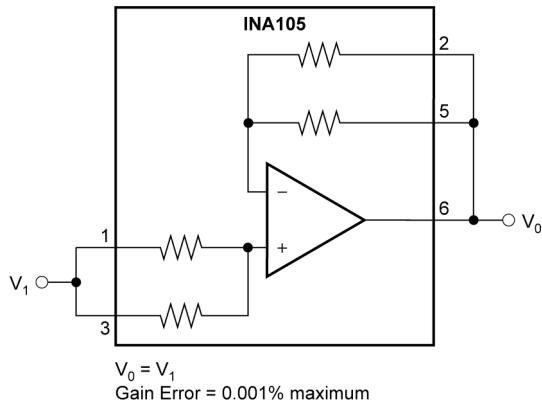


図 7-6. 高精度ユニティ ゲイン バッファ

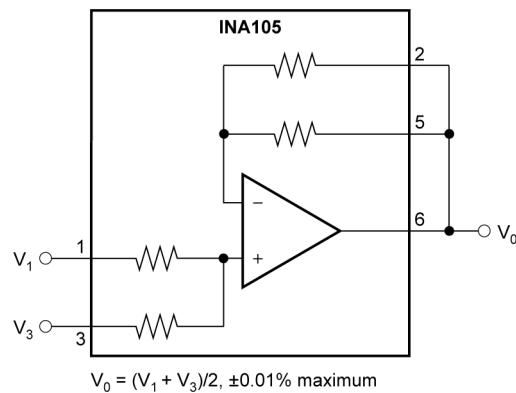


図 7-7. 高精度平均値アンプ

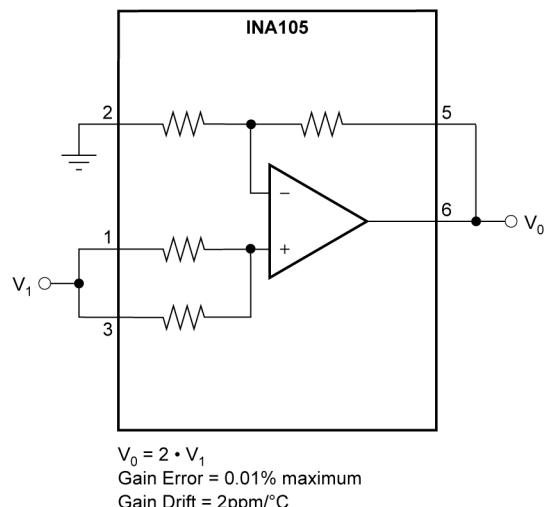


図 7-8. 高精度、ゲイン = 2 アンプ

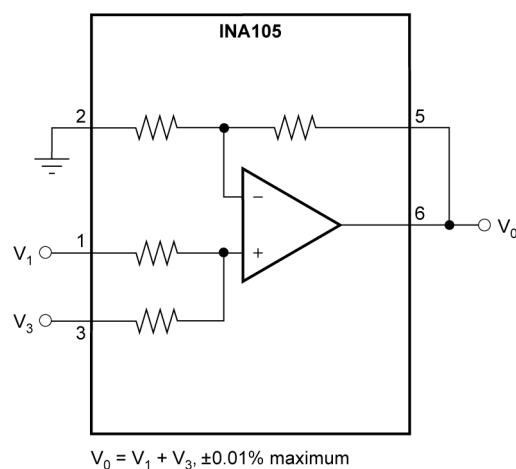


図 7-9. 高精度サミング アンプ

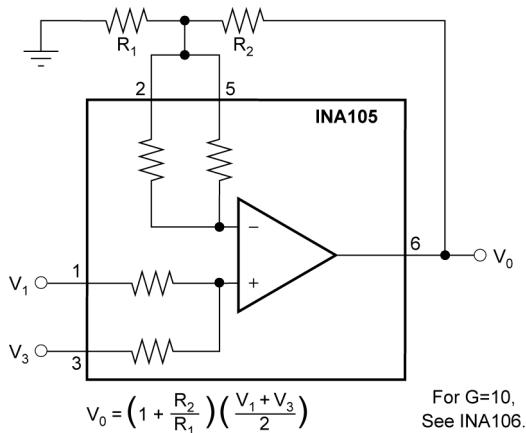


図 7-10. 高精度サミング アンプ(ゲインあり)

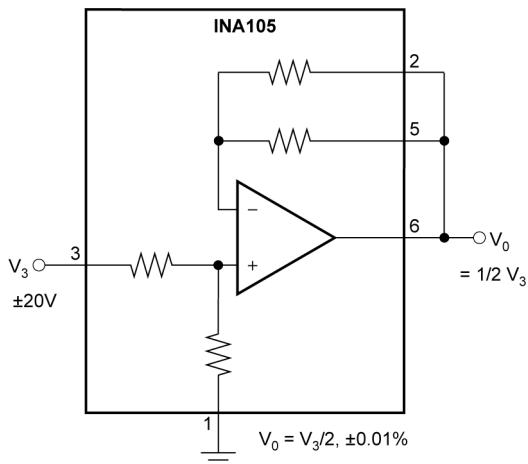


図 7-11. 高精度、ゲイン = 1/2 アンプ

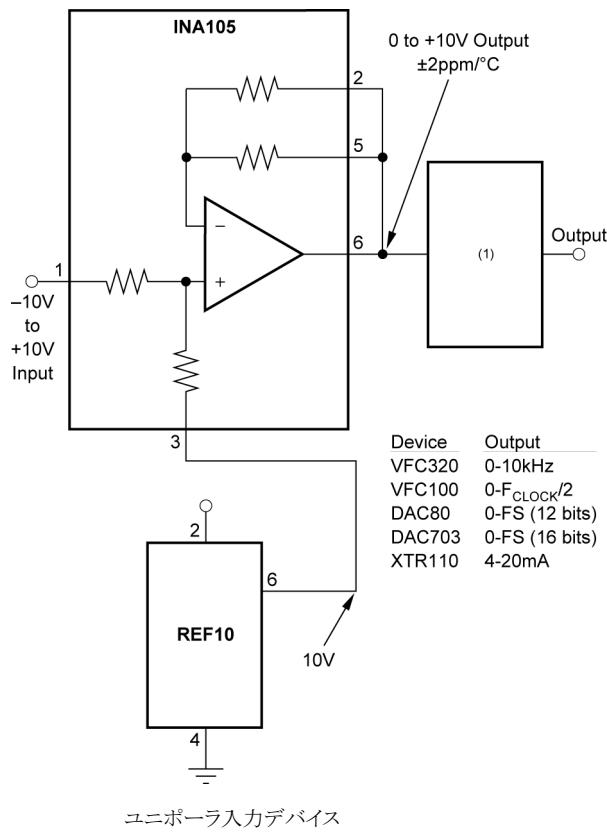


図 7-12. 高精度バイポーラ オフセット

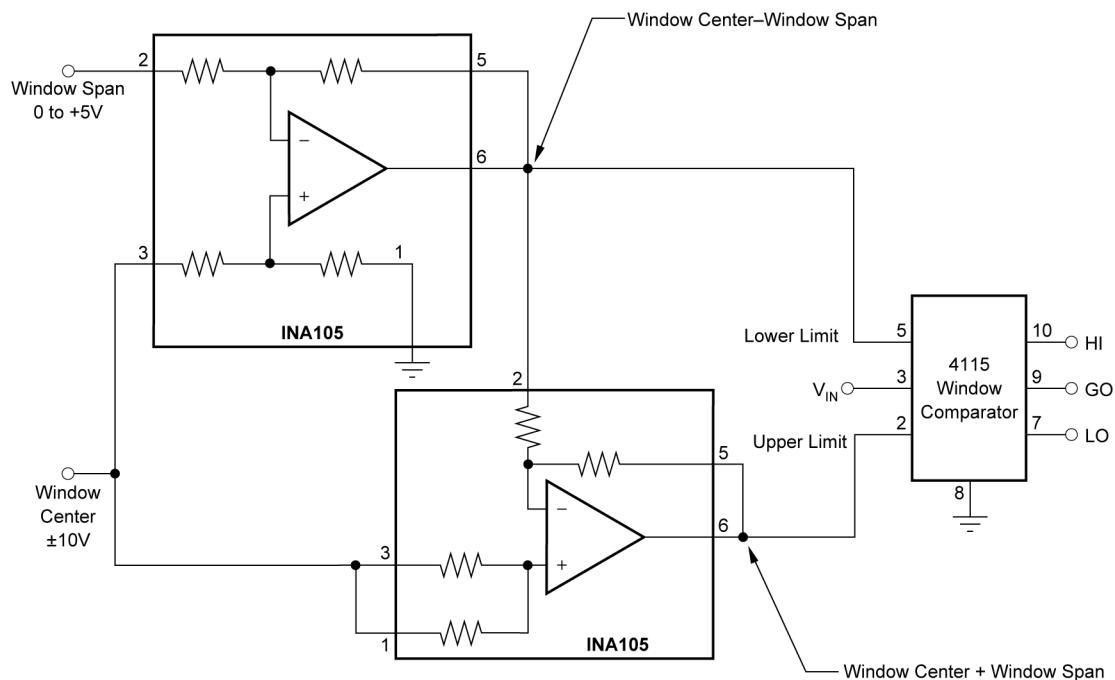


図 7-13. ウィンドウ スパンとウィンドウ センター入力を持つウィンドウ コンパレータ

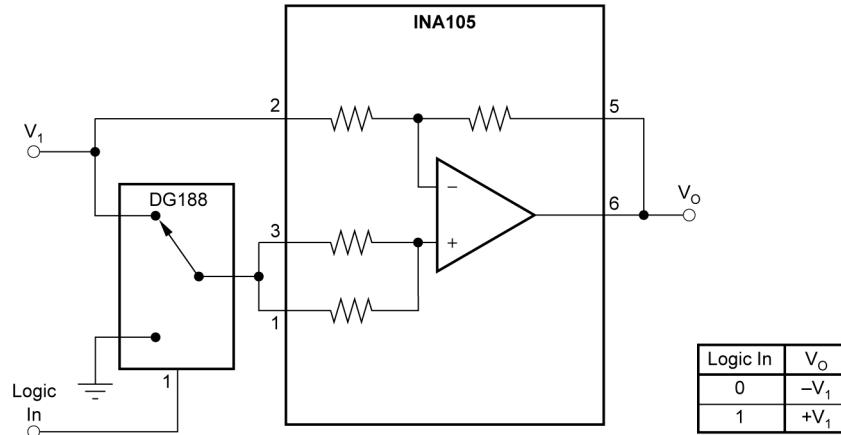


図 7-14. ±1 のデジタル制御ゲインアンプ

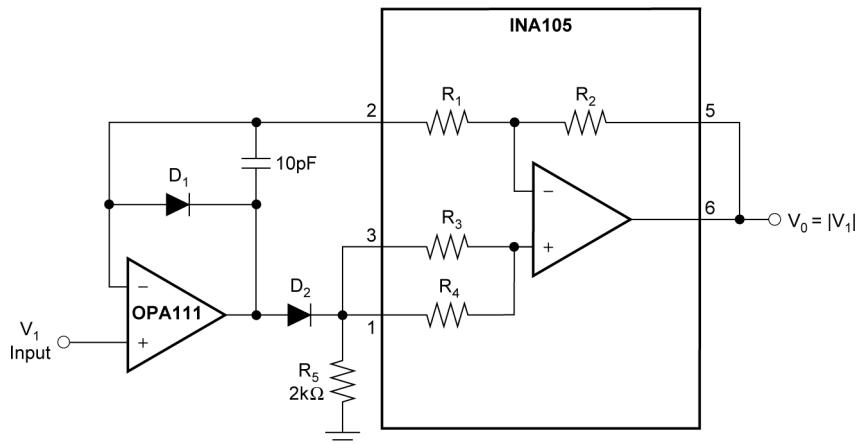
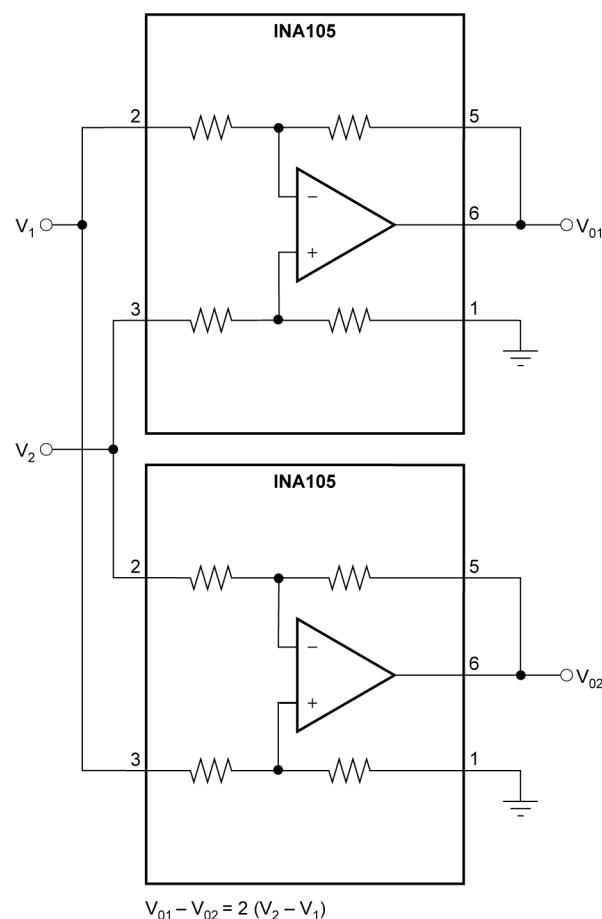


図 7-15. 高精度絶対値バッファ

7.3.2 計測アンプ回路



$$V_{01} - V_{02} = 2(V_2 - V_1)$$

図 7-16. 差動出力差動アンプ

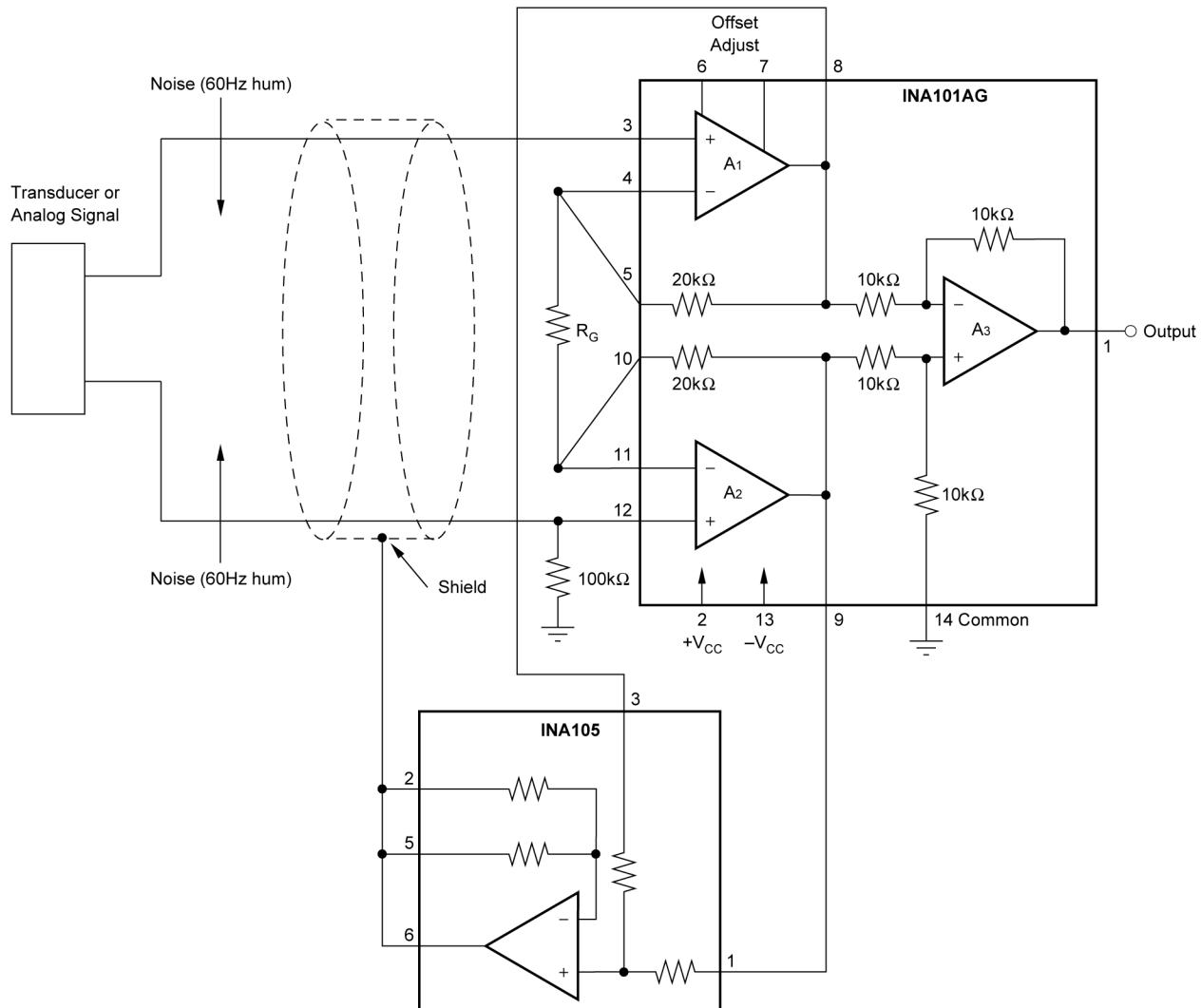


図 7-17. 計測アンプ ガード駆動ジェネレータ

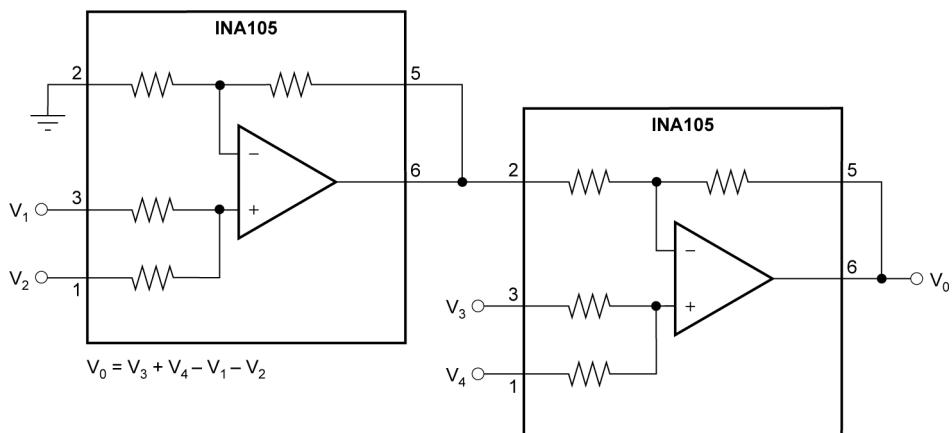


図 7-18. 高精度加算計測アンプ

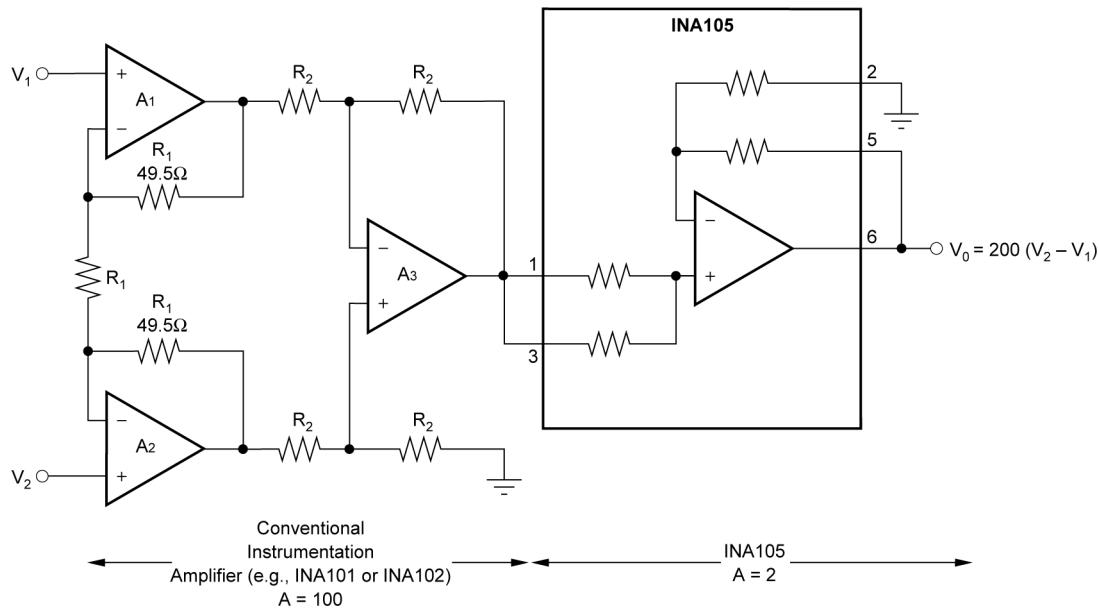


図 7-19. 10V フルスケール出力で、計測アンプの同相範囲を $\pm 5V$ から $\pm 7.5V$ に拡大

7.3.3 電圧リファレンスの回路

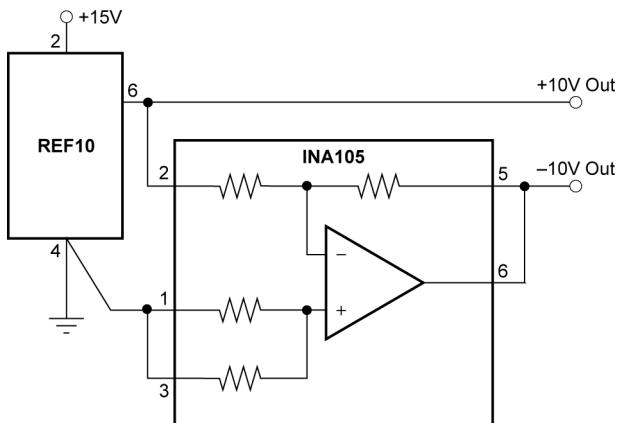


図 7-20. ±10V 高精度電圧基準

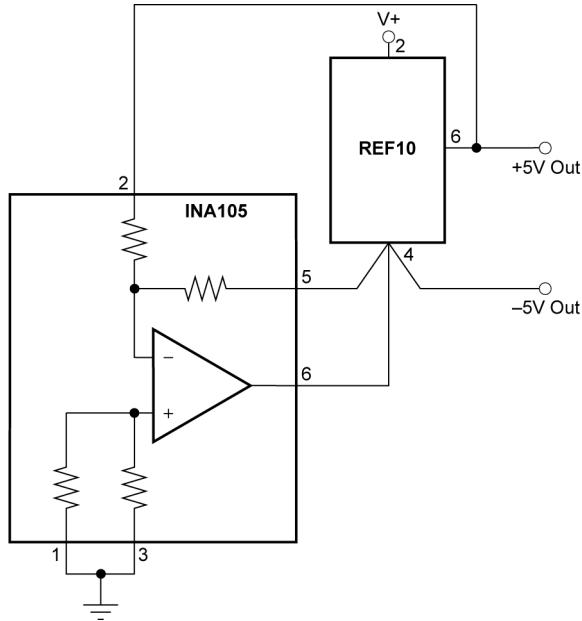


図 7-21. ±5V 高精度電圧基準

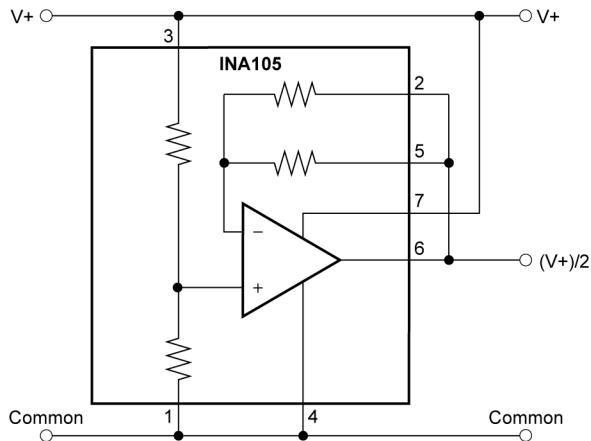


図 7-22. 疑似グランド ジェネレータ

7.3.4 特殊機能回路

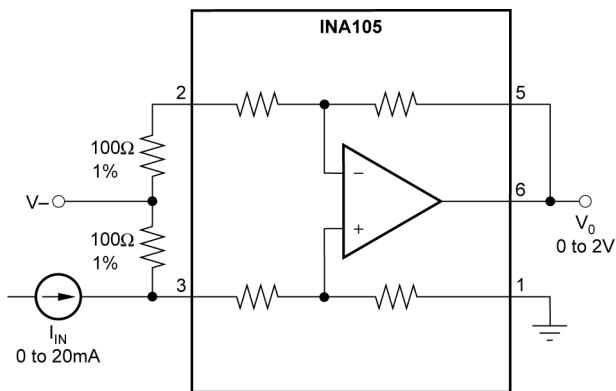


図 7-23. レール電圧まで対応可能な電流レシーバ

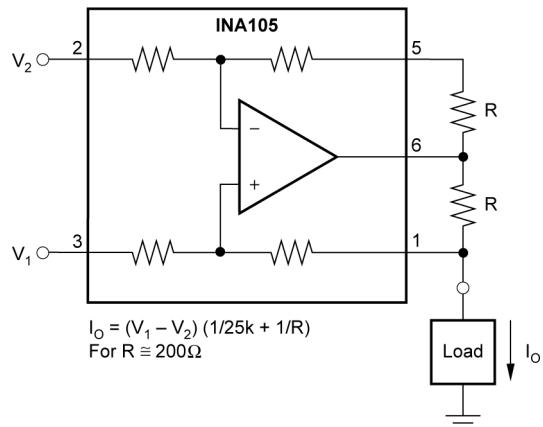


図 7-24. 高精度電圧 - 電流コンバータ (差動入力あり)

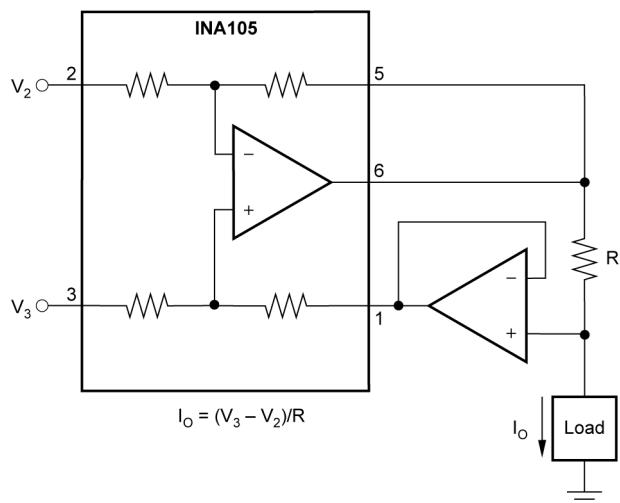


図 7-25. 小さい I_{OUT} のための差動入力電圧 - 電流コンバータ

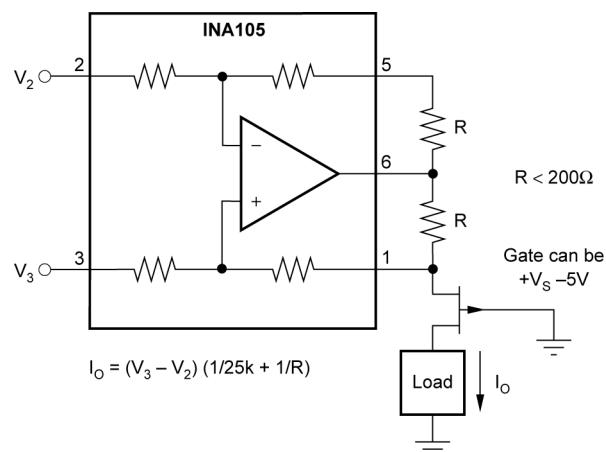


図 7-26. 電流ソースの絶縁

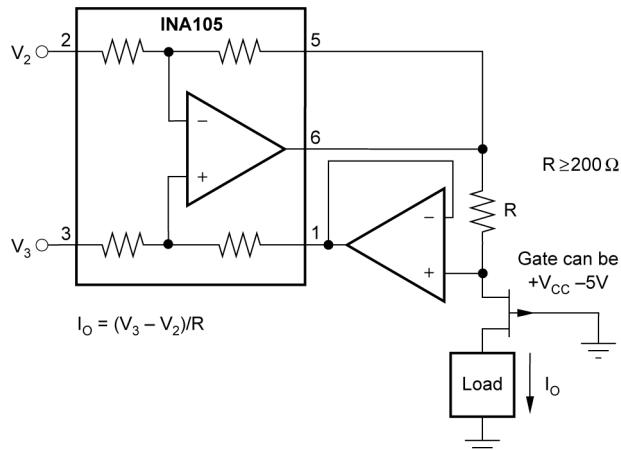


図 7-27. バッファ アンプにより電流ソースを絶縁し、高精度を実現

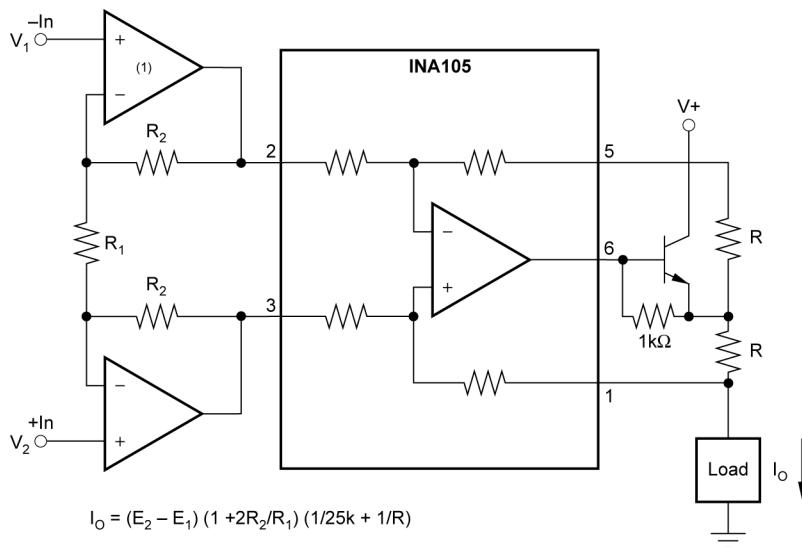


図 7-28. バッファ付き差動入力とゲインによる高精度電圧制御電流ソース

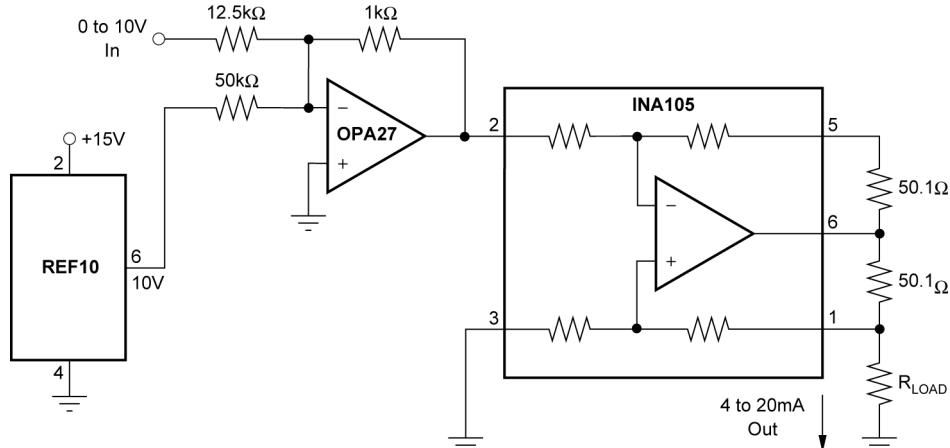


図 7-29. 高精度 4mA ~ 20mA 電流トランシミッタ

7.4 電源に関する推奨事項

INA105 の公称性能は、電源電圧 $\pm 15V$ で規定されています。このデバイスは、 $\pm 5V \sim \pm 18V$ の電源で動作し、動作電圧によって性能が変化します。動作電圧やリファレンス電圧の範囲に応じた各パラメータの変動については、[代表的特性](#)を参照してください。

TI では、各電源ピンとグラウンドの間に低 ESR のセラミック バイパス コンデンサ (C_{BYP}) を追加することを強く推奨しています。単一電源で動作させる場合は、 C_{BYP} は 1 つだけで十分です。デバイスのできるだけ近くに C_{BYP} を配置すると、ノイズの多い電源やハイインピーダンスの電源からの結合による誤差を低減できます。電源配線は C_{BYP} を経由してからデバイスの電源端子に接続するようにしてください。詳細については、[レイアウトのガイドライン](#) を参照してください。

7.5 レイアウト

7.5.1 レイアウトのガイドライン

優れたレイアウト手法に対して、常に关心を持つことをお勧めします。デバイスで最高の動作性能を実現するには、以下のような適切な PCB レイアウト手法を使用してください。

- 同相信号が差動信号に変換されないようにするために、両方の入力パスがソース インピーダンスと容量に対して適切にマッチングされていることを確認してください。
- ノイズは、回路全体とデバイスの電源ピンを経由して、アナログ回路に伝播します。バイパスコンデンサは、アナログ回路に対して局所的に低インピーダンスの電源を供給することにより、結合ノイズを低減します。
 - 各電源ピンとグラウンドとの間に、低 ESR の $0.1\mu F$ セラミック バイパスコンデンサを接続し、可能な限りデバイスの近くに配置します。単一電源アプリケーションの場合は、V+ からグラウンドに対して 1 つのバイパスコンデンサを接続します。
- 寄生カップリングを低減するため、入力トレースを電源トレースと出力トレースからできるだけ離して配線します。これらの配線を離して配置できない場合、感度の高い配線をノイズの多い配線と平行に配線するのではなく、90 度で交差させる方がはるかに効果的です。
- 外付け部品は、可能な限りデバイスに近く配置します。
- 配線はできる限り短くします。

7.5.2 レイアウト例

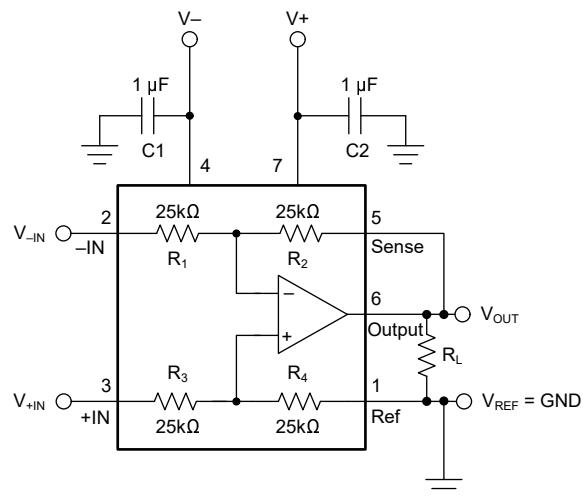


図 7-30. 回路図例

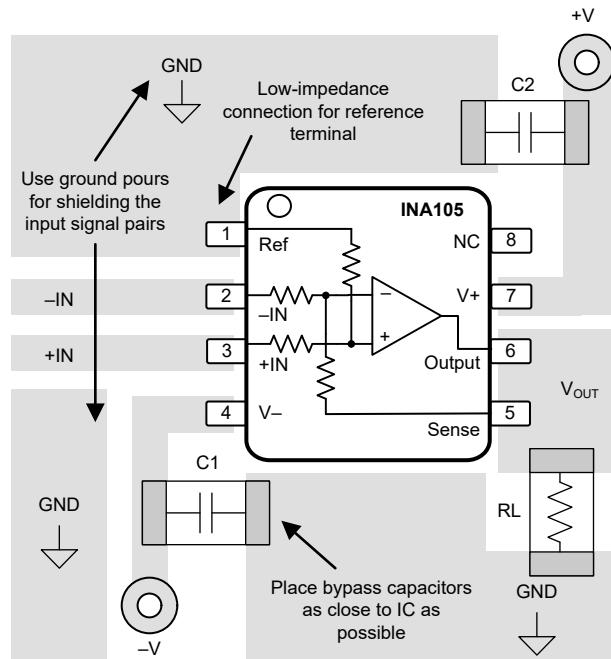


図 7-31. SOIC と PDIP パッケージのそれに関連する PCB レイアウト

8 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

8.1 デバイス サポート

8.1.1 デバイスの命名規則

表 8-1. デバイスの命名規則

部品番号	定義
INA105KP	ダイは CSO: SHE または CSO: RFB。
INA105KU/2K5	
INA105AM	ダイは CSO: SHE でのみ製造されています。
INA105BM	

8.1.2 開発サポート

この製品の開発サポートについては、以下を参照してください。

8.1.2.1 PSpice® for TI

PSpice® for TI は、アナログ回路の性能評価に役立つ設計およびシミュレーション環境です。レイアウトと製造に移る前に、サブシステムの設計とプロトタイプ・ソリューションを作成することで、開発コストを削減し、市場投入までの期間を短縮できます。

8.1.2.2 TINA-TI™ (無料のダウンロード ソフトウェア)

TINA™ は、SPICE エンジンをベースにした単純かつ強力な、使いやすい回路シミュレーションプログラムです。TINA-TI は、TINA ソフトウェアのすべての機能を持つ無償バージョンで、パッシブ モデルとアクティブ モデルに加えて、マクロ モデルのライブラリがプリロードされています。TINA-TI には、SPICE の標準的な DC 解析、過渡解析、周波数ドメイン解析などの全機能に加え、追加の設計機能が搭載されています。

TINA-TI は Analog eLab Design Center から[無料でダウンロード](#)でき、ユーザーが結果をさまざまな方法でフォーマットできる、広範な後処理機能を備えています。仮想計測器により、入力波形を選択し、回路ノード、電圧、および波形をプローブして、動的なクイック スタートツールを作成できます。

注

これらのファイルを使用するには、TINA ソフトウェア (DesignSoft™ から入手できます) または TINA-TI ソフトウェアがインストールされている必要があります。[TINA-TI フォルダ](#)から、無料の TINA-TI ソフトウェアをダウンロードしてください。

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.4 商標

TINA-TI™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

TINA™ and DesignSoft™ are trademarks of DesignSoft, Inc.

PSpice® is a registered trademark of Cadence Design Systems, Inc.

すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお勧めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (March 2025) to Revision B (December 2025)	Page
• 「仕様」のデバイスフロー情報の説明を追加	4
• 「推奨動作条件」の電源電圧に公称値を追加	4
• すべてのチップ原産拠点 (CSO) の条件を「電気的特性」の標準的なテスト条件に追加	5
• 「電気的特性」のオフセット電圧に INA105AM と INA105BM を結合	5
• 「電気的特性」の脚注 (1) にゲインの明確化を追加	5
• 「電気的特性」の電圧ノイズにさまざまな製造プロセス仕様を追加	5
• 「電気的特性」のゲイン誤差について INA105AM と INA105BM を結合	5
• 「電気的特性」に短絡電流、シンク、およびソースに関する各種の製造プロセス仕様を追加	5
• 「電気的特性」に、スルーレートに関する各種の製造プロセス仕様を追加	5
• 「代表的特性」の標準的なテスト条件に「すべてのチップの原産拠点 (CSO)」の条件を追加	7
• 「代表的特性」のステップ応答、最大 V_{OUT} と I_{OUT} (負のスイング)、最大 V_{OUT} と I_{OUT} (正のスイング) との関係に「CSO:SHE」を追加	7
• CSO のステップ応答、最大 V_{OUT} と I_{OUT} との関係 (負のスイング)、最大 V_{OUT} と I_{OUT} (正のスイング) の曲線を追加: RFB フローを反映しました ('代表的特性')	7
• 「機能ブロック図」の各製造プロセスの INA105 内部回路図を変更および追加	10
• 「デバイスの命名規則」に型番のフロー情報表を追加	27

Changes from Revision * (August 1993) to Revision A (March 2025)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新	1
• 「ピン構成および機能」、「仕様」、「推奨動作条件」、「熱に関する情報」、「詳細説明」、「概要」、「機能ブロック図」、「機能説明」、「デバイスの機能モード」、「アプリケーションと実装」、「電源に関する推奨事項」、「レイアウト」、「レイアウトのガイドライン」、「レイアウト例」、「デバイスおよびドキュメントのサポート」、「メカニカル、パッケージ、および注文情報」セクションを追加	1
• 「電気的特性」表全体にテスト条件を追加	5
• 「電気的特性」の「オフセット電圧と時間の関係」を「長期安定性」に変更	5

- シンクおよびソースシナリオの電流制限を短絡電流に変更.....[5](#)
- 「電源電圧範囲」および温度範囲を「電気的特性」から「推奨動作条件」および「絶対最大定格」表に移動。.....[5](#)

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
INA105AM	Active	Production	TO-99 (LMC) 8	20 TUBE	Yes	Call TI	N/A for Pkg Type	-	INA105AM
INA105AM.A	Active	Production	TO-99 (LMC) 8	20 TUBE	Yes	Call TI	N/A for Pkg Type	-40 to 85	INA105AM
INA105BM	Active	Production	TO-99 (LMC) 8	20 TUBE	Yes	Call TI	N/A for Pkg Type	-	INA105BM
INA105BM.A	Active	Production	TO-99 (LMC) 8	20 TUBE	Yes	Call TI	N/A for Pkg Type	-40 to 85	INA105BM
INA105KP	Active	Production	PDIP (P) 8	50 TUBE	Yes	Call TI Nipdau	N/A for Pkg Type	-	(IN105P, INA105KP)
INA105KP.A	Active	Production	PDIP (P) 8	50 TUBE	Yes	Call TI Nipdau	N/A for Pkg Type	-40 to 85	(IN105P, INA105KP)
INA105KU	Obsolete	Production	SOIC (D) 8	-	-	Call TI	Call TI	-40 to 85	INA 105U
INA105KU/2K5	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	INA 105U
INA105KU/2K5.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	INA 105U

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

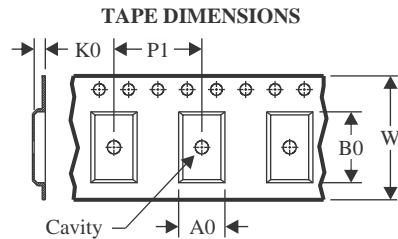
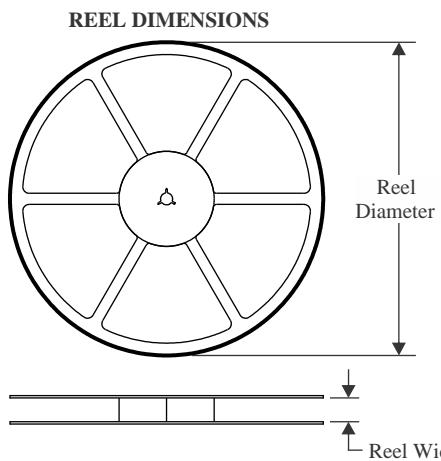
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

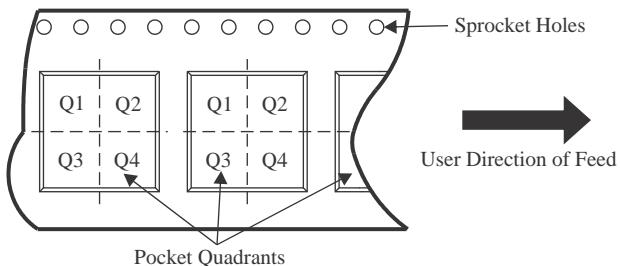
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



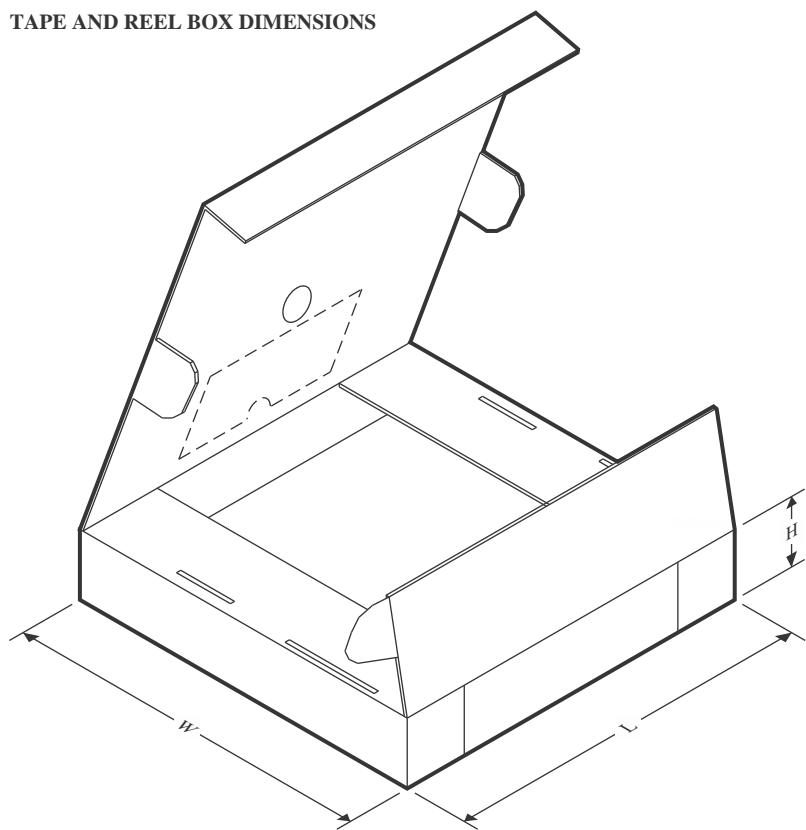
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



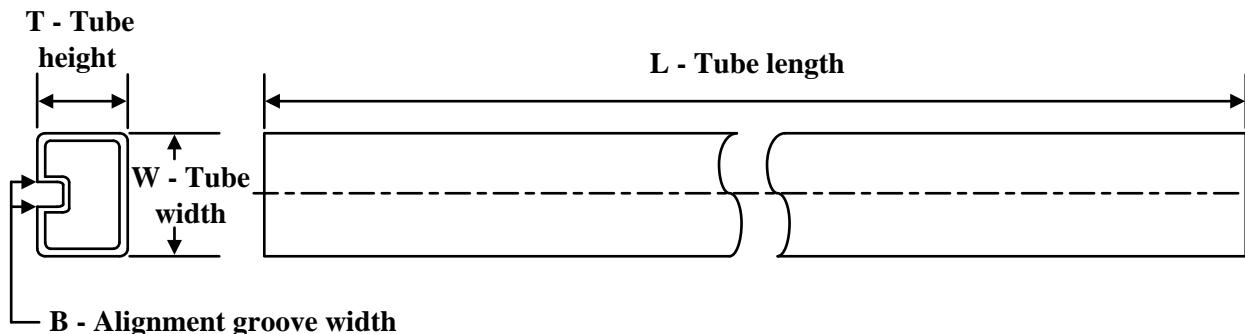
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
INA105KU/2K5	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
INA105KU/2K5	SOIC	D	8	2500	353.0	353.0	32.0

TUBE


*All dimensions are nominal

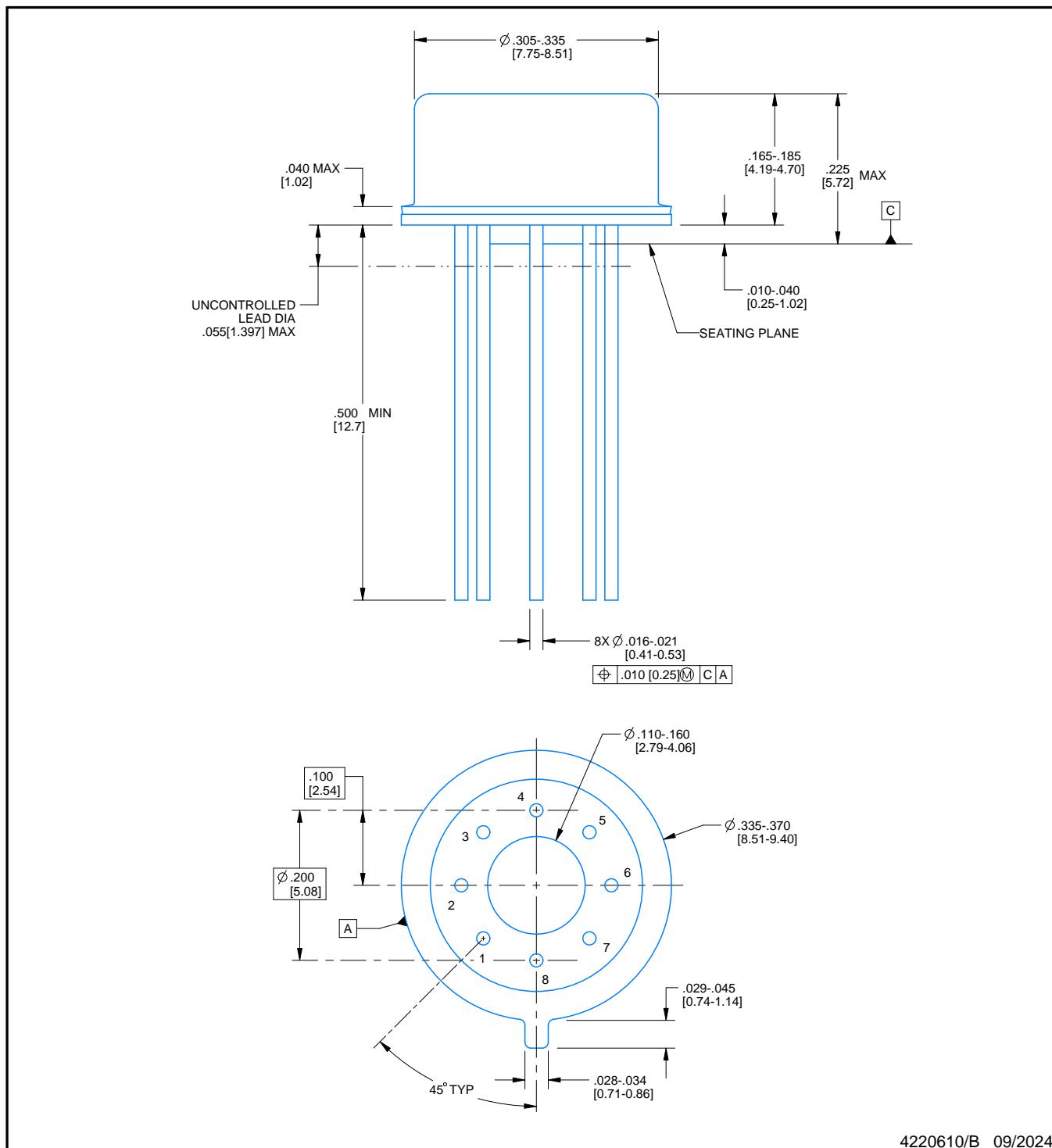
Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μ m)	B (mm)
INA105AM	LMC	TO-CAN	8	20	532.13	21.59	889	NA
INA105AM.A	LMC	TO-CAN	8	20	532.13	21.59	889	NA
INA105BM	LMC	TO-CAN	8	20	532.13	21.59	889	NA
INA105BM.A	LMC	TO-CAN	8	20	532.13	21.59	889	NA
INA105KP	P	PDIP	8	50	506	13.97	11230	4.32
INA105KP.A	P	PDIP	8	50	506	13.97	11230	4.32

PACKAGE OUTLINE

LMC0008A

TO-CAN - 5.72 mm max height

TRANSISTOR OUTLINE



4220610/B 09/2024

NOTES:

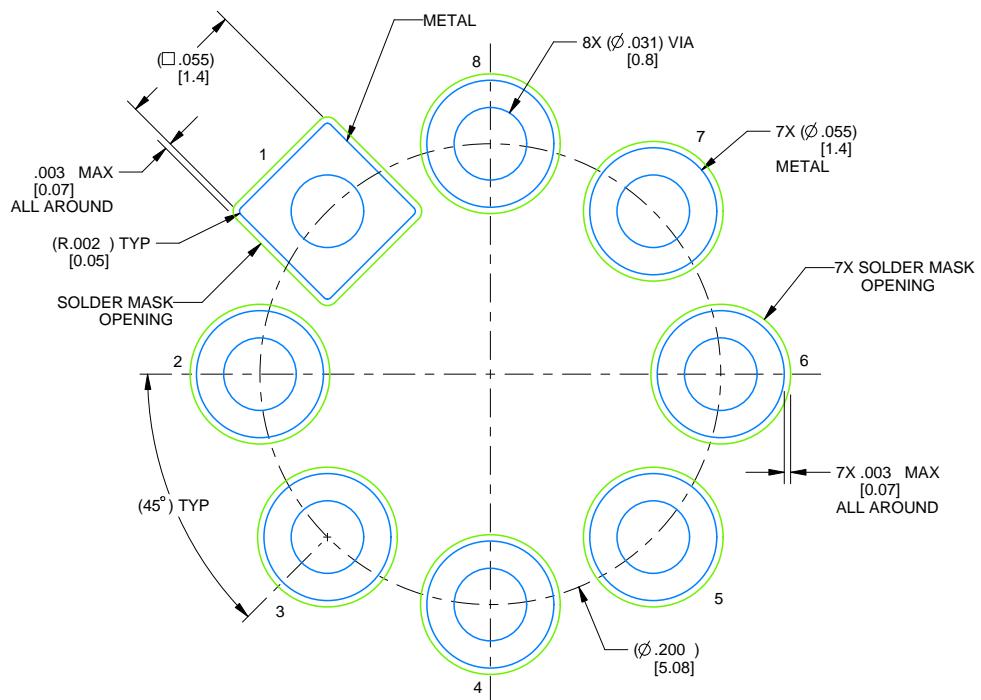
1. All linear dimensions are in inches [millimeters]. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Pin numbers shown for reference only. Numbers may not be marked on package.
4. Reference JEDEC registration MO-002/TO-99.

EXAMPLE BOARD LAYOUT

LMC0008A

TO-CAN - 5.72 mm max height

TRANSISTOR OUTLINE



LAND PATTERN EXAMPLE
NON-SOLDER MASK DEFINED
SCALE: 12X

4220610/B 09/2024

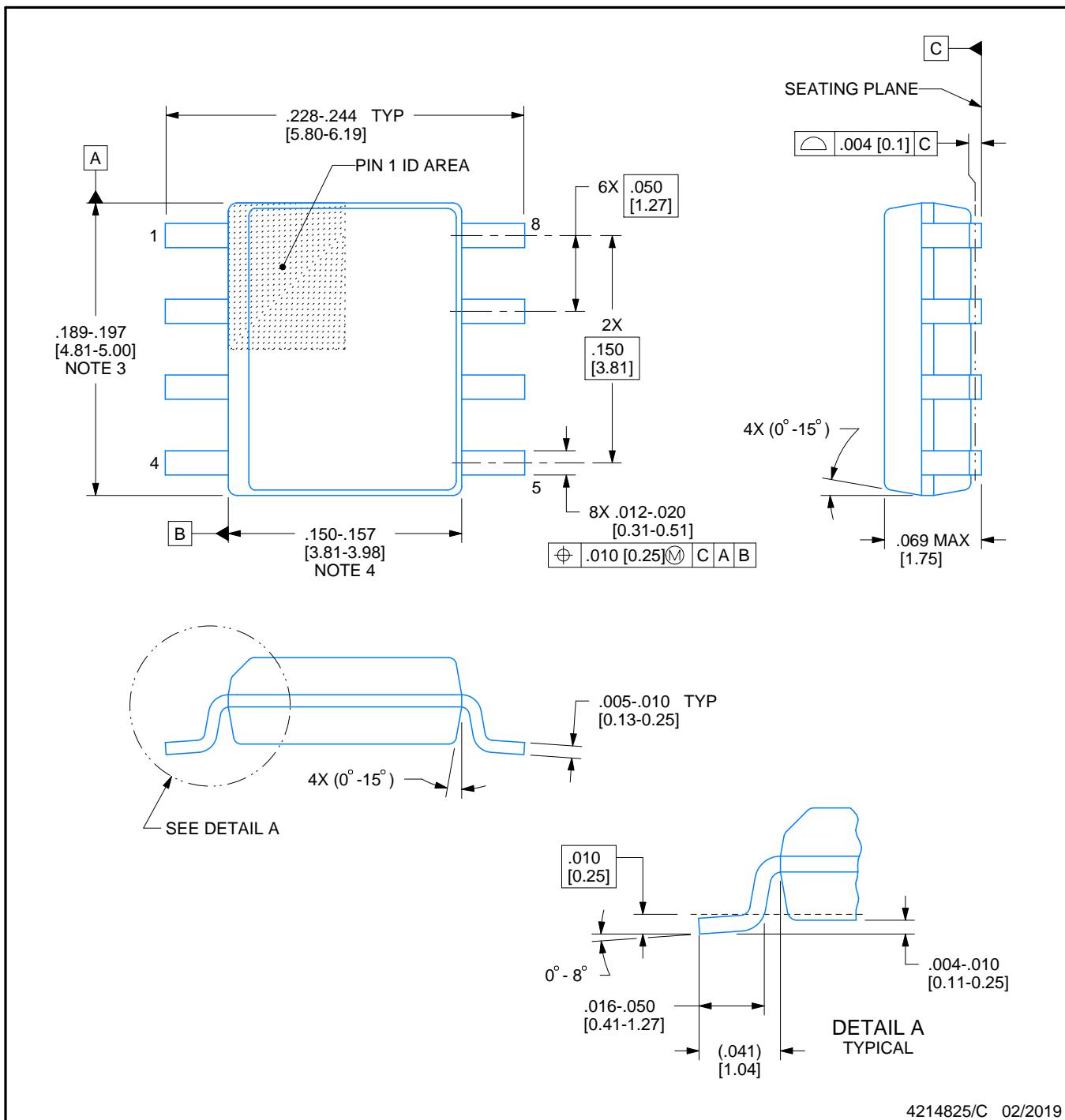
D0008A



PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

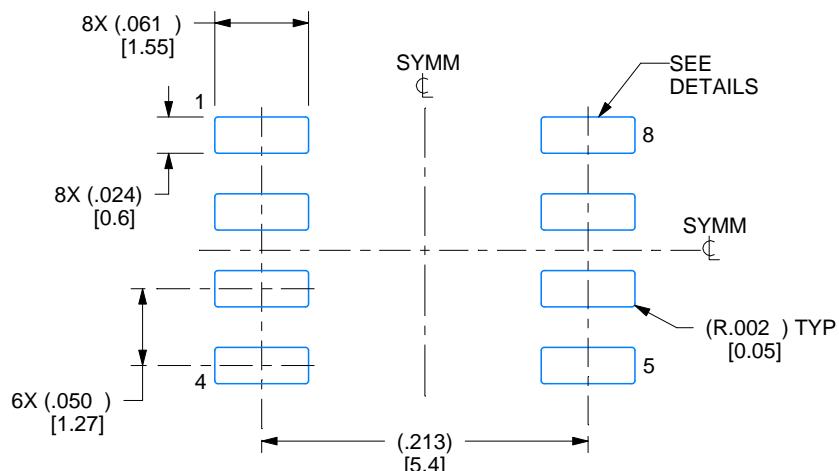
- Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
- This dimension does not include interlead flash.
- Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

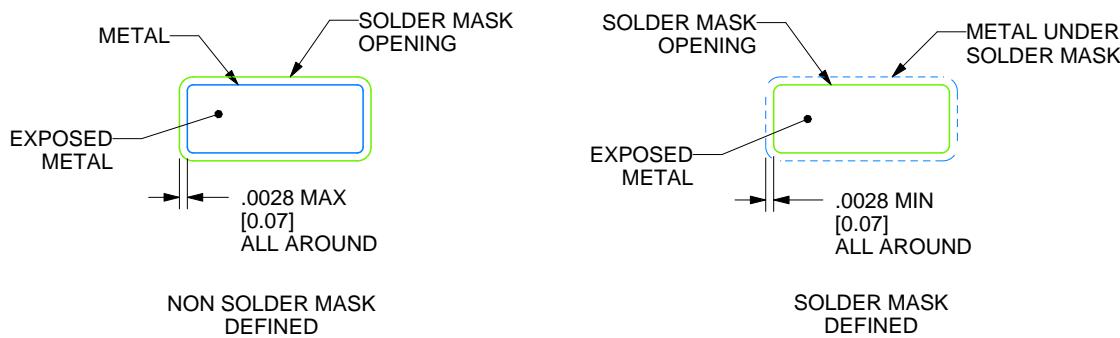
D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

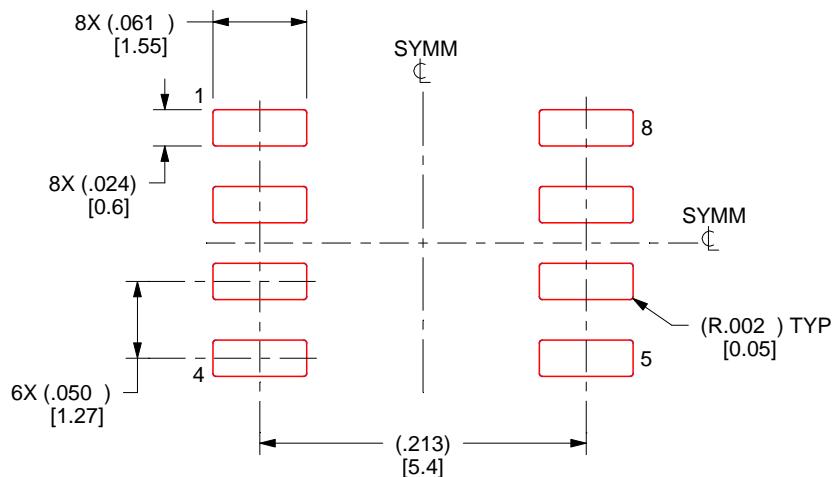
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

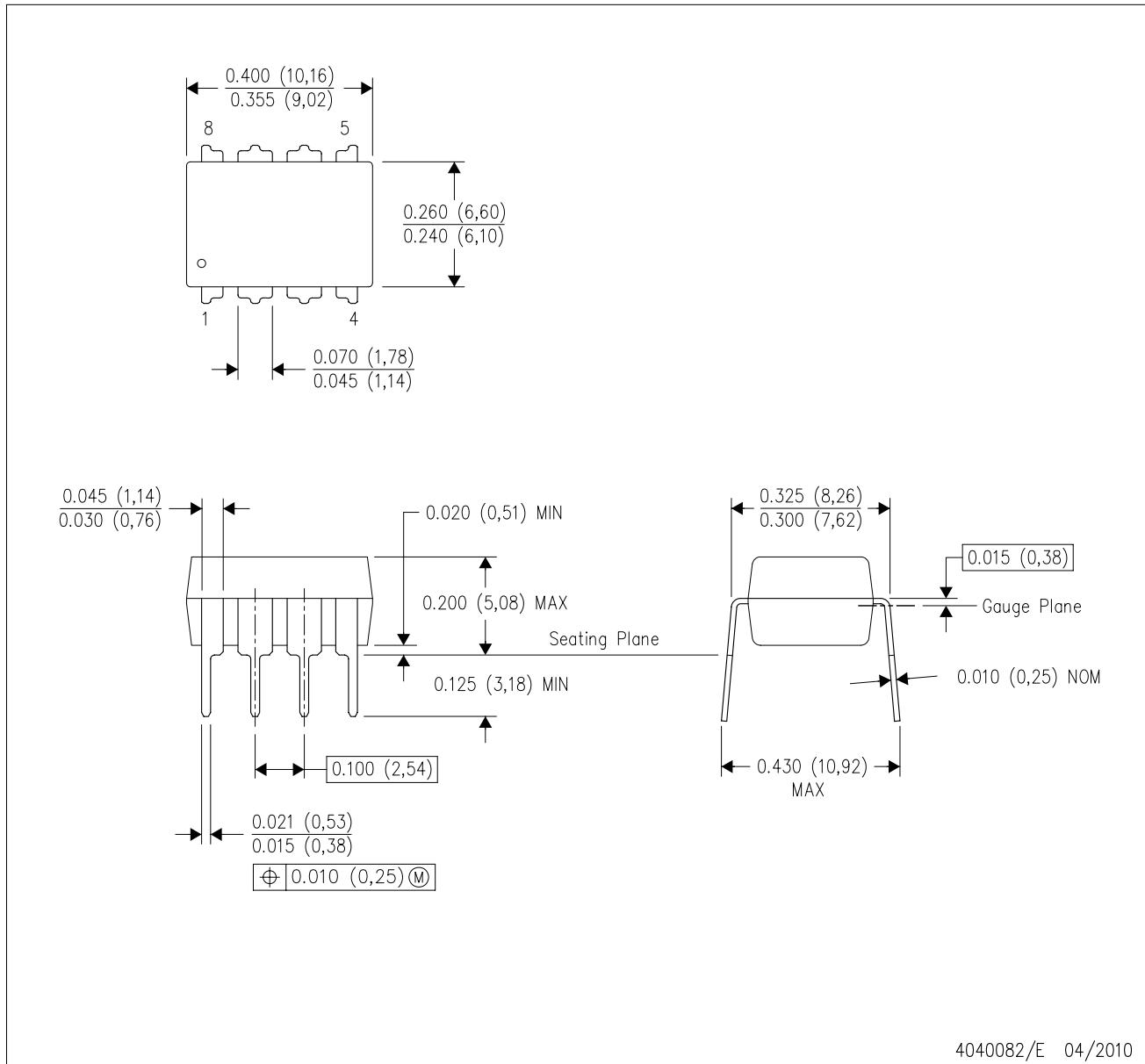
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

MECHANICAL DATA

P (R-PDIP-T8)

PLASTIC DUAL-IN-LINE PACKAGE



4040082/E 04/2010

- NOTES:
- All linear dimensions are in inches (millimeters).
 - This drawing is subject to change without notice.
 - Falls within JEDEC MS-001 variation BA.

重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Webツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適した TI 製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月