

## INA117 高同相モード電圧、差動アンプ

### 1 特長

- 同相モード入力範囲:  $\pm 200V$  ( $V_S = \pm 15V$ )
- 保護された入力:
  - $\pm 500V$  同相
  - $\pm 500V$  差動
- ユニティゲイン: ゲイン誤差 0.05% (最大値)
- 非線形性: 0.001% (最大値)
- CMRR: 70dB 以上

### 2 アプリケーション

- 単軸と多軸のサーボドライブ
- 産業用機械と工作機械
- 半導体テストおよび ATE
- 超音波スキャナ

### 3 説明

INA117 は、非常に高い同相入力電圧範囲を持つ高精度のユニティゲイン差動アンプです。INA117 は、高精度オペアンプと内蔵の薄膜抵抗ネットワークで構成されたシングルモノリシック IC です。このデバイスは、最大  $\pm 200V$  の同相信号に存在する小さい差動電圧を正確に測定できま

す。INA117 の入力は、最大  $\pm 500V$  の瞬時同相過負荷または差動過負荷から保護されています。

ガルバニック絶縁が必須ではない多くのアプリケーションでは、INA117 を絶縁アンプの代わりに使用できます。この設計により、コストのかかる絶縁型入力側電源や、それに関連するリップル、ノイズ、静止電流をなくすことができます。INA117 は 0.001% の低非線形性と、200kHz (CSO: SHE) または 500kHz (CSO: TID) の広帯域を提供します (セクション 5 の仕様に関する注記を参照)。

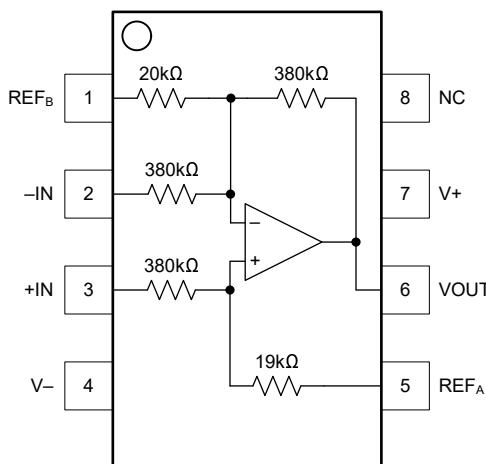
INA117 は 8 ピンのプラスチック DIP および SO-8 表面実装パッケージで供給され、-40°C ~ 85°C の温度範囲で動作が規定されています。

#### パッケージ情報

部品番号	パッケージ <sup>(1)</sup>	パッケージサイズ <sup>(2)</sup>
INA117P	P (DIP, 8)	6.35mm × 9.81mm
INA117KU	D (SOIC, 8)	3.91mm × 4.9mm
INA117KU/2K5		

(1) 詳細については、セクション 10 を参照してください。

(2) パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



INA117 D パッケージ (上面図)



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあります。TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

## 目次

1 特長	1	7.1 使用上の注意	9
2 アプリケーション	1	8 デバイスおよびドキュメントのサポート	19
3 説明	1	8.1 デバイスの命名規則	19
4 ピン構成および機能	2	8.2 ドキュメントのサポート	19
5 仕様	3	8.3 ドキュメントの更新通知を受け取る方法	19
5.1 絶対最大定格	3	8.4 サポート・リソース	19
5.2 ESD 定格	3	8.5 商標	19
5.3 推奨動作条件	3	8.6 静電気放電に関する注意事項	19
5.4 熱に関する情報	3	8.7 用語集	19
5.5 電気的特性	4	9 改訂履歴	20
6 代表的特性	6	10 メカニカル、パッケージ、および注文情報	21
7 アプリケーションと実装	9		

## 4 ピン構成および機能

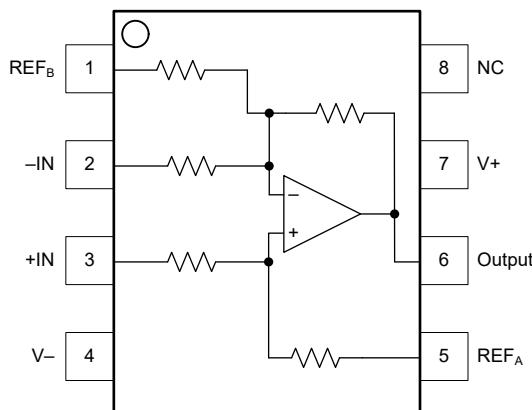


図 4-1. DIP/SO  
 INA117P、KU  
 上面図

表 4-1. ピンの機能

ピン		タイプ <sup>(1)</sup>	説明
名称	番号		
-In	2	I	反転入力。
+In	3	I	非反転入力。
NC	8	—	内部接続なしグランドに接続するか、接続解除することができます。
出力	6	O	アンプの出力。
Ref <sub>A</sub>	5	I	リファレンス A。
Ref <sub>B</sub>	1	I	リファレンス B。
V-	4	P	負電源。
V+	7	P	正電源。

(1) I = 入力、O = 出力、I/O = 入力または出力、G = グランド、P = 電源。

## 5 仕様

### 注

TI では、このデバイスの複数の製造フローを認定済みです。性能の違いは、チップの原産拠点 (CSO) によってラベル付けされています。システムの堅牢性を確保するために、すべてのフローを考慮した設計を強く推奨します。詳細については、[セクション 8.1](#) を参照してください。

### 5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)<sup>(1)</sup>

			最小値	最大値	単位
$V_S$		デュアル電源、 $V_S = (V+) - (V-)$		$\pm 22$	V
	信号入力ピン	連続		$\pm 200$	V
		ピーク (0.1s)		$\pm 500$	V
	出力短絡 <sup>(2)</sup>		連続		
$T_A$	動作温度		-40	85	°C
$T_{stg}$	保存温度		-55	125	°C
	接合部温度			150	°C
	リード温度 (半田付け、10 秒)			300	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

(2)  $V_S / 2$  への短絡

### 5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 <sup>(1)</sup>	$\pm 1500$	V
		デバイス帶電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠 <sup>(2)</sup>	$\pm 1000$	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

### 5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	標準値	最大値	単位
$V_S$	電源電圧	単電源	10	30	36	V
		両電源	$\pm 5$	$\pm 15$	$\pm 18$	
$T_A$	規定温度		-40		85	°C

### 5.4 熱に関する情報

熱評価基準 <sup>(1)</sup>		INA117	INA117	単位
		D (SOIC)	P (PDIP)	
		8 ピン	8 ピン	
$\theta_{JA}$	接合部から周囲への熱抵抗	150	80	°C/W

(1) 従来および最新の熱評価基準の詳細については、[『半導体および IC パッケージの熱評価基準』](#)アプリケーション ノートを参照してください。

## 5.5 電気的特性

$T_A = 25^\circ\text{C}$ 、 $V_S = \pm 15\text{V}$ 、 $R_L = 10\text{k}\Omega$ 、 $V_{\text{REF}} = 0\text{V}$ 、 $V_{\text{CM}} = V_S/2$ 、 $G = 1$  のとき、すべてのチップ原産拠点 (CSO) (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位		
<b>入力</b>									
$V_{\text{OS}}$	オフセット電圧	RTO (P パッケージ)	CSO: SHE	120	1000		$\mu\text{V}$		
			CSO: TID	350	1000				
		RTO (KU パッケージ)	CSO: SHE	600	2000				
			CSO: TID	350	2000				
	オフセット電圧ドリフト	RTO, $T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$	CSO: SHE	8.5			$\mu\text{V}/^\circ\text{C}$		
			CSO: TID	3					
長期ドリフト						200	$\mu\text{V}/\text{mo}$		
PSRR	電源除去比	RTO, $V_S = \pm 5\text{V} \sim \pm 18\text{V}$		74	90		$\text{dB}$		
同相電圧 <sup>(1)</sup>						-200	200		
差動電圧						-10	$\text{V}$		
CMRR	同相電圧除去	DC, $V_{\text{CM}} = -200\text{V} \sim 200\text{V}$	CSO: SHE	70	80		$\text{dB}$		
				$T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$	75				
			CSO: TID	70	100				
				$T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$	70				
		AC, $V_{\text{CM}} = -200\text{V} \sim 200\text{V}$	CSO: SHE	60Hz	66	80			
			CSO: TID	500Hz	90				
				1kHz	90				
差動入力インピーダンス						800	$\text{k}\Omega$		
	同相モード入力インピーダンス	CSO: SHE					400		
		CSO: TID					200		
<b>ノイズ</b>									
$e_N$	電圧ノイズ	RTO, $f_B = 0.1\text{Hz} \sim 10\text{Hz}$		25			$\mu\text{V}_{\text{PP}}$		
		RTO, $f = 1\text{kHz}$		550			$\text{nV}/\sqrt{\text{Hz}}$		
<b>ゲイン</b>									
GE	ゲイン誤差					$\pm 0.01$	$\pm 0.05$		
ゲインドリフト		$T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$				$\pm 2$	$\text{ppm}/^\circ\text{C}$		
	ゲインの非直線性 <sup>(2)</sup>	CSO: SHE					$\pm 0.0002$		
		CSO: TID					$\pm 0.001$		
<b>出力</b>									
	出力電圧	$I_O = 20\text{mA}, -5\text{mA}$	CSO: SHE	10	12		$\text{V}$		
		$I_O = \pm 6.75\text{mA}$	CSO: TID	13.5	13.7				
出力インピーダンス						0.01	$\Omega$		
$C_L$	負荷容量	安定動作	CSO: SHE						
			CSO: TID						
	短絡電流	$V_S/2$ まで連続	CSO: SHE						
			CSO: TID						

$T_A = 25^\circ\text{C}$ 、 $V_S = \pm 15\text{V}$ 、 $R_L = 10\text{k}\Omega$ 、 $V_{\text{REF}} = 0\text{V}$ 、 $V_{\text{CM}} = V_S/2$ 、 $G = 1$  のとき、すべてのチップ原産拠点 (CSO) (特に記述のない限り)

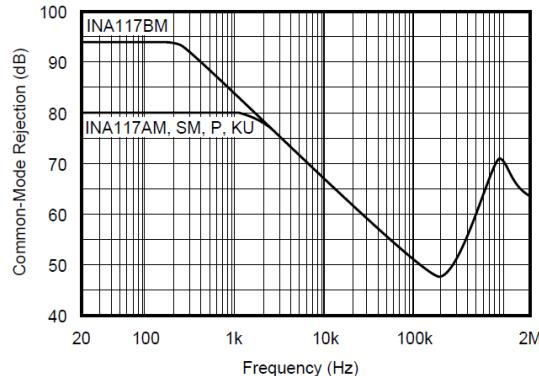
パラメータ		テスト条件		最小値	標準値	最大値	単位
<b>周波数応答</b>							
BW	帯域幅、-3dB	CSO: SHE		200			kHz
		CSO: TID		500			
SR	スルーレート	$V_O = 20\text{V}_{\text{pp}}$	CSO: SHE	30			V/μs
		$V_O = 2\text{V}_{\text{pp}}$	CSO: TID	32			
t <sub>S</sub>	セトリング タイム	CSO: SHE		1.7	2.6		μs
		CSO: TID		1.7	5		
		0.1% まで、 0.01% まで	$V_O = 10\text{V}$ ステップ	6.5			
			$V_O = 10\text{V}$ ステップ	10			
		$V_{\text{CM}} = 10\text{V}$ ステップ、 $V_{\text{DIFF}} = 0\text{V}$		4.5			
<b>電源</b>							
I <sub>Q</sub>	静止時電流	$V_{\text{IN}} = 0\text{V}$	CSO: SHE	1.5	±2		mA
			CSO: TID	0.8	±2		

(1) 入力同相電圧は出力電圧によって変化します。「代表的特性」を参照してください。

(2) ウェハー テストにより規定されています。

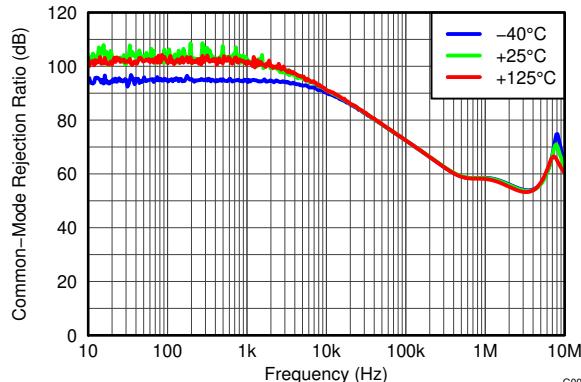
## 6 代表的特性

$T_A = 25^\circ\text{C}$ ,  $V_S = \pm 15\text{V}$ 、すべてのチップ原産拠点 (CSO)、特に記述のない限り



CSO: SHE

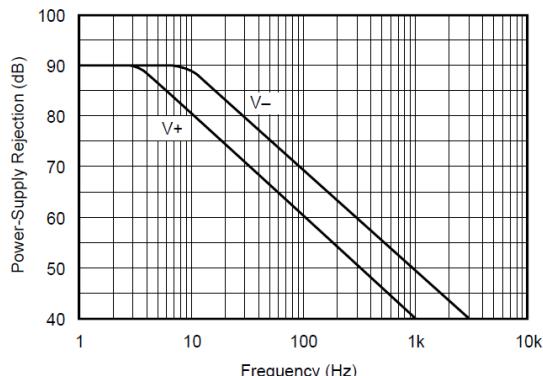
図 6-1. 同相除去比と周波数との関係



CSO: TID

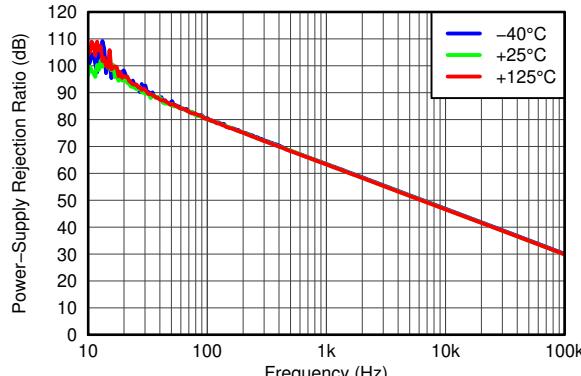
$R_L = 2\text{k}\Omega$  をグランドに接続

図 6-2. 同相除去比と周波数との関係



CSO: SHE

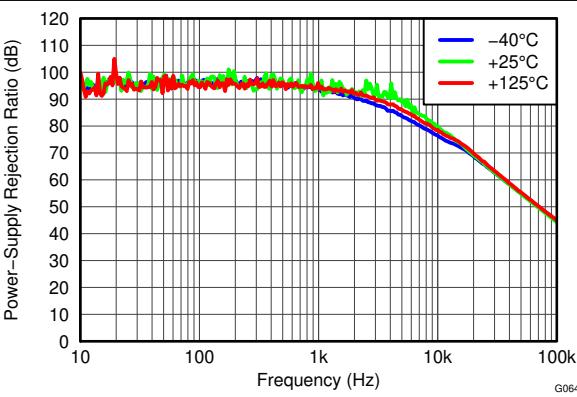
図 6-3. 電源除去特性と周波数との関係



CSO: TID

$R_L = 2\text{k}\Omega$  をグランドに接続

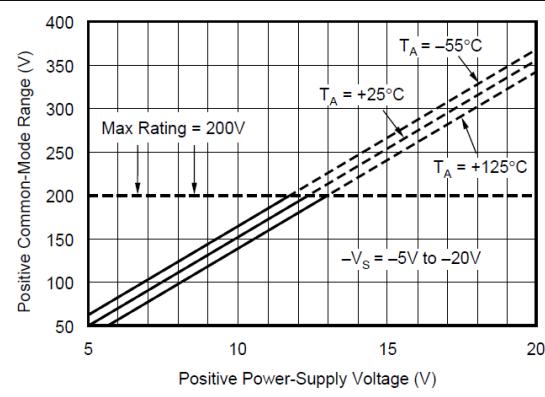
図 6-4. 正の電源除去比と周波数との関係



CSO: TID

$R_L = 2\text{k}\Omega$  をグランドに接続

図 6-5. 負の電源除去比と周波数との関係

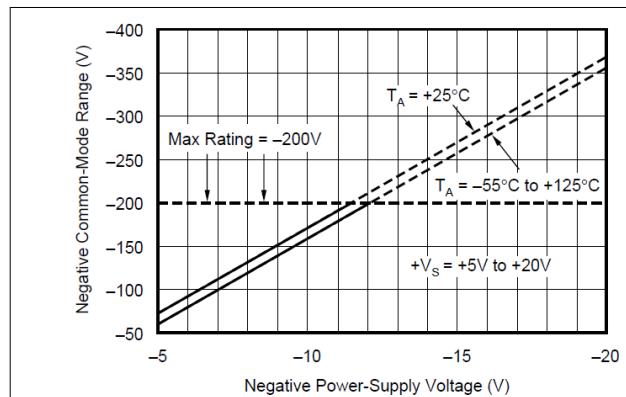


CSO: SHE

図 6-6. 正の同相電圧範囲と正の電源電圧との関係

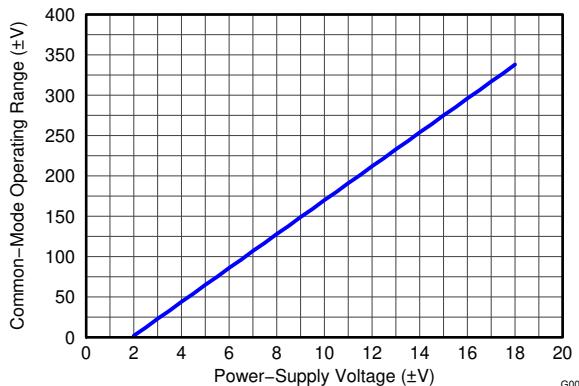
## 6 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ ,  $V_S = \pm 15\text{V}$ 、すべてのチップ原産拠点 (CSO)、特に記述のない限り



CSO: SHE

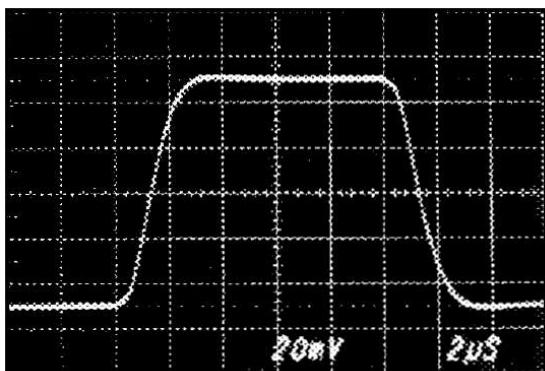
図 6-7. 負の同相電圧範囲と負の電源電圧との関係



CSO: TID

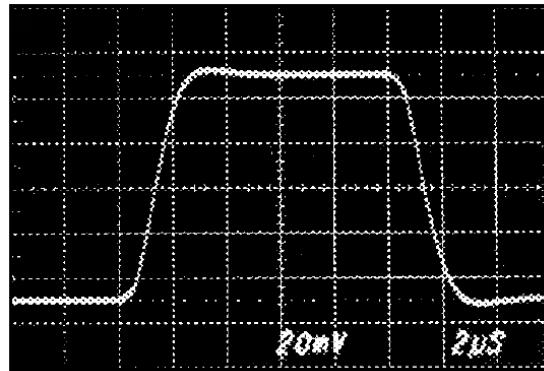
$R_L = 2\text{k}\Omega$  をグランドに接続

図 6-8. 同相電圧範囲と電源電圧との関係



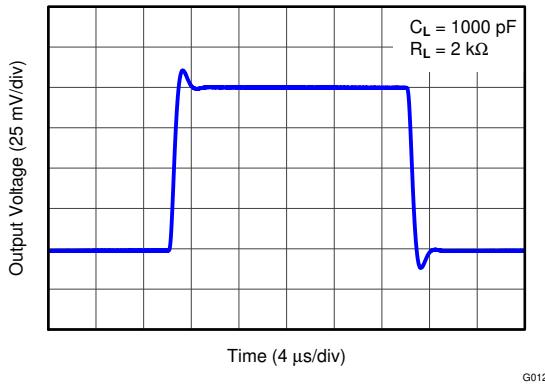
CSO: SHE

図 6-9. 小信号ステップ応答  $C_L = 0\text{pF}$



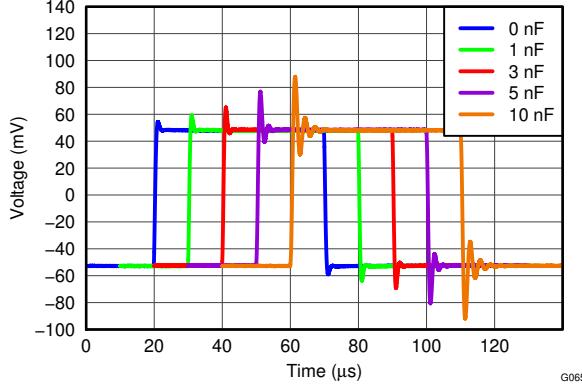
CSO: SHE

図 6-10. 小信号ステップ応答  $C_L = 1000\text{pF}$



CSO: TID

図 6-11. 小信号ステップ応答



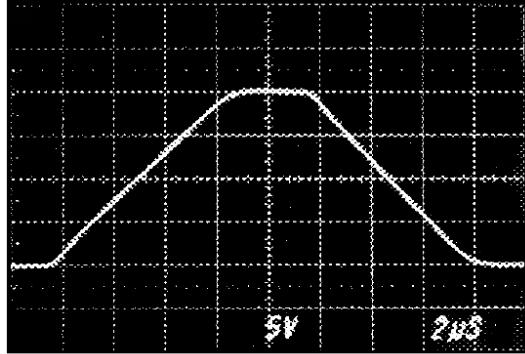
CSO: TID

$R_L = 2\text{k}\Omega$  をグランドに接続

図 6-12. 小信号ステップ応答と容量性負荷との関係

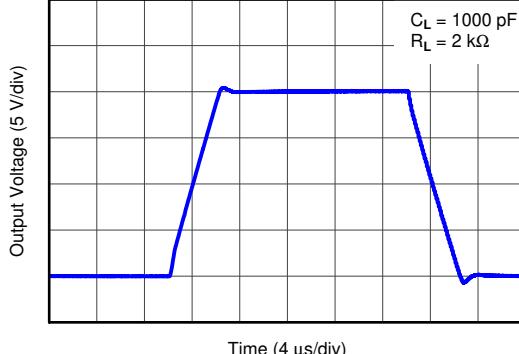
## 6 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ ,  $V_S = \pm 15\text{V}$ 、すべてのチップ原産拠点 (CSO)、特に記述のない限り



CSO: SHE

図 6-13. 大信号ステップ応答



CSO: TID

図 6-14. 大信号ステップ応答

## 7 アプリケーションと実装

### 注

以下のアプリケーションのセクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 7.1 使用上の注意

図 7-1 は、動作に必要な基本的な接続を示しています。

ノイズが多い、またはハイインピーダンスの電源ラインを使用するアプリケーションでは、デバイスのピンの近くにデカップリングコンデンサが必要になる場合があります。

出力電圧は、ピン 2 とピン 3 間の差動入力電圧と同じです。同相入力電圧は除去されます。

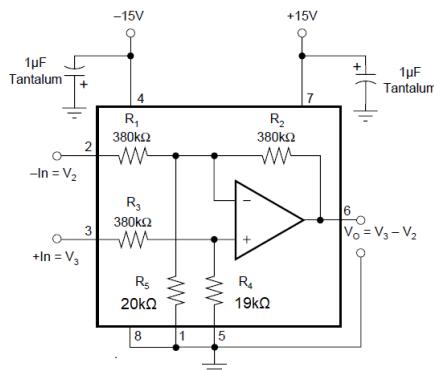


図 7-1. 基本的な電源および信号の接続

#### 7.1.1 同相信号除去

INA117 の同相信号除去 (CMR) は、入力抵抗ネットワークに依存し、これはレーザトリムされて正確な比率マッチングを行います。高い CMR を維持するためには、2 つの入力を駆動するソースインピーダンスを低くすることが重要です。ピン 2 または 3 に直列に  $75\Omega$  の抵抗を挿入すると、CMR は  $86\text{dB}$  から  $72\text{dB}$  に低下します。

リファレンスピンと直列の抵抗でも CMR が低下します。ピン 1 または 5 に直列に  $4\Omega$  の抵抗を挿入すると、CMRR は  $86\text{dB}$  から  $72\text{dB}$  に低下します。

ほとんどのアプリケーションではトリミングは不要です。図 7-2 および 図 7-3 は、オフセット電圧および同相信号除去のトリミングに使用できるオプション回路を示しています。

### 7.1.2 伝達関数

ほとんどのアプリケーションでは、INA117を単純なユニティゲイン差動アンプとして使用します。伝達関数は次のとおりです。

$$V_0 = V_3 - V_2$$

$V_3$ と $V_2$ は、ピン3とピン2の電圧です。

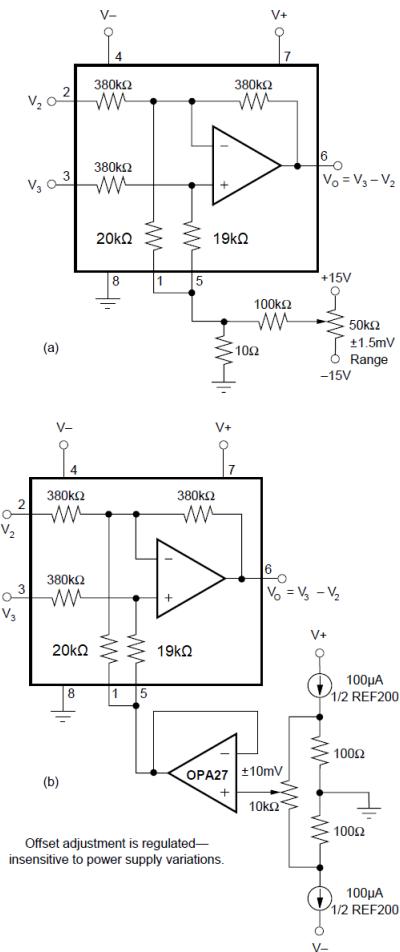


図 7-2. オフセット電圧トリム回路

ただし、一部のアプリケーションでは、基準端子(ピン1および5)に電圧が印加されます。より完全な伝達関数は次のとおりです。

$$V_0 = V_3 - V_2 + 20 \times V_5 - 19 \times V_1$$

$V_5$ と $V_1$ は、ピン5とピン1の電圧です。

### 7.1.3 電流の測定

INA117は、直列抵抗 $R_S$ 両端の電圧降下を検出することで、電流を測定できます。図7-4は、テスト対象デバイスの電源電流を測定するためにINA117を使用した例を示しています。図7-5に示す回路は、電源の出力電流を測定します。電源にセンス接続がある場合、電圧降下誤差を除去するため、電源を $R_S$ の出力側に接続できます。もう1つの一般的な用途は、図7-6に示す電流から電圧への変換です。

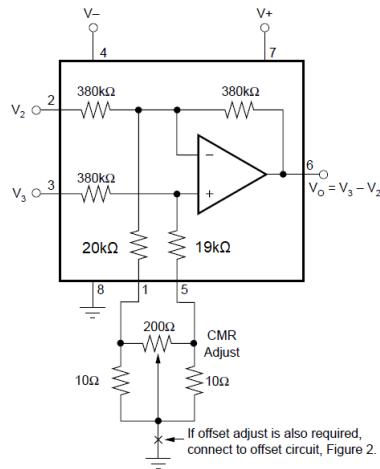
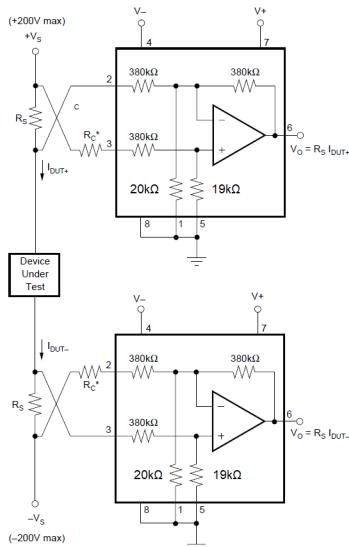
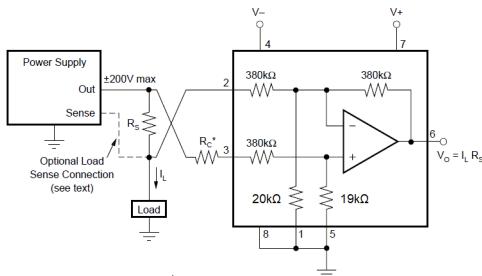


図 7-3. CMR トリム回路



\*Not needed if  $R_S$  is less than 20Ω — see text.

図 7-4. テスト対象デバイスの電源電流の測定



\* $R_S$  が 20Ω 未満の場合、 $R_C$ は不要です — 本文参照。

図 7-5. 電源出力電流の測定

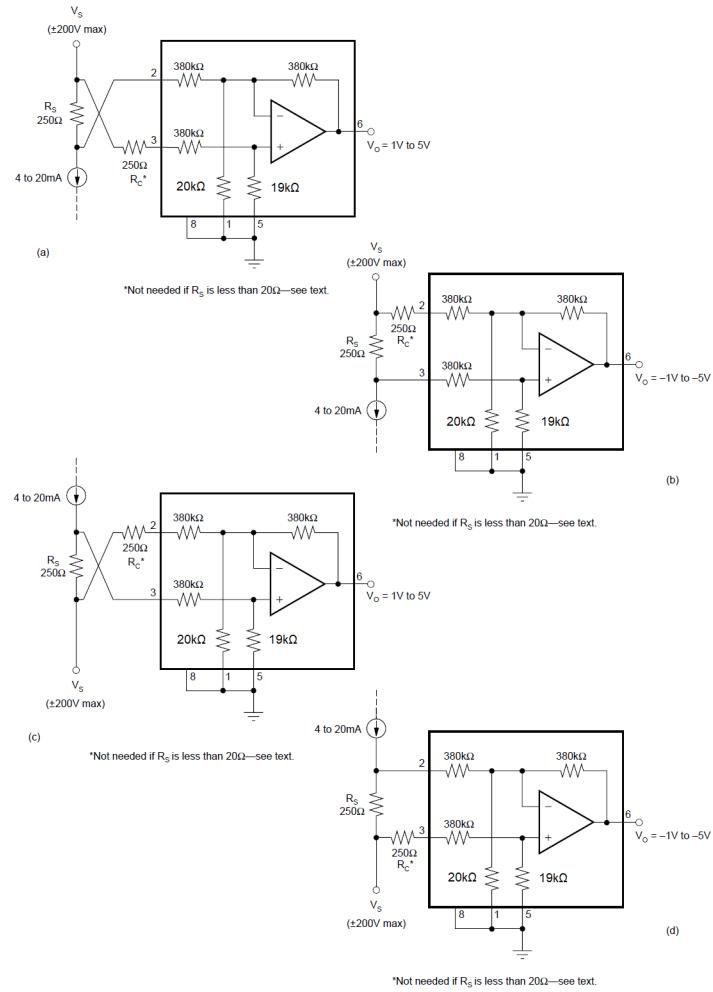


図 7-6. 電流/電圧コンバータ

いずれの場合も、センス抵抗によって INA117 の入力抵抗マッチングが崩れ、CMR が低下します。また、INA117 の入力インピーダンスが  $R_s$  を負荷するため、電圧から電流への変換においてゲイン誤差が生じます。これらの誤差はいずれも容易に補正できます。

CMR 誤差は、図 7-4、図 7-5、図 7-6 に示すように、 $R_s$  と同一値の補償抵抗  $R_c$  を追加することで補正できます。 $R_s$  が 20Ω 未満の場合、CMR の劣化は無視でき、 $R_c$  は省略できます。 $R_s$  が約 2kΩ を超える場合、86dB を超える CMR を達成するために、 $R_c$  のトリミングが必要になることがあります。このトリミングが必要となるのは、実際の INA117 の入力インピーダンスに代表値で 1% の不整合があるためです。 $R_s$  が約 100Ω を超えると、ゲイン誤差は INA117 の 0.05% 仕様を上回ります。このゲイン誤差は、 $R_s$  の値をわずかに増加させることで補正できます。修正された値  $R_s'$  は、次の式で計算できます。

$$R_s' = \frac{R_s \times 380k\Omega}{380k\Omega - R_s} \quad (1)$$

例: 1V/mA の伝達関数に対して、公称で補正前の  $R_s$  の値は 1kΩ です。わずかに大きい値である  $R_s' = 1002.6\Omega$  を用いることで、負荷によるゲイン誤差を補償できます。

$R_s'$  の式に含まれる 380kΩ 項は ±25% の許容誤差を持つため、約 400Ω を超えるセンス抵抗では、0.05% より良好なゲイン精度を得るためにトリミングが必要になる場合があります。

もちろん、図 7-7 に示すようにバッファアンプを追加した場合、両入力は低ソースインピーダンスとなり、センス抵抗は負荷されません。その結果、ゲイン誤差や CMR の劣化は発生しません。バッファアンプは、ユニティゲインバッファとして、または非反転ゲインを持つアンプとして動作できます。INA117 の前段にゲインを追加すると、CMR と信号対雑音比の両方が向上します。ゲインを追加することで、センス抵抗両端の電圧降下を低く抑えることも可能になります。OPA1013 は、入力および出力の両方が負電源近傍までスイングできるため、バッファアンプとして適しています。

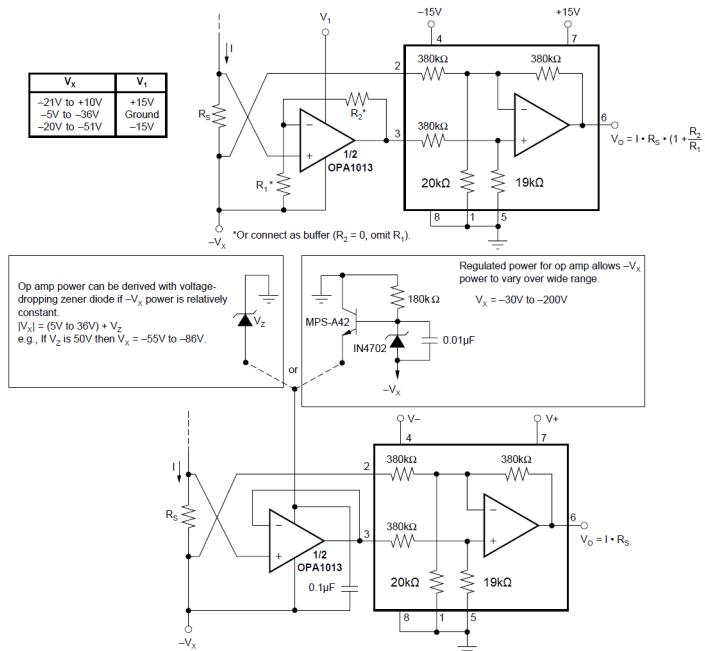


図 7-7. 入力バッファを用いた電流センシング

図 7-8 は、低リーケ電流を測定するために使用される非常に高い入力インピーダンスのバッファを示しています。ここでは、バッファ用オペアンプは絶縁された分割電源で駆動されています。絶縁電源を使用することで、 $\pm 200V$  のフル同相モード入力範囲が可能になります。

#### 7.1.4 ノイズ性能

INA117 のノイズ性能は、内部抵抗ネットワークによって支配されます。これらの抵抗の熱雑音、すなわちジョンソンノイズにより、約  $550nV/\sqrt{Hz}$  のノイズが発生します。内部オペアンプは、 $100Hz$  を超える周波数では事実上余分なノイズを発生しません。

多くのアプリケーションでは、INA117 のフル  $200kHz$  帯域幅を必要としません。このような場合、出力にローパスフィルタを追加することでノイズを低減できます。図 7-9 に示す 2 極フィルタは、帯域幅を  $1kHz$  に制限し、ノイズを 15:1 以上低減します。INA117 の  $1/f$  ノイズコーナー周波数は約  $100Hz$  であるため、カットオフ周波数を  $100Hz$  未満にしてもノイズはさらに低減されません。

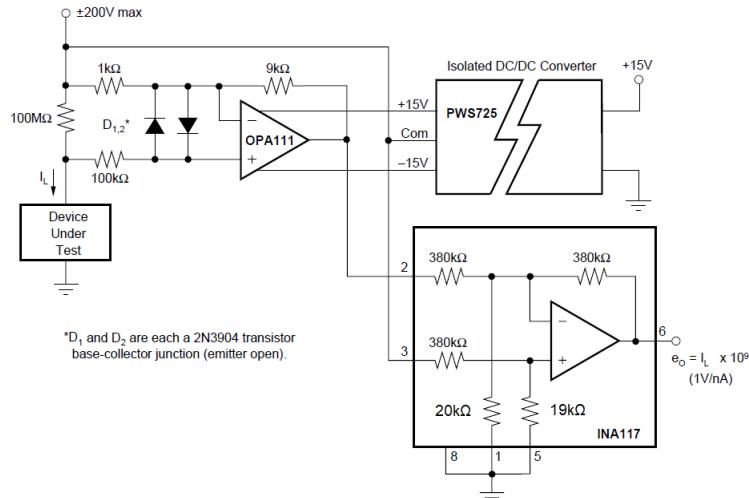


図 7-8. リーク電流測定回路

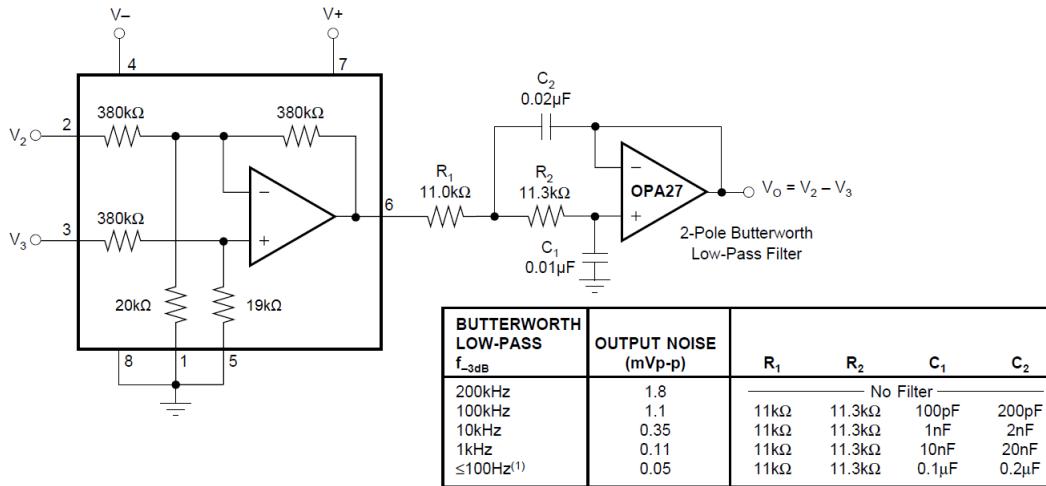
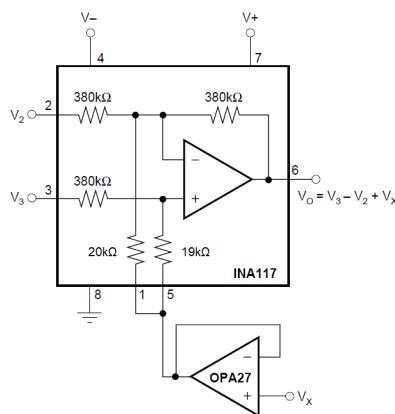


図 7-9. ノイズ低減のための出力フィルタ

図 7-10. 出力での V<sub>x</sub> の加算

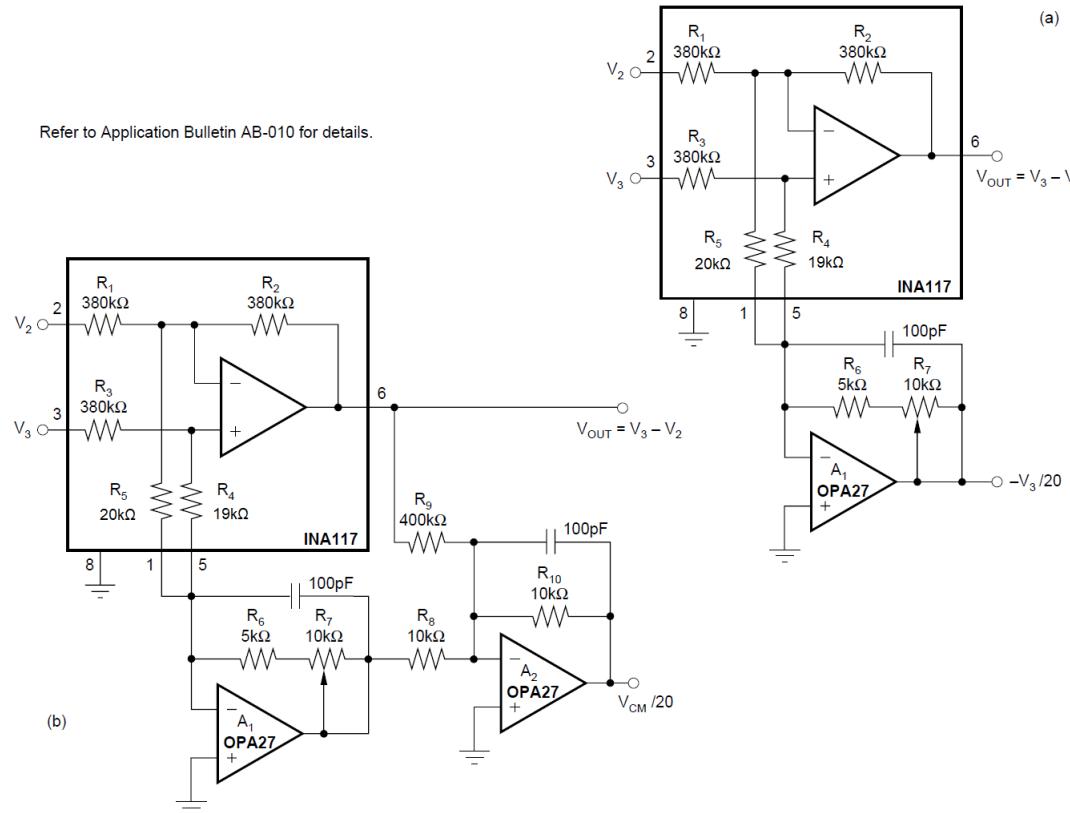


図 7-11. 同相電圧モニタリング

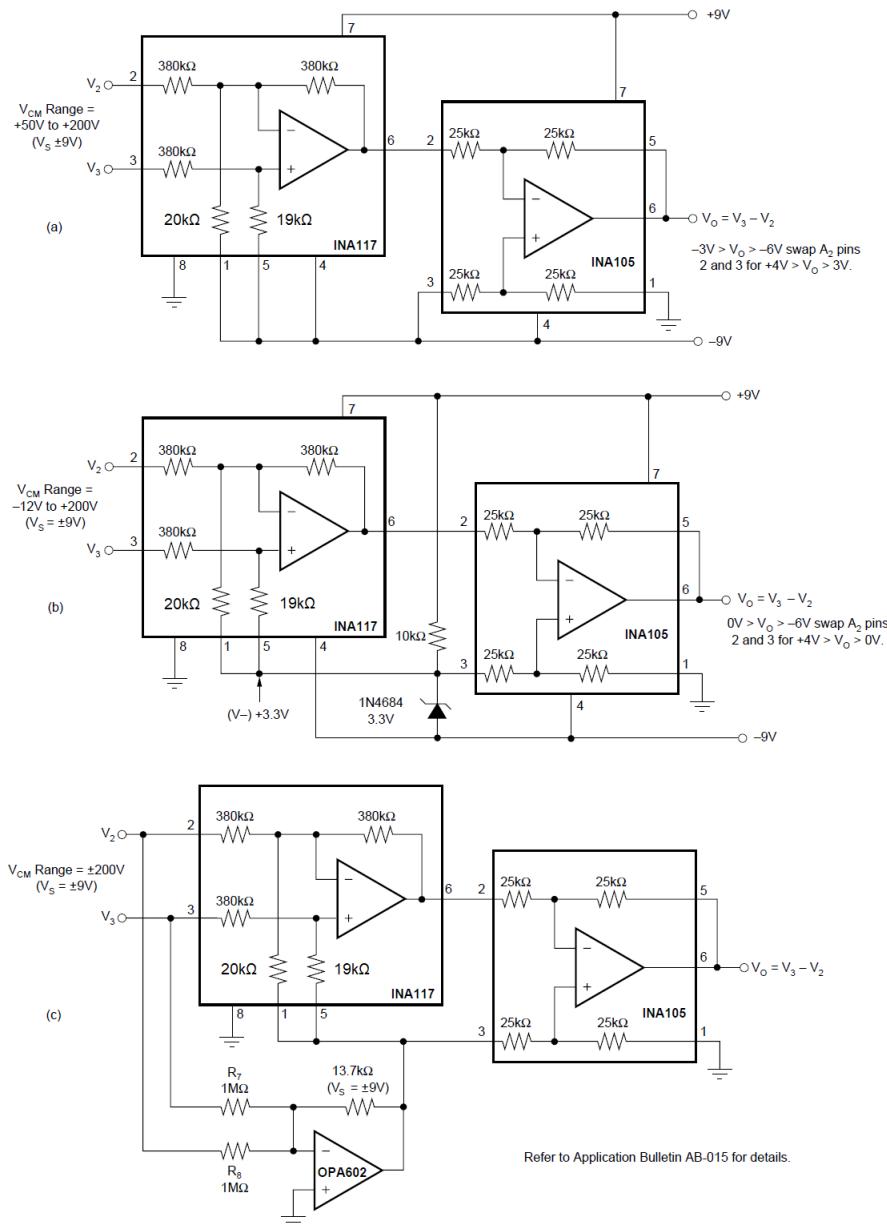


図 7-12. 電源電圧低減動作用の同相電圧範囲のオフセットまたは拡張

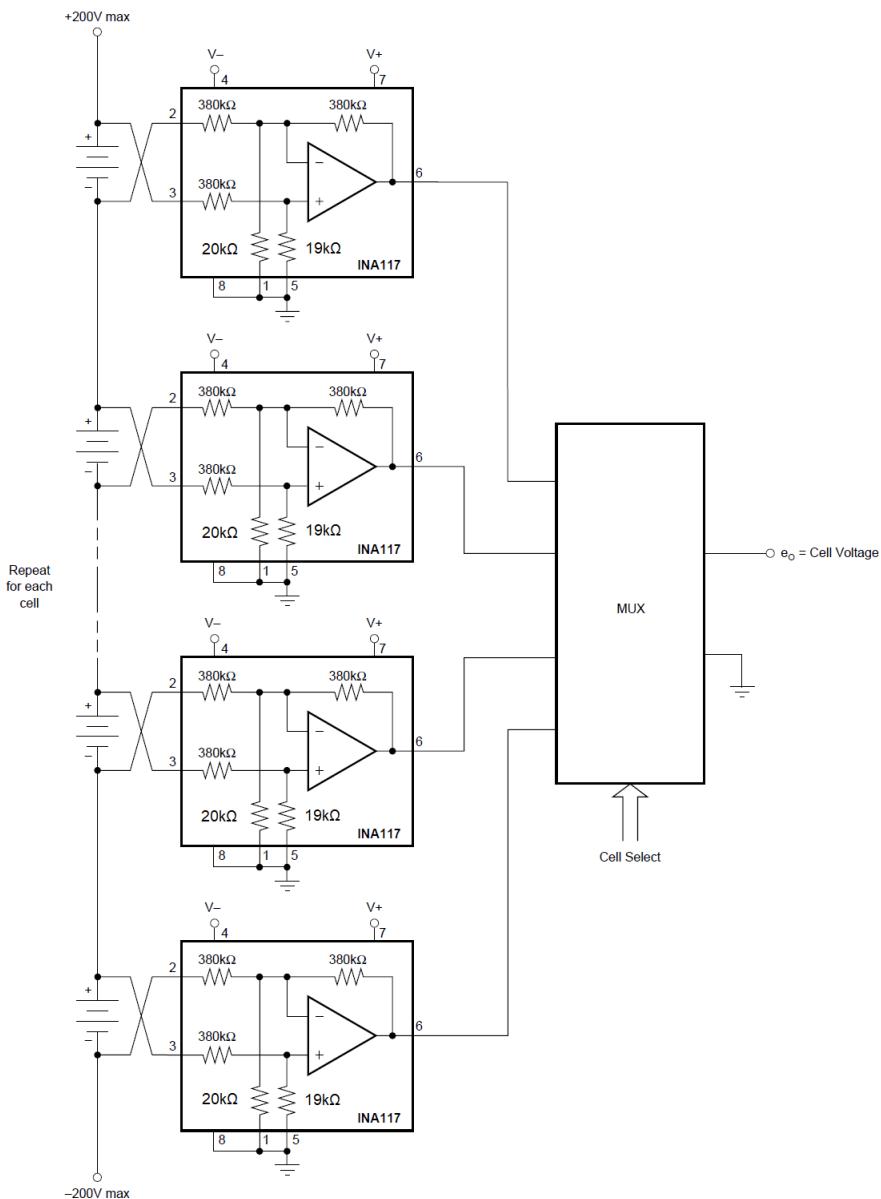


図 7-13. バッテリ セル電圧モニタ

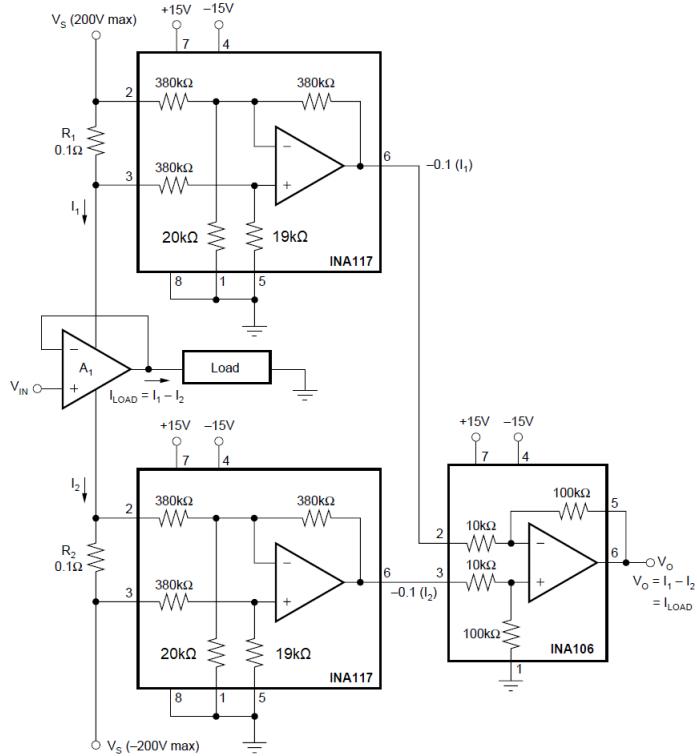


図 7-14. アンプ負荷電流の測定

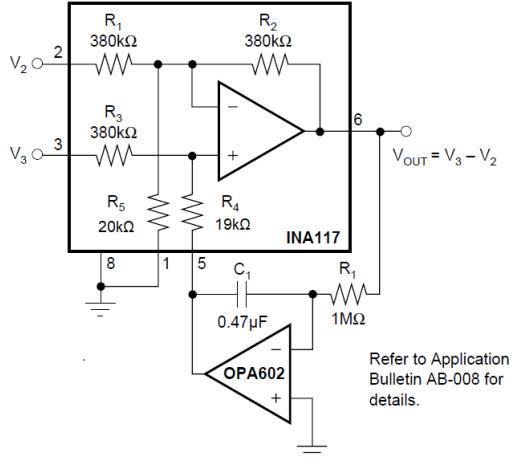


図 7-15. AC 結合 INA117

## 8 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

### 8.1 デバイスの命名規則

**表 8-1. デバイスの命名規則**

部品番号	定義
INA117KU	ダイは CSO:SHE または CSO:TID.
INA117KU/2K5	
INA117P	
INA117AM	ダイは CSO:SHE でのみ製造されています。
INA117BM	
INA117SM	
INA117SMQ	

### 8.2 ドキュメントのサポート

#### 8.2.1 関連資料

- テキサス・インスツルメンツ、[プレシジョンラボシリーズ:計測アンプ](#)、ビデオ
- テキサス・インスツルメンツ、[『INA149 高同相電圧差動アンプ』](#)、データシート
- テキサス・インスツルメンツ、[『差動アンプを使用した高電圧同相モードのサポート』](#)、アプリケーション ブリーフ

### 8.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 8.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

### 8.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

### 8.6 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 8.7 用語集

#### テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

## 9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (April 2024) to Revision C (January 2026)	Page
• 「説明」セクションに、帯域幅、-3dB のさまざまな製造プロセス仕様を追加	1
• にデバイスフロー情報の説明を「仕様」に追加	3
• 「電気的特性」のオフセット電圧にさまざまな製造プロセス仕様を追加	4
• すべてのチップ原産拠点 (CSO) の条件を「電気的特性」の標準的なテスト条件に追加	4
• 「電気的特性」のオフセット電圧ドリフトにさまざまな製造プロセス仕様を追加	4
• 「電気的特性」の同相電圧除去にさまざまな製造プロセス仕様を追加	4
• 「電気的特性」の同相モード入力インピーダンスにさまざまな製造プロセス仕様を追加	4
• 「電気的特性」のゲイン非線形性にさまざまな製造プロセス仕様を追加	4
• 「電気的特性」の出力電圧にさまざまな製造プロセス仕様を追加	4
• 「電気的特性」の負荷容量にさまざまな製造プロセス仕様を追加	4
• 「電気的特性」に短絡電流に関する各種の製造プロセス仕様を追加	4
• 「電気的特性」に、帯域幅、-3dB にさまざまな製造プロセス仕様を追加	4
• 「電気的特性」のフルパワー帯域幅にさまざまな製造プロセス仕様を追加	4
• 電気的特性に、スルーレートに関する各種の製造プロセス仕様を追加	4
• 「電気的特性」に、静止電流について各種の製造プロセス仕様を追加	4
• 「代表的特性」に代表的なテスト条件を追加	6
• 「代表的特性」の標準的なテスト条件に「すべてのチップの原産拠点 (CSO)」の条件を追加	6
• CSO を追加:「代表的特性」の「同相除去比と周波数との関係」、「電源除去特性と周波数との関係」、「正の同相電圧範囲と正の電源電圧との関係」、「負の同相電圧範囲と負の電源電圧との関係」、「小信号ステップ応答」、「大信号ステップ応答」の各曲線に SHE を追加	6
• 「同相除去比と周波数との関係」、「正の電源除去比と周波数との関係」、「負の電源除去比と周波数との関係」、「同相電圧範囲と電源電圧との関係」、「小信号ステップ応答」、「小信号ステップ応答と容量性負荷との関係」、「大信号ステップ応答」の曲線を CSO:TID に追加 (「代表的特性」)	6
• 「デバイスの命名規則」に型番のフロー情報表を追加	19

Changes from Revision A (November 2000) to Revision B (April 2024)	Page
• 文書全体にわたって表、図、相互参照のフォーマットを更新	1
• ドキュメント全体を通して INA117AM および INA117SM バリエントの情報を削除	1
• 「概要」および「ピン構成および機能」セクションで、ピン 8 を「Comp」から「NC」に変更	1
• 「概要」セクションに「注文情報」表を追加	1
• 「ピンの機能」の表を追加	2
• 「ESD 定格」表を追加	3
• 「推奨動作条件」に単電源の仕様を追加	3
• 「推奨動作条件」に指定温度範囲を追加	3
• 明確にするため、「電気的特性」と「代表的特性」の「特に記述のない限り」の条件に $VREF = 0V$ 、 $VCM = VS/2$ 、 $G = 1$ を追加	4
• 「電気的特性」において、パラメータを「オフセット電圧と温度との関係」から「オフセット電圧ドリフト」に変更	4
• 「電気的特性」において、「オフセット電圧ドリフト」に対するテスト条件として $TA = -40^\circ C \sim +85^\circ C$ を追加	4
• 「電気的特性」において、パラメータを「オフセット電圧と電源との関係」から「電源除去比」に変更	4
• 「電気的特性」における「CMRR」について、「 $TA = -40^\circ C \sim +85^\circ C$ 」というテスト条件を追加	4
• 「電気的特性」において、「同相モード入力インピーダンス」の代表値を $400k\Omega$ から $200k\Omega$ に変更	4

明確にするため、「電気的特性」の「ゲイン誤差と温度との関係」で「 $TA = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ 」のテスト条件を追加し、名前を「ゲイン誤差ドリフト」に変更	4
「電気的特性」において、「ゲイン非線形性」の代表値を 0.0002% から 0.0005% に変更	4
明確にするため、「電気的特性」の短絡電流仕様に「 $V_S/2 \sim \text{連続}$ 」のテスト条件を追加	4
「電気的特性」において、最小スルーレートを $2\text{V}/\mu\text{s}$ から $1.7\text{V}/\mu\text{s}$ に変更	4
「電気的特性」から冗長な電圧範囲、動作温度範囲、仕様温度範囲の仕様を削除	4
「差動ゲインの低減」アプリケーション回路図を削除	13
「ドキュメントのサポート」および「関連資料」セクションを追加	19

## 10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

**PACKAGING INFORMATION**

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
INA117AM	Last Time Buy	Production	TO-99 (LMC)   8	20   TUBE	Yes	Call TI	N/A for Pkg Type	-40 to 85	INA117AM
INA117AM.A	NRND	Production	TO-99 (LMC)   8	20   TUBE	Yes	Call TI	N/A for Pkg Type	-40 to 85	INA117AM
INA117BM	Last Time Buy	Production	TO-99 (LMC)   8	20   TUBE	Yes	Call TI	N/A for Pkg Type	-40 to 85	INA117BM
INA117BM.A	NRND	Production	TO-99 (LMC)   8	20   TUBE	Yes	Call TI	N/A for Pkg Type	-40 to 85	INA117BM
<b>INA117KU</b>	Active	Production	SOIC (D)   8	75   TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	INA 117KU
INA117KU.B	Active	Production	SOIC (D)   8	75   TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	INA 117KU
<b>INA117KU/2K5</b>	Active	Production	SOIC (D)   8	2500   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	INA 117KU
INA117KU/2K5.B	Active	Production	SOIC (D)   8	2500   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	INA 117KU
<b>INA117P</b>	Active	Production	PDIP (P)   8	50   TUBE	Yes	Call TI   Nipdau	N/A for Pkg Type	-40 to 85	INA117P
INA117P.B	Active	Production	PDIP (P)   8	50   TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	INA117P
INA117SM	Last Time Buy	Production	TO-99 (LMC)   8	20   TUBE	Yes	AU	N/A for Pkg Type	-40 to 85	INA117SM
INA117SM.A	NRND	Production	TO-99 (LMC)   8	20   TUBE	Yes	AU	N/A for Pkg Type	-40 to 85	INA117SM
INA117SMQ	Last Time Buy	Production	TO-99 (LMC)   8	20   TUBE	Yes	AU	N/A for Pkg Type	-40 to 85	INA117SMQ
INA117SMQ.A	NRND	Production	TO-99 (LMC)   8	20   TUBE	Yes	AU	N/A for Pkg Type	-40 to 85	INA117SMQ

<sup>(1)</sup> **Status:** For more details on status, see our [product life cycle](#).

<sup>(2)</sup> **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

<sup>(3)</sup> **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

---

<sup>(4)</sup> **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

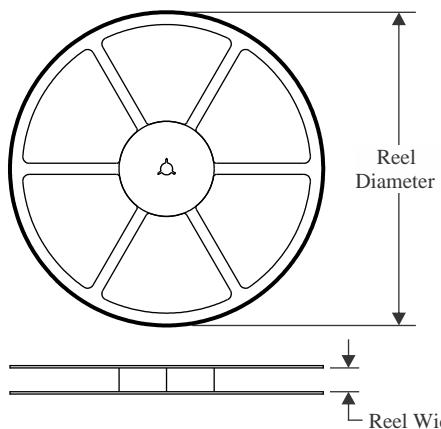
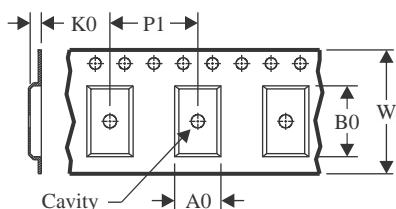
<sup>(5)</sup> **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

<sup>(6)</sup> **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

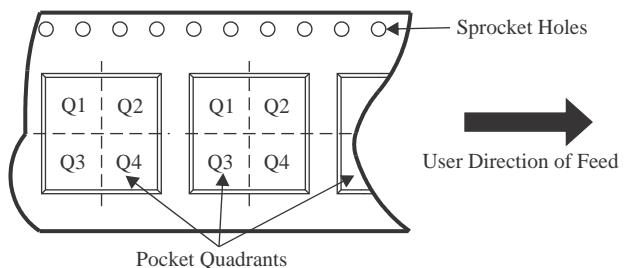
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

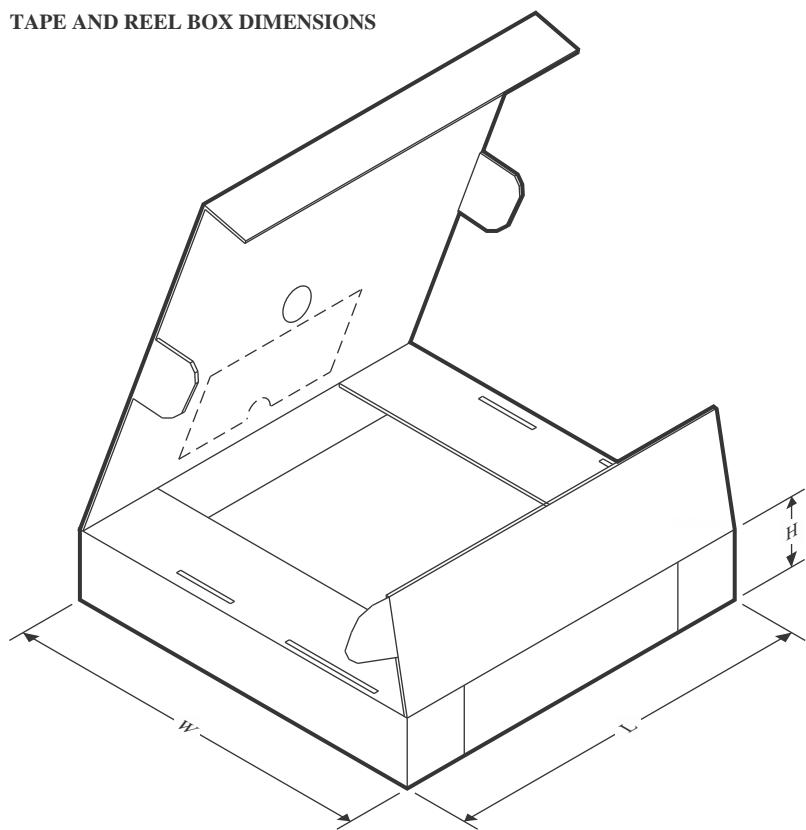
**TAPE AND REEL INFORMATION**
**REEL DIMENSIONS**

**TAPE DIMENSIONS**


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**


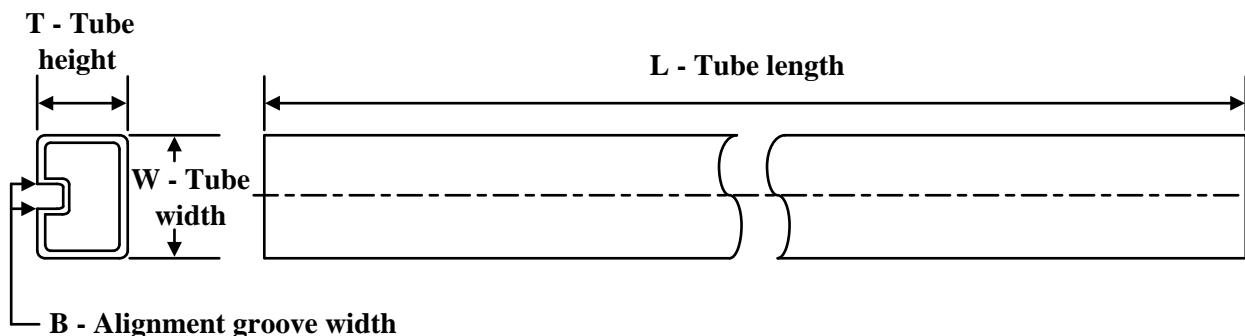
\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
INA117KU/2K5	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
INA117KU/2K5	SOIC	D	8	2500	353.0	353.0	32.0

**TUBE**


\*All dimensions are nominal

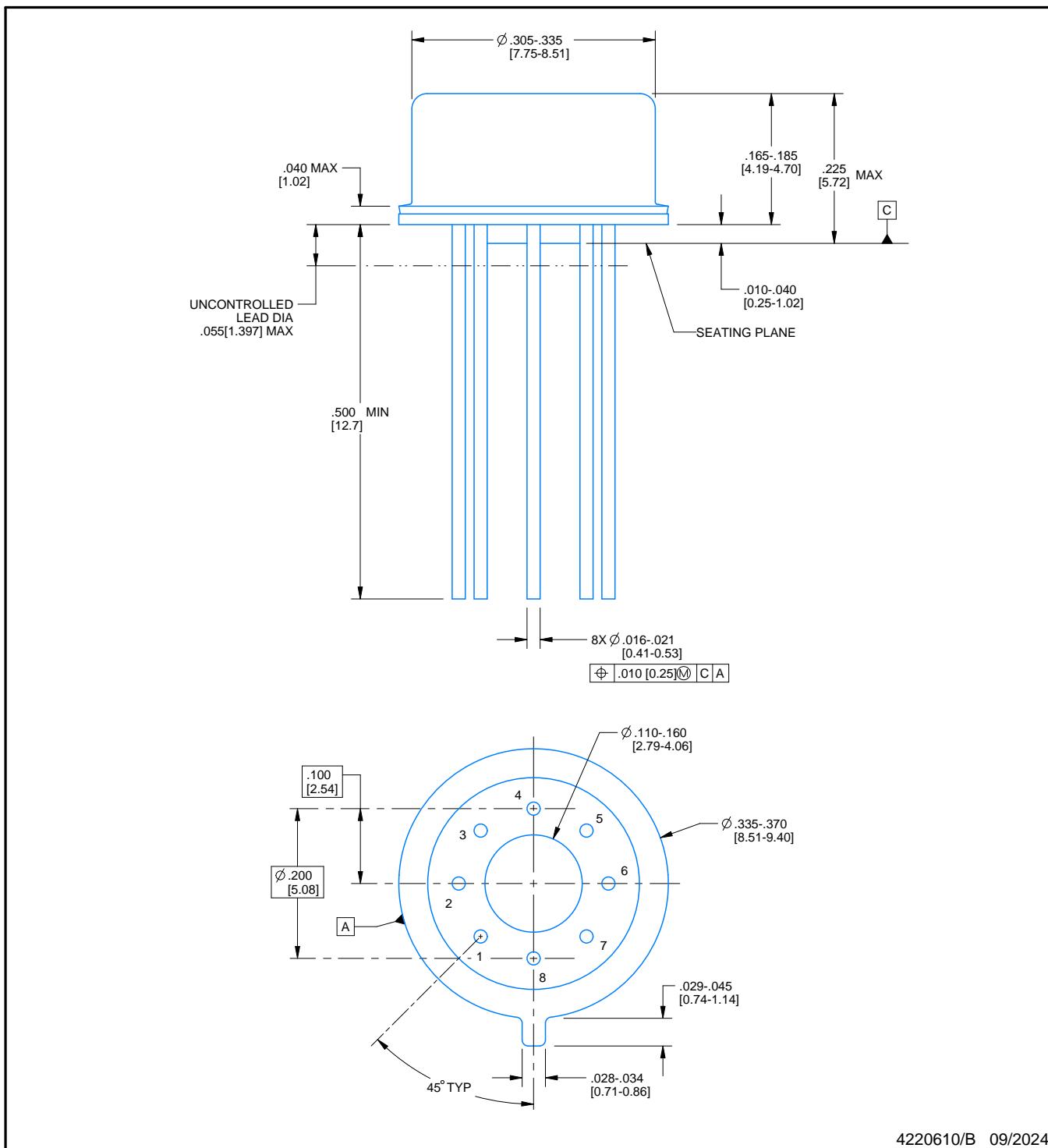
Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
INA117AM	LMC	TO-CAN	8	20	532.13	21.59	889	NA
INA117AM.A	LMC	TO-CAN	8	20	532.13	21.59	889	NA
INA117BM	LMC	TO-CAN	8	20	532.13	21.59	889	NA
INA117BM.A	LMC	TO-CAN	8	20	532.13	21.59	889	NA
INA117KU	D	SOIC	8	75	506.6	8	3940	4.32
INA117KU.B	D	SOIC	8	75	506.6	8	3940	4.32
INA117P	P	PDIP	8	50	506	13.97	11230	4.32
INA117P.B	P	PDIP	8	50	506	13.97	11230	4.32
INA117SM	LMC	TO-CAN	8	20	532.13	21.59	889	NA
INA117SM.A	LMC	TO-CAN	8	20	532.13	21.59	889	NA
INA117SMQ	LMC	TO-CAN	8	20	532.13	21.59	889	NA
INA117SMQ.A	LMC	TO-CAN	8	20	532.13	21.59	889	NA

# PACKAGE OUTLINE

LMC0008A

TO-CAN - 5.72 mm max height

TRANSISTOR OUTLINE



4220610/B 09/2024

## NOTES:

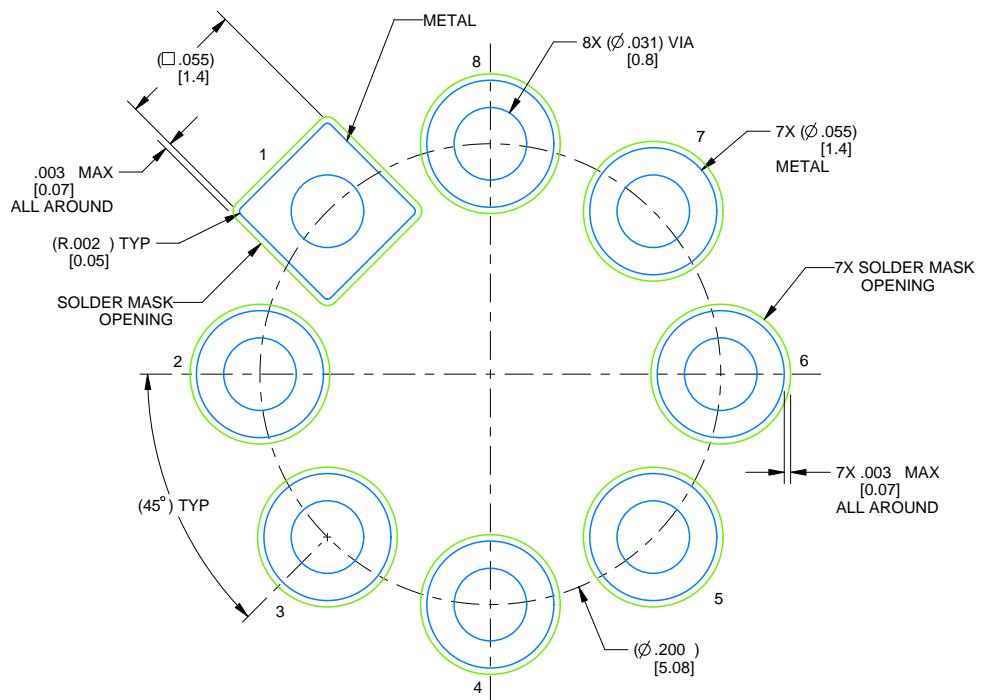
1. All linear dimensions are in inches [millimeters]. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Pin numbers shown for reference only. Numbers may not be marked on package.
4. Reference JEDEC registration MO-002/TO-99.

# EXAMPLE BOARD LAYOUT

LMC0008A

TO-CAN - 5.72 mm max height

TRANSISTOR OUTLINE



LAND PATTERN EXAMPLE  
NON-SOLDER MASK DEFINED  
SCALE: 12X

4220610/B 09/2024

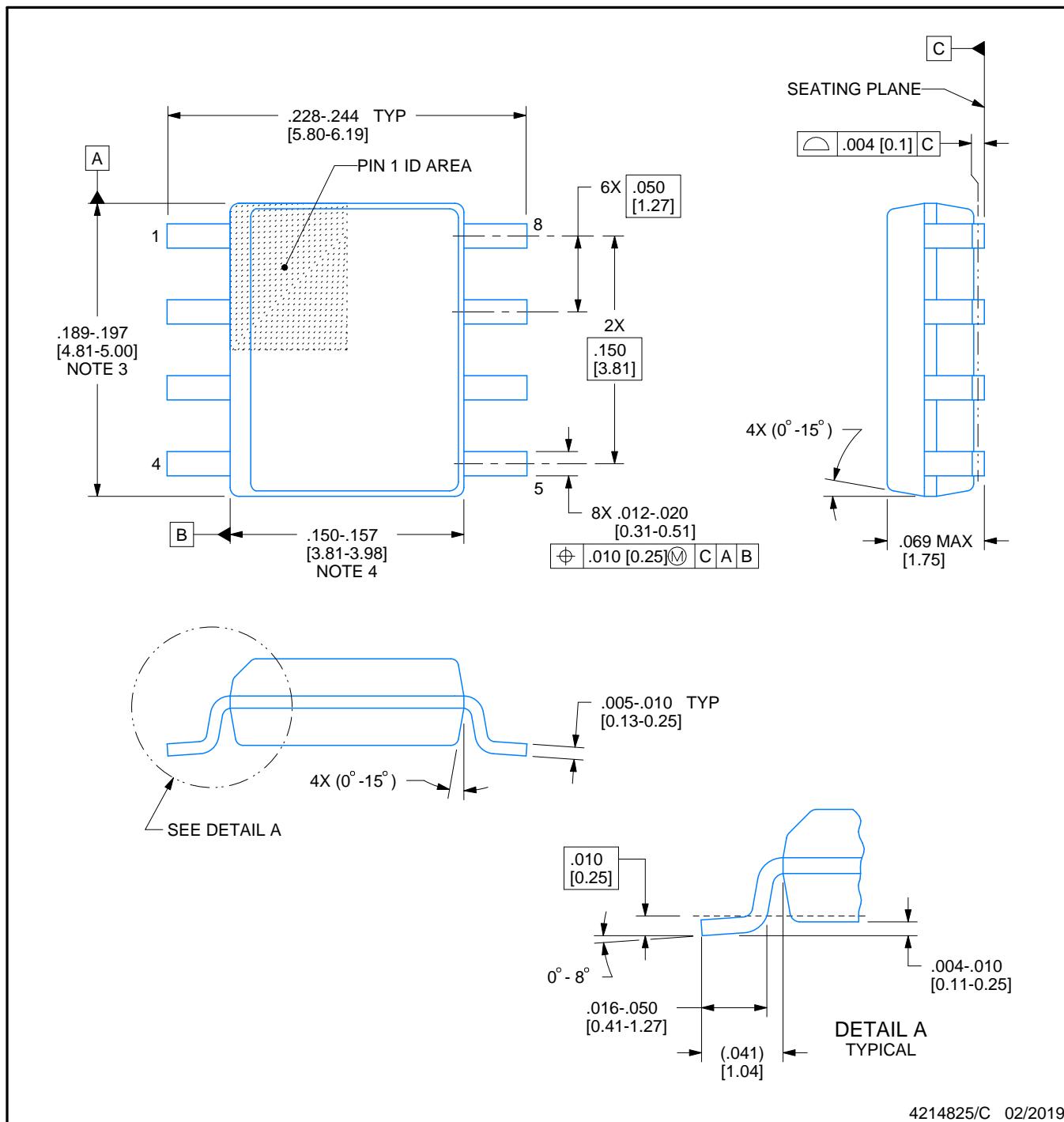


# PACKAGE OUTLINE

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



## NOTES:

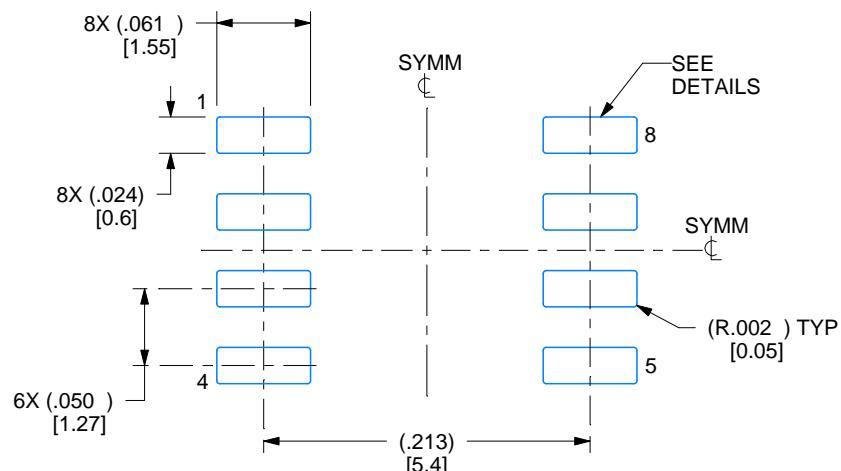
1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

# EXAMPLE BOARD LAYOUT

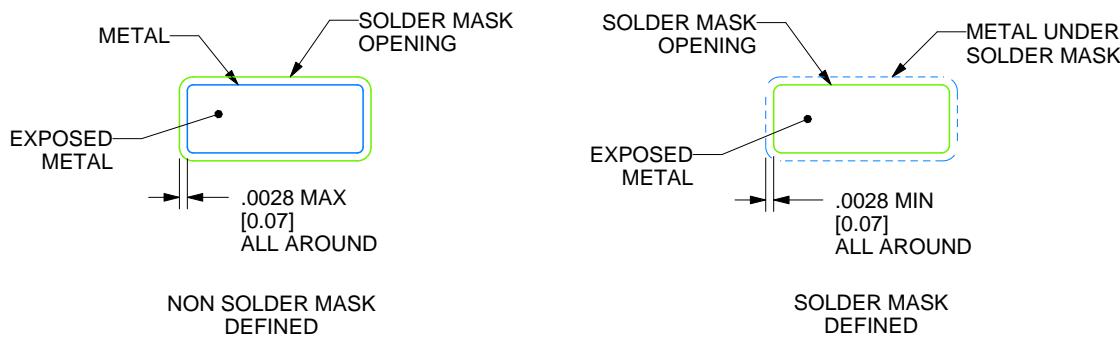
D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

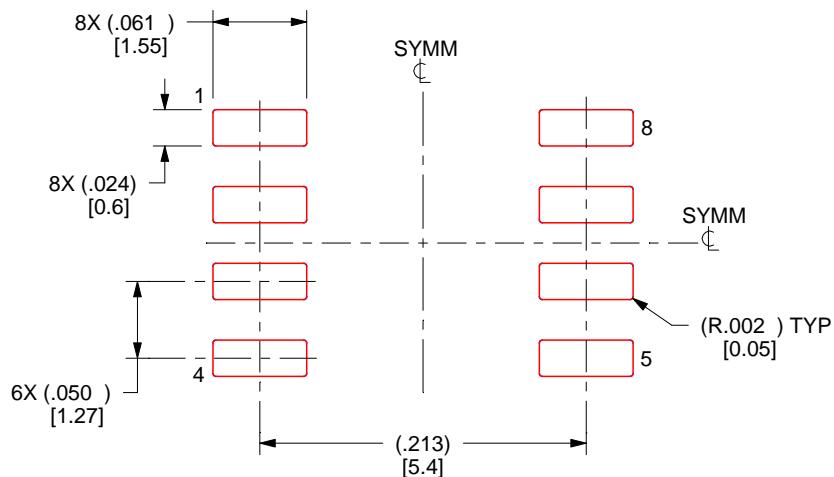
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE  
BASED ON .005 INCH [0.125 MM] THICK STENCIL  
SCALE:8X

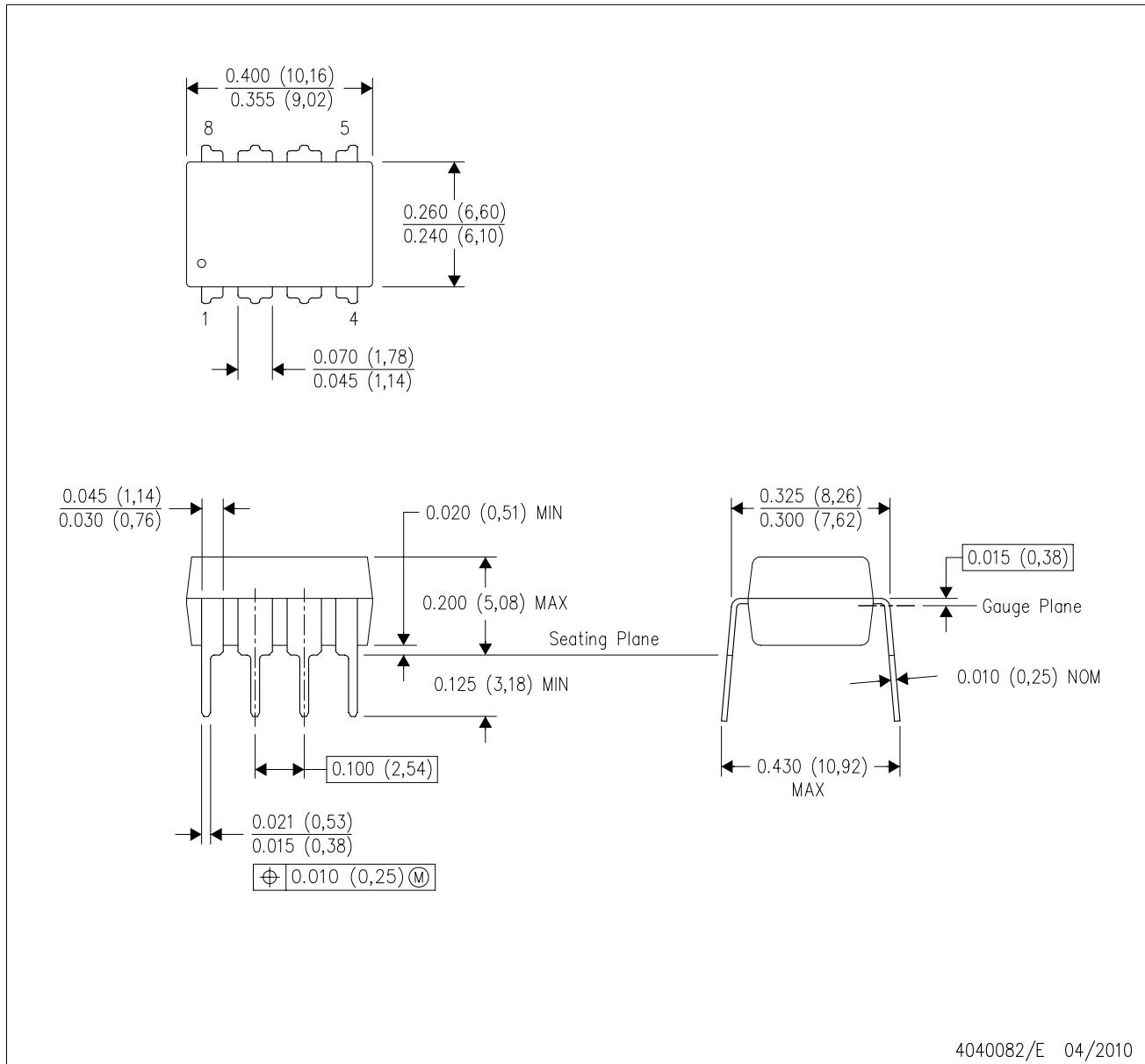
4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

P (R-PDIP-T8)

PLASTIC DUAL-IN-LINE PACKAGE



NOTES: A. All linear dimensions are in inches (millimeters).  
 B. This drawing is subject to change without notice.  
 C. Falls within JEDEC MS-001 variation BA.

4040082/E 04/2010

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月