

INA2128 デュアル、低消費電力計測アンプ

1 特長

- 低いオフセット電圧: 50μV (最大値)
- 低いドリフト: 最大 0.5μV/°C
- 低い入力バイアス電流:
 - 最大 5nA (CSO: SHE)
 - 最大 0.7nA (CSO: TID)
- 入力電圧ノイズ: 1kHz で 8nV/√Hz
- 広い帯域幅: GDIFF = 1V/V で 1.3MHz
- 高 CMR: 120dB (最小値)
- ±40V までの入力保護
- 幅広い電源電圧範囲: ±2.25V ~ ±18V
- 低い静止電流: 700μA (チャネルあたり)
- 温度範囲: -40°C ~ +85°C
- パッケージ: 16 ピン SOIC

2 アプリケーション

- 圧力トランスミッタ
- 温度トランスミッタ
- 重量計
- 心電図 (ECG)
- アナログ入力モジュール
- データ・アキュイジション (DAQ)

3 説明

INA2128 は、精度の優れた低消費電力のデュアル汎用計測アンプ (IA) です。本デバイスは、用途が広い 3 オペアンプ設計を採用しており、サイズが小型であるため、広範なアプリケーションに非常に適しています。電流帰還入力回路により、高いゲインでも広い帯域幅が得られます ($G = 100$ で 200kHz)。単一の外付け抵抗により、1 ~ 10,000 の範囲で任意のゲインを設定できます。内部入力保護機能は、損傷なしに ±40V まで耐えられます。

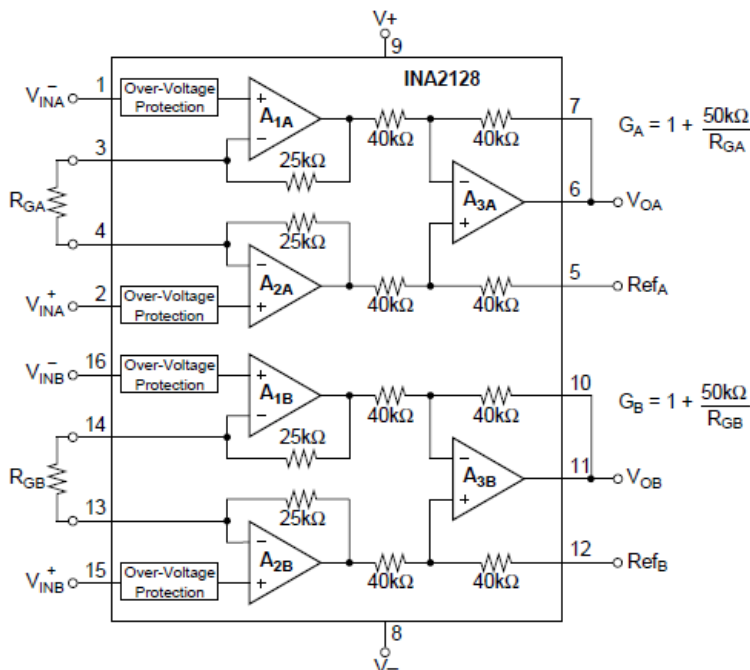
INA2128 はレーザー トリムにより、非常に低いオフセット電圧 (50μV) とドリフト係数 (0.5μV/°C)、高い同相除去 ($G \geq 100$ で 120dB) を実現しています。このデバイスは最低 ±2.25V の電源で動作し、静止電流は 1A あたりわずか 700μA であるため、バッテリー駆動の複数チャネル システムに理想的です。

INA2128 は、SOIC-16 パッケージで供給され、-40°C ~ +85°C で動作が規定されています。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
INA2128	DW (SOIC, 16)	10.3mm × 10.3mm

- 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
- パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



概略回路図



目次

1 特長.....	1	6.1 使用上の注意.....	16
2 アプリケーション.....	1	6.2 代表的なアプリケーション.....	16
3 説明.....	1	7 デバイスおよびドキュメントのサポート.....	21
4 ピン構成および機能.....	3	7.1 デバイスの命名規則.....	21
5 仕様.....	4	7.2 ドキュメントの更新通知を受け取る方法.....	21
5.1 絶対最大定格.....	4	7.3 サポート・リソース.....	21
5.2 ESD 定格.....	4	7.4 商標.....	21
5.3 推奨動作条件.....	4	7.5 静電気放電に関する注意事項.....	21
5.4 熱に関する情報.....	4	7.6 用語集.....	21
5.5 電気的特性.....	5	8 改訂履歴.....	21
5.6 代表的特性.....	9	9 メカニカル、パッケージ、および注文情報.....	23
6 アプリケーションと実装.....	16		

4 ピン構成および機能

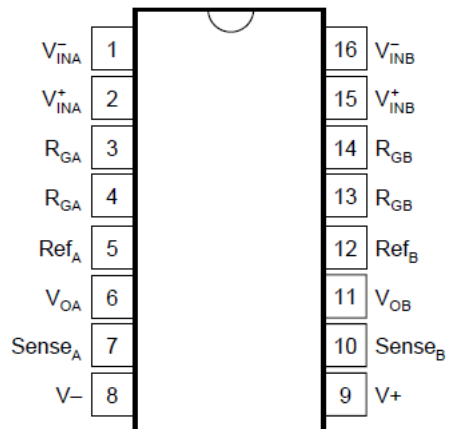


図 4-1. DW パッケージ、16 ピン SOIC (上面図)

5 仕様

注

TI では、このデバイスの複数の製造フローを認定済みです。性能の違いは、チップの原産拠点 (CSO) によってラベル付けされています。システムの堅牢性を確保するために、すべてのフローを考慮した設計を強く推奨します。詳細については、[セクション 8.1](#) を参照してください。

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)⁽¹⁾

			最小値	最大値	単位
V _S	電源電圧	デュアル電源、V _S = (V+) – (V–)		±18	V
		シングル電源、V _S = (V+) – 0V		36	
	アナログ入力電圧			±40	V
	出力短絡 ⁽²⁾		連続		
T _A	動作温度		–40	125	°C
	接合部温度			150	°C
	リード温度 (半田付け、10 秒)			300	°C
T _{stg}	保存温度		–55	125	°C

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。

(2) V_S / 2 への短絡

5.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠 ⁽²⁾	±50	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	標準値	最大値	単位
V _S	電源電圧	単電源	4.5	30	36	V
		両電源	±2.25	±15	±18	
	V _O = 0 V の入力同相電圧範囲		(V–) + 2		(V+) – 2	V
T _A	規定温度		–40		85	°C

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		INA12x		単位
		D (SOIC)	P (PDIP)	
		8 ピン	8 ピン	
R _{θJA}	接合部から周囲への熱抵抗	110	46.1	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	57	34.1	°C/W

熱評価基準 ⁽¹⁾		INA12x		単位
		D (SOIC)	P (PDIP)	
		8 ピン	8 ピン	
$R_{\theta JB}$	接合部から基板への熱抵抗	54	23.4	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	11	11.3	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	53	23.2	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。

5.5 電気的特性

$T_A = 25^\circ\text{C}$, $V_S = \pm 15\text{V}$, $R_L = 10\text{k}\Omega$, $V_{REF} = 0\text{V}$, $V_{CM} = V_S/2$, および $G = 1$ でのすべてのチップ原産拠点 (CSO) (特に記述のない限り)

パラメータ		テスト条件			最小値	標準値	最大値	単位
入力								
V _{OS}	オフセット電圧 (RTI)	INA2128U	CSO: SHE		±10 ±100/G		±50 ±500/G	μV
			CSO: TID		±20 ±50/G		±50 ±290/G	
		INA2128UA	CSO: SHE		±25 ±100/G		±125 ±1000/G	
			CSO: TID		±20 ±50/G		±125 ±580/G	
	オフセット電圧ドリフト (RTI)	T _A = −40°C ~ +85°C	INA2128U		±0.2 ±2/G		±0.5 ±20/G	μV/°C
			INA2128UA		±0.2 ±5/G		±1 ±20/G	
PSRR	電源除去比 (RTI)	V _S = ±2.25 V ~ ±18 V	CSO: SHE	INA2128U	±0.2 ±20/G		±1 ±100/G	μV/V
				INA2128UA	±0.2 ±20/G		±2 ±200/G	
			CSO: TID	INA2128U	±0.1 ±1/G		±0.4 ±3.2/G	
				INA2128UA	±0.1 ±1/G		±0.8 ±6.4/G	
	長期安定性	CSO: SHE			±0.1 ±3/G		μV/mo	
		CSO: TID			±0.2 ±3/G			
	入力インピーダンス	差動			10 2		GΩ pF	
		同相			100 9			
V _{CM}	同相電圧 ⁽¹⁾	V _O = 0V			(V _−) + 2		(V ₊) − 2	V
	安全入力電圧	R _S = 0Ω					±40	V
CMRR	同相除去比	ΔR _S = 1kΩ、V _{CM} = ±13V、CSO: SHE	G = 1	INA2128U	80	86	dB	
				INA2128UA	73	86		
			G = 10	INA2128U	100	106		
				INA2128UA	93	106		
			G = 100	INA2128U	120	125		
				INA2128UA	110	125		
			G = 1000	INA2128U	120	130		
				INA2128UA	110	130		
		ΔR _S = 1kΩ、V _{CM} = ±13V、CSO: TID	G = 1	INA2128U	80	100		
				INA2128UA	73	100		
			G = 10	INA2128U	100	120		
				INA2128UA	93	120		
			G = 100	INA2128U	120	140		
				INA2128UA	110	140		
			G = 1000	INA2128U	120	145		
				INA2128UA	110	145		

5.5 電気的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = \pm 15\text{V}$ 、 $R_L = 10\text{k}\Omega$ 、 $V_{\text{REF}} = 0\text{V}$ 、 $V_{\text{CM}} = V_S/2$ 、および $G = 1$ でのすべてのチップ原産拠点 (CSO) (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
入力バイアス電流							
I _B	入力バイアス電流	INA2128U	CSO: SHE	±2		±5	nA
			CSO: TID	±0.15		±0.7	
		INA2128UA	CSO: SHE	±2		±10	
			CSO: TID	±0.15		±1.4	
	入力バイアス電流ドリフト	T _A = −40°C ~ +85°C		±30			pA/°C
I _{OS}	入力オフセット電流	INA2128U	CSO: SHE	±1		±5	nA
			CSO: TID	±0.15		±0.7	
		INA2128UA	CSO: SHE	±1		±10	
			CSO: TID	±0.15		±1.4	
	入力オフセット電流ドリフト	T _A = −40°C ~ +85°C		±30			pA/°C
ノイズ							
e _N	電圧ノイズ (RTI)	G = 1000、R _S = 0Ω	f = 10Hz	CSO: SHE	10		nV/√Hz
				CSO: TID	7		
			f = 100Hz	CSO: SHE	8		
				CSO: TID	6.9		
			F = 1kHz	CSO: SHE	8		
				CSO: TID	6.9		
			f _B = 0.1Hz~10Hz		0.2		μV _{PP}
	電流ノイズ	f = 10Hz	0.9		pA/√Hz		
		f = 1kHz	CSO: SHE	0.3			
			CSO: TID	0.17			
		f _B = 0.1Hz ~ 10Hz	CSO: SHE	30		pA _{PP}	
			CSO: TID	4.7			

5.5 電気的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = \pm 15\text{V}$ 、 $R_L = 10\text{k}\Omega$ 、 $V_{\text{REF}} = 0\text{V}$ 、 $V_{\text{CM}} = V_S/2$ 、および $G = 1$ でのすべてのチップ原産拠点 (CSO) (特に記述のない限り)

パラメータ		テスト条件			最小値	標準値	最大値	単位
ゲイン								
	ゲイン計算式				1 + (50kΩ/R _G)			V/V
G	ゲイン				1		10000	V/V
GE	ゲイン誤差	G = 1	CSO: SHE	INA2128U	±0.01	±0.024	%	
				INA2128UA	±0.01	±0.1		
			CSO: TID	INA2128U	±0.005	±0.024		
				INA2128UA	±0.005	±0.1		
		G = 10	CSO: SHE	INA2128U	±0.02	±0.4		
				INA2128UA	±0.02	±0.5		
			CSO: TID	INA2128U	±0.025	±0.17		
				INA2128UA	±0.025	±0.21		
		G = 100	CSO: SHE	INA2128U	±0.05	±0.5		
				INA2128UA	±0.05	±0.7		
			CSO: TID	INA2128U	±0.025	±0.17		
				INA2128UA	±0.025	±0.24		
		G = 1000	CSO: SHE	INA2128U	±0.5	±1		
				INA2128UA	±0.5	±2		
			CSO: TID	INA2128U	±0.05	±1		
				INA2128UA	±0.05	±2		
	ゲインドリフト ⁽²⁾	T _A = −40°C ~ +85°C	CSO: SHE		±1	±10	ppm/°C	
			CSO: TID			±5		
			50kΩ または 49.4kΩ の抵抗 ⁽³⁾	CSO: SHE		±25		±100
				CSO: TID				±50
	ゲインの非直線性	G = 1、V _O = ±13.6V	INA2128U		±0.0001	±0.001	FSR の %	
			INA2128UA		±0.0001	±0.002		
		G = 10	INA2128U		±0.0003	±0.002		
			INA2128UA		±0.0003	±0.004		
		G = 100	INA2128U		±0.0005	±0.002		
			INA2128UA		±0.0005	±0.004		
		G = 1000 ⁽⁴⁾				±0.001		
		出力						
	正の出力電圧	CSO: SHE			(V+) − 1.4		V	
		CSO: TID			(V+) − 0.15			
	負の出力電圧	CSO: SHE			(V−) + 1.4		V	
		CSO: TID			(V−) + 0.15			
C _L	負荷容量	安定動作			1000		pF	
I _{sc}	短絡電流	V _S /2 まで連続	CSO: SHE		+6/-15		mA	
			CSO: TID		+18/-18			

5.5 電気的特性 (続き)

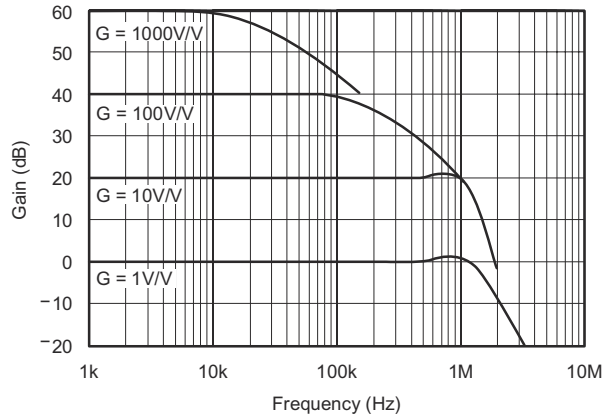
$T_A = 25^\circ\text{C}$ 、 $V_S = \pm 15\text{V}$ 、 $R_L = 10\text{k}\Omega$ 、 $V_{\text{REF}} = 0\text{V}$ 、 $V_{\text{CM}} = V_S/2$ 、および $G = 1$ でのすべてのチップ原産拠点 (CSO) (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
周波数応答							
BW	帯域幅、-3dB	G = 1		1.3		MHz	
		G = 10		600			
		G = 100		200			
		G = 1000	CSO: SHE	20		kHz	
			CSO: TID	33			
SR	スルーレート	G = 10、V _O = ±10V	CSO: SHE		4		V/μs
			CSO: TID		1.2		
t _s	セトリング タイム	0.01% まで	G = 1	CSO: SHE	7		μs
				CSO: TID	9		
			G = 10	CSO: SHE	7		μs
				CSO: TID	9		
			G = 100	CSO: SHE	9		
				CSO: TID	12		
			G = 1000		80		
	過負荷からの回復	50% の入力過負荷		4		μs	
電源							
I _Q	総静止電流	V _{IN} = 0V		±1.4		±1.5	mA

- 入力同相電圧は出力電圧によって変化します。「代表的特性」を参照してください。
- ウェハール テストにより規定されています。
- ゲイン計算式で使用する $50\text{k}\Omega$ または $49.4\text{k}\Omega$ 項の温度係数。
- $G = 1000$ での非直線性測定は、ノイズの支配的な要素です。標準非直線性は $\pm 0.001\%$ です。

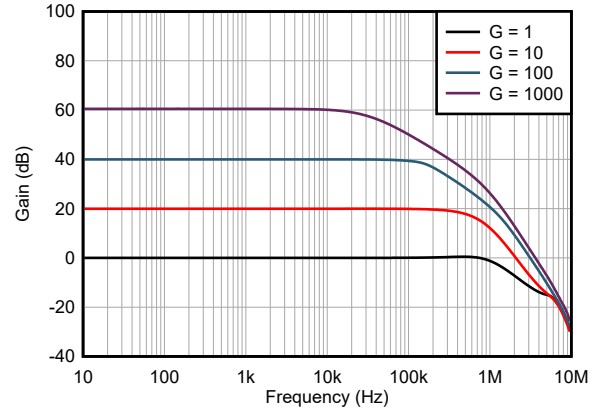
5.6 代表的特性

$T_A = +25^\circ\text{C}$, $V_S = \pm 15\text{V}$, $V_{\text{REF}} = 0\text{V}$, $G = 1$, $R_L = 10\text{k}\Omega$, および $V_{\text{CM}} = V_S/2$ でのすべてのチップ サイトの起源 (CSO) (特に記述のない限り)



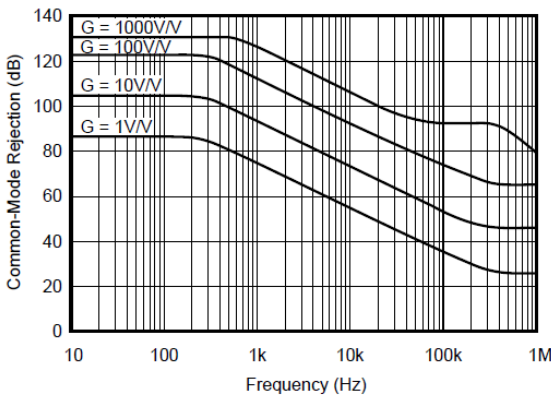
CSO: SHE

図 5-1. ゲインと周波数との関係



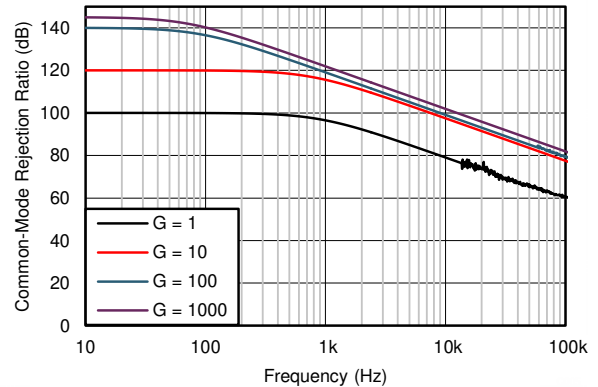
CSO: TID

図 5-2. ゲインと周波数との関係



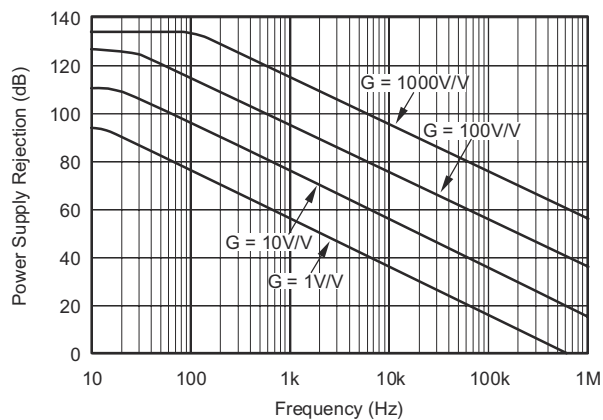
CSO: SHE

図 5-3. 同相除去比と周波数との関係



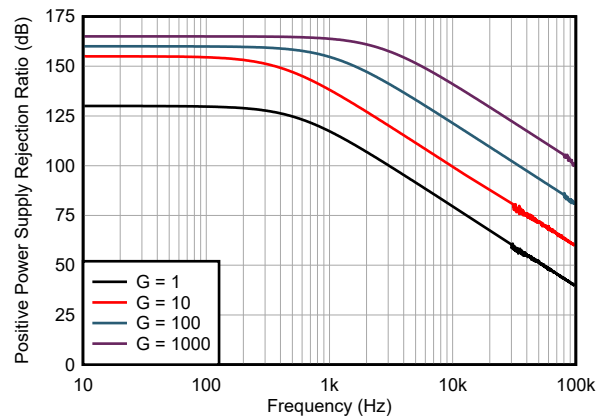
CSO: TID

図 5-4. 同相除去比と周波数との関係



CSO: SHE

図 5-5. 正の電源除去比と周波数との関係

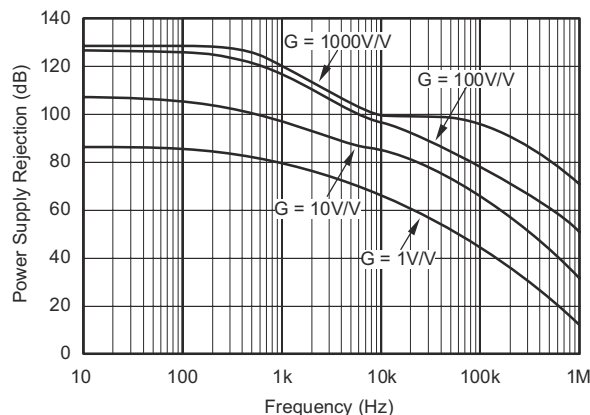


CSO: TID

図 5-6. 正の電源除去比と周波数との関係

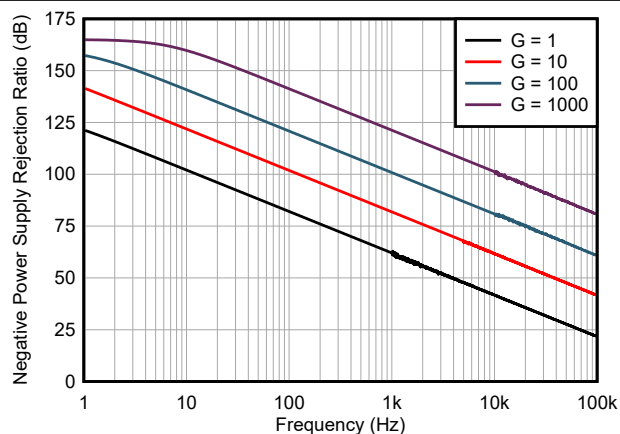
5.6 代表的特性 (続き)

$T_A = +25^\circ\text{C}$, $V_S = \pm 15\text{V}$, $V_{\text{REF}} = 0\text{V}$, $G = 1$, $R_L = 10\text{k}\Omega$, および $V_{\text{CM}} = V_S/2$ でのすべてのチップ サイトの起源 (CSO) (特に記述のない限り)



CSO: SHE

図 5-7. 負の電源除去比と周波数との関係



CSO: TID

図 5-8. 負の電源除去比と周波数との関係

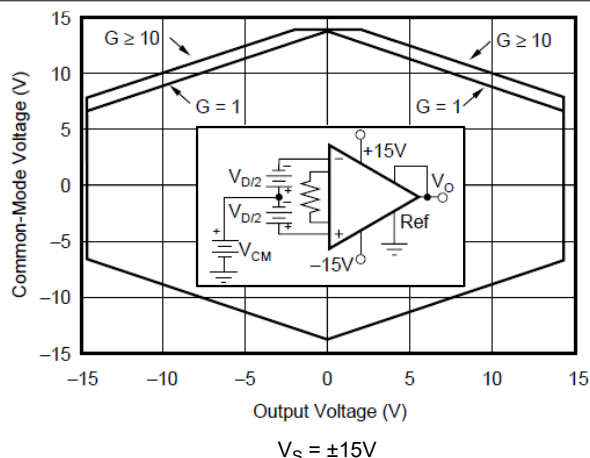


図 5-9. 入力同相と出力電圧との関係

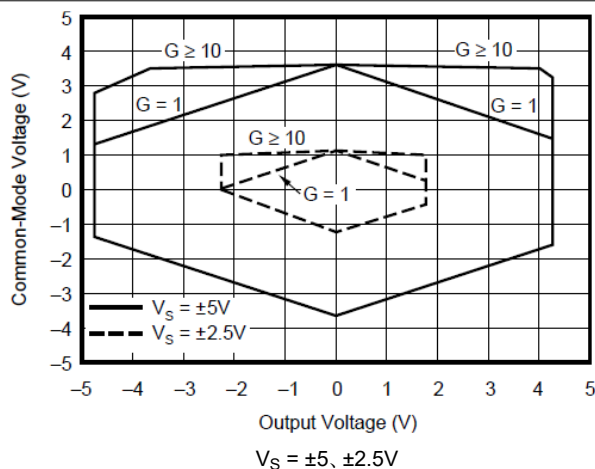


図 5-10. 入力同相と出力電圧との関係

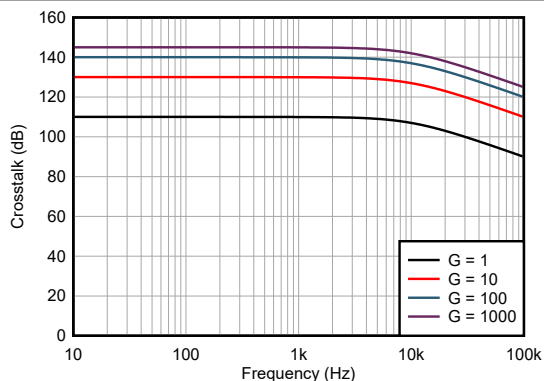
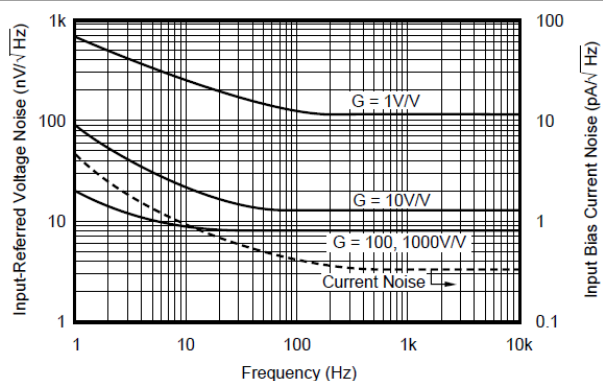


図 5-11. クロストークと周波数との関係

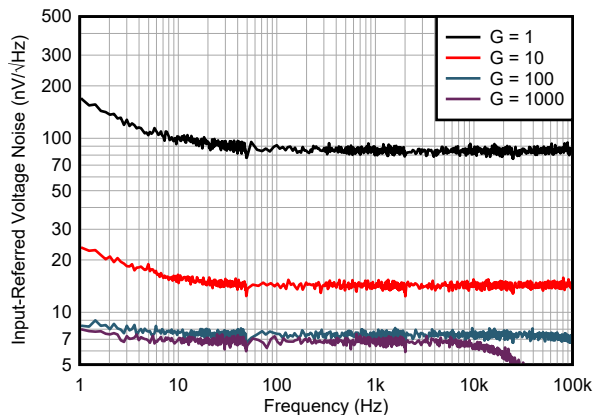


CSO: SHE

図 5-12. 入力換算ノイズと周波数との関係

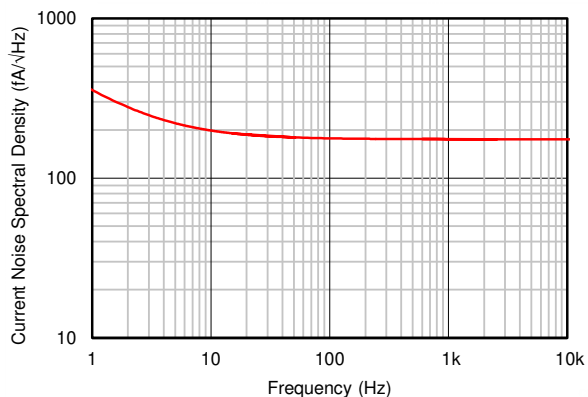
5.6 代表的特性 (続き)

$T_A = +25^\circ\text{C}$, $V_S = \pm 15\text{V}$, $V_{\text{REF}} = 0\text{V}$, $G = 1$, $R_L = 10\text{k}\Omega$, および $V_{\text{CM}} = V_S/2$ でのすべてのチップ サイトの起源 (CSO) (特に記述のない限り)



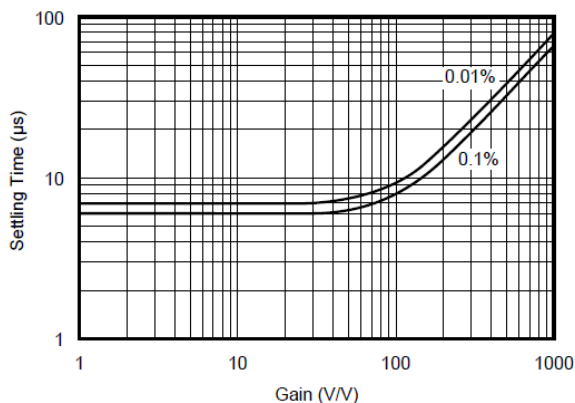
CSO: TID

図 5-13. 入力換算電圧ノイズと周波数との関係



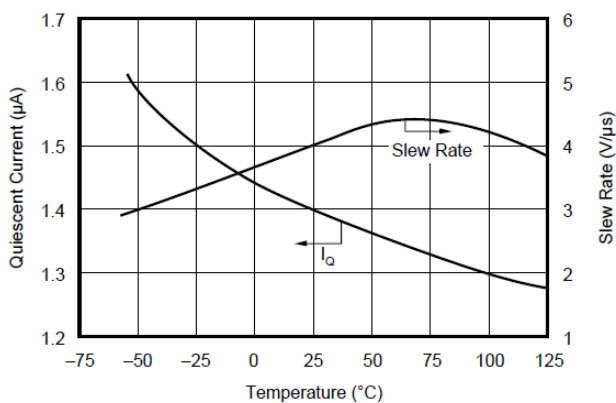
CSO: TID

図 5-14. 入力換算電流ノイズと周波数との関係



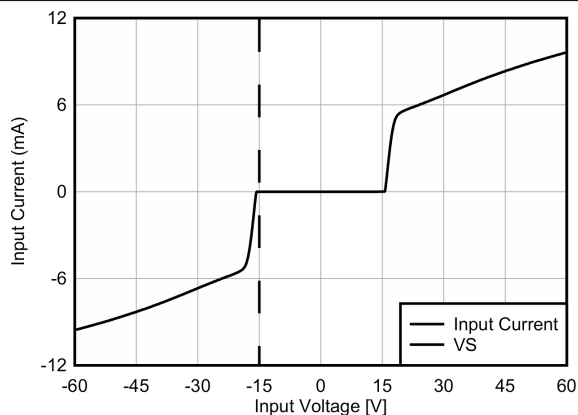
CSO: SHE

図 5-15. セットリング タイムとゲインとの関係



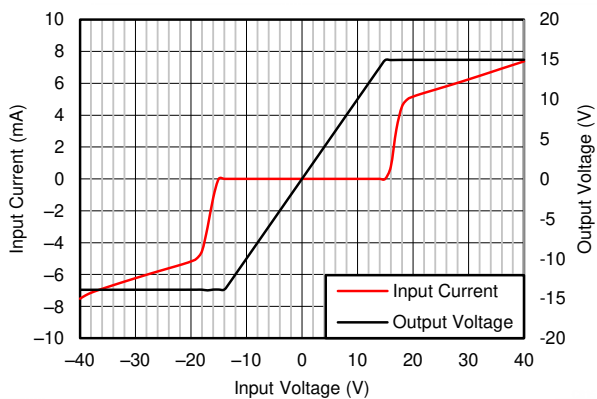
CSO: SHE

図 5-16. 静止電流およびスルー レートと温度との関係



CSO: SHE

図 5-17. 入力過電圧 V/I 特性



CSO: TID

図 5-18. 入力過電圧 V/I 特性

5.6 代表的特性 (続き)

$T_A = +25^\circ\text{C}$, $V_S = \pm 15\text{V}$, $V_{\text{REF}} = 0\text{V}$, $G = 1$, $R_L = 10\text{k}\Omega$, および $V_{\text{CM}} = V_S/2$ でのすべてのチップ サイトの起源 (CSO) (特に記述のない限り)

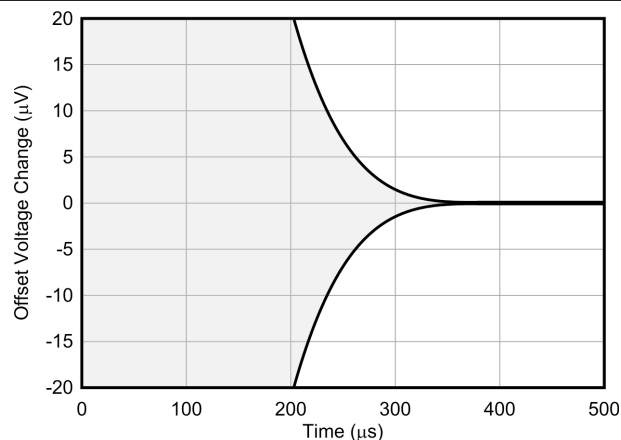
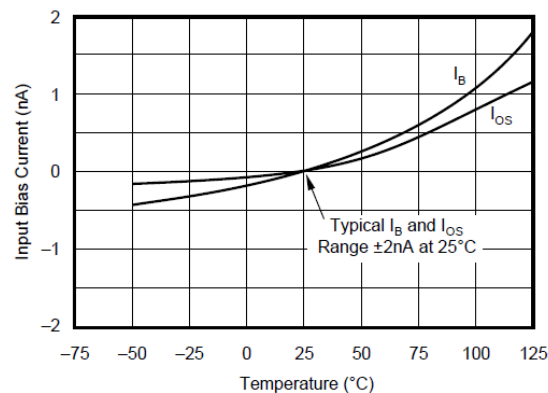
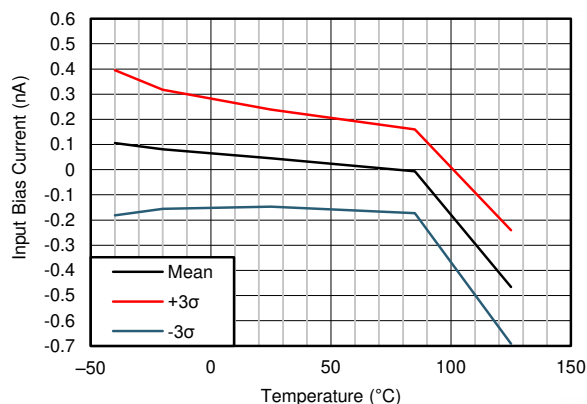


図 5-19. オフセット電圧のウォームアップ



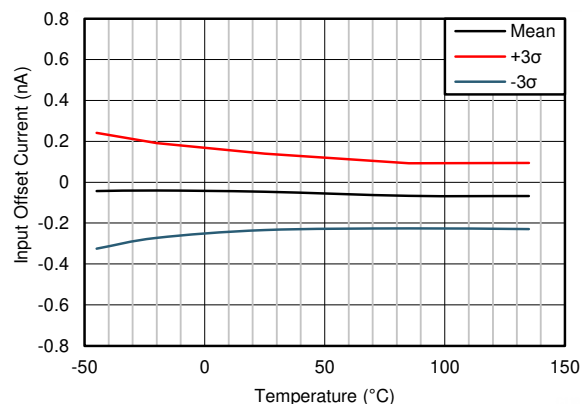
CSO: SHE

図 5-20. 入力バイアス電流と温度との関係



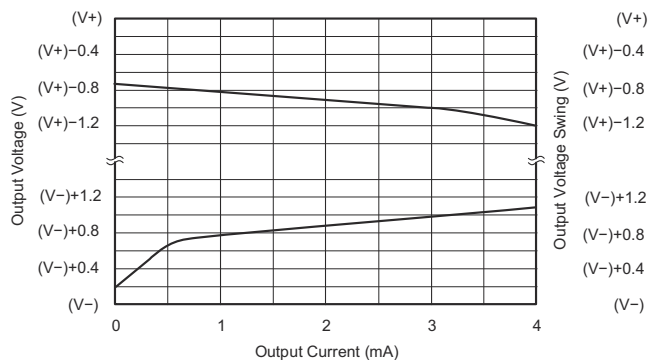
CSO: TID

図 5-21. 入力バイアス電流と温度との関係



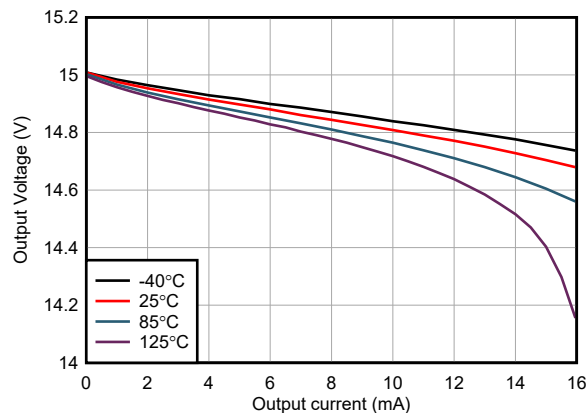
CSO: TID

図 5-22. 入力オフセット電流と温度との関係



CSO: SHE

図 5-23. 出力電圧スイングと出力電流との関係

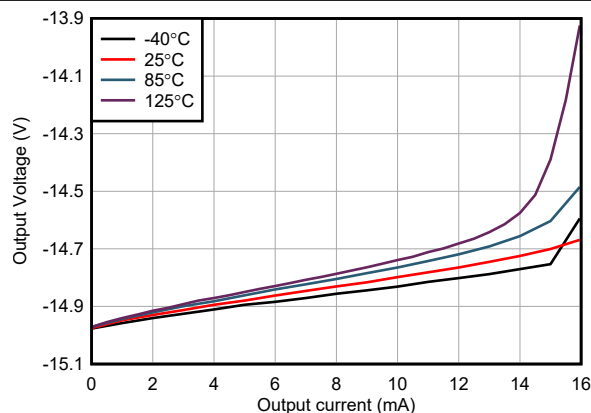


CSO: TID

図 5-24. 正の出力電圧スイングと出力電流との関係

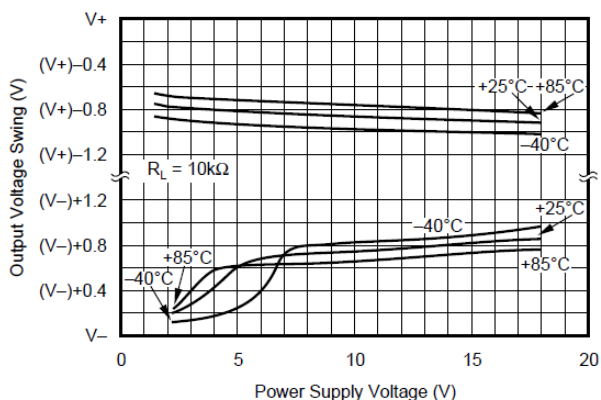
5.6 代表的特性 (続き)

$T_A = +25^\circ\text{C}$, $V_S = \pm 15\text{V}$, $V_{\text{REF}} = 0\text{V}$, $G = 1$, $R_L = 10\text{k}\Omega$, および $V_{\text{CM}} = V_S/2$ でのすべてのチップ サイトの起源 (CSO) (特に記述のない限り)



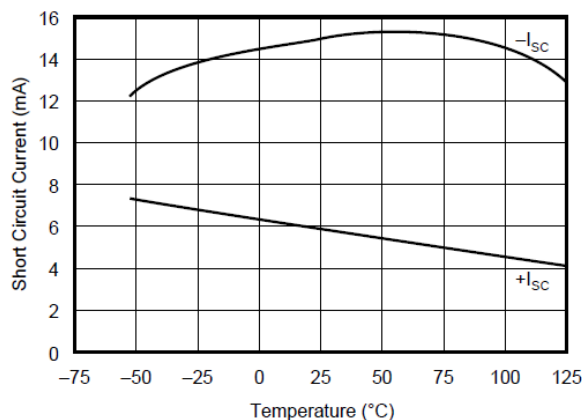
CSO: TID

図 5-25. 負の出力電圧スイングと出力電流との関係



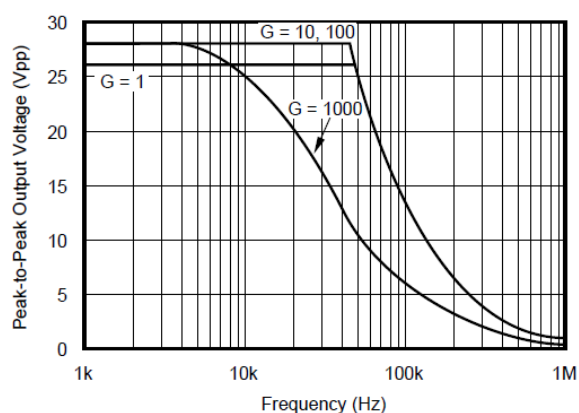
CSO: SHE

図 5-26. 出力電圧スイングと電源電圧との関係



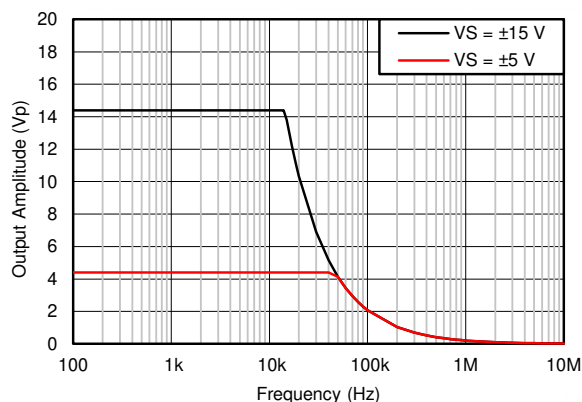
CSO: SHE

図 5-27. 短絡出力電流と温度との関係



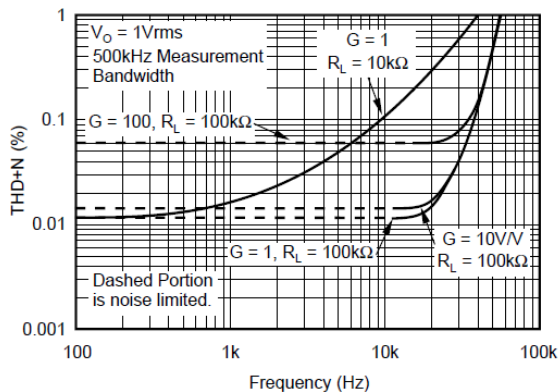
CSO: SHE

図 5-28. 最大出力電圧と周波数との関係



CSO: TID

図 5-29. 最大出力電圧と周波数との関係

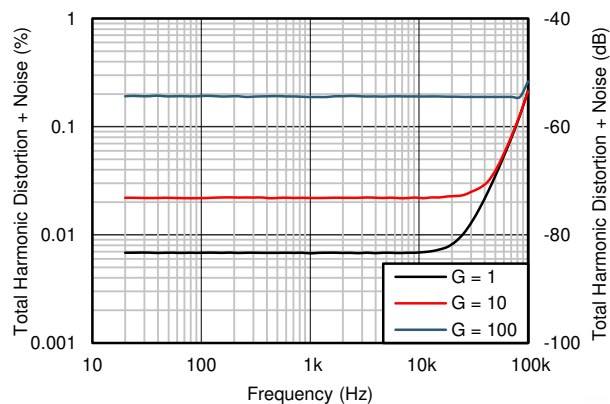


CSO: SHE

図 5-30. 全高調波歪 + ノイズと周波数との関係

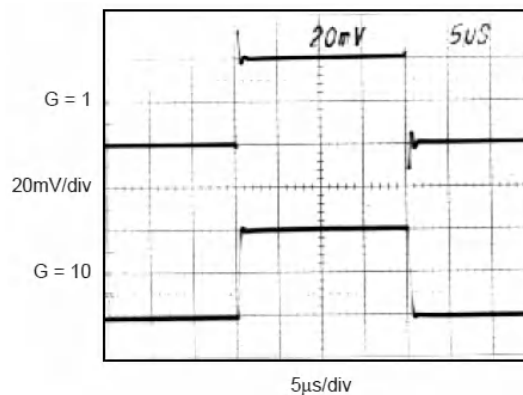
5.6 代表的特性 (続き)

$T_A = +25^\circ\text{C}$, $V_S = \pm 15\text{V}$, $V_{\text{REF}} = 0\text{V}$, $G = 1$, $R_L = 10\text{k}\Omega$, および $V_{\text{CM}} = V_S/2$ でのすべてのチップ サイトの起源 (CSO) (特に記述のない限り)



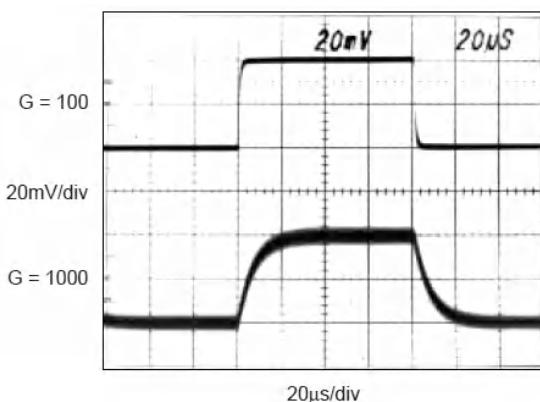
CSO: TID

図 5-31. 全高調歪 + ノイズと周波数との関係



G = 1, 10

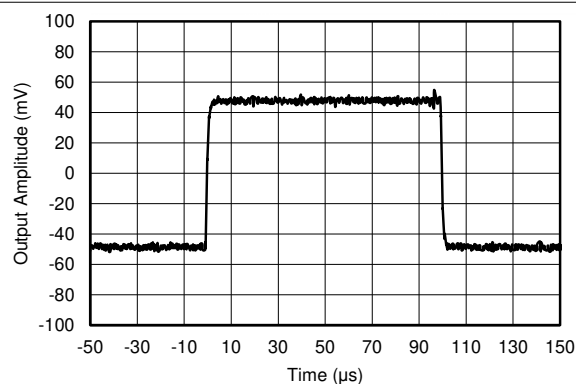
図 5-32. 小信号ステップ応答



CSO: SHE

G = 100, 1000

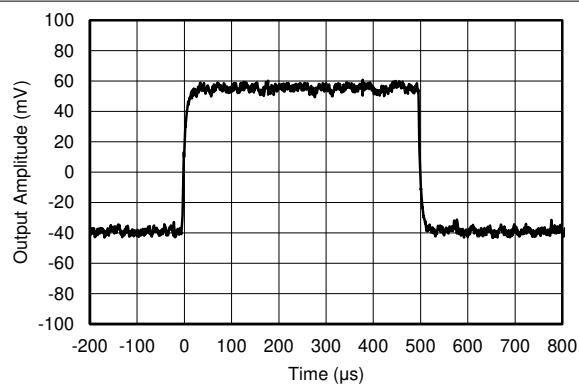
図 5-33. 小信号ステップ応答



CSO: TID

G = 100, $R_L = 10\text{k}\Omega$, $C_L = 100\text{pF}$

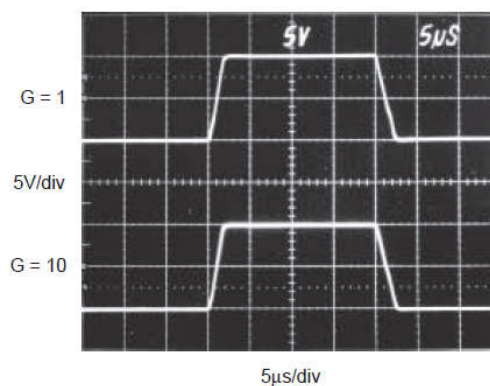
図 5-34. 小信号ステップ応答



CSO: TID

G = 1000, $R_L = 10\text{k}\Omega$, $C_L = 100\text{pF}$

図 5-35. 小信号ステップ応答



CSO: SHE

G = 1, 10

図 5-36. 大信号ステップ応答

5.6 代表的特性 (続き)

$T_A = +25^\circ\text{C}$, $V_S = \pm 15\text{V}$, $V_{\text{REF}} = 0\text{V}$, $G = 1$, $R_L = 10\text{k}\Omega$, および $V_{\text{CM}} = V_S/2$ でのすべてのチップ サイトの起源 (CSO) (特に記述のない限り)

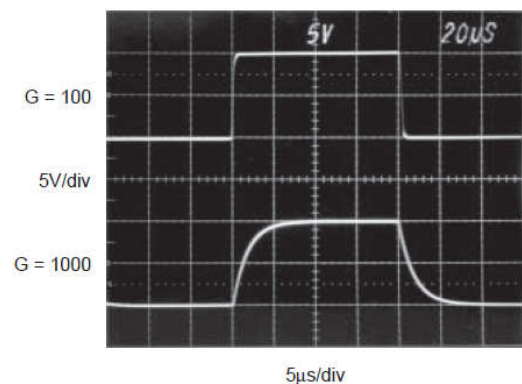


図 5-37. 大信号ステップ応答

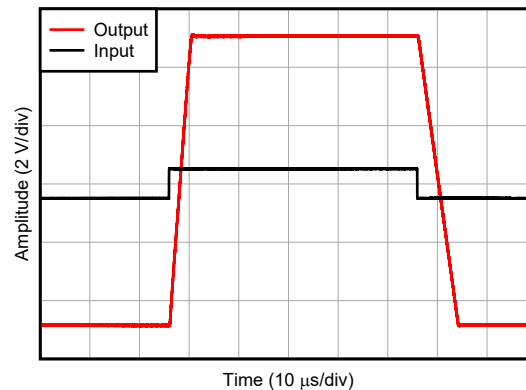


図 5-38. 大信号ステップ応答

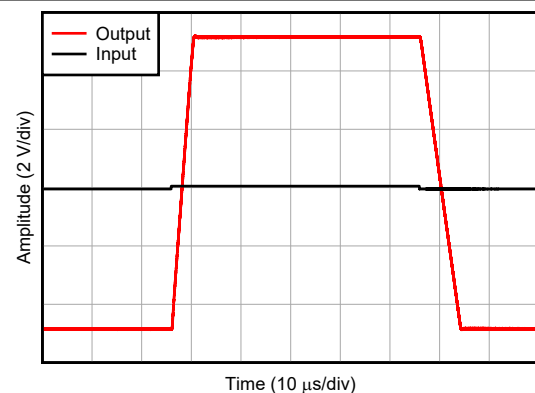


図 5-39. 大信号ステップ応答

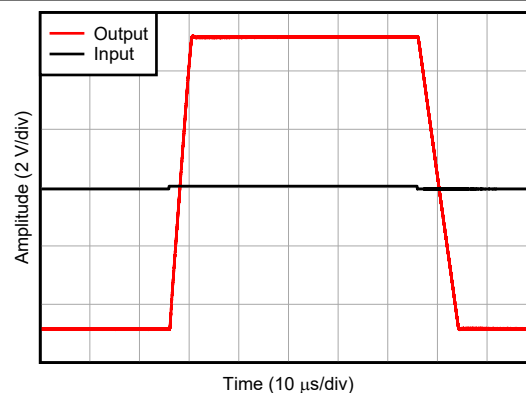


図 5-40. 大信号ステップ応答

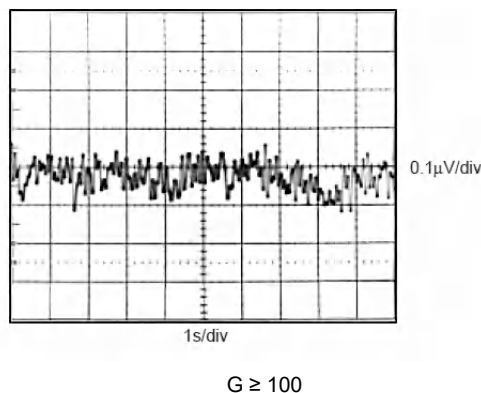


図 5-41. 電圧ノイズ 0.1Hz ~ 10Hz 入力換算

6 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

6.1 使用上の注意

図 6-1 は、INA2128 の動作に必要な基本的な接続を示しています。ノイズが多い、またはハイ インピーダンスの電源を使用するアプリケーションでは、デバイスのピンの近くにデカップリング コンデンサが必要です。

出力は、通常接地されている出力リファレンス (Ref) 端子 (Ref_A および Ref_B) を基準とします。良好な共通モード除去を実現するには、これらを低インピーダンス接続にする必要があります。Ref ピンと直列に 8Ω の抵抗を接続すると、標準的なデバイスは CMR (G = 1) が約 80dB まで低下します。

INA2128 には、Sense_A と Sense_B という個別の出力センス フィードバック接続があります。適切に動作させるには、これらをそれぞれの出力端子に接続する必要があります。この出力センス接続により、最高の精度を実現するために、負荷で出力電圧を直接検出することができます。

6.2 代表的なアプリケーション

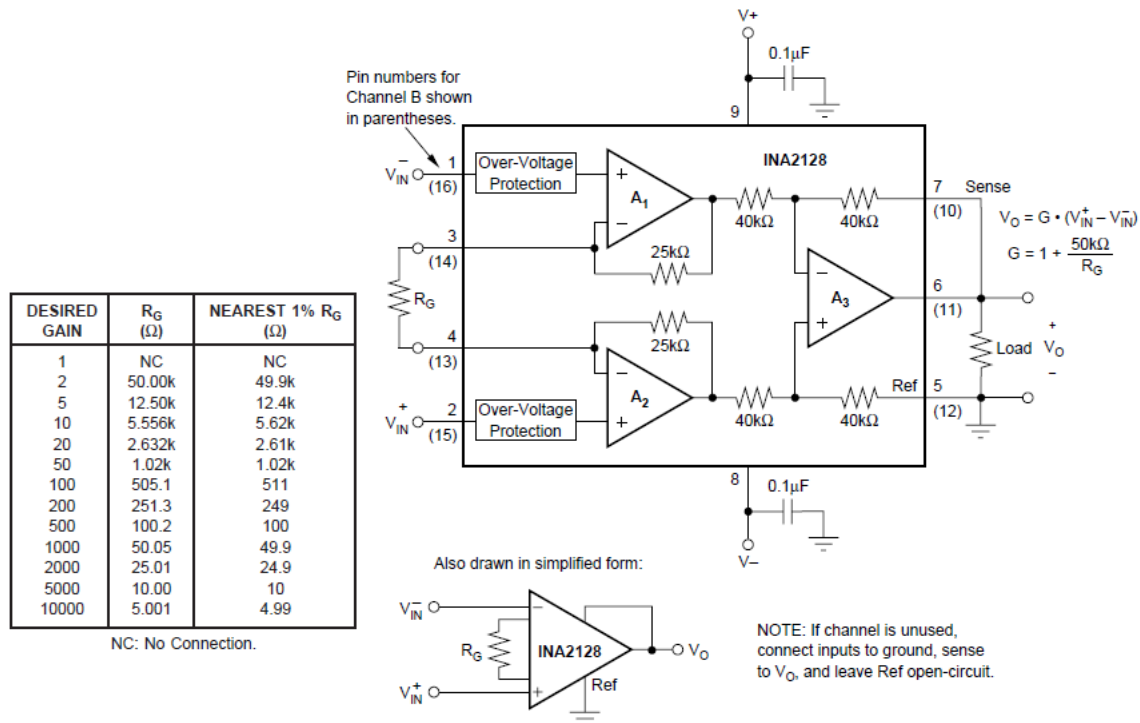


図 6-1. 基本的な接続

6.2.1 ゲインの設定

INA2128 のゲインは、次に示すように接続する単一の外付け抵抗 R_G を接続することで設定されます。

$$G = 1 + \frac{50\text{k}\Omega}{R_G} \quad (1)$$

図 6-1 は一般に使用されるゲインと抵抗値を示しています。

式 1 の $50\text{k}\Omega$ という項は、2 つの内部フィードバック抵抗 A_1 と A_2 の合計から生じます。これらのオンチップ金属フィルム抵抗はレーザトリムされ、精度の高い絶対値に調整されます。これらの抵抗の精度と温度係数は、INA2128 のゲイン精度とドリフト仕様に含まれています。

外部ゲイン設定抵抗 R_G の安定性と温度ドリフトも、ゲインに影響を与えます。 R_G がゲイン精度とドリフトに与える影響は、ゲイン方程式 (1) から直接推測できます。高いゲインに必要な抵抗値が小さいと、配線抵抗が重要になる可能性があります。ソケットは配線抵抗に加えられ、ゲインが約 100 以上になるとゲイン誤差が増大します。

6.2.2 ダイナミック性能

代表的な性能曲線 図 5-2 から、静止電流が小さいにもかかわらず、INA2128 は高いゲインでも広い帯域幅を達成できることがわかります。これは、電流帰還トポロジによるものです。高ゲインの場合も、セリング タイムは非常に優れた状態です。図 5-15 も参照してください。

6.2.3 ノイズ性能

INA2128 は、ほとんどのアプリケーションで非常に低ノイズです。低周波ノイズは、 $0.1\text{Hz} \sim 10\text{Hz}$ の範囲で約 $0.2\mu\text{V}_{\text{pp}}$ です ($G \geq 100$)。これにより、最先端のチョッパ安定化アンプと比較して、ノイズが大幅に改善されます。

6.2.4 オフセットのトリミング

INA2128 は、低いオフセット電圧とオフセット電圧ドリフトを実現するようにレーザトリムされています。大半のアプリケーションでは、外部オフセット調整は必要ありません。図 6-2 は、出力オフセット電圧をトリミングするためのオプション回路を示しています。Ref 端子に印加された電圧は、出力に加算されます。オペ アンプ バッファは、基準端子のインピーダンスを低くし、良好な同相信号除去を維持します。

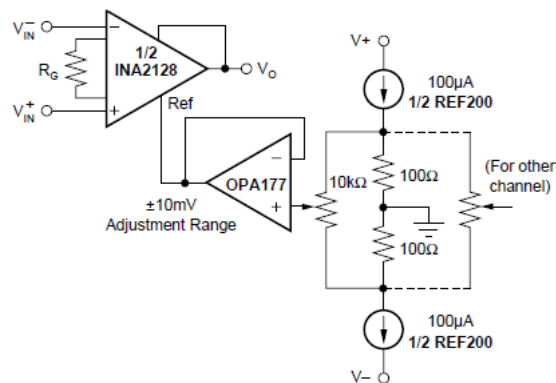


図 6-2. 出力オフセット電圧のオプションのトリミング

6.2.5 入力バイアス電流のリターンパス

INA2128 の入力インピーダンスは約 $10^{10}\Omega$ と非常に高くなります。ただし、両方の入力に対して、入力バイアス電流のパスを用意する必要があります。この入力バイアス電流は通常約 $\pm 2\text{nA}$ です。大きい入力インピーダンスは、入力電圧が変化した場合でも、入力バイアス電流の変化がごくわずかであることを意味します。

正常な動作を実現するために、入力回路はこの入力バイアス電流に対してパスを用意する必要があります。図 6-3 は、さまざまな入力バイアス電流パスを示しています。バイアス電流パスがないと、入力は INA2128 の同相範囲を超える電位に対してフローティングし、入力アンプが飽和します。

差動ソース抵抗が低い場合、バイアス電流の帰路を 1 つの入力に接続できます (図 6-3 の熱電対の例を参照)。ソースインピーダンスがより高い場合、二つの等価の抵抗を使用すると、バイアス電流による入力オフセット電圧の低下という優位性があるため平衡な入力を実現でき、高周波の同相除去を改善できます。

6.2.6 入力同相範囲

INA2128 の入力回路の線形入力電圧範囲は、正電源電圧より約 1.4V 低い値から、負電源より 1.7V 高い値です。差動入力電圧が原因で出力電圧が上昇するため、線形入力範囲はアンプ A_1 および A_2 の出力電圧スイングによって制限されます。したがって、リニア同相入力範囲は、アンプ全体の出力電圧に関係します。この動作は電源電圧にも依存します (性能曲線図 5-10 と図 5-9 を参照)。

入力過負荷により、正常に現れた出力電圧が発生することがあります。たとえば、入力過負荷状態によって両方の入力アンプが正の出力スイング制限まで駆動されると、出力アンプによって測定される差動電圧はゼロに近くなります。両方の入力が過負荷になっていても、INA2128 の出力は 0V 近くになります。

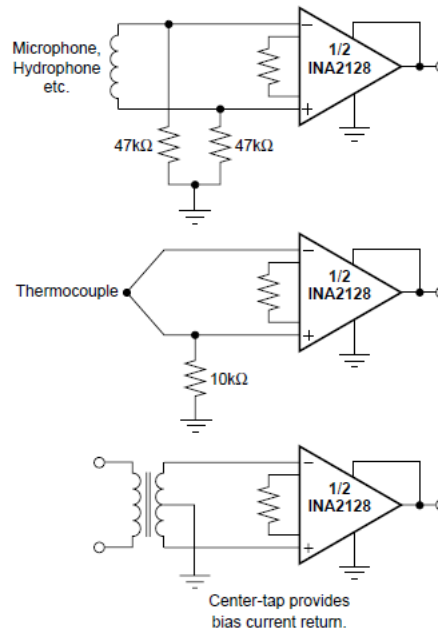


図 6-3. 入力同相電流パスの供給

6.2.7 低電圧動作

INA2128 は、最小 $\pm 2.25\text{V}$ の電源で動作できます。 $\pm 2.25\text{V} \sim \pm 18\text{V}$ の電源範囲で優れたパフォーマンスを維持します。ほとんどのパラメータは、この電源電圧範囲全体でわずかに変化します。セクション 5.6 を参照。非常に低い電源電圧で動作する場合は、入力電圧がリニア動作範囲内に維持されるように細心の注意を払う必要があります。内部ノードの電圧スイング要件により、低電源電圧で入力同相範囲が制限されます。代表的な性能曲線、図 5-9 および図 5-10 に、 $\pm 15\text{V}$ 、 $\pm 5\text{V}$ 、 $\pm 2.5\text{V}$ 電源に対する線形動作範囲を示します。

6.2.8 入力保護

INA2128 の入力は、 $\pm 40\text{V}$ の電圧まで個別に保護されています。たとえば、一方の入力で -40V 、もう一方の入力で $+40\text{V}$ の条件は、損傷を引き起こしません。各入力の内部回路は、通常の信号の状態では直列インピーダンスが低くなります。等価な保護を実現するために、直列入力抵抗は過剰なノイズの原因となります。入力が過負荷になった場合、保護回路は入力電流を約 $1.5\text{mA} \sim 5\text{mA}$ の安全な値に制限します。代表的な性能曲線「入力バイアス電流と同相入力電圧との関係」に、この入力電流制限の動作を示します。電源が切断された場合やオフになった場合でも、入力は保護されます。

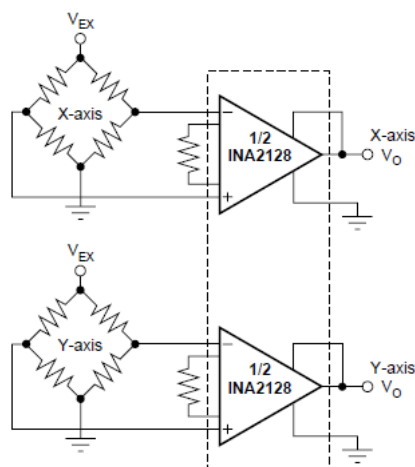


図 6-4. 2 軸ブリッジ アンプ

6.2.9 チャンネル クロストーク

INA2128 の 2 つのチャンネルは、すべてのバイアス回路を含めて完全に独立しています。DC および低周波では、チャンネル間の信号カップリングは実質的に行われません。クロストークは周波数とともに増加し、回路のゲイン、ソース インピーダンス、信号特性に依存します。

ソース インピーダンスが増加するにつれて、慎重に回路をレイアウトすることで、チャンネル クロストークの最小化に役立ちます。クロストークのほとんどは、あるチャンネルからもう一方のチャンネルの入力セクションへの信号の容量結合によって発生します。カップリングを最小限に抑えるには、入力トレースを反対側のチャンネルに関連する信号から、実用的な限り離してください。入力を囲む接地済みガードトレースにより、チャンネル間の浮遊結合を低減できます。各チャンネルの差動入力を互いに並行して、または回路基板の上面と底面で直接隣接して配線します。その場合、浮遊結合は同相信号を生成する傾向があり、IA 入力によって除去されます。

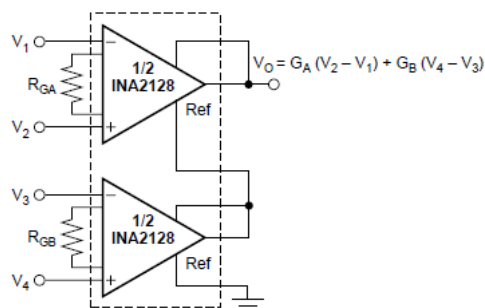


図 6-5. 差分アンプの合計

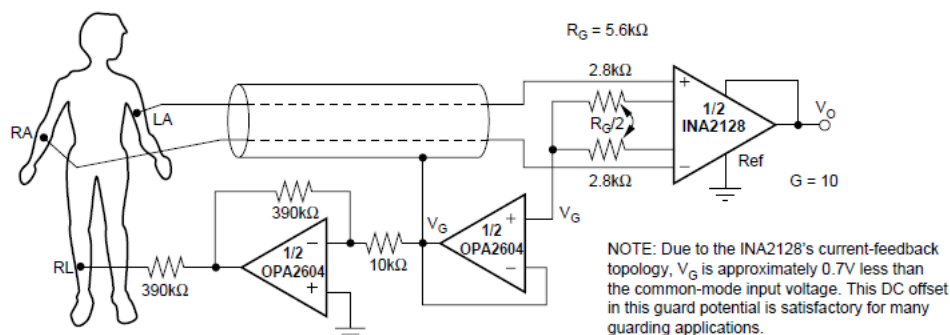


図 6-6. 右足駆動付き ECG アンプ

7 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

7.1 デバイスの命名規則

部品番号	定義
INA2128U INA2128U/1K INA2128UA INA2128UA/1K	ダイは CSO:SHE または CSO:TID.

7.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

7.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

7.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

7.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

7.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

8 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (May 2023) to Revision C (January 2026)	Page
・「特長」セクションに入力バイアス電流に関する各種の製造プロセス仕様を追加	1
・にデバイスフロー情報の説明を「仕様」に追加.....	4
・「電気的特性」の標準的なテスト条件にすべてのチップの原産拠点 (CSO) の条件を追加.....	5
・「電気的特性」のオフセット電圧 (RTI) にさまざまな製造プロセス仕様を追加	5
・「電気的特性」における電源除去比 (RTI) の異なる製造プロセス仕様を追加	5
・「電気的特性」の長期安定性のために、各種の製造プロセス仕様を追加	5
・「電気的特性」におけるコモン モード除去比に関する各種の製造プロセス仕様を追加	5

・「電気的特性」に入力バイアス電流に関する各種の製造プロセス仕様を追加	5
・「電気的特性」に入力オフセット電流に関する各種の製造プロセス仕様を追加	5
・「電気的特性」の電圧ノイズ (RTI) にさまざまな製造プロセス仕様を追加	5
・「電気的特性」の電流ノイズにさまざまな製造プロセス仕様を追加	5
・「電気的特性」にゲイン エラーについての各種の製造プロセス仕様を追加	5
・「電気的特性」にゲイン ドリフトについての各種の製造プロセス仕様を追加	5
・「電気的特性」の正出力電圧に各種の製造プロセス仕様を追加	5
・「電気的特性」の負出力電圧に各種の製造プロセス仕様を追加	5
・「電気的特性」に短絡電流に関する各種の製造プロセス仕様を追加	5
・「電気的特性」に、帯域幅、 -3dB にさまざまな製造プロセス仕様を追加	5
・「電気的特性」に、スルー レートに関する各種の製造プロセス仕様を追加	5
・「電気的特性」に設定時間についての各種の製造プロセス仕様を追加	5
・「代表的特性」の標準的なテスト条件にすべての「チップの原産拠点 (CSO)」の条件を追加	9
・CSO を追加: SHE ~ コモンモード除去比と周波数との関係、セトリング時間とゲインとの関係、静止電流およびスルー レートと温度との関係、入力過電圧 V_{I} 特性、入力バイアス電流と温度との関係、出力電圧振幅と電源電圧との関 係、短絡出力電流と温度との関係、最大出力電圧と周波数との関係、全高調波歪み + ノイズと周波数との関係、およ び小信号ステップ応答曲線 (代表的な特性)	9
・CSO を追加: TID ~ ゲインと周波数との関係、正電源除去比と周波数との関係、負電源除去比と周波数との関係、 入力換算電圧ノイズと周波数との関係、正出力電圧振幅と出力電流との関係、負出力電圧振幅と出力電流との関係、 および大信号ステップ応答曲線は代表的な特性に示されています	9
・CSO のゲインと周波数との関係、正電源除去比と周波数との関係、負電源除去比と周波数との関係、入力換算ノイズ と周波数との関係、出力電圧振幅と出力電流との関係、および大信号ステップ応答曲線を追加。SHE に追加 (「代表 的的特性」)	9
・CSO のコモンモード除去比と周波数との関係、入力換算電流ノイズと周波数との関係、入力過電圧 V_{I} 特性、入力 バイアス電流と温度との関係、入力オフセット電流と温度との関係、最大出力電圧と周波数との関係、全高調波歪み + ノイズと周波数との関係、および小信号ステップ応答曲線を追加。TID に追加 (「代表的特性」)	9
・「デバイスの命名規則」に型番のフロー情報表を追加	21

Changes from Revision A (April 2007) to Revision B (May 2023)

Page

・ドキュメント全体にわたって表、図、相互参照の採番方法を更新	1
・「パッケージ情報」表、「ピン構成および機能」セクション、「仕様」セクション、「詳細説明」セクション、「アプリケーション と実装」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セ クションを追加	1
・「特長」に入力電圧ノイズ、高帯域幅、および温度範囲の箇条書き項目を追加	1
・正しいパッケージ名を示すように「特長」の箇条書き項目を変更	1
・更新されたリンクを示すよう「アプリケーション」の箇条書き項目を変更	1
・「パッケージ情報」表の列名を本体サイズ (NOM) からパッケージ サイズに変更し、パッケージ サイズに関する注を 追加	1
・「絶対最大定格」に単電源の仕様を追加	4
・「絶対最大定格」のグラウンドへの出力短絡は $VS/2$ への短絡を指すことを明確化する注記を追加	4
・「推奨動作条件」に単電源の仕様を追加	4
・「推奨動作条件」で、入力同相電圧範囲の仕様を $V-2$ から $(V-)+2$ に変更	4
・「推奨動作条件」から INA218-HT および INA219-HT の動作温度仕様を削除	4
・「推奨動作条件」に指定温度範囲を追加	4
・以下の「電気的特性」のタイトルにテスト条件を追加	5
・「電気的特性」におけるオフセット電圧ドリフト仕様の試験条件を「 $TA = T_{\text{MIN}} \sim T_{\text{MAX}}$ 」から「 $TA = -40^{\circ}\text{C} \sim$ $+85^{\circ}\text{C}$ 」に変更	5
・「電気的特性」の「オフセット電圧 RTI と温度との関係」の行の「最大値」列で「 $\pm 0.5 \pm 0/G$ 」を「 $\pm 0.5 \pm 20/G$ 」に変更。...	5

• 「電気的特性」の標準長期安定性仕様を $\pm 0.1 \pm 3 / \text{G}\mu\text{V}/\text{mo}$ から $\pm 0.2 \pm 3 / \text{G}\mu\text{V}/\text{mo}$ に変更	5
• 「電気的特性」の 1 行にわたって、標準仕様を (V-) + 2V の最小値および (V+) - 2V の最大値から削除.....	5
• 「電気的特性」の代表的 VCM 仕様を削除	5
• 明確にするため、「電気的特性」の安全入力電圧仕様に「RS = 0Ω」のテスト条件を追加	5
• 明確化のため「電気的特性」の入力バイアス電流ドリフト仕様にパラメータ名を入力バイアス電流に変更し、テスト条件「TA = -40°C から 85°C」を追加	5
• 明確化のため「電気的特性」の入力オフセット電流ドリフト仕様にパラメータ名を入力オフセット電流に変更し、テスト条件「TA = -40°C から 85°C」を追加	5
• 「電気的特性」で、G = 1 時の INA128PA/UA および INA129PA/UA の最大ゲイン誤差仕様を $\pm 0.01\%$ から $\pm 0.1\%$ に変更	5
• 「電気的特性」でゲインドリフトのテスト条件を明確化のため「ゲインドリフト」に変更し、ゲインドリフトのテスト条件「TA = -40°C を +85°C に」を追加	5
• 「電気的特性」のパラメータ名を「電圧 — 正」から「正出力電圧スイング」に、および「電圧 — 負」から「負出力電圧スイング」に変更	5
• 「電気的特性」の正および負の出力電圧スイングの代表値の仕様を削除	5
• 明確にするため、「電気的特性」の短絡電流仕様に「VS/2 へ連続」のテスト条件を追加	5
• 「電気的特性」における G = 10 の標準帯域幅仕様を 700kHz から 600kHz に変更	5
• 「電気的特性」の標準スルー レート仕様を 4V/μs から 1.2V/μs に変更	5
• 「電気的特性」で、G = 1、G = 10 の標準セトリング時間仕様を 7μs から 9μs に変更	5
• 「推奨動作条件」と「絶対最大定格」で冗長化されているパラメータ「温度範囲」を削除	5
• パラメータ名を「合計静止電流」に変更し、「電気的特性」から冗長な電圧範囲、動作温度範囲、仕様温度範囲の仕様を削除	5
• 以下の「代表的特性」タイトルに条件文を追加	9
• 図 6-1、ゲインと周波数との関係を変更	9
• 図 6-3、正の電源除去比と周波数との関係を変更	9
• 図 6-4、負の電源除去比と周波数との関係を変更	9
• 図 6-7、クロストークと周波数との関係を変更	9
• 図 6-8、入力換算電圧ノイズと周波数との関係を変更	9
• 図 6-9、セトリング時間とゲインとの関係を変更	9
• 図 6-11、入力過電圧 V/I 特性を変更	9
• 図 6-12、オフセット電圧のウォームアップを変更	9
• 出力電圧スイングと出力電流との関係を、正のプロット (図 6-14) と負のプロット (図 6-15) の 2 つの個別のプロットに変更	9
• 図 6-22 を図 6-24、大信号ステップ応答に変更	9

9 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
INA2128U	Active	Production	SOIC (DW) 16	40 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	INA2128U
INA2128U.B	Active	Production	SOIC (DW) 16	40 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	INA2128U
INA2128U/1K	Active	Production	SOIC (DW) 16	1000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-	INA2128U
INA2128U/1K.B	Active	Production	SOIC (DW) 16	1000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	INA2128U
INA2128U1G4	Active	Production	SOIC (DW) 16	40 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	INA2128U
INA2128U1G4.B	Active	Production	SOIC (DW) 16	40 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	INA2128U
INA2128UA	Active	Production	SOIC (DW) 16	40 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-	(INA2128U, INA2128UA) A
INA2128UA.B	Active	Production	SOIC (DW) 16	40 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	(INA2128U, INA2128UA) A
INA2128UA/1K	Active	Production	SOIC (DW) 16	1000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-	(INA2128U, INA2128UA) A
INA2128UA/1K.B	Active	Production	SOIC (DW) 16	1000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	(INA2128U, INA2128UA) A
INA2128UAG4	Active	Production	SOIC (DW) 16	40 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	INA2128UA
INA2128UAG4.B	Active	Production	SOIC (DW) 16	40 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	INA2128UA

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
INA2128U/1K	SOIC	DW	16	1000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
INA2128UA/1K	SOIC	DW	16	1000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
INA2128U/1K	SOIC	DW	16	1000	350.0	350.0	43.0
INA2128UA/1K	SOIC	DW	16	1000	350.0	350.0	43.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
INA2128U	DW	SOIC	16	40	506.98	12.7	4826	6.6
INA2128U.B	DW	SOIC	16	40	506.98	12.7	4826	6.6
INA2128U1G4	DW	SOIC	16	40	506.98	12.7	4826	6.6
INA2128U1G4.B	DW	SOIC	16	40	506.98	12.7	4826	6.6
INA2128UA	DW	SOIC	16	40	506.98	12.7	4826	6.6
INA2128UA.B	DW	SOIC	16	40	506.98	12.7	4826	6.6
INA2128UAG4	DW	SOIC	16	40	506.98	12.7	4826	6.6
INA2128UAG4.B	DW	SOIC	16	40	506.98	12.7	4826	6.6

GENERIC PACKAGE VIEW

DW 16

SOIC - 2.65 mm max height

7.5 x 10.3, 1.27 mm pitch

SMALL OUTLINE INTEGRATED CIRCUIT

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224780/A



DW0016A

PACKAGE OUTLINE

SOIC - 2.65 mm max height

SOIC



4220721/A 07/2016

NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.
5. Reference JEDEC registration MS-013.

EXAMPLE BOARD LAYOUT

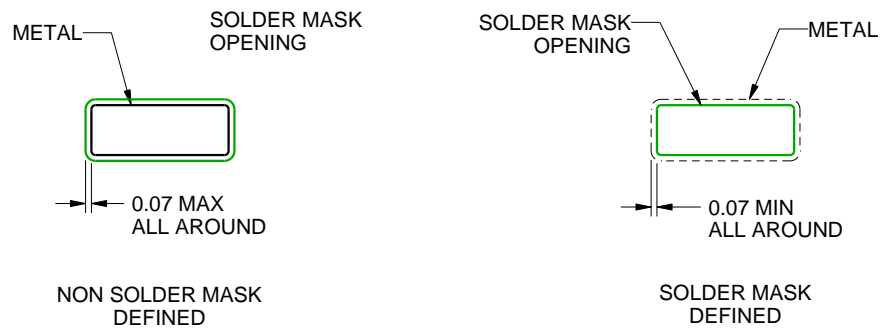
DW0016A

SOIC - 2.65 mm max height

SOIC



LAND PATTERN EXAMPLE
SCALE:7X



SOLDER MASK DETAILS

4220721/A 07/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

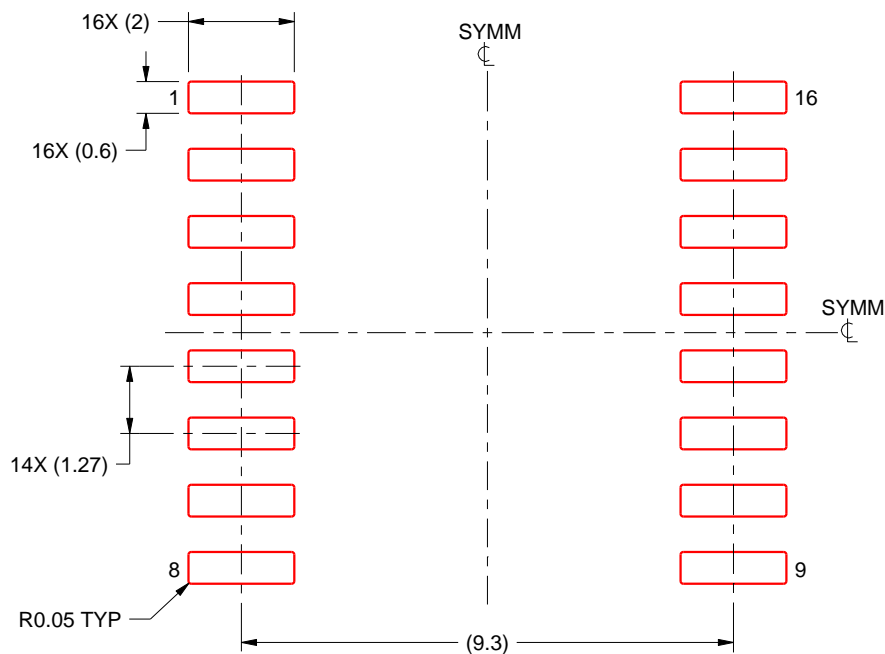
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DW0016A

SOIC - 2.65 mm max height

SOIC



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:7X

4220721/A 07/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月