

ISO654x-Q1 車載用汎用クワッドチャネル機能アイソレータ

1 機能

- 以下の結果で AEC-Q100 認定済み:
 - デバイス温度グレード 1:動作時周囲温度範囲
-40°C～+125°C
 - 最大 50Mbps のデータレート
 - 堅牢な SiO_2 絶縁バリア:
 - 機能的分離 (DBQ-16):
 - 400V_{RMS}、566V_{DC} の動作電圧
 - 707V_{RMS}、1000V_{DC} の過渡電圧 (60s)
 - 幅広い温度範囲: -40°C～125°C
 - CMTI: 標準値 $\pm 150\text{kV}/\mu\text{s}$
 - 電源電圧範囲: 1.71V～5.5V
 - デフォルト出力が High (ISO654x-Q1) と Low (ISO654xF-Q1) のオプション
 - 1Mbps・3.3V 時に 1 チャネルあたり標準値で 1.5mA (ISO6540-Q1)
 - 小さい伝搬遅延: 11ns (標準値、3.3V 時)
 - 堅牢な電磁両立性 (EMC)
 - システム レベルでの ESD、EFT、サージ耐性
 - 低い放射
 - SSOP (DBQ-16) パッケージ

2 アプリケーション

- ハイブリッド、電気自動車、およびパワートレインシステム (EV/HEV)
 - バッテリ管理システム (BMS)
 - オンボードチャージャ
 - DC/DC コンバータ
 - インバータおよびモータ制御

3 説明

ISO654x-Q1 デバイスは、安全ではないアプリケーション用の絶縁を必要とするが、コスト重視でスペースに制約があるようなアプリケーション向けの一般用途の機能絶縁型アイソレータです。この絶縁バリアは、 $400\text{V}_{\text{RMS}} / 566\text{V}_{\text{DC}}$ の動作電圧と、 $707\text{V}_{\text{RMS}} / 1000\text{V}_{\text{DC}}$ の過渡電圧に対応しています。

ISO654x-Q1 デバイスは、CMOS または LVC MOS デジタル I/O を絶縁するとともに、高い電磁耐性を備えています。ISO654x-Q1 は、絶縁バリアとして SiO_2 を使用します。各絶縁チャネルはロジック入力と出力のバッファを搭載しており、それらのバッファは絶縁バリアによって電気的に分離されています。これらのデバイスには、対応する出力を高インピーダンス状態にするために使用できるイネーブルピンが備わっています。

ISO6540-Q1 および ISO6540F-Q1 デバイスでは、すべてのチャネルが順方向です。 ISO6541-Q1 および ISO6541F-Q1 デバイスには、逆方向チャネルが 1 つあります。 ISO6542-Q1 および ISO6542F-Q1 デバイスには、逆方向チャネルが 2 つあります。

入力電力または入力信号が失われた場合のデフォルト出力は、接尾辞 F のないデバイスでは *High*、接尾辞 F のあるデバイスでは *Low* です。詳細は [セクション 7.4](#) を参照してください。

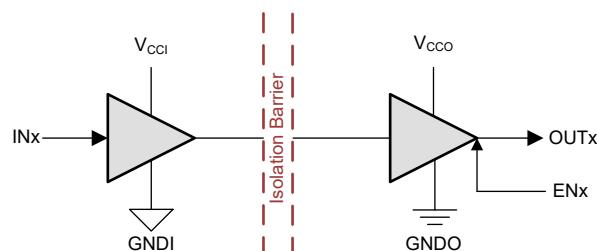
これらのデバイスは、SPI、UART、および CAN などの GPIO やデータバス上のノイズ電流が、データの破損や高感度回路の損傷を引き起こすのを防ぐのに役立ちます。チップ設計およびレイアウト技法により、デバイスの電磁両立性が大幅に強化されているため、システムレベルでの設計が容易になります。

パッケージ情報

部品番号 ⁽¹⁾	パッケージ	パッケージサイズ ⁽²⁾
ISO6540-Q1、ISO6540F-Q1	SSOP (DBQ-16)	6mm × 4.9mm
ISO6541-Q1、ISO6541F-Q1		
ISO6542-Q1、ISO6542F-Q1		

(1) 詳細については、[セクション 11](#) を参照してください。

(2) パッケージサイズ(長さ×幅)は公称値であり、該当する場合はピントも含まれます。



V_{CC1} = 入力電源、 V_{CC2} = 出力電源

GNPL ≡ 入力グランド, GNPO ≡ 出力グランド

概略回路図

 このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール（機械翻訳）を使用していることがあり、TIでは翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.comで必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 機能	1	5.18 代表的特性	21
2 アプリケーション	1	6 パラメータ測定情報	23
3 説明	1	7 詳細説明	24
4 ピン構成および機能	3	7.1 概要	24
5 仕様	5	7.2 機能ブロック図	24
5.1 絶対最大定格	5	7.3 機能説明	25
5.2 ESD 定格	5	7.4 デバイスの機能モード	25
5.3 推奨動作条件	6	7.5 デバイス I/O 回路図	26
5.4 熱に関する情報	7	8 アプリケーションと実装	27
5.5 パッケージの特性	8	8.1 アプリケーション情報	27
5.6 電気的特性—5V 電源	9	8.2 代表的なアプリケーション	27
5.7 電源電流特性—5V 電源	10	8.3 電源に関する推奨事項	31
5.8 電気的特性—3.3V 電源	11	8.4 レイアウト	31
5.9 電源電流特性—3.3V 電源	12	9 デバイスおよびドキュメントのサポート	33
5.10 電気的特性—2.5V 電源	13	9.1 ドキュメントのサポート	33
5.11 電源電流特性—2.5V 電源	14	9.2 ドキュメントの更新通知を受け取る方法	33
5.12 電気的特性—1.8V 電源	15	9.3 サポート・リソース	33
5.13 電源電流特性—1.8V 電源	16	9.4 商標	33
5.14 スイッチング特性—5V 電源	17	9.5 静電気放電に関する注意事項	33
5.15 スイッチング特性—3.3V 電源	18	9.6 用語集	33
5.16 スイッチング特性—2.5V 電源	19	10 改訂履歴	33
5.17 スイッチング特性—1.8V 電源	20	11 メカニカル、パッケージ、および注文情報	34

4 ピン構成および機能

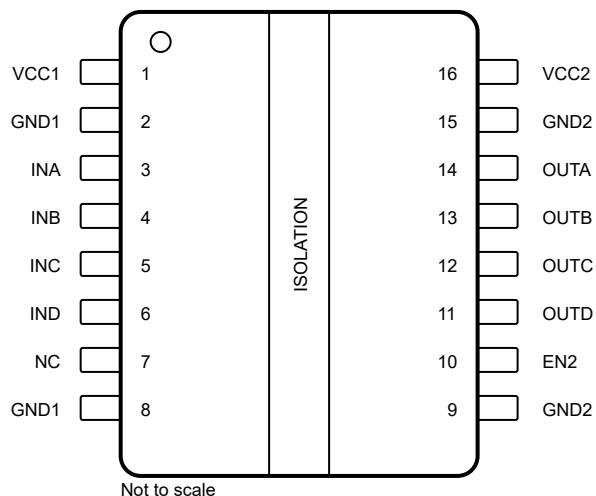


図 4-1. ISO6540-Q1 および ISO6540F-Q1 の上面図

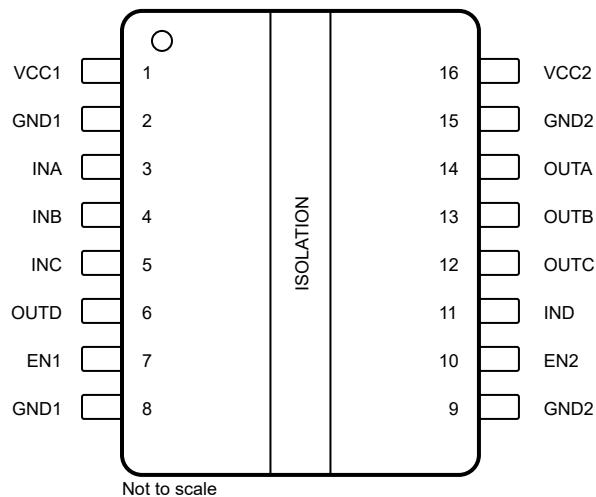


図 4-2. ISO6541-Q1 および ISO6541F-Q1 の上面図

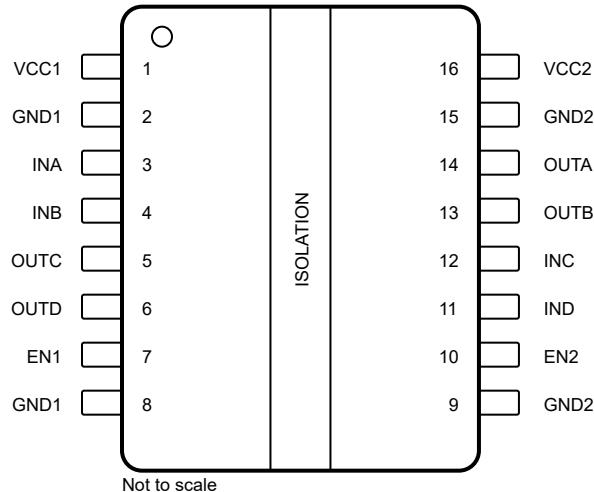


図 4-3. ISO6542-Q1 および ISO6542F-Q1 の上面図

表 4-1. ピンの機能

ピン				種類 ⁽¹⁾	説明
名称	ISO6540-Q1、 ISO6540F-Q1	ISO6541-Q1、 ISO6541F-Q1	ISO6542-Q1、 ISO6542F-Q1		
EN1	-	7	7	I	出力イネーブル 1。サイド 1 の出力ピンは、EN1 が HIGH またはオープンのときにイネーブル、EN1 が LOW のときは高インピーダンス状態になります。
EN2	10	10	10	I	出力イネーブル 2。サイド 2 の出力ピンは、EN2 が HIGH またはオープンのときにイネーブル、EN2 が LOW のときは高インピーダンス状態になります。
GND1	2, 8	2.8	2.8	—	V_{CC1} のグランド接続
GND2	9, 15	9.15	9.15	—	V_{CC2} のグランド接続
INA	3	3	3	I	入力、チャネル A
INB	4	4	4	I	入力、チャネル B
INC	5	5	12	I	入力、チャネル C
IND	6	11	11	I	入力、チャネル D
NC	7	-	-		未接続
OUTA	14	14	14	O	出力、チャネル A
OUTB	13	13	13	O	出力、チャネル B
OUTC	12	12	5	O	出力、チャネル C
OUTD	11	6	6	O	出力、チャネル D
V_{CC1}	1	1	1	—	電源、1 次側
V_{CC2}	16	16	16	—	電源、2 次側

(1) I = 入力、O = 出力

5 仕様

5.1 絶対最大定格

(1) を参照

		最小値	最大値	単位
電源電圧 (2)	V_{CC1} から GND1	-0.5	6	V
	V_{CC2} から GND2	-0.5	6	
入力 / 出力電圧	INx から GNDx	-0.5	$V_{CCX} + 0.5$ (3)	V
	OUTx から GNDx	-0.5	$V_{CCX} + 0.5$ (3)	
出力電流	Io	-15	15	mA
温度	動作時の接合部温度、 T_J		150	°C
	保管温度、 T_{stg}	-65	150	°C
過渡絶縁電圧 (SSOP-16)	AC 電圧、 $t = 60s$		707	V _{RMS}
	DC 電圧、 $t = 60s$		1000	V _{DC}

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) 差動 I/O バス電圧を除くすべての電圧値は、ローカル グランド ピン (GND1 または GND2) を基準としており、ピーク電圧値です。
- (3) 最大電圧は 6V 以下である必要があります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン (1)	±6000	V
		デバイス帶電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン (2)	±1500	

- (1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
- (2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
V_{CC1} ⁽¹⁾	サイド 1 電源電圧	$V_{CC} \geq 1.8V$ ⁽³⁾	1.71	1.89	1.89	V
V_{CC1} ⁽¹⁾	サイド 1 電源電圧	$V_{CC} = 2.5V \sim 5V$ ⁽³⁾	2.25	5.5	5.5	V
V_{CC2} ⁽¹⁾	サイド 2 電源電圧	$V_{CC} \geq 1.8V$ ⁽³⁾	1.71	1.89	1.89	V
V_{CC2} ⁽¹⁾	サイド 2 電源電圧	$V_{CC} = 2.5V \sim 5V$ ⁽³⁾	2.25	5.5	5.5	V
V_{CC} (UVLO+)	電源電圧が上昇しているときの UVLO スレッショルド		1.53	1.71	1.71	V
V_{CC} (UVLO-)	電源電圧が下降しているときの UVLO スレッショルド		1.1	1.41	1.41	V
V_{HYS} (UVLO)	電源電圧 UVLO ヒステリシス		0.08	0.13	0.13	V
V_{IH}	High レベル入力電圧	$0.7 \times V_{CCI}$ ⁽²⁾		V_{CCI}	V_{CCI}	V
V_{IL}	Low レベル入力電圧		0	$0.3 \times V_{CCI}$	$0.3 \times V_{CCI}$	V
I_{OH}	High レベル入力電流	$V_{CCO} = 5V$ ⁽²⁾	-4			mA
		$V_{CCO} = 3.3V$	-2			mA
		$V_{CCO} = 2.5V$	-1			mA
		$V_{CCO} = 1.8V$	-1			mA
I_{OL}	Low レベル出力電流	$V_{CCO} = 5V$		4	4	mA
		$V_{CCO} = 3.3V$		2	2	mA
		$V_{CCO} = 2.5V$		1	1	mA
		$V_{CCO} = 1.8V$		1	1	mA
DR	データ レート		0	50	50	Mbps
T_A	周囲温度		-40	25	125	°C
T_A	機能絶縁の動作電圧 (SSOP-16)	AC 電圧 (正弦波)		400	V_{RMS}	
		DC 電圧		566	V_{DC}	

(1) V_{CC1} と V_{CC2} は、互いに独立して設定できます

(2) V_{CCI} = 入力側 V_{CC} 、 V_{CCO} = 出力側 V_{CC}

(3) $1.89V < V_{CC1}, V_{CC2} < 2.25V$ かつ $1.05V < V_{CC1}, V_{CC2} < 1.71V$ のとき、チャネル出力は不定状態です

5.4 热に関する情報

热評価基準 ⁽¹⁾		ISO654x	単位
		DBQ (SSOP)	
		16 ピン	
$R_{\theta JA}$	接合部から周囲への热抵抗	73	°C/W
$R_{\theta JC(top)}$	接合部からケース(上面)への热抵抗	36.1	°C/W
$R_{\theta JB}$	接合部から基板への热抵抗	40.4	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	17	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	39.9	°C/W
$R_{\theta JC(bot)}$	接合部からケース(底面)への热抵抗	—	°C/W

(1) 従来および最新の热評価基準の詳細については、[No.](#)を参照してください。

5.5 パッケージの特性

パラメータ		テスト条件	値	単位
		DBQ-16		
CLR	外部空間距離 ⁽¹⁾	空気を通したサイド 1 とサイド 2 の距離	>3.7	mm
CPG	外部沿面距離 ⁽¹⁾	パッケージ表面上でのサイド 1 とサイド 2 の距離	>3.7	mm
CTI	比較トラッキング インデックス	IEC 60112, UL 746A	>600	V
	材料グループ	IEC 60664-1 に準拠	I	
C _{IO}	絶縁バリア容量、入力から出力へ ⁽²⁾	V _{IO} = 0.4 × sin (2πft), f = 1MHz	≈1	pF
R _{IO}	絶縁抵抗 ⁽²⁾	T _A = 25°C	>10 ¹²	Ω

- (1) 沿面距離および空間距離の要件は、アプリケーション個別の機器絶縁規格に従って適用する必要があります。沿面距離および空間距離を維持するために、プリント基板上でアイソレータの取り付けパッドによってこの距離が短くならないように注意して基板を設計する必要があります。場合によっては、プリント基板上の沿面距離と空間距離が等しくなります。プリント基板上にグループやリブを設けるなどの技法を使用して、これらの仕様値を大きくすることができます。
- (2) 絶縁バリアのそれぞれの側にあるすべてのピンを互いに接続して、2 つの端子を持つデバイスを構成します。

5.6 電気的特性— 5V 電源

$V_{CC1} = V_{CC2} = 5V \pm 10\%$ (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ	テスト条件	最小値	標準値	最大値	単位
V_{OH}	高レベル出力電圧 $I_{OH} = -4mA$ 、セクション 6 を参照	$V_{CC0} - 0.4$ ⁽¹⁾			V
V_{OL}	Low レベル出力電圧 $I_{OH} = 4mA$ 、セクション 6 を参照			0.4	V
$V_{IT+(IN)}$	立ち上がり入力のスイッチング スレッショルド			$0.7 \times V_{CC1}$ ⁽¹⁾	V
$V_{IT-(IN)}$	立ち下がり入力のスイッチング スレッショルド		$0.3 \times V_{CC1}$		V
$V_{I(HYS)}$	入力スレッショルド電圧のヒステリシス		$0.1 \times V_{CC1}$		V
I_{IH}	High レベル入力電流 INx で $V_{IH} = V_{CC1}$ ⁽¹⁾			10	μA
I_{IL}	Low レベル入力電流 INx で $V_{IL} = 0V$		-10		μA
I_{IH}	High レベル入力電流 ENx で $V_{IH} = V_{CC1}$ ⁽¹⁾			28	μA
I_{IL}	Low レベル入力電流 ENx で $V_{IL} = 0V$		-28		μA
CMTI	同相過渡耐性	$V_I = V_{CC}$ または $0V$ 、 $V_{CM} = 1200V$ 、セクション 6 を参照	100	150	$kV/\mu A$
C_i	入力容量 ⁽²⁾	$V_I = V_{CC}/2 + 0.4 \times \sin(2\pi ft)$ 、 $f = 2MHz$ 、 $V_{CC} = 5V$		2.8	pF

(1) V_{CC1} = 入力側 V_{CC} 、 V_{CC0} = 出力側 V_{CC}

(2) 入力ピンから同じ側のグランドまで測定。

5.7 電源電流特性—5V 電源

$V_{CC1} = V_{CC2} = 5V \pm 10\%$ (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ	テスト条件	電源電流	最小値	標準値	最大値	単位
ISO6540-Q1						
電源電流 - DC 信号 (2)	$V_I = V_{CC1}$ (1)(ISO6540)、 $V_I = 0V$ (F 接尾辞付き ISO6540)	I_{CC1}	1.6	2.4		mA
		I_{CC2}	2.1	3.7		
	$V_I = 0V$ (ISO6540)、 $V_I = V_{CC1}$ (接尾辞 F 付き ISO6540)	I_{CC1}	5.8	8		
		I_{CC2}	2.3	4.0		
電源電流 - AC 信号 (3)	すべてのチャネルが方形波クロック入力でスイッチング、 $C_L = 15pF$	1Mbps	I_{CC1}	3.7	5.1	mA
			I_{CC2}	2.4	4.1	
		10Mbps	I_{CC1}	3.8	5.3	
			I_{CC2}	4.8	6.6	
		50Mbps	I_{CC1}	4.4	6	
			I_{CC2}	15	18.1	
ISO6541-Q1						
電源電流 - DC 信号 (2)	$V_I = V_{CC1}$ (1)(ISO6541)、 $V_I = 0V$ (F 接尾辞付き ISO6541)	I_{CC1}	1.9	2.9		mA
		I_{CC2}	2.2	3.8		
	$V_I = 0V$ (ISO6541)、 $V_I = V_{CC1}$ (F 接尾辞付き ISO6541)	I_{CC1}	5.1	7.2		
		I_{CC2}	3.4	5.2		
電源電流 - AC 信号 (3)	すべてのチャネルが方形波クロック入力でスイッチング、 $C_L = 15pF$	1Mbps	I_{CC1}	3.6	5.1	mA
			I_{CC2}	3	4.7	
		10Mbps	I_{CC1}	4.2	5.8	
			I_{CC2}	4.8	6.5	
		50Mbps	I_{CC1}	7.3	9.3	
			I_{CC2}	12.6	15.3	
ISO6542-Q1						
電源電流 - DC 信号 (2)	$V_I = V_{CC1}$ (1)(ISO6542)、 $V_I = 0V$ (F 接尾辞付き ISO6542)	I_{CC1}, I_{CC2}	2.2	3.5		mA
	$V_I = 0V$ (ISO6542)、 $V_I = V_{CC1}$ (F 接尾辞付き ISO6542)	I_{CC1}, I_{CC2}	4.4	6.3		
電源電流 - AC 信号 (3)	すべてのチャネルが方形波クロック入力でスイッチング、 $C_L = 15pF$	1Mbps	I_{CC1}, I_{CC2}	3.4	5	mA
		10Mbps	I_{CC1}, I_{CC2}	4.7	6.4	
		50Mbps	I_{CC1}, I_{CC2}	10.2	12.5	

(1) $V_{CC1} =$ 入力側 V_{CC}

(2) 電源電流は $ENx = V_{CCx}$ および $ENx = 0V$ の場合に有効

(3) 電源電流は $ENx = V_{CCx}$ の場合に有効

5.8 電気的特性— 3.3V 電源

$V_{CC1} = V_{CC2} = 3.3V \pm 10\%$ (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ	テスト条件	最小値	標準値	最大値	単位
V_{OH}	高レベル出力電圧 $I_{OH} = -2mA$ 、 セクション 6 を参照	$V_{CC1} - 0.2$ ⁽¹⁾			V
V_{OL}	Low レベル出力電圧 $I_{OH} = 2mA$ 、 セクション 6 を参照			0.2	V
$V_{IT+(IN)}$	立ち上がり入力のスイッチング スレッショルド			$0.7 \times V_{CC1}$ ⁽¹⁾	V
$V_{IT-(IN)}$	立ち下がり入力のスイッチング スレッショルド		$0.3 \times V_{CC1}$		V
$V_{I(HYS)}$	入力スレッショルド電圧のヒステリシス		$0.1 \times V_{CC1}$		V
I_{IH}	High レベル入力電流 INx で $V_{IH} = V_{CC1}$ ⁽¹⁾			10	μA
I_{IL}	Low レベル入力電流 INx で $V_{IL} = 0V$		-10		μA
I_{IH}	High レベル入力電流 ENx で $V_{IH} = V_{CC1}$ ⁽¹⁾			30	μA
I_{IL}	Low レベル入力電流 ENx で $V_{IL} = 0V$		-30		μA
CMTI	同相過渡耐性 $V_I = V_{CC}$ または $0V$, $V_{CM} = 1200V$ 、 セクション 6 を参照	100	150		$kV/\mu A$
C_i	入力容量 ⁽²⁾ $V_I = V_{CC}/2 + 0.4 \times \sin(2\pi ft), f = 2MHz, V_{CC} = 3.3V$			2.8	pF

(1) V_{CC1} = 入力側 V_{CC} 、 V_{CC0} = 出力側 V_{CC}

(2) 入力ピンから同じ側のグランドまで測定。

5.9 電源電流特性— 3.3V 電源

$V_{CC1} = V_{CC2} = 3.3V \pm 10\%$ (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ	テスト条件	電源電流	最小値	標準値	最大値	単位
ISO6540-Q1						
電源電流 - DC 信号 (2)	$V_I = V_{CC1}$ (1)(ISO6540)、 $V_I = 0V$ (F 接尾辞付き ISO6540)	I_{CC1}	1.6	2.3		mA
		I_{CC2}	2.1	3.7		
電源電流 - AC 信号 (3)	すべてのチャネルが方形波クロック入力でスイッチング、 $C_L = 15pF$	I_{CC1}	5.7	8		mA
		I_{CC2}	2.3	4.0		
ISO6541-Q1						
電源電流 - DC 信号 (2)	$V_I = V_{CC1}$ (1)(ISO6541)、 $V_I = 0V$ (F 接尾辞付き ISO6541)	I_{CC1}	1.9	2.9		mA
		I_{CC2}	2.2	3.7		
電源電流 - AC 信号 (3)	すべてのチャネルが方形波クロック入力でスイッチング、 $C_L = 15pF$	I_{CC1}	5	7.1		mA
		I_{CC2}	3.4	5.1		
ISO6542-Q1						
電源電流 - DC 信号 (2)	$V_I = V_{CC1}$ (1)(ISO6542)、 $V_I = 0V$ (F 接尾辞付き ISO6542)	I_{CC1}, I_{CC2}	2.2	3.4		mA
		I_{CC1}, I_{CC2}	4.4	6.3		
電源電流 - AC 信号 (3)	すべてのチャネルが方形波クロック入力でスイッチング、 $C_L = 15pF$	1Mbps	I_{CC1}, I_{CC2}	3.4	4.9	mA
		10Mbps	I_{CC1}, I_{CC2}	4.2	5.9	
		50Mbps	I_{CC1}, I_{CC2}	8.2	10.3	

(1) $V_{CC1} =$ 入力側 V_{CC}

(2) 電源電流は $ENx = V_{CCx}$ および $ENx = 0V$ の場合に有効

(3) 電源電流は $ENx = V_{CCx}$ の場合に有効

5.10 電気的特性— 2.5V 電源

$V_{CC1} = V_{CC2} = 2.5V \pm 10\%$ (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ	テスト条件	最小値	標準値	最大値	単位
V_{OH}	高レベル出力電圧 $I_{OH} = -1mA$ 、セクション 6 を参照	$V_{CC1} - 0.1$ ⁽¹⁾			V
V_{OL}	Low レベル出力電圧 $I_{OL} = 1 mA$ 、セクション 6 を参照			0.1	V
$V_{IT+(IN)}$	立ち上がり入力のスイッチング スレッショルド			$0.7 \times V_{CC1}$ ⁽¹⁾	V
$V_{IT-(IN)}$	立ち下がり入力のスイッチング スレッショルド		$0.3 \times V_{CC1}$		V
$V_{I(HYS)}$	入力スレッショルド電圧のヒステリシス		$0.1 \times V_{CC1}$		V
I_{IH}	High レベル入力電流 INx で $V_{IH} = V_{CC1}$ ⁽¹⁾			10	μA
I_{IL}	Low レベル入力電流 INx で $V_{IL} = 0V$		-10		μA
I_{IH}	High レベル入力電流 ENx で $V_{IH} = V_{CC1}$ ⁽¹⁾			30	μA
I_{IL}	Low レベル入力電流 ENx で $V_{IL} = 0V$		-30		μA
CMTI	同相過渡耐性 $V_I = V_{CC}$ または $0V$, $V_{CM} = 1200V$ 、セクション 6 を参照	100	150		$kV/\mu A$
C_i	入力容量 ⁽²⁾ $V_I = V_{CC}/2 + 0.4 \times \sin(2\pi ft), f = 2MHz, V_{CC} = 2.5V$			2.8	pF

(1) V_{CC1} = 入力側 V_{CC} , V_{CC0} = 出力側 V_{CC}

(2) 入力ピンから同じ側のグランドまで測定。

5.11 電源電流特性— 2.5V 電源

$V_{CC1} = V_{CC2} = 2.5V \pm 10\%$ (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ	テスト条件	電源電流	最小値	標準値	最大値	単位
ISO6540-Q1						
電源電流 - DC 信号 (2)	$V_I = V_{CC1}$ (1)(ISO6540)、 $V_I = 0V$ (F 接尾辞付き ISO6540)	I_{CC1}	1.6	2.3		mA
		I_{CC2}	2.1	3.7		
	$V_I = 0V$ (ISO6540)、 $V_I = V_{CC1}$ (接尾辞 F 付き ISO6540)	I_{CC1}	5.7	7.9		
		I_{CC2}	2.3	4.0		
電源電流 - AC 信号 (3)	すべてのチャネルが方形波クロック入力でスイッチング、 $C_L = 15pF$	1Mbps	I_{CC1}	3.7	5.1	mA
			I_{CC2}	2.3	4.0	
		10Mbps	I_{CC1}	3.7	5.1	
			I_{CC2}	3.5	5.3	
		50Mbps	I_{CC1}	4.1	5.6	
			I_{CC2}	9	11.5	
ISO6541-Q1						
電源電流 - DC 信号 (2)	$V_I = V_{CC1}$ (1)(ISO6541)、 $V_I = 0V$ (F 接尾辞付き ISO6541)	I_{CC1}	1.9	2.9		mA
		I_{CC2}	2.2	3.7		
	$V_I = 0V$ (ISO6541)、 $V_I = V_{CC1}$ (F 接尾辞付き ISO6541)	I_{CC1}	5	7.1		
		I_{CC2}	3.4	5.1		
電源電流 - AC 信号 (3)	すべてのチャネルが方形波クロック入力でスイッチング、 $C_L = 15pF$	1Mbps	I_{CC1}	3.5	5	mA
			I_{CC2}	2.9	4.5	
		10Mbps	I_{CC1}	3.9	5.4	
			I_{CC2}	3.8	5.5	
		50Mbps	I_{CC1}	5.5	7.2	
			I_{CC2}	8.1	10.2	
ISO6542-Q1						
電源電流 - DC 信号 (2)	$V_I = V_{CC1}$ (1)(ISO6542)、 $V_I = 0V$ (F 接尾辞付き ISO6542)	I_{CC1}, I_{CC2}	2.2	3.4		mA
	$V_I = 0V$ (ISO6542)、 $V_I = V_{CC1}$ (F 接尾辞付き ISO6542)	I_{CC1}, I_{CC2}	4.3	6.3		
電源電流 - AC 信号 (3)	すべてのチャネルが方形波クロック入力でスイッチング、 $C_L = 15pF$	1Mbps	I_{CC1}, I_{CC2}	3.3	4.8	mA
		10Mbps	I_{CC1}, I_{CC2}	4	5.6	
		50Mbps	I_{CC1}, I_{CC2}	7	9	

(1) $V_{CC1} =$ 入力側 V_{CC}

(2) 電源電流は $ENx = V_{CCx}$ および $ENx = 0V$ の場合に有効

(3) 電源電流は $ENx = V_{CCx}$ の場合に有効

5.12 電気的特性— 1.8V 電源

$V_{CC1} = V_{CC2} = 1.8V \pm 5\%$ (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ	テスト条件	最小値	標準値	最大値	単位
V_{OH}	高レベル出力電圧 $I_{OH} = -1mA$ 、セクション 6 を参照	$V_{CC0} - 0.1$ ⁽¹⁾			V
V_{OL}	Low レベル出力電圧 $I_{OL} = 1 mA$ 、セクション 6 を参照			0.1	V
$V_{IT+(IN)}$	立ち上がり入力のスイッチング スレッショルド			$0.7 \times V_{CC1}$ ⁽¹⁾	V
$V_{IT-(IN)}$	立ち下がり入力のスイッチング スレッショルド		$0.3 \times V_{CC1}$		V
$V_{I(HYS)}$	入力スレッショルド電圧のヒステリシス		$0.1 \times V_{CC1}$		V
I_{IH}	High レベル入力電流 INx で $V_{IH} = V_{CC1}$ ⁽¹⁾			10	μA
I_{IL}	Low レベル入力電流 INx で $V_{IL} = 0V$		-10		μA
I_{IH}	High レベル入力電流 ENx で $V_{IH} = V_{CC1}$ ⁽¹⁾			30	μA
I_{IL}	Low レベル入力電流 ENx で $V_{IL} = 0V$		-30		μA
CMTI	同相過渡耐性	$V_I = V_{CC}$ または $0V$ 、 $V_{CM} = 1200V$ 、セクション 6 を参照	100	150	$kV/\mu A$
C_i	入力容量 ⁽²⁾	$V_I = V_{CC}/2 + 0.4 \times \sin(2\pi ft)$ 、 $f = 2MHz$ 、 $V_{CC} = 1.8V$		2.8	pF

(1) V_{CC1} = 入力側 V_{CC} 、 V_{CC0} = 出力側 V_{CC}

(2) 入力ピンから同じ側のグランドまで測定。

5.13 電源電流特性— 1.8V 電源

$V_{CC1} = V_{CC2} = 1.8V \pm 5\%$ (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ	テスト条件	電源電流	最小値	標準値	最大値	単位
ISO6540-Q1						
電源電流 - DC 信号 (2)	$V_I = V_{CC1}$ (1)(ISO6540)、 $V_I = 0V$ (F 接尾辞付き ISO6540)	I_{CC1}	1.2	1.8		mA
		I_{CC2}	2	3.7		
	$V_I = 0V$ (ISO6540)、 $V_I = V_{CC1}$ (接尾辞 F 付き ISO6540)	I_{CC1}	5.1	7.6		
		I_{CC2}	2.2	4.0		
電源電流 - AC 信号 (3)	すべてのチャネルが方形波クロック入力でスイッチング、 $C_L = 15pF$	1Mbps	I_{CC1}	3.1	4.7	mA
			I_{CC2}	2.2	4.0	
		10Mbps	I_{CC1}	3.2	4.8	
			I_{CC2}	3.1	4.9	
		50Mbps	I_{CC1}	3.4	5.1	
			I_{CC2}	7	9.7	
ISO6541-Q1						
電源電流 - DC 信号 (2)	$V_I = V_{CC1}$ (1)(ISO6541)、 $V_I = 0V$ (F 接尾辞付き ISO6541)	I_{CC1}	1.5	2.5		mA
		I_{CC2}	2	3.6		
	$V_I = 0V$ (ISO6541)、 $V_I = V_{CC1}$ (F 接尾辞付き ISO6541)	I_{CC1}	4.5	6.9		
		I_{CC2}	3.2	5		
電源電流 - AC 信号 (3)	すべてのチャネルが方形波クロック入力でスイッチング、 $C_L = 15pF$	1Mbps	I_{CC1}	3.1	4.7	mA
			I_{CC2}	2.7	4.4	
		10Mbps	I_{CC1}	3.3	5	
			I_{CC2}	3.4	5.1	
		50Mbps	I_{CC1}	4.5	6.3	
			I_{CC2}	6.4	8.7	
ISO6542-Q1						
電源電流 - DC 信号 (2)	$V_I = V_{CC1}$ (1)(ISO6542)、 $V_I = 0V$ (F 接尾辞付き ISO6542)	I_{CC1}, I_{CC2}	1.9	3.2		mA
	$V_I = 0V$ (ISO6542)、 $V_I = V_{CC1}$ (接尾辞 F 付きの ISO6542)	I_{CC1}, I_{CC2}	4	6.1		
電源電流 - AC 信号 (3)	すべてのチャネルが方形波クロック入力でスイッチング、 $C_L = 15pF$	1Mbps	I_{CC1}, I_{CC2}	3	4.7	mA
		10Mbps	I_{CC1}, I_{CC2}	3.5	5.2	
		50Mbps	I_{CC1}, I_{CC2}	5.6	7.6	

(1) $V_{CC1} =$ 入力側 V_{CC}

(2) 電源電流は $ENx = V_{CCx}$ および $ENx = 0V$ の場合に有効

(3) 電源電流は $ENx = V_{CCx}$ の場合に有効

5.14 スイッチング特性— 5V 電源

$V_{CC1} = V_{CC2} = 5V \pm 10\%$ (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{PLH}, t_{PHL}	伝搬遅延時間	100kbps の場合 セクション 6 を参照	11	18	ns	
PWD	パルス幅歪み (1) $ t_{PHL} - t_{PLH} $		0.2	7	ns	
$t_{sk(o)}$	チャネル間の出力スキュー時間 (2)	同方向チャネル		6	ns	
$t_{sk(pp)}$	部品間のスキュー時間 (3)			6	ns	
t_r	出力信号の立ち上がり時間	セクション 6 を参照してください	2.6	4.5	ns	
t_f	出力信号の立ち下がり時間		2.6	4.5	ns	
t_{PHZ}	ディセーブルの伝搬遅延、出力 High から高インピーダンスへ		18.6	25.8	ns	
t_{PLZ}	ディセーブルの伝搬遅延、出力 Low から高インピーダンスへ		18.6	25.8	ns	
t_{PZH}	イネーブルの伝搬遅延、高インピーダンスから出力 High へ (ISO654x)	セクション 6 を参照してください	14.2	21.1	ns	
t_{PZL}	イネーブルの伝搬遅延、高インピーダンスから出力 Low へ (ISO654x)		14.2	21.1	ns	
t_{PU}	UVLO から有効な出力データまでの時間			300	μs	
t_{DO}	入力電源喪失からデフォルト出力までの遅延時間	VCC が 1.2V を下回る時間から測定。セクション 6 を参照してください	0.1	0.3	μs	
t_{ie}	タイム インターパル エラー	50Mbps で $2^{16} - 1$ PRBS データ	1		ns	

(1) 別名パルス スキュー。

(2) $t_{sk(o)}$ は、1 つのデバイスについて、すべての駆動入力を相互に接続し、同方向に出力をスイッチングし、同じ負荷を駆動するときの複数の出力間のスキューです。

(3) $t_{sk(pp)}$ は、同一の電源電圧、温度、入力信号、負荷で動作する異なるデバイスについて、同方向にスイッチングするときの任意の端子間での伝搬遅延時間の差です。

5.15 スイッチング特性— 3.3V 電源

$V_{CC1} = V_{CC2} = 3.3V \pm 10\%$ (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{PLH}, t_{PHL}	伝搬遅延時間	100kbps の場合 図 1-1 を参照	11	18	ns	
PWD	パルス幅歪み (1) $ t_{PHL} - t_{PLH} $		0.5	7	ns	
$t_{sk(o)}$	チャネル間の出力スキュー時間 (2)	同方向チャネル		6	ns	
$t_{sk(pp)}$	部品間のスキュー時間 (3)			7	ns	
t_r	出力信号の立ち上がり時間	セクション 6 を参照してください	1.6	3.2	ns	
t_f	出力信号の立ち下がり時間		1.6	3.2	ns	
t_{PHZ}	ディセーブルの伝搬遅延、出力 High から高インピーダンスへ		23.2	34.4	ns	
t_{PLZ}	ディセーブルの伝搬遅延、出力 Low から高インピーダンスへ		23.2	34.4	ns	
t_{PZH}	イネーブルの伝搬遅延、高インピーダンスから出力 High へ (ISO654x)	セクション 6 を参照してください	16.6	23	ns	
t_{PZL}	イネーブルの伝搬遅延、高インピーダンスから出力 Low へ (ISO654x)		16.6	23	ns	
t_{PU}	UVLO から有効な出力データまでの時間			300	μs	
t_{DO}	入力電源喪失からデフォルト出力までの遅延時間	VCC が 1.2V を下回る時間から測定。セクション 6 を参照	0.1	0.3	μs	
t_{ie}	タイム インターバル エラー	50Mbps で $2^{16} - 1$ PRBS データ	1		ns	

(1) 別名パルス スキュー。

(2) $t_{sk(o)}$ は、1 つのデバイスについて、すべての駆動入力を相互に接続し、同方向に出力をスイッチングし、同じ負荷を駆動するときの複数の出力間のスキューです。

(3) $t_{sk(pp)}$ は、同一の電源電圧、温度、入力信号、負荷で動作する異なるデバイスについて、同方向にスイッチングするときの任意の端子間での伝搬遅延時間の差です。

5.16 スイッチング特性— 2.5V 電源

$V_{CC1} = V_{CC2} = 2.5V \pm 10\%$ (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ	テスト条件	最小値	標準値	最大値	単位
t_{PLH}, t_{PHL}	伝搬遅延時間 パルス幅歪み (1) $ t_{PHL} - t_{PLH} $	100kbps の場合 図 1-1 を参照	12	20.5	ns
PWD			0.6	7.1	ns
$t_{sk(o)}$	チャネル間の出力スキュー時間 (2)	同方向チャネル		6	ns
$t_{sk(pp)}$	部品間のスキュー時間 (3)			7	ns
t_r	出力信号の立ち上がり時間	セクション 6 を参照してください	2	4	ns
t_f	出力信号の立ち下がり時間		2	4	ns
t_{PHZ}	ディセーブルの伝搬遅延、出力 High から高インピーダンスへ		28.1	43	ns
t_{PLZ}	ディセーブルの伝搬遅延、出力 Low から高インピーダンスへ		28.1	43	ns
t_{PZH}	イネーブルの伝搬遅延、高インピーダンスから出力 High へ (ISO654x)	セクション 6 を参照してください	20.4	36.3	ns
t_{PZL}	イネーブルの伝搬遅延、高インピーダンスから出力 Low へ (ISO654x)		20.4	36.3	ns
t_{PU}	UVLO から有効な出力データまでの時間			300	μs
t_{DO}	入力電源喪失からデフォルト出力までの遅延時間	VCC が 1.2V を下回る時間から測定。セクション 6 を参照してください	0.1	0.3	μs
t_{ie}	タイム インターパル エラー	50Mbps で $2^{16} - 1$ PRBS データ	1		ns

(1) 別名パルス スキュー。

(2) $t_{sk(o)}$ は、1 つのデバイスについて、すべての駆動入力を相互に接続し、同方向に出力をスイッチングし、同じ負荷を駆動するときの複数の出力間のスキューです。

(3) $t_{sk(pp)}$ は、同一の電源電圧、温度、入力信号、負荷で動作する異なるデバイスについて、同方向にスイッチングするときの任意の端子間での伝搬遅延時間の差です。

5.17 スイッチング特性— 1.8V 電源

$V_{CC1} = V_{CC2} = 1.8V \pm 5\%$ (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{PLH}, t_{PHL}	伝搬遅延時間	100kbps の場合 図 1-1 を参照	15	24	ns	
PWD	パルス幅歪み (1) $ t_{PHL} - t_{PLH} $		0.7	8.2	ns	
$t_{sk(o)}$	チャネル間の出力スキュー時間 (2)	同方向チャネル		6	ns	
$t_{sk(pp)}$	部品間のスキュー時間 (3)			8.8	ns	
t_r	出力信号の立ち上がり時間	セクション 6 を参照してください	2.7	5.3	ns	
t_f	出力信号の立ち下がり時間		2.7	5.3	ns	
t_{PHZ}	ディセーブルの伝搬遅延、出力 High から高インピーダンスへ		40.3	63	ns	
t_{PLZ}	ディセーブルの伝搬遅延、出力 Low から高インピーダンスへ		40.3	63	ns	
t_{PZH}	イネーブルの伝搬遅延、高インピーダンスから出力 High へ (ISO654x)	セクション 6 を参照してください	30	51.4	ns	
t_{PZL}	イネーブルの伝搬遅延、高インピーダンスから出力 Low へ (ISO654x)		30	51.4	ns	
t_{PU}	UVLO から有効な出力データまでの時間			300	μs	
t_{DO}	入力電源喪失からデフォルト出力までの遅延時間	VCC が 1.2V を下回る時間から測定。セクション 6 を参照してください	0.1	0.3	μs	
t_{ie}	タイム インターバル エラー	50Mbps で $2^{16} - 1$ PRBS データ	1		ns	

(1) 別名パルス スキュー。

(2) $t_{sk(o)}$ は、1 つのデバイスについて、すべての駆動入力を相互に接続し、同方向に出力をスイッチングし、同じ負荷を駆動するときの複数の出力間のスキューです。

(3) $t_{sk(pp)}$ は、同一の電源電圧、温度、入力信号、負荷で動作する異なるデバイスについて、同方向にスイッチングするときの任意の端子間での伝搬遅延時間の差です。

5.18 代表的特性

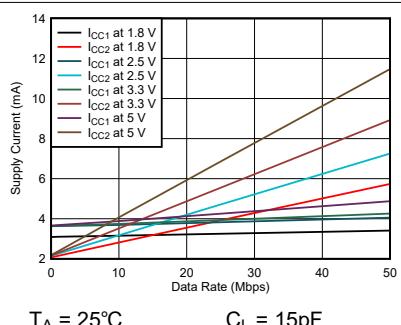


図 5-1. ISO6540-Q1 または ISO6540F-Q1 の消費電流とデータレートとの関係 (15pF 負荷時)

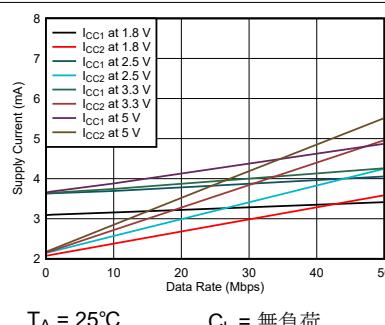


図 5-2. ISO6540-Q1 または ISO6540F-Q1 の消費電流とデータレートとの関係 (無負荷時)

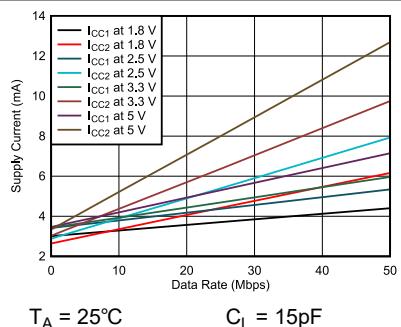


図 5-3. ISO6541-Q1 または ISO6541F-Q1 の消費電流とデータレートとの関係 (15pF 負荷時)

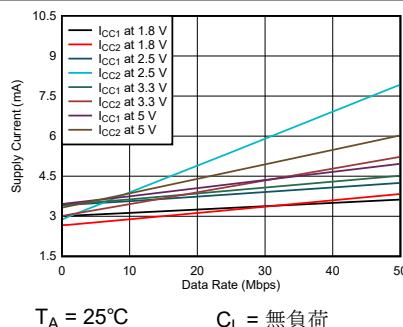


図 5-4. ISO6541-Q1 または ISO6541F-Q1 の消費電流とデータレートとの関係 (無負荷時)

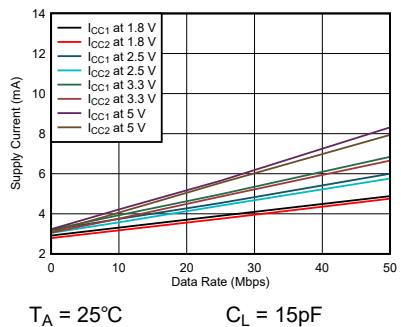


図 5-5. ISO6542-Q1 または ISO6542F-Q1 の消費電流とデータレートとの関係 (15pF 負荷時)

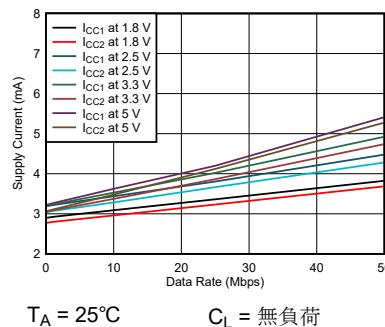


図 5-6. ISO6542-Q1 または ISO6542F-Q1 の消費電流とデータレートとの関係 (無負荷時)

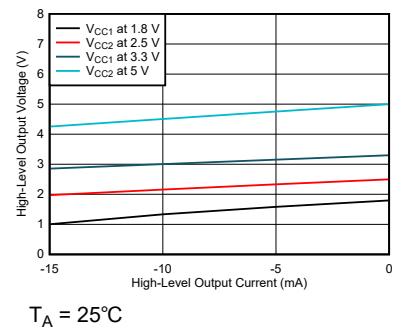


図 5-7. High レベル出力電圧と High レベル出力電流との関係

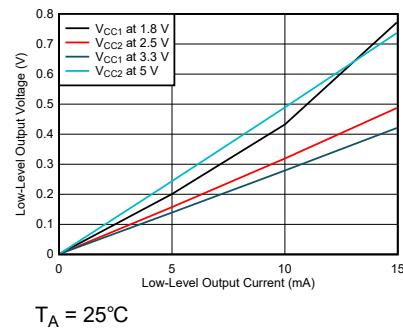


図 5-8. Low レベル出力電圧と Low レベル出力電流との関係

5.18 代表的特性 (続き)

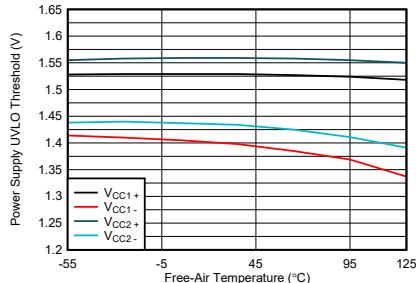


図 5-9. 電源低電圧スレッショルドと周囲温度との関係

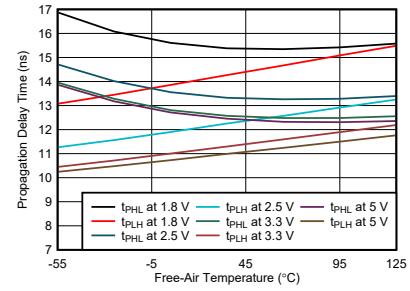
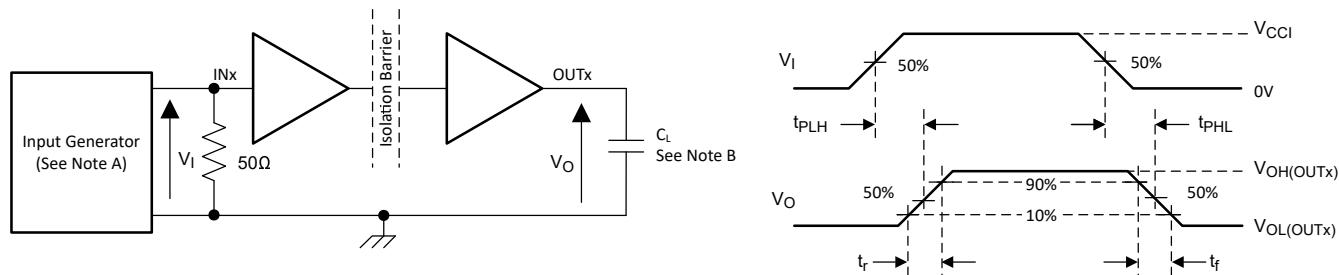


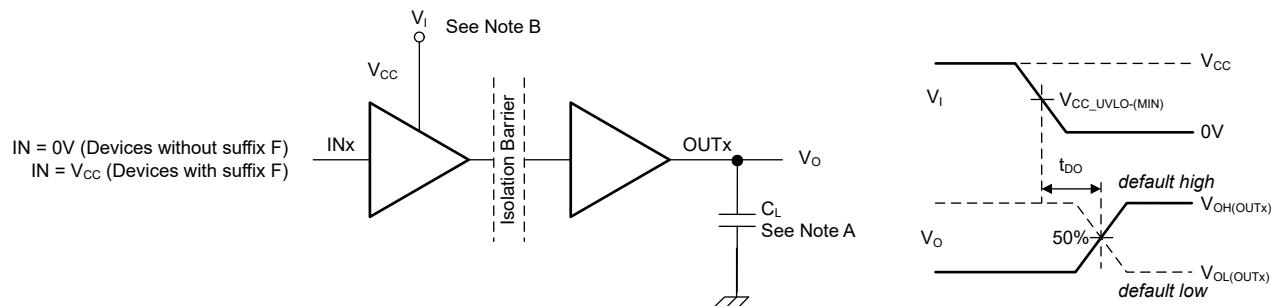
図 5-10. 伝搬遅延時間と周囲温度との関係

6 パラメータ測定情報



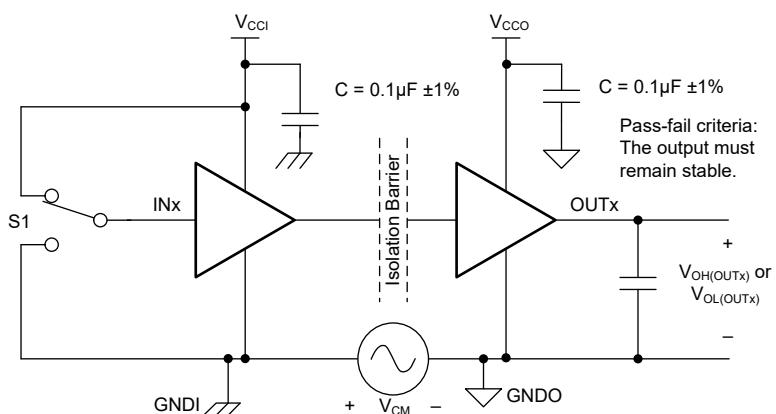
- A. 入力パルスは、以下の特性を持つジェネレータから供給されます。PRR \leq 50kHz, 50% デューティ サイクル、 $t_r \leq 3\text{ns}$, $t_f \leq 3\text{ns}$, $Z_O = 50\Omega$ 。INx (入力) ジェネレータ信号を終端するため、入力に 50Ω の抵抗が必要です。実際のアプリケーションでは、この 50Ω 抵抗は不要です。
- B. $C_L = 15\text{pF}$ であり、 $\pm 20\%$ 以内の計測器および治具の容量が含まれています。

図 6-1. スイッチング特性試験回路と電圧波形



- A. $C_L = 15\text{pF}$ であり、 $\pm 20\%$ 以内の計測器および治具の容量が含まれています。
- B. 電源ランプ レート = 10mV/ns

図 6-2. デフォルトの出力遅延時間テスト回路と電圧波形



- A. $C_L = 15\text{pF}$ であり、 $\pm 20\%$ 以内の計測器および治具の容量が含まれています。
- B. ENx = V_{CC} 、CMTI テスト中チャネルはイネーブルです。

図 6-3. 同相過渡電圧耐性試験回路

7 詳細説明

7.1 概要

ISO654x-Q1 ファミリのデバイスは、オン オフ キーイング (OOK) 変調方式を使用し、二酸化ケイ素をベースとする絶縁バリアを介してデジタル データを送信します。

トランスマッタは、バリアを介して高周波キャリアを送信することによって、1 つのデジタル状態を表しています。また、信号を送信しないことによって、もう 1 つのデジタル状態を表しています。レシーバは、高度な信号コンディショニングを行ってから信号を復調し、バッファ段経由で出力を生成します。ISO654x-Q1 デバイスには高度な回路技法も使用されており、CMTI 性能を最大化し、高周波キャリアと IO バッファのスイッチングによる放射ノイズを最小化しています。

7.2 機能ブロック図

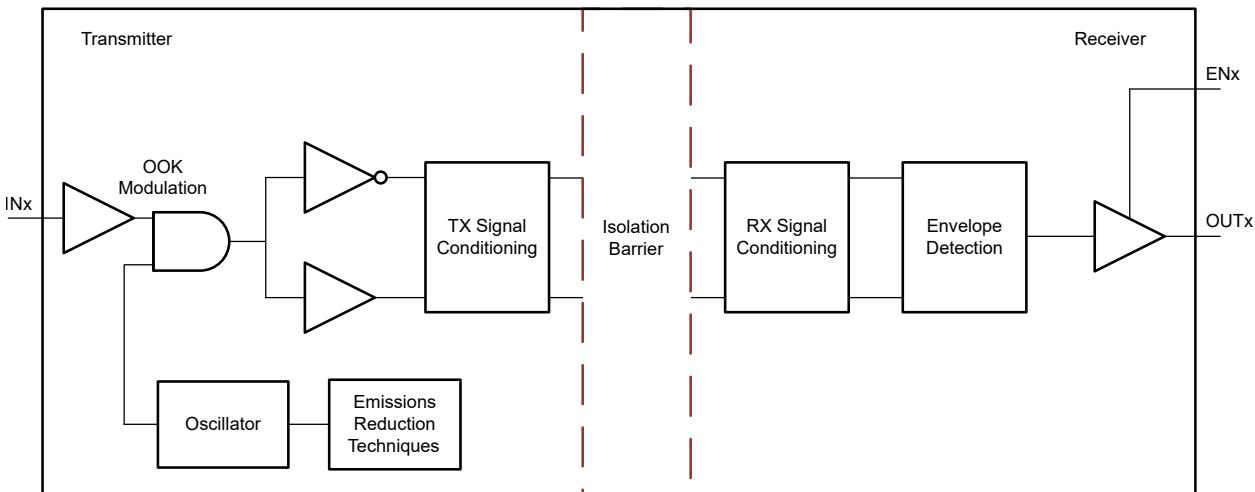


図 7-1. OOK ベースのデジタルアイソレータの概念ブロック図

オン オフ キーイング方式の動作の概念的な詳細を、図 7-2 に示します。

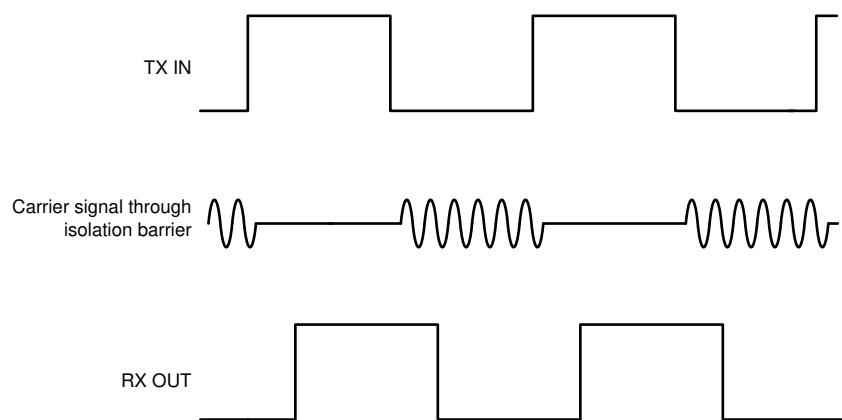


図 7-2. オン オフ キーイング (OOK) による変調方式

7.3 機能説明

表 7-1 に、デバイスの機能概要を示します。

表 7-1. デバイスの機能

部品番号	チャネル方向	最大データレート	デフォルト出力	パッケージ
ISO6540-Q1	順方向 4 逆方向 0	50Mbps	高	DBQ-16
ISO6540F-Q1	順方向 4 逆方向 0	50Mbps	低	DBQ-16
ISO6541-Q1	順方向 3 逆方向 1	50Mbps	高	DBQ-16
ISO6541F-Q1	順方向 3 逆方向 1	50Mbps	低	DBQ-16
ISO6542-Q1	順方向 2 逆方向 2	50Mbps	高	DBQ-16
ISO6542F-Q1	順方向 2 逆方向 2	50Mbps	低	DBQ-16

7.3.1 電磁両立性 (EMC) に関する検討事項

過酷な産業用環境で使用される多くのアプリケーションは、静電気放電 (ESD)、電気的高速過渡現象 (EFT)、サージ、電磁放射のような外乱の影響を受けやすくなっています。これらの電磁妨害は、IEC 61000-4-x や、CISPR 25 などの国際規格により定義および試験されています。システム レベルの性能と信頼性は、アプリケーション基板の設計とレイアウトに大きく左右されますが、ISO654x-Q1 ファミリのデバイスは、システム全体の堅牢性を高めるために多くのチップレベルの設計技術を取り入れています。

7.4 デバイスの機能モード

表 7-2 は、ISO654x-Q1 デバイスの機能モードを一覧表示しています。

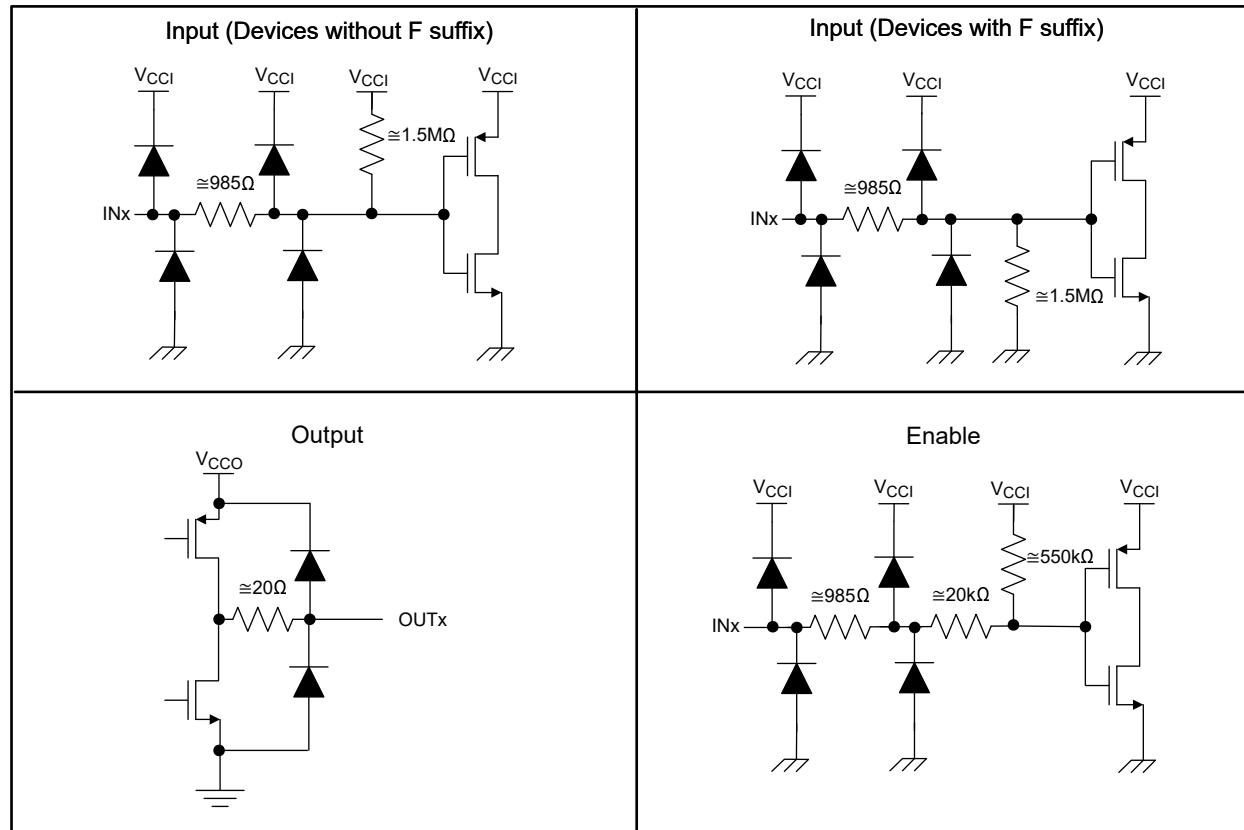
表 7-2. 機能表

$V_{CC1}^{(1)}$	V_{CC0}	入力 (INx)	出力イネーブル (ENx)	出力 (OUTx)	備考
PU	PU	H	H またはオープン	H	通常動作: チャネルの出力は、入力の論理状態になります。
		L	H またはオープン	L	
		オープン	H またはオープン	デフォルト	
X	PU	X	L	Z	出力イネーブルの値が LOW のとき、出力は高インピーダンスになります。
PD	PU	X	H またはオープン	デフォルト	デフォルト モード: V_{CC1} に電源が供給されていないとき、チャネル出力は選択されたデフォルトオプションに基づいたロジック状態になります。 ISO654x-Q1 ではデフォルトは <i>High</i> 、接尾辞 F 付きの ISO654xF-Q1 ではデフォルトは <i>Low</i> です。 V_{CC1} が電源オフから電源オンに遷移すると、チャネル出力は入力のロジック状態と同じになります。 V_{CC1} が電源オンから電源オフに遷移すると、チャネル出力は選択されているデフォルト状態になります。
X	PD	X	X	不定	V_{CC0} が電源オフのとき、チャネルの出力は不定です ⁽²⁾ 。 V_{CC0} が電源オフから電源オンに遷移すると、チャネル出力は入力のロジック状態と同じになります。

(1) V_{CC1} = 入力側 V_{CC} 、 V_{CC0} = 出力側 V_{CC} 、PU = 電源オン ($V_{CC} \geq V_{CC_RO(MIN)}$)、PD = 電源オフ ($V_{CC} \leq V_{CC_UVLO_}$)、X = 無関係、H = HIGH レベル、L = LOW レベル、Z = 高インピーダンス

(2) $V_{CC_UVLO_} \leq V_{CC1}$ または $V_{CC0} < V_{CC} \geq V_{CC_RO(min)}$ のとき、出力は不定状態になります。

7.5 デバイス I/O 回路図



8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

ISO654x-Q1 デバイスは、高性能で低消費電力のクワッド チャネル構成のデジタルアイソレータです。これらのデバイスは両側にイネーブルピンがあり、対応する出力を高インピーダンスに移行して、パラレル (複数) ドライバマルチマスタ駆動アプリケーションに使用できます。ISO654x-Q1 デバイスは、シングルエンド CMOS ロジック スイッチング テクノロジーを使用しています。

電源電圧の範囲は、 V_{CC1} と V_{CC2} の両方の電源で 1.71V~5.5V です。絶縁バリアは 2 つの側を分離するため、推奨動作条件内の任意の電圧を使用し、それぞれの側を独立してソースできます。たとえば、ISO654x-Q1 に 3.3V の V_{CC1} (1.71V~5.5V の範囲内) と 5V の V_{CC2} (これも 1.71V~5.5V の範囲内) を供給できます。デジタル アイソレータは、絶縁に加えて、ロジック レベルトランジスタとしても使用できます。デジタル アイソレータを使って設計する場合は、シングルエンド設計構造のため、デジタル アイソレータが特定のインターフェイス規格に準拠していないこと、シングルエンド CMOS または TTL デジタル信号ラインの絶縁のみを目的としていることに注意してください。アイソレータは通常、インターフェイスの種類や規格にかかわらず、データ コントローラ (MCU または FPGA) と、データ コンバータまたはライントランシーバとの間に配置されます。

注

ISO654x-Q1 は機能絶縁デバイスであり、標準化機構による絶縁に関する認証を受けていません。標準化機構による絶縁の認証が必要な用途では、ISO644x-Q1、ISO674x-Q1 または ISO774x-Q1 のいずれかのデジタルアイソレータのファミリを選択する必要があります。

8.2 代表的なアプリケーション

図 8-1 は、絶縁型デュアル CAN インターフェイスの実装を示しています。

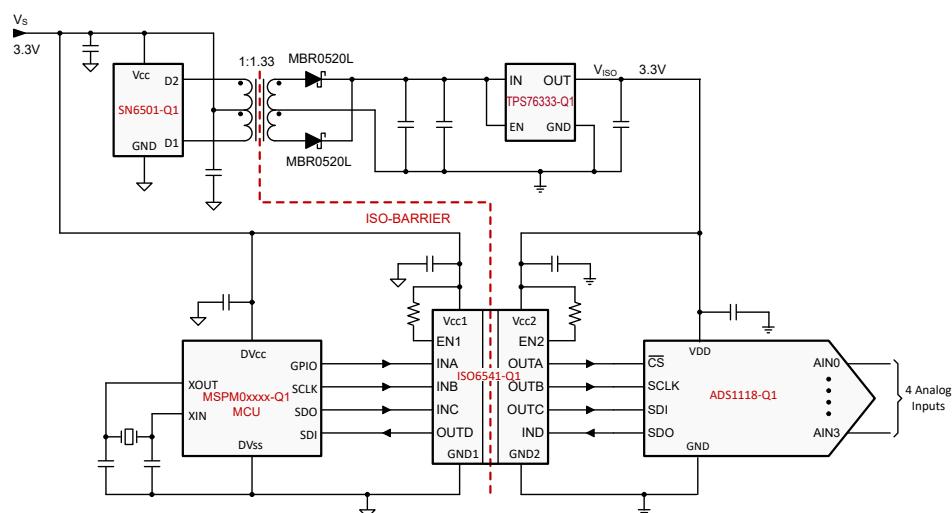


図 8-1. 4 入力のアナログ測定向け絶縁型 SPI

図 8-2 は、絶縁型デュアル CAN インターフェイスの実装を示しています。

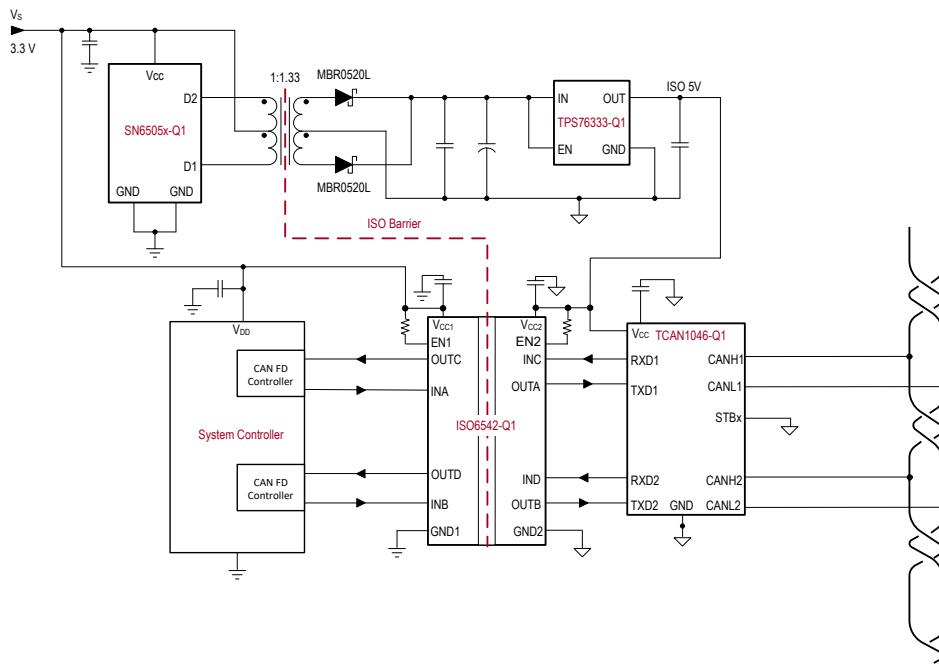


図 8-2. 代表的な絶縁型デュアル CAN アプリケーション回路

8.2.1 設計要件

このデバイスを使用する設計には、表 8-1 に記載されているパラメータを使用します。

表 8-1. 設計パラメータ

パラメータ	値
電源電圧、 V_{CC1} および V_{CC2}	1.71V~5.5V
V_{CC1} と GND1 との間のデカップリング コンデンサ	0.1 μ F
V_{CC2} と GND2 との間のデカップリング コンデンサ	0.1 μ F

8.2.2 詳細な設計手順

ISO654x-Q1 ファミリのデバイスは、フォトカプラーとは異なり、性能向上、バイアス供給、電流制限のために外付け部品を必要としません。必要とするのは、動作に必要な外付けバイパスコンデンサは 2 個のみです。

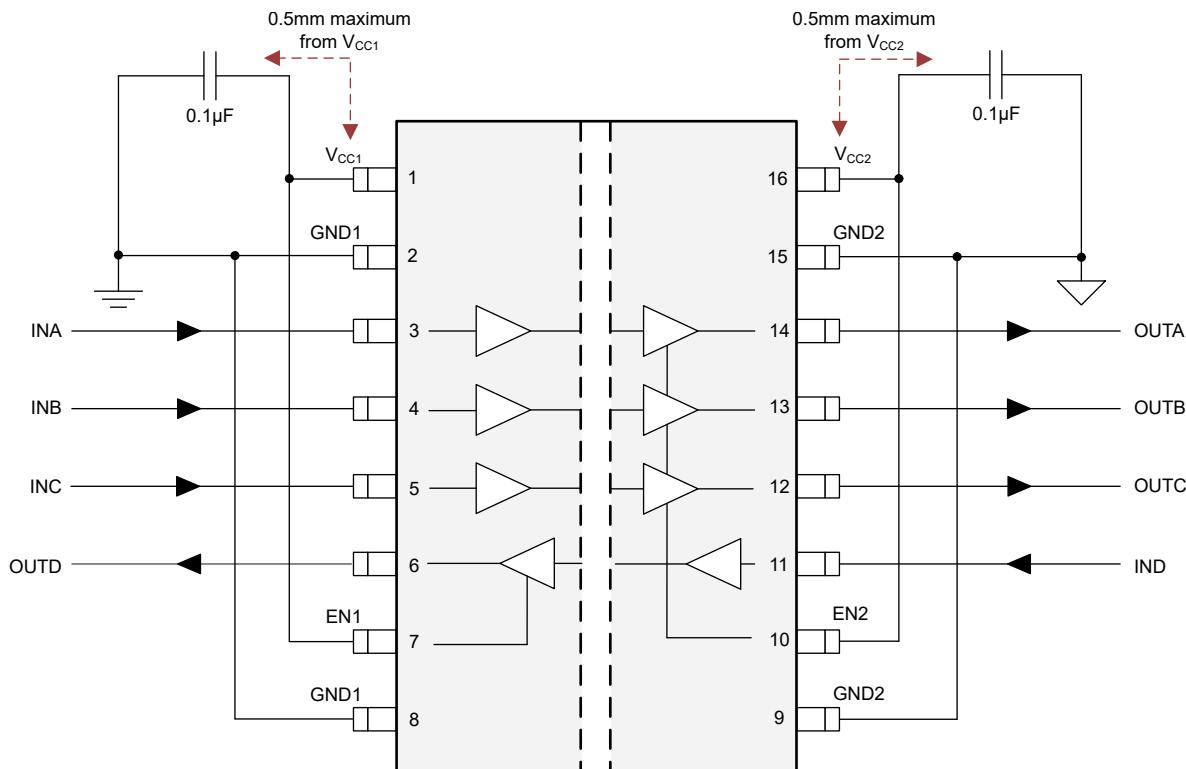
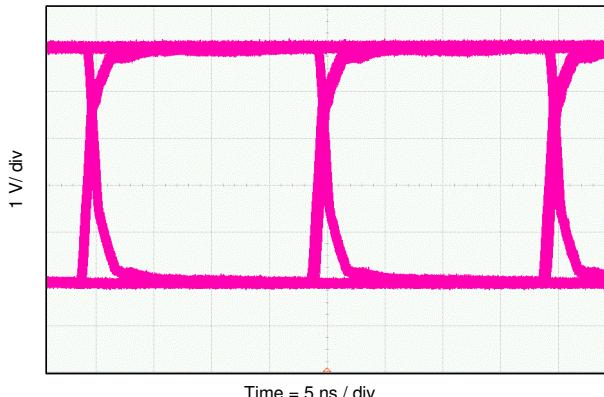


図 8-3. ISO654x-Q1 の一般的な回路例

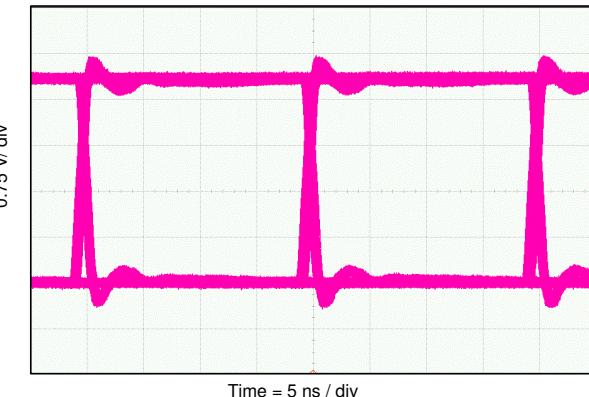
8.2.3 アプリケーション曲線

以下に示す、ISO654x-Q1 ファミリのデバイスの代表的なアイダイアグラムは、50Mbps の最大データレートで低ジッタと広いオーブンアイを示しています。



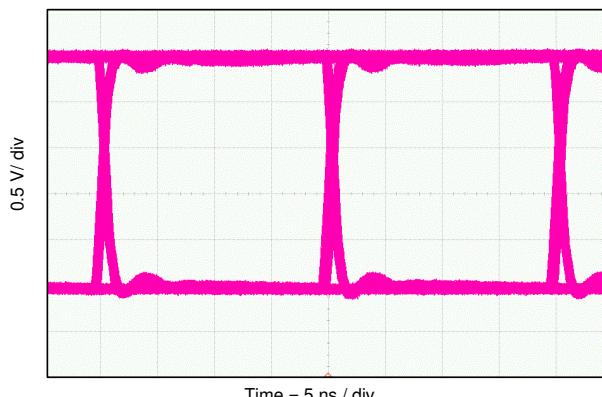
水平 5ns/分周、垂直 1V/分周。

図 8-4. ISO654x-Q1 アイダイアグラム (50Mbps
PRBS $2^{16} - 1$ 、5V、25°C)



水平 5ns/分周、垂直 750mV/分周。

図 8-5. ISO654x-Q1 アイダイアグラム (50Mbps
PRBS $2^{16} - 1$ 、3.3V、25°C)



水平 5ns/分周、垂直 500mV/分周。

図 8-6. ISO654x-Q1 アイダイアグラム (50Mbps PRBS $2^{16} - 1$ 、2.5V、25°C)

8.3 電源に関する推奨事項

データレートおよび電源電圧に対する信頼性の高い動作を確保するため、入力および出力電源ピン (V_{CC1} および V_{CC2}) に $0.1\mu F$ のバイパスコンデンサを推奨します。コンデンサは、電源ピンのできるだけ近くに配置する必要があります。アプリケーションで使用できる 1 次側電源が 1 つだけの場合は、トランスマジックトランジスタを使用して 2 次側用の絶縁型電源を生成できます。車載アプリケーションには、[SN6501-Q1](#) または [SN6505B-Q1](#) を使用してください。このようなアプリケーションでは、『[SN6501-Q1 絶縁電源用の変圧器ドライバ](#)』または『[SN6505B-Q1 絶縁型電源用の車載用、低ノイズ、1A、420kHz のソフトスタート付き変圧器ドライバ](#)』で、電源の詳細な設計とトランスマジックトランジスタの選択についての推奨事項を参照できます。

8.4 レイアウト

8.4.1 レイアウトガイドライン

コストが最適化された低 EMI PCB の設計を実現するには、最小 2 層が必要です。EMI をさらに改善するために、4 層基板を使用できます (レイアウト例の回路図を参照)。4 層基板の層は、上層から下層に向かって、高速信号層、グランドプレーン、電源プレーン、低周波数信号層の順に配置する必要があります。

- 上層に高速パターンを配線することにより、ビアの使用 (およびそれに伴うインダクタンスの発生) を避けて、データリンクのトランスマジックトランジスタおよびレシーバ回路とアイソレータとの間のクリーンな相互接続が可能になります。
- 高速信号層の次の層に、ベタのグランドプレーンを配置することにより、伝送ライン接続のインピーダンスを制御し、リターン電流のための優れた低インダクタンスパスを実現します。
- グランドプレーンの次の層に、電源プレーンを配置すると、高周波バイパス容量を約 $100\mu F/\text{インチ}^2$ 増加させることができます。
- 最下層に低速の制御信号を配線すると、これらの信号リンクには一般的に、ビアのような不連続性を許容するマージンがあるため、高い柔軟性が得られます。

電源プレーンまたは信号層の追加が必要な場合は、対称性を保つために、第 2 の電源系統またはグランドプレーン系統を層構成に追加します。この設計により、基板の層構成が機械的に安定し、反りを防ぎます。また、各電源系統の電源プレーンとグランドプレーンを互いに近づけて配置できるため、高周波バイパス容量を大幅に増やすことができます。

レイアウトの推奨事項の詳細については、『[デジタルアイソレータ設計ガイド](#)』アプリケーションノートを参照してください。

8.4.2 レイアウト例

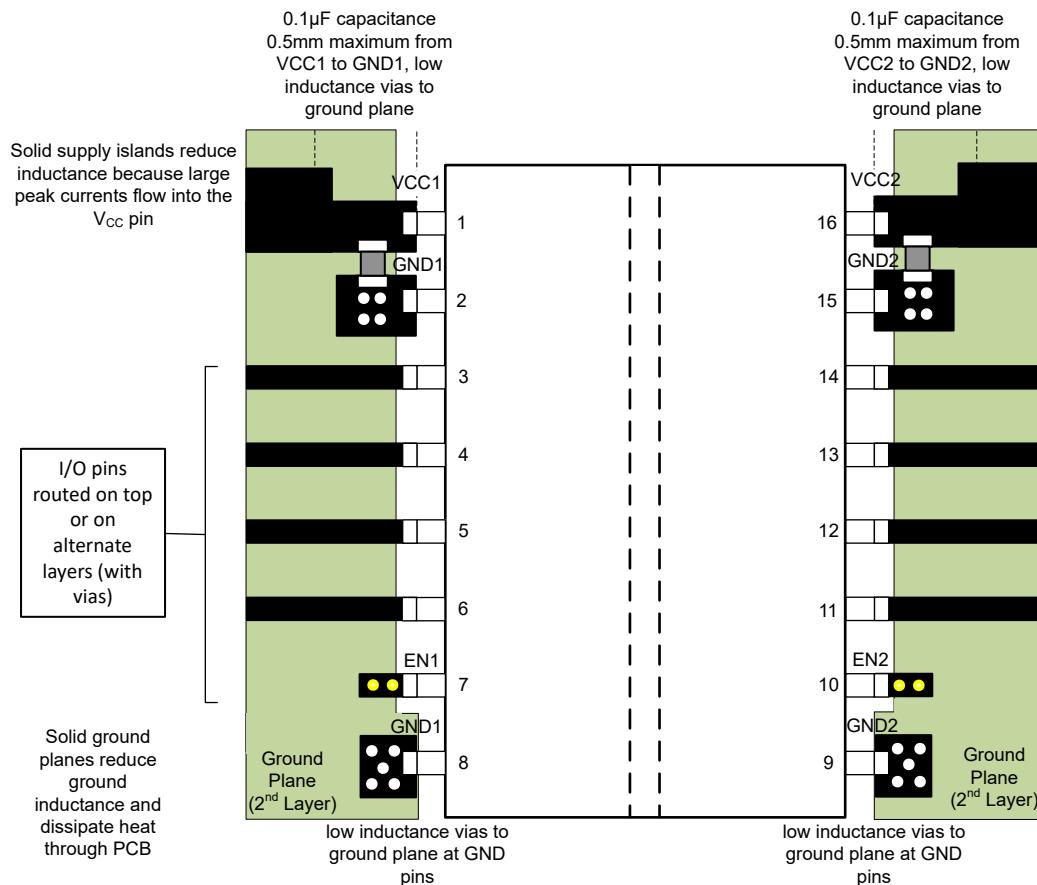


図 8-7. レイアウト例

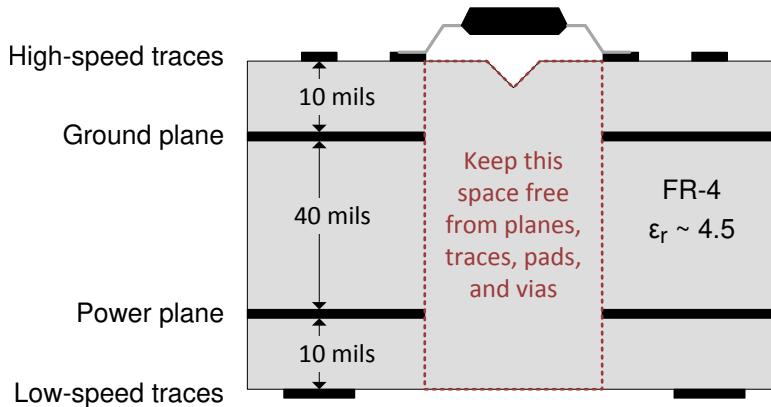


図 8-8. レイアウト例 : PCB 断面

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連ドキュメント

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、[ISO6540-Q1 技術資料](#)
- テキサス・インスツルメンツ、[ISO6541-Q1 技術資料](#)
- テキサス・インスツルメンツ、[ISO6542-Q1 技術資料](#)
- テキサス・インスツルメンツ、『デジタル アイソレータ設計ガイド』アプリケーション ノート
- テキサス・インスツルメンツ、『デジタル アイソレータ設計ガイド』アプリケーション ノート
- テキサス・インスツルメンツ、『絶縁用語集』アプリケーション ノート
- テキサス・インスツルメンツ、『産業用システムで ESD、EFT、サージの耐性を改善する目的で絶縁を使用する方法』アプリケーション ノート
- テキサス・インスツルメンツ、[SN6505x-Q1 絶縁電源用の低ノイズ、1A トランジストライバデータシート](#)

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項

 この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
April 2025	*	初版リリース

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ISO6540FQDBQRQ1	Active	Production	SSOP (DBQ) 16	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6540F
ISO6540FQDBQRQ1.A	Active	Production	SSOP (DBQ) 16	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6540F
ISO6540QDBQRQ1	Active	Production	SSOP (DBQ) 16	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6540
ISO6541FQDBQRQ1	Active	Production	SSOP (DBQ) 16	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6541F
ISO6541FQDBQRQ1.A	Active	Production	SSOP (DBQ) 16	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6541F
ISO6541QDBQRQ1	Active	Production	SSOP (DBQ) 16	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6541
ISO6541QDBQRQ1.A	Active	Production	SSOP (DBQ) 16	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6541
ISO6542FQDBQRQ1	Active	Production	SSOP (DBQ) 16	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6542F
ISO6542QDBQRQ1	Active	Production	SSOP (DBQ) 16	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6542
ISO6542QDBQRQ1.A	Active	Production	SSOP (DBQ) 16	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6542

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

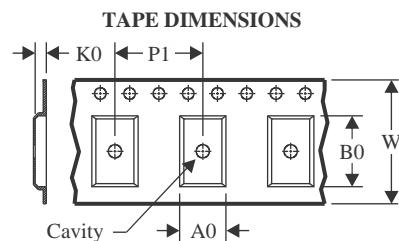
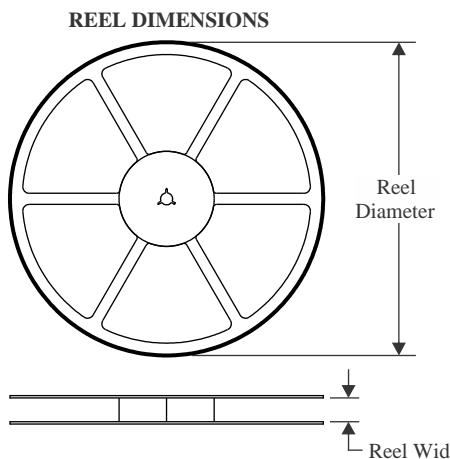
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF ISO6540-Q1, ISO6541-Q1, ISO6542-Q1 :

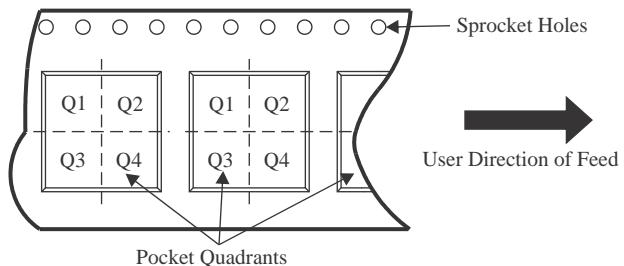
- Catalog : [ISO6540](#), [ISO6541](#), [ISO6542](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

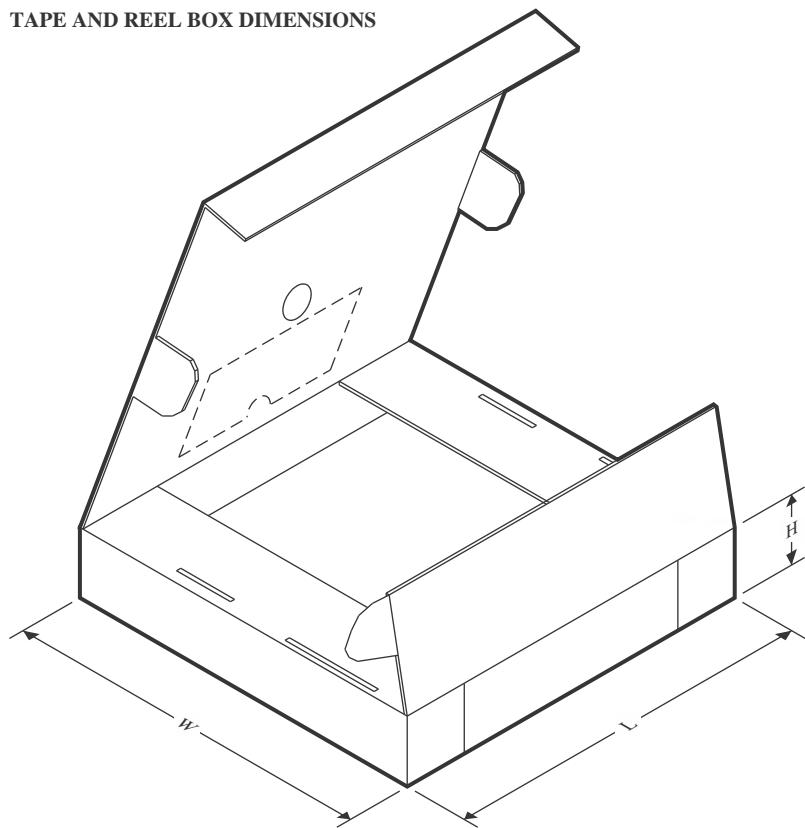
TAPE AND REEL INFORMATION


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ISO6540FQDBQRQ1	SSOP	DBQ	16	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
ISO6540QDBQRQ1	SSOP	DBQ	16	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
ISO6541FQDBQRQ1	SSOP	DBQ	16	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
ISO6541QDBQRQ1	SSOP	DBQ	16	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
ISO6542FQDBQRQ1	SSOP	DBQ	16	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
ISO6542QDBQRQ1	SSOP	DBQ	16	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ISO6540FQDBQRQ1	SSOP	DBQ	16	2500	353.0	353.0	32.0
ISO6540QDBQRQ1	SSOP	DBQ	16	2500	353.0	353.0	32.0
ISO6541FQDBQRQ1	SSOP	DBQ	16	2500	353.0	353.0	32.0
ISO6541QDBQRQ1	SSOP	DBQ	16	2500	353.0	353.0	32.0
ISO6542FQDBQRQ1	SSOP	DBQ	16	2500	353.0	353.0	32.0
ISO6542QDBQRQ1	SSOP	DBQ	16	2500	353.0	353.0	32.0

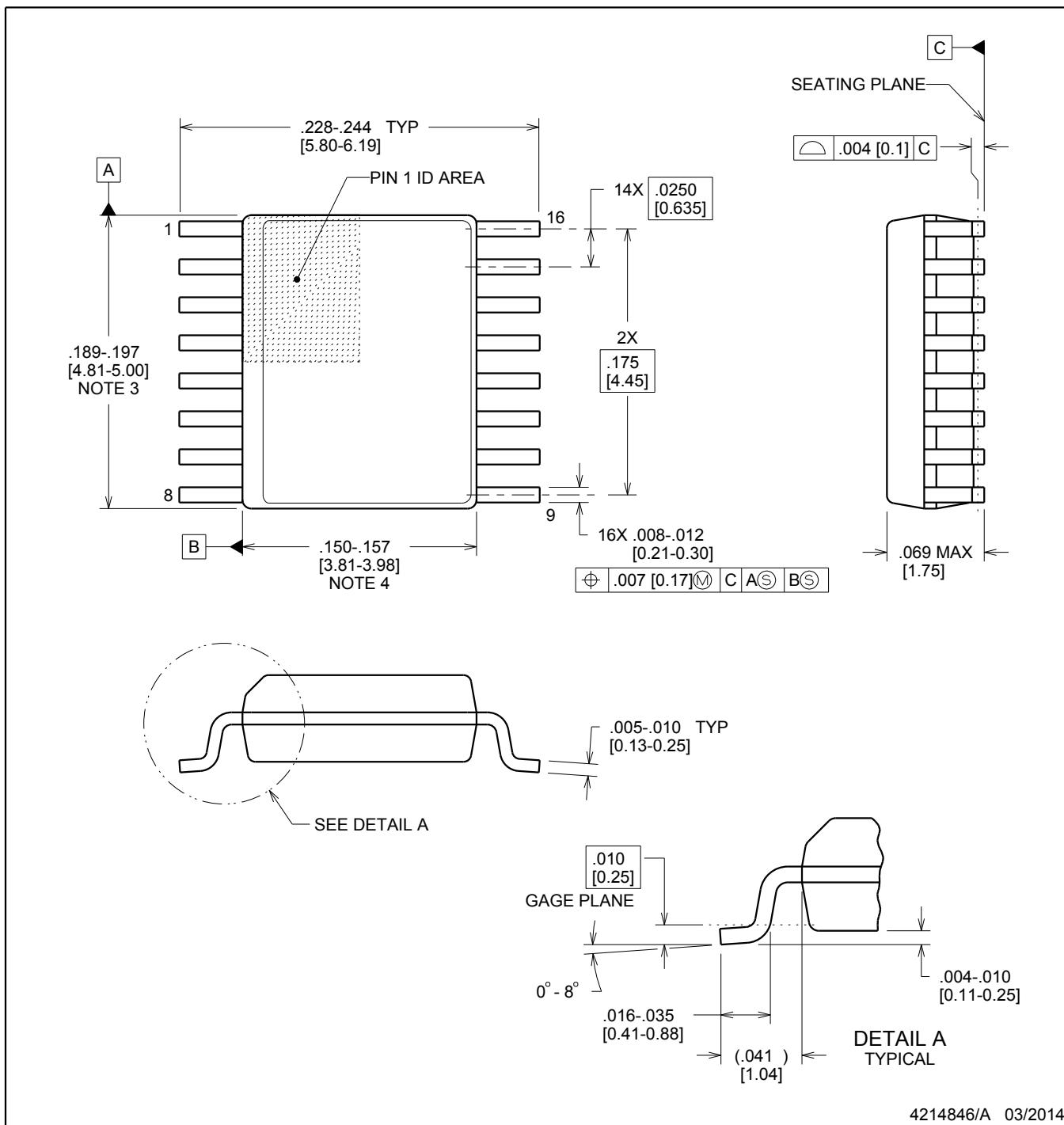


PACKAGE OUTLINE

DBQ0016A

SSOP - 1.75 mm max height

SHRINK SMALL-OUTLINE PACKAGE



NOTES:

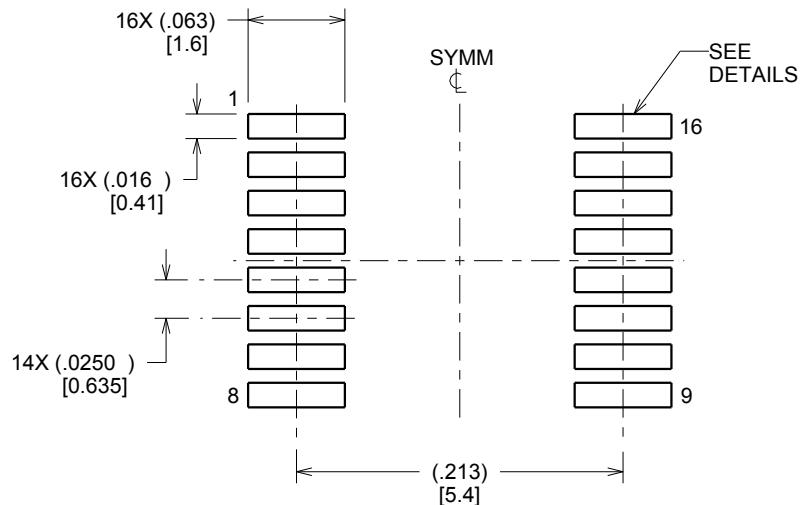
1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 inch, per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MO-137, variation AB.

EXAMPLE BOARD LAYOUT

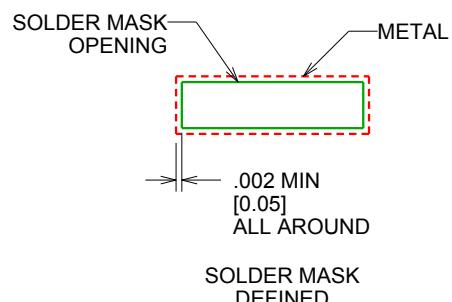
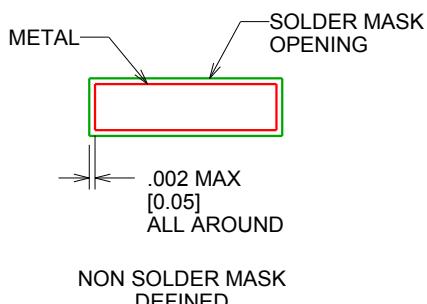
DBQ0016A

SSOP - 1.75 mm max height

SHRINK SMALL-OUTLINE PACKAGE



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4214846/A 03/2014

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

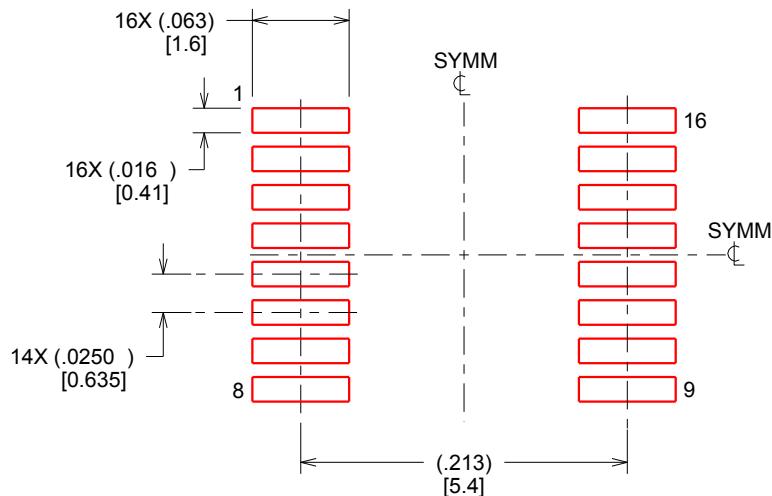
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBQ0016A

SSOP - 1.75 mm max height

SHRINK SMALL-OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.127 MM] THICK STENCIL
SCALE:8X

4214846/A 03/2014

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月