

ISO724xC-Q1 高速、クワッドチャネルデジタルアイソレータ

1 特長

- 25Mbps の信号速度オプション
 - 低いチャネル間の出力スキュー:
最大値 1ns
 - 低いパルス幅歪み (PWD) :
最大値 2ns
 - 低ジッタ成分: 25Mbps で標準値 1ns
- 選択可能なデフォルト出力 (ISO7240CF)
- 定格動作電圧での寿命 > 25 年 (「絶縁特性曲線」を参照)
- ESD 保護: 4kV
- 3.3V または 5V 電源で動作
- -40°C ~ +125°C の動作温度範囲
- 安全関連の認証:
 - DIN EN IEC 60747-17 (VDE 0884-17)
 - UL 1577 部品認定プログラム
 - IEC 61010-1 認定、IEC 62368-1 認定

2 アプリケーション

- ファクトリオートメーション
 - Modbus
 - Profibus™
 - DeviceNet™ データバス
- コンピュータペリフェラルインターフェイス
- サーボ制御インターフェイス
- データアキュジション

3 概要

ISO7240CF-Q1、ISO7241C-Q1、ISO7242C-Q1 の各デバイスは、複数のチャネル構成と出力イネーブル機能を備えたクワッドチャネルデジタルアイソレータです。これらのデバイスは、テキサスインスツルメンツ独自の二酸化ケイ素 (SiO₂) 絶縁バリアで分離されたロジック入出力バッファを備えています。これらのデバイスは、絶縁型電源と組み合わせて使用することで、高電圧を遮断し、グランドを絶縁し、ノイズ電流がローカルグランドに入り込んでノイズに敏感な回路に干渉したり損傷を与えたりすることを防止します。

ISO7240C-Q1 ファミリのデバイスは、同じ方向に 4 チャネルを備えています。ISO7241C-Q1 ファミリのデバイスは、同じ方向に 3 チャネル、反対方向に 1 チャネルを備えています。ISO7242C-Q1 ファミリのデバイスは、各方向に 2 チャネルを備えています。

接尾辞 C (C オプション) のデバイスには、TTL 入力スレッシュホールドと、遷移パルスがデバイスの出力に渡されるのを防ぐノイズフィルタが入力に備わっています。接尾辞 M (M オプション) のデバイスには、CMOS $V_{CC}/2$ 入力スレッシュホールドが備わっていますが、入力ノイズフィルタはなく、追加の伝搬遅延も発生しません。

ISO7240CF デバイスは、ピン 7 に入力ディセーブル機能を備え、CTRL ピン (ピン 10) に High または Low が選択可能なフェイルセーフ出力機能を備えています。フェイルセーフ出力は、CTRL ピンにロジック High が印加された場合、またはピンが未接続のままである場合、ロジック High になります。CTRL ピンにロジック Low 信号が印加されると、フェイルセーフ出力はロジック Low 出力状態になります。ISO7240CF デバイスの入力ディセーブル機能により、絶縁バリアを通過してデータが出力に渡されるのを防ぎます。入力がディセーブルされるか、 V_{CC1} がパワーダウンすると、出力は CTRL ピンによって設定されます。

これらのデバイスは、どちらの側でも 3.3V または 5V 電源から電力を供給でき、任意の組み合わせが可能です。信号入力ピンは、使用される電源電圧レベルに関係なく 5V 許容です。

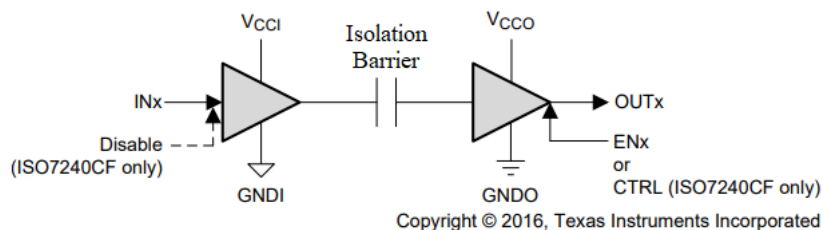
これらのデバイスは、-40°C ~ +125°C の周囲温度範囲で動作するように特性評価されています。



パッケージ情報

部品番号	パッケージ ⁽¹⁾	本体サイズ (公称)	パッケージ サイズ ⁽²⁾
ISO7240CF-Q1	DW (SOIC, 16)	10.30mm × 7.50mm	10.30mm × 10.30mm
ISO7241C-Q1			
ISO7242C-Q1			

- (1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



V_{CCI} および $GNDI$ は、それぞれ入力チャネルの電源およびグランド接続です。
 V_{CCO} および $GNDO$ は、それぞれ出力チャネルの電源およびグランド接続です。

概略回路図

目次

1 特長	1	5.17 絶縁特性曲線.....	14
2 アプリケーション	1	5.18 代表的特性.....	15
3 概要	1	6 パラメータ測定情報	17
4 ピン構成および機能	4	7 詳細説明	20
5 仕様	6	7.1 概要.....	20
5.1 絶対最大定格.....	6	7.2 機能ブロック図.....	20
5.2 ESD 定格.....	6	7.3 機能説明.....	21
5.3 推奨動作条件.....	6	7.4 デバイスの機能モード.....	21
5.4 熱特性.....	6	8 アプリケーションと実装	22
5.5 電力定格.....	7	8.1 アプリケーション情報.....	22
5.6 安全関連認証.....	7	8.2 代表的なアプリケーション.....	22
5.7 安全限界値.....	7	8.3 電源に関する推奨事項.....	26
5.8 絶縁仕様.....	7	8.4 レイアウト.....	26
5.9 電気的特性:5V 動作時の V_{CC1} と V_{CC2}	8	9 デバイスおよびドキュメントのサポート	28
5.10 電気的特性:3.3V 動作時の V_{CC1} と V_{CC2}	9	9.1 ドキュメントのサポート.....	28
5.11 電気的特性:3.3V 動作時の V_{CC1} 、5V 動作時の V_{CC2}	10	9.2 ドキュメントの更新通知を受け取る方法.....	28
5.12 電気的特性:5V 動作時の V_{CC1} 、3.3V 動作時の V_{CC2}	11	9.3 サポート・リソース.....	28
5.13 スイッチング特性: 3.3V 動作時の V_{CC1} と V_{CC2}	12	9.4 商標.....	28
5.14 スイッチング特性:5V 動作時の V_{CC1} と V_{CC2}	12	9.5 静電気放電に関する注意事項.....	28
5.15 スイッチング特性: 3.3V 動作時の V_{CC1} 、5V 動作時の V_{CC2}	13	9.6 用語集.....	28
5.16 スイッチング特性: 5V 動作時の V_{CC1} 、3.3V 動作時の V_{CC2}	13	10 改訂履歴	28
		11 メカニカル、パッケージ、および注文情報	29

4 ピン構成および機能

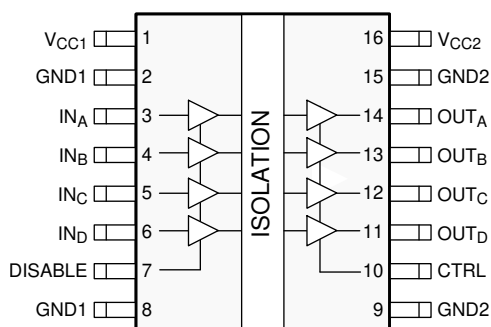


図 4-1. ISO7240CF-Q1 DW パッケージ 16 ピン SOIC 上面図

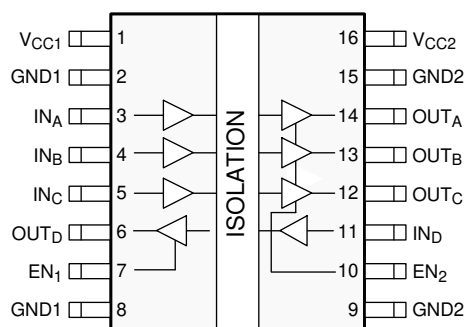


図 4-2. ISO7241C-Q1 DW パッケージ 16 ピン SOIC 上面図

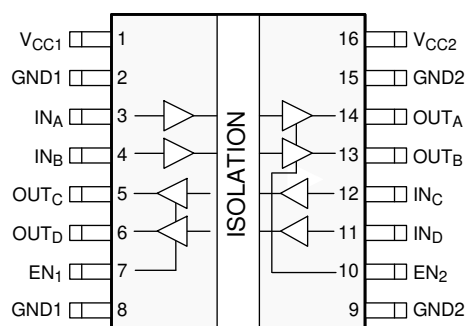


図 4-3. ISO7242C-Q1 DW パッケージ 16 ピン SOIC 上面図

表 4-1. ピンの機能

名称	ピン			種類 ⁽¹⁾	説明
	ISO7240CF-Q1	ISO7241C-Q1	ISO7242C-Q1		
CTRL	10	—	—	I	フェイルセーフ出力制御。ディセーブルが High のとき、または V _{CC1} がパワーダウンしたとき、出力状態は CTRL ピンによって決定されます。CTRL が High またはオープン のとき出力は High、CTRL が Low のときは Low になります。
無効化	7	—	—	I	入力ディセーブル。ディセーブルが High のときは、すべての入力ピンがディセーブルになり、ディセーブルが Low またはオープン のときはイネーブルになります。
EN	—	—	—	I	出力有効。すべての出力ピンは、EN が High またはオープン のときにイネーブルになり、EN が Low のときはディセーブルになります。
EN ₁	—	7	7	I	出力イネーブル 1。サイド 1 の出力ピンは、EN ₁ が High またはオープン のときにイネーブルになり、EN ₁ が Low のときはディセーブルになります。
EN ₂	—	10	10	I	出力イネーブル 2。サイド 2 の出力ピンは、EN ₂ が High またはオープン のときにイネーブルになり、EN ₂ が Low のときはディセーブルになります。
GND1	2, 8	2, 8	2, 8	—	V _{CC1} のグラウンド接続
GND2	9, 15	9, 15	9, 15	—	V _{CC2} のグラウンド接続
IN _A	3	3	3	I	入力、チャネル A
IN _B	4	4	4	I	入力、チャネル B
IN _C	5	5	12	I	入力、チャネル C
IN _D	6	11	11	I	入力、チャネル D
NC	—	—	—	—	無接続ピンは内部接続なしでフローティングになっています
OUT _A	14	14	14	O	出力、チャネル A
OUT _B	13	13	13	O	出力、チャネル B
OUT _C	12	12	5	O	出力、チャネル C
OUT _D	11	6	6	O	出力、チャネル D
V _{CC1}	1	1	1	—	電源、V _{CC1}

表 4-1. ピンの機能 (続き)

ピン				種類 ⁽¹⁾	説明
名称	ISO7240CF-Q1	ISO7241C-Q1	ISO7242C-Q1		
V _{CC2}	16	16	16	—	電源、V _{CC2}

(1) I = 入力、O = 出力

5 仕様

5.1 絶対最大定格

(1) を参照

		値	単位
V _{CC}	電源電圧 ⁽²⁾ , V _{CC1} , V _{CC2}	-0.5~6	V
V _I	IN、OUT、EN、ディスエーブル、CTRL の電圧	-0.5~6	V
ESD	静電放電	人体モデル	kV
		電界誘起荷電デバイス モデル	
T _J	最大接合部温度	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) 差動 I/O バス電圧を除くすべての電圧値は、ローカル グランド端子 (GND1 または GND2) を基準としており、ピーク電圧値です。

5.2 ESD 定格

		値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン ⁽¹⁾	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン ⁽²⁾	V

- (1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
- (2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.3 推奨動作条件

		最小値	標準値	最大値	単位
V _{CC}	電源電圧 ⁽²⁾ , V _{CC1} , V _{CC2}	3.15		5.5	V
I _{OH}	High レベル出力電流			4	mA
I _{OL}	Low レベル出力電流	-4			mA
t _{ui}	入力パルス幅	40			ns
1/t _{ui}	信号速度	0	30 ⁽¹⁾	25	Mbps
V _{IH}	High レベル入力電圧 (IN、ディスエーブル、CTRL、EN)	2		V _{CC}	V
V _{IL}	Low レベル入力電圧 (IN、DISABLE、CTRL、EN)	0		0.8	V
T _A	外気温度での動作時	-40		125	°C
H	IEC 61000-4-8 と IEC 61000-4-9 の各認証に準拠する外部磁界耐性			1000	A/m

- (1) 室温での代表値であり、適切にレギュレーションされた電源。
- (2) 5V 動作の場合、V_{CC1} または V_{CC2} は 4.5V ~ 5.5V の動作が規定されています。
3V 動作の場合、V_{CC1} または V_{CC2} は 3.15V ~ 3.6V の動作が規定されています。

5.4 熱特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
θ _{JA}	接合部と空気	Low-K の熱抵抗 ⁽¹⁾	168		°C/W
		High-K の熱抵抗	68.6		
θ _{JB}	接合部から基板への熱抵抗		33.5		°C/W
θ _{JC}	接合部からケースへの熱抵抗		33.9		°C/W

- (1) リード付き表面実装パッケージについて、EIA/JESD51-3 の Low-K または High-K の熱評価基準の定義に従ってテスト済みです。

5.5 電力定格

$V_{CC1} = V_{CC2} = 5.5V$, $T_J = 150^{\circ}C$, $C_L = 15pF$, 25Mbps 50% デューティ サイクルの方形波を入力

パラメータ		テスト条件	最小値	標準値	最大値	単位
P_D	デバイス消費電力、ISO724xC				220	mW

5.6 安全関連認証

VDE	CSA	UL
DIN EN IEC 60747-17 (VDE 0884-17) による認証	IEC 62368-1 による認証	UL 1577 部品認定プログラムによる認証
基本認証: 40047657	マスタ契約書番号: 220991	ファイル番号: E181974

5.7 安全限界値

安全限界値⁽¹⁾の目的は、入力または出力回路の故障による絶縁バリアの損傷の可能性を最小限に抑えることです。I/O 回路の故障により、グラウンドあるいは電源との抵抗が低くなることがあります。電流制限がないと、チップがオーバーヒートして絶縁バリアが破壊されるほどの大電力が消費され、ひいてはシステムの 2 次故障に到る可能性があります。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_S	安全入力、出力、または電源電流	$R_{\theta JA} = 212^{\circ}C/W$, $V_I = 5.5V$, $T_J = 170^{\circ}C$, $T_A = 25^{\circ}C$, 熱特性を参照			124	mA
		$R_{\theta JA} = 212^{\circ}C/W$, $V_I = 3.6V$, $T_J = 170^{\circ}C$, $T_A = 25^{\circ}C$, 熱特性を参照			190	
T_S	安全温度				150	$^{\circ}C$

- (1) 安全限界は、データシートで規定されている最大接合部温度です。接合部の温度は、アプリケーション ハードウェアに搭載されているデバイスの消費電力、および接合部から空気への熱抵抗により決定されます。表で前提とされている接合部から空気への熱抵抗は、リード付き表面実装パッケージ向けの High-K テスト基板に実装されたデバイスの数値です。電力は、推奨最大入力電圧と電流との積です。この場合の接合部温度は、接合部から空気への熱抵抗と電力との積に周囲温度を加えたものです。

5.8 絶縁仕様

パラメータ		テスト条件	値	単位
一般				
CLR	外部空間距離 ⁽¹⁾	空気を介した最短のピン間距離	4	mm
CPG	外部沿面距離 ⁽¹⁾	パッケージ表面に沿った最短のピン間距離	4	mm
DTI	絶縁物を介した距離	最小内部ギャップ (内部空間距離)	0.008	mm
CTI	比較トラッキング インデックス	DIN EN 60112 (VDE 0303-11)、IEC 60112	≥ 400	V
	材料グループ		II	
	過電圧カテゴリ	定格商用電源が 150V _{RMS} 以下	I-IV	
		定格商用電源が 300V _{RMS} 以下	I-III	
		定格商用電源が 400V _{RMS} 以下	I-II	
DIN EN IEC 60747-17 (VDE 0884-17) ⁽²⁾				
V _{IORM}	最大反復ピーク絶縁電圧	AC 電圧 (バイポーラ)	560	V _{PK}
V _{IOTM}	最大過渡絶縁電圧	V _{TEST} = V _{IOTM} 、t = 60s (認定)、 V _{TEST} = 1.2 x V _{IOTM} 、t = 1s (100% 出荷時)	4000	V _{PK}
q _{pd}	見掛けの電荷 ⁽³⁾	方法 a: I/O 安全テスト サブグループ 2/3 の後、 V _{ini} = V _{IOTM} 、t _{ini} = 60s、 V _{pd(m)} = 1.2 × V _{IORM} 、t _m = 10s	≤ 5	pC
		方法 a: 環境テスト サブグループ 1 の後、 V _{ini} = V _{IOTM} 、t _{ini} = 60s、 V _{pd(m)} = 1.3 × V _{IORM} 、t _m = 10s	≤ 5	
		メソッド b: ルーチン テスト (100% 出荷時)、 V _{ini} = 1.2 × V _{IOTM} 、t _{ini} = 1s、 V _{pd(m)} = 1.5 × V _{IORM} 、t _m = 1s (メソッド b1) または V _{pd(m)} = V _{ini} 、t _m = t _{ini} (メソッド b2)	≤ 5	

パラメータ		テスト条件	値	単位
C _{IO}	絶縁バリア容量、入力から出力へ ⁽⁴⁾	V _{IO} = 0.4 sin (2πft), f = 1MHz	1	pF
R _{IO}	絶縁抵抗、入力から出力へ ⁽⁴⁾	V _{IO} = 500V, T _A = 25°C	>10 ¹²	Ω
		V _{IO} = 500V (100°C ≤ T _A ≤ 125°C時)	>10 ¹¹	
		V _{IO} = 500V (T _S = 150°C時)	>10 ⁹	
	汚染度		2	
	耐候性カテゴリ		40/125/21	
UL 1577				
V _{ISO}	絶縁耐圧	V _{TEST} = V _{ISO} = 2500V _{RMS} , t = 60s (認定)、 V _{TEST} = 1.2 × V _{ISO} = 3000V _{RMS} , t = 1s (100% 出荷時)	2500	V _{RMS}

- (1) 沿面距離および空間距離の要件は、アプリケーション個別の機器絶縁規格に従って適用する必要があります。沿面距離および空間距離を維持するために、プリント基板上でインレータの取り付けパッドによってこの距離が短くならないように注意して基板を設計する必要があります。場合によっては、プリント基板上の沿面距離と空間距離が等しくなります。プリント基板上にグループやリブを設けるなどの技法を使用して、これらの仕様値を大きくすることができます。
- (2) この絶縁素子は、最大動作定格内に限定した基本的な電氣的絶縁に適しています。安全定格への準拠は、適切な保護回路によって保証する必要があります。
- (3) 見掛けの放電電荷とは、部分放電 (pd) により発生する放電です。
- (4) 絶縁バリアのそれぞれの側にあるすべてのピンを互いに接続して、2 端子のデバイスを構成します。

5.9 電氣的特性：5V 動作時の V_{CC1} と V_{CC2}

、推奨動作条件範囲内 (特に記述のない限り)⁽¹⁾

パラメータ			テスト条件	最小値	標準値	最大値	単位
電源電流							
I _{CC1}	ISO7240CF	静止時	V _I = V _{CC} または 0V、すべてのチャネル、無負荷、3V 動作時の EN ₂	1	3	mA	
		25Mbps		7	10.5		
	ISO7241C	静止時	V _I = V _{CC} または 0V、すべてのチャネル、無負荷、3V 動作時の EN ₁ 、3V 動作時の EN ₂	6.5	11	mA	
		25Mbps		12	18		
	ISO7242C	静止時	V _I = V _{CC} または 0V、すべてのチャネル、無負荷、3V 動作時の EN ₁ 、3V 動作時の EN ₂	10	16	mA	
		25Mbps		15	24		
I _{CC2}	ISO7240CF	静止時	V _I = V _{CC} または 0V、すべてのチャネル、無負荷、3V 動作時の EN ₂	15	22	mA	
		25Mbps		17	25		
	ISO7241C	静止時	V _I = V _{CC} または 0V、すべてのチャネル、無負荷、3V 動作時の EN ₁ 、3V 動作時の EN ₂	13	20	mA	
		25Mbps		18	28		
	ISO7242C	静止時	V _I = V _{CC} または 0V、すべてのチャネル、無負荷、3V 動作時の EN ₁ 、3V 動作時の EN ₂	10	16	mA	
		25Mbps		15	24		
電気的特性							
I _{OFF}	スリープ モード出力電流		0V で EN、シングル チャネル	0		μA	
V _{OH}	High レベル出力電圧		I _{OH} = -4mA	V _{CC} - 0.8		V	
			I _{OH} = -20μA	V _{CC} - 0.1			
V _{OL}	Low レベル出力電圧		I _{OL} = 4mA	0.4		V	
			I _{OL} = 20μA	0.1			
V _{I(HYS)}	入力電圧ヒステリシス			150		mV	
I _{IH}	High レベル入力電流		0V ~ V _{CC} からの IN	10		μA	
I _{IL}	Low レベル入力電流			-10			
C _I	グランドの入力容量		V _{CC} での IN、V _I = 0.4 sin (2πft)、f=2MHz	2		pF	
CMTI	同相過渡耐性		V _I = V _{CC} または 0V: 図 6-5	25	50	kV/μs	

- (1) 5V 動作の場合、V_{CC1} または V_{CC2} は 4.5V ~ 5.5V の動作が規定されています。
3V 動作の場合、V_{CC1} または V_{CC2} は 3.15V ~ 3.6V の動作が規定されています。

5.10 電気的特性 : 3.3V 動作時の V_{CC1} と V_{CC2}

推奨動作条件範囲内 (特に記述のない限り)⁽¹⁾

パラメータ			テスト条件	最小値	標準値	最大値	単位
電源電流							
I _{CC1}	ISO7240CF	静止時	V _I = V _{CC} または 0V、すべてのチャネル、無負荷、 3V 動作時の EN ₂	0.5	1.2	mA	
		25Mbps		3	5		
	ISO7241C	静止時	V _I = V _{CC} または 0V、すべてのチャネル、無負荷、 3V 動作時の EN ₁ 、3V 動作時の EN ₂	4	7	mA	
		25Mbps		6.5	11		
	ISO7242C	静止時	V _I = V _{CC} または 0V、すべてのチャネル、無負荷、 3V 動作時の EN ₁ 、3V 動作時の EN ₂	6	10	mA	
		25Mbps		9	14		
I _{CC2}	ISO7240CF	静止時	V _I = V _{CC} または 0V、すべてのチャネル、無負荷、 3V 動作時の EN ₂	9.5	15	mA	
		25Mbps		10.5	17		
	ISO7241C	静止時	V _I = V _{CC} または 0V、すべてのチャネル、無負荷、 3V 動作時の EN ₁ 、3V 動作時の EN ₂	8	13	mA	
		25Mbps		11.5	18		
	ISO7242C	静止時	V _I = V _{CC} または 0V、すべてのチャネル、無負荷、 3V 動作時の EN ₁ 、3V 動作時の EN ₂	6	10	mA	
		25Mbps		9	14		
電気的特性							
I _{OFF}	スリープ モード出力電流		0V で EN、シングル チャネル	0		μA	
V _{OH}	High レベル出力電圧		I _{OH} = -4mA	V _{CC} - 0.4		V	
			I _{OH} = -20μA	V _{CC} - 0.1			
V _{OL}	Low レベル出力電圧		I _{OL} = 4mA	0.4		V	
			I _{OL} = 20μA	0.1			
V _{I(HYS)}	入力電圧ヒステリシス			150		mV	
I _{IH}	High レベル入力電流		0V または V _{CC} からの IN	10		μA	
I _{IL}	Low レベル入力電流			-10			
C _I	グランドの入力容量		V _{CC} での IN、V _I = 0.4 sin (2πft)、f=2MHz	2		pF	
CMTI	同相過渡耐性		V _I = V _{CC} または 0V: 図 6-5	25	50	kV/μs	

- (1) 5V 動作の場合、 V_{CC1} または V_{CC2} は 4.5V ~ 5.5V の動作が規定されています。
3V 動作の場合、 V_{CC1} または V_{CC2} は 3.15V ~ 3.6V の動作が規定されています。

5.11 電気的特性：3.3V 動作時の V_{CC1} 、5V 動作時の V_{CC2}

推奨動作条件範囲内 (特に記述のない限り)⁽¹⁾

パラメータ			テスト条件		最小値	標準値	最大値	単位
電源電流								
I _{CC1}	ISO7240CF	静止時	V _I = V _{CC} または 0V、すべてのチャネル、無負荷、3V 動作時の EN ₂		0.5	1.2	mA	
		25Mbps			3	5		
	ISO7241C	静止時	V _I = V _{CC} または 0V、すべてのチャネル、無負荷、3V 動作時の EN ₁ 、3V 動作時の EN ₂		4	7	mA	
		25Mbps			6.5	11		
	ISO7242C	静止時	V _I = V _{CC} または 0V、すべてのチャネル、無負荷、3V 動作時の EN ₁ 、3V 動作時の EN ₂		6	10	mA	
		25Mbps			9	14		
I _{CC2}	ISO7240CF	静止時	V _I = V _{CC} または 0V、すべてのチャネル、無負荷、3V 動作時の EN ₂		15	22	mA	
		25Mbps			17	25		
	ISO7241C	静止時	V _I = V _{CC} または 0V、すべてのチャネル、無負荷、3V 動作時の EN ₁ 、3V 動作時の EN ₂		13	20	mA	
		25Mbps			18	28		
	ISO7242C	静止時	V _I = V _{CC} または 0V、すべてのチャネル、無負荷、3V 動作時の EN ₁ 、3V 動作時の EN ₂		10	16	mA	
		25Mbps			15	24		
電気的特性								
I _{OFF}	スリープ モード出力電流		0V で EN、シングル チャネル		0		μA	
V _{OH}	High レベル出力電圧	I _{OH} = -4mA		ISO7240	V _{CC} - 0.4		V	
				ISO724x (5V 側)	V _{CC} - 0.8			
		I _{OH} = -20μA		V _{CC} - 0.1				
V _{OL}	Low レベル出力電圧	I _{OL} = 4mA				0.4	V	
		I _{OL} = 20μA				0.1		
V _{I(HYS)}	入力電圧ヒステリシス				150		mV	
I _{IH}	High レベル入力電流		0V ~ V _{CC} からの IN		10		μA	
I _{IL}	Low レベル入力電流				-10			
C _I	グランドの入力容量		VCC での IN、VI = 0.4 sin (2πft)、f=2MHz		2		pF	
CMTI	同相過渡耐性		V _I = V _{CC} または 0V: 図 6-5		25	50	kV/μs	

- (1) 5V 動作の場合、 V_{CC1} または V_{CC2} は 4.5V ~ 5.5V の動作が規定されています。
 3V 動作の場合、 V_{CC1} または V_{CC2} は 3.15V ~ 3.6V の動作が規定されています。

5.12 電気的特性：5V 動作時の V_{CC1} 、3.3V 動作時の V_{CC2}

推奨動作条件範囲内 (特に記述のない限り)⁽¹⁾

パラメータ			テスト条件		最小値	標準値	最大値	単位
電源電流								
I _{CC1}	ISO7240CF	静止時	V _I = V _{CC} または 0V、すべてのチャネル、無負荷、3V 動作時の EN ₂			1	3	mA
		25Mbps				7	10.5	
	ISO7241C	静止時	V _I = V _{CC} または 0V、すべてのチャネル、無負荷、3V 動作時の EN ₁ 、3V 動作時の EN ₂			6.5	11	mA
		25Mbps				12	18	
	ISO7242C	静止時	V _I = V _{CC} または 0V、すべてのチャネル、無負荷、3V 動作時の EN ₁ 、3V 動作時の EN ₂			10	16	mA
		25Mbps				15	24	
I _{CC2}	ISO7240CF	静止時	V _I = V _{CC} または 0V、すべてのチャネル、無負荷、3V 動作時の EN ₂			9.5	15	mA
		25Mbps				10.5	17	
	ISO7241C	静止時	V _I = V _{CC} または 0V、すべてのチャネル、無負荷、3V 動作時の EN ₁ 、3V 動作時の EN ₂			8	13	mA
		25Mbps				11.5	18	
	ISO7242C	静止時	V _I = V _{CC} または 0V、すべてのチャネル、無負荷、3V 動作時の EN ₁ 、3V 動作時の EN ₂			6	10	mA
		25Mbps				9	14	
電気的特性								
I _{OFF}	スリープ モード出力電流		0V で EN、シングル チャネル			0		μA
V _{OH}	High レベル出力電圧		I _{OH} = -4mA	ISO7240	V _{CC} - 0.4		V	
			I _{OH} = -20μA	ISO724x (5V 側)	V _{CC} - 0.8			
						V _{CC} - 0.1		
V _{OL}	Low レベル出力電圧		I _{OL} = 4mA			0.4	V	
			I _{OL} = 20μA		0.1			
V _{I(HYS)}	入力電圧ヒステリシス					150	mV	
I _{IH}	High レベル入力電流		0V ~ V _{CC} からの IN			10		μA
I _{IL}	Low レベル入力電流					-10		
C _I	グランドの入力容量		V _{CC} での IN、V _I = 0.4 sin (2πft)、f=2MHz			2	pF	
CMTI	同相過渡耐性		V _I = V _{CC} または 0V: 図 6-5			25	50	kV/μs

- (1) 5V 動作の場合、 V_{CC1} または V_{CC2} は 4.5V ~ 5.5V の動作が規定されています。
3V 動作の場合、 V_{CC1} または V_{CC2} は 3.15V ~ 3.6V の動作が規定されています。

5.13 スイッチング特性: 3.3V 動作時の V_{CC1} と V_{CC2}

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小 値	標準 値	最大 値	単位
t_{PLH} , t_{PHL}	伝搬遅延	図 6-1 を参照	25		56	ns
PWD	パルス幅歪み $ t_{PHL} - t_{PLH} ^{(1)}$				4	
$t_{sk(pp)}$	部品間スキュー ⁽²⁾				10	ns
$t_{sk(o)}$	チャンネル間の出力スキュー ⁽³⁾	ISO7240C、ISO7241C			3.5	ns
		ISO7242C			4	
t_r	出力信号の立ち上がり時間	図 6-1 を参照		2		ns
t_f	出力信号の立ち下がり時間			2		ns
t_{PHZ}	伝搬遅延、High レベルからハイ インピーダンス出力まで	図 6-2 を参照		15	25	ns
t_{PZH}	伝搬遅延、ハイ インピーダンスから High レベル出力まで			15	25	
t_{PLZ}	伝搬遅延、Low レベルからハイ インピーダンス出力まで			15	25	
t_{PZL}	伝搬遅延、ハイ インピーダンスから Low レベル出力まで			15	25	
t_{fs}	入力電源喪失からフェイルセーフ出力までの遅延時間	図 6-3 を参照		18		μ s
t_{wake}	入力ディセーブルからのウェーク時間	図 6-4 を参照		15		μ s

- (1) パルス スキューとも呼ばれます。
(2) $t_{sk(pp)}$ は、2 つのデバイスが同じ電源電圧、同じ温度で動作し、パッケージとテスト回路が同一である場合の、両方のデバイスの指定された任意の端子間の伝搬遅延時間の時差です。
(3) $t_{sk(o)}$ は、1 つのデバイスについて、すべての駆動入力を相互に接続し、同方向に出力をスイッチングし、同じ負荷を駆動するときの複数の特定出力間のスキューです。

5.14 スイッチング特性 : 5V 動作時の V_{CC1} と V_{CC2}

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小 値	標準 値	最大 値	単位
t_{PLH} , t_{PHL}	伝搬遅延	図 6-1 を参照	18		45	ns
PWD	パルス幅歪み ⁽¹⁾ $ t_{PHL} - t_{PLH} $				5	
$t_{sk(pp)}$	部品間スキュー ⁽²⁾				8	ns
$t_{sk(o)}$	チャンネル間の出力スキュー ⁽³⁾	ISO7240C、ISO7241C			3	ns
		ISO7242C			4	
t_r	出力信号の立ち上がり時間	図 6-1 を参照		2.4		ns
t_f	出力信号の立ち下がり時間			2.3		
t_{PHZ}	伝搬遅延、High レベルからハイ インピーダンス出力まで	図 6-2 を参照		15	25	ns
t_{PZH}	伝搬遅延、ハイ インピーダンスから High レベル出力まで			15	25	
t_{PLZ}	伝搬遅延、Low レベルからハイ インピーダンス出力まで			15	25	
t_{PZL}	伝搬遅延、ハイ インピーダンスから Low レベル出力まで			15	25	
t_{fs}	入力電源喪失からフェイルセーフ出力までの遅延時間	図 6-3 を参照		12		μ s
t_{wake}	入力ディセーブルからのウェーク時間	図 6-4 を参照		15		μ s

- (1) パルス スキューとも呼ばれます。
(2) $t_{sk(pp)}$ は、2 つのデバイスが同じ電源電圧、同じ温度で動作し、パッケージとテスト回路が同一である場合の、両方のデバイスの指定された任意の端子間の伝搬遅延時間の時差です。
(3) $t_{sk(o)}$ は、1 つのデバイスについて、すべての駆動入力を相互に接続し、同方向に出力をスイッチングし、同じ負荷を駆動するときの複数の特定出力間のスキューです。

5.15 スイッチング特性: 3.3V 動作時の V_{CC1} 、5V 動作時の V_{CC2}

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
t_{PLH} 、 t_{PHL}	伝搬遅延	図 6-1 を参照		20		51	ns
PWD	パルス幅歪み ⁽¹⁾ $ t_{PHL} - t_{PLH} $	図 6-1 を参照	ISO7240C、 ISO7241C			3	
			ISO7242C			4	
$t_{sk(pp)}$	部品間スキュー ⁽²⁾					10	ns
$t_{sk(o)}$	チャネル間の出力スキュー ⁽³⁾	ISO7240C、ISO7241C				3	ns
		ISO7242C				4	
t_r	出力信号の立ち上がり時間	図 6-1 を参照			2.4		ns
t_f	出力信号の立ち下がり時間				2.3		
t_{PHZ}	伝搬遅延、High レベルからハイ インピーダンス出力まで	図 6-2 を参照			15	25	ns
t_{PZH}	伝搬遅延、ハイ インピーダンスから High レベル出力まで				15	25	
t_{PLZ}	伝搬遅延、Low レベルからハイ インピーダンス出力まで				15	25	
t_{PZL}	伝搬遅延、ハイ インピーダンスから Low レベル出力まで				15	25	
t_{fs}	入力電源喪失からフェイルセーフ出力までの遅延時間	図 6-3 を参照			12		μs
t_{wake}	入力ディセーブルからのウェーク時間	図 6-4 を参照			15		μs

(1) 別名 パルス スキュー

(2) $t_{sk(pp)}$ は、2 つのデバイスが同じ電源電圧、同じ温度で動作し、パッケージとテスト回路が同一である場合の、両方のデバイスの指定された任意の端子間の伝搬遅延時間の時差です。

(3) $t_{sk(o)}$ は、1 つのデバイスについて、すべての駆動入力を相互に接続し、同方向に出力をスイッチングし、同じ負荷を駆動するときの複数の特定出力間のスキューです。

5.16 スイッチング特性: 5V 動作時の V_{CC1} 、3.3V 動作時の V_{CC2}

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
t_{PLH} 、 t_{PHL}	伝搬遅延	図 6-1 を参照		20		50	ns
PWD ⁽¹⁾	図 6-1 を参照	ISO7240C、ISO7241C				3	
		ISO7242C				4	
PWD	図 6-1 を参照					3	ns
$t_{sk(pp)}$	部品間スキュー ⁽²⁾					10	ns
t_r	出力信号の立ち上がり時間	図 6-1 を参照			2.4		ns
t_f	出力信号の立ち下がり時間				2.3		
t_{PHZ}	伝搬遅延、High レベルからハイ インピーダンス出力まで	図 6-2 を参照			15	25	ns
t_{PZH}	伝搬遅延、ハイ インピーダンスから High レベル出力まで				15	25	
t_{PLZ}	伝搬遅延、Low レベルからハイ インピーダンス出力まで				15	25	
t_{PZL}	伝搬遅延、ハイ インピーダンスから Low レベル出力まで				15	25	
t_{fs}	入力電源喪失からフェイルセーフ出力までの遅延時間	図 6-3 を参照			18		μs

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{wake}	入力ディセーブルからのウェーク時間	図 6-4 を参照		15		μs

- (1) 別名パルス スキュー
- (2) $t_{sk(pp)}$ は、2 つのデバイスが同じ電源電圧、同じ温度で動作し、パッケージとテスト回路が同一である場合の、両方のデバイスの指定された任意の端子間の伝搬遅延時間の時差です。

5.17 絶縁特性曲線

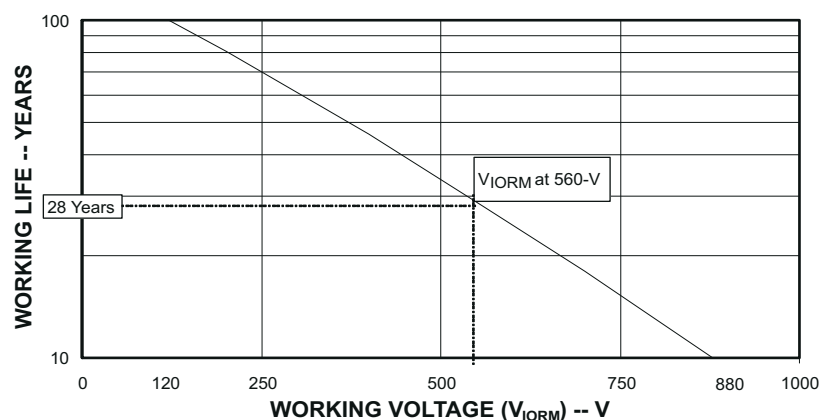


図 5-1. 時間依存型絶縁破壊試験の結果

5.18 代表的特性

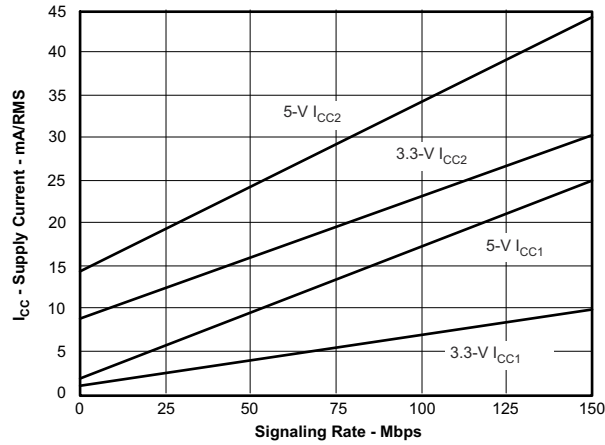


図 5-2. ISO7240C RMS 電源電流と信号速度との関係

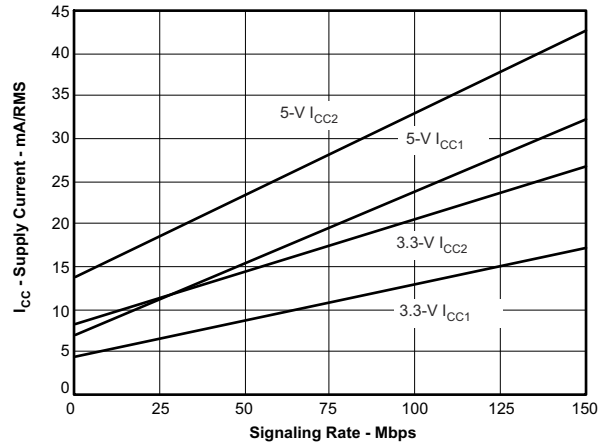


図 5-3. ISO7241C RMS 電源電流と信号速度との関係

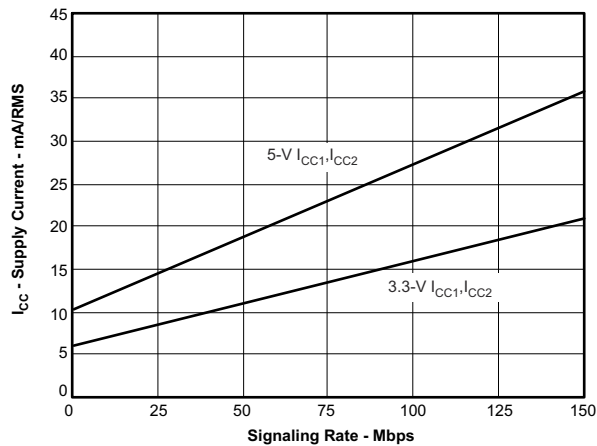


図 5-4. ISO7242C RMS 電源電流と信号速度との関係

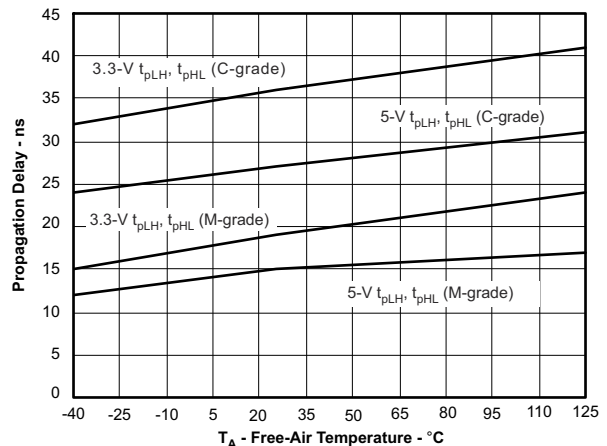


図 5-5. 伝搬遅延と自由気流温度との関係

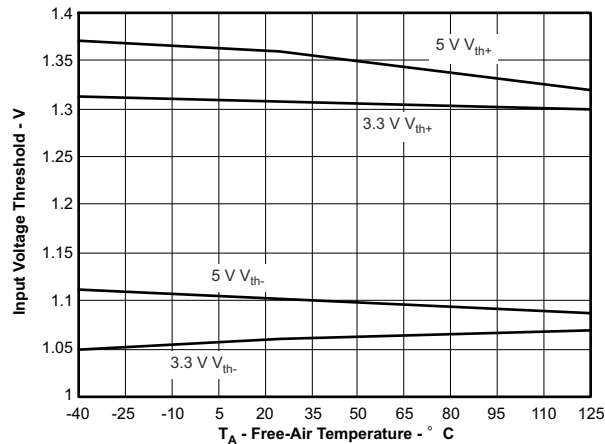


図 5-6. 入力電圧スレッシュホールドと自由気流温度との関係

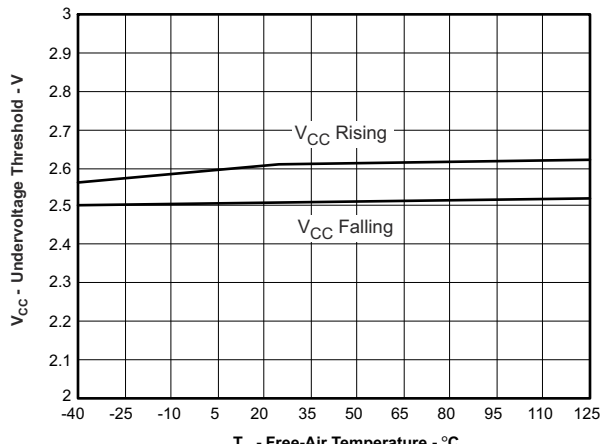


図 5-7. V_{CC1} フェイルセーフ スレッシュホールドと自由気流温度との関係

5.18 代表的特性 (続き)

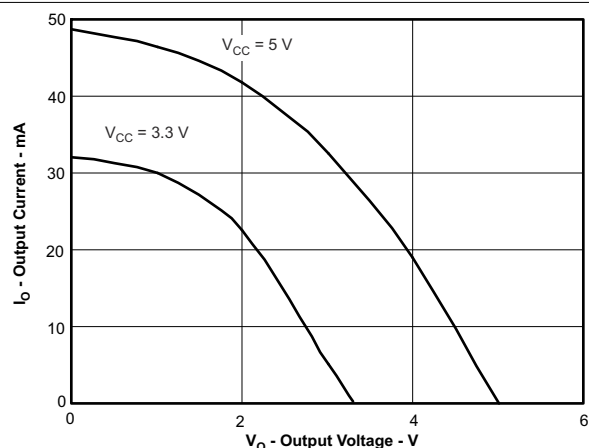


図 5-8. High レベル出力電流と High レベル出力電圧との関係

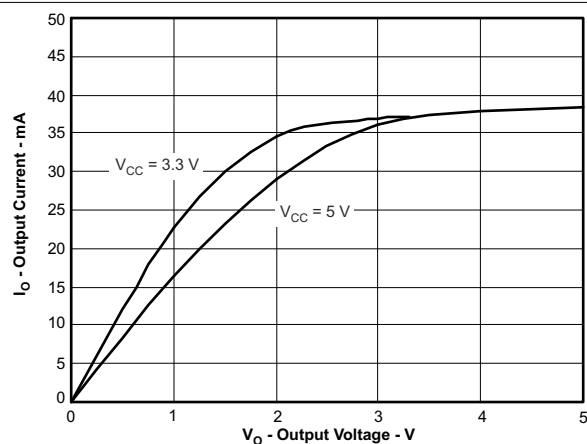
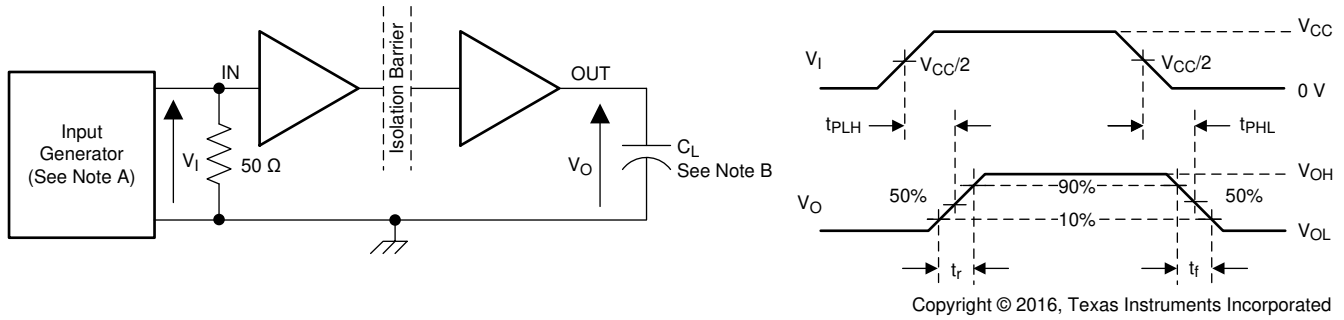


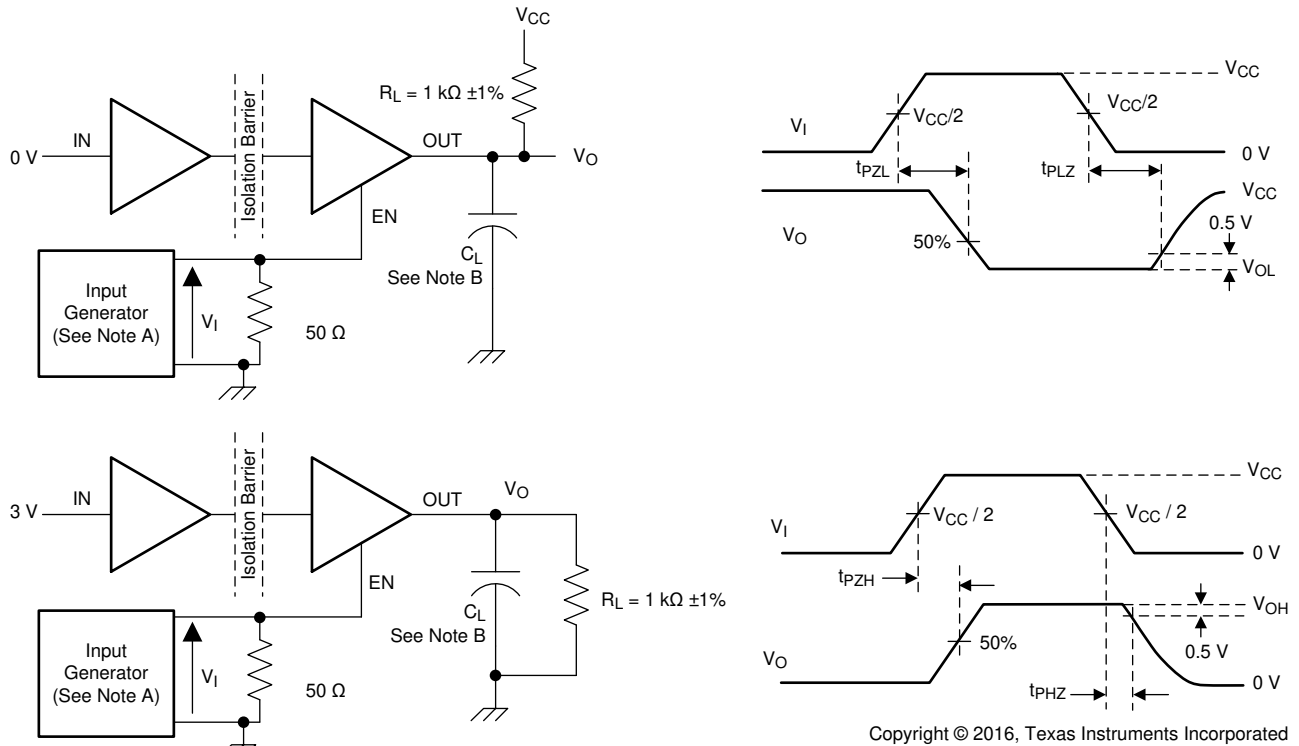
図 5-9. Low レベル出力電流と Low レベル出力電圧との関係

6 パラメータ測定情報



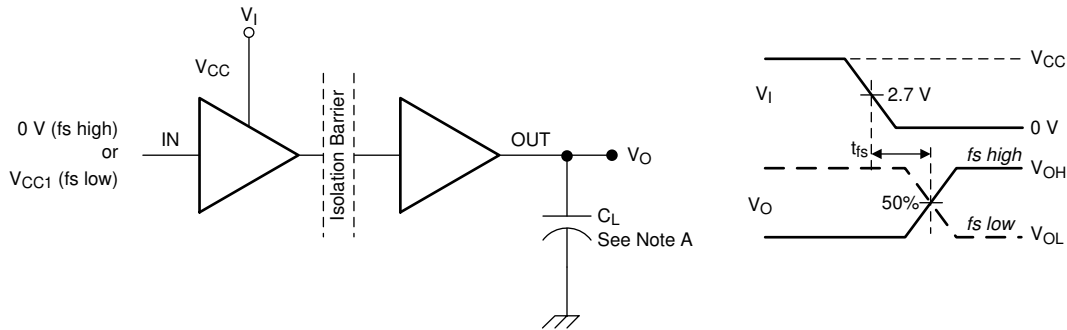
- A. 入力パルスは、以下の特性を持つジェネレータから供給されます。PRR ≤ 50kHz、50% デューティ サイクル、 $t_r \leq 3\text{ns}$ 、 $t_f \leq 3\text{ns}$ 、 $Z_O = 50\Omega$ 。
B. $C_L = 15\text{pF}$ であり、±20% 以内の計測器および治具の容量が含まれています。

図 6-1. スイッチング特性試験回路と電圧波形



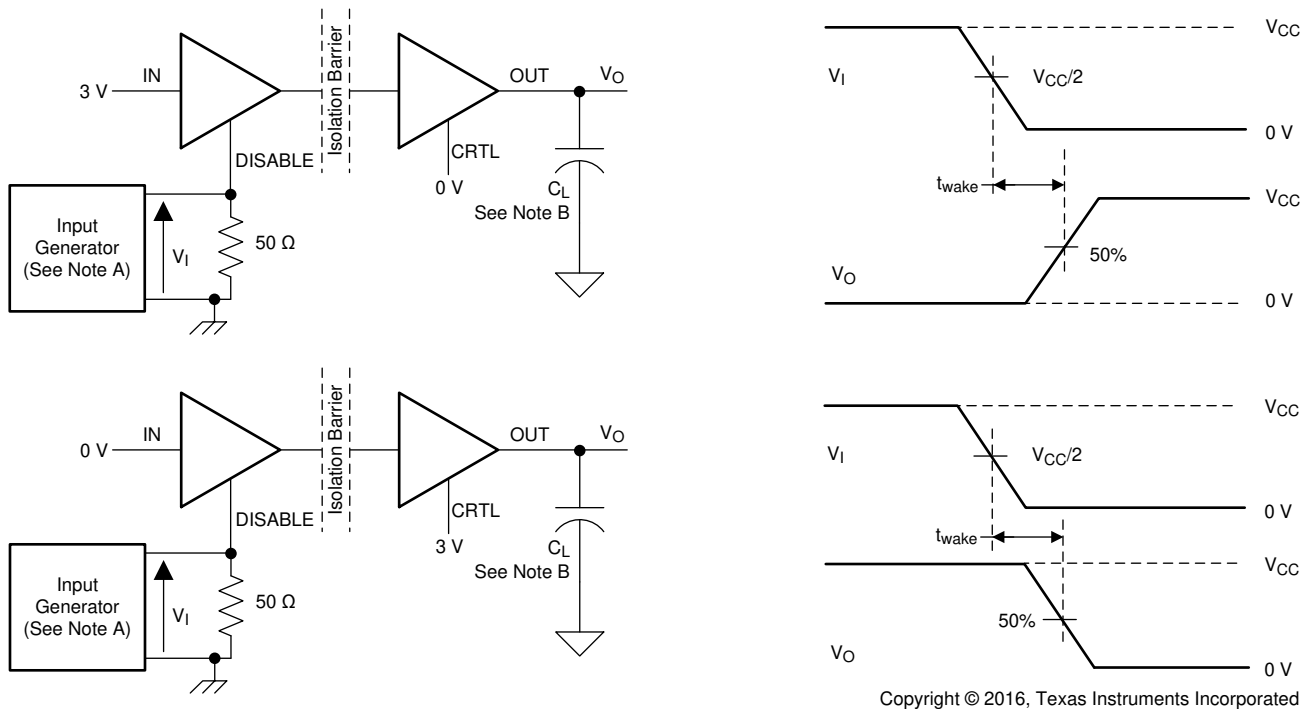
- A. 入力パルスは、以下の特性を持つジェネレータから供給されます。PRR ≤ 50kHz、50% デューティ サイクル、 $t_r \leq 3\text{ns}$ 、 $t_f \leq 3\text{ns}$ 、 $Z_O = 50\Omega$ 。
B. $C_L = 15\text{pF}$ であり、±20% 以内の計測器および治具の容量が含まれています。

図 6-2. イネーブルまたはディセーブル伝搬 - 遅延時間のテスト回路と波形



A. $C_L = 15\text{pF}$ であり、 $\pm 20\%$ 以内の計測器および治具の容量が含まれています。

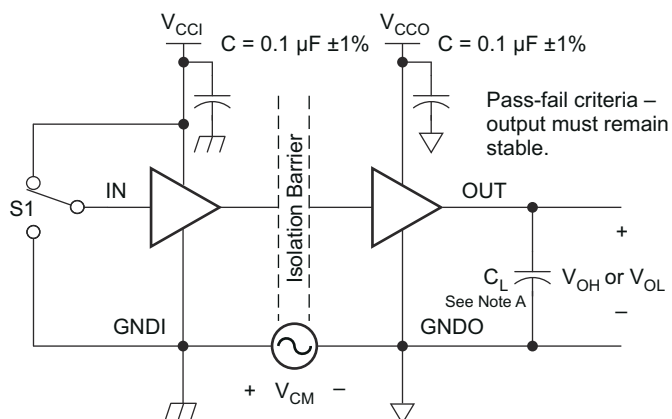
図 6-3. フェイルセーフ遅延時間テスト回路と電圧波形



このデータシートでは、最長時間を生成するテストを使用します。

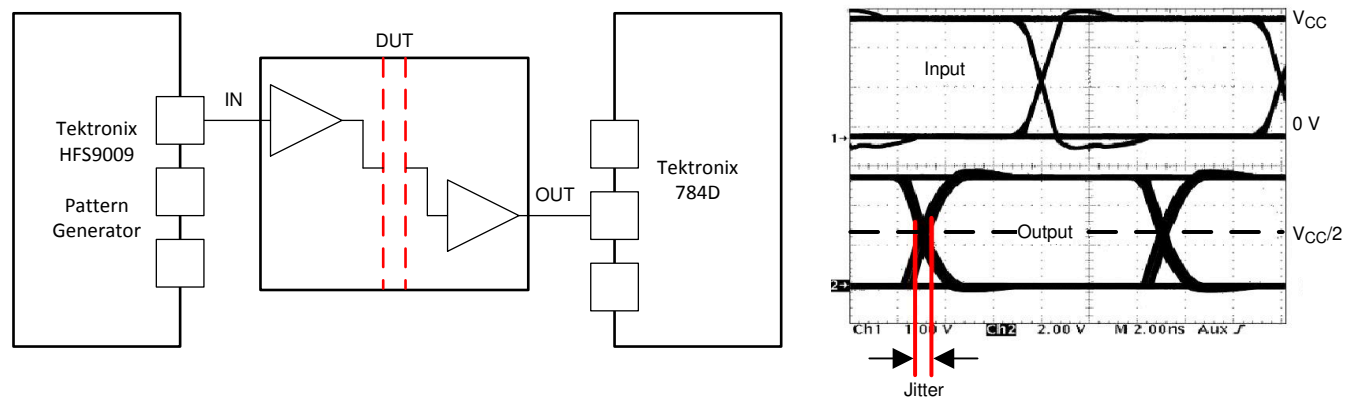
- A. 入力パルスは、以下の特性を持つジェネレータから供給されます。PRR $\leq 50\text{kHz}$ 、50% デューティ サイクル、 $t_r \leq 3\text{ns}$ 、 $t_f \leq 3\text{ns}$ 、 $Z_O = 50\Omega$ 。
- B. $C_L = 15\text{pF}$ であり、 $\pm 20\%$ 以内の計測器および治具の容量が含まれています。

図 6-4. 入力ディセーブル テスト回路からのウェーク時間と電圧波形



- A. $C_L = 15\text{pF}$ であり、 $\pm 20\%$ 以内の計測器および治具の容量が含まれています。
- B. 入力パルスは、以下の特性を持つジェネレータから供給されます。PRR $\leq 50\text{kHz}$ 、50% デューティ サイクル、 $t_r \leq 3\text{ns}$ 、 $t_f \leq 3\text{ns}$ 、 $Z_O = 50\Omega$ 。

図 6-5. 同相過渡耐性試験回路と電圧波形



Copyright © 2016, Texas Instruments Incorporated

PRBS ビットのパターンの実行長は $2^{16} - 1$ です。遷移時間は 800ps です。NRZ データ入力には、連続する 1 または 0 が 5 つまで含まれます。

図 6-6. ピーク ツー ピーク アイパターン ジッタ テスト回路と電圧波形

7 詳細説明

7.1 概要

ISO724x-Q1 ファミリのデバイスは、二酸化ケイ素をベースとする絶縁バリアを介してデジタル データを送信します。デバイスのデジタル入力信号 (IN) はトランスミッタによってサンプリングされ、すべてのデータ エッジで、トランスミッタは絶縁バリア越しに対応する差動信号を送信します。入力信号が静的である場合、リフレッシュ ロジックは定期的にトランスミッタから必要な差動信号を送信します。絶縁バリアの反対側では、レシーバが差動信号をシングルエンド信号に変換し、バッファを介して OUT ピンに出力します。レシーバがデータまたはリフレッシュ信号を受信しない場合、タイムアウト ロジックが入力側から信号または電力が失われたことを検出し、出力をデフォルトレベルに駆動します。

7.2 機能ブロック図

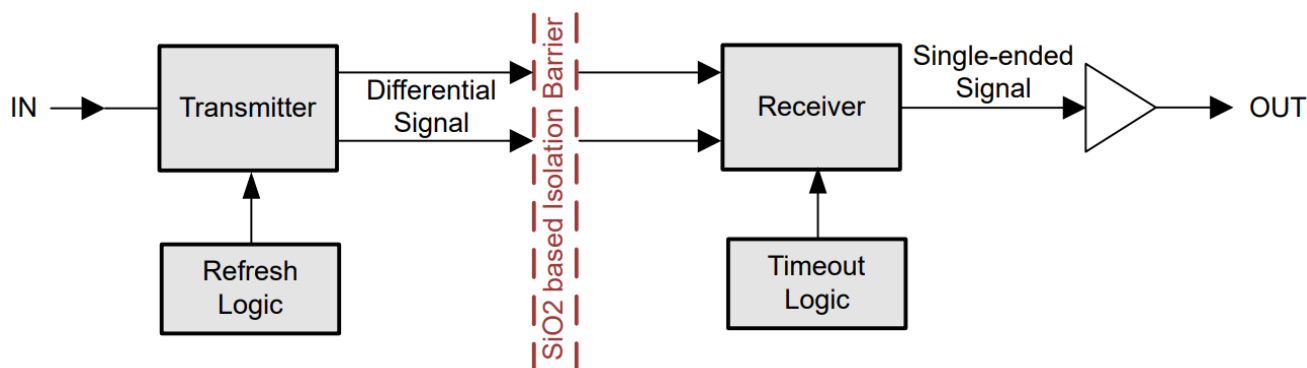


図 7-1. デジタル アイソレータの概念ブロック図

7.3 機能説明

ISO724x-Q1 ファミリのデバイスは、複数のチャネル構成とデフォルトの出力状態オプションで利用でき、幅広いアプリケーション用途に使用できます。表 7-1 は、これらのデバイス機能の一覧を示します。

表 7-1. デバイスの機能

製品 ⁽¹⁾	信号速度	入力スレッショルド	チャネル構成
ISO7240CF	25Mbps	≒1.5V (TTL)	4/0
ISO7241C	25Mbps	≒1.5V (TTL)	3/1
ISO7242C	25Mbps	≒1.5V (TTL)	2/2

(1) 最新の製品、パッケージ、および注文情報については、セクション 11 セクション、または TI の Web サイト、www.ti.com をご覧ください。

7.4 デバイスの機能モード

ISO724x-Q1 の機能モードのリスト。

表 7-2. デバイス機能表 ISO724x-Q1

入力 V _{CC}	出力 V _{CC}	入力 (IN)	出力イネーブル (EN)	出力 (OUT)
PU	PU	H	H またはオープン	H
		L	H またはオープン	L
		X	L	Z
		オープン	H またはオープン	H
PD	PU	X	H またはオープン	H
PD	PU	X	L	Z
X	PD	X	X	不定

7.4.1 デバイス I/O 回路図

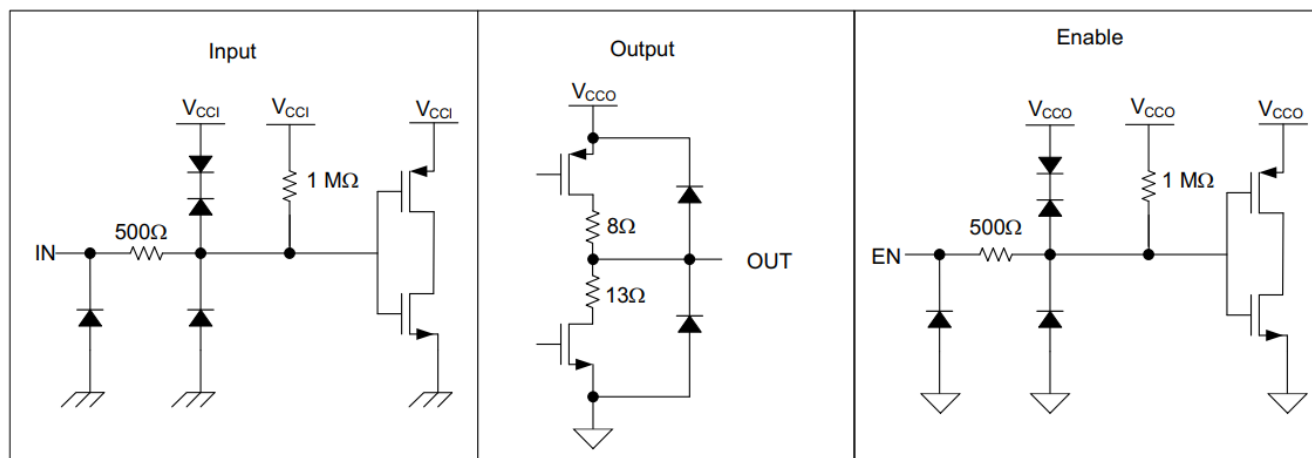


図 7-2. デバイス I/O 回路図

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

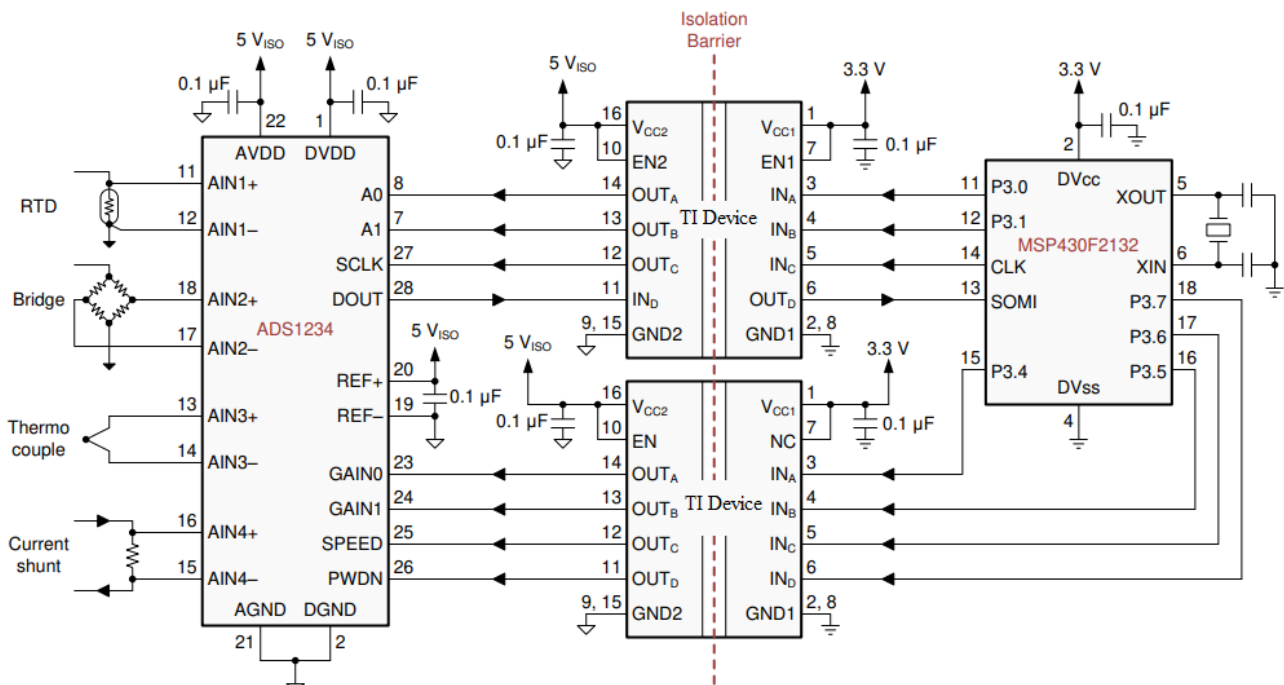
8.1 アプリケーション情報

ISO724x-Q1 デバイス ファミリーは、シングルエンド TTL または CMOS ロジック スイッチング テクノロジーを使用しています。電源電圧の範囲は、 V_{CC1} と V_{CC2} の両方の電源で 3.15V～5.5V です。デジタル アイスレータを使って設計する場合は、シングルエンド設計構造のため、デジタル アイスレータが特定のインターフェイス規格に準拠していないこと、シングルエンド CMOS または TTL デジタル信号ラインの絶縁のみを目的としていることに注意してください。アイスレータは、通常、インターフェイスの種類や規格にかかわらず、データ コントローラ (μC または UART) と、データ コンバータまたは ライトランシーバとの間に配置されます。

8.2 代表的なアプリケーション

8.2.1 プロセス制御用の絶縁型データ アクイジション システム

ISO724x-Q1 デバイス ファミリーは、テキサス インスツルメンツの高精度 A/D コンバータやミックスド シグナル マイクロコントローラを組み合わせ、図 8-1 に示すような高度な絶縁データ アクイジション システムの構築に使用できます。



Copyright © 2016, Texas Instruments Incorporated

図 8-1. プロセス制御用の絶縁型データ アクイジション システム

8.2.1.1 設計要件

ISO724x-Q1 ファミリーのデバイスは、フォトカプラとは異なり、性能向上、バイアス供給、電流制限のために外付け部品を必要としません。必要とするのは、動作に必要な外付けバイパス コンデンサは 2 個のみです。

8.2.1.2 詳細な設計手順

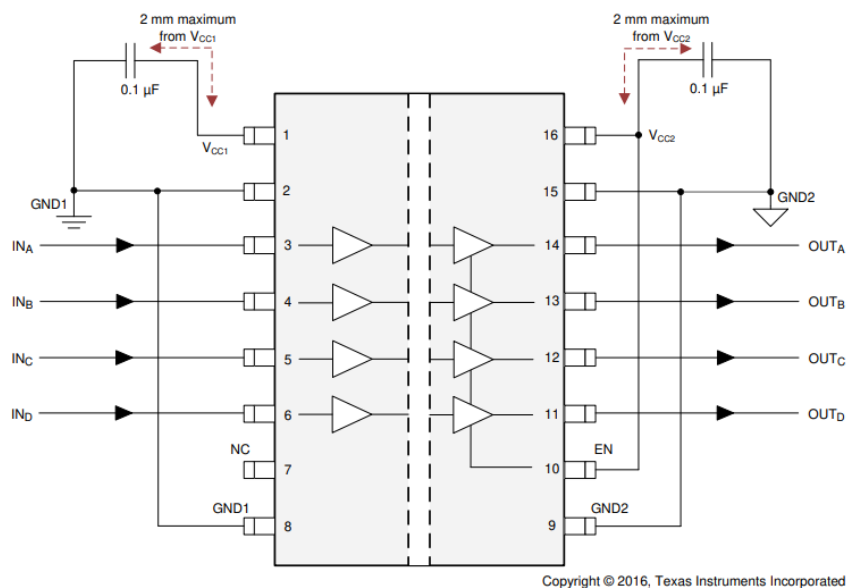


図 8-2. ISO7240x-Q1 回路の標準的な接続

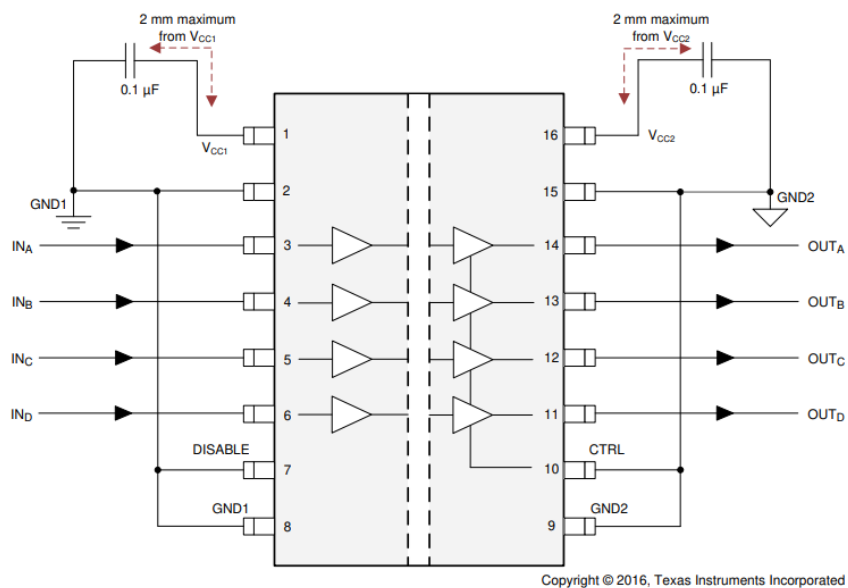


図 8-3. ISO7240CF-Q1 回路の標準的な接続

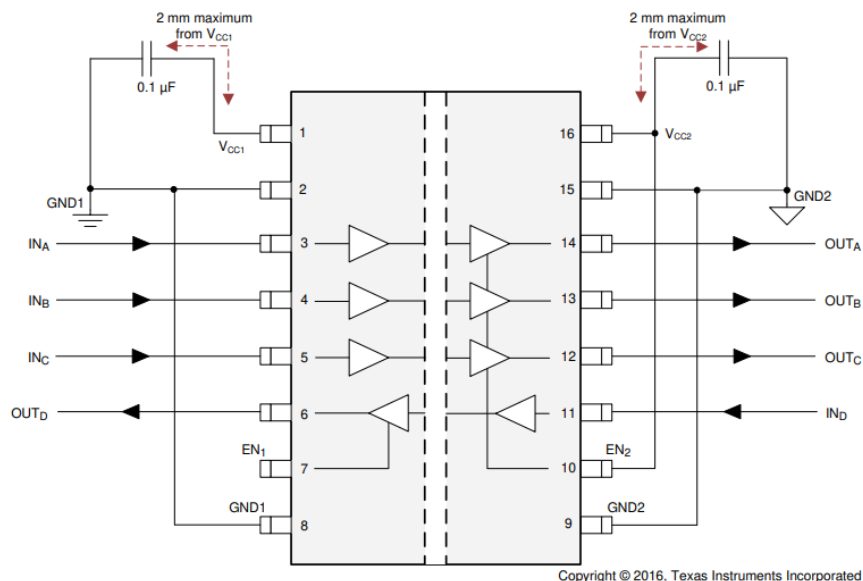


図 8-4. ISO7241x-Q1 回路の標準的な接続

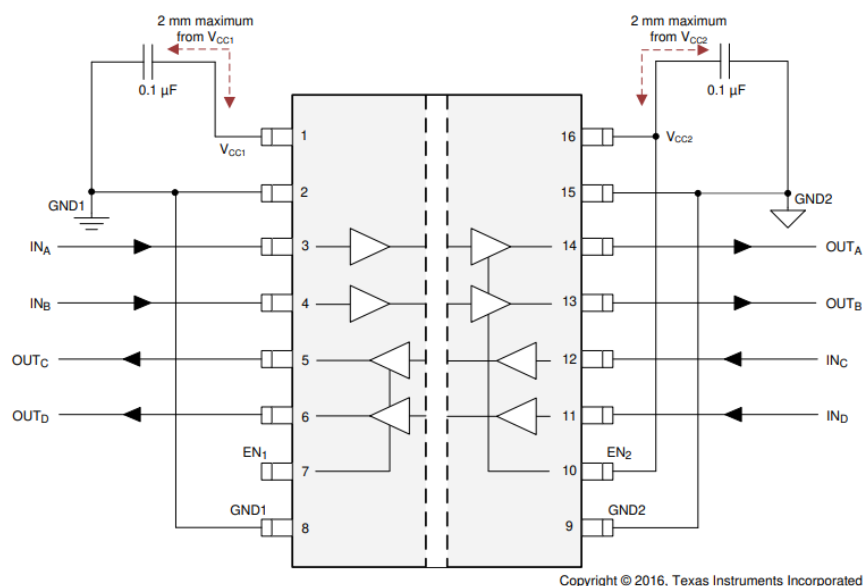


図 8-5. ISO7242x-Q1 回路の標準的な接続

8.2.2 16 入力のアナログ入力モジュール向け絶縁型 SPI

ISO7241x-Q1 ファミリのデバイスと、テキサス インストルメンツの他の部品を使用して、16 入力の入力モジュール用の絶縁型 SPI を作成することができます。

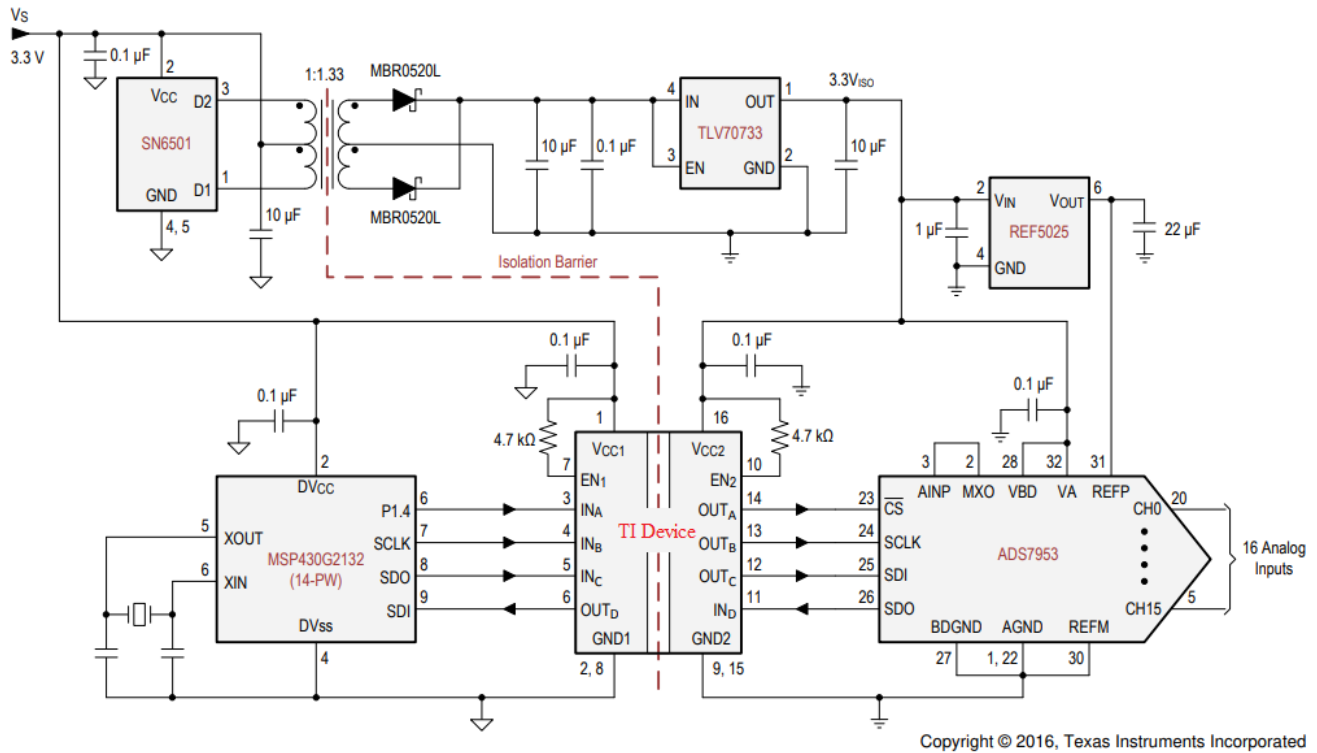


図 8-6. 16 入力のアナログ入力モジュール向け絶縁型 SPI

8.2.2.1 設計要件

セクション 8.2.1 の設計要件を参照してください。

8.2.2.2 詳細な設計手順

セクション 8.2.1 の詳細な設計手順を参照してください。

8.2.3 絶縁型 RS-232 インターフェイス

図 8-7 に、代表的な絶縁型 RS-232 インターフェイスの実装を示します。

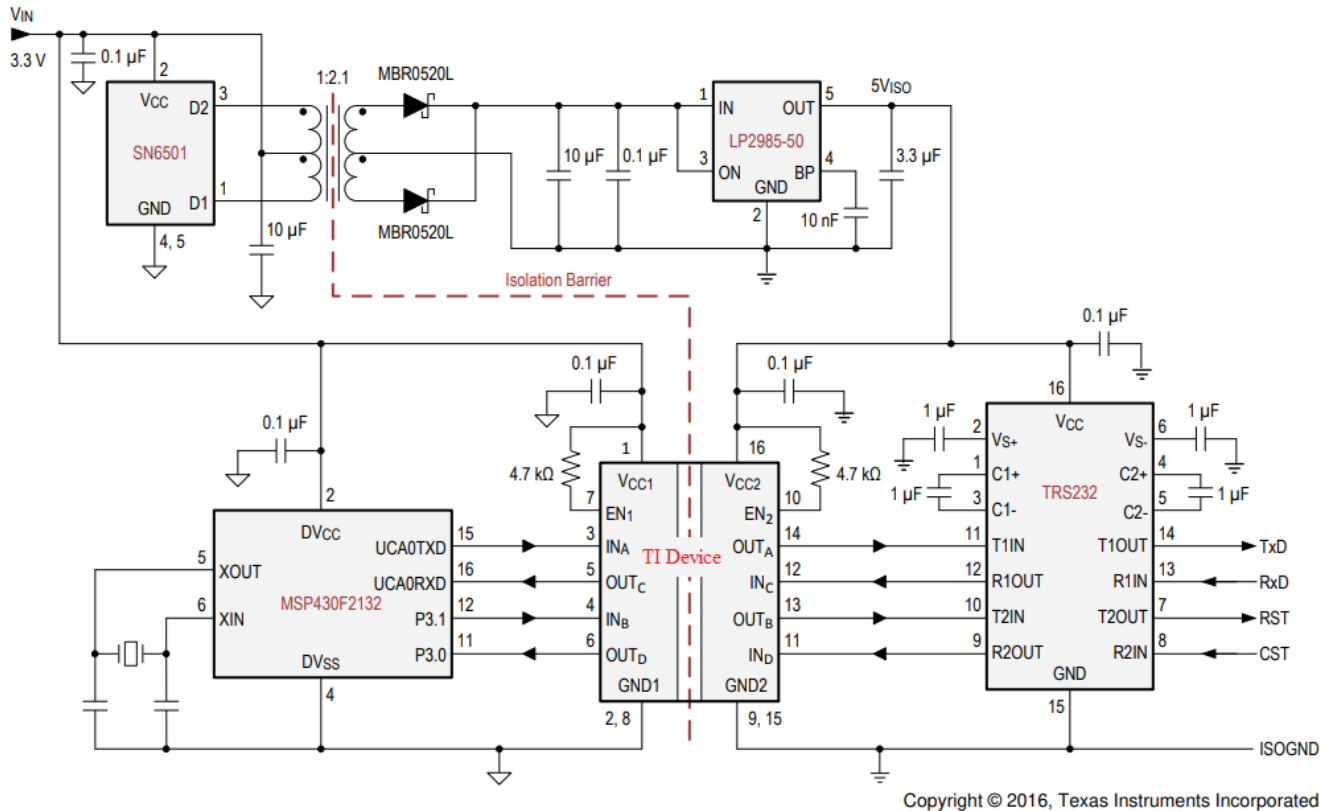


図 8-7. 絶縁型 RS-232 インターフェイス

8.2.3.1 設計要件

セクション 8.2.1 の設計要件を参照してください。

8.2.3.2 詳細な設計手順

セクション 8.2.1 の詳細な設計手順を参照してください。

8.3 電源に関する推奨事項

データレートおよび電源電圧での信頼性の高い動作を実現するため、入力および出力電源ピン (VCC1 および VCC2) に 0.1µF のバイパスコンデンサを推奨します。コンデンサは、電源ピンのできるだけ近くに配置する必要があります。アプリケーションで使用できる 1 次側電源が 1 つだけの場合は、テキサス・インスツルメンツの SN6501 デバイスなどのトランスドライバを使用して、2 次側用の絶縁型電源を生成できます。このようなアプリケーションについては、『SN6501 絶縁電源用の変圧器ドライバ』に、詳細な電源設計とトランス選択に関する推奨事項が記載されています。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

低 EMI の PCB 設計を実現するには、少なくとも 4 層が必要です (図 8-8 を参照)。層の構成は、上層から下層に向かって、高速信号層、グランドプレーン、電源プレーン、低周波数信号層の順に配置する必要があります。

- 上層に高速パターンを配線することにより、ビアの使用 (およびそれに伴うインダクタンスの発生) を避けて、データリンクのトランスミッタおよびレシーバ回路とアイソレータとの間のクリーンな相互接続が可能になります。
- 高速信号層の次の層に、ベタのグランドプレーンを配置することにより、伝送ライン接続のインピーダンスを制御し、リターン電流のための優れた低インダクタンスパスを実現します。
- グランドプレーンの次の層に、電源プレーンを配置すると、高周波バイパス容量を約 100 pF/in² 増加させることができます。

- 最下層に低速の制御信号を配線すると、これらの信号リンクには一般的に、ビアのような不連続性を許容するマージンがあるため、高い柔軟性が得られます。

電源プレーンまたは信号層の追加が必要な場合は、対称性を保つために、第 2 の電源系統またはグランド プレーン系統を層構成に追加します。これにより、基板の層構成は機械的に安定し、反りを防ぎます。また、各電源系統の電源プレーンとグランド プレーンを互いに近づけて配置できるため、高周波バイパス容量を大幅に増やすことができます。

レイアウトの推奨事項の詳細については、『[デジタル アイソレータ設計ガイド](#)』を参照してください。

8.4.1.1 PCB 材料

150Mbps 未満で動作する場合 (または、立ち上がり立ち下がり時間が 1ns 超)、およびトレース長が 10 インチ未満の場合のデジタル回路基板には、標準の FR-4 UL94V-0 プリント基板を使用します。この PCB は、高周波での誘電損失の低減、吸湿性の低減、強度と剛性の向上、および自己消火性の特性により、安価な代替品よりも推奨されます。

8.4.2 レイアウト例

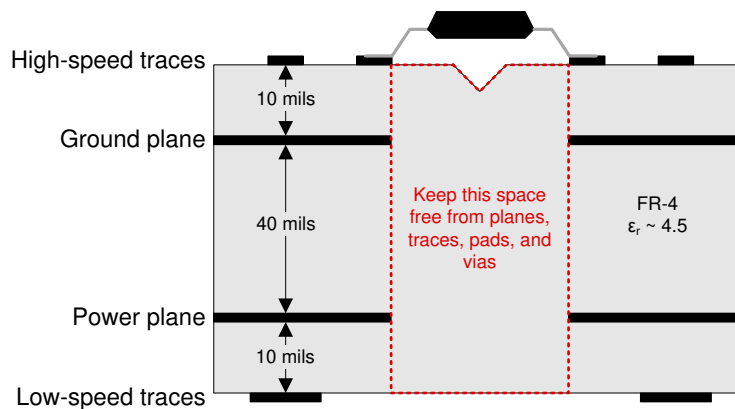


図 8-8. 推奨されるレイヤ・スタック

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- 『デジタルアイソレータ デザイン ガイド』
- 絶縁の用語集

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

Profibus™ is a trademark of Profibus.

DeviceNet™ is a trademark of Open DeviceNet Vendors Association.

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集 この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision C (February 2025) to Revision D (October 2025)	Page
・「絶縁仕様」表で誤字と誤字を修正。.....	6
・「安全関連認証」セクションの 2 行目の 3 か所すべてで「認定予定」を「認定済み」に変更.....	6
・「認定予定」を「基本認証:40047657」(VDE 列)、「マスタ契約書番号:220991」(CSA 列)、「ファイル番号: E181974」(UL 列)に変更 (「安全関連認証」セクション).....	6
・ ISO724x の代表的なアプリケーション回路、プロセス制御用の絶縁型データ アクイジション システムを変更.....	22

Changes from Revision B (November 2024) to Revision C (February 2025)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• IEC 60664-1 定格表 - 仕様 I ~ III 試験条件を変更: 定格商用電圧 (≤150VRMS) を定格商用電源 (≤300VRMS) に。I ~ II 仕様の行を追加.....	7

Changes from Revision A (September 2011) to Revision B (November 2024)	Page
• ドキュメント全体を通して容量性絶縁から絶縁バリアに参照を更新.....	1
• ドキュメント全体で VDE V 0884-11 を DIN VDE 0884-17 に更新.....	1
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• 熱特性、安全限界値、熱軽減曲線を更新し、より正確なシステム レベルの熱計算を提供.....	6
• デバイスの性能に合わせて電気的特性およびスイッチング特性を更新.....	8
• 「詳細説明」、「概要」、「機能説明」、「機能ブロック図」、「デバイスの機能モード」の各セクションを追加.....	20
• 「代表的なアプリケーション」、「電源に関する推奨事項」、「レイアウト」のセクションを追加.....	22

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ISO7240CFQDWRQ1	Active	Production	SOIC (DW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISO7240CFQ
ISO7240CFQDWRQ1.A	Active	Production	SOIC (DW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISO7240CFQ
ISO7241CQDWRQ1	Active	Production	SOIC (DW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISO7241CQ
ISO7241CQDWRQ1.A	Active	Production	SOIC (DW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISO7241CQ
ISO7242CQDWRQ1	Active	Production	SOIC (DW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISO7242CQ
ISO7242CQDWRQ1.A	Active	Production	SOIC (DW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISO7242CQ

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF ISO7240CF-Q1, ISO7241C-Q1, ISO7242C-Q1 :

- Catalog : [ISO7240CF](#), [ISO7241C](#), [ISO7242C](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

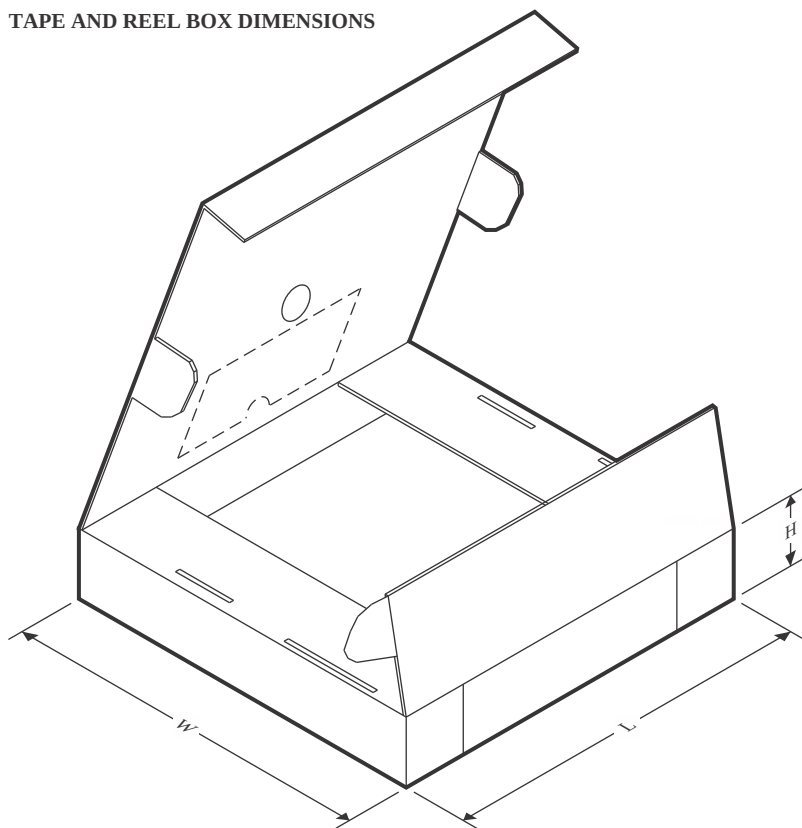
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ISO7240CFQDWRQ1	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
ISO7240CFQDWRQ1	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
ISO7241CQDWRQ1	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
ISO7242CQDWRQ1	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ISO7240CFQDWRQ1	SOIC	DW	16	2000	353.0	353.0	32.0
ISO7240CFQDWRQ1	SOIC	DW	16	2000	350.0	350.0	43.0
ISO7241CQDWRQ1	SOIC	DW	16	2000	350.0	350.0	43.0
ISO7242CQDWRQ1	SOIC	DW	16	2000	350.0	350.0	43.0

GENERIC PACKAGE VIEW

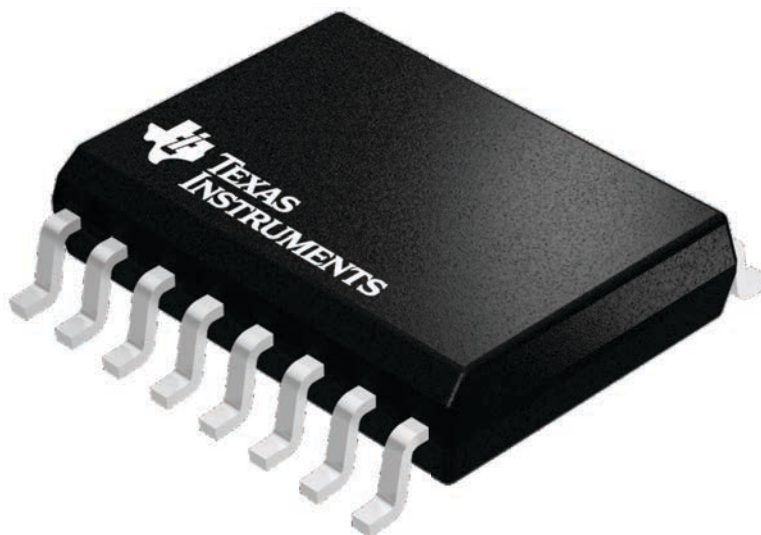
DW 16

SOIC - 2.65 mm max height

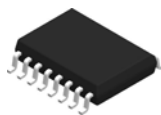
7.5 x 10.3, 1.27 mm pitch

SMALL OUTLINE INTEGRATED CIRCUIT

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224780/A

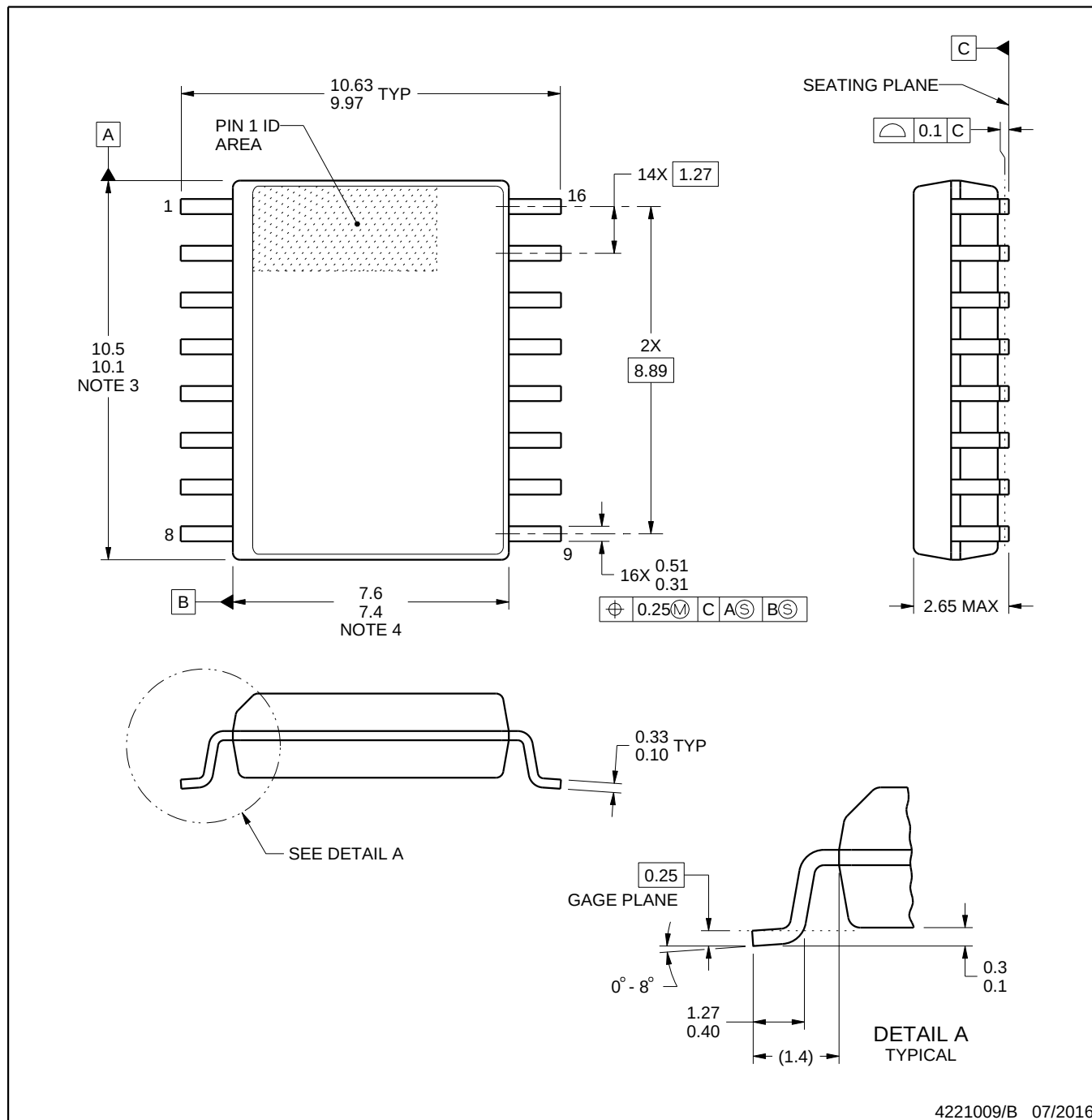


DW0016B

PACKAGE OUTLINE

SOIC - 2.65 mm max height

SOIC



4221009/B 07/2016

NOTES:

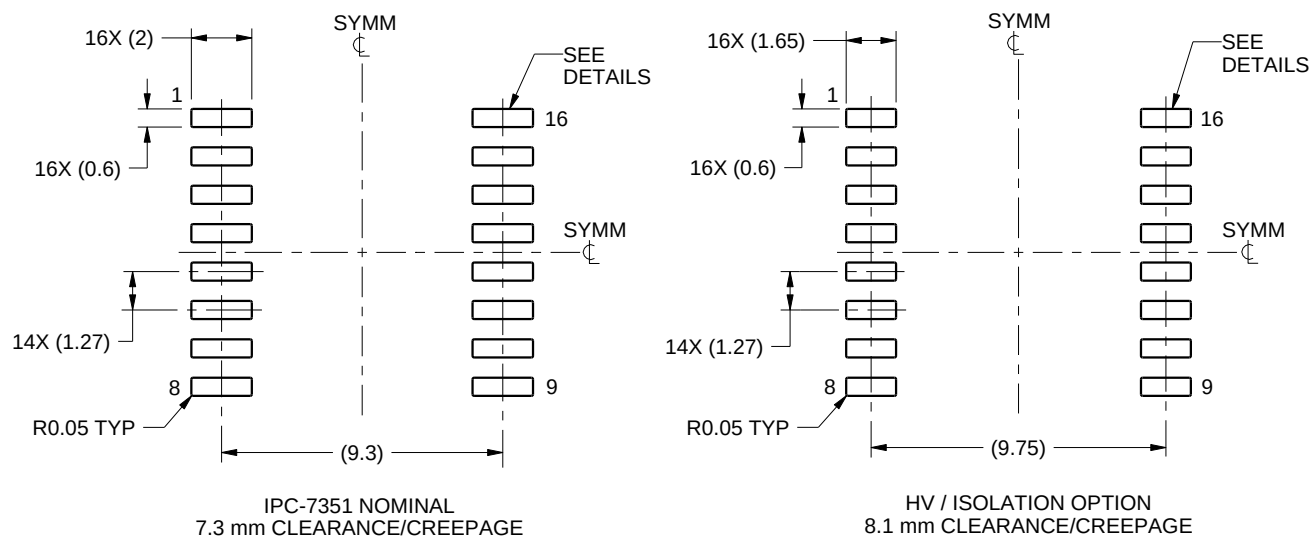
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.
5. Reference JEDEC registration MS-013.

EXAMPLE BOARD LAYOUT

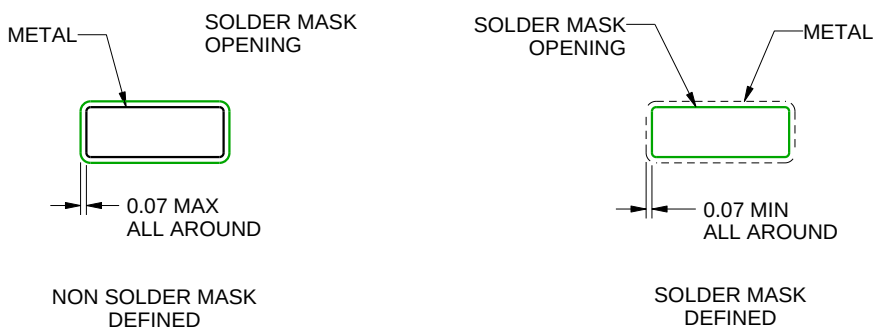
DW0016B

SOIC - 2.65 mm max height

SOIC



LAND PATTERN EXAMPLE
SCALE:4X



SOLDER MASK DETAILS

4221009/B 07/2016

NOTES: (continued)

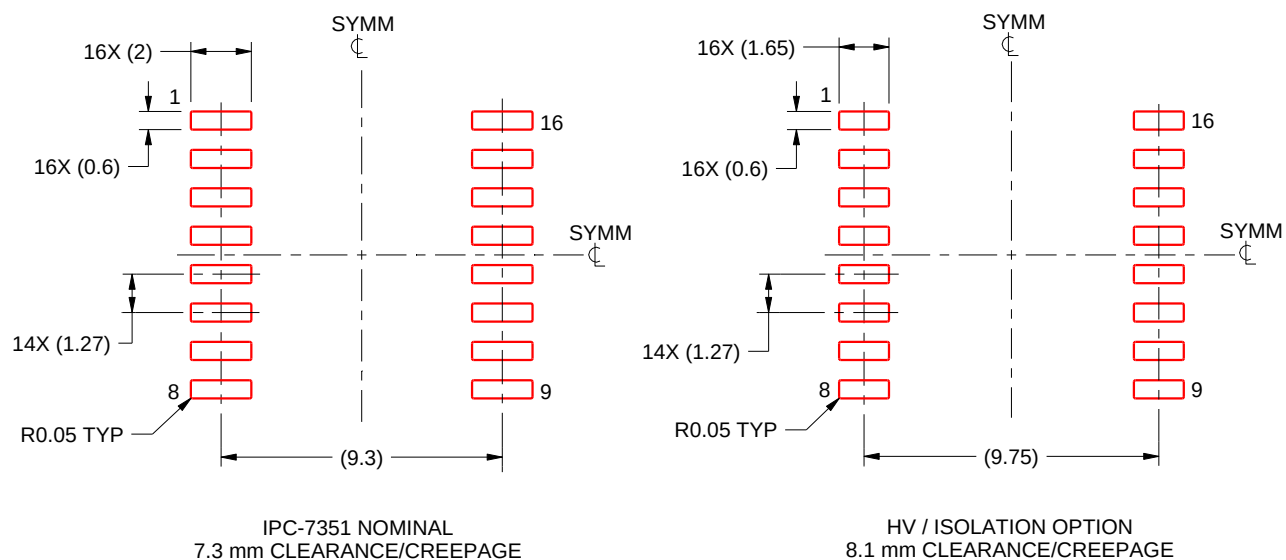
6. Publication IPC-7351 may have alternate designs.

7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

DW0016B

SOIC - 2.65 mm max height

SOIC



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:4X

4221009/B 07/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月