

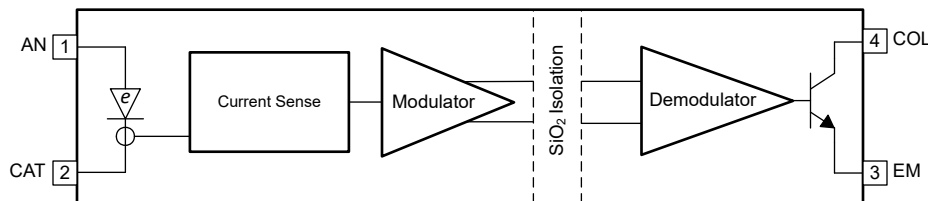
# ISOS510-SP 耐放射線特性、電流駆動アナログアイソレータ、トランジスタ出力付き

## 1 特長

- 耐放射線性能
  - 総照射線量 (TID) 特性、最大 100krad(Si)
  - TID RLAT/RHA 最大 100krad(Si)
  - 125°C でのシングルイベントラッチアップ (SEL) LET 耐性 75MeV-cm<sup>2</sup>/mg
  - シングルイベント過渡 (SET) は、最大 75MeV-cm<sup>2</sup>/mg の LET にて特性評価
- SMD# 5962R2620601PXE
- QML Class P
  - NASA ASTM E595 アウトガス仕様に適合
  - ミリタリー温度範囲 (-55°C~125°C)
- 1 チャネル ダイオード入力
- 電流伝達率 (CTR):  $I_F = 5\text{mA}$ ,  $V_{CE} = 5\text{V}$  のとき 95% ~ 164%
- 高いコレクタ - エミッタ電圧:  $V_{CE} (\text{max}) = 30\text{V}$
- 堅牢 SiO<sub>2</sub> 絶縁バリア
  - 絶縁定格: 3750V<sub>RMS</sub>
  - 動作電圧: 500V<sub>RMS</sub>, 707V<sub>PK</sub>
  - サージ耐性: 最大 10kV
- 応答時間:  $V_{CE} = 10\text{V}$ ,  $I_C = 2\text{mA}$ ,  $R_L = 100\Omega$  で 3 $\mu\text{s}$  (標準値)
- 小型 4 ピン パッケージ (DFG)

## 2 アプリケーション

- 衛星用電源システム (EPS)
- 通信ペイロード
- レーダー画像処理ペイロード



概略回路図

## 3 説明

ISOS510-SP 耐放射線特性デバイスは、シングル チャネル、電流駆動のトランジスタ出力付きアナログ アイソレータです。本デバイスは、他の電流駆動アナログ アイソレータと比較して優れた信頼性と性能を備えています。高帯域幅、低ターンオフ遅延、低消費電力、広い温度範囲、平坦な電流伝達比 (CTR)、厳格なプロセス制御により、部品間スキューを低減しています。これらの性能上の利点が、放射線、温度範囲全体、寿命全体にわたって安定性を維持します。

ISOS510-SP は、3.75kV<sub>RMS</sub> の絶縁定格に対応した、2.54mm ピン ピッチの小型 SOIC-4 パッケージで供給されます。ISOS510-SP はその高い性能と信頼性により、絶縁型 DC/DC モジュールの帰還ループ、衛星推進電源処理ユニット、宇宙船のバッテリー管理システムなど、航空宇宙および防衛アプリケーションでの使用が可能です。

### パッケージ情報

部品番号	グレード	パッケージ (1)	パッケージ サイズ (2)
ISOS510-SP	QMLP	DFG (SO-4) 4 ピン プラスチック	7.0mm × 3.5mm 質量 = 89.6mg

- 詳細については、[セクション 11](#) を参照してください。
- パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



## 目次

1 特長.....	1	7.3 機能説明.....	10
2 アプリケーション.....	1	7.4 デバイスの機能モード.....	10
3 説明.....	1	8 アプリケーションと実装.....	11
4 ピン構成および機能.....	3	8.1 使用上の注意.....	11
5 仕様.....	4	8.2 電源に関する推奨事項.....	15
5.1 絶対最大定格.....	4	8.3 レイアウト.....	15
5.2 ESD 定格.....	4	9 デバイスおよびドキュメントのサポート.....	16
5.3 推奨動作条件.....	4	9.1 ドキュメントのサポート.....	16
5.4 熱に関する情報.....	4	9.2 ドキュメントの更新通知を受け取る方法.....	16
5.5 絶縁仕様.....	5	9.3 サポート・リソース.....	16
5.6 安全限界値.....	6	9.4 商標.....	16
5.7 電気的特性.....	7	9.5 静電気放電に関する注意事項.....	16
5.8 スイッチング特性.....	8	9.6 用語集.....	16
6 パラメータ測定情報.....	9	10 改訂履歴.....	16
7 詳細説明.....	10	11 メカニカル、パッケージ、および注文情報.....	16
7.1 概要.....	10	11.1 テープおよびリール情報.....	20
7.2 機能ブロック図.....	10		

## 4 ピン構成および機能

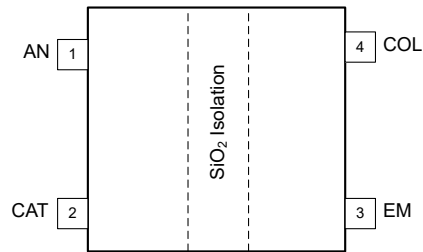


図 4-1. ISOS510-SP 4 ピン SOIC (上面図)

表 4-1. ピンの機能

ピン		タイプ <sup>(1)</sup>	説明
番号	名称		
1	AN	I	ダイオード入力のアノード接続
2	CAT	I	ダイオード入力のカソード接続
3	EM	O	トランジスタのエミッタ
4	COL	O	トランジスタのコレクタ

(1) I = 入力、O = 出力

## 5 仕様

### 5.1 絶対最大定格

自由空気での動作温度範囲内、-55°C ~ +125°C (特に記述のない限り)<sup>(1)</sup>

		最小値	最大値	単位
$I_{F(max)}$	最大入力順方向電流		15	mA
$V_{CEO}$	コレクタ - エミッタ間の電圧		35	V
$V_{ECO}$	エミッタ - コレクタ電圧		7	V
$I_{FP}$	入力パルス順方向電流 (1 $\mu$ s 幅)		1	A
$V_R$	での入力逆電圧		7	V
$P_I$	入力消費電力		86	mW
$I_C$	コレクタ電流		15	mA
$P_C$	コレクタ消費電力		86	mW
$P_T$	全消費電力		172	mW
$T_A$	周辺温度	-55	125	°C
$T_J$	接合部温度	-55	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、またはこの文書の動作セクションに示された値を超えるその他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても記載された動作条件の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

### 5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠、すべてのピン <sup>(1)</sup>	$\pm 2000$	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22C101 に準拠、すべてのピン <sup>(2)</sup>	$\pm 1000$	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

### 5.3 推奨動作条件

自由空気中の動作温度範囲 -55°C ~ +125°C 内 (特に記述のない限り)

		最小値	公称値	最大値	単位
$I_{F(ON)}$	オン状態の入力順方向電流	0.7		10	mA
$V_R$	入力逆電圧			5	V
$V_{CEO}$	コレクタ - エミッタ間の電圧	-5		30	V
$T_A$	周辺温度	-55		125	°C

### 5.4 熱に関する情報

熱評価基準 <sup>(1)</sup>		ISOS510-SP	単位
		DFG (SOIC)	
		4ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	283.9	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	173.1	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	201.4	°C/W
$\Psi_{JT}$	接合部から上面への特性パラメータ	125.1	°C/W
$\Psi_{JB}$	接合部から基板への特性パラメータ	198.0	°C/W

(1) 従来および新しい熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。

## 5.5 絶縁仕様

パラメータ		テスト条件	値	単位
			4-DFG	
パッケージ				
CLR	外部空間距離 <sup>(1)</sup>	空気を通したサイド 1 とサイド 2 の距離	> 5	mm
CPG	外部沿面距離 <sup>(1)</sup>	パッケージ表面上でのサイド 1 とサイド 2 の距離	> 5	mm
DTI	絶縁物を介した距離	最小内部ギャップ (内部空間距離)	>17	μm
CTI	比較トラッキング インデックス	IEC 60112, UL 746A	>400	V
電気				
V <sub>IORM</sub>	最大反復ピーク絶縁電圧	AC 電圧 (バイポーラ)	707	V <sub>PK</sub>
V <sub>IOWM</sub>	最大絶縁動作電圧	AC 電圧 (正弦波)、絶縁膜経時破壊 (TDDb) テスト。	500	V <sub>RMS</sub>
		DC 電圧	707	V <sub>DC</sub>
V <sub>IOTM</sub>	最大過渡絶縁電圧	V <sub>TEST</sub> = V <sub>IOTM</sub> 、 t = 60s (認定)、 V <sub>TEST</sub> = 1.2 × V <sub>IOTM</sub> 、 t = 1s (100% 出荷時テスト)	5303	V <sub>PK</sub>
V <sub>ISO</sub>	絶縁耐圧	V <sub>TEST</sub> = V <sub>ISO</sub> 、t = 60s (認定)、V <sub>TEST</sub> = 1.2 × V <sub>ISO</sub> 、t = 1s (100% 出荷時テスト)	3750	V <sub>RMS</sub>
V <sub>IMP</sub>	最大インパルス電圧 <sup>(2)</sup>	気中でテスト、IEC 62368-1 に準拠した 1.2/50μs の波形	7200	V <sub>PK</sub>
V <sub>IOSM</sub>	最大サージ絶縁電圧 <sup>(3)</sup>	V <sub>IOSM</sub> ≥ 1.3 × V <sub>IMP</sub> 、IEC 62368-1 に準拠した 1.2/50μs 波形で油中でテスト (認定試験)	10000	V <sub>PK</sub>
q <sub>pd</sub>	見掛けの電荷 <sup>(4)</sup>	方法 a: I/O 安全テスト サブグループ 2/3 の後、V <sub>ini</sub> = V <sub>IOTM</sub> 、t <sub>ini</sub> = 60s、V <sub>pd(m)</sub> = 1.2 × V <sub>IORM</sub> 、t <sub>m</sub> = 10s	≤ 5	pC
		方法 a: 環境テスト サブグループ 1 の後、V <sub>ini</sub> = V <sub>IOTM</sub> 、t <sub>ini</sub> = 60s、V <sub>pd(m)</sub> = 1.6 × V <sub>IORM</sub> 、t <sub>m</sub> = 10s	≤ 5	
		メソッド b: ルーチン テスト (100% 出荷時) および事前条件設定 (タイプ テスト) で、V <sub>ini</sub> = 1.2 × V <sub>IOTM</sub> 、t <sub>ini</sub> = 1s、V <sub>pd(m)</sub> = 1.875 × V <sub>IORM</sub> 、t <sub>m</sub> = 1s	≤ 5	
C <sub>IO</sub>	絶縁バリア容量、入力から出力へ <sup>(5)</sup>	V <sub>IO</sub> = 0.4 × sin (2πft)、f = 1MHz	1	pF
R <sub>IO</sub>	絶縁抵抗、入力から出力へ <sup>(5)</sup>	V <sub>IO</sub> = 500V、T <sub>A</sub> = 25°C	> 10 <sup>12</sup>	Ω
		V <sub>IO</sub> = 500V (100°C ≤ T <sub>A</sub> ≤ 125°C時)	> 10 <sup>11</sup>	
		V <sub>IO</sub> = 500V (T <sub>S</sub> = 150°C時)	> 10 <sup>9</sup>	

- (1) 沿面距離および空間距離の要件は、アプリケーション個別の機器絶縁規格に従って適用する必要があります。沿面距離および空間距離を維持するために、プリント基板上でアイソレータの取り付けパッドによってこの距離が短くならないように注意して基板を設計する必要があります。場合によっては、プリント基板上の沿面距離と空間距離が等しくなります。プリント基板上に溝やリブを設けるという技法を使用して、これらの仕様値を大きくすることができます。
- (2) テストは、パッケージのサージ耐性を判定するため、空気中で実行されます。
- (3) テストは、絶縁バリアの固有サージ耐性を判定するため、油中で実行されます。
- (4) 見掛けの放電電荷とは、部分放電 (pd) により発生する放電です。
- (5) 絶縁バリアのそれぞれの側にあるすべてのピンを互いに接続して、2 つの端子を持つデバイスを構成します。

## 5.6 安全限界値

安全限界値<sup>(1)</sup>の目的は、入力または出力回路の故障による絶縁バリアの損傷の可能性を最小限に抑えることです。

パラメータ		テスト条件	最小値	標準値	最大値	単位
<b>SO-4 パッケージ (DFG)</b>						
I <sub>S</sub>	安全性により入力電流を制限	R <sub>θJA</sub> = 283.9°C/W、V <sub>F</sub> = 1.4V、T <sub>J</sub> = 150°C、T <sub>A</sub> = 25°C			300	mA
		R <sub>θJA</sub> = 283.9°C/W、V <sub>CEO</sub> = 40V、T <sub>J</sub> = 150°C、T <sub>A</sub> = 25°C			10.5	mA
		R <sub>θJA</sub> = 283.9°C/W、V <sub>CEO</sub> = 24V、T <sub>J</sub> = 150°C、T <sub>A</sub> = 25°C			17.5	mA
		R <sub>θJA</sub> = 283.9°C/W、V <sub>CEO</sub> = 15V、T <sub>J</sub> = 150°C、T <sub>A</sub> = 25°C			28	mA
P <sub>S</sub>	安全性により合計電力を制限	R <sub>θJA</sub> = 283.9°C/W、T <sub>J</sub> = 150°C、T <sub>A</sub> = 25°C			420	mW
T <sub>S</sub>	最高安全温度				150	°C

- (1) I<sub>S</sub> および P<sub>S</sub> パラメータはそれぞれ安全電流と安全電力を表します。I<sub>S</sub> および P<sub>S</sub> の最大限界値を超過してはなりません。これらの限界値は、周囲温度 T<sub>A</sub> によって異なります。  
表にある接合部から空気への熱抵抗 R<sub>θJA</sub> は、リード付き表面実装パッケージ向けの High-K テスト ボードに実装されたデバイスの数値です。これらの式を使って各パラメータの値を計算します。  
T<sub>J</sub> = T<sub>A</sub> + R<sub>θJA</sub> × P、ここで P は本デバイスで消費される電力です。  
T<sub>J(max)</sub> = T<sub>S</sub> = T<sub>A</sub> + R<sub>θJA</sub> × P<sub>S</sub>、ここで T<sub>J(max)</sub> は最大許容接合部温度です。  
P<sub>S</sub> = I<sub>S</sub> × V<sub>I</sub>、ここで V<sub>I</sub> は最大入力電圧です。

## 5.7 電気的特性

特に記述のない限り推奨動作条件範囲内にて、 $T_A = 25^\circ\text{C}$  で RLAT を含む

パラメータ		テスト条件	最小値	標準値	最大値	単位
<b>入力</b>						
$V_F$	入力順方向電圧	$I_F = 5\text{mA}$		1.2	1.6	V
$I_R$	入力逆電流	$V_R = 5\text{V}$			10	$\mu\text{A}$
$C_{IN}$	入力容量	1MHz で $V_F = 0\text{V}$ 、 $T_A = 25^\circ\text{C}$		20		pF
<b>出力</b>						
$C_{CE}$	コレクタ - エミッタ間の容量	1MHz、 $V_F = 0\text{V}$ 、 $T_A = 25^\circ\text{C}$		15		pF
$V_{CE(SAT)}$	コレクタ - エミッタ間の飽和電圧	$I_F = 10\text{mA}$ 、 $I_C = 1\text{mA}$			0.3	V
$I_{C\_DARK}$	コレクタの暗電流	$V_{CE} = 20\text{V}$ 、 $I_F = 0\text{mA}$			100	nA
$I_{EC}$	逆電流	$V_{EC} = 5\text{V}$ 、 $I_F = 0\text{mA}$			50	$\mu\text{A}$
$I_{C\_OFF}$	OFF_state コレクタ電流	$V_F = 0.7\text{V}$ 、 $V_{CE} = 30\text{V}$			10	$\mu\text{A}$
<b>CTR</b>						
$CTR^{(1)}$	電流の転送率	$I_F = 2\text{mA}$ 、 $V_{CE} = 5\text{V}$	80	130	180	%
		$I_F = 5\text{mA}$ 、 $V_{CE} = 5\text{V}$	95	127	164	%

(1)  $CTR (\%) = (I_C / I_F) \times 100\%$

## 5.8 スイッチング特性

すべての仕様は  $T_A = 25^\circ\text{C}$  のものです (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
<b>AC</b>						
$t_r$	立ち上がり時間、 <a href="#">図 6-2</a> および <a href="#">図 6-3</a> を参照	$V_{CC} = 10\text{V}$ , $I_C = 2\text{mA}$ , $R_L = 100\Omega$ , $C_L = 50\text{pF}$		3.2		$\mu\text{s}$
$t_f$	立ち下がり時間、 <a href="#">図 6-2</a> および <a href="#">図 6-3</a> を参照	$V_{CC} = 10\text{V}$ , $I_C = 2\text{mA}$ , $R_L = 100\Omega$ , $C_L = 50\text{pF}$		4.0		$\mu\text{s}$
$T_{ON}$	ターンオン時間、 <a href="#">図 6-2</a> および <a href="#">図 6-3</a> を参照	$V_{CC} = 10\text{V}$ , $I_C = 2\text{mA}$ , $R_L = 100\Omega$ , $C_L = 50\text{pF}$		5.7		$\mu\text{s}$
		$V_{CC} = 5\text{V}$ , $R_L = 4.7\text{k}\Omega$ , $I_F = 1.6\text{mA}$ , $C_L = 50\text{pF}$		3.5		$\mu\text{s}$
		$V_{CC} = 5\text{V}$ , $R_L = 1.9\text{k}\Omega$ , $I_F = 16\text{mA}$ , $C_L = 50\text{pF}$		0.62		$\mu\text{s}$
$T_{OFF}$	ターンオフ時間、 <a href="#">図 6-2</a> および <a href="#">図 6-3</a> を参照	$V_{CC} = 10\text{V}$ , $I_C = 2\text{mA}$ , $R_L = 100\Omega$ , $C_L = 50\text{pF}$		3.6		$\mu\text{s}$
		$V_{CC} = 5\text{V}$ , $R_L = 4.7\text{k}\Omega$ , $I_F = 1.6\text{mA}$ , $C_L = 50\text{pF}$		8		$\mu\text{s}$
		$V_{CC} = 5\text{V}$ , $R_L = 1.9\text{k}\Omega$ , $I_F = 16\text{mA}$ , $C_L = 50\text{pF}$		10		$\mu\text{s}$
$t_s$	保存時間。入力をオンにしてからオフに戻ったときに、出力波形が 0% (100%) から 10% (90%) に変化するために必要な時間です。 <a href="#">図 6-3</a> を参照してください	$V_{CC} = 5\text{V}$ , $I_F = 1.6\text{mA}$ , $R_L = 4.7\text{k}\Omega$			21	$\mu\text{s}$
BW	帯域幅、 <a href="#">図 6-4</a> を参照	$V_{IN\_DC} = 5\text{V}$ , $V_{IN\_AC} = 1\text{Vpk}$ , $R_{IN} = 2\text{k}\Omega$ , $V_{CC} = 5\text{V}$ , $R_{LOAD} = 100\Omega$ , $C_L = 50\text{pF}$ , $V_{CE} -3\text{dB}$ で測定 (正弦波)		680		kHz

## 6 パラメータ測定情報

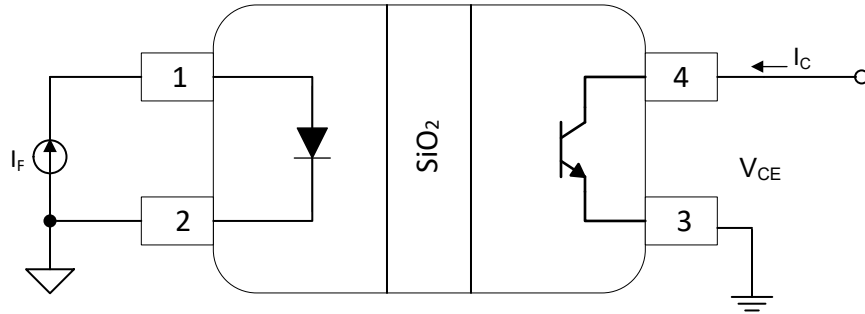


図 6-1. ISOS510-SP CTR のテスト回路

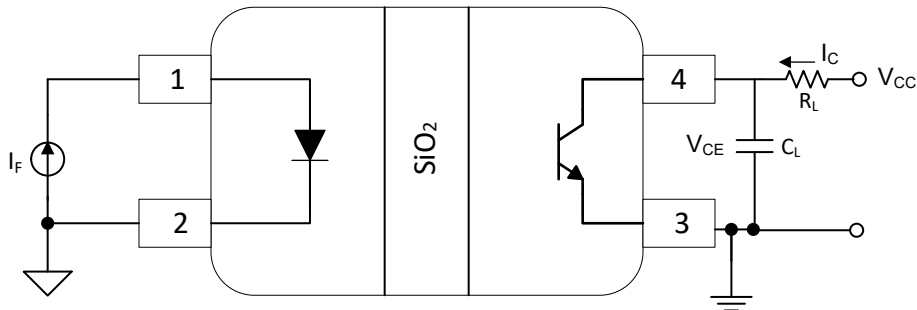


図 6-2. ISOS510-SP スイッチング タイミングのテスト回路

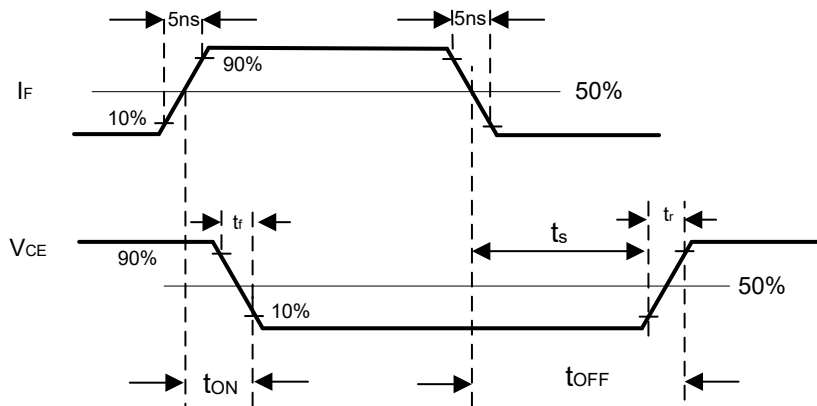


図 6-3. ISOS510-SP スイッチング タイミング波形

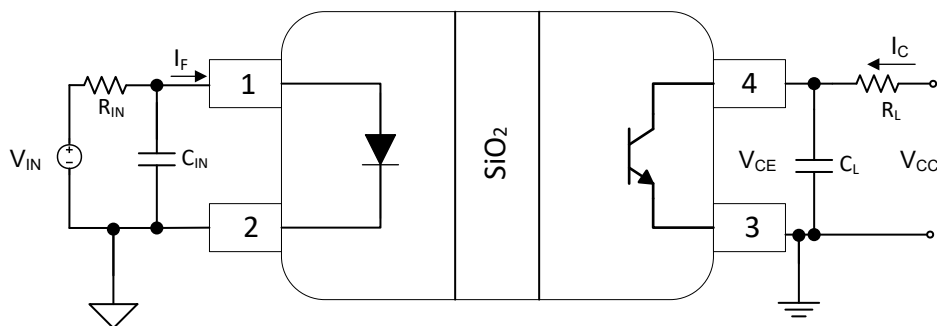


図 6-4. ISOS510-SP 帯域幅のテスト回路

## 7 詳細説明

### 7.1 概要

セクション 7.2 に、ISOS510-SP デバイスの機能ブロック図を示します。入力信号は、オン / オフ キーイング (OOK) 変調方式を使用して絶縁バリアを通過します。トランスミッタは、バリアを介して高周波キャリアを送信します。このキャリアには、入力ピンに流れている電流の量に関する情報が含まれています。レシーバは、高度なシグナル コンディショニングを行ってから信号を復調し、出力段でトランジスタを駆動します。このデバイスでは、帯域幅を最大化し、放射エミッションを最小化するための高度な回路手法も採用されています。図 7-2 に、OOK 方式の作用の詳細な概念図を示します。

### 7.2 機能ブロック図

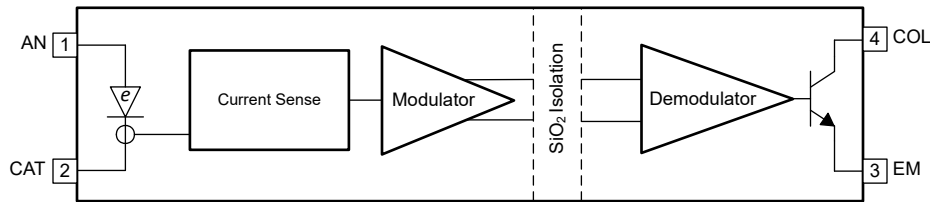


図 7-1. フォトカプラ エミュレータの概念ブロック図 ISOS510-SP

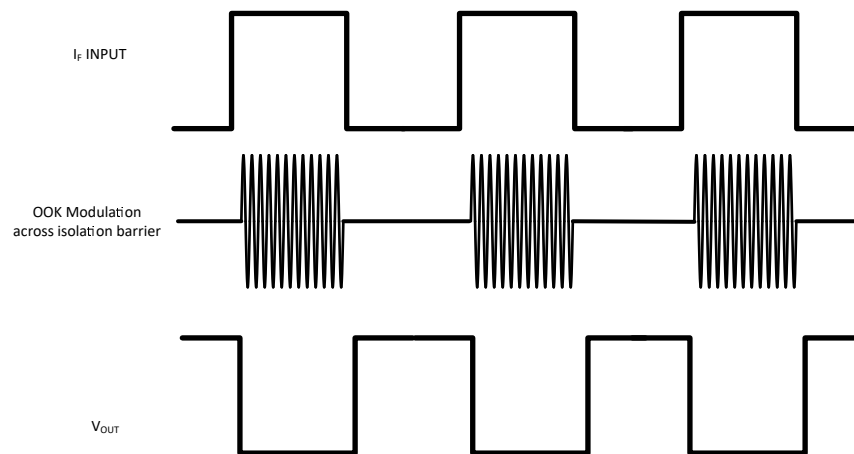


図 7-2. オン オフ キーイング (OOK) による変調方式

### 7.3 機能説明

ISOS510-SP デバイスは、電流駆動入力段により、アナログ信号とデジタル信号の両方を絶縁できます。0.7mA の入力電流 ( $I_F$ ) 以上を AN ピンに供給すると、変調器と電流センス ブロックを含む内部変調器に電力が供給されます。 $I_F$  を検出し、絶縁バリアをまたぐ高周波キャリアに変換します。デバイスの二次側で復調された信号は出力トランジスタをバイアスするために利用され、 $I_F$  の値に比例して、外部ソースからの電流を COL ピン ( $I_C$ ) にシンクしようとしています。 $I_C$  と  $I_F$  の比率が電流伝達比 (CTR) です。

### 7.4 デバイスの機能モード

#### 7.4.1 アクティブモード

COL ピンに接続された外部ソースまたは回路が、特定の  $I_F$  値についてデバイスの CTR を満たすのに十分な電流を供給できる場合、デバイスは「アクティブモード」とみなされます。このように、本デバイスを経由してアナログ信号が送信されます。

### 7.4.2 飽和モード

COL ピンに接続された外部ソースまたは回路が特定の  $I_F$  値についてデバイスの CTR を満たすのに十分な電流を供給できない場合 (例として、 $I_F = 10\text{mA}$  の場合に  $I_C = 1\text{mA}$ )、出力トランジスタは飽和し、低インピーダンス状態に移行します。デバイスは「飽和モード」とみなされます。このようにして、本デバイスを介してデジタル信号が送信されます。

## 8 アプリケーションと実装

### 注

以下のアプリケーションのセクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 8.1 使用上の注意

ISOS510-SP は、絶縁型電源のフィードバック制御ループで一般的に使用されます。本デバイスを使用すると、一次側と二次側のドメインを絶縁しつつ電流をフィードバックして出力電圧を制御するという課題を解決できます。

電源では、トランス (例: フライバック コンバータ) を使用して、出力電圧をメイン入力電圧から絶縁します。アナログ電源ユニットの場合、通常、コントローラ IC はトランスの 1 次側に配置します。閉ループ制御を実現するには、2 次側の出力電圧を測定し、その電圧を 1 次側のコントローラにフィードバックする必要があります。この設計を実現する最も一般的な方法は、ISOS510-SP のようなアイソレータ、エラー アンプ (一般に TL1431SP) および電圧コンパレータを使用して、絶縁バリアを越えた帰還ループを構成することです。

図 8-1 に、代表的な絶縁型電源を示します。この実装では、分圧抵抗 (R1 および R2) を使用して、エラーアンプによって出力電圧が検出されます。エラーアンプが検出する電圧レベルに応じて、TL1431SP は ISOS510-SP の電流を上下に駆動することができ、その後これを基準電圧と比較します。この情報は、ISOS510-SP により絶縁バリアを超えて 1 次側に渡され、PWM 制御回路が電力段を変調して出力電圧を制御します。TL1431SP および ISOS510-SP は、安定した帰還と制御ループにとって重要な役割を果たします。

ISOS510-SP デバイスは、その CTR が広い温度範囲にわたって安定しており、小型で低コスト、信頼性が高く、設計しやすい実装を実現するため、一般的に使用されるフォトカプラに比べて過渡応答、信頼性、安定性を改善することができます。

### 8.1.1 代表的なアプリケーション

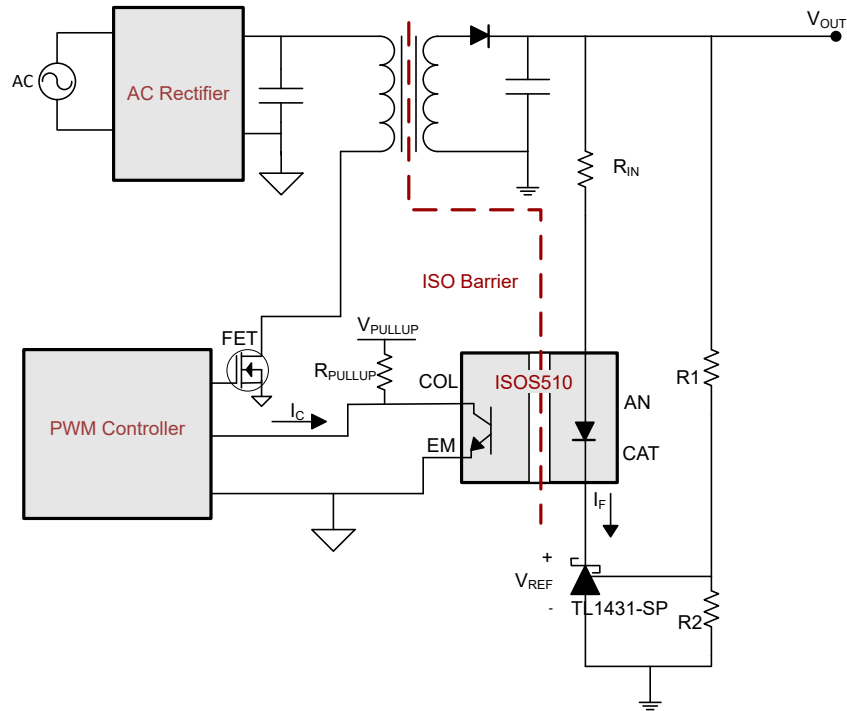


図 8-1. ISOS510-SP を使用した代表的な絶縁型電源アプリケーション

#### 8.1.1.1 設計要件

ISOS510-SP を用いた設計には 表 8-1 に記載のパラメータを使用します。

表 8-1. 設計パラメータ

パラメータ	値
入力順方向電流範囲、 $I_F$	0.7mA (最小値)、10mA (最大値)
電流伝達率 (CTR): $I_F = 5mA$ 、CTR のとき	100%~155%
コレクタの電流許容誤差、 $I_C$	30mA (最大)
コレクタ - エミッタ間電圧 (飽和)、 $V_{CE(SAT)}$	0.3V (最大値)
入力順方向電圧、 $V_F$	1.2V (標準値)

#### 8.1.1.2 詳細な設計手順

このセクションでは、ISOS510-SP デバイスを使用するための設計手順について説明します。推奨動作条件内で ISOS510-SP を動作させるには、外部部品を選択する必要があります。部品選択に関する以下の推奨事項は、絶縁型フライバックコンバータの標準的な帰還制御ループの設計に重点を置いています。

絶縁型電源のフィードバック制御ループでアイソレータを使用する場合、電源の出力電圧やフィードバック信号を送信するコントローラの種類などを含む、多くの変数がアイソレータの適切な使用方法に影響を及ぼす可能性があります。この例では、この電源の出力電圧  $V_{OUT}$  が 5V であり、使用されている PWM コントローラにはエラー アンプが内蔵されており、COMP ピンがこのアンプの出力となるものと仮定します。

### 8.1.1.2.1 $R_{PULLUP}$ のサイズ設定

ISOS510-SP のトランジスタ出力は、通常のトランジスタと同様に、アクティブ、飽和、リバース、カットオフ領域で動作します。出力が飽和してもダメージとしないことを確認するために、与えられたプルアップ電圧  $V_{PULLUP}$  について式 1 により  $R_{PULLUP}$  の最小値を計算できます。

$$R_{PULLUP} > \frac{V_{PULLUP} - V_{CE(SAT)}}{I_C(MAX)} \quad (1)$$

帰還ループ アプリケーションの例として、 $V_{PULLUP}$  が 10V のときの  $R_{PULLUP}$  の必要な最低値を計算することができ、誤差アンプの最大出力電圧 ( $V_{COMP(MAX)}$ ) は 2.5V、エラーアンプの最大出力電流は内部で 1.6mA にクランプされます。 $R_{PULLUP}$  の計算式を式 2 に示します。

$$R_{PULLUP} > \frac{V_{PULLUP} - V_{COMP(MAX)}}{I_{COMP(CLAMP)}} = \frac{10V - 2.5V}{1.6mA} = 4.66k\Omega \quad (2)$$

### 8.1.1.2.2 $R_{IN}$ のサイズ設定

ISOS510-SP の入力側は電流駆動です。AN ピンに流れる電流の量を制限するには、図 8-1 に示すように、直列抵抗  $R_{IN}$  を入力と直列に配置することをお勧めします。

ISOS510-SP デバイスがどのように使用されているかに応じて、 $R_{IN}$  の値はかなり変動します。ただし、High レベルで入力が損傷しないようにするため、与えられた入力電圧  $V_{IN}$  に対して  $R_{IN}$  の最小値を式 3 で計算できます。

$$R_{IN} > \frac{V_{IN} - V_F}{I_C(MAX)} \quad (3)$$

ただし、帰還ループの使用事例では、 $R_{IN}$  がループの中帯域ゲインに直接影響を及ぼします。TL1431SP が 2.5V の基準電圧  $V_{REF}$  を供給するように構成されており、 $R_{PULLUP}$  が 5k $\Omega$  であると仮定すると、式 4 を使用して  $R_{IN}$  の最大値を計算することができ、1 次側の  $V_{COMP}$  電圧を ISOS510-SP の飽和電圧  $V_{CE(SAT)}$  までプルアップできることが確認できます。

$$R_{IN} < \frac{(V_{OUT} - V_{REF} - V_F) \times R_{PULLUP} \times CTR_{MIN}}{V_{PULLUP} - V_{CE(SAT)}} = \frac{(5V - 2.5V - 1.2V) \times 5k\Omega \times 100\%}{10V - 0.3V} = 670\Omega \quad (4)$$

### 8.1.1.3 アプリケーション曲線

以下の曲線は、ISOS510-SP  $V_{IN} = 5V_{DC} + 2V_{PK}$  におけるさまざまな負荷条件での帯域幅性能を示しています。設定の詳細については、図 6-4 を参照してください。

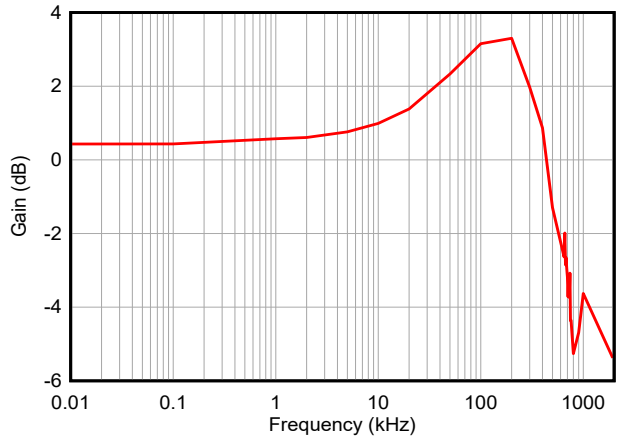


図 8-2.  $R_L = 100\Omega$  での帯域幅

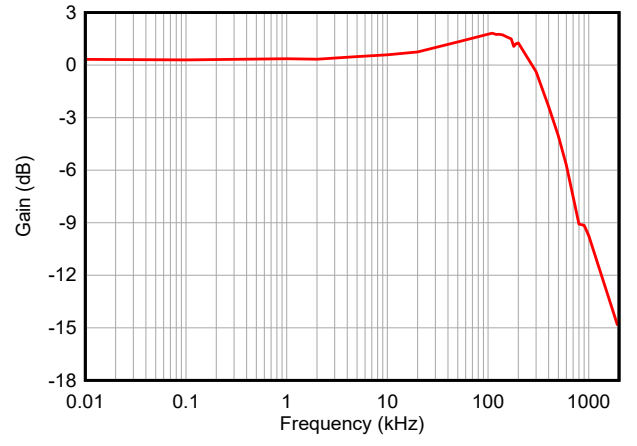


図 8-3.  $R_L = 1\text{k}\Omega$  での帯域幅

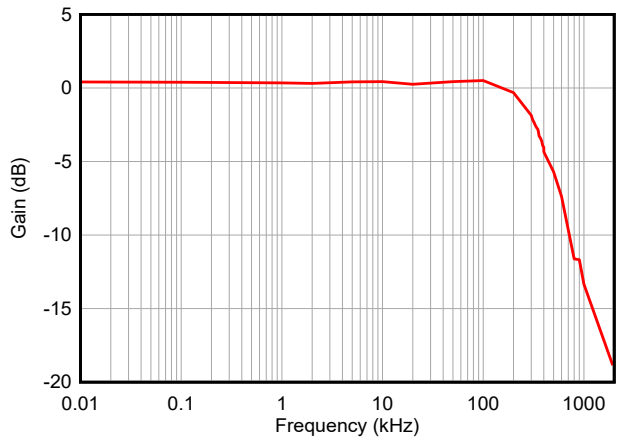


図 8-4.  $R_L = 2\text{k}\Omega$  での帯域幅

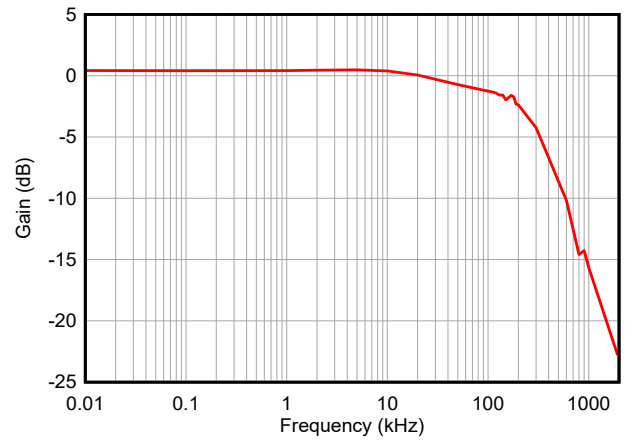


図 8-5.  $R_L = 4.7\text{k}\Omega$  での帯域幅

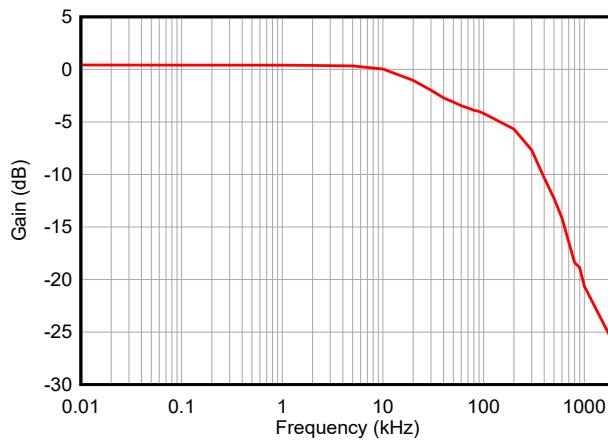


図 8-6.  $R_L = 10\text{k}\Omega$  での帯域幅

## 8.2 電源に関する推奨事項

ISOS510-SP には電源ピンがないため、動作に専用電源は必要ありません。デバイスの適切な動作のため、 $I_F$  最小値などの推奨 I/O 仕様を必ず順守してください。

## 8.3 レイアウト

### 8.3.1 レイアウトのガイドライン

- インダクタンスを最小限に抑えるために、直接接続または 2 つのビアを使用して、グラウンドへのデバイス接続を PCB グランドプレーンに接続する必要があります。
- コンデンサや他の部品を PCB グランドプレーンに接続するには、インダクタンスを最小限に抑えるために、直接接続または 2 つのビアを使用する必要があります。

### 8.3.2 レイアウト例

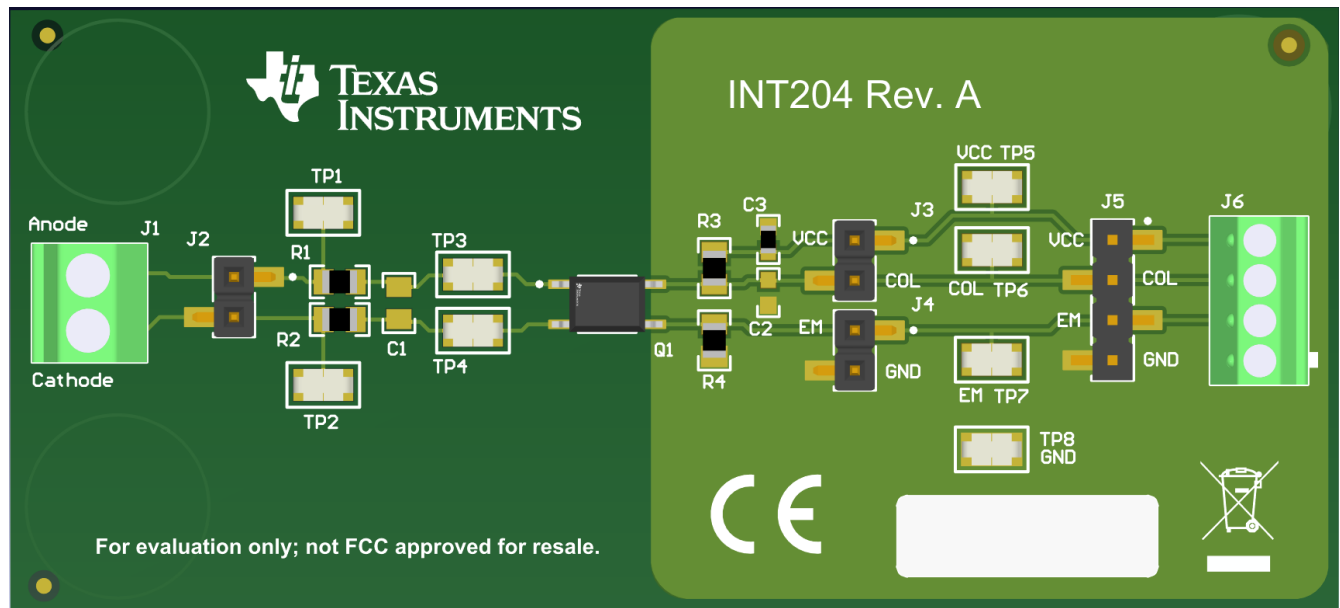


図 8-7. 1 層基板を使用した ISOS510-SP のレイアウト例

## 9 デバイスおよびドキュメントのサポート

### 9.1 ドキュメントのサポート

#### 9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『[絶縁用語集](#)』アプリケーション ノート
- テキサス・インスツルメンツ、『[フォトカブラ エミュレータの概要](#)』アプリケーション ノート

### 9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 9.3 サポート・リソース

テキサス・インスツルメンツ [E2E™ サポート・フォーラム](#) は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの [使用条件](#) を参照してください。

### 9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

### 9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 9.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

## 10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
May 2026	*	初版リリース

## 11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

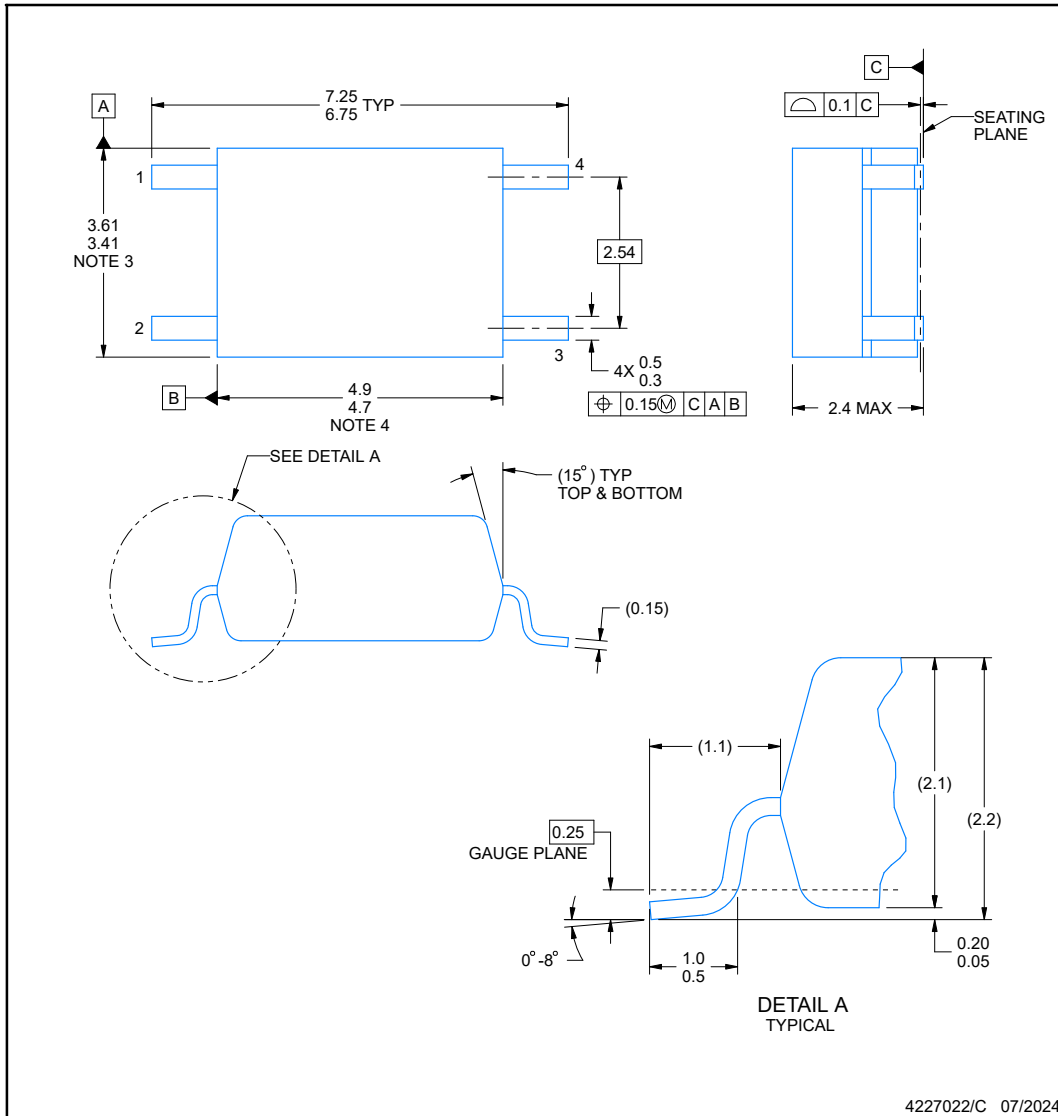


**DFG0004A**

**PACKAGE OUTLINE**

**SOIC - 2.4 mm max height**

SMALL OUTLINE INTEGRATED CIRCUIT



**NOTES:**

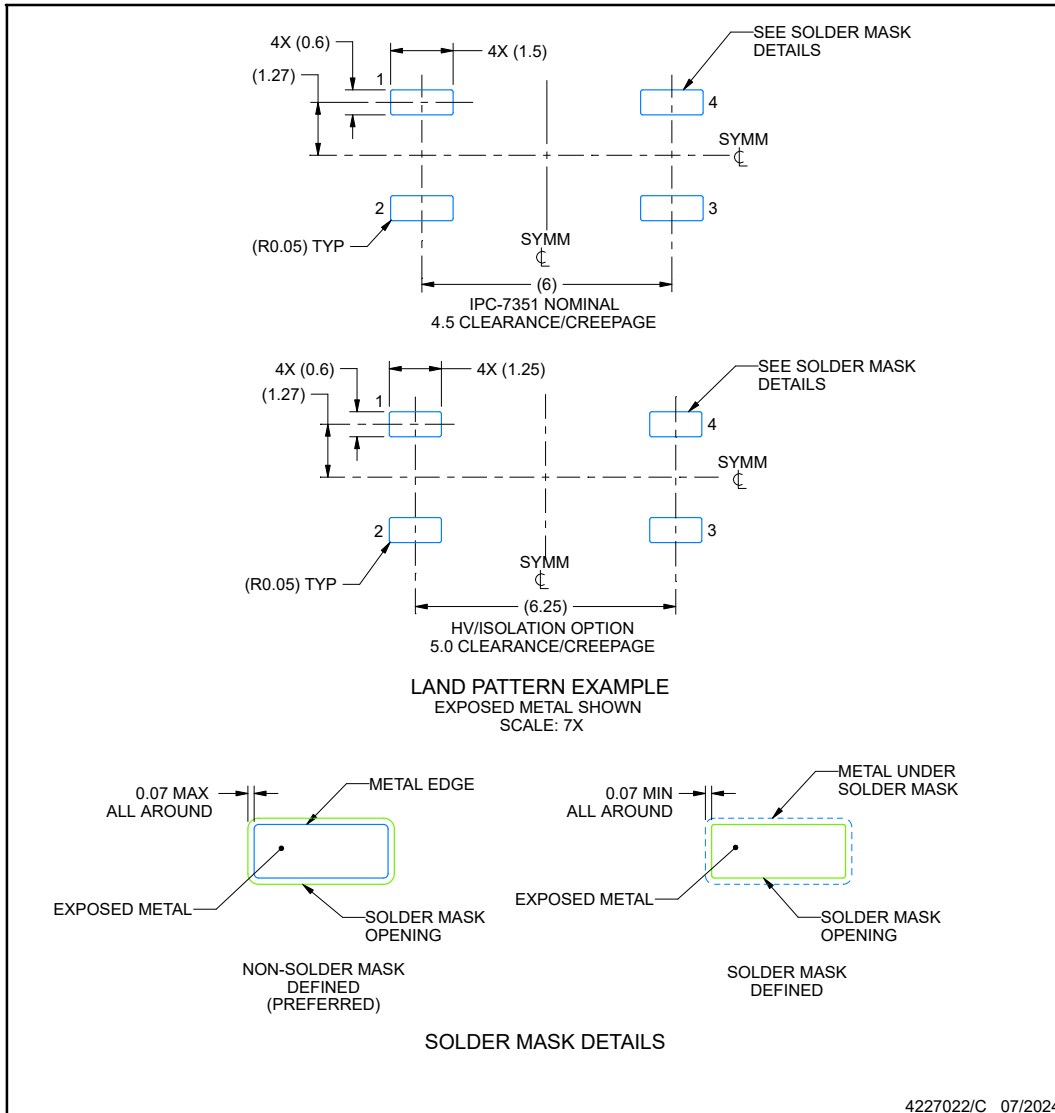
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash.

## EXAMPLE BOARD LAYOUT

**DFG0004A**

**SOIC - 2.4 mm max height**

SMALL OUTLINE INTEGRATED CIRCUIT



NOTES: (continued)

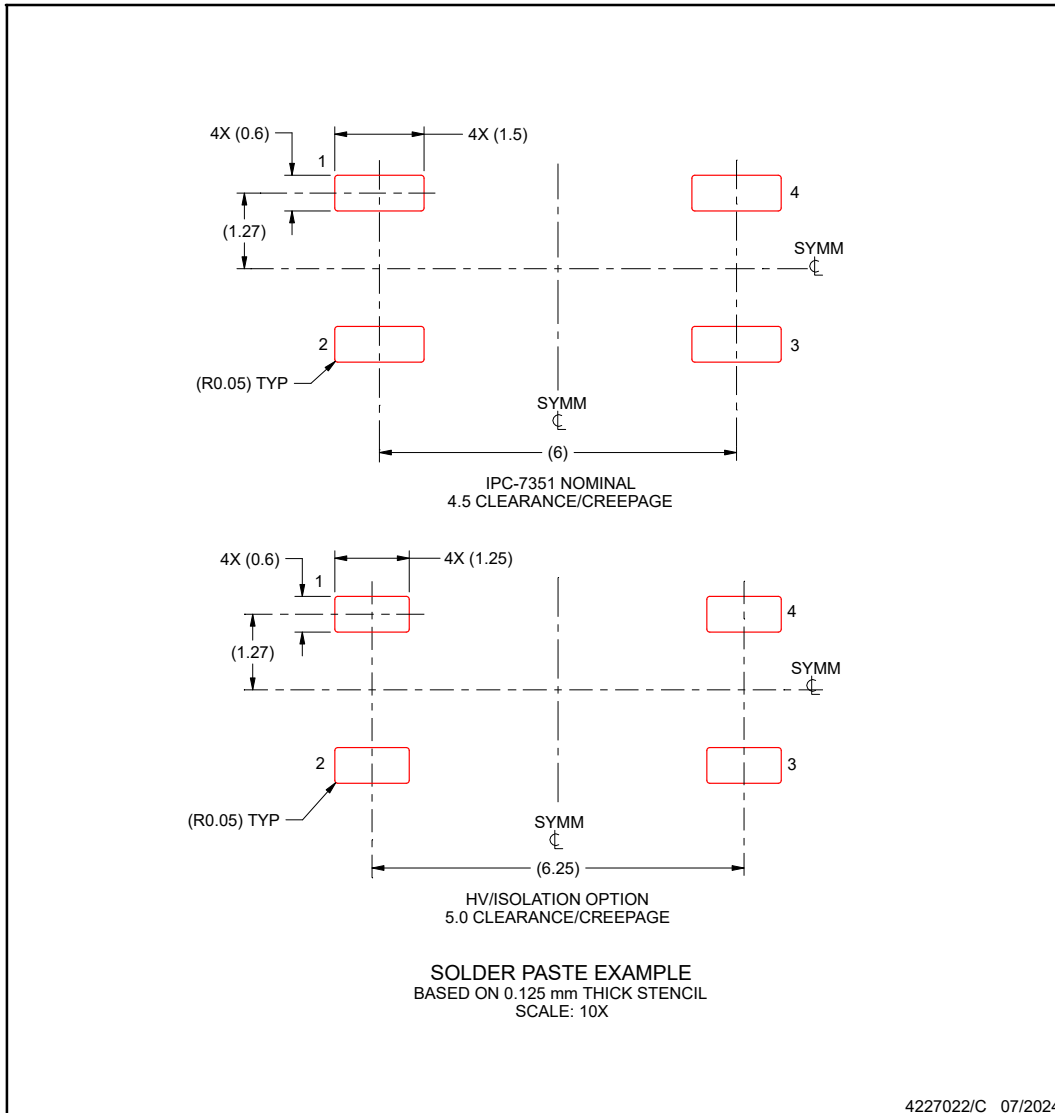
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

## EXAMPLE STENCIL DESIGN

**DFG0004A**

**SOIC - 2.4 mm max height**

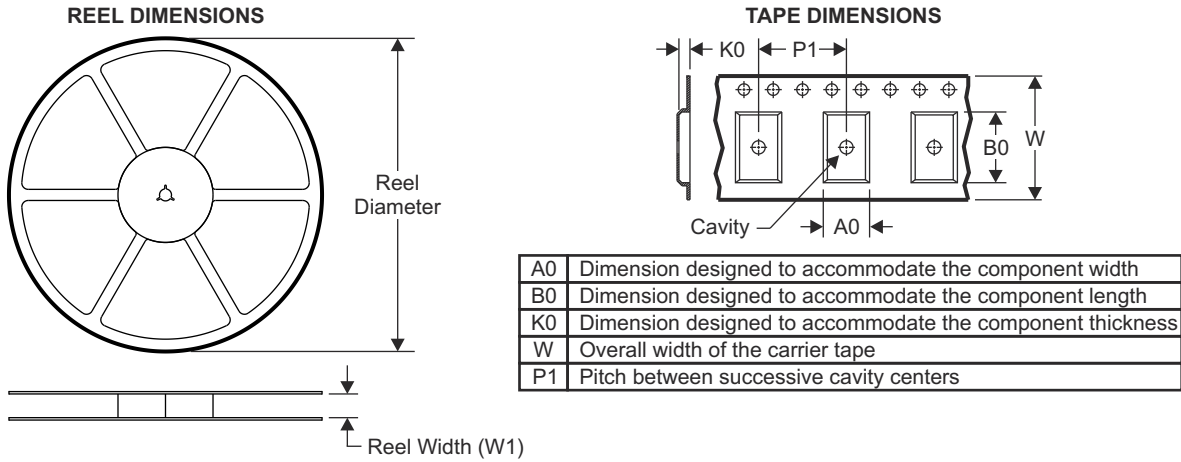
SMALL OUTLINE INTEGRATED CIRCUIT



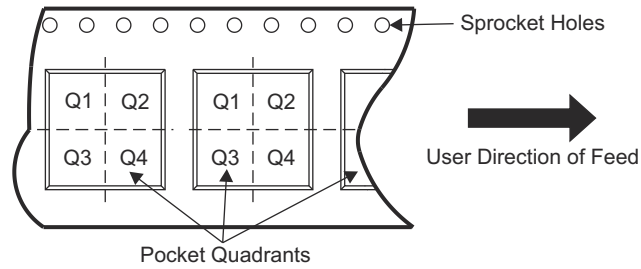
NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

### 11.1 テープおよびリール情報



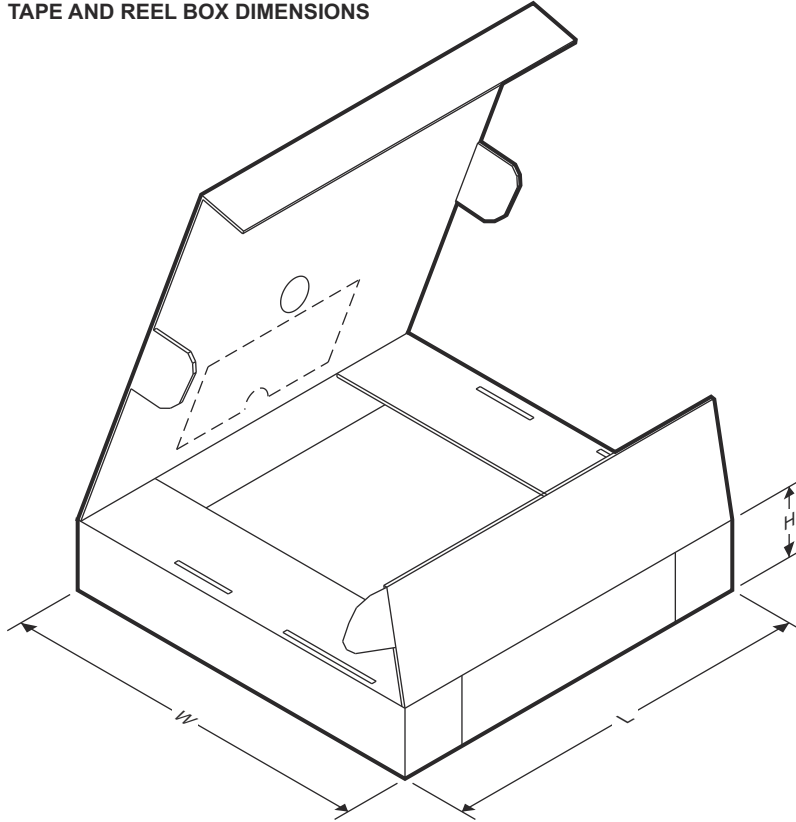
#### QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



デバイス	パッケージ タイプ	パッケージ 図	ピン	SPQ	リール 直径 (mm)	リール 幅 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	ピン1の 象限
XISOS510DFGTSP	SO-4	DFG	4	250	330.0	12.4	8.0	3.8	2.7	12.0	12.0	Q1

ADVANCE INFORMATION

TAPE AND REEL BOX DIMENSIONS



デバイス	パッケージタイプ	パッケージ図	ピン	SPQ	長さ (mm)	幅 (mm)	高さ (mm)
XISOS510DFGTSP	SO-4	DFG	4	250	356.0	356.0	35.0

ADVANCE INFORMATION

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月