

ISOUSB211-Q1 High/Full/Low-Speed 絶縁型 USB リピータ

1 特長

- USB 2.0 準拠
- low speed (1.5Mbps)、full speed (12Mbps) および high speed (480Mbps) のシグナリングをサポート
- 外付けの水晶振動子もクロック入力も不要
- 速度と接続の自動検出
- L1 (スリープ) と L2 (サスペンド) の低消費電力状態をサポート
- High-Speed モードでの基板配線損失を補償するためのイコライゼーションをプログラム可能
- ダウンストリーム側で CDP アドバタイズ
- 反対側に電源 OK 通知
- USB On-The-Go (OTG) および Type-C™ デュアル ロール ポート (DRP) 設計のための自動ロール反転をサポート
- 高 CMTI: 100kV/μs
- 絶縁バリアの両側で ±8kV の IEC 61000-4-2 接触放電保護
- V_{BUS} 電圧範囲: 4.25V ~ 5.5V
 - 3.3V および 1.8V の内部 LDO
- CISPR32 class B 放射型電磁波の制限に適合
- 周囲温度範囲: -40°C ~ +125°C
- 小型フットプリントの 28-SSOP パッケージ
- 安全関連認証:
 - DIN EN IEC 60747-17 (VDE 0884-17) に準拠した絶縁耐圧: 8000V_{PK} の V_{IOTM}、2121V_{PK} の V_{IORM} (強化絶縁型)
 - UL 1577 に準拠した絶縁耐圧: 5700V_{RMS} (1 分間)
 - IEC 62368-1、IEC 60601-1、IEC 61010-1 認証
 - CQC、TUV、CSA 認証

2 アプリケーション

- USB ハブ、ホスト、ペリフェラル、ケーブルの絶縁
- 医療 / ヘルスケア
- ファクトリ オートメーション
- モータードライブ
- グリッド インフラ
- パワー デリバリー
- USB オーディオ

強化絶縁オプション

機能	ISOUSB211-Q1
保護レベル	強化
サージ絶縁電圧	12800V _{PK}
定格絶縁電圧	5700V _{RMS}
絶縁動作電圧	1500V _{RMS} / 2121V _{PK}

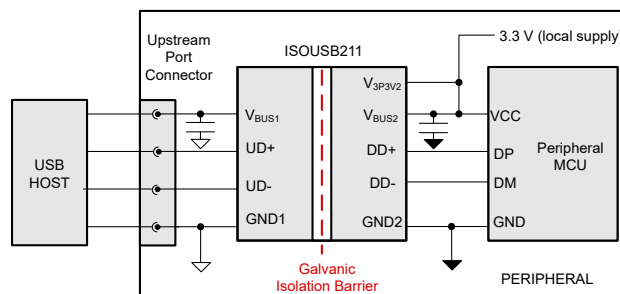
3 説明

ISOUSB211-Q1 は、low speed (1.5Mbps)、full speed (12Mbps) および high speed (480Mbps) の信号速度をサポートする、ガルバニック絶縁された USB 2.0 準拠のリピータです。このデバイスは、接続および速度の自動検出、プルアップとプルダウンの反映、リンク パワー マネージメントをサポートしているため、ドロップインにより USB ハブ、ホスト、ペリフェラル、ケーブルを絶縁できます。このデバイスは、自動ロール反転もサポートしています。切断後にアップストリーム側ポートで新しい接続が検出されると、アップストリームおよびダウンストリームのポート定義が反転します。この機能を使って本デバイスは USB On-The-Go (OTG) と Type-C デュアル ロール ポート (DRP) の実装に対応できます。ISOUSB211-Q1 は、プログラム可能なイコライゼーション機能を内蔵しており、基板の配線に起因する信号損失をキャンセルできるため、USB2.0 High-Speed TX および RX アイダイアグラム テンプレートへの適合に役立ちます。耐圧 5700V_{RMS} の二酸化ケイ素 (SiO₂) 絶縁膜を採用しており、1500V_{RMS} の動作電圧を実現しています。絶縁型電源と組み合わせると、高電圧に対して保護するとともに、バスからのノイズ電流がローカル グランドに入り込むことを防止できます。ISOUSB211-Q1 デバイスは、強化絶縁に利用できます。このデバイスは、-40°C ~ +125°C の広い周囲温度範囲に対応しています。小型の SSOP-28 (28-DP) パッケージで供給されます。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)
ISOUSB211-Q1	DP (SSOP, 28)	10.30mm × 7.50mm

- (1) 詳細については、[メカニカル](#)、[パッケージ](#)、および[注文情報](#)を参照してください。
- (2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



アプリケーション図



目次

1 特長.....	1	7.1 概要.....	19
2 アプリケーション.....	1	7.2 機能ブロック図.....	19
3 説明.....	1	7.3 機能説明.....	20
4 ピン構成および機能.....	3	7.4 デバイスの機能モード.....	23
5 仕様.....	5	8 アプリケーションと実装.....	24
5.1 絶対最大定格.....	5	8.1 使用上の注意.....	24
5.2 ESD 定格.....	5	8.2 代表的なアプリケーション.....	24
5.3 推奨動作条件.....	5	8.3 USB2.0 HS アイダイアグラム仕様に適合.....	29
5.4 熱に関する情報.....	6	8.4 熱に関する検討事項.....	29
5.5 電力定格.....	6	8.5 電源に関する推奨事項.....	33
5.6 絶縁仕様.....	7	8.6 レイアウト.....	33
5.7 安全関連認証.....	8	9 デバイスおよびドキュメントのサポート.....	36
5.8 安全限界値.....	8	9.1 ドキュメントのサポート.....	36
5.9 電気的特性.....	9	9.2 ドキュメントの更新通知を受け取る方法.....	36
5.10 スイッチング特性.....	13	9.3 サポート・リソース.....	36
5.11 絶縁特性曲線.....	15	9.4 商標.....	36
5.12 代表的特性.....	16	9.5 静電気放電に関する注意事項.....	36
6 パラメータ測定情報.....	17	9.6 用語集.....	36
6.1 テスト回路.....	17	10 改訂履歴.....	36
7 詳細説明.....	19	11 メカニカル、パッケージ、および注文情報.....	37

4 ピン構成および機能

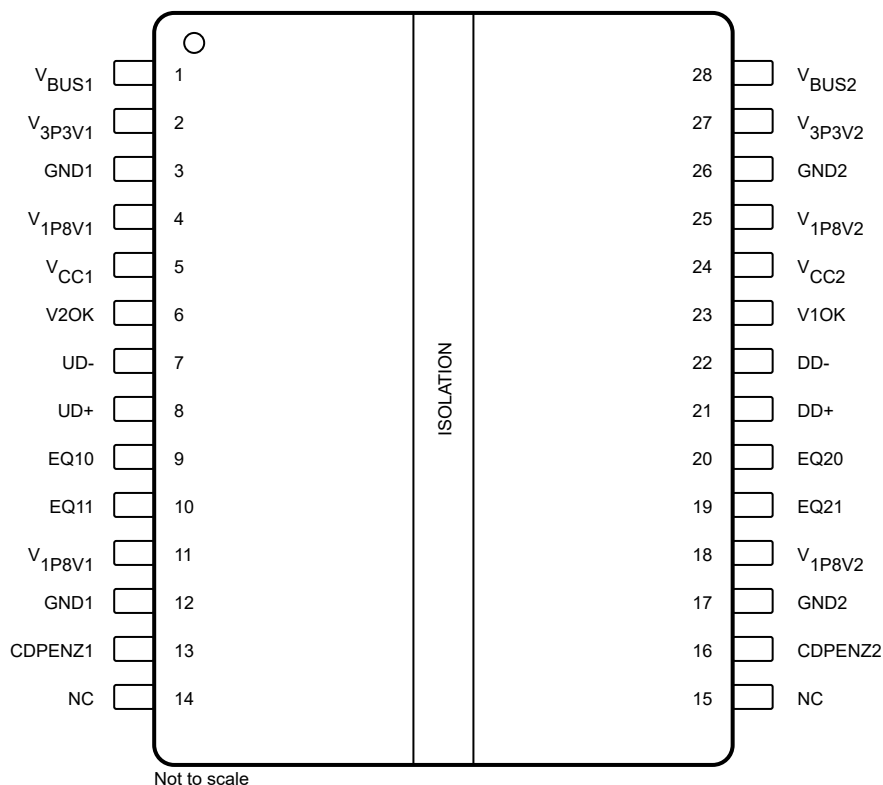


図 4-1. DP パッケージ 28 ピン SSOP 上面図

表 4-1. ピン機能 — 28 ピン

ピン 番号	名称	タイプ ⁽¹⁾	説明
1	V _{BUS1}	—	サイド 1 の入力電源。4.25V ~ 5.5V (例: USB パワー バス) 電源が利用可能な場合は、その電源を V _{BUS1} に接続します。この場合、内部 LDO が V _{3P3V1} を生成します。それ以外の場合は、V _{BUS1} と V _{3P3V1} を外部の 3.3V 電源に接続します。
2	V _{3P3V1}	—	サイド 1 の電源。4.25V ~ 5.5V の電源を V _{BUS1} に接続する場合、V _{3P3V1} と GND1 の間にバイパス コンデンサを接続します。この場合、内部 LDO が V _{3P3V1} を生成します。それ以外の場合は、V _{BUS1} と V _{3P3V1} を外部の 3.3V 電源に接続します。
3	GND1	—	グラウンド 1。アイソレータ側 1 のグラウンドリファレンス。
4	V _{1P8V1}	—	サイド 1 の電源。2.4V ~ 5.5V の電源を V _{CC1} に接続する場合、V _{1P8V1} と GND1 の間にバイパス コンデンサを接続します。この場合、内部 LDO が V _{1P8V1} を生成します。それ以外の場合は、V _{CC1} と V _{1P8V1} を外部の 1.8V 電源に接続します。
5	V _{CC1}	—	サイド 1 の入力電源。2.4V ~ 5.5V (例: USB パワー バス、または USB パワー バスから供給される DC/DC 電源) 電源が利用可能な場合は、その電源を V _{CC1} に接続します。この場合、内部 LDO が V _{1P8V1} を生成します。それ以外の場合は、V _{CC1} と V _{1P8V1} を外部の 1.8V 電源に接続します。
6	V2OK	O	このピンが High レベルの場合、サイド 2 に電源が投入されていることを示します。
7	UD-	I/O	アップストリーム側ポート D-。
8	UD+	I/O	アップストリーム側ポート D+。
9	EQ10	I	サイド 1、LSB のイコライゼーション設定。ロジック入力。
10	EQ11	I	サイド 1、MSB のイコライゼーション設定。ロジック入力。
11	V _{1P8V1}	—	ピン 11 をピン 4 に接続し、ローカル バイパス コンデンサをピン 11 の近くに配置します。
12	GND1	—	グラウンド 1。アイソレータ側 1 のグラウンドリファレンス。

表 4-1. ピン機能 — 28 ピン (続き)

ピン		タイプ ⁽¹⁾	説明
番号	名称		
13	CDPENZ1	I	アクティブ Low 信号。UD+/UD- ピンで CDP アドバタイズをイネーブルにします。
14	NC	—	フローティングのままにするか、V _{3P3V1} に接続します。
15	NC	—	フローティングのままにするか、V _{3P3V2} に接続します。
16	CDPENZ2	I	アクティブ Low 信号。DD+/DD- ピンで CDP アドバタイズをイネーブルにします。
17	GND2	—	グラウンド 2。アイソレータ側 2 のグラウンドリファレンス。
18	V _{1P8V2}	—	ピン 18 をピン 25 に接続し、ローカル バイパス コンデンサをピン 18 の近くに配置します。
19	EQ21	I	サイド 2、MSB のイコライゼーション設定。ロジック入力。
20	EQ20	I	サイド 2、LSB のイコライゼーション設定。ロジック入力。
21	DD+	I/O	ダウンストリーム側ポート D+。
22	DD-	I/O	ダウンストリーム側ポート D-。
23	V10K	O	このピンが High レベルの場合、サイド 1 に電源が投入されていることを示します。
24	V _{CC2}	—	サイド 2 の入力電源。2.4V ~ 5.5V (例: USB パワー バス、または USB パワー バスから供給される DC/DC 電源) 電源が利用可能な場合は、その電源を V _{CC2} に接続します。この場合、内部 LDO が V _{1P8V2} を生成します。それ以外の場合は、V _{CC2} と V _{1P8V2} を外部の 1.8V 電源に接続します。
25	V _{1P8V2}	—	サイド 1 の電源。2.4V ~ 5.5V の電源を V _{CC2} に接続する場合、V _{1P8V2} と GND2 の間にバイパス コンデンサを接続します。この場合、内部 LDO が V _{1P8V2} を生成します。それ以外の場合は、V _{CC2} と V _{1P8V2} を外部の 1.8V 電源に接続します。
26	GND2	—	グラウンド 2。アイソレータ側 2 のグラウンドリファレンス。
27	V _{3P3V2}	—	サイド 2 の電源。4.25V ~ 5.5V の電源を V _{BUS2} に接続する場合、V _{3P3V2} と GND1 の間にバイパス コンデンサを接続します。この場合、内部 LDO が V _{3P3V2} を生成します。それ以外の場合は、V _{BUS2} と V _{3P3V2} を外部の 3.3V 電源に接続します。
28	V _{BUS2}	—	サイド 2 の入力電源。4.25V ~ 5.5V (例: USB パワー バス) 電源が利用可能な場合は、その電源を V _{BUS2} に接続します。この場合、内部 LDO が V _{3P3V2} を生成します。それ以外の場合は、V _{BUS2} と V _{3P3V2} を外部の 3.3V 電源に接続します。

(1) I = 入力、O = 出力

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)^{(1) (2)}

		最小値	最大値	単位
V _{BUS1} , V _{BUS2}	V _{BUS} 電源電圧	-0.3	6	V
V _{CC1} , V _{CC2}	V _{CC} 電源電圧	-0.3	6	V
V _{3P3V1} , V _{3P3V2}	3.3V 入力電源電圧	-0.3	4.25	V
V _{1P8V1} , V _{1P8V2}	1.8V 入力電源電圧	-0.3	2.1	V
V _{DPDM}	バス ピンの電圧 (UD+, UD-, DD+, DD-), 合計 1000 回の短時間イベント、累積期間 1000 時間。	-0.3	6	V
V _{IO}	IO 電圧範囲 (V*OK, EQ*, CDPENZ*)	-0.3	V _{3P3Vx} + +0.3 ⁽³⁾	V
I _O	出力ピンの出力電流 (V*OK)	-10	10	mA
T _J	接合部温度		150	°C
T _{STG}	保存温度	-65	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用する、デバイスは完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) すべての電圧値は、ローカル グランド端子 (GND1 または GND2) を基準としており、ピーク電圧値です。
- (3) 最大電圧は 4.25V 以下である必要があります

5.2 ESD 定格

				値	単位
V _(ESD)	静電放電	人体モデル (HBM)、AEC Q100-002 に準拠 ^{(1) (3)}	GND を基準とした UD および DD ピン	±1500	V
			その他のすべてのピン	±2000	
V _(ESD)	静電放電	デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン ⁽²⁾		±500	V

- (1) AEC Q100-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施しなければならないと規定しています
- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
- (3) ピン UDP、UDM、DDP、および DDM は 1500V HBM の定格です

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V _{BUSx}	V _{BUS} 入力電圧 (リップルを含む)	4.25	5	5.5	V
V _{3P3Vx}	3.3V の入力電源電圧 (リップルを含む)	3.0	3.3	3.6	V
V _{CCx}	内部 1.8V LDO への入力電圧 (リップルを含む)	2.4	3	5.5	V
V _{1P8Vx}	1.8V の入力電源電圧 (リップルを含む)	1.71	1.8	1.94	V
T _A	自由空気での動作温度	-40		125	°C
T _J	接合部温度	-55		150	°C

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		ISOUSB211	単位
		DP (SSOP)	
		28 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	44.2	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	13.9	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	19.0	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	3.3	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	18.4	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	-	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。

5.5 電力定格

パラメータ		テスト条件	最小値	標準値	最大値	単位
ISOUSB211						
P_D	最大消費電力 (両サイド)	$V_{BUS1} = V_{BUS2} = V_{CC1} = V_{CC2} = 5.5V$, $T_J = 150^\circ C$, $R_L = 50\Omega$ (DD- および DD+, それぞれ GNDx に接続), 240MHz 50% のデューティ サイクル, 差動 0 ~ 400mV のスイング信号を UD- および UD+ に入力			1232	mW
P_{D1}	最大消費電力 (サイド 1)	$V_{BUS1} = V_{BUS2} = V_{CC1} = V_{CC2} = 5.5V$, $T_J = 150^\circ C$, $R_L = 50\Omega$ (DD- および DD+, それぞれ GNDx に接続), 240MHz 50% のデューティ サイクル, 差動 0 ~ 400mV のスイング信号を UD- および UD+ に入力			616	mW
P_{D2}	最大消費電力 (サイド 2)	$V_{BUS1} = V_{BUS2} = V_{CC1} = V_{CC2} = 5.5V$, $T_J = 150^\circ C$, $R_L = 50\Omega$ (DD- および DD+, それぞれ GNDx に接続), 240MHz 50% のデューティ サイクル, 差動 0 ~ 400mV のスイング信号を UD- および UD+ に入力			616	mW

5.6 絶縁仕様

パラメータ		テスト条件	仕様 DP-28	単位
IEC 60664-1				
CLR	外部空間距離 ⁽¹⁾	空気を通したサイド 1 とサイド 2 の距離	>8	mm
CPG	外部沿面距離 ⁽¹⁾	パッケージ表面上でのサイド 1 とサイド 2 の距離	>8	mm
DTI	絶縁物を介した距離	最小内部ギャップ (内部空間距離)	>21	μm
CTI	比較トラッキング インデックス	IEC 60112、UL 746A	>600	V
	材料グループ	IEC 60664-1 に準拠	I	
	過電圧カテゴリ	定格商用電源 V_{RMS} が 600V 以下	I-IV	
		定格商用電源 V_{RMS} が 1000V 以下	I-III	
DIN EN IEC 60747-17 (VDE 0884-17) ⁽²⁾				
V_{IORM}	最大反復ピーク絶縁電圧	AC 電圧 (バイポーラ)	2121	V_{PK}
V_{IOWM}	最大絶縁動作電圧	AC 電圧 (正弦波)、絶縁膜経時破壊 (TDDB) テスト	1500	V_{RMS}
		DC 電圧	2121	V_{DC}
V_{IOTM}	最大過渡絶縁電圧	$V_{TEST} = V_{IOTM}$, $t = 60s$ (認定)、 $V_{TEST} = 1.2 \times V_{IOTM}$, $t = 1s$ (100% 出荷時テスト)	8000	V_{PK}
V_{IMP}	最大インパルス電圧 ⁽³⁾	IEC 62368-1 に準拠し気中でテスト、1.2/50us の波形	8000	V_{PK}
V_{IOSM}	最大サージ絶縁電圧 ⁽⁴⁾	IEC 62368-1 に準拠し、油中でテスト済み (認定試験)、1.2/50μs の波形	12800	V_{PK}
q_{pd}	見掛けの電荷 ⁽⁵⁾	方法 a: I/O 安全テスト サブグループ 2/3 の後、 $V_{ini} = V_{IOTM}$, $t_{ini} = 60s$, $V_{pd(m)} = 1.2 \times V_{IORM}$, $t_m = 10s$	≤ 5	pC
		方法 a: 環境テスト サブグループ 1 の後、 $V_{ini} = V_{IOTM}$, $t_{ini} = 60s$, $V_{pd(m)} = 1.6 \times V_{IORM}$, $t_m = 10s$	≤ 5	
		メソッド b: ルーチン テスト (100% 出荷時)、 $V_{ini} = 1.2 \times V_{IOTM}$, $t_{ini} = 1s$, $V_{pd(m)} = 1.875 \times V_{IORM}$, $t_m = 1s$ (メソッド b1) または $V_{pd(m)} = V_{ini}$, $t_m = t_{ini}$ (メソッド b2)	≤ 5	
C_{IO}	絶縁バリア容量、入力から出力へ ⁽⁶⁾	$V_{IO} = 0.4 \times \sin(2\pi ft)$, $f = 1MHz$	1.2	pF
R_{IO}	絶縁抵抗、入力から出力へ ⁽⁶⁾	$V_{IO} = 500V$, $T_A = 25^\circ C$	$> 10^{12}$	Ω
		$V_{IO} = 500V$ ($100^\circ C \leq T_A \leq 125^\circ C$ 時)	$> 10^{11}$	
		$V_{IO} = 500V$ ($T_S = 150^\circ C$ 時)	$> 10^9$	
	汚染度		2	
	耐候性カテゴリ		40/125/21	
UL 1577				
V_{ISO}	絶縁耐圧	$V_{TEST} = V_{ISO}$, $t = 60s$ (認定)、 $V_{TEST} = 1.2 \times V_{ISO}$, $t = 1s$ (100% 出荷時テスト)	5700	V_{RMS}

- (1) 基板設計時には、プリント基板 (PCB) 上のアイソレータの取り付けパッドによって沿面距離と空間距離が減少しないように注意する必要があります。グループ、リブ、または両方を挿入すると、PCB の沿面距離を延長できます。
- (2) ISOUSB211 は、安全定格内に限定した安全な電氣的絶縁に適しています。安全定格への準拠は、適切な保護回路によって保証する必要があります。
- (3) テストは、パッケージのサージ耐性を判定するため、空気中で実行されます。
- (4) テストは、絶縁バリアの固有サージ耐性を判定するため、油中で実行されます。
- (5) 見掛けの放電電荷とは、部分放電 (pd) により発生する放電です。
- (6) 絶縁バリアのそれぞれの側にあるすべてのピンを互いに接続して、2 つの端子を持つデバイスを構成します。

5.7 安全関連認証

VDE	CSA	UL	CQC	TUV
DIN EN IEC 60747-17 (VDE 0884-17) による認証	IEC 61010-1、IEC 62368-1、IEC 60601-1 による認証	UL 1577 部品認定プログラムの認定	GB 4943.1 に従う認証	EN 61010-1 および EN 62368-1 による認証
認証書番号: 40040142	マスター契約: 220991	ファイル番号: E181974	認証: CQC15001121716	クライアント ID: 77311

5.8 安全限界値

安全限界値⁽¹⁾の目的は、入力または出力回路の故障による絶縁バリアの損傷の可能性を最小限に抑えることです。

パラメータ		テスト条件	最小値	標準値	最大値	単位
DP-28 パッケージ						
I_S	安全入力、出力、または電源電流	$R_{\theta JA} = 44.2^{\circ}\text{C/W}$, $V_I = 5.5\text{V}$, $T_J = 150^{\circ}\text{C}$, $T_A = 25^{\circ}\text{C}$			514	mA
		$R_{\theta JA} = 44.2^{\circ}\text{C/W}$, $V_I = 3.6\text{V}$, $T_J = 150^{\circ}\text{C}$, $T_A = 25^{\circ}\text{C}$			785	mA
		$R_{\theta JA} = 44.2^{\circ}\text{C/W}$, $V_I = 1.94\text{V}$, $T_J = 150^{\circ}\text{C}$, $T_A = 25^{\circ}\text{C}$			1457	mA
P_S	安全入力、出力、または合計電力	$R_{\theta JA} = 44.2^{\circ}\text{C/W}$, $T_J = 150^{\circ}\text{C}$, $T_A = 25^{\circ}\text{C}$			2828	mW
T_S	最高安全温度				150	$^{\circ}\text{C}$

- (1) 最高安全温度 T_S は、本デバイスに規定された最大接合部温度 T_J と同じ値です。 I_S および P_S パラメータはそれぞれ安全電流と安全電力を表します。 I_S および P_S の最大限界値を超過してはなりません。これらの限界値は、周囲温度 T_A によって異なります。表にある接合部から空気への熱抵抗 $R_{\theta JA}$ は、リード付き表面実装パッケージ向けの High-K テスト ボードに実装されたデバイスの数値です。これらの式を使って各パラメータの値を計算します。
- $T_J = T_A + R_{\theta JA} \times P$, ここで P は本デバイスで消費される電力です。
- $T_{J(\max)} = T_S = T_A + R_{\theta JA} \times P_S$, ここで $T_{J(\max)}$ は最大許容接合部温度です。
- $P_S = I_S \times V_I$, ここで V_I は最大入力電圧です。

5.9 電気的特性

推奨動作条件範囲内 (特に記述のない限り)。すべての標準値は、 $T_A = 25^\circ\text{C}$ 、 $V_{\text{BUSx}} = 5\text{V}$ 、 $V_{3\text{P3Vx}} = 3.3\text{V}$ 、 $V_{1\text{P8Vx}} = 1.8\text{V}$ です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源の特性						
I_{VBUSx} または $I_{3\text{P3Vx}}$	V_{BUS} または $V_{3\text{P3V}}$ の消費電流 - High-Speed (HS) モード	受信側 HS アクティブ (240MHz 信号レート)、 $\text{EQxx} = 00$ 、D+ および D- のグラウンドに対して $R_L = 45\Omega$		11.0	13.5	mA
		送信側 HS アクティブ (240MHz 信号レート)、 $\text{EQxx} = 00$ 、D+ および D- のグラウンドに対して $R_L = 45\Omega$		10.5	13.5	mA
		HS アイドル状態、 $\text{EQxx} = 00$ 、D+ および D- のグラウンドに対して $R_L = 45\Omega$		10.5	13.5	mA
I_{VBUSx} または $I_{3\text{P3Vx}}$	V_{BUS} または $V_{3\text{P3V}}$ の消費電流 - Full-Speed (FS) および Low-Speed (LS) モード	受信側 FS アクティブ (6MHz 信号レート)、図 7-9、 $C_L = 50\text{pF}$		12	15.3	mA
		送信側 FS アクティブ (6MHz 信号レート)、図 7-9、 $C_L = 50\text{pF}$		9.5	13	mA
		受信側 LS アクティブ (750kHz 信号レート)、図 7-10、 $C_L = 450\text{pF}$		11	13.5	mA
		送信側 LS アクティブ (750kHz 信号レート)、図 7-10、 $C_L = 450\text{pF}$		9.5	13	mA
		FS/LS アイドル状態 (US 側または DS 側)		7.4	11	mA
I_{VBUSx} または $I_{3\text{P3Vx}}$	V_{BUS} または $V_{3\text{P3V}}$ の消費電流 - L1 スリープ モード	アップストリーム側		7.5	9.8	mA
		ダウンストリーム側		7.3	9.5	mA
I_{VBUSx} または $I_{3\text{P3Vx}}$	V_{BUS} または $V_{3\text{P3V}}$ の消費電流 - L2 サスペンド モード	アップストリーム側		1.07	1.55	mA
		ダウンストリーム側		5.6	7.5	mA
I_{VBUSx} または $I_{3\text{P3Vx}}$	V_{BUS} または $V_{3\text{P3V}}$ の消費電流 - 接続なし	アップストリーム側		6.2	8.5	mA
		ダウンストリーム側		6.2	8.9	mA
I_{VCCx} または $I_{1\text{P8Vx}}$	I_{VCCx} または $I_{1\text{P8Vx}}$ の消費電流 - High-Speed (HS) モード	受信側 HS アクティブ (240MHz 信号レート)、 $\text{EQxx} = 00$ 、D+ および D- のグラウンドに対して $R_L = 45\Omega$		80	96	mA
		送信側 HS アクティブ (240MHz 信号レート)、 $\text{EQxx} = 00$ 、D+ および D- のグラウンドに対して $R_L = 45\Omega$		85	96	mA
		HS アイドル状態、 $\text{EQxx} = 00$ 、D+ および D- のグラウンドに対して $R_L = 45\Omega$		77	90	mA
I_{VCCx} または $I_{1\text{P8Vx}}$	I_{VCCx} または $I_{1\text{P8Vx}}$ の消費電流 - Full-Speed (FS) および Low-Speed (LS) モード	受信側 FS アクティブ (6MHz 信号レート)、図 7-9、 $C_L = 50\text{pF}$		0.4	0.55	mA
		送信側 FS アクティブ (6MHz 信号レート)、図 7-9、 $C_L = 50\text{pF}$		0.4	0.55	mA
		受信側 LS アクティブ (750kHz 信号レート)、図 7-10、 $C_L = 450\text{pF}$		0.4	0.55	mA
		送信側 LS アクティブ (750kHz 信号レート)、図 7-10、 $C_L = 450\text{pF}$		0.4	0.55	mA
		FS/LS アイドル状態		0.4	0.55	mA
I_{VCCx} または $I_{1\text{P8Vx}}$	I_{VCCx} または $I_{1\text{P8Vx}}$ 消費電流 - L1 スリープ モード	アップストリーム側		0.4	0.55	mA
		ダウンストリーム側		0.4	0.55	mA
I_{VCCx} または $I_{1\text{P8Vx}}$	I_{VCCx} または $I_{1\text{P8Vx}}$ の消費電流 - L2 サスペンド モード	アップストリーム側		0.4	0.55	mA
		ダウンストリーム側		0.4	0.55	mA
I_{VCCx} または $I_{1\text{P8Vx}}$	I_{VCCx} または $I_{1\text{P8Vx}}$ の消費電流 - 接続なし	アップストリーム側		0.4	0.55	mA
		ダウンストリーム側		0.4	0.55	mA
$UV^+_{(\text{VBUSx})} \text{ (1)}$	電源電圧が上昇しているときの低電圧スレッシュホールド、 V_{BUS}				4.0	V
$UV^-_{(\text{VBUSx})} \text{ (1)}$	電源電圧が低下しているときの低電圧スレッシュホールド、 V_{BUS}		3.6			V
$UVHYS_{(\text{VBUSx})} \text{ (1)}$	低電圧スレッシュホールド ヒステリシス、 V_{BUS}			0.08		V

推奨動作条件範囲内 (特に記述のない限り)。すべての標準値は、 $T_A = 25^\circ\text{C}$ 、 $V_{\text{BUSx}} = 5\text{V}$ 、 $V_{3\text{P3Vx}} = 3.3\text{V}$ 、 $V_{1\text{P8Vx}} = 1.8\text{V}$ です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$UV^+_{(V3P3Vx)}$	電源電圧が上昇しているときの低電圧スレッシュホールド、 $V_{3\text{P3V}}$				2.95	V
$UV^-_{(V3P3Vx)}$	電源電圧が低下しているときの低電圧スレッシュホールド、 $V_{3\text{P3V}}$		1.95			V
$UVHYS_{(V3P3Vx)}$	低電圧スレッシュホールド ヒステリシス、 $V_{3\text{P3V}}$			0.11		V
$UV^+_{(VCCx)}^{(2)}$	電源電圧が上昇しているときの低電圧スレッシュホールド、 V_{CC}				2.35	V
$UV^-_{(VCCx)}^{(2)}$	電源電圧が低下しているときの低電圧スレッシュホールド、 V_{CC}		2			V
$UVHYS_{(VCCx)}^{(2)}$	低電圧スレッシュホールド ヒステリシス、 V_{CC}			0.07		V
$UV^+_{(V1P8Vx)}$	電源電圧が上昇しているときの低電圧スレッシュホールド、 $V_{1\text{P8V}}$				1.66	V
$UV^-_{(V1P8Vx)}$	電源電圧が低下しているときの低電圧スレッシュホールド、 $V_{1\text{P8V}}$		1.25			V
$UVHYS_{(V1P8Vx)}$	低電圧スレッシュホールド ヒステリシス、 $V_{1\text{P8V}}$			0.05		V
デジタル入力						
V_{IH}	High レベル入力電圧		$0.7 \times V_{3\text{PV3x}}$			V
V_{IL}	Low レベル入力電圧			$0.3 \times V_{3\text{PV3x}}$		V
V_{IHYS}	入力遷移スレッシュホールドのヒステリシス		0.3			V
I_{IH}	High レベル入力電流				1	μA
I_{IL}	Low レベル入力電流				10	μA
デジタル出力 (V10K、V20K)						
V_{OH}	High レベル出力電圧	$I_O = -3\text{mA}$ ($3.0\text{V} \leq V_{3\text{P3Vx}} \leq 3.6\text{V}$ の場合)		$V_{3\text{P3Vx}} - 0.2$		V
V_{OL}	Low レベル出力電圧	$I_O = 3\text{mA}$ ($3.0\text{V} \leq V_{3\text{P3Vx}} \leq 3.6\text{V}$ の場合)			0.2	V
UDx、DDx、入力容量、終端						
$Z_{\text{INP_xDx}}$	GND へのインピーダンス、プルアップ / プルダウンなし	$V_{\text{in}} = 3.6\text{V}$ 、 $V_{3\text{P3Vx}} = 3.0\text{V}$ 、 $T_J < 125^\circ\text{C}$ 、USB 2.0 仕様セクション 7.1.6	300			k Ω
$C_{\text{IO_xDx}}$	対 GND 静電容量	240MHz の VNA、ハイ インピーダンスのドライバで測定			10	pF
R_{PUI}	アップストリーム側ポート (アイドル) のバス プルアップ抵抗	USB 2.0 仕様セクション 7.1.5	0.9	1.1	1.575	k Ω
R_{PUR}	アップストリーム側ポート (受信側) のバス プルアップ抵抗	USB 2.0 仕様セクション 7.1.5	1.5	2.2	3	k Ω
R_{PD}	ダウンストリーム側ポートのバス プルダウン抵抗	USB 2.0 仕様セクション 7.1.5	14.25	19	24.8	k Ω
V_{TERM}	アップストリーム側ポート プルアップ (RPU) の終端電圧	USB 2.0 仕様セクション 7.1.5、D+ または D- で測定、アップストリーム ポートでプルアップ イネーブル、外部負荷は接続解除。	3		3.6	V
V_{HSTERM}	High-Speed 時の終端電圧	USB 2.0 仕様セクション 7.1.6.2、High-Speed アイドル状態での出力電圧	-10		10	mV
Z_{HSTERM}	ドライバ出力抵抗 (High-Speed 終端としても機能)	($V_{\text{OH}} = 0 \sim 600\text{mV}$) USB 2.0 仕様セクション 7.1.1.1 および図 7-5	40.5	45	49.5	Ω
UDx、DDx、入力レベル LS/FS						
V_{IH}	High (駆動)	USB 2.0 仕様セクション 7.1.4 (コネクタで測定)	2			V
V_{IHZ}	High (フローティング)	USB 2.0 仕様セクション 7.1.4 (ダウンストリームポートのプルダウン、およびアップストリームポートのプルアップ抵抗がイネーブル)。	2.7		3.6	V
V_{IL}	Low	USB 2.0 仕様セクション 7.1.4			0.8	V
V_{DI}	差動入力感度	$ (\text{xD}^+) - (\text{xD}^-) $ 、USB 2.0 仕様、図 7-19、(コネクタで測定)	0.2			V
V_{CM}	同相範囲	VDI 範囲を含む、USB 2.0 仕様、図 7-19、(コネクタで測定)	0.8		2.5	V

推奨動作条件範囲内 (特に記述のない限り)。すべての標準値は、 $T_A = 25^\circ\text{C}$ 、 $V_{\text{BUSx}} = 5\text{V}$ 、 $V_{3\text{P3Vx}} = 3.3\text{V}$ 、 $V_{1\text{P8Vx}} = 1.8\text{V}$ です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
UDx、DDx、出力レベル LS/FS						
V_{OL}	Low	USB 2.0 仕様セクション 7.1.1、0.9k Ω の RL で 3.6V まで測定	0		0.3	V
V_{OH}	High (駆動)	USB 2.0 仕様セクション 7.1.1、14.25k Ω の RL で GND まで測定	2.8		3.6	V
V_{OSE1}	SE1	USB 2.0 仕様セクション 7.1.1	0.8			V
Z_{FSTERM}	ドライバ シリーズの出力抵抗	USB 2.0 仕様セクション 7.1.1 および図 7-4、VOL または VOH の間に測定	28		44	Ω
V_{CRS}	出力信号クロスオーバー電圧	USB 2.0 仕様セクション 7.1.1 図 7-8、7-9、7-10、アイドル状態からの最初の遷移は除外	1.3		2	V
UDx、DDx、入力レベル HS						
V_{HSSQ}	High-Speed スケルチ / 非スケルチ検出スレッショルド	USB 2.0 仕様セクション 7.1.7.2、振幅を大きくして 240MHz で測定、 $V_{\text{CM}} = -50\text{mV} \sim 500\text{mV}$	100	116	150	mV
V_{HSDSC}	High-Speed 切断検出スレッショルド HSDC の標準値	USB 2.0 仕様セクション 7.1.7.2、 $V_{\text{CM}} = -50\text{mV} \sim 500\text{mV}$	525	575	625	mV
$V_{\text{CHIRP_TH}}$	チャープ検出スレッショルド	チャープ検出スレッショルド、 $V_{\text{CM}} = -50\text{mV} \sim 500\text{mV}$	70	215	365	mV
V_{HSRX}	High-Speed 差動入力信号レベルのデータ感度	240MHz でのピーク ツー ピーク			100	mV
V_{HSCM}	High-Speed データ信号の同相電圧範囲	USB 2.0 仕様セクション 7.1.4.2	-50	200	500	mV
UDx、DDx、出力レベル HS						
V_{HSOH}	High-Speed データ信号 High	USB 2.0 仕様セクション 7.1.7.2、EQxx = 00、テスト負荷: D+、D- の GND に対して 45 Ω	360	400	440	mV
V_{HSOL}	High-Speed データ信号 Low	USB 2.0 仕様セクション 7.1.7.2、EQxx = 00、テスト負荷: D+、D- の GND に対して 45 Ω	-10		10	mV
V_{HSOI}	High-Speed データ信号アイドル、ドライバがオフで終端がオン (測定されたシングル エンド)	USB 2.0 仕様セクション 7.1.7.2、EQxx = 00、テスト負荷: D+、D- の GND に対して 45 Ω	-10		10	mV
V_{CHIRPJ}	チャープ J レベル (差動電圧)	USB 2.0 仕様セクション 7.1.7.2、EQxx = 00、テスト負荷: D+、D- の GND に対して 45 Ω 、D+ の 3.3V に対して 2.2k Ω プルアップ	700	850	1100	mV
V_{CHIRPK}	チャープ K レベル (差動電圧)	USB 2.0 仕様セクション 7.1.7.2、EQxx = 00、テスト負荷: D+、D- の GND に対して 45 Ω 、D+ の 3.3V に対して 2.2k Ω プルアップ	-900	-750	-500	mV
$U2_TX_{\text{CM}}$	High-Speed TX DC コモン モード	テスト負荷: D+、D- の GND に対して 45 Ω	-50	200	500	mV

推奨動作条件範囲内 (特に記述のない限り)。すべての標準値は、 $T_A = 25^\circ\text{C}$ 、 $V_{\text{BUSx}} = 5\text{V}$ 、 $V_{3\text{P3Vx}} = 3.3\text{V}$ 、 $V_{1\text{P8Vx}} = 1.8\text{V}$ です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
イコライゼーションとブリエンファシス						
EQ _{HS}	High-Speed RX イコライゼーション	EQ1 = Low, EQ0 = Low, 240MHz	-0.24	0.46	0.75	dB
EQ _{HS}	High-Speed RX イコライゼーション	EQ1 = Low, EQ0 = Float, 240MHz	0.27	0.98	1.5	dB
EQ _{HS}	High-Speed RX イコライゼーション	EQ1 = Low, EQ0 = High, 240MHz	0.70	1.50	2.2	dB
EQ _{HS}	High-Speed RX イコライゼーション	EQ1 = Float, EQ0 = Low, 240MHz	1.04	2.00	2.81	dB
EQ _{HS}	High-Speed RX イコライゼーション	EQ1 = Float, EQ0 = Float, 240MHz	1.45	2.68	3.8	dB
EQ _{HS}	High-Speed RX イコライゼーション	EQ1 = Float, EQ0 = High, 240MHz	1.73	3.09	4.4	dB
EQ _{HS}	High-Speed RX イコライゼーション	EQ1 = High, EQ0 = Low, 240MHz	2.00	3.46	4.7	dB
EQ _{HS}	High-Speed RX イコライゼーション	EQ1 = High, EQ0 = Float, 240MHz	2.25	3.80	5.1	dB
EQ _{HS}	High-Speed RX イコライゼーション	EQ1 = High, EQ0 = High, 240MHz	2.25	3.80	5.1	dB
PE _{HS}	High-Speed TX ブリエンファシス	EQ1 = Low, EQ0 = Low, 240MHz	0.25	0.48	0.75	dB
PE _{HS}	High-Speed TX ブリエンファシス	EQ1 = Low, EQ0 = Float, 240MHz	0.62	0.9	1.2	dB
PE _{HS}	High-Speed TX ブリエンファシス	EQ1 = Low, EQ0 = High, 240MHz	0.89	1.36	1.5	dB
PE _{HS}	High-Speed TX ブリエンファシス	EQ1 = Float, EQ0 = Low, 240MHz	1.4	1.7	2.0	dB
PE _{HS}	High-Speed TX ブリエンファシス	EQ1 = Float, EQ0 = Float, 240MHz	1.7	2.1	2.5	dB
PE _{HS}	High-Speed TX ブリエンファシス	EQ1 = Float, EQ0 = High, 240MHz	2.1	2.5	2.9	dB
PE _{HS}	High-Speed TX ブリエンファシス	EQ1 = High, EQ0 = Low, 240MHz	2.7	3.2	3.7	dB
PE _{HS}	High-Speed TX ブリエンファシス	EQ1 = High, EQ0 = Float, 240MHz	3.4	4.0	4.6	dB
PE _{HS}	High-Speed TX ブリエンファシス	EQ1 = High, EQ0 = High, 240MHz	3.4	4.0	4.6	dB
CDP						
V _{DM_SRC}	VDM_SRC の電圧	0 ~ 250 μA の範囲の負荷電流	0.5		0.7	V
I _{DP_SINK}	IDP_SINK (D+)	D+ 電圧 = 0V ~ 0.7V	25		175	μA
V _{DAT_REF+}	V _{DAT_REF} コンパレータの立ち上がりスレッショルド		300		400	mV
V _{DAT_REF-}	V _{DAT_REF} コンパレータの立ち下がりスレッショルド		275		385	mV
サーマル シャットダウン						
TSD+	サーマル シャットダウン 起動温度		160	170	180	$^\circ\text{C}$
TSD-	サーマル シャットダウン 停止温度		150	160	170	$^\circ\text{C}$
TSD _{HYS}	サーマル シャットダウン ヒステリシス			10		$^\circ\text{C}$

- (1) V_{BUSx} ピンが対応する $V_{3\text{P3Vx}}$ ピンに外部接続されている場合、 V_{BUSx} の UVLO スレッショルドは $\text{UV}^+_{(V3\text{P3Vx})}$ 、 $\text{UV}^-_{(V3\text{P3Vx})}$ 、 $\text{UVHYS}_{(V3\text{P3Vx})}$ によって制御されます
- (2) V_{CCx} ピンが対応する $V_{1\text{P8Vx}}$ ピンに外部接続されている場合、 V_{CCx} の UVLO スレッショルドは $\text{UV}^+_{(V1\text{P8Vx})}$ 、 $\text{UV}^-_{(V1\text{P8Vx})}$ 、 $\text{UVHYS}_{(V1\text{P8Vx})}$ によって制御されます

5.10 スイッチング特性

推奨動作条件範囲内 (特に記述のない限り)。すべての標準値は、 $T_A = 25^\circ\text{C}$ 、 $V_{\text{BUSx}} = 5\text{V}$ 、 $V_{3\text{P3Vx}} = 3.3\text{V}$ 、 $V_{1\text{P8Vx}} = 1.8\text{V}$ です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源投入のタイミング						
T_{PWRUP}	サイド 1 とサイド 2 の両方に有効な電源が供給された後、デバイスの電源オンと USB 信号の認識に要する時間。	すべての外部電源は、 $5\mu\text{s}$ の電源投入時間で同時にランプアップされます。		3.6	8	ms
UDx、DDx、HS ドライバのスイッチング特性						
T_{HSR}	立ち上がり時間 (10%~90%)	USB 2.0 仕様セクション 7.1.2、D+ および D- の GND 負荷に対して 45Ω 、 $\text{EQxx} = 00$	310	370	510	ps
T_{HSF}	立ち下がり時間 (10%~90%)	USB 2.0 仕様セクション 7.1.2、D+ および D- の GND 負荷に対して 45Ω 、 $\text{EQxx} = 00$	310	370	510	ps
UDx、DDx、FS ドライバのスイッチング特性						
T_{FR}	立ち上がり時間 (10%~90%)	USB 2.0 仕様の図 7-8、7-9、 $C_L = 50\text{pF}$	4		20	ns
T_{FF}	立ち下がり時間 (10%~90%)	USB 2.0 仕様の図 7-8、7-9、 $C_L = 50\text{pF}$	4		20	ns
T_{FRFM}	差動立ち上がり / 立ち下がり時間マッチング ($T_{\text{FR}}/T_{\text{FM}}$)	USB 2.0 仕様 7.1.2、アイドル状態からの最初の遷移を除く、図 7-9、 $C_L = 50\text{pF}$	90		111.1	%
UDx、DDx、LS ドライバのスイッチング特性						
T_{LR}	立ち上がり時間 (10%~90%)	USB 2.0 仕様の図 7-8 および 7-10、 C_L の範囲は $50\text{pF} \sim 600\text{pF}$ 。	75		300	ns
T_{LF}	立ち下がり時間 (10%~90%)	USB 2.0 仕様の図 7-8 および 7-10、 C_L の範囲は $50\text{pF} \sim 600\text{pF}$ 。	75		300	ns
T_{LRFM}	立ち上がり / 立ち下がり時間マッチング ($T_{\text{LR}}/T_{\text{FM}}$)、アイドル状態からの最初の遷移は除外されます。	USB 2.0 仕様の図 7-8 および 7-10、 C_L の範囲は $50\text{pF} \sim 600\text{pF}$ 。	80		125	%
リピータのタイミング - 接続、切断、リセット、L1、L2						
T_{FILTCNN}	FS または LS 接続検出でのデバウンスフィルタ		45	70	80	μs
T_{DDIS}	LS/FS L0 モードでの DS 側ポートの切断を検出するまでの時間。		2		7	μs
T_{DETRST}	LS/FS L0 モードでの US ポートのリセット検出に要する時間		0		7	μs
$T_{2\text{SUSP}}$	バスが継続的にアイドル状態のとき、US 側がサスペンド (L2) を検出し、 2.5mA 未満の電流を流すために要する時間		3		10	ms
$t_{\text{DRESUMEL1}}$	US で再開を検出し、DS ポートでスリープ / L1 状態からの再開を反映 / 駆動するまでの最大時間。				1	μs
$t_{\text{DRESUMEL2}}$	US で再開を検出し、DS ポートでサスペンド / L2 状態からの再開を反映 / 駆動するまでの最大時間。				130	μs
t_{DWAKEL1}	sleep/L1 状態で、リモートウェイクを検出して伝搬するまでの最大時間。				5	μs
t_{DWAKEL2}	サスペンド / L2 状態で、検出が保証されるリモートウェイクの最大パルス幅。				900	μs
t_{DRSMPROP}	サスペンド / L2 状態で、リモートウェイクを検出した後、アップストリームおよびダウンストリームで再開が駆動されるまでの最小期間。		1			ms
CMTI	同相過渡耐性	PK-PK 同相ノイズ、 $V_{\text{CMPKPK}} = 1200\text{V}$ 、(xD+、xD-) を ($V_{3\text{P3Vx}}$ 、0)、(0、 $V_{3\text{P3Vx}}$)、または (0、0) に設定。図 6-3 を参照	50	100		kV/ μs

推奨動作条件範囲内 (特に記述のない限り)。すべての標準値は、 $T_A = 25^{\circ}\text{C}$ 、 $V_{\text{BUSX}} = 5\text{V}$ 、 $V_{3\text{P3VX}} = 3.3\text{V}$ 、 $V_{1\text{P8VX}} = 1.8\text{V}$ です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
リピータのタイミング - LS、FS						
T_{LSDD}	Low-Speed 差動データ伝搬遅延	USB 2.0 仕様セクション 7.1.14。図 7-52(C)。			358	ns
T_{LSOP}	SOP 後の LS データのビット幅の歪み	USB 2.0 仕様セクション 7.1.14。図 7-52(C)。	-40		25	ns
T_{LSJP}	LS リピータの追加ジッタ - ペア遷移	USB 2.0 仕様セクション 7.1.14。図 7-52(C)。	-5		5	ns
T_{LSJN}	LS リピータの追加ジッタ - 次の遷移	USB 2.0 仕様セクション 7.1.14。図 7-52(C)。	-7.0		7.0	ns
T_{LST}	LS 差動遷移中の SE0 間隔の最小幅 - リピータによってフィルタ処理されます	USB 2.0 仕様セクション 7.1.4。	210			ns
T_{LEOPD}	T_{LSDD} に対するリピータ EOP 遅延	USB 2.0 仕様セクション 7.1.14。図 7-53(C)。	0		200	ns
T_{LESK}	LS EOP 中にリピータが引き起こす SE0 スキュー	USB 2.0 仕様セクション 7.1.14。図 7-53(C)。	-100		100	ns
T_{FSDD}	Full-Speed 差動データ伝搬遅延	USB 2.0 仕様セクション 7.1.14。図 7-52(C)。			70	ns
T_{FSOP}	SOP 後の FS データのビット幅の歪み	USB 2.0 仕様セクション 7.1.14。図 7-52(C)。	-10		10	ns
T_{FSJP}	FS リピータの追加ジッタ - ペア遷移	USB 2.0 仕様セクション 7.1.14。図 7-52(C)。	-2		2	ns
T_{FSJN}	FS リピータの追加ジッタ - 次の遷移	USB 2.0 仕様セクション 7.1.14。図 7-52(C)。	-6.0		6.0	ns
T_{FST}	FS 差動遷移中の SE0 間隔の最小幅 - リピータによってフィルタ処理されます	USB 2.0 仕様セクション 7.1.4。	14			ns
T_{FEOPD}	T_{FSDD} に対するリピータ EOP 遅延	USB 2.0 仕様セクション 7.1.14。図 7-53(C)。	0		17	ns
T_{FESK}	FS EOP 中にリピータが引き起こす SE0 スキュー	USB 2.0 仕様セクション 7.1.14。図 7-53(C)。	-15		15	ns
リピータのタイミング - HS						
T_{HSSOPT}	High-Speed パケット 切り捨ての開始	USB 2.0 仕様、セクション 7.1.10。		6	8	UI
T_{HSEOPD}	High-Speed パケットドリブルの終了	USB 2.0 仕様、セクション 7.1.13。		7	8	UI
T_{HSPD}	High-Speed 伝搬遅延	USB 2.0 仕様、セクション 7.1.14。	2	3	4	ns
T_{HSTJ}	High-Speed リピータ (すべての完全な SOP ビットを含む) の合計追加ジッタ (出力ジッタ - 入力ジッタ)、EQxx = 00				120	ps
T_{HSRJ}	High-Speed リピータ (すべての完全な SOP ビットを含む) の追加ランダム ジッタ (出力ジッタ - 入力ジッタ)、EQxx = 00				35	ps
T_{HSDJ}	High-Speed リピータ (すべての完全な SOP ビットを含む) の追加確定的ジッタ (出力ジッタ - 入力ジッタ)、EQxx = 00。				82	ps
T_{HSDIS}	HS 切断検出器の出力をサンプリングするときに、継続的な遷移が発生しないタイムウィンドウ		36		82	ns
T_{FILT}	リセット ハンドシェイク中に、ハブまたはデバイスによってチャープ J またはチャープ K を継続的に検出 (フィルタ処理) する必要がある時間	USB 2.0 仕様、セクション 7.1.7.5。	2.5			μs
CDP のタイミング						
T_{VDMSRCEN}	D+ で VDPSRC 接続を検出した後、D- で VDMSRC を有効にするのに要する時間				0.1	ms
$T_{\text{VDMSRCDIS}}$	D+ で VDPSRC 切断を検出した後、D- で VDMSRC を無効にするのに要する時間				0.1	ms
$T_{\text{CON_IDPSINK_DIS}}$	接続を検出した後、D+ で IDP_SINK を無効にするのに要する時間				0.1	ms

5.11 絶縁特性曲線

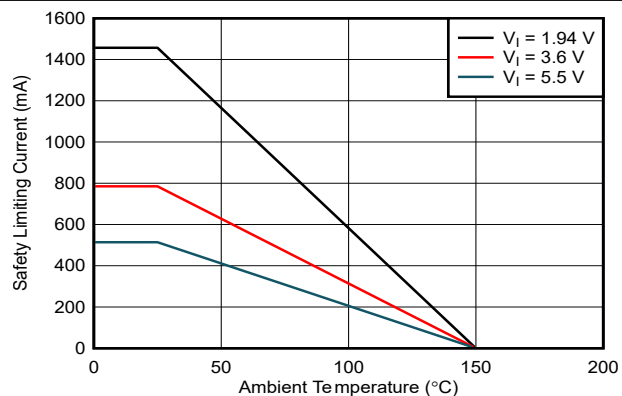


図 5-1. DP-28 パッケージの VDE に従う制限電流の熱特性低下曲線

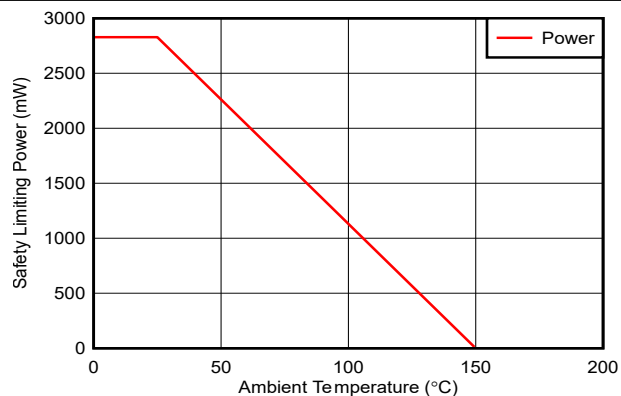


図 5-2. DP-28 パッケージの VDE に従う制限電力の熱特性低下曲線

5.12 代表的特性

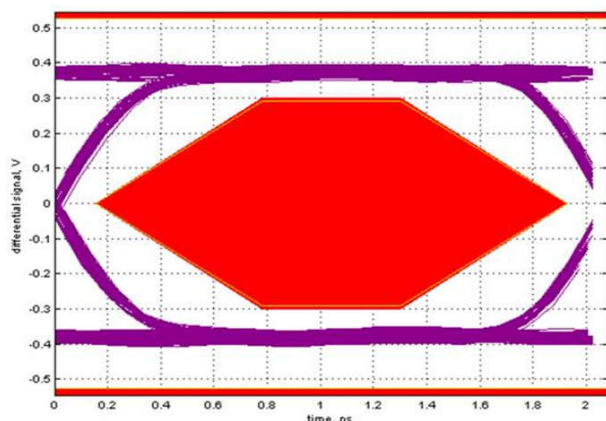


図 5-3. ISOUSB211-Q1 による標準 High-Speed (480Mbps) アイ ダイアグラム

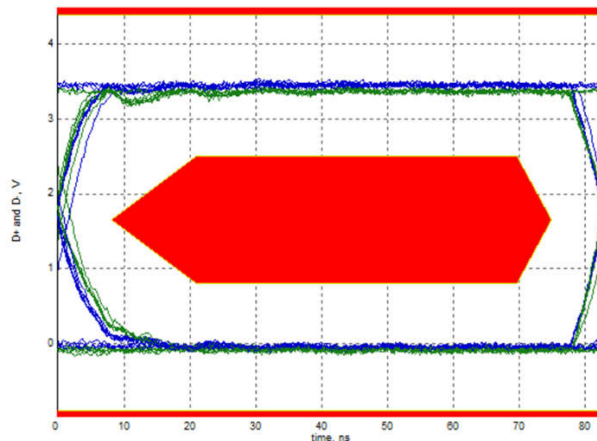


図 5-4. ISOUSB211-Q1 による標準 Full-Speed (12Mbps) アイ ダイアグラム

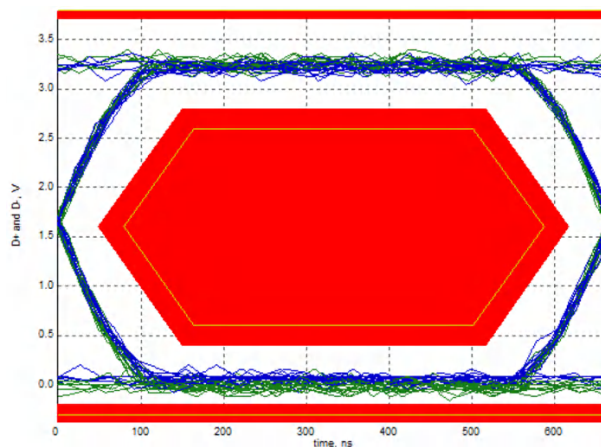


図 5-5. ISOUSB211-Q1 による標準 Low-Speed (1.5Mbps) アイ ダイアグラム

6 パラメータ測定情報

6.1 テスト回路

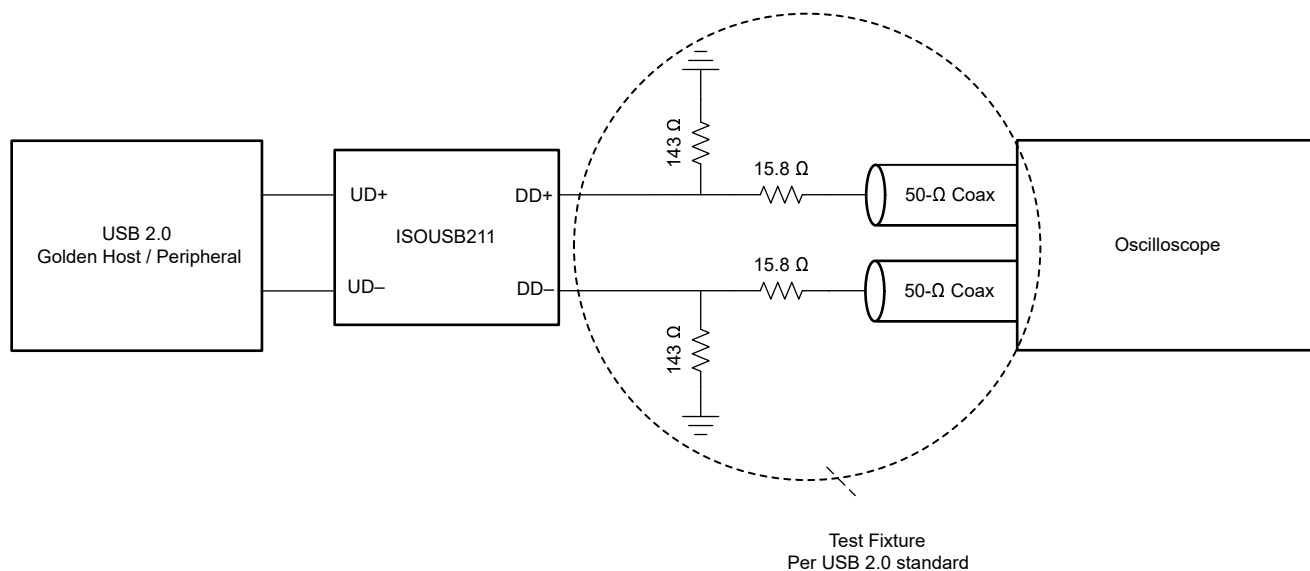


図 6-1. HS のアップストリームおよびダウンストリームのパケット・パラメータとアイ・ダイアグラム測定

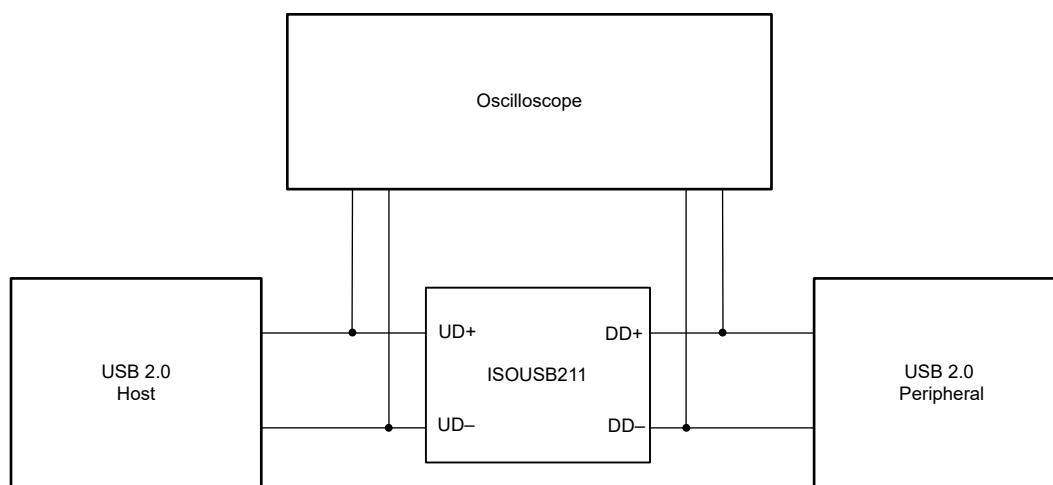


図 6-2. LS、FS のアップストリームおよびダウンストリームのパケット・パラメータとアイ・ダイアグラム測定

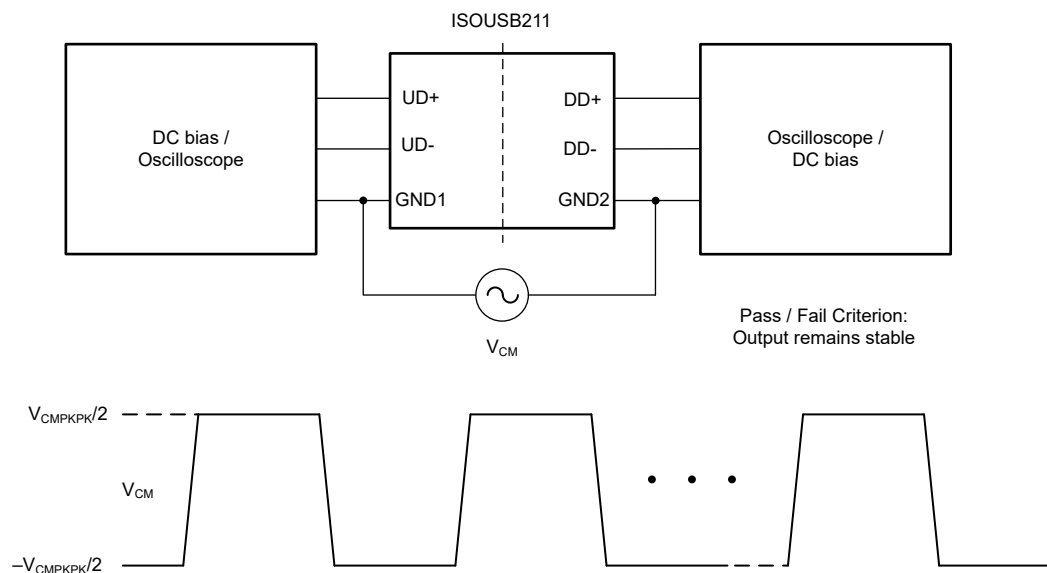


図 6-3. 同相過渡電圧耐性試験回路

7 詳細説明

7.1 概要

ISOUSB211-Q1 は、Low Speed (1.5Mbps)、Full Speed (12Mbps) および High Speed (480Mbps) の信号速度をサポートする、ガバナニク絶縁された USB2.0 準拠のリピータです。このデバイスは、接続および速度の自動検出、プルアップとプルダウンの反映、リンク パワー マネージメントをサポートしているため、ドロップインにより USB ハブ、ホスト、ペリフェラル、ケーブルを絶縁できます。ほとんどのマイコンは USB PHY を内蔵しているため、D+ と D- のバスラインのみを外部ピンとして提供します。ISOUSB211-Q1 は、マイコンからの介入を必要とせずに、これらのピンを USB バスから絶縁できます。このデバイスは、自動ロール反転もサポートしています。切断後にアップストリーム側ポートで新しい接続が検出されると、アップストリームおよびダウンストリームのポート定義が反転します。ISOUSB211-Q1 は、プログラム可能なイコライゼーション機能を内蔵しており、基板の配線に起因する信号損失をキャンセルできるため、USB2.0 High-Speed TX および RX アイ ダイアグラム テンプレートへの適合に役立ちます。High-Speed (HS) テスト モードのエントリも、USB2.0 規格の要求に応じて自動的に検出され、HS 準拠テストが可能になります。

ISOUSB211-Q1 は、絶縁耐圧がそれぞれ $5700V_{RMS}$ で、サージ試験電圧がそれぞれ $12.8kV_{PK}$ の強化絶縁オプションで使用できます。このデバイスは、 $4.25V \sim 5.5V$ の電源 (USB VBUS 電源)、またはローカルの $3.3V$ および $1.8V$ 電源 (利用可能な場合) により、サイド 1 とサイド 2 の両方で完全に動作させることができます。この電源電圧の柔軟性により、システムで使用可能な電源レールに基づいて熱性能を最適化できます。

7.2 機能ブロック図

ISOUSB211-Q1 の簡略化されたブロック図を [図 7-1](#) に示します。このデバイスは、以下で構成されています。

1. USB 規格に準拠した送受信回路とプルアップとプルダウン抵抗。
2. 双方向通信やさまざまな状態遷移を処理するデジタル ロジック。
3. 内部 LDO により、 V_{BUSx} および V_{CCx} 電源からそれぞれ V_{3P3Vx} および V_{1P8Vx} 電源を生成します。
4. ガルバニク絶縁。

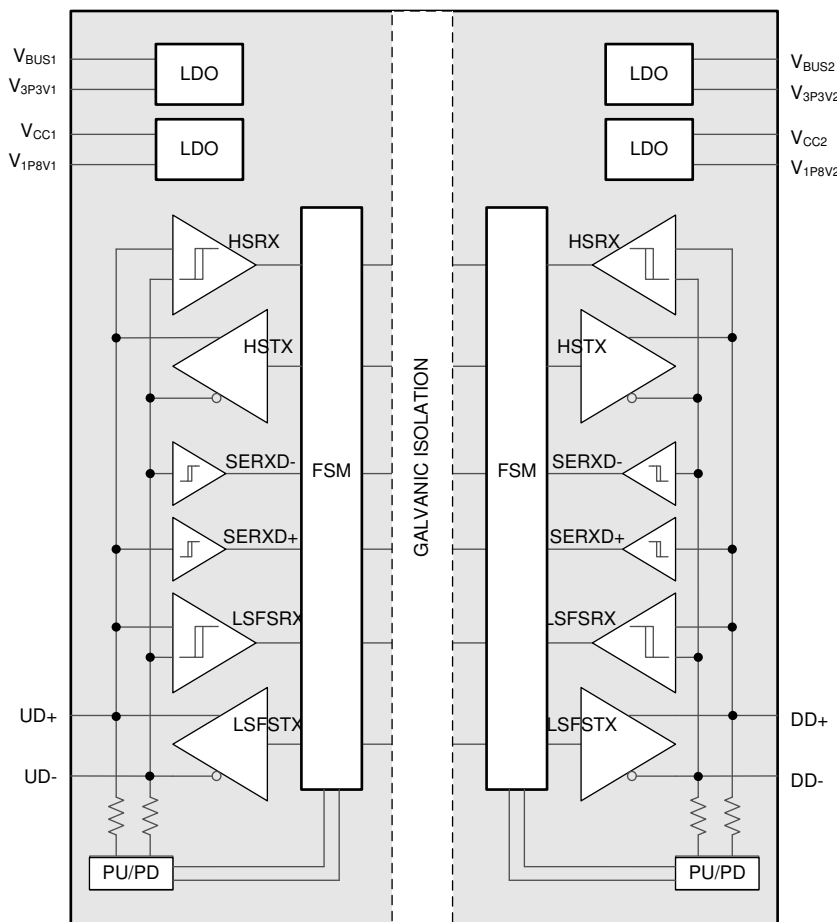


図 7-1. ISOUSB211-Q1 簡略化機能ブロック図

7.3 機能説明

7.3.1 電源オプション

ISOUSB211-Q1 には、 V_{BUSx} ピンに 4.25V~5.5V の電源を接続することで電力を供給できます。この場合、内部 LDO が V_{3P3Vx} 電圧を生成します。このオプションは、5V VBUS 電源が利用可能な USB コネクタに面する側で使用するのに適しています。または、 V_{BUSx} ピンと V_{3P3Vx} ピンを共に短絡し、外部 3.3V 電源を両方に接続することもできます。この 2 番目のオプションは、5V 電源を使用できない可能性があるマイクロコントローラに面する側で使用するのに適しています。

ISOUSB211-Q1 は、動作のために 1.8V 電源も必要とします。 V_{CCx} ピンに 2.4V~5.5V の電源を接続できます。この場合、内部 LDO が V_{1P8Vx} 電源を生成します。最も単純な実装では、コネクタに面する側で V_{CCx} を USB VBUS に接続し、マイクロコントローラに面する側で 3.3V ローカル電源に接続できます。この実装では、ISOUSB の内部 LDO に消費電力が発生し、ISOUSB211-Q1 でサポートされる最大周囲温度が制限されます。

ISOUSB211-Q1 内部の消費電力を低減するため、外部の 1.8V 電源を、共に短絡させた V_{CCx} ピンと V_{1P8Vx} ピンに接続できます。この場合、ISOUSB211-Q1 の内部 1.8V LDO はバイパスされます。この実装では、一部の消費電力が外部の 1.8V 電源に転送され、ISOUSB211-Q1 では全体的に高い周囲温度での動作が可能になります。外部の 1.8V 電源が LDO の場合、ISOUSB211-Q1 内部の消費電力を低減する効果はありますが、システム電流や消費電力の全体的な低減はできません。または、外部の 1.8V 電源が DC-DC (降圧) コンバータである場合、システム電力と ISOUSB211-Q1 の消費電力の両方を低減できます。

3 つ目のオプションは、 V_{CCx} ピンと VBUS および 3.3V ローカル電源の間に外付け抵抗を入れることです。 V_{CCx} ピンは最低 2.4V で動作するため、これらの抵抗に対応できます。これらの抵抗は電圧を降下させ、電力を消費し、外部 1.8V

LDO と同様の目的を果たします。つまり、ISOUSB211-Q1 内部の消費電力を低減し、より高い周囲温度での動作を可能にします。

システムで必要とされる最大周囲温度に応じて ISOUSB211-Q1 の内部消費電力を最適化する方法、および外部抵抗、LDO、降圧コンバータに関する推奨事項については、[熱に関する検討事項](#) セクションを参照してください。

7.3.2 パワーアップ

ISOUSB211-Q1 の両側にあるすべての電源がそれぞれの UVLO スレッシュホールドを上回るまで、デバイスはアップストリーム側とダウンストリーム側の両方でバスライン上のアクティビティを無視します。電源が UVLO スレッシュホールドを上回ると、デバイスはバスライン上のアクティビティに応答する準備が整います。サイド 1 の電源がオンになると、サイド 2 に V10K = High と表示されます。同様に、V20K = High は、サイド 2 が完全に電源オンになっていることを示します。

7.3.3 対称動作、デュアルロールポート、およびロール反転

ISOUSB211-Q1 は対称動作をサポートしています。通常、UD+ と UD- はアップストリーム側ポートであり、ホストまたはハブに接続します。DD+ と DD- はダウンストリーム側ポートであり、ペリフェラルに接続します。ただし、UD+ と UD- をペリフェラルに接続し、DD+ と DD- をホストまたはハブに接続することもできます。最初に接続が確認された側 (D+ または D- を 3.3V にプルアップ) がダウンストリーム側になります。この機能により、デュアルロールポート (例: Type-C デュアルロールポート) とロール反転 (例: OTG ホスト ネゴシエーション プロトコル - HNP) の実装が可能になります。詳細については、[絶縁型 USB 2.0 High-Speed Type-C@DRP の実装方法](#) アナログ デザイン ジャーナルを参照してください。このドキュメントの残りの部分では、DD+/DD- はダウンストリーム側ポート、UD+/UD- はアップストリーム側ポートとして扱われますが、この割り当てを入れ替えた場合、ここで説明したさまざまな動作と機能は同様に適用できます。

7.3.4 接続および速度検出

ISOUSB211-Q1 のダウンストリーム側にペリフェラル デバイスが接続されていない場合、DD+ ピンと DD- ピンには 15kΩ の内部プルダウン抵抗があり、バスラインがゼロにプルダウンされ、SE0 状態が生成されます。T_{FILTCNN} より長い時間、DD+ または DD- ラインが V_{IH} スレッシュホールドを超えてプルアップされた場合、ISOUSB211-Q1 デバイスはこれを接続として扱います。ISOUSB211-Q1 デバイスは、アップストリーム側の内部プルアップを、ダウンストリーム側で検出されたプルアップと一致するように構成します。接続が検出されると、ISOUSB211-Q1 デバイスは、アップストリーム側のホスト / ハブによってリセットがアサートされるまで待機します。リセットの開始時に DD+ と DD- のどちらかをプルアップするかで、ISOUSB211-Q1 リピータの速度が決まります。設定後、リピータの速度は、電源オフまたは切断イベントの後でのみ変更できます。

ISOUSB211-Q1 デバイスは high-speed (HS) 対応デバイスを接続すると、USB2.0 規格で規定されているように、チャープ信号を使用して high-speed ハンドシェイクを実行します。これに、ホストからのチャープ信号が続きます。ISOUSB211-Q1 デバイスは、これらのチャープ信号をバリアを越えて反映します。これには、ダウンストリーム側からアップストリーム側、またはその逆方向への HS アイドル (SE0) 状態が含まれます。HS ハンドシェイクが正常に完了すると、ISOUSB211-Q1 の速度は High speed に設定されます。high-speed に設定すると、電源オフの後、HS 切断イベントの後、またはペリフェラルかホストかハブがリセット後に HS ハンドシェイクを実行しない場合にのみ、リピータの速度を変更できます。

7.3.5 切断検出

Full-Speed (FS) および Low-Speed (LS) モードでは、ホスト / ハブがアップストリーム側の信号を駆動していないとき、および、T_{DDIS} を上回る時間、ダウンストリーム バスが SE0 状態 (DD+ と DD- の両方が V_{IL} スレッシュホールドを下回っている) のとき、ペリフェラルの切断が示されます。FS および LS モードで切断が検出されると、ISOUSB211-Q1 デバイスはアップストリーム側からプルアップ抵抗を除去し、アップストリームの UD+ および UD- ラインをゼロに放電できるようにします。その後、ISOUSB211-Q1 は次の接続イベントが発生するまで待機します。

High Speed (HS) モードでは、ISOUSB211-Q1 が、T_{HSDIS} の間、移行がない継続的な期間を検出した場合、デバイスは HS 切断検出器を使用して DD+ および DD- ラインをサンプリングします。T_{HSDIS} の間、入力差動電圧が V_{HSDSC} を超えると、リピータはダウンストリームとアップストリームの両方の端子から HS 終端を除去し、切断状態に移行します。ISOUSB211-Q1 は次の接続イベントが発生するまで待機します。

7.3.6 リセット

ISOUSB211-Q1 デバイスは、アップストリーム側でリセット アサート (SE0 状態の延長) を検出し、同じ信号をダウンストリーム側に送信します。HS 状態では、拡張 HS アイドル状態は、リセットの開始時、または L2 パワー マネージメント状態への移行時である可能性があります。ISOUSB211-Q1 はこれら 2 つを区別できます。したがって、ダウンストリーム側で HS アイドル (リセットと同じ) を引き続き駆動するか、L2 サスペンド状態に遷移することができます。

7.3.7 LS/FS メッセージトラフィック

ISOUSB211-Q1 デバイスは、アップストリーム側とダウンストリーム側の両方でバスの状態を監視します。通信の方向は、どちら側が LS/FS アイドル状態から最初に遷移するか (J から K への遷移) によって設定されます。その後、バリアを経由してデータがデジタル転送され、もう一方の側で再構築されます。データ送信は、End-Of-Packet (EOP) または長いアイドルが検出されるまで継続されます。この時点で、ISOUSB211-Q1 デバイスは LS/FS トランスミッタをトライステートにし、LS/FS アイドル状態からの次の遷移を待ちます。

7.3.8 HS メッセージトラフィック

ISOUSB211-Q1 デバイスは、アップストリーム側とダウンストリーム側の両方でバスの状態を監視します。通信の方向は、どちら側が HS アイドル状態から最初に遷移するかによって設定されます。HS アイドル状態から有効な HS データへの遷移は、HS スケルチ検出器によって検出されます。その後、バリアを経由してデータがデジタル転送され、もう一方の側で再構築されます。バスが HS アイドル状態に戻るまで、データ送信は継続されます。HS スケルチ検出器もこの状態を示します。この時点で、ISOUSB211-Q1 デバイスは HS トランスミッタをトライステートにし、HS アイドル状態からの次の遷移を待ちます。

7.3.9 イコライゼーションとプリエンファシス

ISOUSB211-Q1 は、プログラム可能な受信イコライゼーション機能と送信プリエンファシス機能を内蔵しており、基板の配線に起因する信号損失をキャンセルできるため、USB2.0 High-Speed TX および RX アイ ダイアグラム テンプレートへの適合に役立ちます。これらの設定は、サイド 1 の EQ11 と EQ10、サイド 2 の EQ21 と EQ20 によって制御されます。EQxx ピンはグラウンドに接続することも、3.3V 電源に接続することも、フローティングのままにすることもでき、9 つの異なるイコライゼーション レベルを生成できます。EQ11 と EQ10 は、D+/D- 基板トレースの長さ、サイド 1 で推定される対応するチャネル損失に基づいて選択でき、EQ21 と EQ20 は、サイド 2 で同様に選択できます。FR4 の標準的な 45Ω のトレースは、480Mbps の信号伝送で約 0.15dB/インチです。コネクタの送信アイ ダイアグラムを見ることで、EQ 設定をさらに調整できます。トレース長が非常に短い場合は、イコライゼーションは不要であり、EQxx ピンをグラウンドに接続できます。

ISOUSB211-Q1 では、電源投入時にのみ EQxx ピンをサンプリングするため、電源投入後に EQxx の設定を変更しないでください。

7.3.10 L2 電源管理状態 (サスペンド) および再開

ISOUSB211-Q1 デバイスは、USB 2.0 リンク パワー マネージメント エンジニアリング変更通知 (ECN) で、L2 状態とも呼ばれる低消費電力サスペンド状態をサポートしています。バスが 3ms を超える間 LS/FS/HS アイドル状態のままである場合、サスペンド モードが検出されます。LS および FS アイドル状態からサスペンドが検出されると、ISOUSB211-Q1 は LS または FS のアイドル状態を継続し、同時に内部消費電力を低減します。HS アイドル状態からサスペンドが検出されると、ISOUSB211-Q1 は DS ポートの FS アイドル状態 (FS J) への遷移を検出し、これをアップストリームに反映するとともに、すべての高速回路をディスエーブルして消費電力を低減します。L2 低消費電力モードへの移行は、10ms 以内に完了します。

L2 からの終了は、ISOUSB211-Q1 のアップストリーム側にあるホストからの再開信号、または ISOUSB211-Q1 のダウンストリーム側にあるペリフェラルからのリモート ウェークアップ信号に続く、アップストリーム側にあるホスト / ハブからの再開信号、のいずれかによって発生します。再開またはウェークアップの開始は、それぞれホストまたはデバイスによって「K」状態で通知されます。再開の終了は、SE0 を 2 低速ビット時間駆動し、その後「J」状態になることでホストから通知されます。低消費電力状態に移行する前にポートが高速で動作していた場合、ホストは高速アイドル状態に遷移して、再開終了を通知します。ISOUSB211-Q1 は、アップストリームとダウンストリームの両方で、レジャー信号とウェークアップ信号

を適切に複製できます。レジュームまたはウェークアップ信号の後、デバイスは、L2 状態に入る前の状態に応じて、LS、FS または HS アイドル状態に戻ります。

7.3.11 L1 電源管理状態(スリープ) および復帰

ISOUSB211-Q1 デバイスは、USB 2.0 リンク パワー マネージメント ECN で定義されている追加の L1 またはスリープ低消費電力状態をサポートしています。LS および FS アイドル状態から L1 エントリが検出されると、ISOUSB211-Q1 は LS または FS アイドル状態を継続し、同時に内部消費電力を低減します。HS アイドル状態から L1 エントリが検出されると、ISOUSB211 はすべての高速回路をディスエーブルして消費電力を低減します。L1 低消費電力モードへの移行は 50µs 以内に完了します。

L1 からの終了は、ISOUSB211-Q1 のアップストリーム側にあるホストからの再開信号、または ISOUSB211-Q1 のダウストリーム側にあるペリフェラルからのリモート ウェークアップ信号に続く、アップストリーム側にあるホストまたはハブからの再開信号、のいずれかによって発生します。再開またはウェークアップの開始は、それぞれホストまたはデバイスによって「K」状態で通知されます。再開の終了は、SE0 を 2 低速ビット時間駆動し、その後「J」状態になることでホストから通知されます。低消費電力状態に移行する前にポートが高速で動作していた場合、ホストは高速アイドル状態に遷移して、再開終了を通知します。ISOUSB211-Q1 は、アップストリームとダウストリームの両方で K 信号を適切に複製できます。レジュームまたはウェークアップ信号の後、デバイスは、L1 状態に入る前の状態に応じて、LS、FS または HS アイドル状態に戻ります。

7.3.12 HS テスト モードのサポート

USB2.0 規格にはテスト モードのサポートが必要です。テスト モードでは、ホスト / ハブまたはペリフェラルが、受信したコマンドに基づいて High-Speed テスト モードに移行することが予想されます。ISOUSB211-Q1 は、テスト モードの開始を自動的に検出し、HS 準拠テストを有効にできます。

7.3.13 CDP アドバタイズ

ISOUSB211-Q1 デバイスは、バッテリー チャージャの標準 BC 1.2 に従って、ダウストリーム側とアップストリーム側の両方で CDP アドバタイズをサポートしています。ポートが VBUS 上で 1.5A の電流を供給できることを接続されているペリフェラルに示すので、CDP アドバタイズは、ホストまたはハブを絶縁するときに役立ちます。CDP アドバタイズは、ダウストリーム側の CDPENx ピンをグランド (アクティブ low) に接続することでイネーブルにできます。

7.4 デバイスの機能モード

機能表 に、ISOUSB211-Q1 デバイスの機能モードを示します。

表 7-1. 機能表

SIDE 1 SUPPLY VBUS1, V3P3V1 VCC1, V1P8V1 (1)	BUS1 (UD+, UD-)	SIDE 2 SUPPLY VBUS2, V3P3V2 VCC2, V1P8V2	BUS2 (DD+, DD-)	コメント
電源供給	アクティブ	電源供給	アクティブ	両側に電力が供給されると、バスの状態がアップストリームからダウストリームに正しく反映され、逆方向にも正しく反映されます。
電源供給	15kΩ PD	電源供給	15kΩ PD	アップストリームとダウストリームの両方で切断状態が示されます
電源供給	15kΩ PD	電源なし	Z	電源が供給されていない場合、そのサイドのバスラインは高インピーダンス状態になります。
電源なし	Z	電源供給	15kΩ PD	
電源なし	Z	電源なし	不定	

- (1) Powered = $((V_{BUSx} \geq UV_{(VBUSx)}) \parallel (V_{BUSx} = V_{3P3Vx} \geq UV_{(V3P3Vx)})) \& ((V_{CCx} \geq UV_{(VCCx)}) \parallel (V_{CCx} = V_{1P8Vx} \geq UV_{(V1P8Vx)}))$;
 Unpowered = $((V_{BUSx} < UV_{(VBUSx)}) \& (V_{3P3Vx} < UV_{(V3P3Vx)})) \parallel ((V_{CCx} < UV_{(VCCx)}) \& (V_{1P8Vx} < UV_{(V1P8Vx)}))$; X = Irrelevant; H = High level; L = Low level; Z = High impedance

8 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI コンポーネントの仕様に含まれるものではなく、TI は、その精度も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

ISOUSB211-Q1 は、Low-Speed (1.5Mbps)、Full-Speed (12Mbps) および High-Speed (480Mbps) の信号速度をサポートする、ガバナニク絶縁された USB 2.0 準拠のリピータです。このデバイスは、接続および速度の自動検出、プルアップとプルダウンの反映、リンク パワー マネージメントをサポートしているため、ドロップインにより USB ハブ、ホスト、ペリフェラル、ケーブルを絶縁できます。また、デバイスは自動ロール反転もサポートします。切断後にアップストリーム側ポートで新しい接続が検出されると、アップストリームおよびダウンストリームのポート定義が反転します。この機能を使って本デバイスは USB On-The-Go (OTG) と Type-C デュアル ロール ポート (DRP) の実装に対応できます。ISOUSB211-Q1 は、プログラム可能なイコライゼーション機能を内蔵しており、基板の配線に起因する信号損失をキャンセルできるため、USB2.0 High-Speed TX および RX アイ ダイアグラム テンプレートへの適合に役立ちます。

8.2 代表的なアプリケーション

8.2.1 絶縁型ホストまたはハブ

図 8-1 に、ISOUSB211-Q1 を使用してホストまたはハブを絶縁するためのアプリケーションを示します。この例では、マイコン側で V_{3P3V1} と V_{BUS1} を一緒に外部の 3.3V 電源に接続しています。 V_{1P8V1} 電源は、 V_{CC1} に 3.3V 電源を供給することで、内蔵の 1.8V LDO を使用して生成されます。コネクタ側では、USB コネクタからの V_{BUS} が V_{BUS2} に接続され、内部の 3.3V LDO を使用して V_{3P3V2} 電源が生成されます。 V_{CC2} と V_{1P8V2} は、ともに V_{BUS} から得られた外部 1.8V 電源に接続されています。ISOUSB211-Q1 内部の消費電力を最適化するオプションについては、必要に応じて熱に関する検討事項を参照してください。

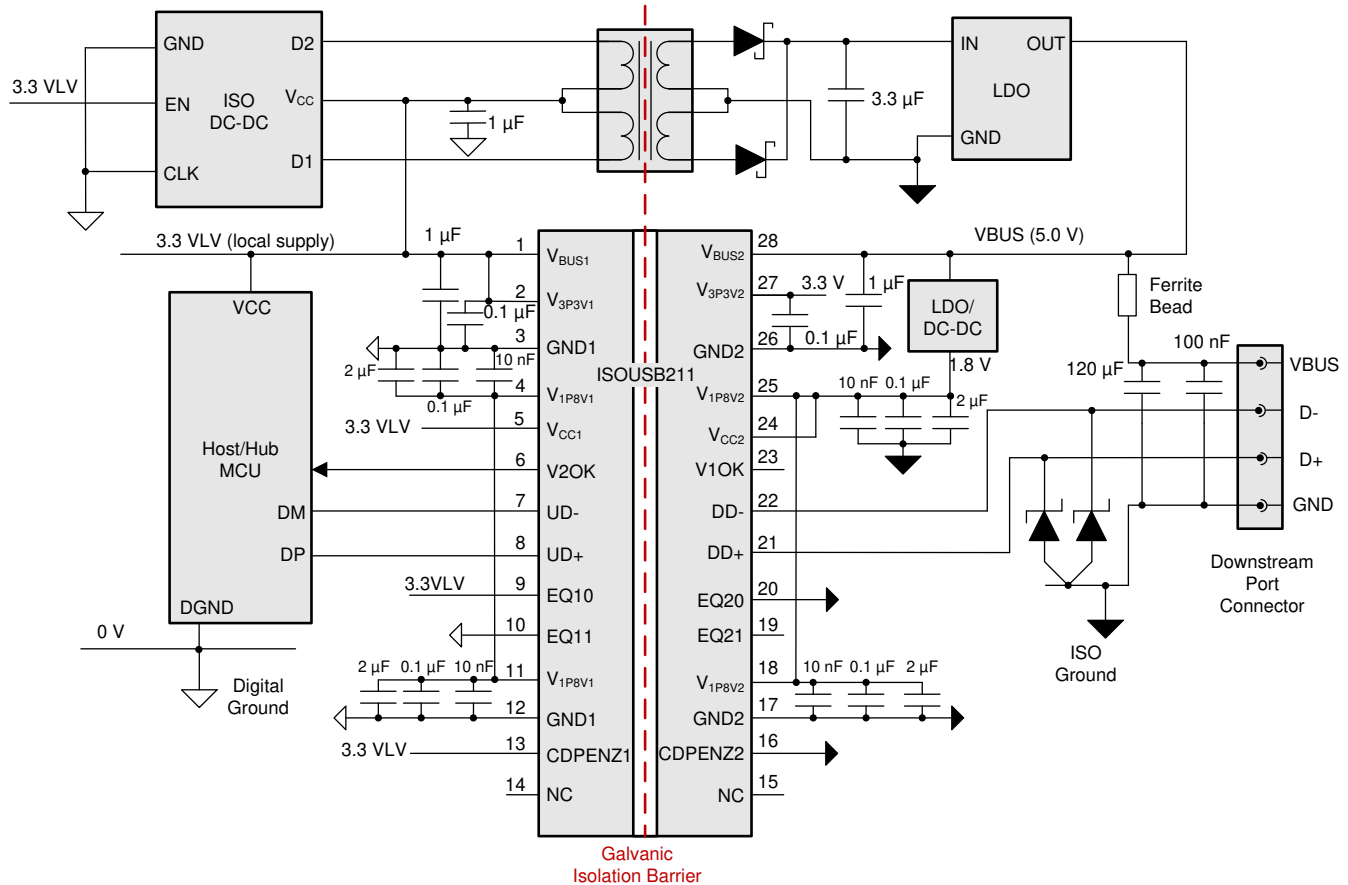


図 8-1. ISOUSB211-Q1 を使用した絶縁型ホストまたはハブ

8.2.1.1 設計要件

デカップリング コンデンサは、「[電源に関する推奨事項](#)」のセクションに記載されている推奨事項に従って、ISOUSB211-Q1 の隣に配置します。絶縁型 DC/DC コンバータ (SN6505 など) は、3.3V のローカル電源を使用して VBUS に電力を供給します。ホストまたはハブの場合、USB 規格では、ダウンストリームのペリフェラルを接続したときに突入電流を供給できるように、VBUS に 120µF のコンデンサを配置する必要があることに注意してください。さらに、過渡電流に対応するため、VBUS ピンの近くに 100nF のコンデンサを配置することをお勧めします。

USB2.0 設計要件を満たすための詳細については、[セクション 8.3](#) を参照してください。

8.2.1.2 詳細な設計手順

静電容量が小さく動的抵抗が小さい ESD ダイオード (PESD5V0C1USF など) は、D+ および D- ラインに配置できます。図 8-1 に示すように、dc 抵抗が 100mΩ 未満のフェライト ビーズを、コネクタの VBUS ピンと ISOUSB211-Q1 の VBus ピンの間にオプションで配置することで、ESD などの過渡現象を抑制できます。

使用する絶縁型電源が VBUS 上で 1.5A を超える電流を供給できる場合、バッテリー チャージャ仕様 BC 1.2 に従って、ポートを CDP ポートとして構成できます。これを行うには、ISOUSB211-Q1 の CDPENZ2 ピンを図のようにグラウンドに接続する必要があります。この状況で、ISOUSB211-Q1 は接続されたペリフェラルからの BC 1.2 信号に応答し、VBUS 上でポートが 1.5A の電流を供給できることをペリフェラルに示します。

8.2.2 絶縁型ペリフェラル- 自己給電

図 8-2 に、ISOUSB211-Q1 を使用して自己給電ペリフェラルを絶縁するためのアプリケーションを示します。

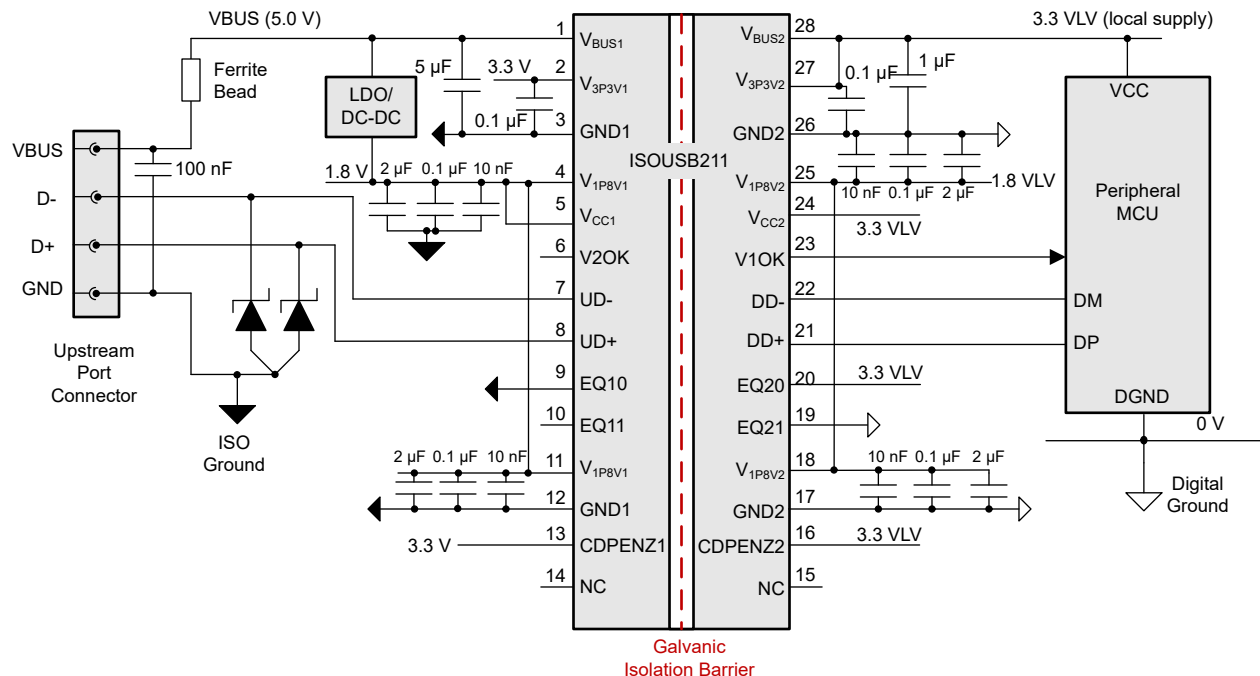


図 8-2. ISOUSB211-Q1 を使用した絶縁型自己給電ペリフェラル

8.2.2.1 設計要件

この例では、マイコン側で V_{3P3V2} と V_{BUS2} を一緒に外部の 3.3V 電源に接続しています。 V_{1P8V2} 電源は、 V_{CC1} に 3.3V 電源を供給することで、内蔵の 1.8V LDO を使用して生成されます。コネクタ側では、USB コネクタからの VBUS が V_{BUS1} に接続され、内部の 3.3V LDO を使用して V_{3P3V1} 電源が生成されます。 V_{CC1} と V_{1P8V1} は、ともに VBUS から得られた外部 1.8V 電源に接続されています。ISOUSB211-Q1 内部の消費電力を最適化するオプションについては、必要に応じて[熱に関する検討事項](#)を参照してください。

USB2.0 設計要件への適合の詳細については、[セクション 8.3](#)を参照してください。

8.2.2.2 詳細な設計手順

デカップリング コンデンサは、「[電源に関する推奨事項](#)」のセクションに記載されている推奨事項に従って、ISOUSB211-Q1 の隣に配置します。USB 規格では、ペリフェラルの場合、VBUS の合計コンデンサ容量は 10µF 未満である必要があることに注意してください。ただし、VBUS では合計 5µF 以上の容量を推奨します。過渡電流に対応するため、VBUS ピンの近くに 100nF のコンデンサを配置することをお勧めします。

静電容量が小さく動的抵抗が小さい ESD ダイオード (PESD5V0C1USF など) は、D+ および D- ラインに配置できます。図に示すように、dc 抵抗が 100mΩ 未満のフェライト ビーズを、コネクタの VBUS ピンと ISOUSB211-Q1 の V_{BUS} ピンの間にオプションで配置することで、ESD などの過渡現象を抑制できます。

8.2.3 絶縁型ペリフェラル - バス給電

[図 8-3](#) に、ISOUSB211-Q1 を使用して自己給電ペリフェラルを絶縁するためのアプリケーションを示します。

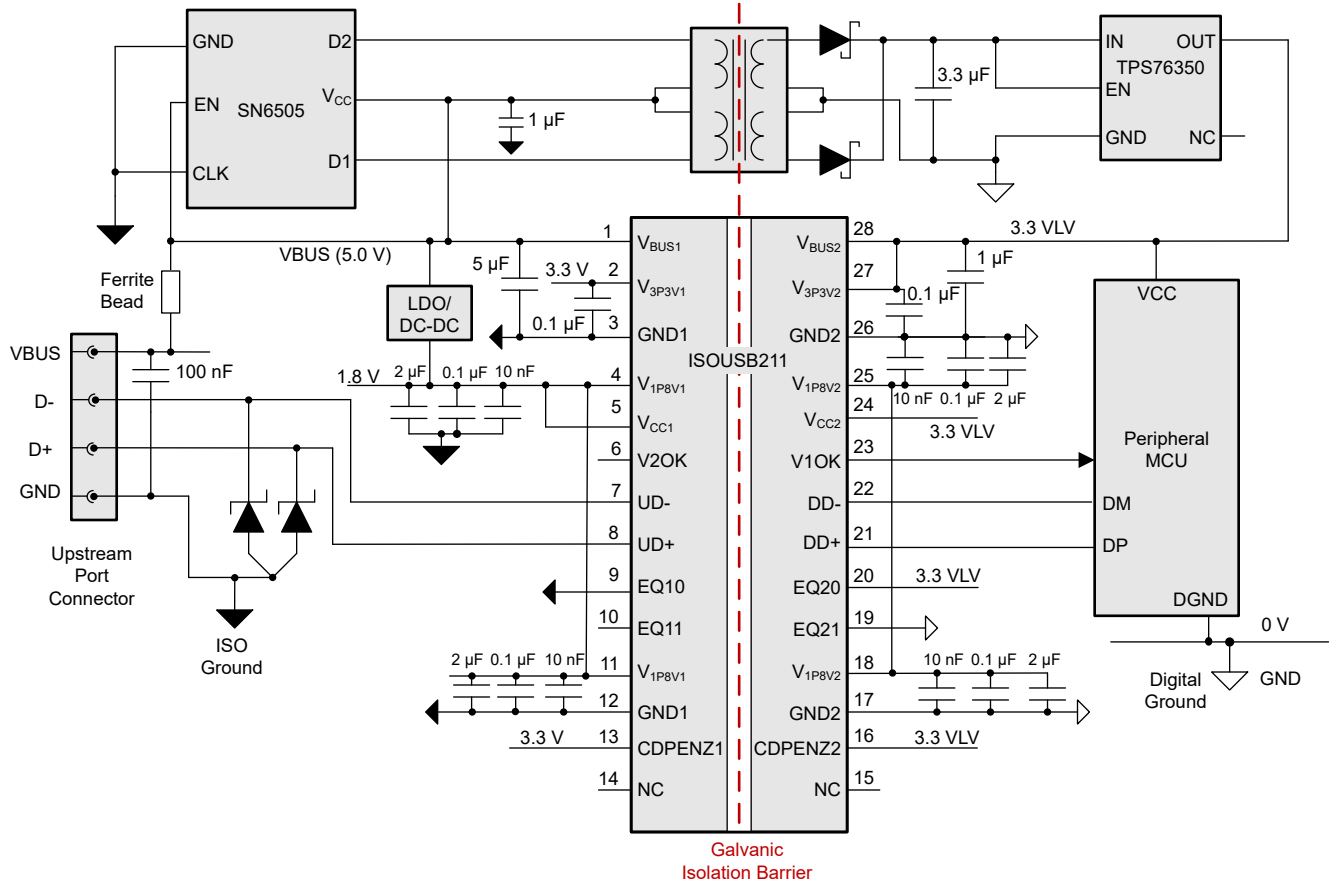


図 8-3. ISOUSB211-Q1 を使用する絶縁型バス電源ペリフェラル

8.2.3.1 設計要件

この例では、絶縁型 DC/DC コンバータ (例: SN6505) を使用して、USB VBUS から電力を取得しながら 3.3V のローカル電源を作成します。マイコン側では、V_{3P3V2} と V_{BUS2} を一緒に外部の 3.3V 電源に接続しています。V_{1P8V2} 電源は、3.3V ローカル電源を V_{CC1} に接続することで、内部の 1.8V LDO を使用して生成されます。コネクタ側では、USB コネクタからの VBUS が V_{BUS1} に接続され、内部の 3.3V LDO を使用して V_{3P3V1} 電源が生成されます。V_{CC1} と V_{1P8V1} は互いに接続され、VBUS から得られた外部 1.8V 電源に接続されています。ISOUSB211-Q1 内部の消費電力を最適化するオプションについては、必要に応じて[熱に関する検討事項](#)を参照してください。

USB2.0 設計要件への適合の詳細については、[セクション 8.3](#)を参照してください。

8.2.3.2 詳細な設計手順

デカップリング コンデンサは、「[電源に関する推奨事項](#)」のセクションに記載されている推奨事項に従って、ISOUSB211-Q1 の隣に配置します。USB 規格では、ペリフェラルの場合、絶縁型 DC-DC コンバータを経由して 2 次側から反射されるすべてのデカップリング コンデンサも含め、VBUS の合計コンデンサ容量が 10μF 未満である必要があることに注意してください。ただし、VBUS では合計 5μF 以上の容量を推奨します。過渡電流に対応するため、VBUS コネクタの近くに 100nF のコンデンサを配置することをお勧めします。

静電容量が小さく動的抵抗が小さい ESD ダイオード (PESD5V0C1USF など) は、D+ および D- ラインに配置できます。図に示すように、dc 抵抗が 100mΩ 未満のフェライト ビーズを、コネクタの VBUS ピンと ISOUSB211-Q1 の V_{BUS} ピンの間にオプションで配置することで、ESD などの過渡現象を抑制できます。

8.2.4 アプリケーション曲線

8.2.4.1 絶縁寿命

絶縁寿命予測データは、業界標準の TDDDB (Time Dependent Dielectric Breakdown、経時絶縁破壊) テスト手法を使用して収集されます。このテストでは、バリアのそれぞれの側にあるすべてのピンを互いに接続して 2 つの端子を持つデバイスを構成し、その両側に高電圧を印加します。TDDDB テスト構成については、[図 8-4](#) を参照してください。この絶縁破壊データは、動作温度範囲で、さまざまな電圧について 60Hz でスイッチングして収集されます。強化絶縁について、VDE 規格では、100 万分の 1 (ppm) 未満の故障率での TDDDB (経時絶縁破壊) 予測曲線の使用が求められています。期待される最小絶縁寿命は、規定の動作絶縁電圧において 20 年ですが、VDE の強化絶縁認証には、動作電圧について 20%、寿命について 50% の安全マージンがさらに必要となります。すなわち、規定値よりも 20% 高い動作電圧で、30 年の最小絶縁寿命が必要であることになります。

[図 8-5](#) に、寿命全体にわたって高電圧ストレスに耐えることができる、絶縁バリアの固有能力を示します。この TDDDB データによれば、絶縁バリアの固有能力は 1500 V_{RMS}、寿命は 169 年です。パッケージサイズ、汚染度、材料グループなど他の要因により、部品の動作電圧がさらに制限される場合があります。DP-28 パッケージ動作電圧は最大 1500V_{RMS} に規定されています。動作電圧が低い場合、対応する絶縁寿命は 169 年よりはるかに長くなります。

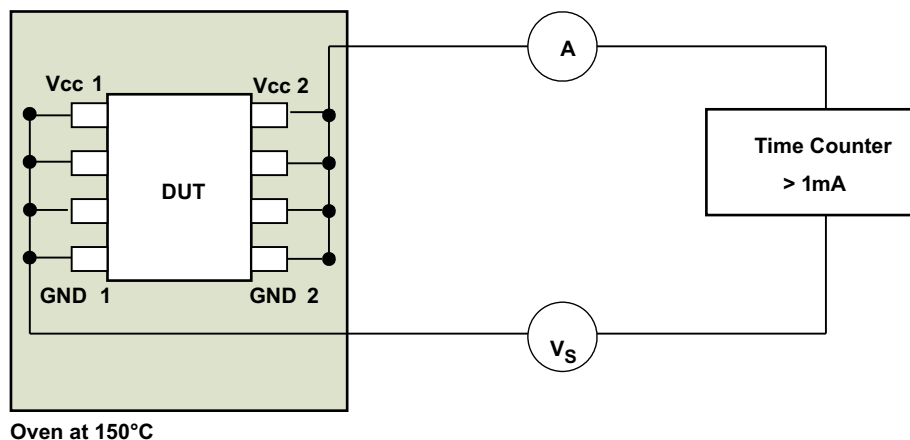


図 8-4. 絶縁寿命測定用のテスト構成

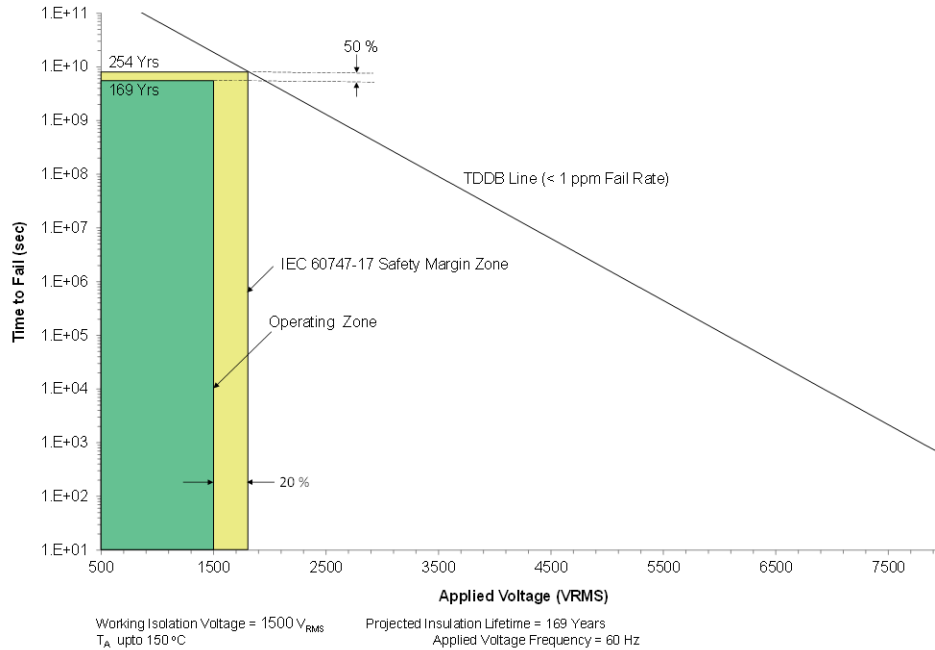


図 8-5. 絶縁寿命予測データ

8.3 USB2.0 HS アイ ダイアグラム仕様に適合

USB2.0 規格では、コネクタで満たす必要のある TX と RX のアイ ダイアグラム テンプレートを規定しています。コネクタで実現される水平方向のアイ オープニングは、マイクロコントローラの性能、ISOUSB211-Q1 の追加ジッタ、および D+/D- 基板トレースの挿入損失に起因するシンボル間干渉の組み合わせです。最高の性能を得るために、マイコンから ISOUSB211-Q1 まで、および ISOUSB211-Q1 からコネクタまでの D+/D- 基板パターンの長さを最小限に抑えることが推奨されます。D+/D- ライン上のビアとスタブは避ける必要があります。

ISOUSB211-Q1 は、プログラム可能な受信イコライゼーション機能と送信プリエンファシス機能を内蔵しており、基板の配線に起因する信号損失をキャンセルできるため、USB2.0 High-Speed TX および RX アイ ダイアグラムへの適合に役立ちます。EQ11 と EQ10 は、D+/D- 基板トレースの長さ、サイド 1 で推定される対応するチャネル損失に基づいて選択でき、サイド 2 では同様に EQ21 と EQ20 を選択できます。EQxx ピンはグラウンドに接続することも、3.3V 電源に接続することも、フローティングのままにすることもでき、9 つの異なるイコライゼーションレベルを生成できます。

FR4 の標準的な 45Ω のトレースでは、480Mbps の信号伝送で約 0.15dB/インチの挿入損失が生じます。この値を使用して、必要なイコライゼーション / プリエンファシスの量と、対応する EQ 設定の推定値を求めることができます。コネクタの送信アイ ダイアグラムを監視し、最適なアイ オープニングを実現する設定を選択することで、EQxx の設定をさらに調整できます。送信パスに適切な設定を選択すると、受信パスの性能も最適化されます。詳細については、[High-Speed USB アイソレータでのイコライザ設定によるチャネル損失の補償アプリケーション ノート](#)を参照してください。トレース長が非常に短い場合は、イコライゼーションは不要であり、EQxx ピンをグラウンドに接続できます。

8.4 熱に関する検討事項

ISOUSB211-Q1 には、内部 LDO など、HS モードでの熱性能を最適化するために使用できる、さまざまな電源入力オプションが用意されています。外部レギュレータを使用して 3.3V および 1.8V 電源に電力を供給する場合、ISOUSB チップ内で消費される電力は小さくなります。内部消費電力からは、「熱情報」表に定義されている接合部から空気への熱抵抗を使用すると、特定の周囲温度に対する接合部温度を決定できます。接合部温度が 150°C を超えてはなりません。このセクションでは、ISOUSB211-Q1 のさまざまな電源構成について説明し、ISOUSB211-Q1 内部で消費される電力と内部温度上昇をそれぞれのケースで計算する方法について説明します。

最適な熱性能を得るには、[レイアウト例](#) に示すように、小さなグラウンド プレーンを GNDx ピンに接続し、これらのプレーンを複数のビアでグラウンド レイヤに接続します。

8.4.1 V_{BUS} / V_{3P3V} 電源

V_{BUS} が外部の 5.0V 電源に接続され、 V_{3P3V} が内部の LDO で生成される場合、消費電力は $V_{BUSx} \times I_{VBUSx}$ となります。

V_{BUSx} と V_{3P3Vx} が共に短絡され、外部の 3.3 V 電源に接続されている場合、この電源により消費される電力は $V_{3P3Vx} \times I_{3P3Vx}$ です。

8.4.2 V_{CCx} / V_{1P8Vx} 電源

V_{CCx} が外部の 2.4 ~ 5.0V 電源に接続され、 V_{1P8Vx} が内部の 1.8V LDO によって生成される場合、消費電力は $V_{CCx} \times I_{VCCx}$ となります。

V_{CCx} と V_{1P8Vx} が共に短絡され、外部の 1.8V 電源に接続されている場合、この電源により消費される電力は $V_{1P8Vx} \times I_{1P8Vx}$ です。

8.4.3 構成例 1

[図 8-6](#) に示すアプリケーション例では、ISOUSB211-Q1 は、コネクタ側の USB V_{BUS} およびマイクロコントローラ側のローカル 3.3V デジタル電源を使用して給電されます。他の外部レギュレータや電源は使用しません。

このシナリオでは、両側を合わせた ISOUSB211-Q1 内部の合計消費電力は、次のようになります。

$$V_{BUS1} \times I_{VBUS1} + V_{BUS1} \times I_{VCC1} + V_{3P3V2} \times I_{3P3V2} + V_{3P3V2} \times I_{VCC2}$$

5.25V を V_{BUS1} の最大値、3.5V を 3.3V のローカル電源の最大値と仮定すると、内部消費電力は次のように計算されます：

$$5.25V \times 13.5mA + 5.25V \times 96mA + 3.5V \times 13.5mA + 3.5V \times 96mA = 960mW。$$

接合部から空気への熱抵抗は 44.2°C/W なので、この消費電力は 42.5°C の内部温度上昇をもたらします。この構成では、最大 107°C の周囲温度をサポートできます。

この構成は最もシンプルな実装を実現しますが、サポートされる周囲温度は他の構成より低くなります。

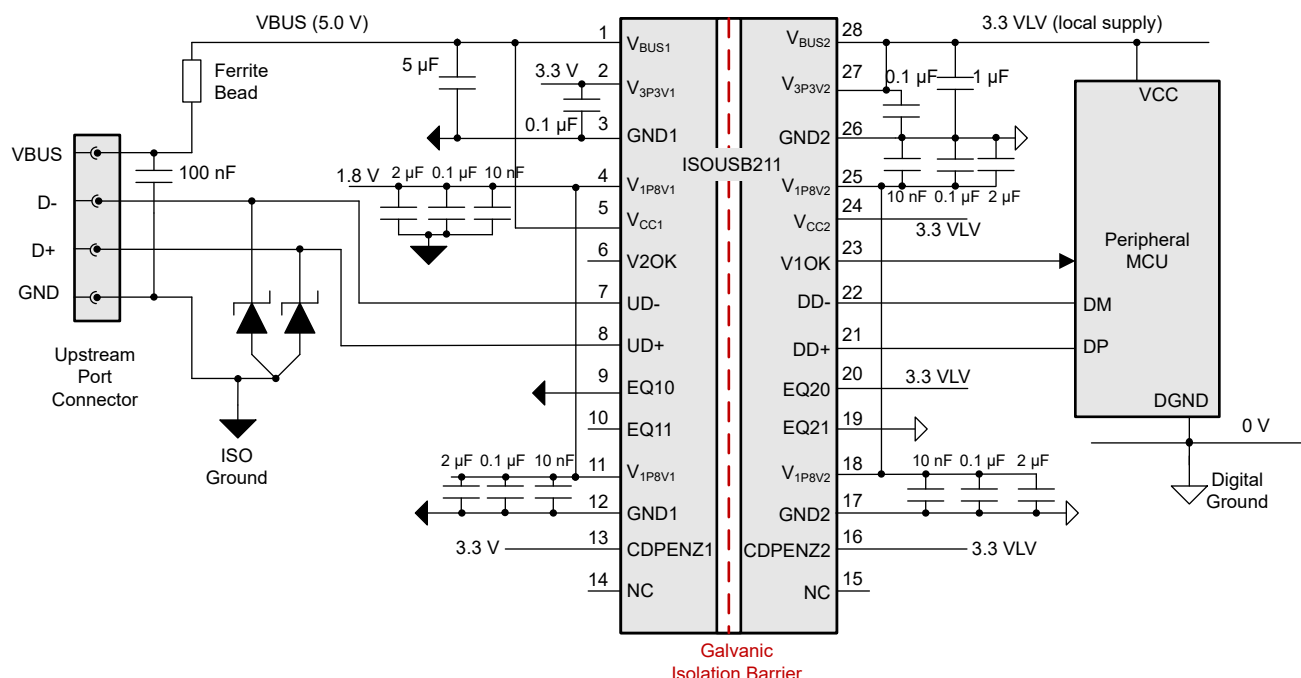


図 8-6. 外部 1.8V レギュレータなしで ISUSB211-Q1 を使用する

8.4.4 構成例 2

図 8-7 に示すアプリケーション例では、ISOUSB211-Q1 は、コネクタ側の USB VBUS およびマイクロコントローラ側のローカル 3.3V デジタル電源を使用して給電され、V_{3P3Vx} を生成します。外部 LDO または DC/DC 降圧コンバータを使用して、両側に V_{1P8Vx} を生成します。

このシナリオでは、両側を合わせた合計消費電力は次のようになります。

$$V_{BUS1} \times I_{VBUS1} + V_{1P8V1} \times I_{1P8V1} + V_{3P3V2} \times I_{3P3V2} + V_{1P8V2} \times I_{1P8V2}$$

5.25V を VBUS の最大値、1.89V を外部 1.8V 電源の最大値と仮定すると、内部消費電力は次のように計算されます

$$5.25\text{V} \times 13.5\text{mA} + 1.89\text{V} \times 96\text{mA} + 3.5\text{V} \times 13.5\text{mA} + 1.89\text{V} \times 96\text{mA} = 481\text{mW}.$$

接合部から空気への熱抵抗は **44.2°C/W** なので、この消費電力は **22°C** の内部温度上昇をもたらします。この構成では、最大 **128°C** の周囲温度をサポートできます。

TLV741P および **TLV62568** は、それぞれ低コストの LDO および降圧コンバータの例であり、このアプリケーションで使用できます。どちらのオプションも **ISOU5B211-Q1** の消費電力を低減します。ただし、降圧コンバータはシステムレベルでの消費電力をさらに低減し、**VBUS** およびローカル **3.3V** 電源から引き出される電流も低減します。

この構成により、外部レギュレータを使用することで、最小の消費電力と最高の周囲温度での動作を実現できます。

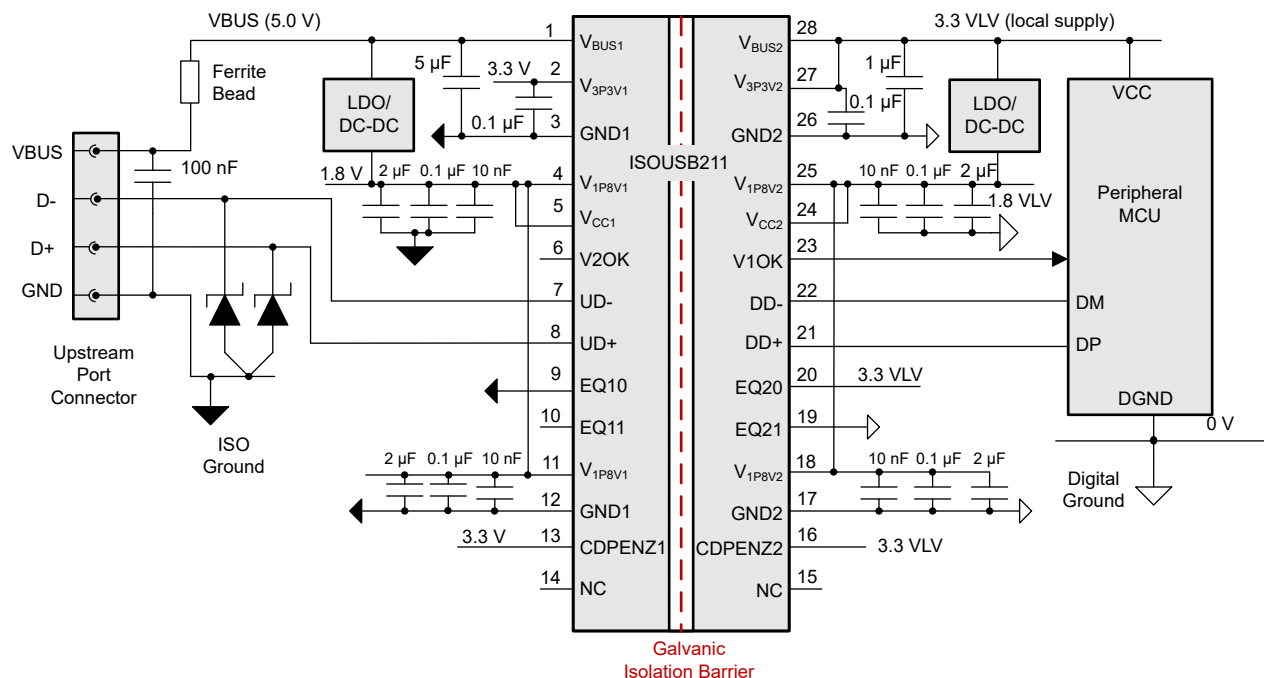


図 8-7. 外部レギュレータで供給される 1.8V で ISOUSB211-Q1 を使用する

8.4.5 構成例 3

図 8-8 に示すアプリケーション例では、ISOUSB211-Q1 は、コネクタ側の USB VBUS およびマイクロコントローラ側のローカル 3.3V デジタル電源を使用して給電され、 V_{3P3Vx} を生成します。内部 LDO を使用して、構成例 1 のように両側に V_{1P8Vx} を生成します。ただし、 V_{CC1} および V_{CC2} は VBUS および 3.3V VLV に接続されており、構成例 1 のように直接ではなく、それぞれ抵抗 R1 (20Ω, 250mW) および R2 (5Ω, 50mW) を使用して接続されています。

外部抵抗は電圧を降下させ、電力を消費するため、ISOUSB211-Q1 内の消費電力と、それに対応する温度上昇を低減するのに役立ちます。この抵抗値は、 V_{CCx} 電圧を最低 2.4V にできることを考慮して決定されます。 V_{CCx} ピンに追加の 1μF コンデンサが必要です。

このシナリオでは、両側を合わせた IC 内部の合計消費電力は、次のようになります。

$$V_{BUS1} \times I_{VBUS1} + V_{BUS1} \times I_{VCC1} - 20\Omega \times I_{VCC1} \times I_{VCC1} + V_{3P3V2} \times I_{3P3V2} + V_{3P3V2} \times I_{VCC2} - 5\Omega \times I_{VCC2} \times I_{VCC2}$$

5.25V を VBUS の最大値、3.5V を 3.3V ローカル電源の最大値と仮定すると、内部消費電力は次のように計算されます

$$5.25V \times 13.5mA + 5.25V \times 96mA - 20\Omega \times 96mA \times 96mA + 3.5V \times 13.5mA + 3.5V \times 96mA - 5\Omega \times 96mA \times 96mA = 728mW。$$

接合部から空気への熱抵抗は 44.2°C/W なので、この消費電力は 33°C の内部温度上昇をもたらします。この構成では、最大 117°C の周囲温度をサポートできます。

この構成は、構成例 1 と構成例 2 の間の中間経路を提供し、2 つの抵抗と 2 つのコンデンサを追加するだけで、温度上昇を抑え、より高い周囲温度での動作を実現します。

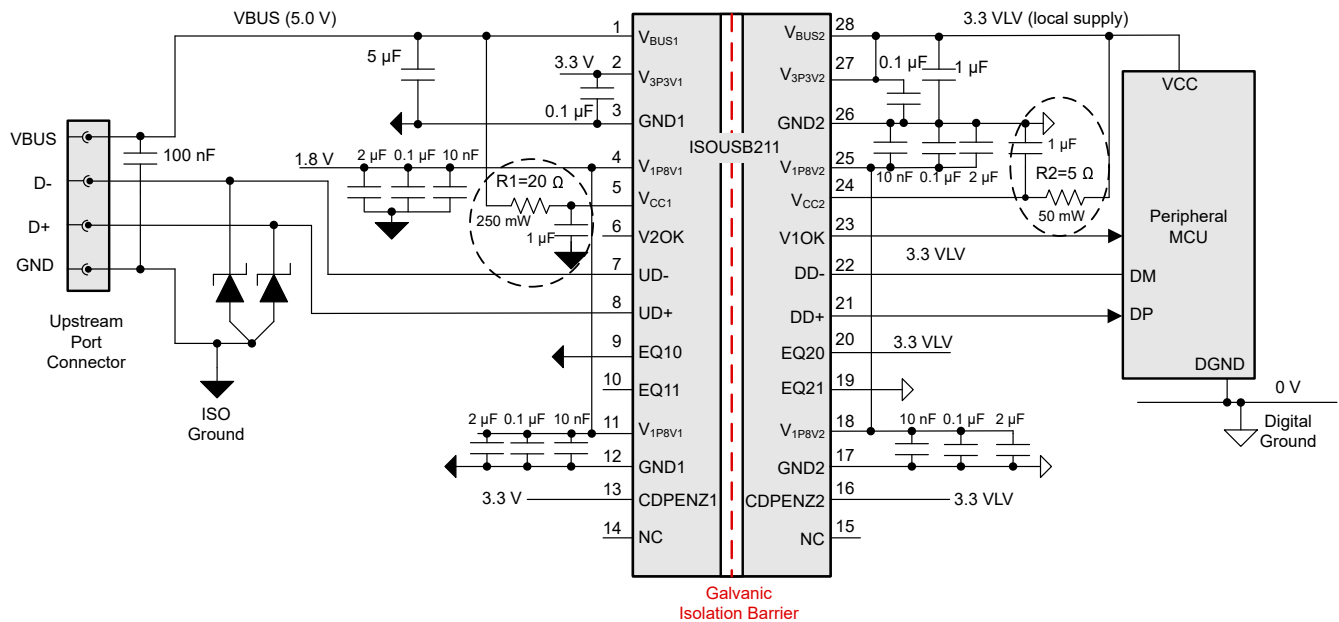


図 8-8. V_{CCx} ピンと直列の抵抗で ISOUSB211-Q1 を使用する

8.5 電源に関する推奨事項

0.1µF のコンデンサは、 $GNDx$ に接続した V_{3P3Vx} ピンのすぐ近くに配置することを推奨します。1µF のコンデンサは、 $GNDx$ に接続した V_{BUSx} ピンのすぐ近くに配置することを推奨します。2µF、0.1µF、および 10nF のコンデンサは、それぞれ V_{1P8Vx} と $GNDx$ の間、ピン 4 と 3 の間、ピン 25 と 26 の間、ピン 11 と 12 の間、およびピン 25 と 26 の間の、可能な限りデバイスの近くに配置することを推奨します。より容量の小さいコンデンサを IC の近くに配置します。 V_{CCx} ピンが構成例 3 に示されているように抵抗を介して接続されている場合、1µF のコンデンサは、 V_{CCx} (ピン 5、24) と $GNDx$ (ピン 3、26) の間の、可能な限りデバイスの近くに配置することを推奨します。この場合、 V_{1P8Vx} ピンのコンデンサが優先されます。

これらのデカップリング コンデンサに関する推奨事項は、3.3V および 1.8V 電源が外部から供給されるか、内部 LDO を使用して生成されるかに関係なく適用されます。

デカップリング コンデンサの推奨配置については、セクション 8.6.2 を参照してください。小さなフットプリントのコンデンサ (0402/0201) を推奨します。これにより、ビアを使用せずに、電源ピンと最上層の対応するグランドピンのすぐ近くに配置できます。IC の近くに配置することを考慮する場合、 V_{1P8Vx} 電源のコンデンサが優先されます。

ホストまたはハブまたはバスパワーのペリフェラルを絶縁する場合、絶縁型電源が必要であり、TI の SN6505B などのトランスドライバを使用して生成できます。このようなアプリケーションについては、SN6505 絶縁型電源用の低ノイズ 1A トランスドライバデータシートに、詳細な電源設計とトランス選択に関する推奨事項が記載されています。ホスト / ハブを絶縁している間に CDP 機能が有効になっている場合、絶縁型電源は VBUS 上で 1.5A を供給できる必要があります。

8.6 レイアウト

8.6.1 レイアウトのガイドライン

低 EMI の PCB 設計を実現するには、3 層で十分です。層の構成は、上層から下層に向かって、高速信号層、グランドプレーン、オプションの電源層、低周波数信号層の順に配置する必要があります。

- 上層に高速パターンを配線することにより、ビアの使用 (およびそれに伴うインダクタンスの発生) を避けて、データリンクのトランスミッタおよびレシーバ回路とアイソレータとの間のクリーンな相互接続が可能になります。
- 最高の性能を得るために、マイコンから ISOUSB211-Q1 まで、および ISOUSB211-Q1 からコネクタまでの D+/D- 基板パターンの長さを最小限に抑えることが推奨されます。D+/D- ライン上のビアとスタブは避ける必要があります。これは、High Speed 動作では特に重要です。

- 高速信号層のすぐ下に、ベタのグラウンドプレーンを配置することにより、伝送ライン接続のインピーダンスを制御し、リターン電流のための優れた低インダクタンスパスを実現します。D+ および D- トレースは、 90Ω の差動インピーダンスが、 45Ω のシングルエンド インピーダンスにできる限り近くなるように設計する必要があります。
- グラウンドプレーンの次の層に、電源プレーンを配置すると、高周波バイパス容量を約 $100\text{pF}/\text{インチ}^2$ 増加させることができます。
- デカップリングコンデンサは最上層に配置する必要があります。コンデンサと、対応する電源ピンおよびグラウンドピンとの間の配線は最上層で完了する必要があります。デカップリングコンデンサと、対応する電源ピンとグラウンドピンの間の配線パスにビアを配置しないでください。
- ESD 構造は、最上層のコネクタの近くに配置し、ビアなしで D+/D- トレースのすぐ上に配置する必要があります。ESD 構造のグラウンド配線は、可能であれば最上層で行う必要があります。それ以外の場合は、複数のビアを使用してグラウンドプレーンと強く接続されている必要があります。
- 最下層に低速の制御信号を配線すると、これらの信号リンクには一般的に、ビアのような不連続性を許容するマージンがあるため、高い柔軟性が得られます。
- 熱性能を向上させるため、小型プレーン (例: $2\text{mm} \times 2\text{mm}$) を上層の GND ピンに接続します。これを、複数のビアを使用して 2 番目の層のグラウンドプレーンに接続します。詳しくは、[レイアウト例](#) を参照してください。

8.6.1.1 PCB 材料

500Mbps 未満で動作する場合 (または、立ち上がり立ち下がり時間が 1ns 超)、およびトレース長が 10 インチ未満の場合のデジタル回路基板には、標準の FR-4 UL94V-0 プリント基板を使用します。この PCB は、高周波での誘電損失の低減、吸湿性の低減、強度と剛性の向上、および自己消火性の特性により、低価格な代替品よりも推奨されます。

8.6.2 レイアウト例

このセクションのレイアウト例は、デカップリングコンデンサと ESD 保護ダイオードの推奨配置を示しています。D+/D- 信号トレースの下には、連続的なグラウンドプレーンを推奨します。電源ピンと対応するグラウンドピンの近くに配置し、最上層を使用して接続できるように、小型のフットプリントコンデンサ (0402/0201) を推奨します。デカップリングコンデンサと、対応する電源ピンとグラウンドピンの間の配線パスにビアを配置しないでください。IC の近くに配置することを考慮する場合、 V_{1P8Vx} 電源のコンデンサが優先されます。ESD 保護ダイオードはコネクタの近くに配置し、グラウンドプレーンと強く接続されている必要があります。 V_{1P8V1} のピン 4 とピン 11、および V_{1P8V2} のピン 18 とピン 25 は互いに接続されていますが、この接続はデカップリングコンデンサの後です。PCB で 2 つ以上の層が利用可能な場合、D+/D- トレースの下でグラウンドプレーンを中断しないように、この接続を内層または最下層 (たとえば、レイヤ 3 または 4) で行う必要があります。ここに示す例は絶縁型ホストまたはハブの場合ですが、絶縁型ペリフェラルについても同様の考慮事項が当てはまります。VBUS の $120\mu\text{F}$ コンデンサは、ホストまたはハブにのみ適用され、ペリフェラルには使用できません。オプションとして、 100nF (および $120\mu\text{F}$) のコンデンサの後に、 $100\text{m}\Omega$ 未満の dc 抵抗を持つフェライトビーズを VBUS 配線に配置し、ESD などの過渡現象が回路の他の部分に影響を与えないようにすることもできます。

最高の性能を得るために、マイコンから ISUSB211-Q1 まで、および ISUSB211-Q1 からコネクタまでの D+/D- 基板パターンの長さを最小限に抑えることが推奨されます。D+/D- ライン上のビアとスタブは避ける必要があります。これは、High Speed 動作では特に重要です。

熱性能を向上させるため、小型プレーン (例: $2\text{mm} \times 2\text{mm}$) を上層の GND ピンに接続します。これを、複数のビアを使用して 2 番目の層のグラウンドプレーンに接続します。

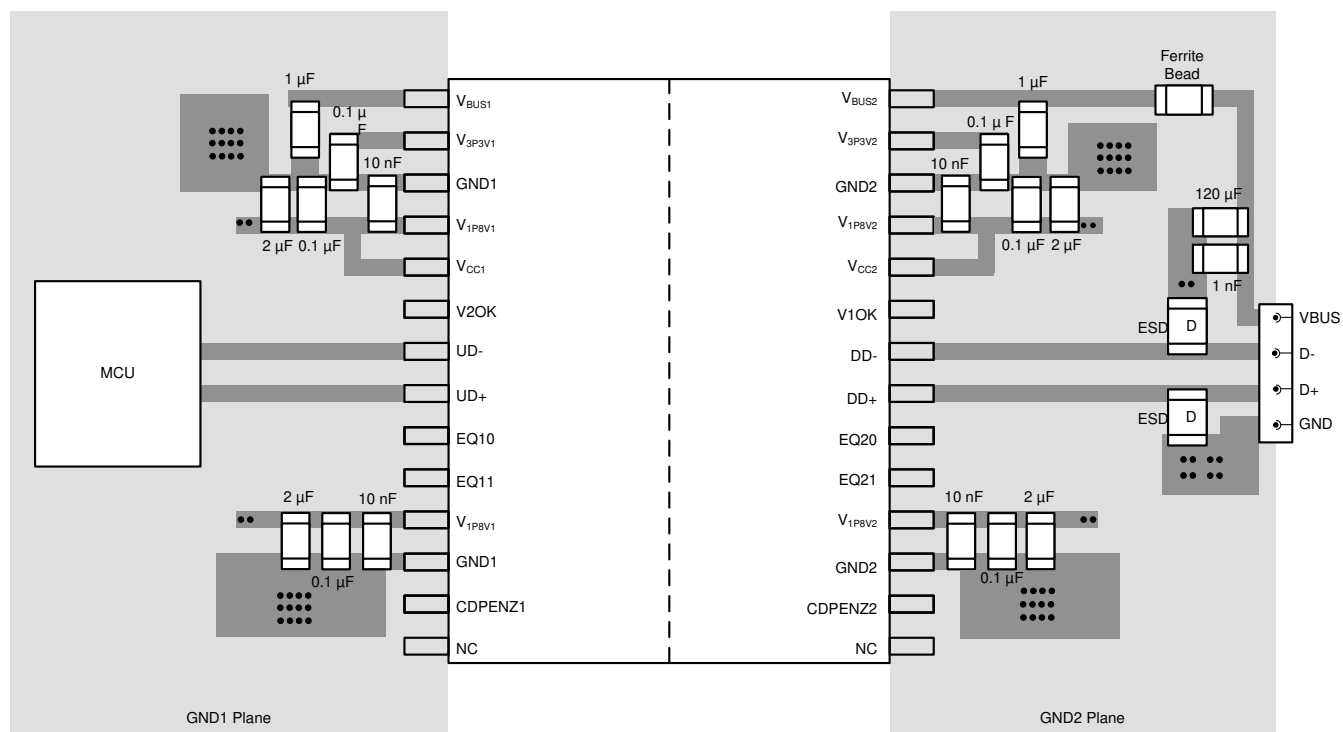


図 8-9. ISOUSB211-Q1 のレイアウト例

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、[『デジタル アイソレータ設計ガイド』](#)
- テキサス インスツルメンツ、[『絶縁の用語集』](#)

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。右上の「アラートを受け取る」をクリックして登録すると、製品情報の更新に関する週次ダイジェストを受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

[テキサス・インスツルメンツ E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.4 商標

Type-C™ is a trademark of USB Implementers Forum.

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from JUNE 30, 2026 to JULY 6, 2026 (from Revision A (June 2025) to Revision B (July 2026))

	Page
• V _{IOTM} 範囲の向上を反映するため、「特長」セクションを更新	1

Changes from Revision * (March 2024) to Revision A (June 2026)

	Page
• データシートのステータスを事前情報から変更しました: 「量産データ」	1
• バス ピンの HBM ESD 定格を追加しました	5
• 絶縁耐電圧を 5,000V から 5,700V に増加しました	7
• この情報は証明書に記載されているため、認証評価の行を削除しました。	8

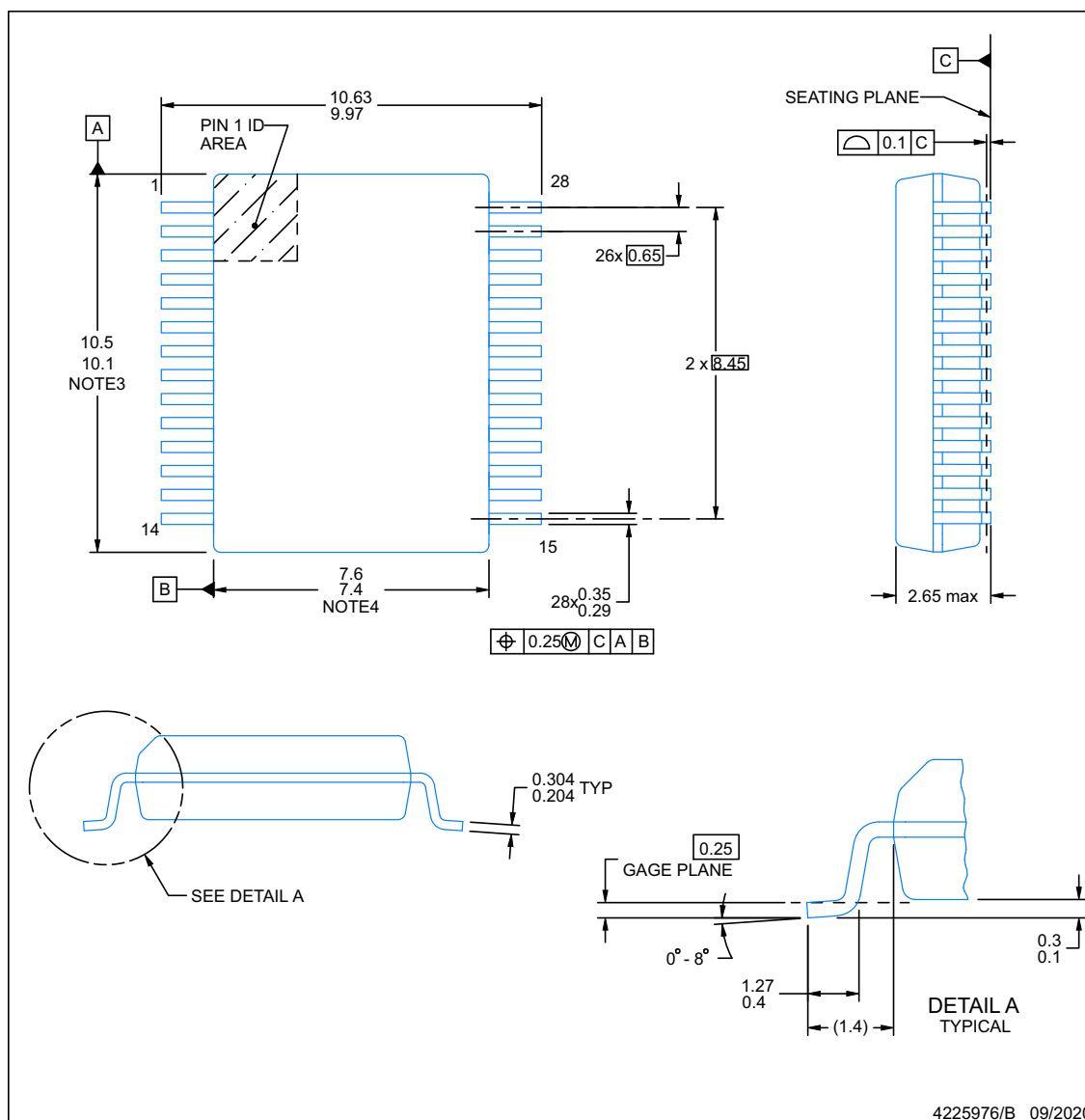
• 「アプリケーション情報」セクションを追加.....	24
• 設計要件セクションを追加.....	25
• 「詳細な設計手順」セクションを更新.....	25

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGE OUTLINE**DP0028A-C01****SSOP - 2.65 mm max height**

SMALL OUTLINE PACKAGE

**NOTES:**

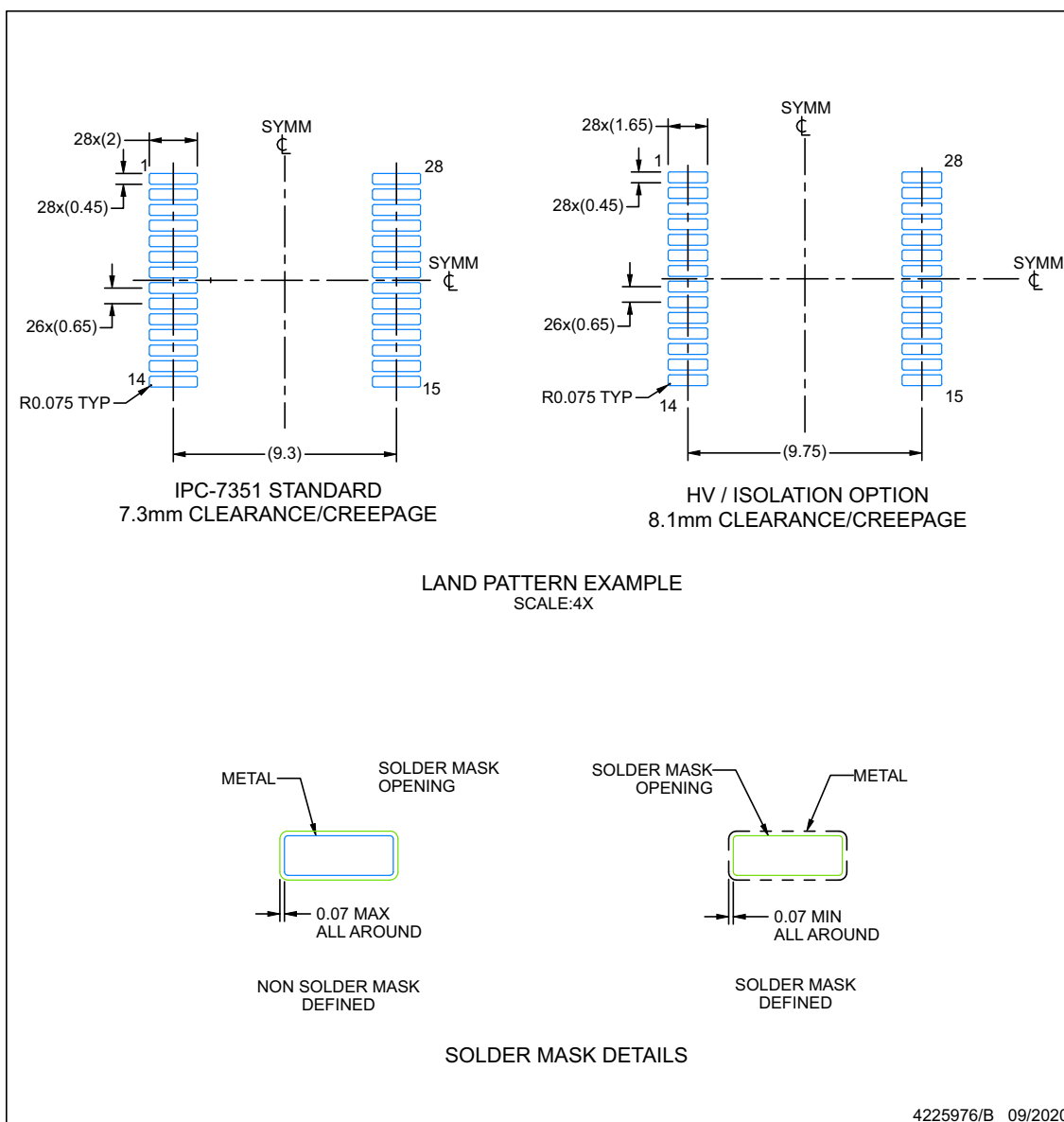
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.
5. Reference JEDEC registration MS-013.

EXAMPLE BOARD LAYOUT

DP0028A-C01

SSOP - 2.65 mm max height

SSOP

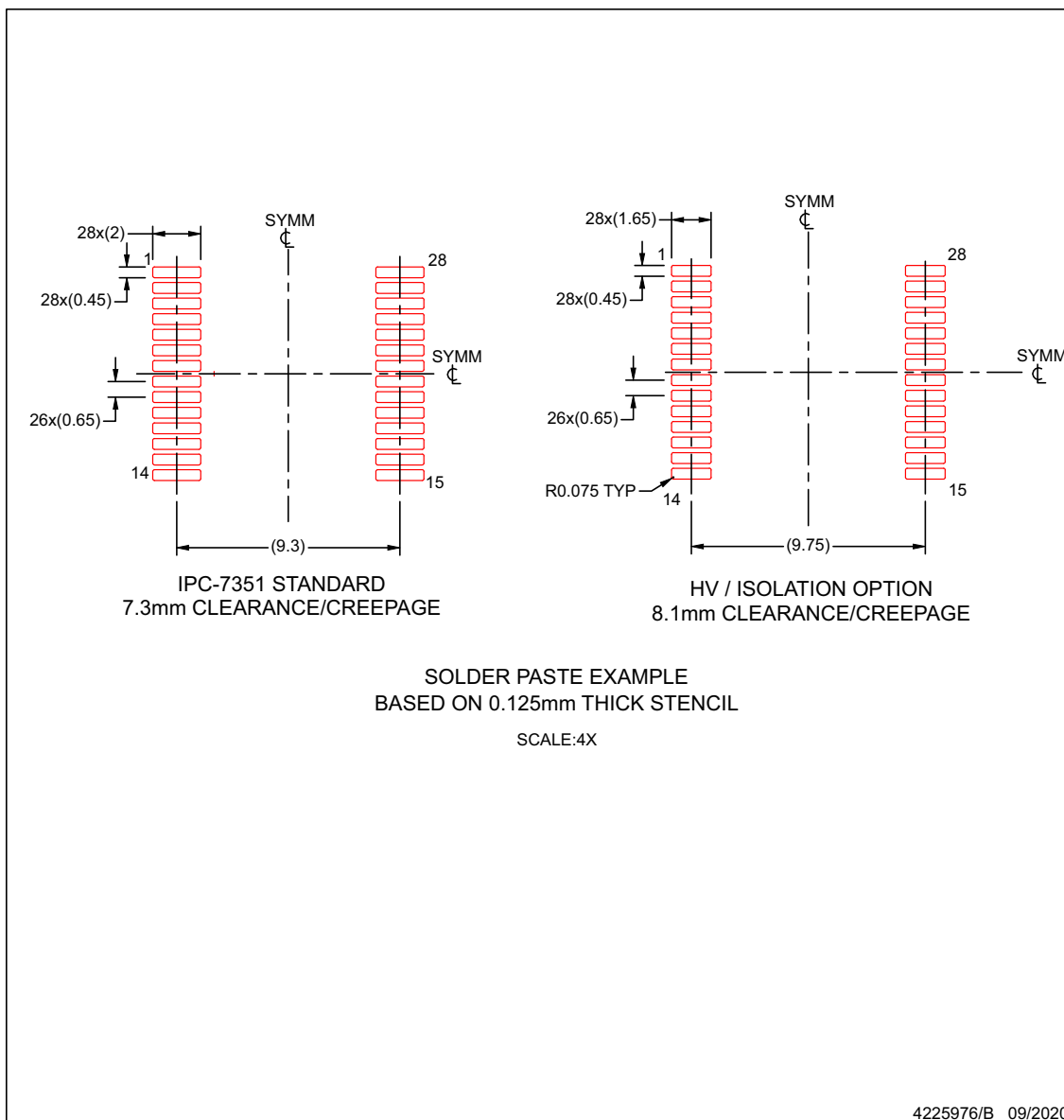


NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN**DP0028A-C01****SSOP - 2.65 mm max height**

SSOP



NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ISOUSB211DPRQ1	Active	Production	SSOP (DP) 28	2000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOUSB211

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

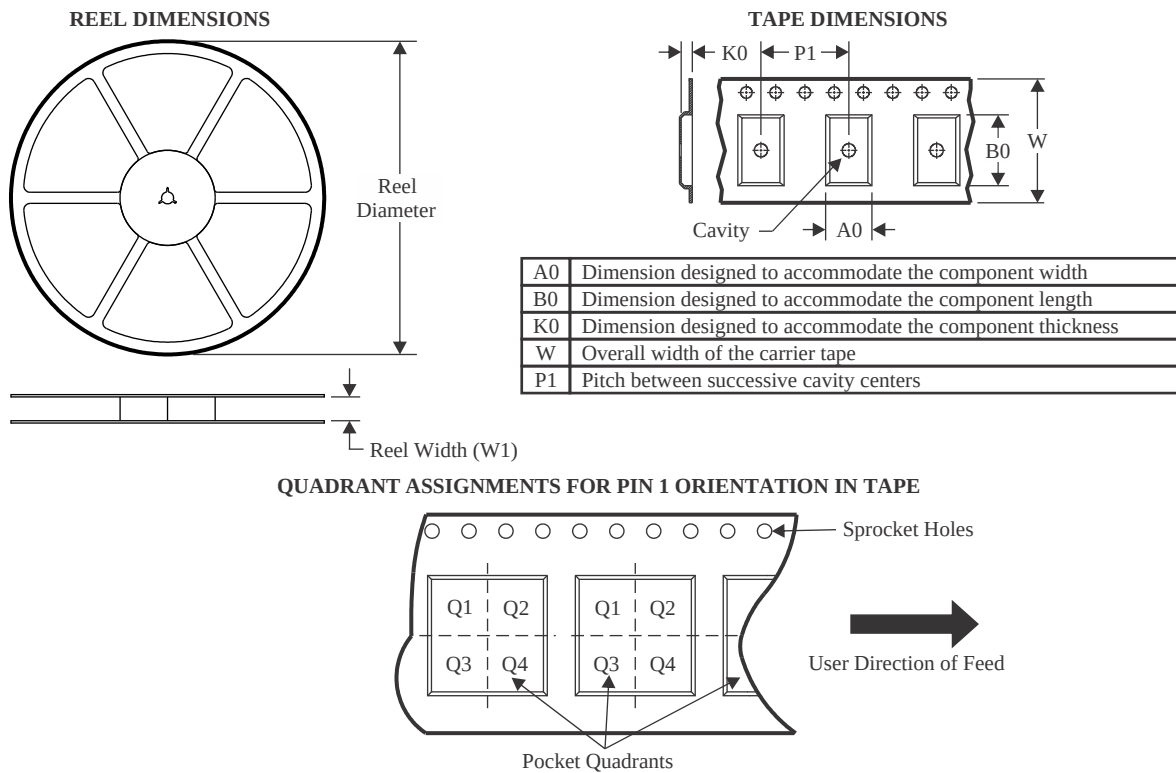
OTHER QUALIFIED VERSIONS OF ISOUSB211-Q1 :

- Catalog : [ISOUSB211](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

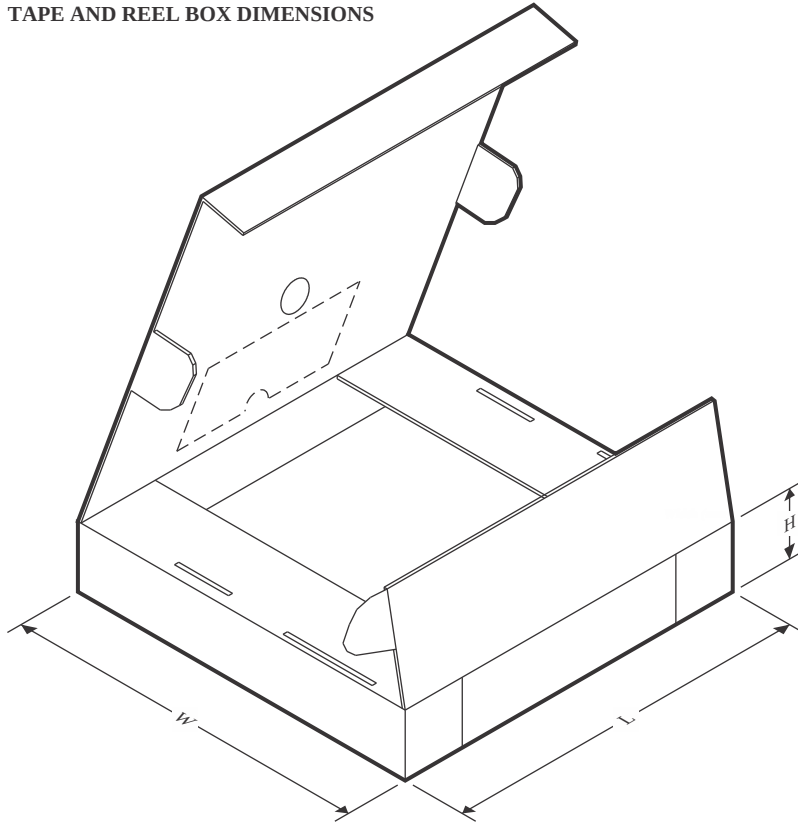
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ISOUSB211DPRQ1	SSOP	DP	28	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ISOUSB211DPRQ1	SSOP	DP	28	2000	350.0	350.0	43.0

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月