

LM21305

LM21305 5A Adjustable Frequency Synchronous Buck Regulator



Literature Number: JAJSB17

5A 可変周波数同期整流降圧型レギュレータ

概要

LM21305 は、機能をフル装備した、最大 5A の出力電流を連続供給できる周波数可変の同期整流降圧型レギュレータです。デバイスは 3V ~ 18V の入力電圧範囲で動作するように最適化され、さまざまな用途に適しています。LM21305 の出力電圧の精度は 1% で、入力電圧過渡応答とデジタル負荷に対する高速負荷過渡応答に非常に優れています。このデバイスのシステム・コンフィギュレーションは柔軟性が高く、スイッチング周波数のプログラミングや同期ができます。また、このデバイスは、突入電流を抑えるソフトスタート回路、サイクルごとの電流制限、サーマル・シャットダウン機能を装備しています。

デバイスは、オーバーボルテージ保護 (OVP) と過電流保護 (OCP) 回路を内蔵し、システムの信頼性を高めています。デバイスの起動は、高精度イネーブル・ピンや内蔵されたアンダーボルテージ・ロックアウトにより、正確なシーケンス制御を実現できます。スタートアップ時の突入電流は、内蔵のソフトスタート回路で制限されます。内蔵パワーストック回路により、異常検出や電源シーケンスが可能です。

このデバイスの周波数は、外付け抵抗により 300kHz ~ 1.5MHz の範囲で調整できます。LM21305 は、28 ピン LLP パッケージで提供されます。

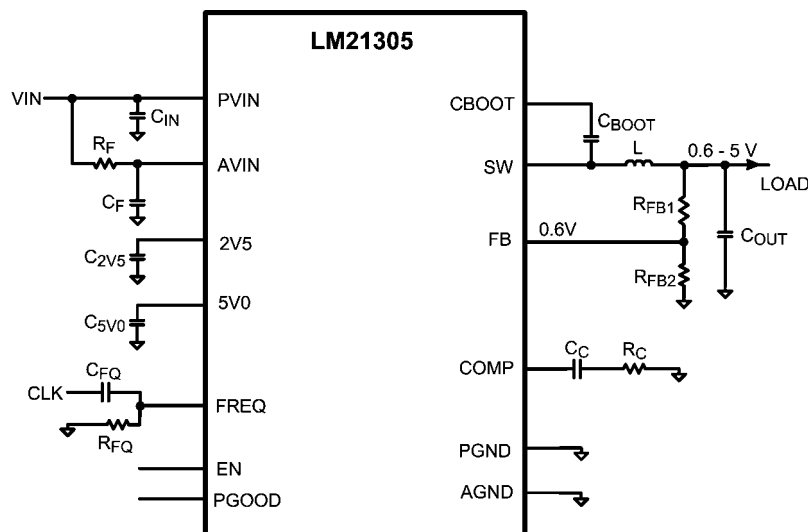
特長

- シングル・レール入力電圧の範囲：3V ~ 18V
- 帰還電圧：0.6V
- 代表的な出力電圧精度：1%
- 高効率のスイッチ・コア
- スwitching 周波数の範囲：300kHz ~ 1.5MHz
- 抵抗を使用して Switching 周波数を設定可能
- Switching 周波数の同期機能
- 高精度イネーブル
- 突入電流を抑える内部ソフトスタート回路
- PGOOD 機能
- アンダーボルテージ・ロック・アウト (UVLO)
- オーバーボルテージ保護 (OVP)
- 高速過渡応答
- サイクルごとの電流制限
- サーマル・シャットダウン
- LLP-28 パッケージ (5mm × 5mm × 0.8mm、0.5mm ピッチ)

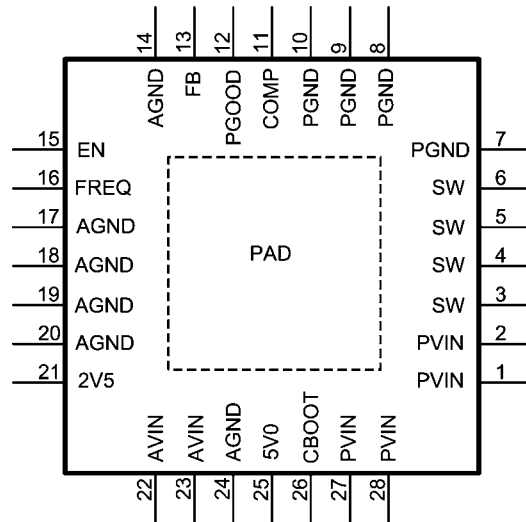
アプリケーション

- 3.3V、5V、12V 電源レールからの POL (ポイント・オブ・ロード) レギュレーション
- DSP、FPGA、ASIC およびプロセッサの電源
- 広帯域、ネットワーク、光通信のインフラ

代表的なアプリケーション回路



ピン配置図



LLP-28 Package, Exposed Pad
NS Package Number SQA28B

製品情報

Order Number	NSC Package Drawing	Package Marking	Supplied As
LM21305SQ	SQA28B	21305SQ	1000 units, tape & reel
LM21305SQX			4500 units, tape & reel

ピン説明

番号	名称	タイプ	パッドの説明
1,2,27,28	PV _{IN}	P	デバイス内部のパワー・スイッチへの入力電圧であり、電力を出力に供給します。
3,4,5,6	SW	P	パワー・スイッチのスイッチ・ノード出力で、このピンの電圧は PVIN ~ GND の範囲で変化します。電流を外付けインダクタに供給します。
7,8,9,10	PGND	G	内部パワー・スイッチ用の電源グラウンド。
11	COMP	A	外付け補償ネットワークに接続する補償ピン。
12	PGOOD	OD	パワーグッド (オープン・ドレイン) 出力。High の場合、出力電圧は許容誤差内でレギュレートされています。多くのアプリケーションでは、プルアップ抵抗 (10kΩ ~ 100kΩ) の使用を推奨します。
13	FB	A	帰還電圧ピン。このピンは、出力電圧に直接接続することも、出力電圧範囲を設定する抵抗分圧回路を経由して接続することもできます。FB ピンの電圧の範囲は 0.6V ~ 1.0V です。
14,17,18,19,20,24	AGND	G	内部バイアス回路用のアナログ・グラウンドです。
15	EN	I	高精度イネーブル・ピン。外付けの抵抗分圧回路を使用して、デバイスのターンオン・スレッシュホールドを設定できます。ENピンを使用しない場合は、AVINに接続してください。
16	FREQ/SYNC	A	周波数設定ピン。このピンを抵抗とグラウンドに接続して、内部発振器の周波数を設定できます。また、コンデンサ経由で外付けクロック源に接続することもできます。これにより、デバイスのスイッチング動作が外付けクロックと同期します。
21	2V5	P	内部レギュレータの 2.5V 出力。このピンは、内部 LDO のバイパス専用です。このピンに負荷を接続することは推奨しません。

ピン説明

番号	名称	タイプ	パッドの説明
22,23	AV _{IN}	P	アナログ回路の電源。バイアス電流と内部ドライバに電力を供給する 2.5V と 5.0V の内部 LDO に、電力を供給します。このピンは、ローパス RC フィルタ経由で PVIN に接続することも、別の電源レールから電力を供給することもできます。
25	5V0	P	内部レギュレータの 5.0V 出力。このピンは、内部 LDO のバイパス専用です。このピンに負荷を接続することは推奨しません。
26	CBOOT	A	ハイサイド・スイッチを駆動するブートストラップ・ピン。このピンと SW ピンの間にブートストラップ・コンデンサを接続する必要があります。

P: 電力 A: アナログ I: デジタル入力 I/O: デジタル入出力 OD: オープン・ドレイン G: グラウンド

絶対最大定格 (Note 1)

本データシートには軍用・航空宇宙用の規格は記載されていません。
関連する電気的信頼性試験方法の規格を参照ください。

PVIN、AVIN、SW、EN、PGOOD (AGND 基準)	- 0.3V ~ + 20V
CBOOT (AGND 基準)	- 0.3V ~ + 26V
CBOOT ~ SW 間	- 0.3V ~ + 5.5V
5V0、FB、COMP、FREQ (AGND 基準)	- 0.3V ~ + 6V
2V5 (AGND 基準)	- 0.3V ~ + 3V
AGND (PGND 基準)	- 0.3V ~ + 0.3V
接合部温度 (T _{J-MAX})	150 °C
保存温度範囲	- 65 °C ~ 150 °C
連続消費電力の最大値 P _{D-MAX}	内部的に制限
最大リード温度 (鉛フリー互換) (Note 3)	260 °C

ESD 耐圧

すべてのピン、人体モデル (HBM)	± 2kV
すべてのピン、マシン・モデル (MM)	± 150V
すべてのピン、帯電モデル (CDM)	± 750V

動作定格

PVIN と PGND、AGND との電位	3V ~ 18V
AVIN と PGND、AGND との電位	3V ~ 18V
接合部温度	- 40 °C ~ 125 °C
周囲温度	- 40 °C ~ 85 °C
接合部 - 周囲間の熱抵抗 (θ _{JA})	32.4 °C /W

電気的特性 (Note 7、Note 8)

標準字体で記載された仕様は T_J = 25 °C の場合であり、**太字** で記載された上限または下限値は「**全動作温度範囲**」(T_J = - 40 °C ~ + 125 °C) に適用されます。特記のない限り、V_{IN} = V_{PVIN} = V_{AVIN} = 12V、I_{OUT} = 0A。

Symbol	Parameter	Remarks	Min	Typ	Max	Unit
V _{FB-default}	Feedback pin factor-default voltage, registers in default state			0.6		V
ΔV _{OUT} /ΔI _{OUT}	Load regulation	I _{OUT} = 0.1 to 5A		0.02		%/A
ΔV _{OUT} /ΔV _{IN}	Line regulation	V _{PVIN} = 3 to 18V		0.01		%/V
R _{DS-ON-HS}	High Side Switch On Resistance			44		mΩ
R _{DS-ON-LS}	Low Side Switch On Resistance			22		mΩ
I _{CL-HS}	High Side Switch Current Limit	High side FET		6.5		A
I _{CL-LS}	LS Switch Current Limit	Low side FET		8		A
I _{NEG-CL-LS}	LS Switch Negative Current Limit	Low side FET		-3.8		A
I _{SD}		V _{AVIN} = V _{PVIN} = 5V		0.5		μA
		V _{AVIN} = V _{PVIN} = 18V		1		
I _Q	Quiescent current with switcher on, no load, DCM mode	V _{AVIN} = V _{PVIN} = 18V		6.5		mA
I _{FB}	Feedback pin input bias current	V _{FB} = 0.6V		1		nA
G _m	Error Amplifier Transconductance			1592		μΩ
A _{VOL}	Error Amplifier Voltage Gain			445		V/V
V _{IH-OVP}	OVP Tripping Threshold	with respect to V _{FB} nom Output voltage rising		110		%
V _{HYST-OVP}	OVP Hysteresis Window	with respect to V _{FB} nom		-4		%
V _{UVLO-HI-AVIN}	AVIN UVLO rising threshold			2.88		V
V _{UVLO-HYS-AVIN}	AVIN UVLO hysteresis window			415		mV
V _{5V0}	Internal LDO1 output voltage measured at 5V0 pin			4.92		V
C _{OUT-cap-5V0}	Recommended C _{OUT} capacitance connected to 5V0 pin	Ceramic capacitor		100		nF
I _{short-5V0}	Short circuit current			30		mA

電気的特性 (Note 7、Note 8) (つづき)

標準字体で記載された仕様は $T_J = 25^\circ\text{C}$ の場合であり、太字で記載された上限または下限値は「全動作温度範囲」($T_J = -40^\circ\text{C} \sim +125^\circ\text{C}$) に適用されます。特記のない限り、 $V_{IN} = V_{PVIN} = V_{AVIN} = 12\text{V}$ 、 $I_{OUT} = 0\text{A}$ 。

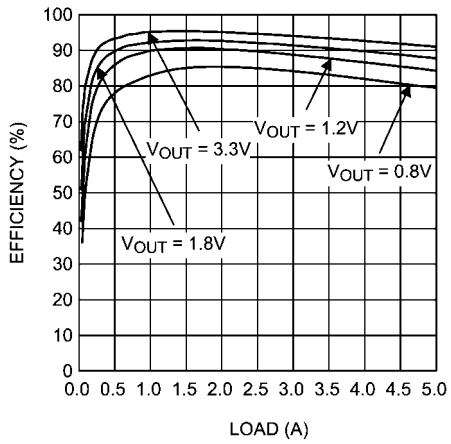
Symbol	Parameter	Remarks	Min	Typ	Max	Unit
V_{2V5}	Internal LDO2 output voltage measured at 2V5 pin			2.47		V
$C_{OUT-cap-2V5}$	Recommended C_{OUT} capacitance connected to 2V5 pin	Ceramic capacitor		100		nF
$I_{short-2V5}$	Short circuit current			45		mA
$V_{F_{CBOOT-D}}$	CBOOT diode forward voltage	Measured between 5V0 and CBOOT @ 10 mA		0.83		V
I_{CBOOT}	CBOOT Leakage Current	$V_{CBOOT} = 5.5\text{V}$, $V_{EN} = 5\text{V}$		3.55		μA
$T_{startup-delay}$	Startup time from EN high to the starting of the internal soft-start (Note 9)			160		μs
SS	Internal soft-start (Note 9)			1		ms
OSCILLATOR						
$F_{OSC-nom}$	Oscillator Frequency, nominal measured at SW pin		300	750	1500	kHz
$F_{OSC-MAX}$	Maximum Oscillator Frequency measured at SW pin	$R_{freq} = 30\text{ k}\Omega$		1500		kHz
$F_{OSC-MIN}$	Minimum Oscillator Frequency measured at SW pin	$R_{freq} = 169\text{ k}\Omega$		300		kHz
$T_{OFF-MIN}$	Minimum Off Time measured at SW pin	$F_s = 1.5\text{ MHz}$, $V_{IN} = 3.3\text{V}$, $V_{FB} = 1\text{V}$, divider = 5.5		50		ns
T_{ON-MIN}	Minimum On Time measured at SW pin	$F_s = 1.5\text{ MHz}$, divider = 1		65		ns
LOGIC						
V_{IH-EN}	EN Pin Rising Threshold			1.2		V
$V_{HYST-EN}$	EN Pin Hysteresis Window			100		mV
I_{EN-IN}	EN Pin Input Current	$V_{EN} = 3.3\text{V}$				
$V_{IH-UV-PGOOD}$	PGOOD UV Rising Threshold	with respect to V_{FB} nom		94		%
$V_{HYST-UV-PGOOD}$	PGOOD UV Hysteresis Threshold	with respect to V_{FB} nom		-4		%
$I_{OL-PGOOD}$	PGOOD sink current	$V_{OL} = 0.2\text{V}$		2		mA
$I_{OH-PGOOD}$	PGOOD leakage current	$V_{OH} = 18\text{V}$				nA
THERMAL SHUTDOWN						
T_{SD}	Thermal Shutdown			160		$^\circ\text{C}$
T_{SD-HYS}	Thermal Shutdown Hysteresis (Note 9)			10		$^\circ\text{C}$

- Note 1:** 絶対最大定格とは、超えるとデバイスが破損する可能性のあるリミット値をいいます。「動作定格」とは、デバイスが正常に動作する条件をいいますが、特定の性能リミット値を保証するものではありません。保証性能のリミット値と関連する試験条件は、「電気的特性」の表を参照してください。
- Note 2:** デバイスの最大許容消費電力の絶対値は周囲温度に依存し、式 $P = (T_J - T_A) / \theta_{JA}$ で計算できます。 T_J は接合部の温度、 T_A は周囲温度、 θ_{JA} は接合部と周囲との間の熱抵抗です。接合部 - 周囲間の熱抵抗は、アプリケーションとボード・レイアウトに大きく依存します。最大消費電力の大きいアプリケーション回路では、基板設計時に熱放散の問題に特別な注意を払う必要があります。サーマル・シャットダウン回路がデバイスの損傷を防ぎます。
- Note 3:** ハンダ付け仕様の詳細は、ナショナル・セミコンダクターのアプリケーション・ノート「AN-1187 リードレス・リードフレーム・パッケージ (LLP)」 (<http://www.national.com/JPN/an/AN/AN-1187.pdf>) を参照してください。
- Note 4:** 人体モデルの場合、100pF のコンデンサから直列抵抗 1.5k Ω を通して各ピンに放電させます (MIL-STD-883 3015.7) マシン・モデルでは、200pF のコンデンサから直接各ピンに放電させます。
- Note 5:** アプリケーションの消費電力が高い、またはパッケージの熱抵抗が高いと、最大周囲温度のデレーティングが必要になる場合があります。最大周囲温度 (T_{A-MAX}) は、動作時の最大接合部温度 ($T_{J-MAX-OP} = 125^\circ\text{C}$)、アプリケーション実装時のデバイスの最大消費電力 (P_{D-MAX})、アプリケーション実装時のデバイス/パッケージの接合部-周囲間の熱抵抗 (θ_{JA}) を使用して、次式から求められます。 $T_{A-MAX} = T_{J-MAX-OP} - (\theta_{JA} \times P_{D-MAX})$ 。
- Note 6:** 接合部 - 周囲間の熱抵抗 (θ_{JA}) は、JEDEC 規格 JESD51-7 に規定された条件とガイドラインの下で実施した熱モデリング結果から得ています。試験基板は 4 層の標準 JEDEC 熱試験基板 (4LJEDEC) で、大きさは 4 インチ \times 3 インチ、3 \times 3 のサーマル・ビア配列が設けられています。基板には、基板とほぼ同じサイズの銅箔層が 2 層、埋め込まれています。4 層の銅箔の厚さは上から順に、2 オンス、1 オンス、1 オンス、2 オンスです。LLP では、1 番目と 2 番目の銅箔層の間に、サーマル・ビアがあります。基板の詳細については、JESD 51-7 を参照してください。シミュレーションでの周囲温度は 22 $^\circ\text{C}$ 、風速はゼロです。消費電力は 1W です。この製品の θ_{JA} の値は、PCB の素材、レイアウト、環境条件によって大きく変化する可能性があります。最大消費電力が大きい (V_{OUT} が高い、 I_{OUT} が高い) アプリケーションでは、放熱について特に配慮する必要があります。これらのトピックの詳細については、アプリケーション・ノート 1187 「リードレス・リードフレーム・パッケージ (LLP)」を参照してください。
- Note 7:** すべてのリミット値は、設計、試験または統計解析によって保証されています。室温リミット値がある電気的特性はすべて、 $T_J = 25^\circ\text{C}$ で製造時にテストされます。全温度範囲でのリミット値は、製造工程や温度のばらつきと電気的特性の相関関係を把握し、統計的工程管理を適用することにより保証されています。
- Note 8:** コンデンサ: 電気的特性の設定には、低 ESR の表面実装セラミック・コンデンサ (MLCC) が使用されます。
- Note 9:** 設計により保証されています。

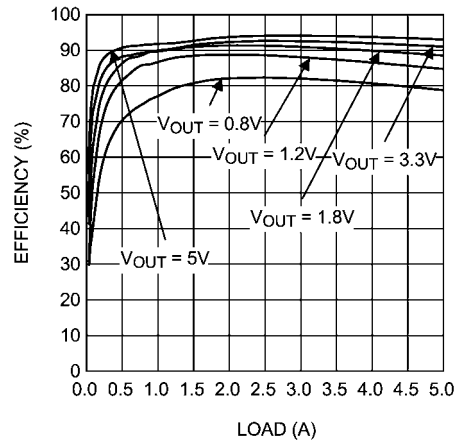
代表的な性能特性

特記のない限り、 $V_{IN} = 12V$ 、 $V_{OUT} = 3.3V$ 、 $f_{SW} = 500kHz$ 、 $T_A = 25^\circ C$ 。

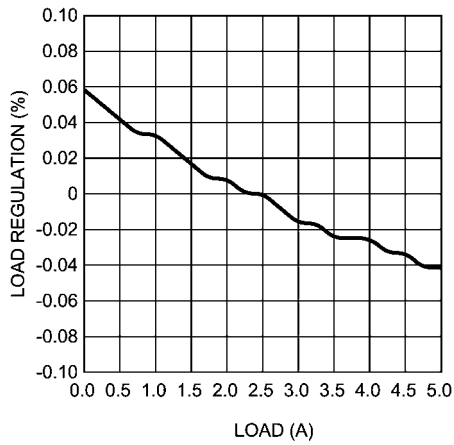
Efficiency with $P_{VIN} = A_{VIN} = 5V$, $f_s = 300\text{ kHz}$



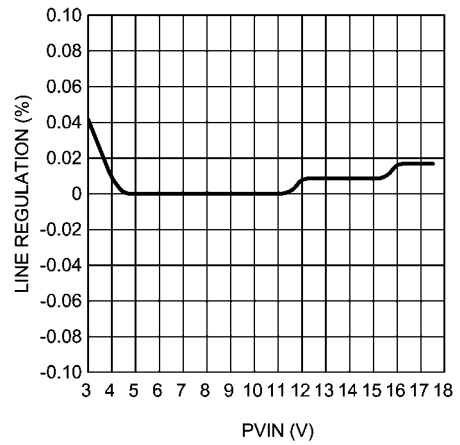
Efficiency with $P_{VIN} = 12V$, $A_{VIN} = 5V$, $f_s = 300\text{ kHz}$



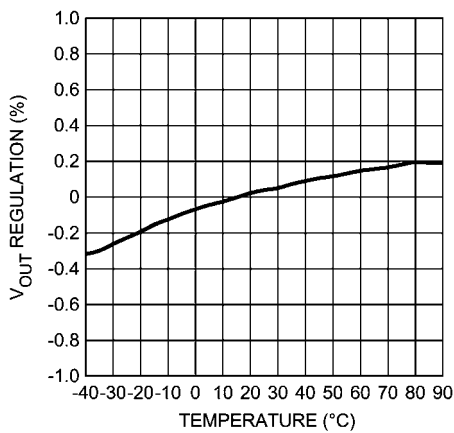
Load Regulation (%)



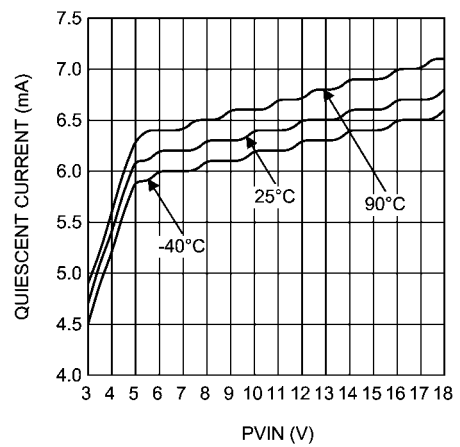
Line Regulation (%)



V_{OUT} Regulation (%) vs. Temperature



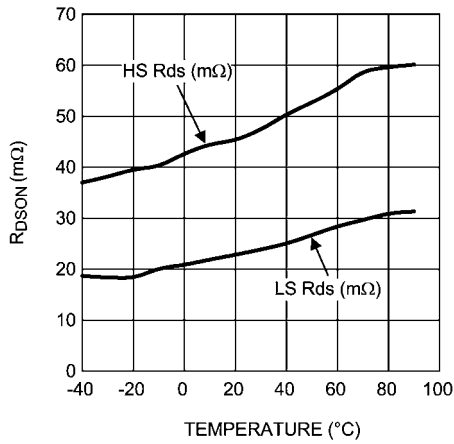
Quiescent Current (mA)



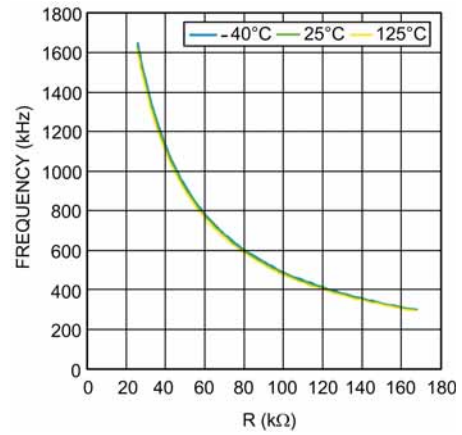
代表的な性能特性 (つづき)

特記のない限り、 $V_{IN} = 12V$ 、 $V_{OUT} = 3.3V$ 、 $f_{SW} = 500kHz$ 、 $T_A = 25^\circ C$ 。

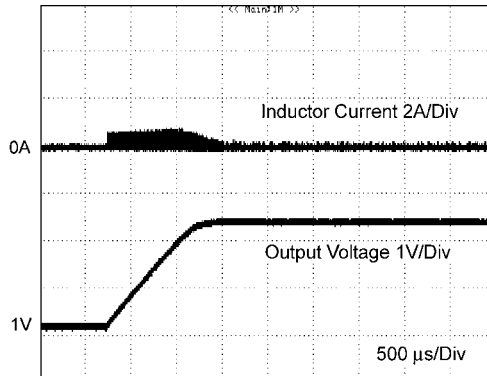
HS and LS MOSFET R_{DS_ON} Over Temperature



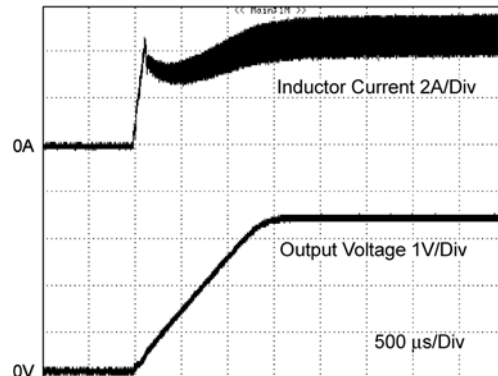
Switching Frequency vs. R_{FRQ}



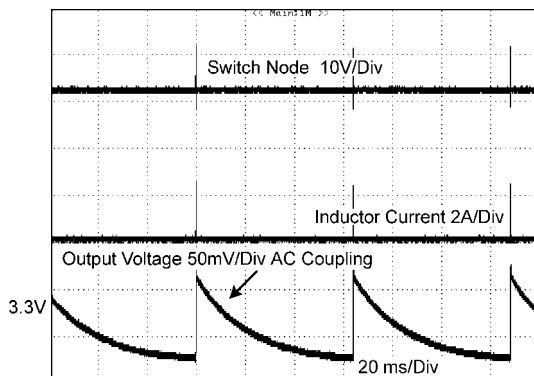
Soft Start with 1V Pre-Bias Voltage, No Load



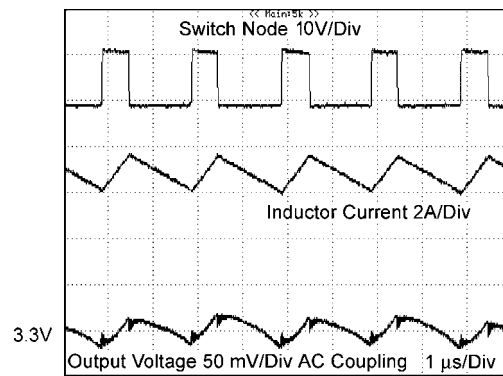
Soft Start with 5A, Load



Switching Waveform with 0A, Load (DCM Mode)

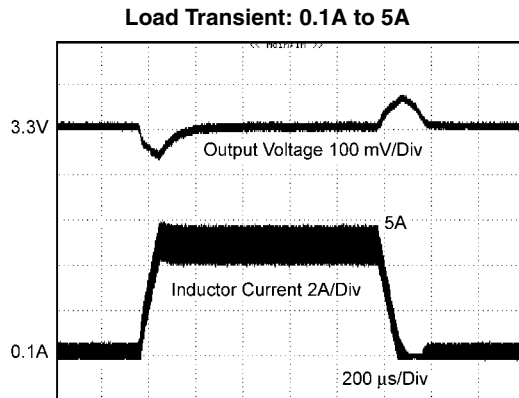


Switching Waveform with 5A, Load

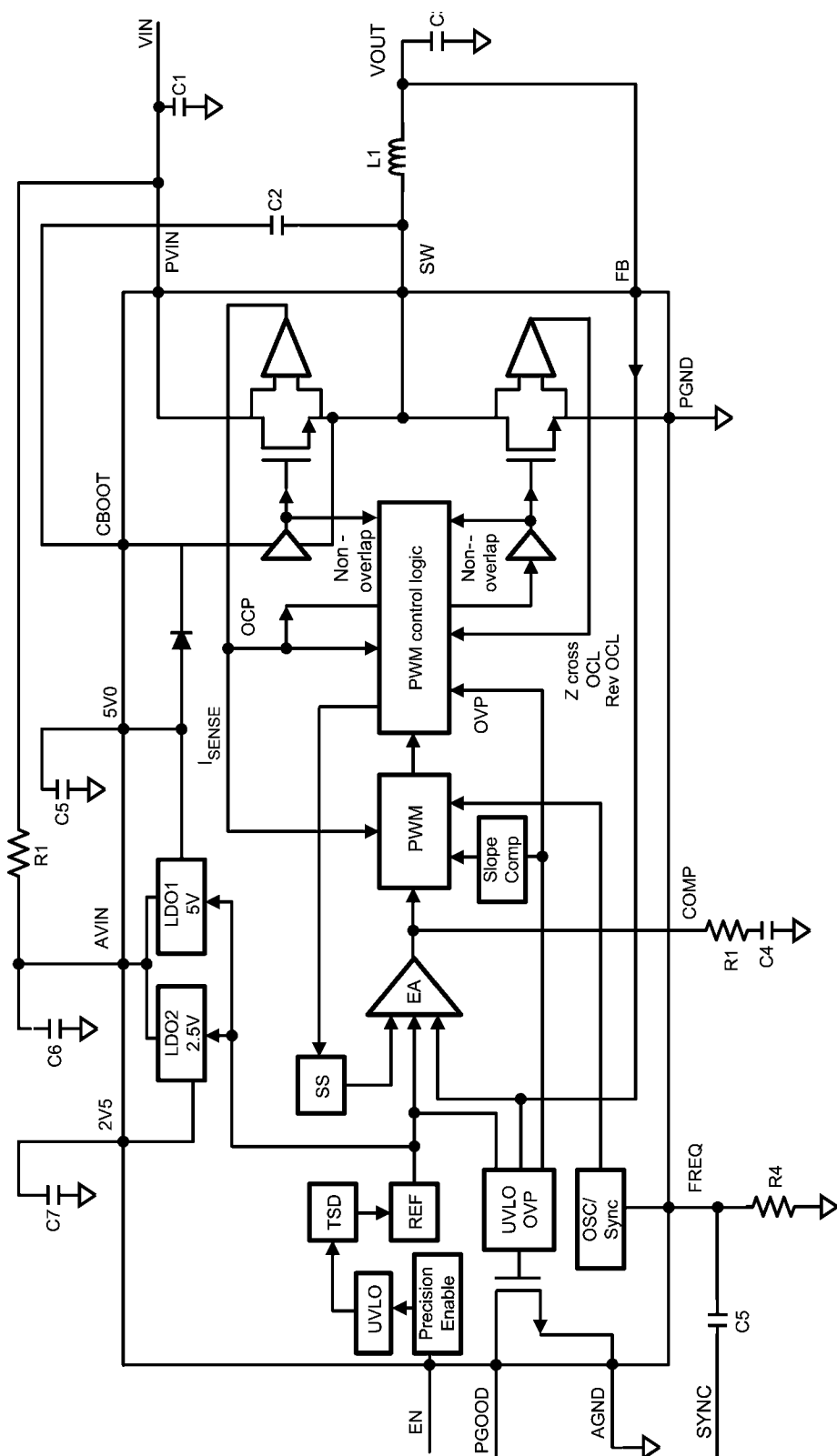


代表的な性能特性 (つづき)

特記のない限り、 $V_{IN} = 12V$ 、 $V_{OUT} = 3.3V$ 、 $f_{SW} = 500kHz$ 、 $T_A = 25^\circ C$ 。



ブロック図



動作説明

LM21305 は電流モード制御方式を採用しています。エラー・アンプで、0.6V のリファレンス電圧が帰還信号と比較されます。PWM 変調ブロックが、オン時間電流検知情報と、エラー・アンプ出力 (制御電圧) とスロープ補償の合計値とを比較します。PWM 変調回路出力のオン/オフが、ハイサイド・ドライバとローサイド・ドライバに送信されます。貫通電流が発生しないように、PWM 出力にアダプティブ・デッドタイム制御が適用されます。次に、ドライバは PWM 信号を増幅して、内蔵されたハイサイドとローサイドの MOSFET を制御します。

スイッチング・レギュレータ

LM21305 は、降圧型のアーキテクチャを採用しています。先進機能を多数活用して、優れた電圧調整と効率を実現しています。この使いやすいレギュレータは、2 つのスイッチ素子を内蔵し、最大 5A の連続出力電流を供給できます。レギュレータは、スイッチング周波数に応じたスロープ補償によるピーク電流モード制御を行い、出力電圧とスイッチング周波数の範囲全体で優れた安定性と過渡応答を実現します。ピーク電流モード制御は、入力電圧フィードフォワード、サイクルごとの電流制限、ループ補償が簡単という特長を備えています。スイッチング周波数は、300kHz ~ 1.5MHz の範囲で調整できます。デバイスは、外付け LC フィルタを接続して使用でき、この場合もリップル電圧が非常に低くなります。高精度な内部電圧リファレンスにより、出力を 0.6V の低電圧に設定できます。外付け補償回路を使用する場合、スイッチング周波数に基づいてレギュレータの帯域幅を選択して、高速の負荷過渡応答を得られます。スイッチング・レギュレータは、負荷範囲全体で高効率の動作を実現するように設計されています。同期整流方式により、低電圧かつ高負荷電流の状況で高い効率が得られる一方、オプションの DCM 動作は低い負荷電流まで高効率を維

持します。その他の保護機能として、ハイサイドとローサイドのスイッチ電流制限、ローサイド・スイッチの負電流制限、オーバervoltage保護、サーマル・シャットダウンを備えています。デバイスは、放熱を促進する露出パッドを組み込んだ LLP-28 パッケージで供給されます。3V ~ 18V の幅広い電源レールから効率的に降圧する目的で、LM21305 は数多くのアプリケーションに適用できます。

ピーク電流モード制御

多くのアプリケーションで、LM21305 のピーク電流モード制御アーキテクチャが安定した設計を実現するために必要とする外付け部品は 2 つだけです。外部補償回路により、ユーザーはクロスオーバー周波数と位相余裕を設定でき、デバイスの過渡特性を最適化できます。デューティ・サイクル 50% 以上では、サブ・ハーモニック発振を避けるために、すべての電流モード制御降圧型コンバータではランプを追加する必要があります。この非線形ランプは、通常スロープ補償と呼ばれます。LM21305 のスロープ補償の程度は、スイッチング周波数に従って自動的に変化します。スイッチング周波数が高くなるほど、スロープ補償が大きくなります。これにより、小型のインダクタと高いスイッチング周波数を使用して、電力密度を増加できます。

スイッチング周波数の設定と同期

LM21305 のスイッチング・レギュレータは、300kHz ~ 1.5MHz の周波数範囲で動作できます。スイッチング周波数の設定や制御を行うには、2 つの方法があります。その 1 つは、FREQ ピンに接続する外付け抵抗を選択して内部発振器の周波数を設定し、スイッチング周波数を制御することです。外付けの 100pF コンデンサ CFRQ も、ノイズ・フィルタとして、FREQ ピンと信号グラウンドとの間に接続する必要があります (Figure 1 を参照)。

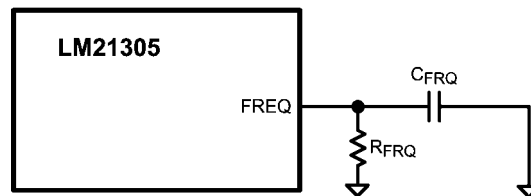


FIGURE 1. Switching Frequency Set by External Resistor

もう 1 つの方法は、スイッチング動作を 300kHz ~ 1.5MHz の外部クロック、その他の固定周波数の信号に同期することで

す。外部クロックは、100pF のカップリング・コンデンサ CFRQ を介して印加する必要があります (Figure 2 を参照)。

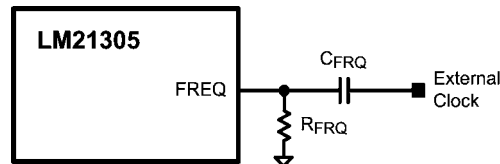


FIGURE 2. Switching Frequency Synchronized to External Clock

動作説明 (つづき)

外部クロックを使用する回路でも、FREQ ピンと信号グラウンドの間に抵抗を接続する必要があります。この抵抗は、外部クロックの周波数と一致するように選択してください。これにより、外部クロックが故障したり、クロック側のカップリング・コンデンサが地絡したり論理 High になった場合にも、レギュレータはほぼ同じスイッチング周波数で動作を続けられます。

外部クロックが Low 側で故障した場合、タイムアウト回路により、ハイサイド FET がスイッチング周期の 1.5 倍よりも長くオフ状態を維持しないようにします (スイッチング周期 $T_S = 1/f_S$)。このタイムアウト期間の終了時点で、レギュレータは R_{FRQ} によって決まる周波数でスイッチングを開始します。

外部クロックが High 側で故障した場合も、タイムアウト回路により、ハイサイド FET がスイッチング周期の 1.5 倍よりも長くオフ状態を維持しないようにします。このタイムアウト期間が経過すると、内部発振器に切り替わり、FREQ ピンの電圧が約 0.6V に減衰するまで 1MHz 固定でスイッチングします。この減衰は C_{SYNC} と R_{FRQ} で決まる時定数に従い、減衰が完了するとレギュレータは R_{FRQ} で決まる周波数でスイッチングします。

軽負荷動作

LM21305 は、軽負荷時は不連続モード (DCM) で動作するため高い効率が得られます。負荷電流がインダクタのリップル電

流の 1/2 の値を下回ると、デバイスは DCM モードになり、大きな負のインダクタ電流を防止します。この状況が発生する値は導通の限界となる境界で、次式で計算できます。

$$I_{BOUNDARY} = \frac{V_{OUT}(1-D)}{2Lf_S}$$

D はハイサイド・スイッチのデューティ・サイクル (ハイサイド・スイッチがオンの時間 / スwitching 周期) です。詳細は、「設計ガイド」の「デューティ・サイクルの計算」を参照してください。Figure 3 に、連続モード (CCM)、不連続モード (DCM)、境界条件を表す図を示します。DCM では、インダクタ電流がゼロになると、SW ノードは必ずハイ・インピーダンスになります。SW ノードがハイ・インピーダンスになると、インダクタと SW ノードの寄生容量によって形成される LC タンク回路のために、このピンでリングングが発生します。このリングングが問題となる場合、スイッチ・ノードからグラウンドへの RC スナバ回路が追加される場合があります。通常 100mA 未満の非常に軽い負荷では、スイッチング・サイクルの間でいくつかのパルスがスキップされ、スイッチング周波数が効果的に低下し、さらに軽負荷効率が向上します。

動作説明 (つづき)

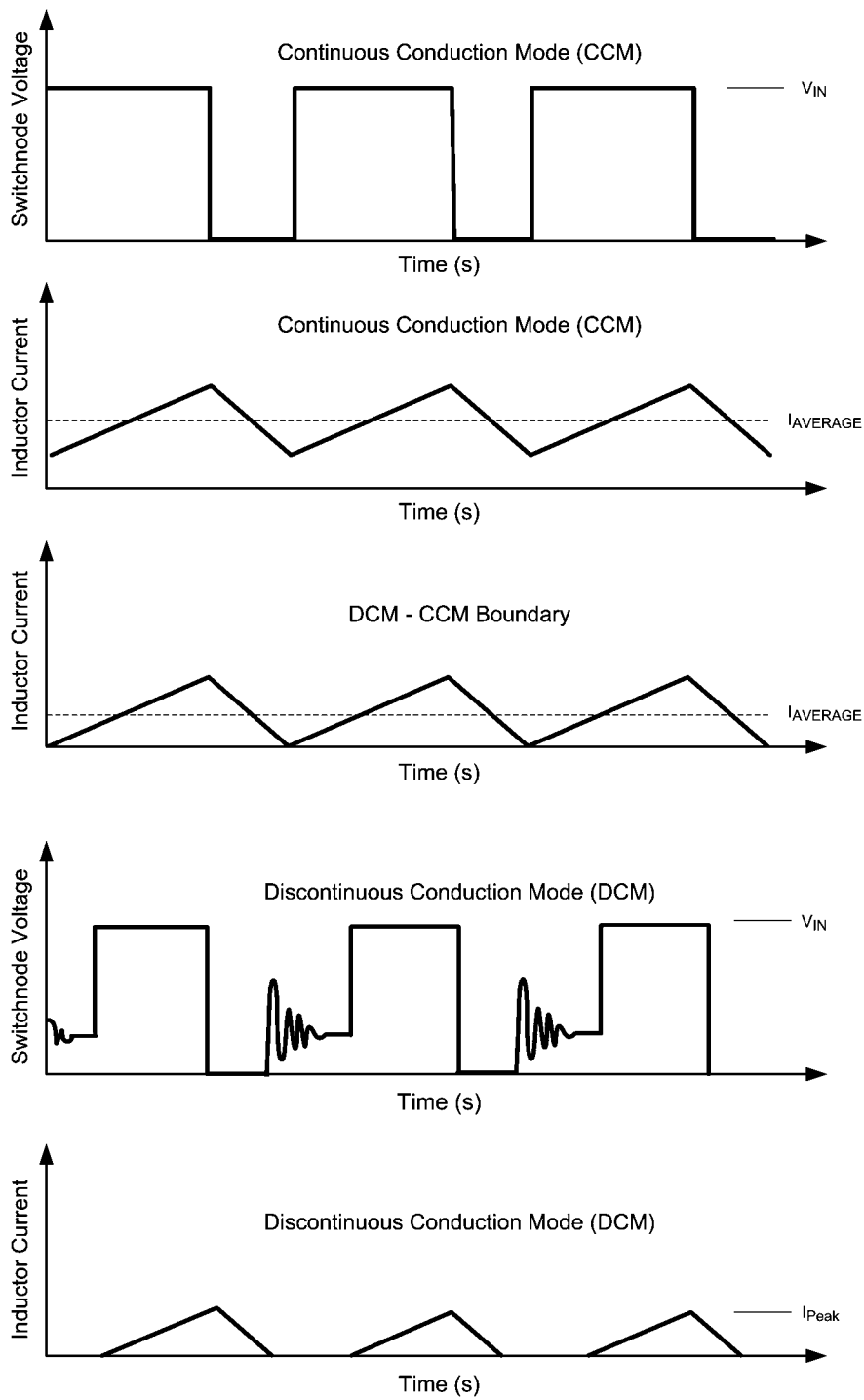


FIGURE 3. CCM and DCM Operation

動作説明 (つづき)

高精度イネーブル

イネーブル (EN) ・ピンから、デバイスの出力を外部制御信号によりイネーブルまたはディスエーブルできます。このピンは、電圧が 1.2V (typ) を超えた場合にデバイスをイネーブルにできる高精度アナログ入力です。EN ピンには 100mV (typ) のヒステリシスがあり、イネーブル電圧が 1.1V (typ) を下回ると出力をディスエーブルします。EN ピンを使用しない場合は、10kΩ の抵抗を使用して AVIN の電圧までプルアップする必要があります。

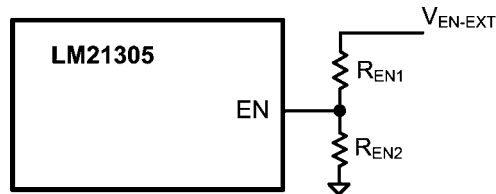


FIGURE 4. Use External Resistor to Set the EN Threshold

デバイスのイネーブル、ソフトスタート、プリバイアス・スタートアップの機能

デバイス出力は、AVIN をオフにするか、EN ピンを Low にすると、オフにできます。デバイスをイネーブルするには、AVIN と PVIN に電圧を印加し、かつ EN ピンを High にする必要があります。デバイスがイネーブルになると、内部ソフトスタートが開始し、出力電圧がデフォルト値になります。ソフトスタート機能を使用すると、レギュレータ出力は、設定電圧に緩やかに到達できるため、電源入力時のストレスを軽減しスタートアップ時の電流を制御できます。

LM21305 のソフトスタートは、内部制御されます。ソフトスタート・シーケンスが完了するには、通常、1ms かかります。ソフトスタートの完了後、PGOOD が High になります。

デバイス起動時の出力電圧がゼロより大きい状態を、プリバイアス状態といいます。この状態は、FPGA、ASIC または DSP に電源を供給するようなマルチレール・アプリケーションで数多く見られます。これらのアプリケーションでは、出力は 1 つの電源から別の電源へ続く寄生伝導経路を通じてプリバイアスされます。LM21305 は同期コンバータですが、プリバイアス状態が発生しても出力は低下しません。起動時にゼロクロスが検出されると、LM21305 はダイオード・エミュレーション・モードになり、ローサイド・スイッチがオフになります。

ピーク電流保護と負電流制限

デバイスのスイッチング・レギュレータは、インダクタのピーク電流を検出し、その値を 6.5A (typ) に制限します。ピーク電流のリミット値から平均電流のリミット値を決定するには、インダクタのサイズ、入力電圧と出力電圧、スイッチング周波数が既知である必要があります。平均電流のリミット値は、次式で得られます。

$$I_{\text{ave-limit}} = I_{\text{peak-limit}} - \frac{V_{\text{out}}(1-D)}{2 \times L \times f_s}$$

ハイサイド・スイッチから検出されたインダクタのピーク電流が電流制限スレッシュホールドに達すると、過電流イベントがトリガされ、内部のハイサイドの FET はオフになり、ローサイドの FET はオンになるため、インダクタ電流は次のスイッチング・サイクルまで減少し続けます。ハイサイドの過電流条件が存在し続ける場

合、ハイサイド・スイッチのオン時間が減少するため出力電圧が減少します。

す。イネーブル・ピンには高精度のターンオン・スレッシュホールドがあるため、AVIN からの外付け抵抗分圧回路とともに使用すれば、デバイスがオンになる入力電圧を高精度で設定できます。高精度イネーブル回路は、デバイスがディスエーブルされてもアクティブのままです。抵抗分圧回路を使用するときのターンオン電圧は、次式で得られます。

$$V_{\text{EN-EXT}} = 1.2 \left(1 + \frac{R_{\text{EN1}}}{R_{\text{EN2}}} \right)$$

合、ハイサイド・スイッチのオン時間が減少するため出力電圧が減少します。

負荷短絡、または最小オン時間の条件が発生した場合、インダクタ電流を制限するためのハイサイド・スイッチの電流制限が充分に行われません。このような場合に備えて、LM21305 は、電流消費を防止するローサイド・スイッチ電流制限の追加機能を装備しています。ローサイド・スイッチ電流のリミット値は、ハイサイドの電流リミット値よりも高い値である 8A (typ) に設定されています。ローサイドで電流がリミット値よりも高い過電流イベントが検出された場合、このイベントが検出されなくなるまで、PWM パルスがスキップされます。その後、通常の PWM スwitchングが実行されます。ハイサイドとローサイドの過電流保護により、短い過電流イベントでは過電流制限は積極的にフォールドバックしませんが、ハード短絡条件では周波数と電圧のフォールドバック保護を行います。また、ローサイド・スイッチは、負電流を検知します。負電流がリミット値である -3A (typ) を下回ると、ローサイド・スイッチが本来よりも早くオフになります。負電流が強制的にハイサイド・スイッチのボディ・ダイオードを通過し、負電流は短時間で減少します。

PGOOD とオーバーボルテージ/アンダーボルテージの処理

PGOOD ピンは、外付け抵抗 (10 ~ 100kΩ 推奨) を使用して High にプルアップする必要があります。FB 電圧がリファレンス電圧の ±10% 以内の場合は、PGOOD ピンは High になります。それ以外の場合は、内部オープンドレイン・プルダウン・デバイスが、PGOOD ピンを Low にします。

LM21305 は、出力のアンダーボルテージとオーバーボルテージを検出して電源スイッチを制御するコンパレータを内蔵しています。設定したオーバーボルテージ保護スレッシュホールドを超えた出力電圧で異常急変が発生すると、デバイスは現在のオン・パルスを終了し、ローサイド FET をオンし、PGOOD ピンを Low にします。ローサイド FET は、FB 電圧が安定状態に戻るか、またはインダクタ電流のゼロクロスが検出されて FET を TRI-STATE にするまで、オンのままです。出力がアンダーボルテージ保護のスレッシュホールドに達すると、デバイスはスイッチングを継続し、PGOOD ピンは Low になります (一時的なグリッチの間の誤ったトリップを避けるため、PGOOD ピンには立ち上がりと立ち下がりの両方に 16μs のデグリッチ時間があります)。

動作説明 (つづき)

UVLO

LM21305 は、AVIN 電圧が 2.88V (typ) に達するまでスイッチングを防止するアンダーボルテージ・ロックアウト (UVLO) 保護回路を内蔵しています。UVLO スレッシュホールドには 100mV のヒステリシスがあり、起動中のデバイスがパワー・オン・グリッチにตอบสนองするのを防ぎます。

内部レギュレータ

LM21305 は、AVIN から内部駆動電圧を生成する低ドロップアウト (LDO) レギュレータを 2 個内蔵しています。その 1 つは、内部ドライバの駆動電圧 5V を生成します。もう 1 つは、内部バイアス回路の駆動電圧 2.5V を生成します。両方の LDO は、5V0 ピンと 2V5 ピンからグラウンドに外付けセラミック・コンデンサ (0.1 μF 推奨) を接続してバイパスする必要があります。パワー MOSFET のゲート・ドライバに必要な高過渡電流を供給するために、良好なバイパスが必要です。入力電圧とスイッチング周波数が高いアプリケーションでは LDO での消費電力が高くなるため、ダイ温度が上昇します。5V0 ピンまたは 2V5 ピンへの負荷の接続は推奨されません。これは、内部回路の駆動能力が低下し、さらに LDO の RMS 電流定格を圧迫し、また消費電力とダイ温度が上昇するからです。

内部 MOSFET ドライバは、AVIN から降圧された内部 LDO (5V0) で駆動されます。LM21305 では AVIN を 3V にでき、これにより 5V0 LDO の電圧は 5V 未満になります。MOSFET ドライバの供給電圧が低いと、ローサイド MOSFET とハイサイド MOSFET がオンのときの抵抗が増加し、レギュレータの効率が低下します。AVIN が 3V ~ 5V の場合のベスト・プラクティスは、5V0 を AVIN に短絡して、内部 LDO の電圧損失をバイパスすることです。ただし、5V0 の電圧が 5.5V を超えると、デバイスが破損するおそれがあります。効率を考慮した場合、可能な限り AVIN = 5V を使用することが最良の方法です。AVIN が 5V 以上だと、軽負荷では効率が低下する場合があります、これは LDO での電力損失に起因します。AVIN が 3V に近い値だと、高負荷では MOSFET がオンのときの抵抗が増加して、効率が低下する場合があります。

最小オン時間の検討事項

最小オン時間 T_{ON-MIN} とは、ハイサイド MOSFET がオンになることが可能な最小の期間です。LM21305 の代表値は 70ns です。CCM 動作では、最小オン時間の制限により、次式で表されるようにデューティ・サイクルが最小になります。

$$D_{MIN} = f_s \times T_{ON-MIN}$$

そして、これにより、指定値 V_{OUT} を持つ PVIN の最大値が制限されます。式が示すように、動作周波数を下げると、最小デューティ・サイクルの制約が緩和されます。指定のスイッチング周波数と目的の出力電圧を使用して、PVIN の最大許容値は次の近似式で概算されます。

$$V_{PVIN-max} = \frac{V_{OUT}}{f_s} \times \frac{1}{T_{ON-MIN}}$$

同様に、入力レールを指定した場合、最小オン時間を使用しない最大スイッチング周波数は次式から得られます。

$$f_{s-max} = \frac{V_{OUT}}{V_{PVIN-max}} \times \frac{1}{T_{ON-MIN}}$$

最小デューティ・サイクルが優先される稀な場合には、軽負荷の DCM 動作と同様に、レギュレータが自動的にサイクルをスキップして、 V_{OUT} をレギュレートした状態に維持します。

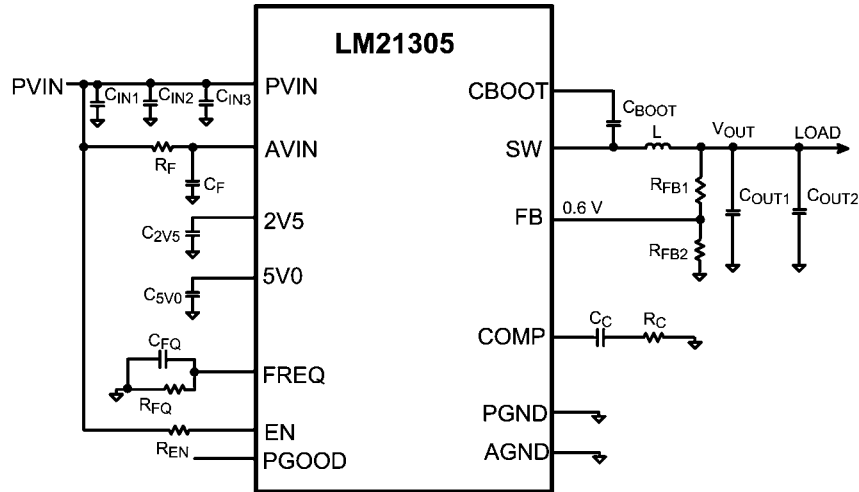
過熱保護

最大接合部温度を超えた場合に集積回路を保護する目的でサーマル・シャットダウン回路が内蔵されています。この回路がアクティブになると (代表値は 160 °C)、LM21305 はパワー-FET を TRI-STATE にし、ソフトスタートをリセットします。接合部がおおよそ 150 °C まで冷却された後、デバイスは通常のスタートアップ動作によって起動します。この機能は、デバイスの予期せぬ過熱による致命的な障害を防止します。

設計ガイド

ここでは、全機能を有する効率的な降圧型電源の構築に必要な外付け部品の選定方法を順番に説明します。どのような DC/DC コンバータの設計であっても、効率、実装面積、性能を最適化するために、さまざまなトレードオフがあります。このセクションではこれらの設計条件について詳しく取り上げます。部

品選定の説明を分かりやすくするために、次に示す代表的なアプリケーション回路を参考として使用します。特記のない限り、すべての式で、電流はアンペア (A)、容量はファラッド (F)、インダクタンスはヘンリー (H)、電圧はボルト (V)、周波数はヘルツ (Hz) の単位を使用します。



Typical Application Circuit

出力電圧の設定

LM21305 の FB ピンは、 V_{OUT} に直接接続することも、抵抗分圧回路を介して接続することもできます。外付け抵抗分圧回路

を使用する場合、0.6V の FB 電圧を使用して出力電圧を増やせます。Figure 5 に、抵抗分圧回路と FB ピンの接続を示します。

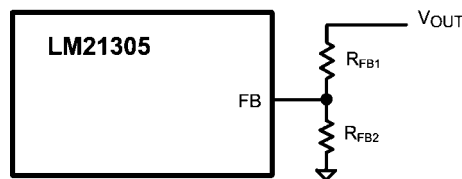


FIGURE 5. Setting the Output Voltage by Resistor Divider

出力電圧は、次式で得られます。

$$V_{OUT} = \left(1 + \frac{R_{FB1}}{R_{FB2}}\right) \times 0.6V$$

例えば、目的の出力電圧が 1.2V の場合、 $R_{FB1} = 10k\Omega$ 、 $R_{FB2} = 10k\Omega$ を使用できます。

デューティ・サイクルの計算

降圧型コンバータの設計で最初に計算する式はデューティ・サイクルの式です。理想的な (損失のない) 降圧型コンバータの場合、理想的なデューティ・サイクルは次式で得られます。

$$D_{ideal} = \left(\frac{V_{OUT}}{V_{PVIN}}\right)$$

低出力電圧 (1.2V 未満)、高負荷電流 (3A 超) のアプリケーションでは、デューティ・サイクルを計算するときに損失を無視できません。MOSFET とインダクタによる導通損失の影響を考慮すると、デューティ・サイクルは次の近似式で概算できます。

$$D = \frac{V_{OUT} + R_{dson-LS} \times I_{OUT}}{V_{PVIN} + R_{dson-LS} \times I_{OUT} - R_{dson-HS} \times I_{OUT} - DCR \times I_{OUT}}$$

$R_{dson-HS}$ と $R_{dson-LS}$ はそれぞれ、ハイサイドとローサイドの MOSFET のオン時間寄生抵抗です。DCR は、パワー・フィルタに使用されるインダクタの等価抵抗です。必要に応じて、トレース抵抗のようなその他の寄生抵抗を DCR に加算できます。 I_{out} は負荷電流です。また、 I_{out} は、平均インダクタ電流と等しくなります。負荷電流が増加すると、デューティ・サイクルがわずかに増加します。

電源電力と入力コンデンサ

PVIN は、スイッチのパワー段の供給電圧です。スイッチのパワー段は、出力電圧を供給します。PVIN の入力コンデンサが、内部 MOSFET のスイッチング動作で消費される大きい AC スwitching 電流を供給します。降圧型コンバータの入力電流は不連続なので、入力コンデンサが供給するリップル電流が大きくなります。入力コンデンサの定格は、この電流を扱える値にする必要があります。過渡的な高スライス電圧の発生を防止するために、最大 RMS 電流に合わせた低 ESR 入力コンデンサを使用してください。最大 RMS 電流は、次式で得られます。

設計ガイド (つづき)

$$I_{RMS_CIN} = I_{OUT} \sqrt{\frac{V_{OUT} (V_{PVIN} - V_{OUT})}{V_{PVIN}}} \text{ (A)}$$

入力コンデンサの消費電力は、次式で得られます。

$$P_{D_CIN} = I_{RMS_CIN}^2 \times R_{ESR_CIN} \text{ (W)}$$

RESR_CIN は、入力コンデンサの ESR です。この式は、 $PVIN = 2V_{OUT}$ のときに最大となり、このとき $I_{RMS} \approx I_{OUT}/2$ です。この単純なワーストケース条件が設計で一般的に使用される理由は、厳密な電流値を使用しても問題がそれほど軽減されないからです。コンデンサ・メーカーの仕様におけるリップル電流定格は、多くの場合 2000 時間の寿命に基づいているので、コンデンサをさらにデレーティングするか、必要な温度よりも高い定格を持つコンデンサを選択することを推奨します。また、設計のサイズや高さの要件に合わせて、複数のコンデンサを並列接続できます。入力電圧が低いアプリケーションでは、出力負荷が変化するときの過渡の影響を低減するために、十分なバルク入力容量が必要です。PVIN ピンと PGND ピンの間に $0.1 \mu\text{F}$ または $1 \mu\text{F}$ のセラミック・バイパス・コンデンサを接続することも推奨します。

「レイアウトの考慮事項」を参照してください。

AVIN フィルタ

PVIN のスイッチング・ノイズによる、AVIN に接続した内部アナログ回路への干渉を防止するために、RC フィルタを追加す

る必要があります。RC フィルタは、回路図では、RF や CF の部品で表されます。抵抗 RF のサイズには現実的な制限があります。この理由は、起動時に AVIN ピンが 60mA のバースト電流を短時間で消費し、RF が大きすぎる場合には電圧が低下して UVLO コンバータをトリガする可能性があるからです。 $1 \mu\text{F}$ の CF コンデンサと 1Ω の抵抗の推奨構成では、スイッチング周波数 1MHz でほぼ 16dB の減衰が得られます。

スイッチング周波数の選択

LM21305 は、 $300\text{kHz} \sim 1.5\text{MHz}$ の広い範囲のスイッチング周波数をサポートしています。スイッチング周波数を選択するときには、通常、回路の効率やサイズとのトレードオフを検討する必要があります。通常、スイッチング周波数が低いほど、スイッチング損失 (ゲート充電損失、過渡の IV 損失などを含む) が小さくなり、ほとんどの場合において優れた効率が得られます。ただし、スイッチング周波数を高くするほど、より小型の LC フィルタを使用できます (設計がより小型になる)。また、L が小さいほど過渡応答に優れ、小型の DCR での導通損失が減少します。効率に優れたスイッチング周波数は、それぞれの場合に応じて決定する必要があります。入力電圧、出力電圧、最も頻繁に使用される負荷レベル、外付け部品の選択、回路サイズの要件に関連します。また、動作条件で T_{ON_MIN} と T_{OFF_MIN} がトリガされる可能性がある場合も、スイッチング周波数の選択は制限されます。「最小オン時間の検討事項」を参照してください。

目的の動作周波数を得るために抵抗値を計算するには、次の式または図を使用してください。

$$F[\text{kHz}] = 31000 \times R^{-0.9}[\text{k}\Omega]$$

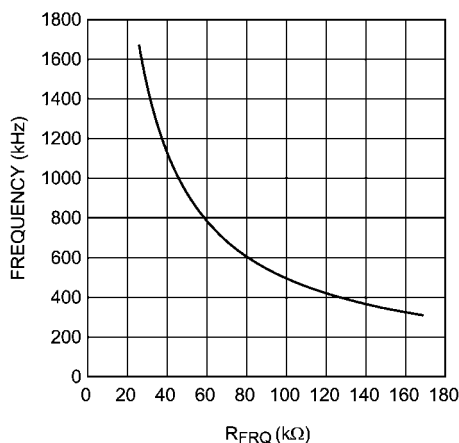


FIGURE 6. External Resistor Selection to Set the Switching Frequency

インダクタ

LM21305 のアプリケーションでのインダクタに関する一般的な推奨事項は、ピーク・ツー・ピークのリップル電流を最大 DC 負荷電流 (5A) の 20 ~ 40% に維持することです。また、電流定格を十分に高くして、できるだけ DCR を小さくしてください。

ピーク・ツー・ピークの電流リップルは、次式で得られます。

$$\Delta I_{L-P} = \frac{(1-D) \times V_{OUT}}{f_s \times L} \approx \frac{V_{OUT}}{f_s \times L} \left(1 - \frac{V_{OUT}}{V_{PVIN}}\right)$$

インダクタンスやスイッチング周波数が小さいほど、電流リップルが大きくなります。通常、 V_{OUT} を固定すると、PVIN が高いほど、インダクタ電流のリップルが大きくなります。PVIN を一

定にした場合は、 V_{OUT} が高いほど、インダクタ電流のリップルが大きくなります。それ以外の場合は、 V_{OUT} の増加とともにリップルが減少します。次式を満たすように、L を選択することを推奨します。

$$\frac{(1-D) \times V_{OUT}}{f_s \times 0.4 \times I_{L(MAX)}} \leq L \leq \frac{(1-D) \times V_{OUT}}{f_s \times 0.2 \times I_{L(MAX)}}$$

最大負荷電流にリップル電流を加えた値を扱えるように、インダクタの定格を選択する必要があります。

$$I_{L(MAX)} = I_{LOAD(MAX)} + \Delta I_{L(MAX)}/2$$

設計ガイド (つづき)

飽和電流が過電流保護リミット値よりも高いインダクタが、安全な選択肢です。スイッチング電源ではインダクタンスが小さいことが望まれます。この理由は、通常、インダクタンスが小さければ、過渡応答が高速に、DCR が小さくなり、小型サイズのコンパクトな設計が可能になるからです。ただし、インダクタンスが小さすぎると、インダクタ電流のリップルが過大になり、最大負荷時に過電流保護の偽のトリガが発生する場合があります。また、同じ DC 電流を使用する際、小さいリップルと比較すると RMS 電流は大きいので、導通損失が大きくなります。同様に、同じ出力コンデンサを使用する場合、インダクタ電流のリップルが大きいほど、出力電圧のリップルが大きくなります。ピーク電流モード制御を使用すると、ピーク電流コンパレータの S/N 比が十分に得られるように、インダクタ電流のリップルを非常に小さい値にしないことを推奨します。

L の値を決定したら、インダクタのタイプを選択する必要があります。インダクタの値が一定の場合、実際のコア損失はコアのサイズには依存しませんが、選択したインダクタンスに大きく依存します。インダクタンスや周波数が増加すると、コア損失は減少します。残念ながら、インダクタンスを増加させるにはより多くの巻線数が必要なので、DCR の銅損が増大します。フェライトの設計は、コア損失が非常に低く、高スイッチング周波数で推奨されます。このため、設計目標として銅損と飽和防止に専念できます。フェライト・コア材料は、「ハード」飽和します。つまり、設計のピーク電流を超えた直後にインダクタンスが低下します。「ハード」飽和では、インダクタのリップル電流が急激

に増加し、その結果として出力電圧のリップルも急激に増加します。コアを飽和させないでください。

出力コンデンサ

デバイスは、さまざまな LC フィルタをともに使用できるように設計されています。ただし通常は、コストとサイズを抑えるために、できるだけ小さい出力容量を使用することが望まれます。出力コンデンサ C_{OUT} は、慎重に選択してください。定常状態の出力電圧のリップル、ループの安定性、ループ過渡時の電圧のオーバーシュート/アンダーシュートに直接影響するからです。

出力電圧のリップルは、2つの部分で構成されます。その1つは、出力コンデンサの等価直列抵抗 (ESR) を通過するインダクタ電流のリップルによるもので、次式で表されます。

$$\Delta V_{OUT-ESR} = \Delta i_{Lp-p} * ESR$$

もう1つは、出力コンデンサの充電/放電にかかわるインダクタ電流のリップルによるもので、次式で表されます。

$$\Delta V_{OUT-C} = \frac{\Delta i_{Lp-p}}{8f_s C_{OUT}}$$

Figure 7 に、リップルの2つの成分を示します。リップルの2つの成分は同相ではないので、実際のピーク・ツー・ピークのリップルは、2つのピークの合計値よりも小さくなります。

$$\Delta V_{OUT} < \Delta i_{Lp-p} \times \left(\frac{1}{8f_s C_{OUT}} + ESR \right)$$

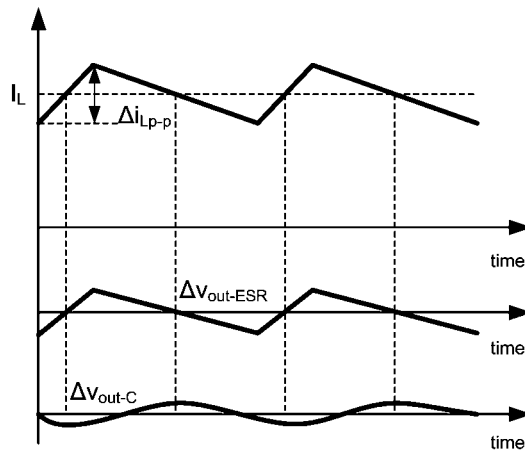


FIGURE 7. Two Components of V_{OUT} Ripple

多くの電流段が存在し、高速スルー・レートを待つシステムで厳しい電圧レギュレーションが必要な場合、出力容量は通常、過渡特性により制限されます。大きい負荷過渡が高速で発生するときには、インダクタの電流が追いつく前に、出力コンデンサが電荷を供給します。第1段は、負荷の電流段に ESR を乗算した値に等しくなります。制御ループ応答がインダクタ電流を増減して負荷に供給するまで、 V_{OUT} は連続して低下します。過渡時にオーバーシュート/アンダーシュートを低く抑えるために、小さい ESR と大きい容量が望まれます。ただし、コストが高くなり、サイズも大きくなります。また、電圧低下を減少させるために、制御ループを高速にする必要もあります。

セラミック・コンデンサを1つ以上使用することを推奨します。これは、ESR が非常に低く、高い周波数まで容量性を維持するからです。適切な許容誤差を維持するために、高誘電率系の X5R、X7R、または同等の材料にする必要があります。大容量が必要な場合、タンタル、POSCAP、OSCON など、その他の種類のコンデンサも使用できます。このようなコンデンサは、セラミック・コンデンサよりも低い ESR ゼロ周波数 $1/(2\pi ESR * C)$ を持ちます。低い ESR ゼロ周波数はクロスオーバー周波数に近いと、制御ループに影響する場合があります。高いスイッチング周波数と高いクロスオーバー周波数が必要な際は、すべてセラミックの設計のほうが適しています。

設計ガイド (つづき)

効率の検討事項

スイッチング・レギュレータの効率は、出力電力を入力電力で除算したものに 100% を乗算した値として定義されます。また、効率は次式で得られます。

$$\eta = 1 - \frac{\text{Total Power Loss}}{\text{Input Power}}$$

多くの場合、各損失を分析して、効率を制限している要因と、最大の改善が得られる変更内容を特定することが有用です。回路内で電力を消費する部品はすべて損失を発生させますが、LM21305 回路の損失の発生源は通常、1) 導通損失、2) スイッチングとゲート駆動の損失、3) バイアス損失です。導通損失は、出力電流の経路での寄生抵抗の損失 I^2R であり、内部スイッチのオンタイム抵抗 (R_{DS-ON})、インダクタの等価 DC 抵抗 (DCR)、トレース抵抗 R_{trace} が含まれます。導通損失は、次の近似式で表すことができます。

$$W_{\text{cond-loss}} = I_{\text{OUT}}^2 \times (D \times R_{DS-ON-HS} + (1 - D) \times R_{DS-ON-LS} \times R_L + R_{\text{trace}})$$

これらの寄生抵抗を減少させると、導通損失を低減できます。例えば、LM21305 は、 R_{DS-ON} の低い内部スイッチを持つように設計されています。インダクタの DCR を小さくする必要があります。電流を導通するトレースは、できるだけ幅と厚さを大き

くし、長さを小さくする必要があります。導通損失は、負荷が大きくなるほど効率に大きく影響します。スイッチング損失には、2 つのパワー MOSFET のスイッチング動作で発生するすべての損失が含まれます。スイッチング・ノードが Low から High、または High から Low に切り替わるたびに、SW ノードから GND までの寄生容量に電荷が印加されたり除去されたりします。パワー MOSFET のゲートが Low から High になり、再度 Low になるたびに、電荷パケットが 5V0 からグラウンドに移動します。ソフト・スイッチングでない場合は、パワー MOSFET のオン / オフが切り替わるたびに、過渡損失が発生します。MOSFET の寄生ダイオードでは、逆リカバリ損失とデッド・タイム導通損失が発生します。入力コンデンサと出力コンデンサの ESR を RMS 電流が通過することにより、損失が発生します。高効率のスイッチング・パワー・コンバータを設計するには、これらの損失をすべて評価し、慎重に検討する必要があります。これらの損失は「スイッチング」時にのみ発生するので、スイッチング周波数を下げると、必ずスイッチング損失が減少します。この改善は、負荷が軽いほど顕著になります。

5V0 は AVIN からの LDO 出力なので、AVIN から消費する電流は i_{DRIVE} と等しく、AVIN での損失は $V^{\text{AVIN}} \times i_{\text{drive}}$ です。AVIN の電力損失に含まれる他の要素は 2V5 を通過するバイアス電流で、 $V^{\text{AVIN}} \times i_{\text{bias}}$ に等しくなります。5V のシステム・レールから AVIN に電力を供給すると、バイアス電流による電力損失とスイッチング損失 (R_{DS-ON} の損失) の最適なトレードオフが得られます。

設計ガイド (つづき)

補償回路

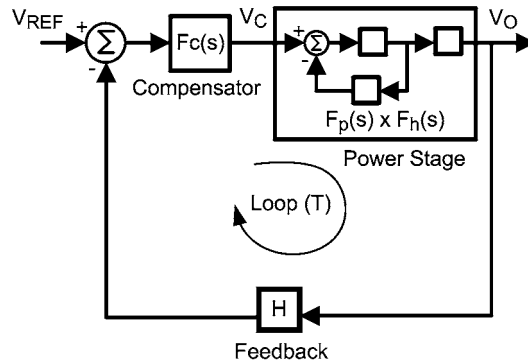


FIGURE 8. Control Block Diagram of a Current Mode Controlled Buck Converter

LM21305 は電流モード制御を採用しているため、制御ブロック図には帰還ループが 2 つあります (Figure 8 を参照)。内側の帰還ループではセンスされたインダクタ電流の帰還であり、外側の帰還ループは出力電圧のモニタです。ここでは、電流モード制御の厳格な解析は行わず、補償ネットワークを決める上で、簡単でありながら精度の高い方法について述べます。補償ネットワークはパワー段の周囲に設計します。LM21305 に必要な補償用部品を、Figure 9 に示します。補償器の目的は制御ループを安定させ、さらに遷移応答、リップル除去、出力インピーダンスに対し高い性能の実現にあります。LM21305 は、通常、補償回路として抵抗 (Rc) とコンデンサ (Cc1) をそれぞれ 1 つのみ必要とします。ただし、パワー段の特性によっては、高周波極にコンデンサがもう 1 つ必要となる場合があります。

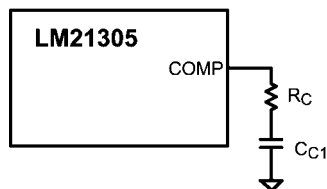


FIGURE 9. Compensation Network for LM21305

ループ全体の伝達関数は、パワー段の伝達関数、内部アンプのゲイン、帰還回路の伝達関数の積であり、次式で表せます。

$$T = \text{Gain}_0 F_p(s) F_h(s) F_{\text{comp}}(s)$$

Gain0 はループ内の DC ゲインをすべて含み、Fp(s) はパワー段の極とゼロ (内側の電流ループを含む) を表します。Fh(s) はスイッチ・モード・コンバータのようなサンプリングの効果を表し、Fcomp(s) は外付け補償回路の伝達係数です。Figure 10 に、ループ・ゲインの漸近近似グラフを示します。

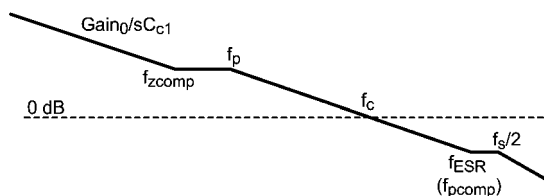


FIGURE 10. Asymptote Approximation of the Loop Gain in LM21305

ループ・ゲインは、コンバータの静的 / 動的な性能を決めます。パワー段応答は電力素子の選定により決定されるので、良好なループ応答を得るには、パワー段応答に合わせて補償回路を設計します。目的は、すべての動作条件で、高いクロスオーバー周波数と適切な位相余裕を持つループ・ゲインを設計することです。

補償用部品の選択

補償用部品を選択するには、目的のクロスオーバー周波数を選択する必要があります。スイッチング周波数の 1/8 の値以下の fc を選択することを推奨します。設計を単純化するために、Fh(s) の効果を見捨てることもできます。fc の 3 倍以上の周波数で、コンデンサの ESR がゼロになることも仮定します。補償抵抗は、次式で得られます。

$$R_c \approx \frac{1}{\text{Gain}_0} \times \frac{f_c}{f_p} = \frac{V_{\text{OUT}}}{V_{\text{FB}}} \times 197 \times f_c \times C_{\text{OUT}}$$

Cc1 はクロスオーバー周波数 fc に影響しませんが、Cc1 により補償ゼロの fzcomp が決まるので、ループの位相余裕に影響します。高速設計では、Cc1 = 10nF で、LM21305 の多くのアプリケーションで適切な特性が得られます。Cc1 を大きくするほど位相余裕が大きくなりますが、Cc1 が小さくなるほど低周波数でのゲインが大きくなり、したがって過渡応答がより高速になります。十分な位相余裕を確保するために、補償ゼロを fc/3 以下の値に設定することを推奨します。つまり、次式の関係が得られます。

$$C_{c1} \geq \frac{3}{2\pi R_c f_c}$$

設計ガイド (つづき)

ループ・ゲインのグラフ

Fh(s) と ESR ゼロの影響を含めたループ・ゲインの詳細は、MATLABのようなソフトウェア・ツールを使用して作図できます。ループ・ゲインの構成要素は、次のように表せます。パワー段の DC ゲインは、次式で得られます。

$$\text{Gain}_0 = \frac{V_{\text{FB}}}{V_{\text{OUT}}} \times \frac{R_{\text{OUT}}}{1 + \frac{R_{\text{OUT}}}{f_s L} (m_c D' - 0.5)} \times 0.0315$$

f_s はスイッチング周波数です。

$$m_c = 1 + \frac{4 \times f_s \times L}{V_{\text{IN}} - V_{\text{OUT}}}$$

また、 $D' = 1 - D$ です。

計算式 $R_{\text{OUT}} = V_{\text{OUT}}/I_{\text{OUT}}$ では、 R_{OUT} の最小値を使用する必要があります。

$F_p(s)$ は、次式で表せます。

$$F_p(s) = \frac{1 + sC_{\text{OUT}} \cdot \text{ESR}}{1 + \frac{s}{2\pi f_p}}$$

スロープ補償効果を考慮すると、パワー段の極は次式で表されます。

$$f_p = \frac{1}{2\pi C_{\text{OUT}}} \left(\frac{1}{R_{\text{OUT}}} + \frac{1}{f_s L} (m_c D' - 0.5) \right)$$

高周波動作の $F_h(s)$ は、次式で表せます。

$$F_h(s) = \frac{1}{1 + \frac{s}{w_n Q_p} + \frac{s^2}{w_n^2}}$$

ここで、

$$w_n = \pi f_s \text{ and } Q_p = \frac{1}{\pi (m_c D' - 0.5)}$$

ループゲイン $T = \text{Gain}_0 F_p(s) F_h(s) F_{\text{comp}}(s)$ は、上記の式を使用して作図でき、より正確なクロスオーバー周波数と位相余裕を見つけられます。

高周波の検討事項

$F_h(s)$ は、コンバータのスイッチング動作に起因する、 $f_s/2$ 近くの追加の振幅と位相遅れを表します。 $F_h(s)$ では、スイッチング周波数の $1/2$ の位置に 2 重極が 1 対あり、品質係数 Q_p が含まれます。 Q_p が $0.15 \sim 2$ の範囲 (理想的には 0.5 近く) であることを確認することを推奨します。 Q_p が高すぎる場合、 $f_s/2$ での共振ピークが深刻になり、デューティ・サイクルとインダクタ電流のサブハーモニクス発振に一致します。 Q_p が低すぎる場合は、2 重極は 2 つの複素極に分かれ、コンバータは電圧モード・コンバータのような挙動を始めるため、前述の補償方法を変更する必要があります。

また、 $F_p(s)$ には、次式に示すように出力コンデンサの ESR がゼロの場合が含まれます。

$$f_{\text{ESR}} = \frac{1}{2\pi C_{\text{OUT}} \text{ESR}}$$

典型的な設計では、 f_{ESR} は、目的のクロスオーバー周波数 f_c の 3 倍以上の値にする必要があります。 f_{ESR} が $f_s/2$ 未満の場合、COMP ピンとグラウンドの間にコンデンサ C_{c2} を追加して、高周波の極を得られます。

$$C_{c2} = \frac{1}{2\pi R_c f_{\text{ESR}}}$$

補償ゼロへの影響を防ぐために、 C_{c2} は C_{c1} と比較してごく小さい値にする必要があります。

CBOOT コンデンサ

ハイサイドがオンになったときにゲート駆動電荷を供給するために、CBOOT ピンと SW ノードの間にコンデンサが必要です。電圧を大幅に低下させることなく電荷を供給するために、コンデンサの容量が十分に大きい必要があります。LM21305 のアプリケーションでは、 $0.1 \mu\text{F}$ のコンデンサを推奨します。

設計ガイド (つづき)

5V0 と 2V5 の出力コンデンサ

5V0 ピンと 2V5 ピンは、内部 LDO 出力です。この 2 つの LDO は内部回路専用であり、負荷を接続しないでください。

LDO を安定させるために出力コンデンサが必要です。安定性の要件を満たすために、指定範囲のセラミック・コンデンサを使用する必要があります。適切な許容誤差を維持するために、高誘電率系の X5R、X7R、または同等の材料にする必要があります。次の表を使用して、適切な出力コンデンサを選択してください。

	Output Voltage NOMINAL	Output Capacitance Range (Recommended Typical Value)
5V0	5	0.1 μ F \pm 20%
2V5	2.5	

設計ガイド (つづき)

PCB レイアウトの考慮事項

プリント基板のレイアウトはDC/DCコンバータの設計で重要な部分を占めています。レイアウトが不適切なプリント基板を使用すると、EMI、グラウンド・バウンス、配線での電圧降下、熱の問題などにより、DC/DCコンバータと周辺回路の特性が悪化します。不適切な基板では、DC/DCコンバータに不正な信号が入力され、制御性と安定度が低下します。

次に示すいくつかの基本的な設計ルールに従うことによって、LM21305のプリント基板を良好にレイアウトできます。

1. デバイスに適切なヒートシンクを設けます。4層の銅箔の厚さが上から順に2オンス、1オンス、1オンス、2オンスの4層基板を使用します。少なくとも3×3配列のサーマル・ビアを使用して、DAPを電源層のヒートシンクに接続します。ビアは、DAPの下に均等間隔で配置する必要があります。
2. 入力コンデンサはPVINピンのできるだけ近くに配置し、インダクタはSWピンと出力コンデンサのできるだけ近くに配置します。この目的は、スイッチング電流ループの面積を最小にし、高電流経路の抵抗損失を減少させることです。LM21305のピン配置の場合、バルク入力コンデンサに加えて、0.1μFのコンデンサをSWノード・トレースを横切って、ピン1、ピン2、ピン7のすぐ近くに配置できます。サイズ1206のコンデンサを使用すると、スイッチ・ノードをコンデンサの下に配線するために十分な銅箔幅が得られ、良好な導通が得られます(評価ボードのレイアウトを参照)。
3. スイッチ・ノード電流の良好な導通経路を確保し、EMI放射を低減するために、スイッチ・ノードの銅箔面は厚く、かつ短くする必要があります。また、インダクタをSWピンのできるだけ近くに配置する必要があります。
4. 帰還信号へのスイッチ・ノイズの干渉を防止するために、帰還トレースはSWピンとインダクタから離して配線する必要があります。一方、トレース長を最小にする必要があります。値の高い抵抗を使って出力電圧を設定している場合、最も重要な点です。帰還トレースとインダクタ/SWノード・トレースとの間にグラウンド層を配置するなど、インダクタ/SWノード・トレースとは別の層に帰還トレースを配線することを推奨します。これにより、帰還トレースのEMIがさらに除去されます。
5. 負荷の電圧精度が重要な場合、帰還電圧センスを必ず負荷側にしてください。これにより、トレースに沿った電圧降下が補正され、最適な出力精度が実現されます。抵抗分圧回路は、負荷の近くではなく、FBノードの近くに配置することを推奨します。
6. 入出力パワー・パス接続は、できるだけ幅を広く、かつ長さを短くします。これにより、コンバータ入出力時の電圧降下を和らげ、効率を良くします。上部の銅板を使用して、複数のPVINピンとPGNDピンを合わせて接続します。
7. CBOOTピンとSWノードの間に接続するコンデンサは、CBOOTピンのできるだけ近くに配置してください。

熱に関する考慮事項

LM21305の放熱特性は、接合部温度と周囲温度とを関係付ける θ_{JA} パラメータを使用して規定されています。 θ_{JA} の値は多くの変数に依存しますが、デバイス動作時の接合部温度の概算に使用できます。

デバイスの接合部温度を概算するには、次の関係式を使用します。

$$T_J = P_D \theta_{JA} + T_A$$

P_D はデバイスの消費電力で、次式で表されます。

$$P_D = P_{IN} \times (1 - \text{効率}) - 1.1 * I_{OUT} * DCR$$

T_J は接合部温度(°C)、 P_{IN} は入力電力(W)($P_{IN} = V_{IN} \times I_{IN}$)、 θ_{JA} はLM21305の接合部と周囲との熱抵抗、 T_A は周囲温度(°C)、 I_{OUT} は出力負荷電流、DCRはインダクタの直列抵抗です。

動作の信頼性を保つには、動作時の接合部温度(T_J)を常に125°C未満に保つことが重要です。接合部温度が160°Cを超えると、デバイスはサーマル・シャットダウンを繰り返します。サーマル・シャットダウンが発生するのは、デバイス内で不適切なヒートシンクまたは過度な電力消費が発生している徴候です。サーマル・ビア、基板サイズ、または基板の層数を増やせば、基板のヒートシンクを改善できます。

設計ガイド (つづき)

アプリケーション例

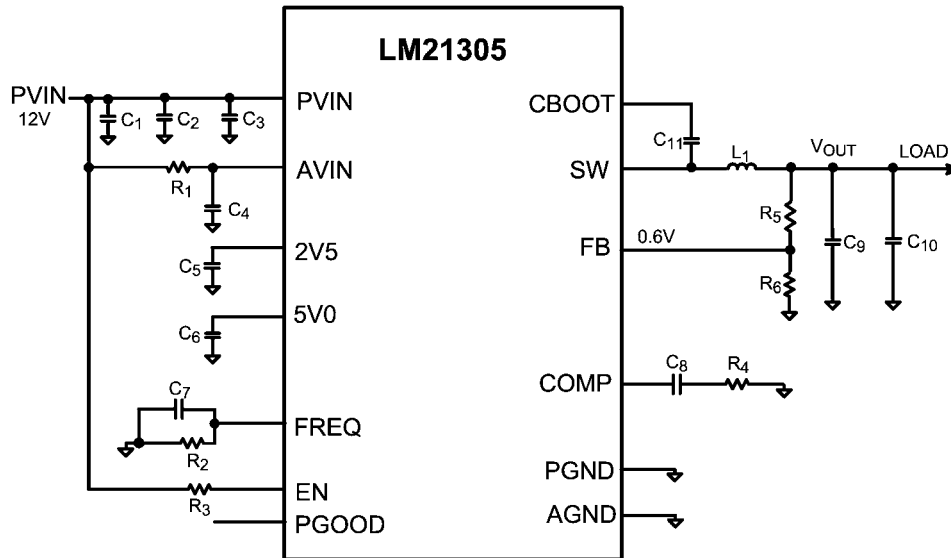


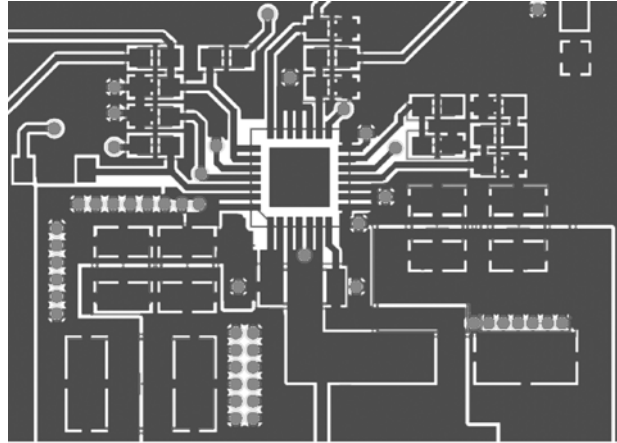
FIGURE 11. Example of Circuit for Application

部品表

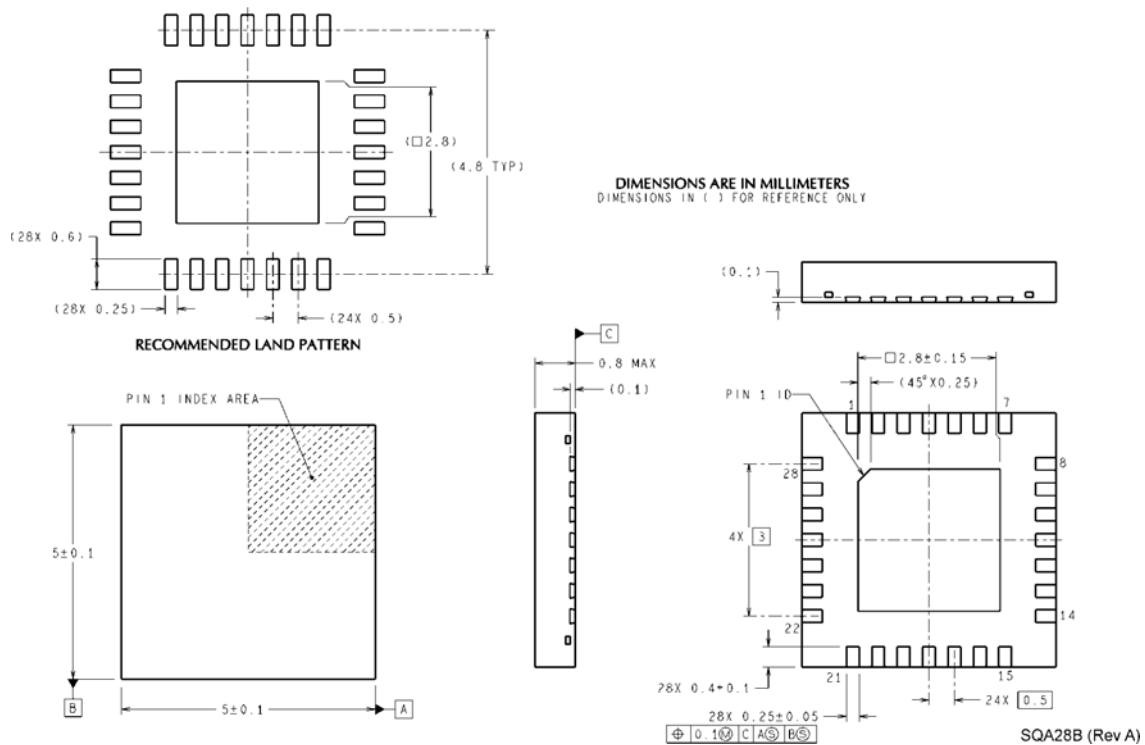
V _{OUT}	1.2V	1.8V	2.5V	3.3V	5V	Package
C1	TANT 47 μF 25V	TANT 47 μF 25V	TANT 47 μF 25V	TANT 47 μF 25V	TANT 47 μF 25V	CASE D
C2	10 μF 50V	10 μF 50V	10 μF 50V	10 μF 50V	10 μF 50V	1210
C3	1.0 μF 25V	1.0 μF 25V	1.0 μF 25V	1.0 μF 25V	1.0 μF 25V	1206
C4	1.0 μF 35V	1.0 μF 35V	1.0 μF 35V	1.0 μF 35V	1.0 μF 35V	603
C5,C6,C11	0.1 μF 50V	0.1 μF 50V	0.1 μF 50V	0.1 μF 50V	0.1 μF 50V	603
C7	100 pF 100V	100 pF 100V	100 pF 100V	100 pF 100V	100 pF 100V	603
C8	10000 pF 25V	10000 pF 25V	4700 pF 25V	4700 pF 25V	4700 pF 25V	603
C9, C10	47μF X5R	47μF X5R	47μF X5R	47μF X5R	47μF X5R	1210
L1	1.2 μH	2.2 μH	2.2 μH	3.3 μH 9.0A	3.3 μH	SMD
R1	1Ω 1%	1Ω 1%	1Ω 1%	1Ω 1%	1Ω 1%	603
R2	100 kΩ 1%	100 kΩ 1%	100 kΩ 1%	100 kΩ 1%	100 kΩ 1%	603
R3, R6	10.0 kΩ 1%	10.0 kΩ 1%	10.0 kΩ 1%	10.0 kΩ 1%	10.0 kΩ 1%	603
R4	2.40 kΩ 1%	3.60 kΩ 1%	5.10 kΩ 1%	6.65 kΩ 1%	10.0 kΩ 1%	603
R5	10.0 kΩ 1%	20 kΩ 1%	31.6 kΩ 1%	45.3 kΩ 1%	73.2 kΩ 1%	603

設計ガイド (つづき)

プリント基板レイアウト



外形寸法図 特記のない限り inches (millimeters)



LLP-28 Pin Package
NS Package Number SQA28B

このドキュメントの内容はナショナル セミコンダクター社製品の関連情報として提供されます。ナショナル セミコンダクター社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター社は製品適用の援助や購入者の製品設計に対する義務を負いかねます。ナショナル セミコンダクター社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター社との取引条件で規定される場合を除き、ナショナル セミコンダクター社は一切の義務を負わないものとし、また、ナショナル セミコンダクター社の製品の販売か使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター社の製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2010 National Semiconductor Corporation

製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは承認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータブックもしくはデータシートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超過してなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上