

LM4930

LM4930 Audio Subsystem with Stereo Headphone & Mono Speaker Amplifiers



Literature Number: JAJSA52



2003年7月

LM4930

Boomer[®] オーディオ・パワーアンプ・シリーズ

ステレオ・ヘッドフォン・アンプおよびモノラル・スピーカ・アンプ内蔵 オーディオ・サブシステム

概要

LM4930 は音声とデジタル・オーディオをサポートする統合オーディオ・サブシステムです。LM4930 は、I²S 入力の高音質ステレオ DAC、音声コーデック、ステレオ・ヘッドフォン・アンプ、高出力モノラル・スピーカ・アンプを内蔵しています。本デバイスは主に携帯電話や他のポータブル機器など要件の厳しいアプリケーション向けに開発されています。

LM4930 は、フルレンジ・オーディオ用 I²S シリアル・インタフェース、音声コーデック用 16 ビット PCM 双方向シリアル・インタフェース、制御用 2 線式インタフェースを備えています。フルレンジ・オーディオシステムの DAC は 16 ビット 48kHz 入力で SNR は 86dB です。このステレオ DAC は音声コーデックとは独立して動作します。ヘッドフォン・アンプは、アナログ電源電圧が 3V のとき、32 シングルエンド・ステレオ負荷に対して歪み (THD + N) 0.5% 未満で出力 25mW RMS を供給します。モノラル・スピーカ・アンプは、アナログ電源電圧が 3V のとき、8 負荷に対して最大 300mW の出力を歪み 2% 未満で供給します。

LM4930 には、消費電力の低減、コントローラ・オーバーヘッドの軽減、クリックとポップ・ノイズの低減を実現する最新の技術が採用されています。Boomer オーディオ・パワーアンプは、外付け部品を最小限に抑え、高音質の出力電力を供給するように設計されました。消費電力の低減が最も重要視される携帯電話や低電圧アプリケーションに理想的です。

主な仕様

AV _{DD} = 3.0V、THD + N = 0.5%、 32 ヘッドフォン駆動出力 P _{H/P OUT}	25mW (代表値)
AV _{DD} = 3.0V、THD + N = 2%、8 スピーカ駆動出力 P _{LS OUT}	300mW (代表値)
電源電圧範囲	
DV _{DD} (Note 8)	2.6V ~ 4.5V
AV _{DD} (Note 8)	2.6V ~ 5.5V
シャットダウン時全電流	2μA (代表値)
217Hz、AV _{DD} = 3V での PSRR	50dB (代表値)

特長

- 16 ビット分解能 48kHz ステレオ DAC
- 16 ビット分解能 8kHz 音声コーデック
- I²S デジタル・オーディオ・データ・シリアル・インタフェース
- 2 線式制御用シリアル・インタフェース
- PCM 音声データ・シリアル・インタフェース
- チャンネルあたり 25mW ステレオ・ヘッドフォン・アンプ
- 300mW モノラル 8 アンプ (AV_{DD} = 3.0V)
- 32 ステップのボリューム調整が可能なオーディオ・アンプ出力
- ヘッドフォンまたはハンズフリー・アンプではスナバ回路またはブートストラップ・コンデンサ不要
- 減衰調整可能なデジタル・サイドトーン生成
- ヘッドフォン・アンプ、モノラル BTL アンプ、マイクロフォン・プリアンプのゲイン設定可能
- 36 ピンの micro SMD パッケージで供給

アプリケーション

- 携帯電話
- モバイル / 低電力オーディオ機器
- PDA

「Boomer」は (株) パーテックススタンダードからナショナル セミコンダクター ジャパン (株) に使用許諾されている商標です。

LM4930 Boomer[®] ステレオ・ヘッドフォン・アンプおよびモノラル・スピーカ・アンプ内蔵オーディオ・サブシステム

代表的なアプリケーション

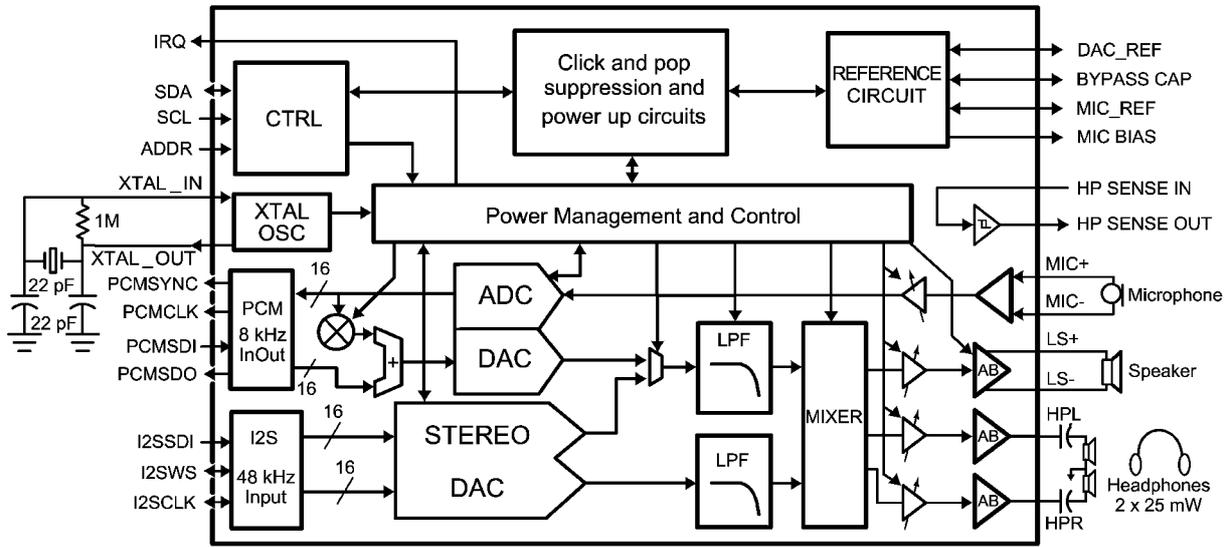
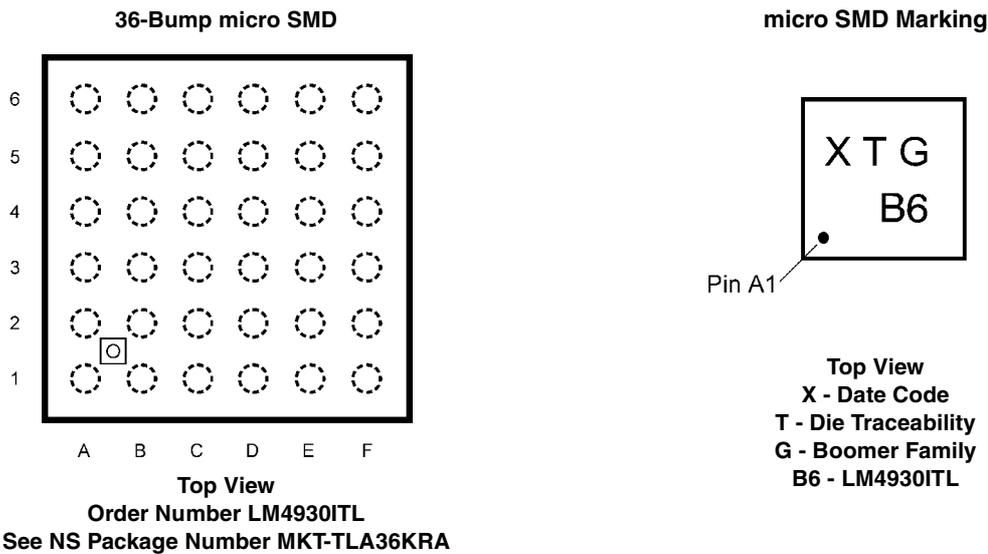


FIGURE 1. Typical I²S + Voice codec application circuit for mobile phones

 配置図


端子説明

A1	MIC_P	マイクロフォン正極性差動入力
A2	MIC_N	マイクロフォン負極性差動入力
A3	AVDD_MIC	マイクロフォン・プリアンプ用アナログ V_{DD}
A4	DAC_REF	D/A コンバータのリファレンス電圧
A5	SDA	2 線式制御インタフェースのシリアル・データ端子
A6	SCL	2 線式制御インタフェースのシリアル・クロック端子
B1	AGND_MIC	マイクロフォン・プリアンプ用アナログ・グラウンド
B2	MIC_BIAS	マイクロフォン・バイアス電圧出力 (2V)
B3	MIC_REF	内部固定リファレンス電圧バイパス・コンデンサ・デカップリング端子
B4	ADDR	制御バス・アドレス選択端子
B5	PCM_SDI	PCM シリアル・データ入力
B6	PCM_CLK	PCM シリアル・クロック端子
C1	AVDD_HP	ヘッドフォン・アンプ用アナログ V_{DD}
C2	NC	未使用 (NC)
C3	BYPASS	中間電位バイパス・コンデンサ・デカップリング端子
C4	PCM_SYNC	PCM フレーム同期端子
C5	I2S_DATA	I ² S シリアル・データ入力
C6	DGND_D	デジタル・グラウンド
D1	HP_L	ヘッドフォン・アンプ接続 (左)
D2	HP_R	ヘッドフォン・アンプ接続 (右)
D3	HPSENSE_IN	ヘッドフォン・ジャックのセンス端子接続
D4	PCM_SDO	PCM シリアル・データ出力
D5	I2S_CLK	I ² S シリアル・ビット・クロック
D6	DVDD_D	デジタル V_{DD}
E1	AGND_HP	ヘッドフォン・アンプ用アナログ・グラウンド
E2	LS-	スピーカ・アンプ BTL 負極性出力 (-)
E3	HPSENSE_OUT	ヘッドフォン接続ステータスを示すロジック出力。HPSENSE_IN が HIGH のとき出力レベルは HIGH に、HPSENSE_IN が LOW のとき出力レベルは LOW になる。回路例については Figure 5 を参照。
E4	IRQ	LM4930 モード・ステータス・インジケータ端子
E5	I2S_WS	I ² S ワード選択
E6	XTAL_OUT	外付け水晶 MCLK 用負帰還
F1	AGND_LS	スピーカ・アンプ用アナログ・グラウンド

端子説明 (つづき)

F2	LS +	スピーカ・アンプ BTL 正極性出力 (+)
F3	AVDD_LS	スピーカ・アンプ用アナログ V_{DD}
F4	DGND_X	デジタル・グラウンド
F5	DVDD_X	デジタル V_{DD}
F6	MCLK/XTAL_IN	水晶発振子 (XTAL OUT 入力) または外部クロック源から供給される、12.288MHz または 24.576MHz のマスタ・クロック

システム制御レジスタ

LM4930 では 2 線式の制御用シリアル・インタフェースを用いて内部動作を設定します。このインタフェースを使用して、動作モード、デジタル・インタフェース、デルタ・シグマ変調の各機能の設定が行なえます。LM4930 は制御用に複数の書き込み専用レジスタを備えており、それぞれ 7 ビットのアドレスが割り当てられています。レジスタは以下のとおりです。

BASIC CONFIG レジスタ

このレジスタは、 I^2S インタフェースと PCM インタフェース、48kHz の DAC モジュールの設定に使用します。BASICCONFIG レジスタの 7 ビット・アドレスは XX10000 です (ADDR が 0 の場合 XX = 00、ADDR が 1 の場合 XX = 11)。

BASIC CONFIGURATION (XX10000). (Set = logic 1, Clear = logic 0)

BIT	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
RESET	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
アドレス	レジスタ	説明															
3:0	MODE	LM4930 の基本動作モードを設定します。新しいモードを選択すると LM4930 は動作を継続したまま新しい動作モードに移行し、内部のパワー・マネージメント・プロファイルを自動的に再設定します。動作モードは次のとおりです。(Note 14)															
		モード	モノラル・スピーカ・アンプ出力	ヘッドフォン 左チャンネル出力	ヘッドフォン 右チャンネル出力	モード名											
		0000	None	None	None	Powerdown mode											
		0001	None	None	None	Standby Mode											
		0010	Voice	None	None	Mono speaker mode											
		0011	None	Voice	Voice	Headphone call mode											
		0100	Voice	Voice	Voice	Conference call mode											
		0101	Audio (L + R)	None	None	L + R mixed to mono speaker											
		0110	None	Audio (Left)	Audio (Right)	Headphone stereo audio											
		0111	Audio (L + R)	Audio (Left)	Audio (Right)	L + R mixed to mono speaker + stereo headphone audio											
		1000	Audio (Left)	Voice	Voice	Mixed Mode											
		1001	Voice + Audio (Left)	Voice	Voice	Mixed mode											
1010	Voice	Audio (Left)	Audio (Left)	Mixed Mode													
4	SOFT_RESET	制御レジスタを除いて LM4930 をリセットします。															
5	PCM_LONG	1 にセットすると PCM インタフェースはロング・フレーム同期となります。(Note 12)															
6	PCM_COMPANDED	1 にセットすると上位 8 ビットを圧伸データと仮定し下位 8 ビットは無視します。(Note 12)															
7	PCM_LAW	1 にセットすると圧伸 G711 データは A-law として取り扱われ、0 にクリアすると μ -law として取り扱われます。(Note 12)															
8:9	PCM_SYNC_MODE	同期パルスあたりの 16 ビット・フレーム数を、1 (00b)、2 (01b)、または 4 (10b) から選択します。フレーム後半では PCM_SDO 端子は TRI-STATE になります。(Note 12)															

システム制御レジスタ (つづき)

BASIC CONFIG レジスタ (つづき)

10	PCM_ALWAYS_ON	他の外部コーデックも PCM パスを使用する場合はこのビットを 1 にセットしなければなりません。1 にセットしたとき、LM4930 はパワーダウン・モードを除くすべてのモードでクロックと同期信号を駆動します。(Note 12)
11	I2S_M/S	I ² S のマスタまたはスレーブの選択です。1 にセットすると I ² S = マスタ、0 にクリアするとスレーブになります。
12	I2S_RES	I ² S 分解能の選択です。1 にセットするとフレームあたり 32 ビット、0 にクリアするとフレームあたり 16 ビットになります。
13	RSVD	予約済み (Note 13)
14	RSVD	予約済み (Note 13)
15	RSVD	予約済み (Note 13)

VOICE/TEST CONFIG レジスタ

このレジスタには、音声コーデック、サイドトーン減衰、一部の制御機能を設定します。VOICETESTCONFIG レジスタの 7 ビット・アドレスは XX10001 です (ADD が 0 のとき XX = 00、ADDR が 1 のとき XX = 11)

VOICETESTCONFIG (XX10001). (Set = logic 1, Clear = logic 0)

BIT	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESET	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アドレス	レジスタ		説明													
0	CLASS		1 にセットすると BTL スピーカ出力は内部的にバッファ構成となり、外付けのクラス D アンプまたはリニア・アンプとの併用が可能になります。(Note 12)													
4:1	SIDESTONE_ATTEN		デジタル・サイドトーンの減衰量を設定します。減衰量は次のとおりです。													
	4:1	サイドトーン減衰量	4:1	サイドトーン減衰量												
	0000	Mute	1000	- 9dB												
	0001	- 30dB	1001	- 6dB												
	0010	- 27dB	1010	- 3dB												
	0011	- 24dB	1011	0dB												
	0100	- 21dB	1100	Mute												
	0101	- 18dB	1101	Mute												
	0110	- 15dB	1110	Mute												
	0111	- 12dB	1111	Mute												
5	AUTOSIDE		この機能は、サイドトーンを必要としないハンズフリー・アプリケーションで、モノラル・スピーカとともに使用します。1 にセットするとモノラル・スピーカ・モード時 (モードが 0010、0100、1001、または 1010 のとき) に音声に対してサイドトーンは常にミュートされ、0 にクリアすると GAINCONFIG レジスタの設定レベルに関わらずサイドトーンは残存したままとなります。													
6	CLOCK_DIV		周波数 24.576MHz のマスタ・クロックを使用するときは 1 にセットします。デフォルト周波数は 12.288MHz です。(Note 12)													
7	ZXD_DISABLE		ゼロクロスを待たずに速やかなモード切り替えを保证するため、ステレオ DAC でのゼロクロス検知をディスエーブルします (Note 11)													
8:9	RSVD		予約済み (Note 13)													
10:11	CAP_SIZE		バイパス・コンデンサ容量を設定し、正しいターンオフ遅延とクリック / ポップ性能が得られるように適合させます。容量は次のとおりです。(Note 12)													
	10:11	遅延	バイパス・コンデンサ容量													
	00	25ms	0.1 μF													
	01	50ms	0.39 μF													
	10	85ms	1 μF													
	11	RESERVED	RESERVED													
12	ZXDS_SLOW		1 にセットすると、パワーダウンの前にステレオ DAC 出力はゼロクロスを待ちます。													
13	MUTE_LS		1 にセットすると、動作モードによらずスピーカ・アンプをミュートします。													
14	MUTE_HP		1 にセットすると、動作モードによらずヘッドフォン・アンプをミュートします													
15	MUTE_MIC		1 にセットすると、マイクロフォン・プリアンプをミュートします。													

システム制御レジスタ (つぎ)

GAIN CONFIG レジスタ

このレジスタには、ヘッドフォン・アンプ、スピーカ・アンプ、マイクロフォン・プリアンプのゲインを設定します。GAINCONFIG レジスタの7ビット・アドレスはXX10010です (ADDが0のときXX = 00、ADDRが1のときXX = 11)。

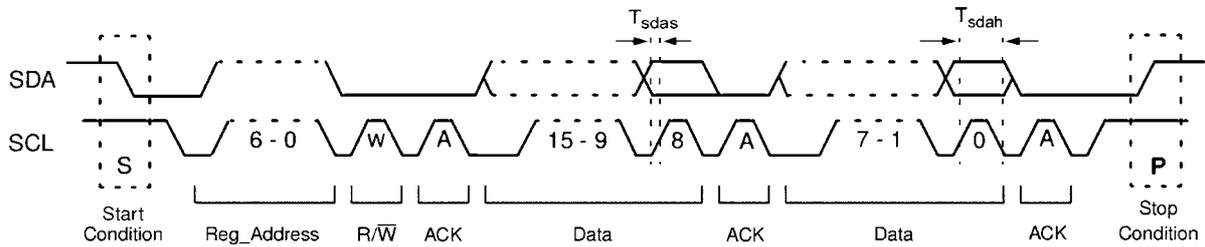
GAINCONFIG (XX10010). (Set = logic 1, Clear = logic 0)

BIT	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESET	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アドレス	レジスタ		説明													
4:0	LOUDSPKR_GAIN		スピーカ・アンプのゲインを設定します。ゲインは次のとおりです。													
			4:0	スピーカ・ゲイン			4:0	スピーカ・ゲイン								
			00000	- 34.5dB			10000	- 10.5dB								
			00001	- 33dB			10001	- 9dB								
			00010	- 31.5dB			10010	- 7.5dB								
			00011	- 30dB			10011	- 6dB								
			00100	- 28.5dB			10100	- 4.5dB								
			00101	- 27dB			10101	- 3dB								
			00110	- 25.5dB			10110	- 1.5dB								
			00111	- 24dB			10111	0dB								
			01000	- 22.5dB			11000	1.5dB								
			01001	- 21dB			11001	3dB								
			01010	- 19.5dB			11010	4.5dB								
			01011	- 18dB			11011	6dB								
			01100	- 16.5dB			11100	7.5dB								
			01101	- 15dB			11101	9dB								
			01110	- 13.5dB			11110	10.5dB								
			01111	- 12dB			11111	12dB								
9:5	HP_GAIN		ヘッドフォン・アンプのゲインを設定します。ゲインは次のとおりです。													
			9:5	ヘッドフォン・ゲイン			9:5	ヘッドフォン・ゲイン								
			00000	- 46dB			10000	- 22.5dB								
			00001	- 45dB			10001	- 21dB								
			00010	- 43.5dB			10010	- 19.5dB								
			00011	- 42dB			10011	- 18dB								
			00100	- 40.5dB			10100	- 16.5dB								
			00101	- 39dB			10101	- 15dB								
			00110	- 37.5dB			10110	- 13.5dB								
			00111	- 36dB			10111	- 12dB								
			01000	- 34.5dB			11000	- 10.5dB								
			01001	- 33dB			11001	- 9dB								
			01010	- 31.5dB			11010	- 7.5dB								
			01011	- 30dB			11011	- 6dB								
			01100	- 28.5dB			11100	- 4.5dB								
			01101	- 27dB			11101	- 3dB								
			01110	- 25.5dB			11110	- 1.5dB								
			01111	- 24dB			11111	0dB								
13:10	MIC_GAIN		マイクロフォン・プリアンプのゲインを設定します。ゲインは次のとおりです。													

システム制御レジスタ(つづき)

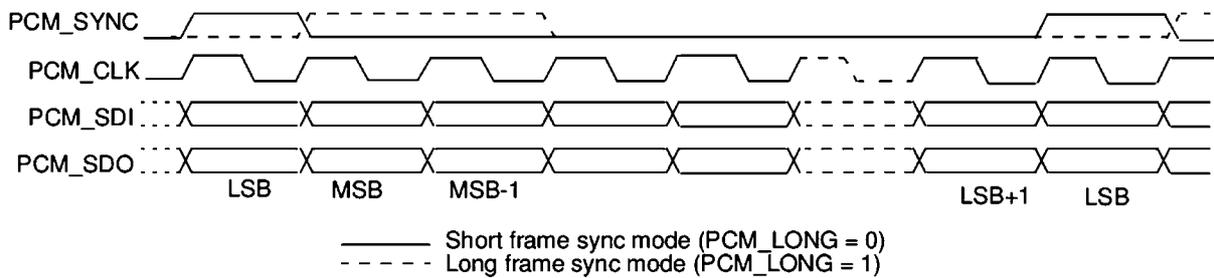
GAIN CONFIG レジスタ(つづき)

		13:10	マイク・プリアンプ・ゲイン
		0000	17dB
		0001	19dB
		0010	21dB
		0011	23dB
		0100	25dB
		0101	27dB
		0110	29dB
		0111	31dB
		1000	33dB
		1001	35dB
		1010	37dB
		1011	39dB
		1100	41dB
		1101	43dB
		1110	45dB
		1111	47dB
15:14	RSVD	予約済み (Note 13)	



Two-wire control Interface Timing Diagram

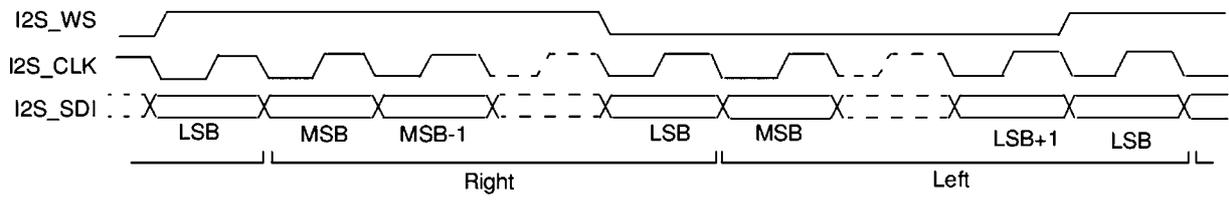
FIGURE 2.



PCM Receive Timing Diagram

FIGURE 3.

システム制御レジスタ(つづき)



I²S Transmit Timing Diagram
FIGURE 4.

絶対最大定格 (Note 1、2)

本データシートには軍用・航空宇宙用の規格は記載されていません。
関連する電気的信頼性試験方法の規格を参照ください。

アナログ電源電圧	6.0V
デジタル部電源電圧	6.0V
保存温度範囲	- 65 ~ + 150
消費電力 (Note 3)	内部制限
ESD 耐性	
人体モデル (Note 4)	2000V
マシン・モデル (Note 5)	200V

接合部温度	150
熱抵抗	
JA - TLA36KRA	105 /W

動作定格 (Note 3)

温度範囲	
T_{MIN} T_A T_{MAX}	- 30 T_A + 85
電源電圧	
DV_{DD} (Note 8)	2.6V ~ 4.5V
AV_{DD} (Note 8)	2.6V ~ 5.5V

電気的特性 $DV_{DD} = 3.3V$ 、 $AV_{DD} = 5V$ 、 $R_{LHP} = 32$ 、 $R_{LHF} = 8$ (Note 1、2、8)

特記のない限り、以下の規格値は各パッケージに対し Figure 1 の回路に適用されます。リミット値は $T_A = 25$ で適用されます。

Symbol	Parameter	Conditions	LM4930		Units (Limits)
			Typical (Note 6)	Limits (Notes 7, 15)	
DI_{DD}	Digital Power Supply Current	$f_{MCLK} = 12.288MHz$ Output Mode = "0010"	2		
		Output Mode = "0011"			
		Output Mode = "0100"			
		Output Mode = "0101"	4.4		
Output Mode = "0110"					
Output Mode = "0111"					
AI_{DD}	Analog Power Supply Quiescent Current	$f_{MCLK} = 12.288MHz$; No Load			
		Output Mode = "0010"	7.0		
		Output Mode = "0011"	6.3		
		Output Mode = "0100"	8.0		
		Output Mode = "0101"	8.2		
		Output Mode = "0110"	7.4		
		Output Mode = "0111"	8.7		
		Output Mode = "1000"	9.5	14	mA (max)
Output Mode = "1001"					
Output Mode = "1010"					
DI_{SD}	Digital Powerdown Current	$f_{MCLK} = 12.288MHz$ Output Mode = "0000" Powerdown Mode	1	7	μA (max)
AI_{SD}	Analog Powerdown Current	$f_{MCLK} = 12.288MHz$ Output Mode = "0000" Powerdown Mode	1	2	μA (max)
DI_{ST}	Digital Standby Current	$f_{MCLK} = 12.288MHz$ Output Mode = "0001" Standby Mode	1.4	2	mA (max)
AI_{ST}	Analog Standby Current	$f_{MCLK} = 12.288MHz$ Output Mode = "0001" Standby Mode	230	1000	μA (max)
V_{FS_LS}	Full-Scale Output Voltage (Mono speaker amplifier)	CLASS = 0; 0dB gain setting; 8 Ω BTL load (Note 10)	2.5		V_{P-P}
V_{FS_HP}	Full-Scale Output Voltage (Headphone amplifier)	0dB gain setting; 32 Ω Stereo Load (Note 10)	2.5		V_{P-P}

電気的特性 $DV_{DD} = 3.3V$ 、 $AV_{DD} = 5V$ 、 $R_{LHP} = 32$ 、 $R_{LHF} = 8$ (Note 1、2、8)(つぎ)

特記のない限り、以下の規格値は各パッケージに対し Figure 1 の回路に適用されます。リミット値は $T_A = 25$ で適用されます。

Symbol	Parameter	Conditions	LM4930		Units (Limits)
			Typical (Note 6)	Limits (Notes 7, 15)	
V_{MIC_BIAS}	Mic Bias Voltage		2.0		V
THD+N	Headphone Amplifier Total Harmonic Motion Distortion + Noise	$f_{IN} = 1$ kHz, $P_{OUT} = 7.5mW$; 32Ω Stereo Load	0.07		%
P_{OHP}	Headphone Amplifier Output Power	THD+N = 0.5%, $f_{OUT} = 1$ kHz	27	20	mW (min)
P_{OLS}	Mono Speaker Amplifier Output Power	THD+N = 3%, $f_{OUT} = 1$ kHz	1		W
PSRR	Power Supply Rejection Ratio	$C_{BYPASS} = 1.0\mu F$ $C_{DAC_REF} = 1.0\mu F$ $V_{RIPPLE} = 200mV_{P-P}$ @ 217Hz, MIC_P, MIC_N terminated with 10Ω to ground	55	45	dB (min)
SNR (Voice)	Signal-to-Noise Ratio (Voice Audio Path)	Signal = V_o at $f = 1$ kHz @1% THD+N, 32Ω Stereo Load; Noise = digital zero, A-weighted, 0dB gain setting	72		dB
SNR (Music)	Signal-to-Noise Ratio (Music Audio Path)	Signal = V_o at $f = 1$ kHz @1% THD+N, 32Ω Stereo Load; Noise = digital zero, A-weighted; 0dB gain setting	86		dB
DR (Voice)	Dynamic Range (Voice Audio Path)	Signal = V_o at $f = 1$ kHz @1% THD+N, 32Ω Stereo Load; Noise for -60dBFS digital input; A-weighted; 0dB gain setting	72		dB
DR (Music)	Dynamic Range (Music Audio Path)	Signal = V_o at $f=1$ kHz @1% THD+N, 32Ω Stereo Load; Noise for -60dBFS digital input; A-weighted, 0dB gain setting	86		dB
SNR_{ADC}	Signal-to-Noise Ratio (Voice ADC Path)	Reference signal = 0dBFS MIC_P, MIC_N terminated with 10Ω to ground; A-weighted; 47dB MIC preamp gain setting	75		dB
DR_{ADC}	Dynamic Range (Voice ADC Path)	Reference signal = 0dBFS Noise for -60dBFS digital input; A-weighted; 47dB MIC preamp gain setting	75		dB
X_{TALK}	Stereo Channel-to-Channel Crosstalk	$f_S = 48$ kHz, $f_{IN} = 1$ kHz sinewave at $-3dB_{FS}$	75		dB
V_{MIC-IN}	Maximum Differential MIC Input Voltage	17dB MIC Preamp gain setting	570		mV_{P-P}
R_{VDAC}	Voice DAC Ripple	300Hz - 3.3kHz through head-phone output.	+/-0.15	+/-0.2	dB (max)
R_{VADC}	Voice ADC Ripple	300Hz - 3.3kHz through head-phone output.	+/-0.25	+/-0.3	dB (max)
PB_{VDAC}	Voice DAC Passband	-3dB Point	3.46		kHz
SBA_{VDAC}	Voice DAC Stopband Attenuation	Above 4kHz	72		dB
UPB_{VADC}	Voice ADC Upper Passband Cutoff Frequency.	Upper -3dB Point	3.47		kHz

電气的特性 $DV_{DD} = 3.3V$ 、 $AV_{DD} = 5V$ 、 $R_{LHP} = 32$ 、 $R_{LHF} = 8$ (Note 1、2、8)(つづき)

特記のない限り、以下の規格値は各パッケージに対し Figure 1 の回路に適用されます。リミット値は $T_A = 25$ で適用されます。

Symbol	Parameter	Conditions	LM4930		Units (Limits)
			Typical (Note 6)	Limits (Notes 7, 15)	
LPB_{VADC}	Voice ADC Lower Passband Cutoff Frequency.	Lower -3dB Point	0.230		kHz
SBA_{VADC}	Voice ADC Stopband Attenuation	Above 4kHz	65		dB
SBA_{NOTCH}	Voice ADC Notch Attenuation	Centered on 55Hz, figure gives worst case attenuation for 50Hz & 60Hz.	58		dB
R_{DAC}	Audio DAC Ripple	20Hz - 20kHz through head-phone output.	+/-0.1	+/-0.2	dB (max)
PB_{DAC}	Audio DAC Passband Width	-3dB point	22.7		kHz
SBA_{DAC}	Audio DAC Stopband Attenuation	Above 24kHz	76		dB
DR_{DAC}	Audio DAC Dynamic Range Digital Filter Section	Signal = VO at f = 1kHz @ 1% THD+N; f = 1kHz; Noise for -60dBFS digital input; 0dB gain; A-weighted	97		dB
SNR_{DAC}	Audio DAC SNR Digital Filter Section	Signal = VO at f = 1kHz @ 1% THD+N; f = 1kHz; Noise for -60dBFS digital input; 0dB gain; A-weighted	97		dB
ΔA_{CH-CH}	Stereo Channel-to-Channel Gain Mismatch		0.3		dB
V_{IL}	Digital Input: Logic Low Voltage Level		0.4		V
V_{IH}	Digital Input: Logic High Voltage Level		1.4		V
	Volume Control Range (Headphone amplifiers)	Maximum Attenuation	-46.5		dB
		Minimum Attenuation	0		dB
	Volume Control Range (Mono speaker amplifier)	Minimum Gain	-34.5		dB
		Maximum Gain	12		dB
	Volume Control Step Size (Output amplifiers)		1.5		dB
	Volume Control Range (Microphone Preamp)	Minimum Gain	17		dB
		Maximum Gain	47		dB
	Volume Control Step Size (Microphone Preamp)		2		dB
	Side Tone Attenuation Range	Maximum Attenuation	-30		dB
		Minimum Attenuation	0		dB
	Side Tone Attenuation Step Size		3		dB
f_{MCLK}	MCLK frequency	CLOCK_DIV = 0	12.288		MHz
		CLOCK_DIV = 1	24.576		MHz
	MCLK Duty Cycle		50	40 60	% (min) % (max)
f_{CONV}	Sampling Clock Frequency (Note 9)		48		kHz
f_{CLKSCL}	SCL_CLK Frequency		400		kHz
$t_{RISESCL}$	SCL_CLK, SCL_DATA Rise Time		300		ns
$t_{FALLSCL}$	SCL_CLK, SDA_DATA Fall Time		300		ns
t_{SDAH}	SDA_DATA Hold Time		500		ns
t_{SDAS}	SDA_DATA Setup Time		500		ns

電気的特性 $DV_{DD} = 3.3V$ 、 $AV_{DD} = 5V$ 、 $R_{LHP} = 32$ 、 $R_{LHF} = 8$ (Note 1、2、8)(つづき)

特記のない限り、以下の規格値は各パッケージに対し Figure 1 の回路に適用されます。リミット値は $T_A = 25$ で適用されます。

Symbol	Parameter	Conditions	LM4930		Units (Limits)
			Typical (Note 6)	Limits (Notes 7, 15)	
f_{CLKPCM}	PCM_CLK Frequency	PCM_SYNC_MODE = 00 PCM_SYNC_MODE = 01 PCM_SYNC_MODE = 10	128 256 512		kHz
	PCM_CLK Duty Cycle		50	40 60	% (min) % (max)
f_{CLKI2S}	I2S_CLK Frequency	I2S_RES = 0 I2S_RES = 1	1.536 3.072		MHz
	I2S_CLK Duty Cycle		50	40 60	% (min) % (max)

電気的特性 $DV_{DD} = 3V$ 、 $AV_{DD} = 3V$ 、 $R_{LHP} = 32$ 、 $R_{LHF} = 8$ (Note 1、2、3)

特記のない限り、以下の規格値は各パッケージに対し Figure 1 の回路に適用されます。リミット値は $T_A = 25$ で適用されます。

Symbol	Parameter	Conditions	LM4930		Units (Limits)
			Typical (Note 6)	Limits (Notes 7, 15)	
$D_{I_{DD}}$	Digital Power Supply Current	$f_{MCLK} = 12.288MHz$			
		Output Mode = "0010"	1.6		
		Output Mode = "0011"			
		Output Mode = "0100"			
		Output Mode = "0101"	3.8		
		Output Mode = "0110"			
		Output Mode = "0111"			
Output Mode = "1000"	4.2	7	mA (max)		
Output Mode = "1001"					
Output Mode = "1010"					
$A_{I_{DD}}$	Analog Power Supply Quiescent Current	$f_{MCLK} = 12.288MHz$; No Load			
		Output Mode = "0010"	5.8		
		Output Mode = "0011"	5.1		
		Output Mode = "0100"	6.5		
		Output Mode = "0101"	6.4		
		Output Mode = "0110"	5.8		
		Output Mode = "0111"	7.0		
		Output Mode = "1000"	7.5	12	mA (max)
		Output Mode = "1001"			
Output Mode = "1010"					
$D_{I_{SD}}$	Digital Powerdown Current	$f_{MCLK} = 12.288MHz$ Output Mode = "0000" Powerdown Mode	1	7	μA (max)
$A_{I_{SD}}$	Analog Powerdown Current	$f_{MCLK} = 12.288MHz$ Output Mode = "0000" Powerdown Mode	0.6	1.5	μA (max)
$D_{I_{ST}}$	Digital Standby Current	$f_{MCLK} = 12.288MHz$ Output Mode = "0001" Standby Mode	1.1	1.7	mA (max)

電气的特性 $DV_{DD} = 3V$ 、 $AV_{DD} = 3V$ 、 $R_{LHP} = 32$ 、 $R_{LHF} = 8$ (Note 1、2、3)(つづき)

特記のない限り、以下の規格値は各パッケージに対し Figure 1 の回路に適用されます。リミット値は $T_A = 25$ で適用されます。

Symbol	Parameter	Conditions	LM4930		Units (Limits)
			Typical (Note 6)	Limits (Notes 7, 15)	
I_{ST}	Analog Standby Current	$f_{MCLK} = 12.288MHz$ Output Mode = "0001" Standby Mode	100	300	μA (max)
V_{FS_LS}	Full-Scale Output Voltage (Mono speaker amplifier)	CLASS = 0; 0dB gain setting; 8 Ω BTL load (Note 10)	2.5		V_{P-P}
V_{FS_HP}	Full-Scale Output Voltage (Headphone amplifier)	0dB gain setting; 32 Ω Stereo Load (Note 10)	2.5		V_{P-P}
V_{MIC_BIAS}	Mic Bias Voltage		2		V
THD+N	Headphone Amplifier Total Harmonic Distortion + Noise	$f_{IN} = 1kHz$, $P_{OUT} = 7.5mW$	0.07		%
P_{OHP}	Headphone Amplifier Output Power	THD+N = 0.5%, $f_{OUT} = 1kHz$	25	15	mW (min)
P_{OLS}	Mono Speaker Amplifier Output Power	THD+N = 2%, $f_{OUT} = 1kHz$	300	270	mW (min)
PSRR	Power Supply Rejection Ratio	$C_{BYPASS} = 1.0\mu F$ $C_{DAC_REF} = 1.0\mu F$ $V_{RIPPLE} = 200mV_{P-P}$ @ 217Hz	50	42	dB (min)
SNR (Voice)	Signal-to-Noise Ratio (Voice Audio Path)	Signal = V_o at $f = 1kHz$ @1% THD+N, 32 Ω Stereo Load; Noise = digital zero, A-weighted; 0dB gain setting	72		dB
SNR (Music)	Signal-to-Noise Ratio (Music Audio Path)	Signal = V_o at $f = 1kHz$ @1% THD+N, 32 Ω Stereo Load; Noise = digital zero, A-weighted; 0dB gain setting	86		dB
DR (Voice)	Dynamic Range (Voice Audio Path)	Signal = V_o at $f = 1kHz$ @1% THD+N, 32 Ω Stereo Load; Noise for -60dBFS digital input; A-weighted, 0dB gain setting	72		dB
DR (Music)	Dynamic Range (Music Audio Path)	Signal = V_o at $f = 1kHz$ @1% THD+N, 32 Ω Stereo Load; Noise for -60dBFS digital input; A-weighted, 0dB gain setting	86		dB
SNR_{ADC}	Signal-to-Noise Ratio (Voice ADC Path)	Reference signal = 0dBFS MIC_P, MIC_N terminated with 10 Ω to ground; A-weighted; 47dB MIC preamp gain setting	75		dB
DR_{ADC}	Dynamic Range (Voice ADC Path)	Reference signal = 0dBFS Noise for -60dBFS digital input; A-weighted; 47dB MIC preamp gain setting	75		dB
X_{TALK}	Stereo Channel-to-Channel Crosstalk	$f_S = 48kHz$, $f_{IN} = 1kHz$ sinewave at -3dB $_{FS}$	73		dB
V_{MIC-IN}	Maximum Differential MIC Input Voltage	17dB MIC Preamp gain setting	570		mV_{P-P}
R_{VDAC}	Voice DAC Ripple	300Hz - 3.3kHz through head-phone output.	+/-0.15	+/-0.2	dB (max)
R_{VADC}	Voice ADC Ripple	300Hz - 3.3kHz through head-phone output.	+/-0.25	+/-0.3	dB (max)
PB_{VDAC}	Voice DAC Passband	-3dB Point	3.46		kHz

電气的特性 $DV_{DD} = 3V$ 、 $AV_{DD} = 3V$ 、 $R_{LHP} = 32$ 、 $R_{LHF} = 8$ (Note 1、2、3)(つづき)

特記のない限り、以下の規格値は各パッケージに対し Figure 1 の回路に適用されます。リミット値は $T_A = 25$ で適用されます。

Symbol	Parameter	Conditions	LM4930		Units (Limits)
			Typical (Note 6)	Limits (Notes 7, 15)	
SBA_{VDAC}	Voice DAC Stopband Attenuation	Above 4kHz	72		dB
UPB_{VADC}	Voice ADC Upper Passband Cutoff Frequency.	Upper -3dB Point	3.47		kHz
LPB_{VADC}	Voice ADC Lower Passband Cutoff Frequency.	Lower -3dB Point	0.230		kHz
SBA_{VADC}	Voice ADC Stopband Attenuation	Above 4kHz	65		dB
SBA_{NOTCH}	Voice ADC Notch Attenuation	Centered on 55Hz, figure gives worst case attenuation for 50Hz & 60Hz.	58		dB
R_{DAC}	Audio DAC Ripple	20Hz - 20kHz through head-phone output.	+/-0.1	+/-0.2	dB (max)
PB_{DAC}	Audio DAC Passband Width	-3dB point	22.7		kHz
SBA_{DAC}	Audio DAC Stopband Attenuation	Above 24kHz	76		dB
DR_{DAC}	Audio DAC Dynamic Range Digital Filter Section	Signal = VO at f = 1kHz @ 1% THD+N; f = 1kHz; Noise for -60dBFS digital input; 0dB gain; A-weighted	97		dB
SNR_{DAC}	Audio DAC SNR Digital Filter Section	Signal = VO at f = 1kHz @ 1% THD+N; f = 1kHz; Noise for -60dBFS digital input; 0dB gain; A-weighted	97		dB
ΔA_{CH-CH}	Stereo Channel-to-Channel Gain Mismatch		0.3		dB
V_{IL}	Digital Input: Logic Low Voltage Level		0.4		V
V_{IH}	Digital Input: Logic High Voltage Level		1.4		V
	Volume Control Range (Headphone amplifiers)	Maximum Attenuation Minimum Attenuation	-46.5 0		dB dB
	Volume Control Range (Mono speaker amplifier)	Minimum Gain Maximum Gain	-34.5 12		dB dB
	Volume Control Step Size (Output amplifiers)		1.5		dB
	Volume Control Range (Microphone Preamp)	Minimum Gain Maximum Gain	17 47		dB dB
	Volume Control Step Size (Microphone Preamp)		2		dB
	Side Tone Attenuation Range	Maximum Attenuation Minimum Attenuation	-30 0		dB dB
	Side Tone Attenuation Step Size		3		dB
f_{MCLK}	MCLK frequency	CLOCK_DIV = 0 CLOCK_DIV = 1	12.288 24.576		MHz MHz
	MCLK Duty Cycle		50	40 60	% (min) % (max)
f_{CONV}	Sampling Clock Frequency	(Note 9)	48		kHz
f_{CLKSCL}	SCL_CLK Frequency		400		kHz
$t_{RISESCL}$	SCL_CLK, SCL_DATA Rise Time		300		ns
$t_{FALLSCL}$	SCL_CLK, SDA_DATA Fall Time		300		ns
t_{SDAH}	SDA_DATA Hold Time		500		ns

電気的特性 $DV_{DD} = 3V$ 、 $AV_{DD} = 3V$ 、 $R_{LHP} = 32$ 、 $R_{LHF} = 8$ (Note 1、2、3)(つづき)

特記のない限り、以下の規格値は各パッケージに対し Figure 1 の回路に適用されます。リミット値は $T_A = 25$ で適用されます。

Symbol	Parameter	Conditions	LM4930		Units (Limits)
			Typical (Note 6)	Limits (Notes 7, 15)	
t_{SDAS}	SDA_DATA Setup Time		500		ns
f_{CLKPCM}	PCM_CLK Frequency	PCM_SYNC_MODE = 00	128		kHz
		PCM_SYNC_MODE = 01	256		kHz
		PCM_SYNC_MODE = 10	512		kHz
	PCM_CLK Duty Cycle		50	40 60	% (min) % (max)
f_{CLKI2S}	I2S_CLK Frequency	I2S_RES = 0	1.536		MHz
		I2S_RES = 1	3.072		MHz
	I2S_CLK Duty Cycle		50	40 60	% (min) % (max)

Note 1: 「絶対最大定格」とは、デバイスが破壊する可能性のあるリミット値をいいます。「動作定格」とはデバイスが機能する条件を示しますが、特定の性能リミット値を保証する物ではありません。「電気的特性」とは、特定の性能リミット値を保証する特別な試験条件での DC および AC の電気的仕様を示します。これはデバイス操作が、動作定格内と想定しています。リミット値のないパラメータについては仕様は保証されません。しかし、代表値によってデバイスのパフォーマンスが解ります。

Note 2: 特記のない限り、すべての電圧は対象となるグラウンド (GND) ピンを基準に測定されます。

Note 3: 温度上昇時の動作では、最大消費電力の定格を T_{JMAX} (最大接合部温度)、 J_A (接合部・周囲温度間熱抵抗)、 T_A (周囲温度) に従って下げなければなりません。最大許容消費電力は $P_{DMAX} = (T_{JMAX} - T_A) / J_A$ 、または「絶対最大定格」で示される値のいずれか低い方です。詳細は LM4930 の電力デレーティング電流を参照してください。

Note 4: 使用した試験回路は、人体モデルに基づき、直列抵抗 1.5k と 100pF のコンデンサからなる回路を使用し、各端子に放電させます。

Note 5: マシン・モデルでは、220pF ~ 240pF のコンデンサを介して直接各端子に放電させます。

Note 6: 代表値 (Typical) は、 $T_A = 25$ で得られる最も標準的な数値です。

Note 7: リミット値 (Limit) はナショナル セミコンダクター社の AOQL (平均出荷品質レベル) に基づき保証されます。

Note 15: データシートの最小および最大仕様値は、設計、テスト、または統計的解析により保証されています。

Note 16: 特記のない限り、PCM 音声コーデックでは 0dBm0 = - 3dBFS、I²S DAC では 0dBm0 = - 1dBFS です。

以下の Note 8 ~ Note 14 は設計上の注意です。

Note 8: 3.0V AV_{DD} 5.0V かつ 3.0V DV_{DD} 3.6V のときに最も最適な動作が得られます。適切な動作を得るためには、 AV_{DD} の電圧は DV_{DD} の電圧と等しいか高くなくてはなりません。

Note 9: サンプリング・クロック周波数は、マスタ・クロック周波数を 256 で除した周波数に等しくなります ($f_{conv} = f_{MCLK}/256$)。

Note 10: この値は、規定のアナログ電源電圧で動作する所定のアンプの 0dB 出力レベルを表しています。GAINCONFIG レジスタに設定する各出力アンプのゲイン値は、これらフルスケール値に対する相対値です。

Note 11: パワーダウン・モードへ正しく移行させるには、オーディオ入力信号が存在しないときに ZXD_DISABLE を 1 にセットしなければなりません。

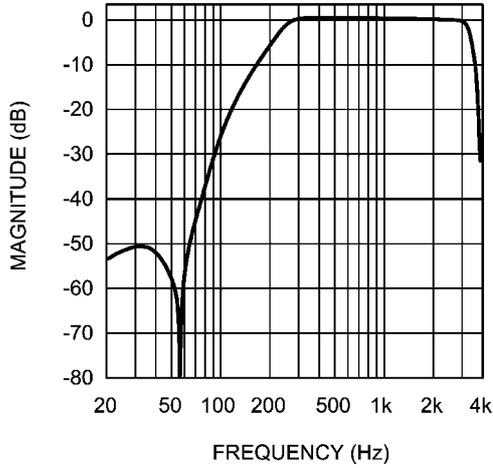
Note 12: このビットの書き換えは、デバイスがパワーダウン・モード時のみ推奨されます。

Note 13: 予約済みビットには、該当レジスタに書き込みを行なう場合はゼロを書き込んでください。

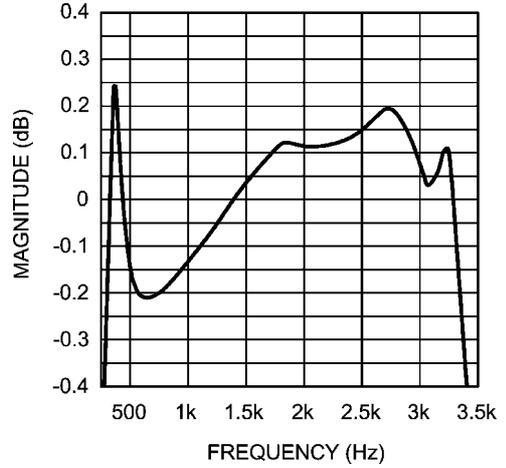
Note 14: スタンバイ・モードを除き、モード間同士を直接切り替えることは避けてください。モード間を直接切り替えると指定したモードに正しく切り替わらないことがあります。

代表的な性能特性 (Note 16)

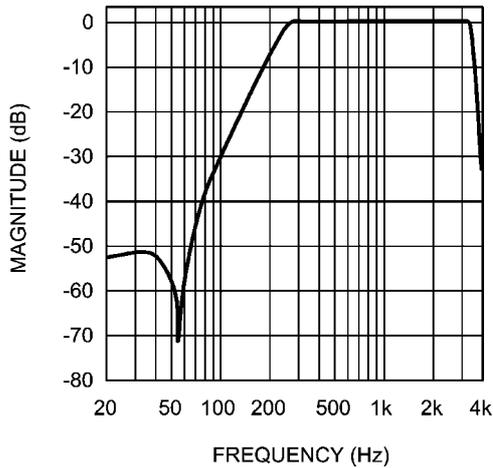
MIC PreAmp + ADC Frequency Response (MIC Gain = 17dB)



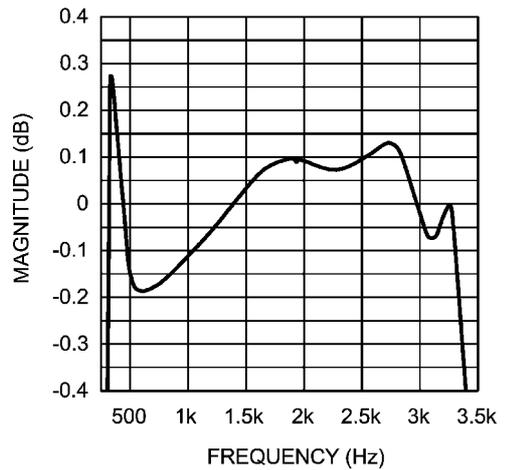
MIC PreAmp + ADC Frequency Response Zoom (MIC Gain = 17dB)



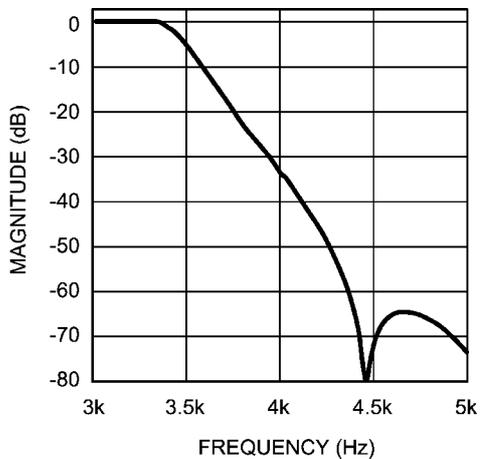
MIC PreAmp + ADC Frequency Response (MIC Gain = 47dB)



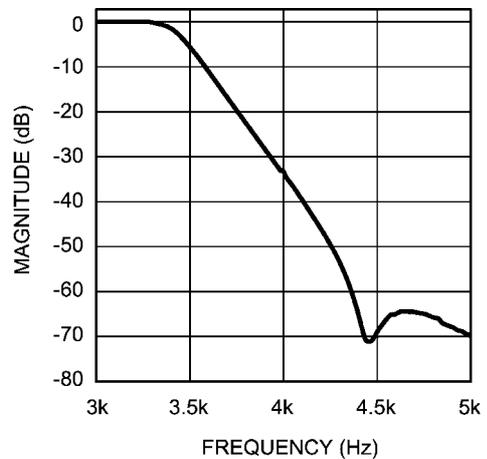
MIC PreAmp + ADC Frequency Response Zoom (MIC Gain = 47dB)



MIC PreAmp + ADC Frequency Response High Cutoff (MIC Gain = 17dB)

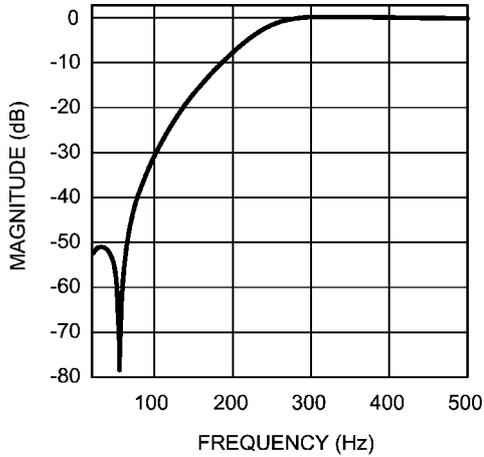


MIC PreAmp + ADC Frequency Response High Cutoff (MIC Gain = 47dB)

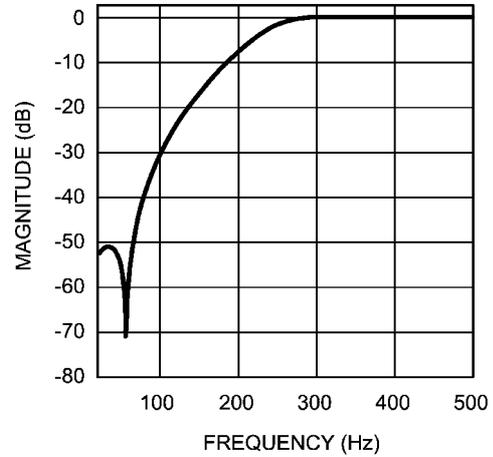


代表的な性能特性 (Note 16)(つづき)

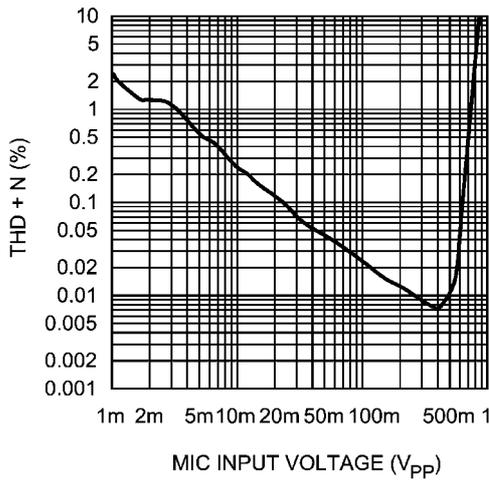
MIC PreAmp + ADC Frequency Response Low Cutoff (MIC Gain = 17dB)



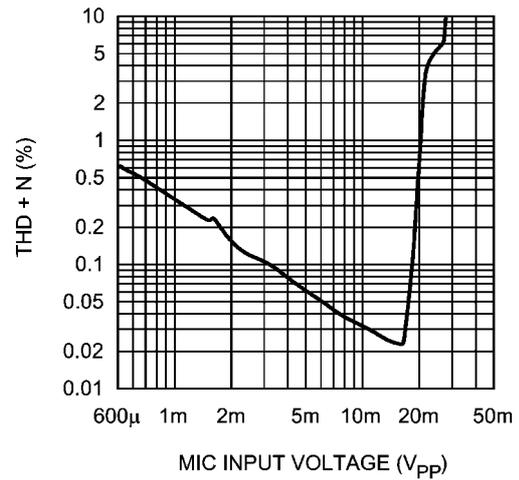
MIC PreAmp + ADC Frequency Response Low Cutoff (MIC Gain = 47dB)



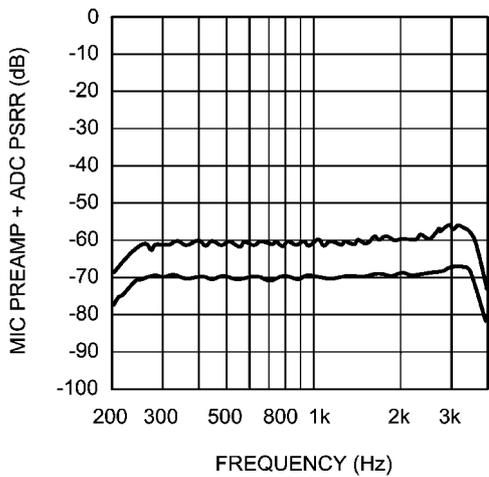
ADC THD + N vs MIC Input Voltage (MIC Gain = 17dB)



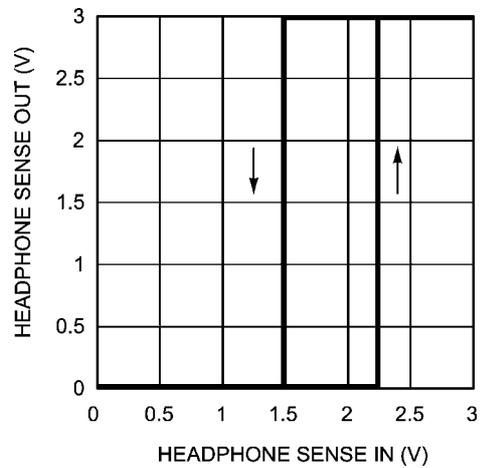
ADC THD + N vs MIC Input Voltage (MIC Gain = 47dB)



MIC PreAmp + ADC PSRR vs Frequency
Top Trace = 47dB MIC Gain, Bottom Trace = 17dB MIC Gain

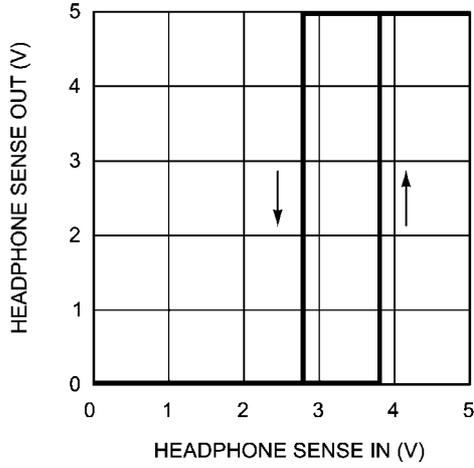


Headphone Sense In Hysteresis Loop (AV_{DD} = 3V)

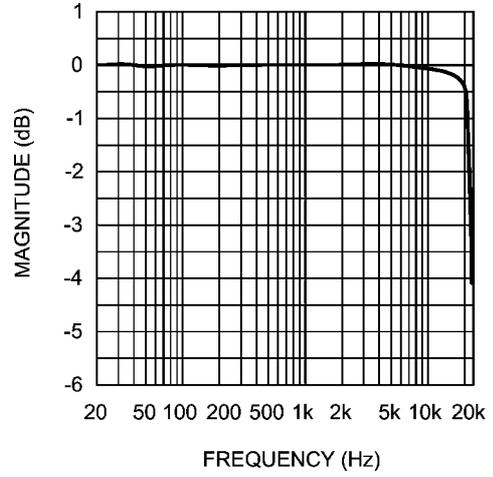


代表的な性能特性 (Note 16)(つづき)

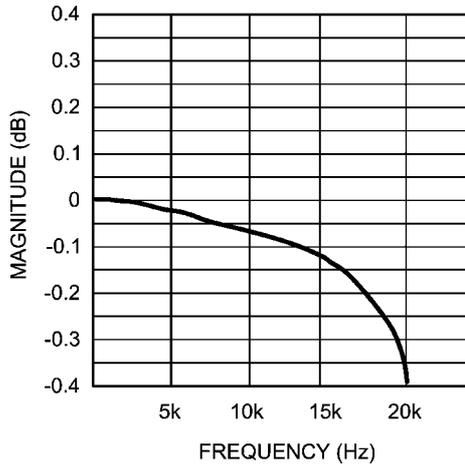
Headphone Sense In Hysteresis Loop
($AV_{DD} = 5V$)



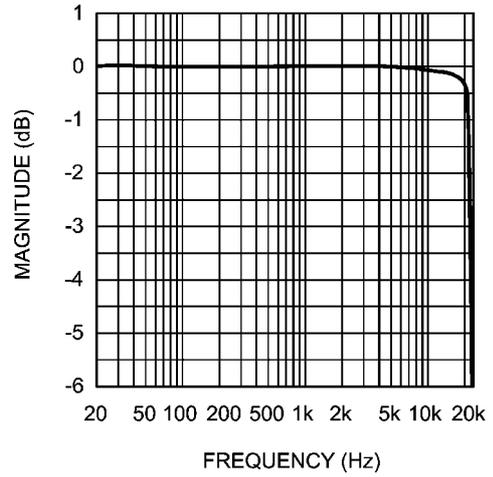
I²S DAC Frequency Response
(Handsfree Output)



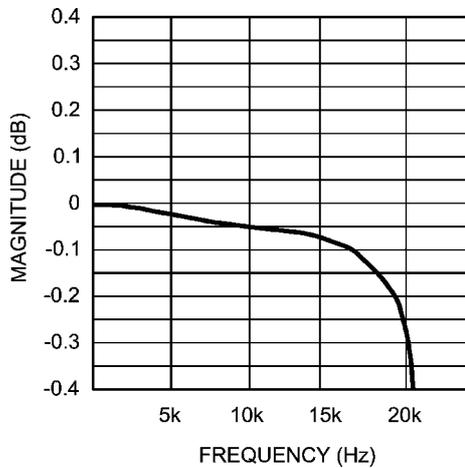
I²S DAC Frequency Response Zoom
(Handsfree Output)



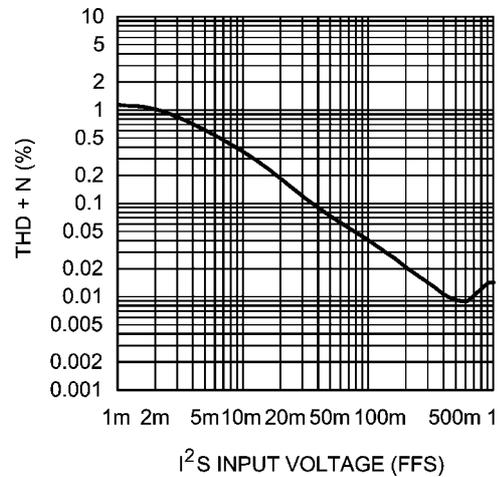
I²S DAC Frequency Response Zoom
(Headphone Output)



I²S DAC Frequency Response Zoom
(Headphone Output)

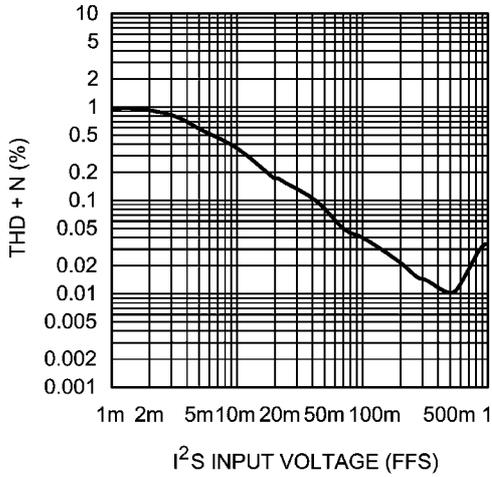


THD + N vs I²S Input Voltage
(Handsfree Output, 0dB Handsfree Gain)

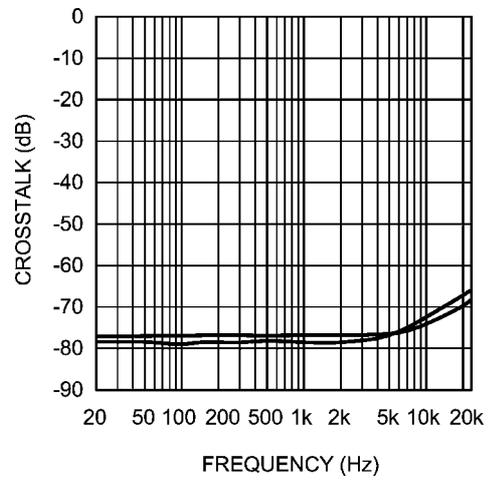


代表的な性能特性 (Note 16)(つづき)

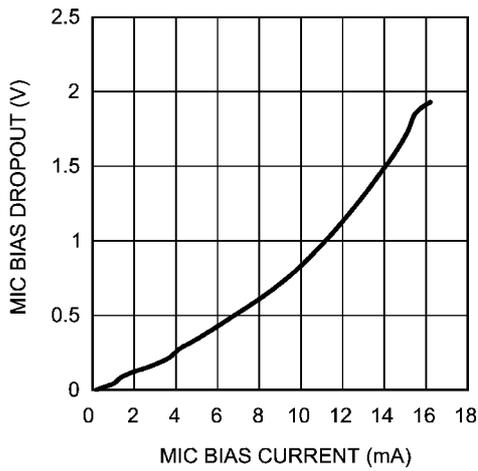
THD + N vs I²S Input Voltage
(Headphone Output, 0dB Headphone Gain)



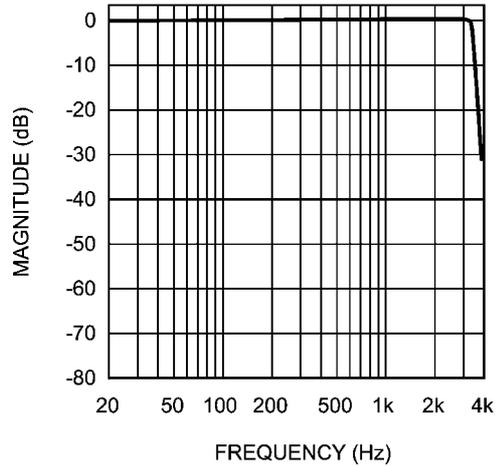
I²S DAC Crosstalk
(Top Trace = Left to Right, Bottom Trace = Right to Left)



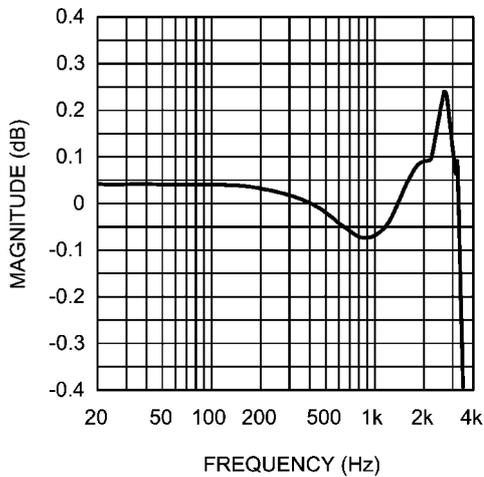
MIC Bias Dropout Voltage vs MIC Bias Current



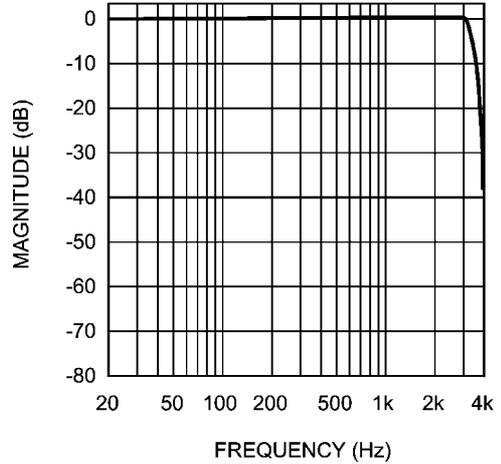
PCM DAC Frequency Response
(Handsfree Output)



PCM DAC Frequency Response Zoom
(Handsfree Output)

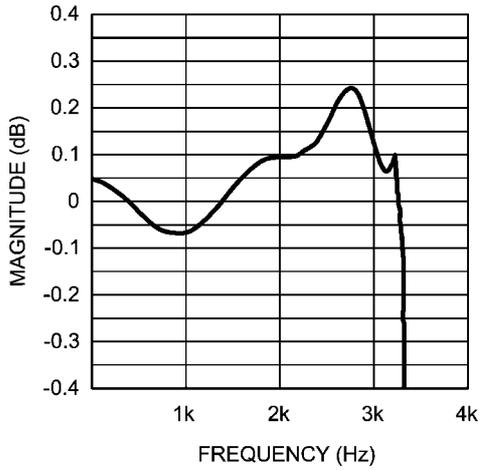


PCM DAC Frequency Response
(Headphone Output)

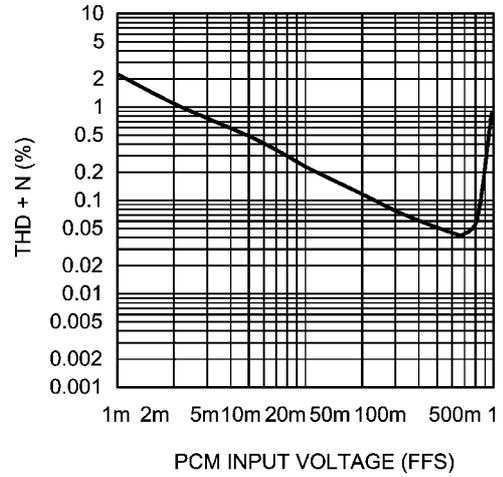


代表的な性能特性 (Note 16)(つづき)

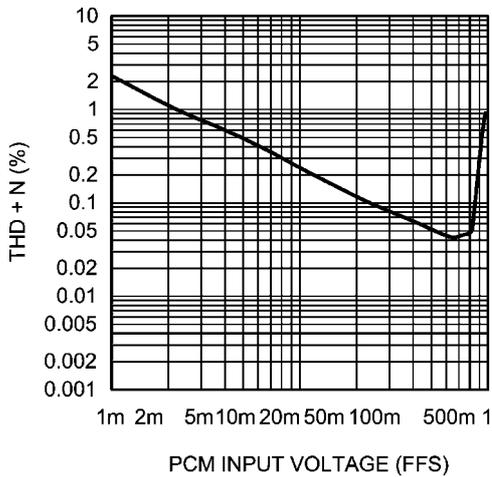
PCM DAC Frequency Response Zoom
(Headphone Output)



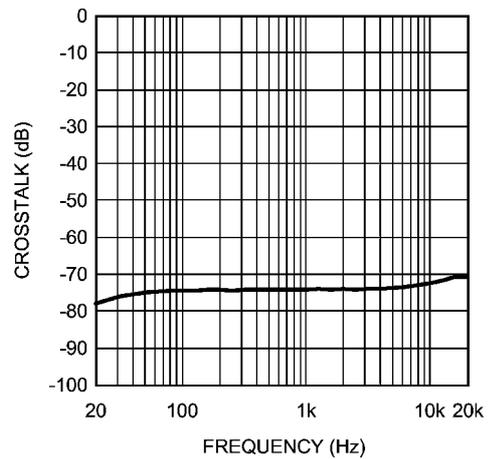
THD + N vs PCM Input Voltage
(Handsfree Output, 0dB Handsfree Gain)



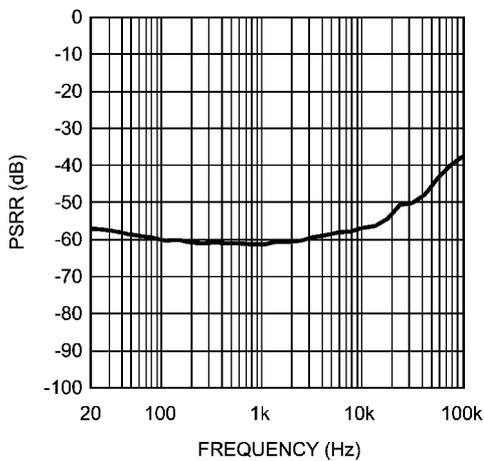
THD + N vs PCM Input Voltage
(Headphone Output, 0dB Headphone Gain)



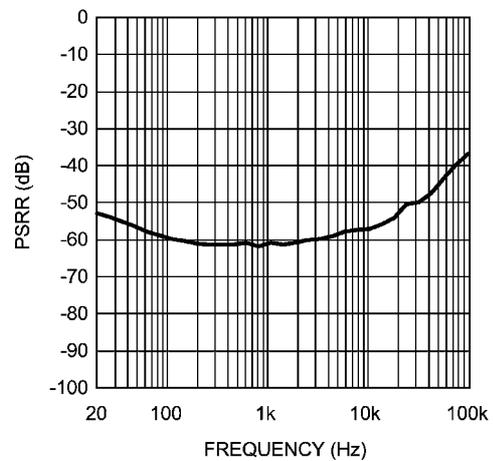
Crosstalk
(AV_{DD} = 5V and AV_{DD} = 3V, Headphone Output)



PSRR vs Frequency
(AV_{DD} = 3V, R_L = 16 , Headphone Output)

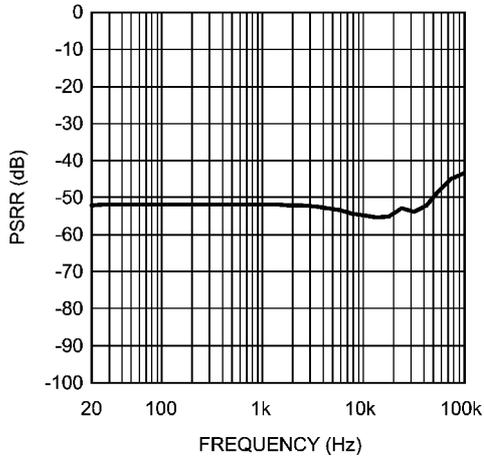


PSRR vs Frequency
(AV_{DD} = 3V, R_L = 32 , Headphone Output)

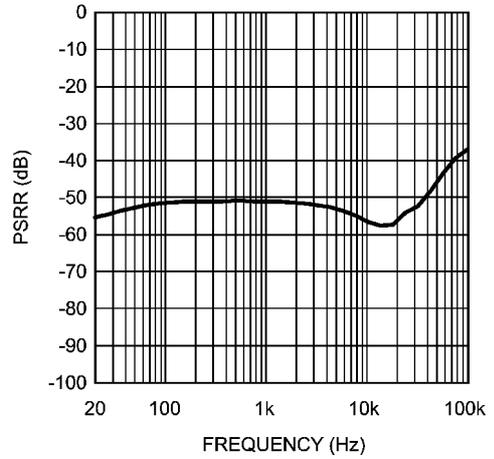


代表的な性能特性 (Note 16)(つづき)

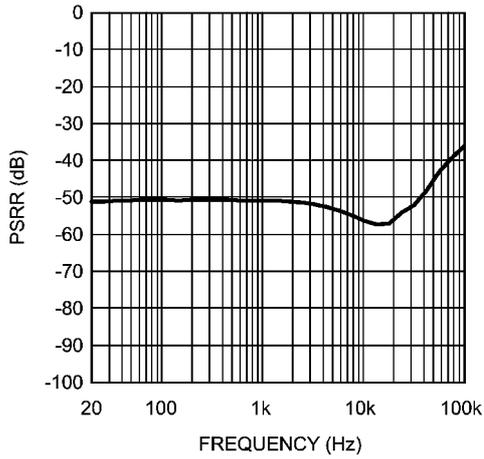
PSRR vs Frequency
($AV_{DD} = 3V, R_L = 8 \Omega$, Handsfree Output)



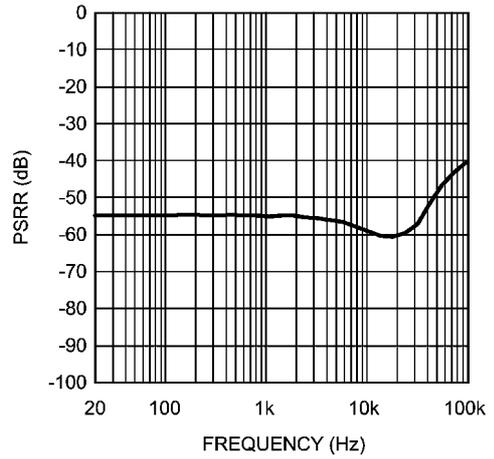
PSRR vs Frequency
($AV_{DD} = 5V, R_L = 16 \Omega$, Headphone Output)



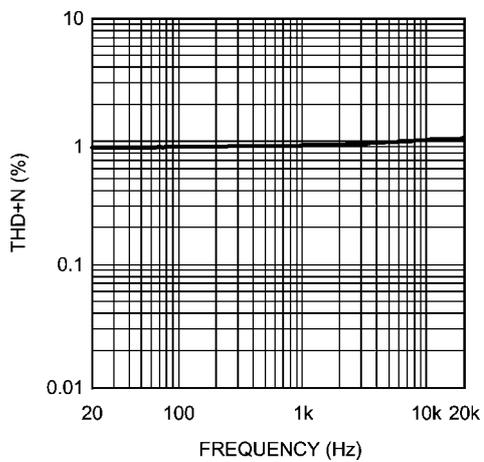
PSRR vs Frequency
($AV_{DD} = 5V, R_L = 32 \Omega$, Headphone Output)



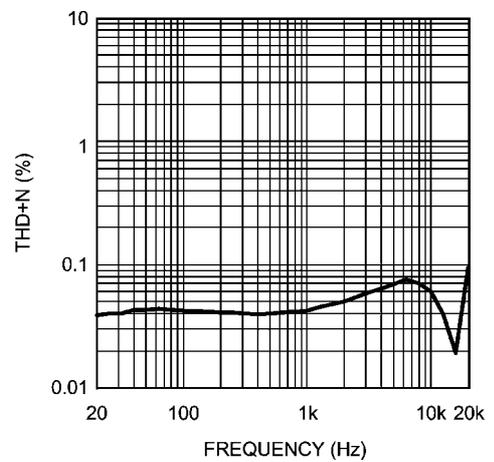
PSRR vs Frequency
($AV_{DD} = 5V, R_L = 8 \Omega$, Handsfree Output)



THD + N vs Frequency
($AV_{DD} = 3V, R_L = 8 \Omega, P_O = 150mW$, Handsfree Output)

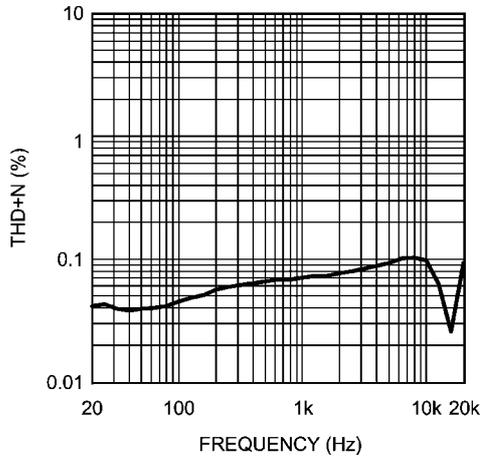


THD + N vs Frequency
($AV_{DD} = 5V$ and $AV_{DD} = 3V, R_L = 16 \Omega, P_O = 15mW$, Headphone Output)

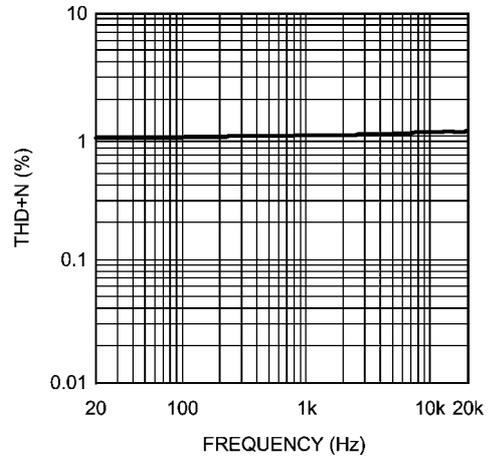


代表的な性能特性 (Note 16)(つぎ)

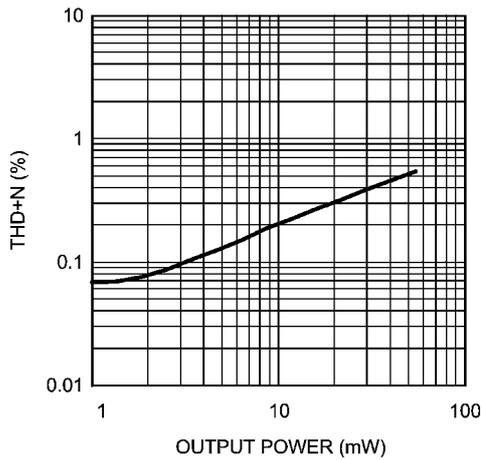
THD + N vs Frequency
 ($AV_{DD} = 5V$ and $AV_{DD} = 3V, R_L = 32 \Omega, P_O = 7.5mW$,
 Headphone Output)



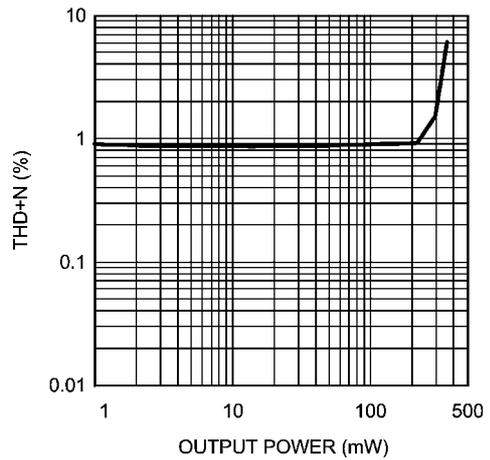
THD + N vs Frequency
 ($AV_{DD} = 5V, R_L = 8 \Omega, P_O = 250mW$, Handsfree
 Output)



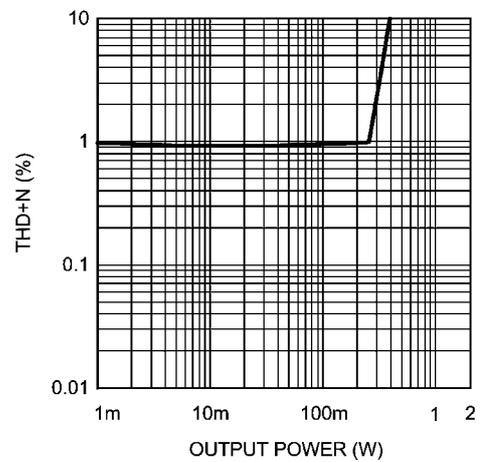
THD + N vs Output Power
 ($AV_{DD} = 3V, R_L = 16 \Omega, f = 1kHz$, Headphone Output)



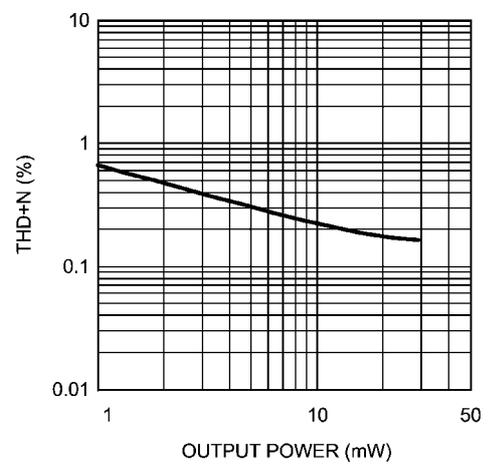
THD + N vs Output Power
 ($AV_{DD} = 3V, R_L = 8 \Omega, f = 1kHz$, Handsfree Output)



THD + N vs Output Power
 ($AV_{DD} = 3V, R_L = 8 \Omega, f = 1kHz$, Handsfree Output)

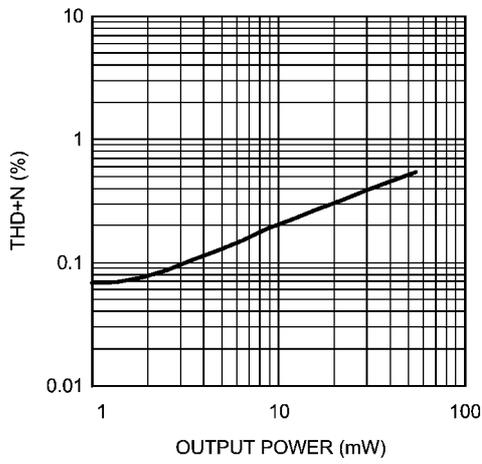


THD + N vs Output Power
 ($AV_{DD} = 5V$ and $AV_{DD} = 3V, R_L = 32 \Omega, f = 1kHz$,
 Headphone Output)

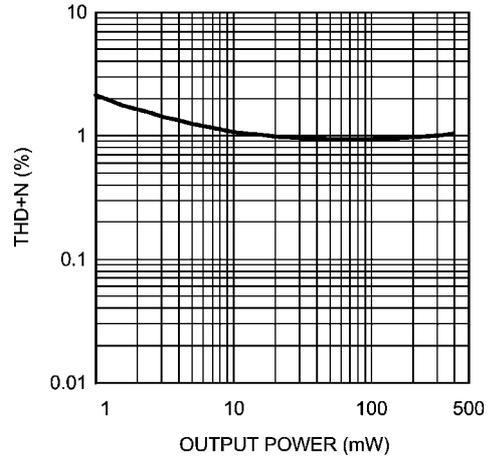


代表的な性能特性 (Note 16)(つづき)

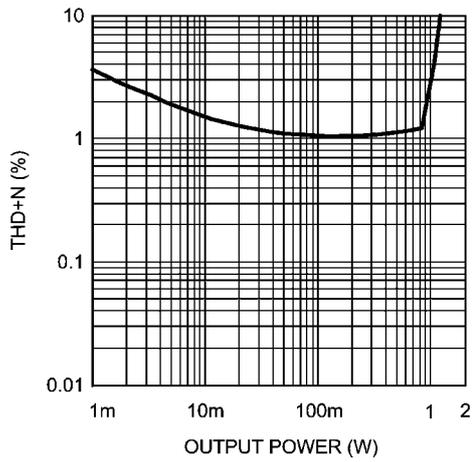
THD + N vs Output Power
 ($AV_{DD} = 5V$ and $AV_{DD} = 3V$, $R_L = 16 \Omega$, $f = 1kHz$,
 Headphone Output)



THD + N vs Output Power
 ($AV_{DD} = 5V$, $R_L = 8 \Omega$, $f = 1kHz$, Handsfree Output)



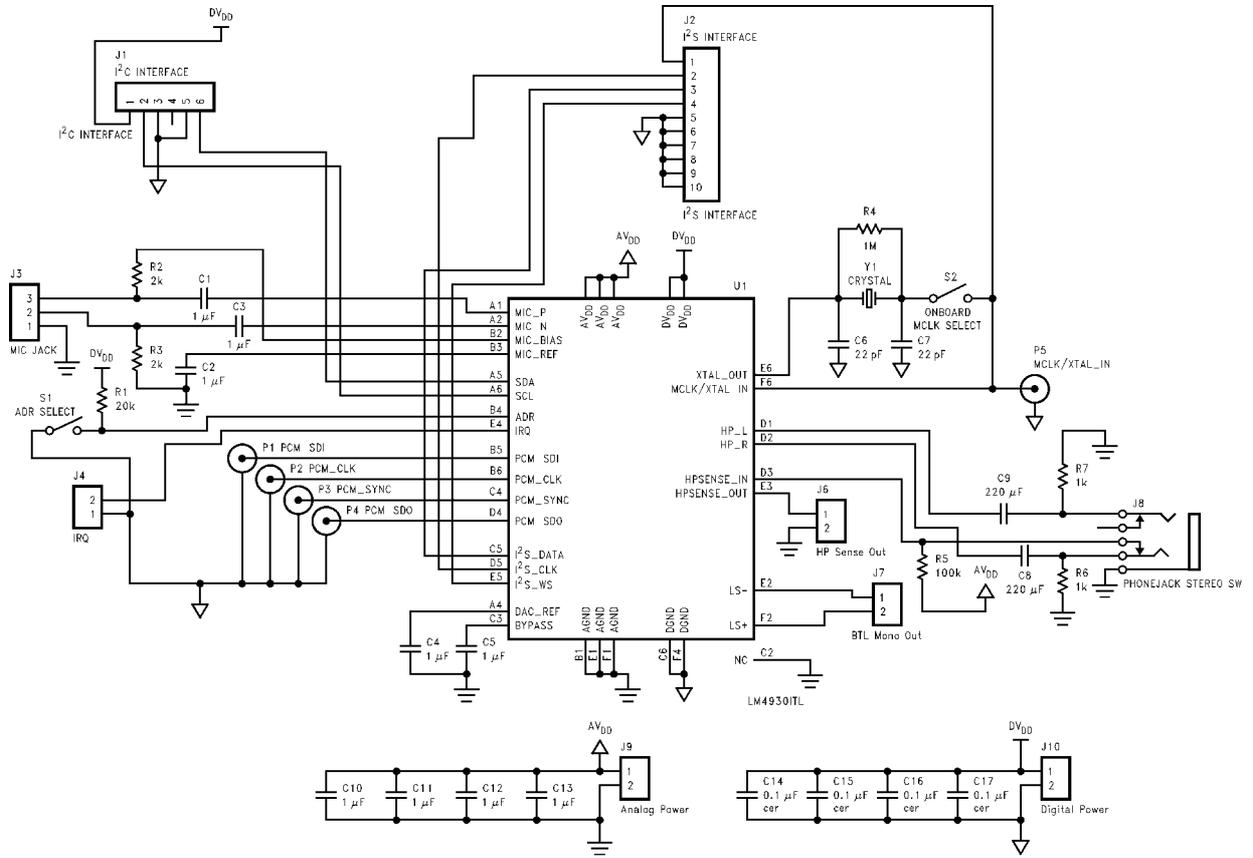
THD + N vs Output Power
 ($AV_{DD} = 5V$, $R_L = 8 \Omega$, $f = 1kHz$, Handsfree Output)



アプリケーション情報

リファレンス回路と基板レイアウト

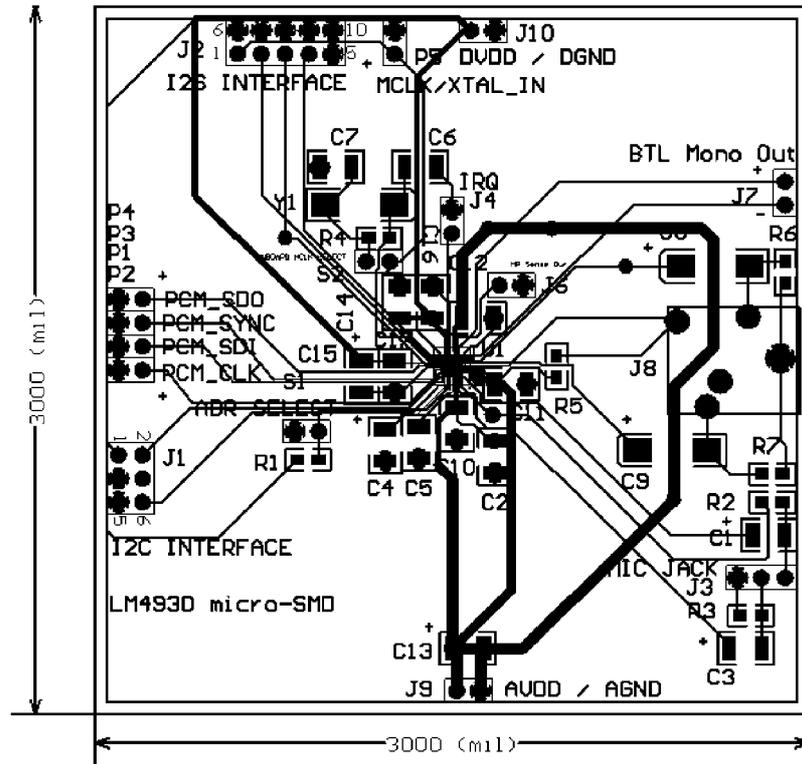
LM4930ITL 基板レイアウト



LM4930ITL Demo Board Schematic

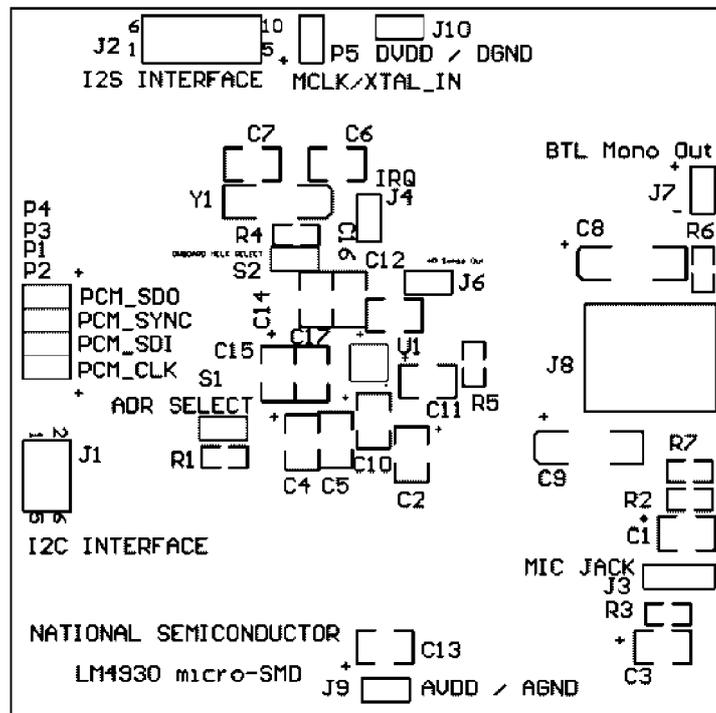
FIGURE 5.

アプリケーション情報 (つぎ)



LM4930ITL Demo Board Composite View

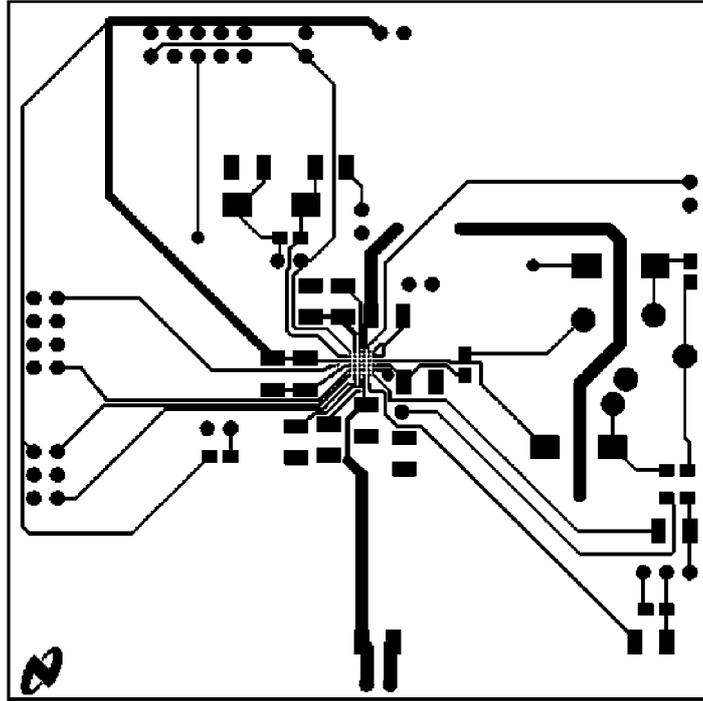
FIGURE 6.



LM4930ITL Demo Board Silkscreen

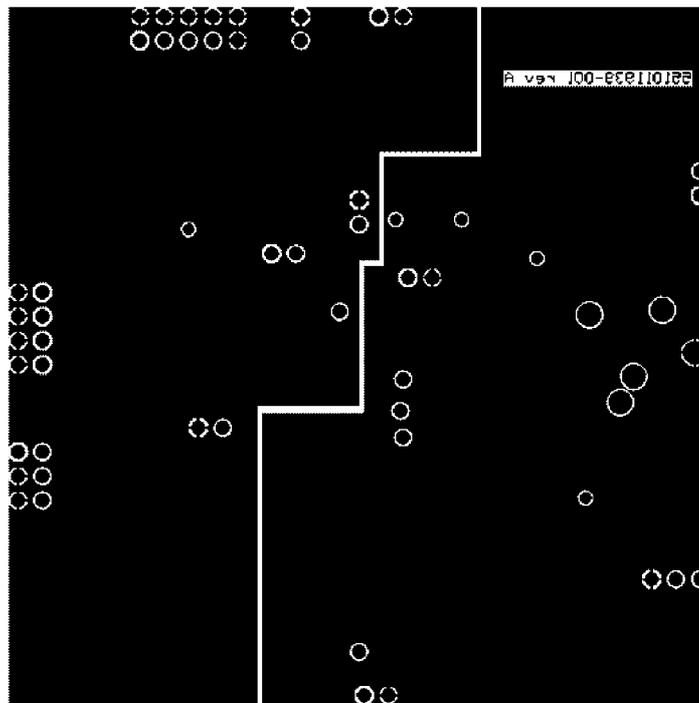
FIGURE 7.

アプリケーション情報 (つぎ)



LM4930ITL Demo Board Top Layer

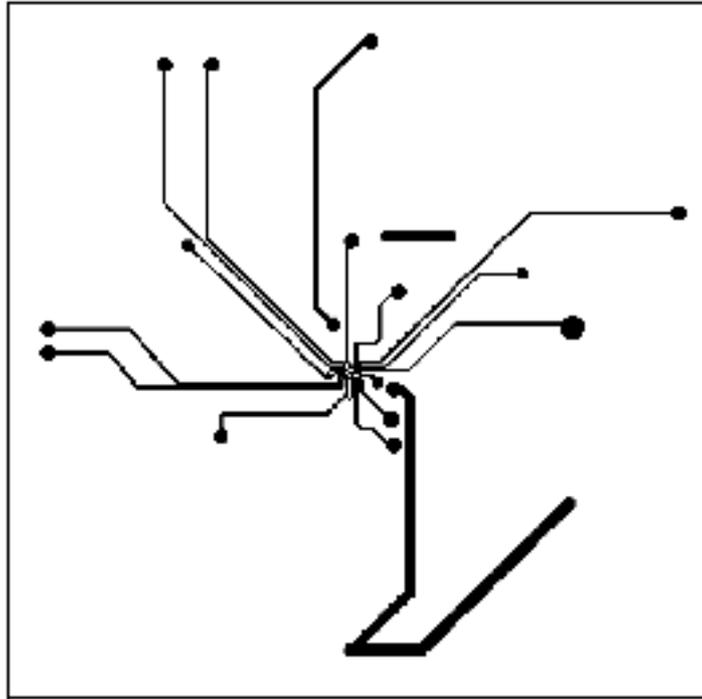
FIGURE 8.



LM4930ITL Demo Board Bottom Layer

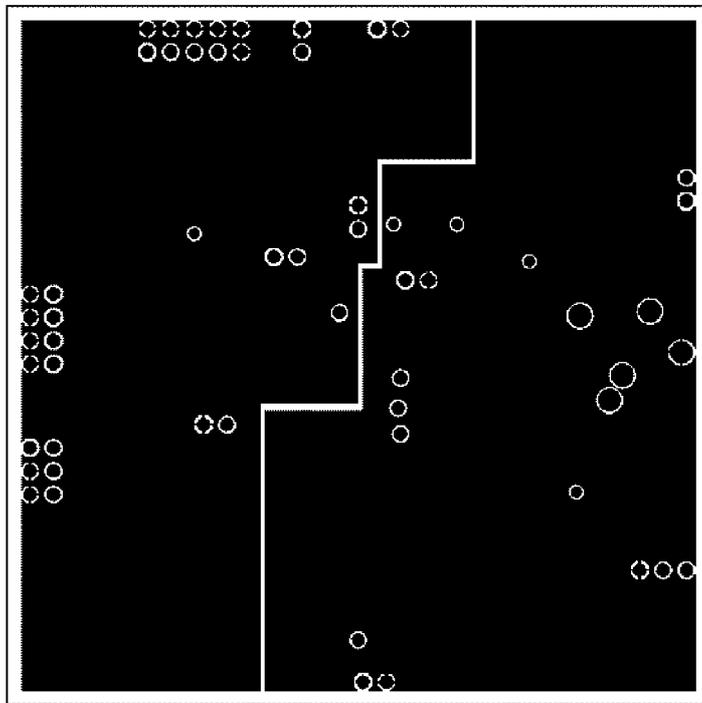
FIGURE 9.

アプリケーション情報 (つぎ)



LM4930ITL Demo Board Inner Layer 1

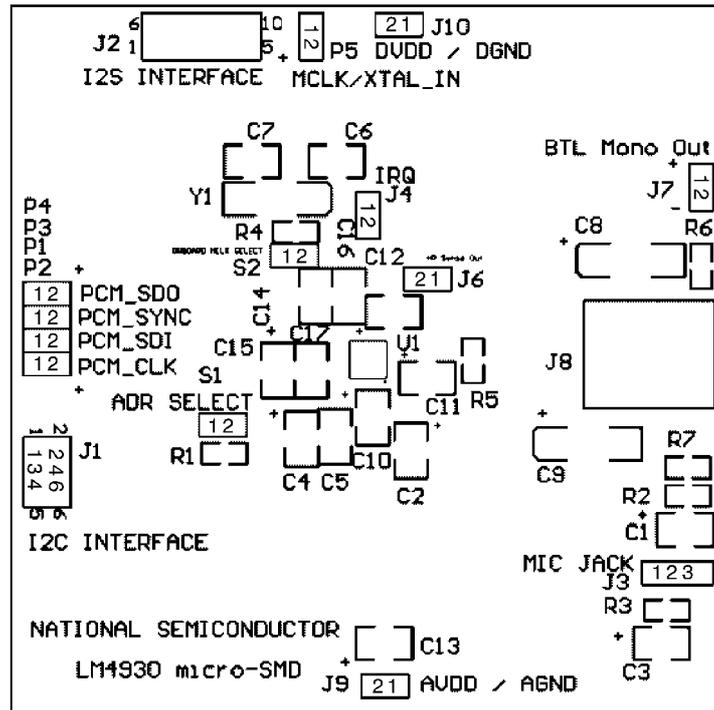
FIGURE 10.



LM4930ITL Demo Board Inner Layer 2

FIGURE 11.

アプリケーション情報 (つぎ)



Pin Markings for LM4930ITL demo board

FIGURE 12.

LM4930 デモ基板部品リスト

Comment	Footprint	Designators
1k	0805	R6, R7
2k	0805	R2, R3
20k	0805	R1
100k	0805	R5
1M	0805	R4
22pF	1210	C6, C7
0.01 μF cer	1210	C16, C17
0.1 μF cer	1210	C14, C15
1 μF	1210	C1, C2, C3, C4, C5, C10, C11, C12, C13
220 μF	7243	C8, C9
CRYSTAL	7243	Y1
PHONEJACK STEREO SW STEREOHEADPHONEJACK(3.5MM) J8		

Two-wire control Interface (J1)

Pin	Function
1	DVDD
2	SCL
3	DGND
4	NC
5	DGND
6	SDA

アプリケーション情報 (つぎ)

PCM Interface (P4, P3, P1, P2)

Header	Function
P1	PCM_SDI
P2	PCM_CLK
P3	PCM_SYNC
P4	PCM_SDO

I2S Interface (J2)

Pin	Function
1	MCLK
2	I2S-CLK
3	I2S-DATA
4	I2S-WS
5	DGND
6	DGND
7	DGND
8	DGND
9	DGND
10	DGND

MIC Jack

Pin	Function
1	AGND
2	MIC-
3	MIC +

Misc Jumpers and Headers
DVDD/DGND (J10)

Pin	Function
1	DGND
2	AVDD

Misc Jumpers and Headers
AVDD/AGND (J9)

Pin	Function
1	AGND
2	AVDD

Misc Jumpers and Headers
MCLK/XTAL_IN (P5)

Pin	Function
1	DGND
2	MCLK/XTAL_IN

ADR SELECT (S1)

ジャンパ IN = LOW

制御インタフェースは、アドレス 001000b (BASICCONFIG)、0010001b (VOICETESTCONFIG) および 0010010b (GAINCONFIG) に応答します。

ジャンパ OUT = HIGH

制御インタフェースは、アドレス 111000b (BASICCONFIG)、1110001b (VOICETESTCONFIG) および 1110010b (GAINCONFIG) に応答します。

アプリケーション情報 (つづき)

HP Sense Out (J6)

Pin	Function
1	AGND
2	HPsense_Out

IRQ (J4)

Pin	Function
1	DGND
2	IRQ

オンボード MCLK セレクト (S2)

ジャンパ・ショート=オンボード MCLK

ジャンパ開放=外部 MCLK

LM4930ITL デモ基板の動作

LM4930ITL デモ基板はすべての機能を備えた評価プラットフォームで、デバイスの制御端子への容易なアクセスができるように設計され、必要な全受動部品を搭載しています。独立したアナログ電源 (J9) とデジタル電源 (J10) に加えて、2 線式の制御用インタフェース・バス (J1)、音声デジタル・オーディオ用 PCM インタフェース・バス (P1 ~ P4)、フルレンジ・デジタル・オーディオ用 I²S インタフェース・バス (J2)、外付けマイクロホン接続用アナログ・マイクロホン・ジャック入力 (J3)、外部スピーカ接続用 BTL モノラル出力 (J7)、ステレオ・ヘッドフォン出力 (J8)、オンボードの水晶を代替する外部 MCLK 入力 (P5) の 7 系統の主要な入出力と、制御ブロックを備えています。

2 線式インタフェース・バス (J1)

このバスは LM4930 で中心となる制御バスで、SDA 信号 (データ) と SCL 信号 (クロック) で構成される 2 線式インタフェースです。ベースバンド・コントローラから LM4930 に対する転送では MSB (最上位ビット) から順に与えられ、転送サイクル間には、転送を制御するスタートとストップの生成に、本データシートの「電気的特性」記載のセットアップ時間とホールド時間を満たすタイミング・インターバルを必要とします。SCL が HIGH のとき、SDA の立ち下がりエッジがスタート条件として認識されます。SCL が HIGH のとき、SDA の立ち上がりエッジがストップ条件として認識されます。ストップ条件に続くスタート条件は正しく扱われます。データは Figure 2 に示されるように転送されます。すなわち、スタート条件が認識されたのち、チップ・アドレスの送出、書き込みビットの設定、アクノレッジの受信 (SDA は LM4930 によって LOW に保持)、データ・ビット 15 ~ 8 の送出、アクノレッジの受信 (SDA は LM4930 によって LOW に保持)、データ・ビット 7 ~ 0 の送出、アクノレッジの受信 (SDA は LM4930 によって LOW に保持) が行なわれ、最後にストップ条件が与えられます。

別の転送サイクル手順は同じです。チップ・アドレスは ADR 端子でハードウェア的に選択され、デモ基板ではジャンパ S1 によって HIGH または LOW に変更可能です。チップ・アドレスは、LM4930 を指定するアドレスと、アクセス先の制御レジスタを指定する 2 ビットのアドレスから構成されています (00b = BASICCONFIG、01b = VOICETESTCONFIG、10b = GAINCONFIG)。対応アドレスを Table 1 に示します。

Table 1. LM4930 Control Bus Addresses

Address Bits							Register Address
ADR = 0							
6	5	4	3	2	1	0	
0	0	1	0	0	0	0	0
0	0	1	0	0	0	0	1
0	0	1	0	0	0	1	0
ADR = 1							
1	1	1	0	0	0	0	0
1	1	1	0	0	0	0	1
1	1	1	0	0	0	1	0

アドレスが上記範囲にあり、かつ R/W ビットがクリアのときのみデータがサンプルされます。各レジスタ・データの詳細は、本データシートの「システム制御レジスタ」の項に記載されています。ナショナル セミコンダクター社では、パソコンを使って LM4930 デモ基板を手軽に評価するための専用の制御基板を提供しています。この基板はシリアル制御インタフェース基板で、LM4930 基板上のインタフェース・ヘッダ (J1) と互換性があります。また、インタフェース・バスを介して LM4930 のさまざまなモードと機能を制御して評価できるデモ・ソフトウェアも用意しています。

転送の信頼性を確保するにはシリアル・インタフェース信号にプルアップ抵抗が必要です。ナショナル セミコンダクターのパラレル=シリアル基板と併用する場合、SDA と SCL 信号ラインのプルアップは 750 が最適です。抵抗値を小さくするとバスの立ち上がり時間と立ち下がり時間は短くなり、誤ったトリガを誘発するおそれのあるノイズ感応性は抑えられます。その代わり必要な電流量は増加します。すなわち、制御バスの信頼性はバス・ノイズに大きく依存し、設計によって異なります。高信頼動作を得るには低ノイズ設計が重要です。

PCM バス・インタフェース (P1、P2、P3、P4)

PCM インタフェース・バスは PCM_SDO (P4)、PCM_SYNC (P3)、PCM_SDI (P1)、PCM_CLK (P2) の各信号で構成され、一般的なベースバンド IC との音声データ通信に対応し、また PCM-1900 コミュニケーション・スタンダードに則っています。PCM インタフェースは、16 ビット、32 ビット、または 64 ビットのフレーム長、A-law と μ -law 圧伸、線形モード、ショート・フレーム同期またはロング・フレーム同期、消費電力を低減するパワーダウン・モードをそれぞれサポートし、マスタとして動作します。

PCM バスはスレーブ・モードをサポートしていません。マスタでのみ動作します。そのため、PCM_SYNC と PCM_CLK は、LM4930 が単独の駆動源でなければなりません。PCM_SYNC はバスのワード同期信号です。8kHz の固定周波数で動作し、BASICCONFIG レジスタ (ビット 5 の PCM_LONG) でショート・フレーム同期またはロング・フレーム同期を選択可能です。ショート・フレーム同期は 1 PCM_CLK サイクル (PCM_LONG = 0)、ロング・フレーム同期は 2 PCM_CLK サイクル長 (PCM_LONG = 1) です。また、ロング同期パルスは、ショート同期パルスに比べて 1 クロック・サイクルの遅延があります。これを Figure 3 に示します。PCM_CLK はバスのビット・クロックです。周波数は同期パルスあたりの 16 ビット・フレーム数に依存し、とり得る値は 128kHz、256kHz、512kHz のいずれかです。

アプリケーション情報 (つづき)

残りの 2 本の信号線 PCM_SDO と PCM_SDI は、それぞれシリアル・データ出力とシリアル・データ入力です。データ・タイプは BASICCONFIG レジスタのビット 6 とビット 7 で設定します。ビット 6 ではデータ形式が線形か圧伸かを設定します。1 にセットすると 8 MSB が圧伸データとみなされ、8 LSB は無視されます。0 にクリアした場合は、データは 2 の補数の PCM データとして扱われます。ビット 6 で圧伸 (G711) データ形式を選択した場合は、ビット 7 で PCM law (圧伸法) を指定します。1 にセットすると圧伸は A-law とみなされます。0 にクリアすると圧伸データは μ -law として取り扱われます。

BASICCONFIG レジスタのビット 8:9 は PCM_SYNC_MODE の設定です。同期パルスあたりの 16 ビット・フレーム数を制御します。この機能を用いて LM4930 の同期パルスあたりの 16 ビット・フレーム数を 1 (00b)、2 (01b)、または 4 (10b) から選択すれば、PCM バス上の他のデバイスまたはチャンネルと協調動作が可能になります。LM4930 は先頭のフレームで PCM データを転送し、後半フレームでは PCM_SDO 端子を TRI-STATE にします。

また LM4930 は、LM4930 がスタンバイ・モード中でも、PCM_CLK と PCM_SYNC クロックを継続して駆動する機能を備えています。BASICCONFIG レジスタのビット 10 の PCM_ALWAYS_ON を 1 にセットしてイネーブルにすると、LM4930 はスタンバイ・モード時も PCM クロックと同期信号を駆動します。PCM バス上に他のコーデックが存在する場合は、このビットは必ず 1 にしなければなりません。ただしパワーダウン・モード時はこれら出力もディスエーブルされます。

I²S インタフェース・バス (J2)

I²S スタンダードは、とくにデジタル・オーディオ用に開発された単方向シリアル・インタフェースです。LM4930 では、このインタフェースを介して、48kHz サンプリングの 16 ビット・フルレンジ・オーディオ DAC がアクセスされます。I²S インタフェースは、クロック (I²S_CLK)、データ (I²S_DATA)、ワード (I²S_WS) の 3 本のポートから構成されています。クロックとワード信号線は、BASICCONFIG レジスタのビット 11 の設定により、マスタまたはスレーブとして動作します。

サンプル周波数の 32 倍または 64 倍の周波数を持つビット・クロック (I²S_CLK) は I²S システム・マスタで生成され、またワード選択 (I²S_WS) 信号はオーディオ・データのサンプリング・レートに等しい、この場合は 48kHz の周波数で駆動されます。ワード信号はビット・クロックの立ち下がりがエッジで取り込まれます。シリアル・データ (I²S_DATA) は MSB から先に送信され、同様にビット・クロックの立ち下がりがエッジ取り込まれ、またワード信号線に対して 1 ビット・クロック分の遅延があります (一般的な I²S フォーマットです。Figure 4 を参照してください)。

I²S インタフェースの分解能は BASICCONFIG レジスタの I²S_RES ビット (ビット 12) で変更できます。1 にセットすると LM4930 はフレームあたり 32 ビットで動作します (3.072MHz)。0 にクリアするとフレームあたり 16 ビット動作となります (1.536MHz)。これはビット・クロックの周波数に対応します。

LM4930 デモ基板の I²S インタフェース・バス (J2) には、MCLK 外部入力端子が割り当てられています。ナショナル セミコンダクター社の SPDIF I²S 変換基板と併用すれば手軽な評価が行なえます。変換基板は I²S インタフェース・バスの 1 ~ 5 ピンに対応した接続用ヘッダを備えています。ヘッダのピン 6 ~ 10 は接続用のデジタル・グラウンド基準です。

MCLK/XTAL_IN (P5)

マスタ・クロックの外部入力です。外部マスタ・クロックを使用する場合は、S2 のジャンパは取り外してオンボード水晶発振子を回路から切り離してください。

BTL モノラル出力 (J7)

8 スピーカを対象としたモノラル・スピーカ出力です。出力はブリッジ接続負荷 (BTL) モードとして駆動されるので、どちらの極からも信号が出力されます。LM4930 がアクティブ状態のとき、出力には $1/2 AV_{DD}$ の電圧が常にバイアスされています。

また、VOICETESTCONFIG レジスタの CLASS ビット (ビット 0) を 1 にセットすると、外付けクラス D アンプとの併用を目的として、BTL モノラル出力は内部的にバッファ・アンプを構成します。

ステレオ・ヘッドフォン出力 (J8)

ステレオ・ヘッドフォン出力です。どちらのチャンネルもシングルエンド構成で、デモ基板には 220 μ F の DC デカップリング・コンデンサが搭載されています。ジャックは一般的なヘッドフォン・ピン配置です。

J6 はヘッドフォン・センス端子です。この端子からは、ヘッドフォン・ジャックにヘッドフォン・プラグが挿入されていることを示す、HIGH または LOW の安定したレベルが出力されます。一般的なアプリケーション回路を Figure 5 のリファレンス基板回路に示します。このアプリケーションでヘッドフォン・プラグが挿入されていない場合は、HPSENSE_IN は 1k Ω 抵抗でプルダウンされます。このレベルは HPSENSE_OUT ピンから LOW として出力されます。ヘッドフォンがジャックに差し込まれると、1k Ω プルダウン抵抗は切り離され 100k Ω のプルアップ抵抗が HPSENSE_IN を HIGH に保ちます。これによって HPSENSE_OUT から HIGH が出力されます。HPSENSE_OUT 出力は、外部マイクロコントローラにヘッドフォン・ステータスの確定したレベルを与えます。

マイクロフォン・ジャック (J3)

携帯電話などで一般に使われている外部マイクロフォンを接続するジャックです。1 ピンはグラウンド、2 ピンは負極性入力ピンです。3 ピンは正極性入力ピンですが LM4930 の MIC_BIAS 電圧が重畳されています。

IRQ (J4)

LM4930 から外部マイクロコントローラに対して、必要に応じてステータス更新の報知を行なう端子です。LM4930 が安定した動作をしているときは IRQ は HIGH ですが、モードが変化したときに LOW になります。モード変化の監視、または簡単なデバッグ・ツールとして、ソフトウェアやドライバの開発に有用です。

基本動作

LM4930 は、さまざまな動作モードを備えた高度に統合されたオーディオ・サブシステムです。これらモードは BASICCONFIG レジスタのビット 3:0 で設定します。モード設定の詳細は、BASICCONFIG レジスタの仕様表と下記を参照してください。

パワーダウン・モード (0000b)

デバイスはパワーダウンとなり、アナログ出力にはバイアス電圧は印加されません。このモードでは消費電流が最小となります。デバイスの全機能はシャットダウンされます。

スタンバイ・モード (0001b)

LM4930 はパワーダウンされますが、アナログ出力はバイアスされたままとなります。消費電流は最小にはなりません。ヘッドフォン出力に「クリック/ポップ」ノイズを生じることなく高速なターンオンが可能となるので、モード切替や一次的に出力を必要としない場合などにおいて電力を低減するには理想的です。PCM_CLK と PCM_SYNC の機能を継続させる

PCM_ALWAYS_ON (BASICCONFIG レジスタのビット 10) がイネーブルの場合を除いて、デバイスの全機能は停止します。

アプリケーション情報 (つづき)

モノラル・スピーカ・モード (0010b)

デバイスはアクティブです。すべてのアナログ出力はバイアス状態にあります。音声コーデックから出力されたオーディオ信号はモノラル・スピーカ端子から出力されます。ステレオ・ヘッドフォン端子からは何も出力されません。

ヘッドフォン・コール・モード (0011b)

デバイスはアクティブです。すべてのアナログ出力はバイアス状態にあります。音声コーデックから出力されたオーディオ信号がステレオ・ヘッドフォン端子から出力されます。左チャンネルと右チャンネルは同じ信号です。モノラル・スピーカ端子からは何も出力されません。

カンファレンス・コール (電話会議) モード (0100b)

デバイスはアクティブです。すべてのアナログ出力はバイアス状態にあります。音声コーデックから出力されたオーディオ信号が、モノラル・スピーカ端子とステレオ・ヘッドフォン端子の両方から出力されます。

L + R モノラル・スピーカ (0101b)

デバイスはアクティブです。すべてのアナログ出力はバイアス状態にあります。16ビット、48kHz オーディオ DAC から出力されたフルレンジ・オーディオ信号は、左右がミキシングされてモノラル・スピーカ端子から出力されます。ステレオ・ヘッドフォン端子からは何も出力されません。

ステレオ・ヘッドフォン・オーディオ (0110b)

デバイスはアクティブです。すべてのアナログ出力はバイアス状態にあります。16ビット、48kHz オーディオ DAC から出力されたフルレンジ・オーディオ信号がヘッドフォン端子から出力されます。ステレオの各チャンネルは独立しています。モノラル・スピーカ端子からは何も出力されません。

L + R モノラル・スピーカ、ステレオ・ヘッドフォン・オーディオ (0111b)

デバイスはアクティブです。すべてのアナログ出力はバイアス状態にあります。16ビット、48kHz オーディオ DAC から出力されたフルレンジ・オーディオ信号は、ヘッドフォン端子からは各チャンネル独立して、モノラル・スピーカ端子からはミキシングされて出力されます。

ミックス・モード (1000b)

デバイスはアクティブです。すべてのアナログ出力はバイアス状態にあります。フルレンジ・オーディオの一方のチャンネル (左チャンネル) がモノラル・スピーカ端子から出力されます。音声コーデックのオーディオ信号は、各チャンネルとも同じ信号がステレオ・ヘッドフォン端子から出力されます。

ミックス・モード (1001b)

デバイスはアクティブです。すべてのアナログ出力はバイアス状態にあります。音声コーデック出力とフルレンジ・オーディオ出力 (左チャンネルのみ) はミックスされ、モノラル・スピーカ端子から出力されます。音声コーデックのオーディオ信号は、両チャンネル同じ信号がステレオ・ヘッドフォン端子から出力されます。

ミックス・モード (1010b)

デバイスはアクティブです。すべてのアナログ出力はバイアス状態にあります。音声コーデックからのオーディオ信号がモノラル・スピーカ端子から出力されます。フルレンジ・オーディオ信号は左

チャンネル側の信号のみがステレオ・ヘッドフォン端子の両チャンネルから出力されます。

レジスタ

LM4930 がパワーアップすると、すべてのレジスタがクリアされた状態でパワーダウン・モードとして動作を開始します。パワーダウン・モードは、デジタル・インタフェース (PCM バスと I²S バス) のセットアップ確保のために必要です。構成レジスタの変更はどの動作モードでも行なえますが、出力がアクティブな状態でモード切り替えを行なうと好ましくない不自然な音が発生するおそれがあり、スタンバイ・モードまたはパワーダウン・モードを経由した設定変更を推奨します。また、LM4930 はソフトウェア的にリセットが可能です。BASICCONFIG レジスタのビット 4 を 1 にセットするとリセットされます。

VOICETESTCONFIG レジスタは、音声コーデックとフルレンジ・オーディオ・コーデックのさまざまなパラメータを設定するために使用します。SIDETONE_ATTEN (ビット 4:1) は、マイク入力からアナログ・オーディオ出力バスに帰還される信号レベルを設定します (一般的にヘッドフォン・アプリケーションで使用され、ハンズフリー・アプリケーションでは使用されません)。AUTOSIDE ビット (ビット 5) をセットすると、モノラル・スピーカ・モード時にサイドトーンは自動的にミュートされるため帰還は問題とはなりません。

即時のミュート機能もこのレジスタから設定でき、ビット 13:15 の各ビットで、モノラル・スピーカ・アンプ、ヘッドフォン・アンプ、マイクロフォン・プリアンプをそれぞれミュートできます。

このレジスタの CLOCK_DIV ビット (ビット 6) を 1 にセットすると、デフォルトの 12.288MHz クロック周波数の代わりに 24.576MHz クロック周波数が使用できます。

GAINCONFIG レジスタは、モノラル・スピーカ・アンプ、ヘッドフォン・アンプ、マイクロフォン・プリアンプのゲインを設定するために使用します。モノラル・スピーカでは -34.5dB から +12dB まで 1.5dB 刻みで、ヘッドフォン・アンプでは -46.5dB から 0dB まで 1.5dB 刻みで、マイクロフォン・プリアンプでは 17dB から 47dB まで 2dB 刻みでそれぞれ設定が行なえ、高い自由度が実現されています。ゲイン・レベルはそれぞれのモードで変更できますが、ボリューム調整の人工的な不自然さを避けるには DAC でのゼロクロス検出を待つ必要があります。VOICETESTCONFIG レジスタの ZXD_DISABLE (ビット 7) をセットするとゼロクロスの待ち受けはディスエーブルされ、即時でのボリューム調整が有効になります。

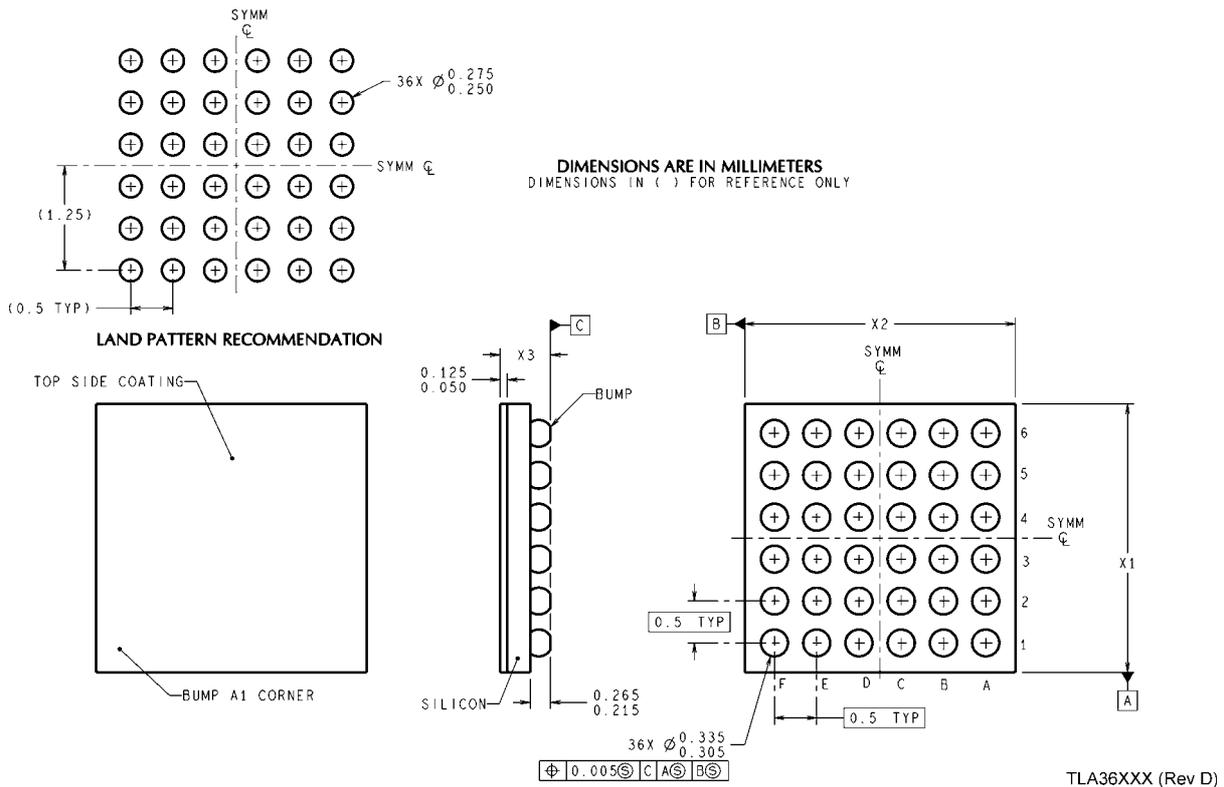
アナログ入力と出力

LM4930 は 8 外部スピーカ接続用のアナログ・モノラル BTL 出力を備えています。この出力は、アナログ電源電圧が 5V のとき、最大 1W のパワーを 8 負荷に供給できます。併せてシングルエンド・ステレオ・ヘッドフォン出力も備えており、アナログ電源電圧が 5V のとき、チャンネルあたり最大 30mW のパワーを 32 負荷に供給します。

ヘッドフォン・センス出力は J6 から外部コントローラに接続します。ヘッドフォン・プラグがジャックに挿入されていると、Figure 5 の回路に示される回路によってこの出力は HIGH になり、すべてのモードで LM4930 の動作とは独立して機能します。

MIC ジャック入力 (J3) は低レベルのアナログ・マイクロフォン入力用です。3 ピンはマイクロフォンに対する電源と、LM4930 に対する正極性入力を兼ねています。マイクロフォン・プリアンプのゲインは GAINCONFIG レジスタで設定します。

外形寸法図 単位は millimetres



36-Bump micro SMD
Order Number LM4930ITL
NS Package Number TLA36KRA
 $X_1 = 3.230 \pm 0.03\text{mm}$ $X_2 = 3.408 \pm 0.03$ $X_3 = 0.600 \pm 0.075$

このドキュメントの内容はナショナル セミコンダクター 製品の関連情報として提供されます。ナショナル セミコンダクター社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナル セミコンダクター社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター社との取引条件で規定される場合を除き、ナショナル セミコンダクター社は一切の義務を負わないものとし、また、ナショナル セミコンダクター社の製品の販売が使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター社の製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2004 National Semiconductor Corporation
 製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは承認することを含みません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータブックもしくはデータシートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上