

LM51231-Q1 2.2MHz 広い入力電圧範囲 (VIN)、同期整流昇圧コントローラ、V_{OUT}トラッキング搭載

1 特長

- 車載アプリケーション向けに AEC-Q100 認証済み
 - 温度グレード 1:-40°C ~ +125°C, T_A
- 機能安全対応**
 - 機能安全システムの設計に役立つ資料を利用可能
- 車載用バッテリ駆動アプリケーションの広い動作範囲に適合
 - 3.8V~42V の動作入力電圧範囲
 - V_{OUT}を 5V~20V または 15V~57V に動的にプログラム可能
 - BIAS $\geq 3.8V$ のときの最小昇圧入力電圧 0.8V
 - V_{SUPPLY} > V_{LOAD} のときバイパス動作
- BIAS シャットダウン電流 $\leq 3\mu A$
- 小型ソリューション サイズ
 - 最大スイッチング周波数: 2.2 MHz
 - ブートダイオード内蔵
 - ウェッタブル フランク付き QFN-20
- EMI の低減、AM 帯域干渉とクロストークの防止
 - (オプション) クロック同期
 - スイッチング周波数: 100kHz~2.2MHz
 - スイッチング モードを選択可能 (FPWM、ダイオード エミュレーション)
 - プログラム可能なスペクトラム拡散 (オプション)
 - 鉛レスパッケージ
- プログラマビリティとフレキシビリティ
 - 動的な V_{OUT} トラッキング
 - 動的なスイッチング周波数のプログラミング
 - DCR インダクタ電流センシングをサポート
 - 入力電圧 UVLO を設定可能
 - 可変ソフトスタート
 - アダプティブ デッドタイム制御
 - PGOOD インジケータ
- 保護機能内蔵
 - サイクル単位のピーク電流制限 (V_{SUPPLY} の全範囲で一定)
 - 過電圧保護
 - HB-SW 短絡保護
 - サーマル シャットダウン

2 アプリケーション

- トラッキング機能付き車載用オーディオ電源
- 車載用 LED バイパス電源

3 説明

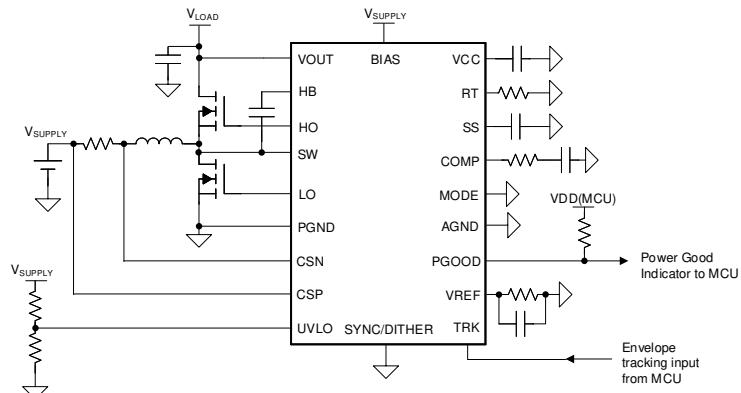
LM51231-Q1 デバイスは、広い入力電圧範囲に対応した同期整流昇圧コントローラで、ピーク電流モード制御を採用しています。本デバイスの広い入力範囲は、自動車のコールド クランクとロード ダンプに対応します。BIAS が 3.8V 以上のとき、最小入力電圧は 0.8V まで下ることができます。出力電圧は、トラッキング機能を使用して動的にプログラムできます。V_{SUPPLY} > V_{LOAD} になると自動的にバイパス モード動作に入り、ハイサイド MOSFET のボディダイオードの電圧降下を解消できます。スイッチング周波数は、外付けの抵抗により 100kHz~2.2MHz の範囲で動的にプログラム可能です。2.2MHz でのスイッチングにより、AM 帯域との干渉が最小化され、ソリューションサイズの小型化と、高速な過渡応答を実現できます。

ピーク電流制限 (V_{SUPPLY} の全範囲にわたって一定)、過電圧保護、サーマル シャットダウンなどの保護機能が内蔵されています。外部クロック同期、プログラム可能なスペクトラム拡散変調、最小限の寄生容量でのリードレス パッケージは、EMI の低減とクロストークの回避に役立ちます。その他の機能として、ライン UVLO、FPWM、ダイオード エミュレーション、DCR インダクタ電流センシング、プログラム可能なソフトスタート、パワー グッド インジケータがあります。

パッケージ情報

部品番号	パッケージ (1)	本体サイズ (公称)
LM51231-Q1	QFN (20)	3.5 mm × 3.5 mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



代表的なアプリケーション

 このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール（機械翻訳）を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長	1	6.4 デバイスの機能モード	26
2 アプリケーション	1	7 アプリケーションと実装	30
3 説明	1	7.1 アプリケーション情報	30
4 ピン構成および機能	3	7.2 代表的なアプリケーション	30
5 仕様	5	7.3 システム例	32
5.1 絶対最大定格	5	7.4 電源に関する推奨事項	34
5.2 ESD 定格	5	7.5 レイアウト	35
5.3 推奨動作条件	6	8 デバイスおよびドキュメントのサポート	37
5.4 熱に関する情報	6	8.1 ドキュメントの更新通知を受け取る方法	37
5.5 電気的特性	7	8.2 サポート・リソース	37
5.6 代表的特性	11	8.3 商標	37
6 詳細説明	14	8.4 静電気放電に関する注意事項	37
6.1 概要	14	8.5 用語集	37
6.2 機能ブロック図	14	9 改訂履歴	37
6.3 機能説明	14	10 メカニカル、パッケージ、および注文情報	37

4 ピン構成および機能

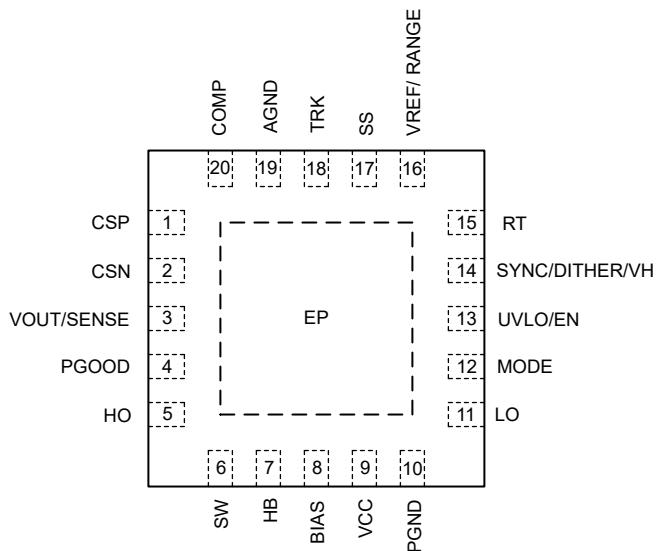


図 4-1. ウェッタブル フランク付き 20 ピン QFN RGR パッケージ (上面図)

表 4-1. ピンの機能

ピン		I/O ⁽¹⁾	説明
番号	名称		
1	CSP	I	電流検出アンプ入力。このピンは正の入力ピンとして動作します。
2	CSN	I	電流検出アンプ入力。このピンは負の入力ピンとして動作します。
3	VOUT/SENSE	I	出力電圧検出ピン。内部の帰還抵抗分圧器をピンと AGND との間に接続します。0.1μF のローカル VOUT コンデンサを、ピンとグランドとの間に接続します。
			ハイサイド MOSFET ドレイン電圧検出ピン。このピンは、短い低インダクタンスのパスを経由して、ハイサイド MOSFET のドレインに接続します。
4	PGOOD	O	オープンドレイン出力段のパワー グッド インジケータ。出力電圧が低電圧スレッショルドより低い場合、このピンは接地されます。未使用時は、このピンをフローティングにできます。
5	HO	O	ハイサイド ゲートドライバ出力。短い低インダクタンスのパスを経由して、ハイサイド N チャネル MOSFET のゲートに直接接続します。
6	SW	P	スイッチング ノード接続とハイサイド MOSFET ソース電圧の検出ピン。短い低インダクタンスのパスを経由して、ハイサイド N チャネル MOSFET のソース、およびローサイド N チャネル MOSFET のドレインに直接接続します。非同期昇圧構成の場合は、PGND に接続します。
7	HB	P	ブートストラップ ゲート駆動のハイサイド ドライバ電源。ブートダイオードは内部で VCC からのピンに接続されます。このピンと SW との間に 0.1μF コンデンサを接続します。非同期昇圧構成の場合は、VCC に接続します。
8	BIAS	P	VCC レギュレータの電源電圧入力。1μF のローカル BIAS コンデンサを、ピンとグランドとの間に接続します。
9	VCC	P	内部 VCC レギュレータの出力と内部 MOSFET ドライバの電源電圧入力。このピンと PGND との間に 4.7μF コンデンサを接続します。
10	PGND	G	電源グランド ピン。短い低インダクタンスのパスを経由して、ローサイド N チャネル MOSFET のソース、および電源グランド プレーンに直接接続します。
11	LO	O	ローサイド ゲートドライバ出力。短い低インダクタンスのパスを経由して、ローサイド N チャネル MOSFET のゲートに直接接続します。

表 4-1. ピンの機能(続き)

ピン		I/O ⁽¹⁾	説明
番号	名称		
12	モード	I	デバイスのスイッチングモード(FPWM またはダイオードエミュレーション)選択ピン。デバイスは、ピンがオープンの場合、500kΩより大きい抵抗がピンからAGNDに接続されている場合、または最初のパワーオン時に0.4V未満の場合、ダイオードエミュレーションに構成されます。デバイスは、このピンがVCCに接続されているか、パワーオン時にピンの電圧が2.0Vを超えている場合、FPWMモードに構成されます。スイッチングモードは、動作中にFPWMとDEモードとの間で動的にプログラムできます。
13	UVLO/EN	I	イネーブルピン。このピンは、デバイスを有効または無効にします。ピンが0.35Vを下回ると、デバイスはシャットダウンします。デバイスを有効にするには、このピンを0.65Vよりも高くする必要があります。 低電圧誤動作防止のプログラム用ピン。このピンを、抵抗分割器を介して電源電圧に接続することで、コンバータのスタートアップおよびシャットダウンレベルをプログラムできます。ローサイドUVLO抵抗は、AGNDに接続する必要があります。未使用時はBIASに接続してください。
14	SYNC/DITHER/VH	I/O	同期クロック入力。内部発振器は、動作中に外部クロックと同期可能です。未使用時はAGNDに接続してください。 クロックディザリング/スペクトラム拡散変調周波数のプログラミング用のピン。ピンとAGNDとの間にコンデンサを接続すると、クロックディザリング/スペクトラム拡散機能が有効になります。ディザリング動作中は、内部の20μA電流ソース/シンクによってコンデンサの充電と放電が行われます。このピンの電圧が上昇および下降すると、発振周波数はRT抵抗で設定される公称周波数の-6%～+5%の間に変調されます。クロックディザリング/スペクトラム拡散は、ピンをグランドにプルダウンすることで、動作中に無効化できます。 VCCホールドピン。このピンが2.0Vを超えている場合、デバイスはENピンが接地されているときにVCCピンの電圧を保持するため、再構成なしで高速に再起動できます。
15	RT	I	スイッチング周波数の設定ピン。SYNCに外部クロックが印加されていなければ、このピンとAGNDとの間に接続される単一の抵抗により、スイッチング周波数がプログラムされます。スイッチング周波数は動作中に動的にプログラムできます。
16	VREF/RANGE	I/O	1.0Vの内部基準電圧出力。このピンとAGNDとの間に、470pFのコンデンサを接続します。VOUTのレギュレーションターゲットは、このピンからTRKに抵抗分割器を接続することでプログラムできます。このピンからAGNDに抵抗を接続する場合、常に20kΩより大きくする必要があります。分割器のローサイド抵抗をAGNDに接続します。 VOUTの範囲選択ピン。最初の電源オン時に、このピンとAGNDとの間の抵抗が75kΩ～100kΩの範囲内なら、VOUT範囲の下部(5V～20V)が選択されます。最初の電源オン時に、このピンとAGNDとの間の抵抗が20kΩ～35kΩの範囲内なら、VOUT範囲の上部(15V～57V)が選択されます。昇圧コンバータの出力電圧は、事前にプログラムされた範囲内で動的にプログラムできます。出力電圧レギュレーションの精度は、選択した範囲内で規定されています。
17	SS	I/O	ソフトスタート時間のプログラミングピン。外付けコンデンサと内部の電流ソースにより、ソフトスタート中の内部エラーアンプのリファレンス電圧のランプレートが設定されます。デバイスは、ソフトスタート時間中にダイオードエミュレーションを強制的に実行します。
18	TRK	I	出力レギュレーションターゲットのプログラミングピン。VOUTのレギュレーションターゲットは、ピンを抵抗分割器を介してVREFに接続するか、D/Aから直接ピン電圧を制御することでプログラムできます。ピンの推奨動作範囲は0.25V～1.0Vです。
19	AGND	G	アナロググランドピン。広く短いパスを通して、アナロググランドプレーンに接続します。
20	COMP	O	内部の相互コンダクタンスエラーアンプの出力。ピンとAGNDとの間にループ補償部品を接続します。
-	EP		パッケージの露出パッド。熱抵抗を減らすため、EPは大きなアナロググランドプレーンに半田付けする必要があります。

(1) G=グランド、I=入力、O=出力、P=電源

5 仕様

5.1 絶対最大定格

接合部の推奨動作温度範囲内 (特に記述のない限り)⁽¹⁾

		最小値	最大値	単位
入力 ⁽²⁾	BIAS から AGND へ	-0.3	50	V
	UVLO から AGND へ	-0.3	BIAS + 0.3	
	CSP から AGND へ	-0.3	50	
	CSP から CSN へ	-0.3	0.3	
	VOUT から AGND へ	-0.3	65	
	HB ～ AGND	-0.3	65	
	HB から SW	-0.3	5.8 ⁽³⁾	
	SW から AGND へ	-0.3	60	
	SW から AGND へ (50ns)	-1		
	SW から AGND へ (10ns)	-5		
	MODE、SYNC、TRK から AGND へ	-0.3	5.5	
	PGOOD から AGND へ	-0.3	VOUT + 0.3	
	RT から AGND へ	-0.3	2.5	
	PGND から AGND へ	-0.3	0.3	
出力 ⁽²⁾	VCC から AGND へ	-0.3	5.8 ⁽³⁾	V
	HO から SW へ (50ns)	-1		
	LO から PGND へ (50ns)	-1		
	VREF、SS、COMP から AGND へ ⁽⁴⁾	-0.3	5.5	
動作時の接合部温度、T _J ⁽⁵⁾		-40	150	°C
保管温度、T _{STG}		-55	150	

- (1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについての話で、絶対最大定格において、またはこのデータシートの「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) 外部電圧を VREF、COMP、SS、RT、LO、HO の各ピンに直接印加することはできません。
- (3) ピンの電圧が 5.5V を超えると、動作寿命が短くなります。
- (4) VREF ピンのソース電流は最大 50μA です。
- (5) 接合部温度が高くなると、動作寿命が短くなります。接合部温度が 125°Cを超えると、動作寿命が短くなります。

5.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、AEC Q100-002 準拠 ⁽¹⁾ HBM ESD 分類レベル 2	±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 準拠 CDM ESD 分類レベル C4B	すべてのピン ±500	
			角のピン ±750	

- (1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

5.3 推奨動作条件

接合部の推奨動作温度範囲内 (特に記述のない限り)⁽¹⁾

		最小値	公称値	最大値	単位
$V_{SUPPLY(BOOST)}$	昇圧コンバータ入力 ($BIAS \geq 3.8V$ のとき)	0.8	42	42	V
$V_{LOAD(BOOST)}$	昇圧コンバータ出力	5	57	57	
V_{BIAS}	BIAS 入力	3.8	42	42	
V_{UVLO}	UVLO 入力	0	42	42	
V_{CSP}, V_{CSN}	電流検出入力	0.8	42	42	
V_{VOUT}	昇圧出力検出	5	57	57	
V_{TRK}	TRK 入力	0.25	1 ⁽³⁾	1 ⁽³⁾	
V_{SYNC}	同期パルス入力	0	5.25	5.25	
f_{SW}	標準スイッチング周波数	100	2200	2200	kHz
f_{SYNC}	同期パルス周波数	200	2200	2200	
T_J	動作時接合部温度 ⁽²⁾	-40	150	150	°C

(1) 推奨動作定格は、デバイスが機能することを想定した条件です。仕様およびテスト条件については、「電気的特性」を参照してください。

(2) 接合部温度が高くなると、動作寿命が短くなります。接合部温度が 125°Cを超えると、動作寿命が短くなります。

(3) V_{VOUT} 範囲の上部が選択されたとき、TRK ピンの最大電圧は 0.95V に制限されます。

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		LM5123-Q1	単位
		RGR(QFN)	
		20 ピン	
R_{qJA}	接合部から周囲への熱抵抗	43.3	°C/W
$R_{qJC(top)}$	接合部からケース (上面) への熱抵抗	39.9	°C/W
R_{qJB}	接合部から基板への熱抵抗	17.8	°C/W
γ_{JT}	接合部から上面への特性パラメータ	0.8	°C/W
γ_{JB}	接合部から基板への特性パラメータ	17.8	°C/W
$R_{qJC(bot)}$	接合部からケース (底面) への熱抵抗	5.3	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

5.5 電気的特性

代表値は $T_J = 25^\circ\text{C}$ に対応します。最小および最大の制限値は、 $T_J = -40^\circ\text{C} \sim 125^\circ\text{C}$ の範囲で適用されます。特に記述のない限り、 $V_{BIAS} = 12\text{V}$ 、 $V_{VOUT} = 12\text{V}$ 、 $R_T = 9.09\text{k}\Omega$ 、 $R_{VREF} = 65\text{k}\Omega$

パラメータ	テスト条件	最小値	標準値	最大値	単位
消費電流 (BIAS, VCC, VOUT)					
$I_{BIAS-SD}$	シャットダウン時の BIAS 電流	$V_{UVLO} = 0\text{V}$ 、 $V_{OUT} = 11.3\text{V}$	2.5	5	μA
$I_{BIAS-ACTIVE}$	アクティブ時の BIAS 電流 (スイッチングなし、VCC は BIAS から供給)	$V_{UVLO} = 2.5\text{V}$ 、 $V_{TRK} = 0.6\text{V}$	1.22	1.52	mA
$I_{BIAS-BYP}$	バイアス モード時の BIAS 電流	$V_{UVLO} = 2.5\text{V}$ 、 $V_{TRK} = 0.25\text{V}$	1.22	1.52	mA
$I_{VOUT-SD}$	シャットダウン時の VOUT 電流	$V_{UVLO} = 0\text{V}$ 、 $V_{OUT} = 11.3\text{V}$	1	1	μA
$I_{VOUT-BYP-DE}$	バイアス モード時の VOUT 電流	$V_{UVLO} = 2.5\text{V}$ 、 $V_{TRK} = 0.25\text{V}$ 、 $V_{VOUT} = 12\text{V}$ 、MODE = GND	100	115	μA
$I_{VOUT-BYP-FPWM}$	バイアス モード時の VOUT 電流	$V_{UVLO} = 2.5\text{V}$ 、 $V_{TRK} = 0.25\text{V}$ 、 $V_{VOUT} = 12\text{V}$ 、MODE = VCC	240	276	μA
$I_{VOUT-ACTIVE}$	アクティブ時の VOUT 電流 (スイッチングなし) (DE モード)	$V_{UVLO} = 2.5\text{V}$ 、 $V_{TRK} = 0.6\text{V}$ 、MODE = GND	90	105	μA
	アクティブ時の VOUT 電流 (スイッチングなし) (FPWM)	$V_{UVLO} = 2.5\text{V}$ 、 $V_{TRK} = 0.6\text{V}$ 、MODE = VCC	240	276	μA
$I_{BATTERY-SD}$	シャットダウン時のバッテリドレイン	$V_{UVLO} = 0\text{V}$ 、 $V_{OUT} = 11.3\text{V}$	2.5	5	μA
$I_{BATTERY-DE}$	バイパス モード時のバッテリドレイン (DE モード)	$V_{UVLO} = 2.5\text{V}$ 、 $V_{TRK} = 0.25\text{V}$ 、MODE = GND	1.44	1.59	mA
$I_{BATTERY-FPWM}$	バイパス モード時のバッテリドレイン (FPWM)	$V_{UVLO} = 2.5\text{V}$ 、 $V_{TRK} = 0.25\text{V}$ 、MODE = VCC	1.58	1.74	mA
イネーブル、UVLO					
$V_{EN-RISING}$	イネーブル スレッショルド	EN 立ち上がり	0.45	0.55	0.65
$V_{EN-FALLING}$	イネーブル スレッショルド	EN 立ち下がり	0.35	0.45	0.55
V_{EN-HYS}	イネーブル ヒステリシス	EN 立ち下がり	55	90	130
$I_{UVLO-HYS}$	UVLO プルダウンのヒステリシス電流	$V_{UVLO} = 0.7\text{V}$	8	10	12
$V_{UVLO-RISING}$	UVLO スレッショルド	UVLO 立ち上がり	1.05	1.1	1.15
$V_{UVLO-FALLING}$	UVLO スレッショルド	UVLO 立ち下がり	1.025	1.075	1.125
$V_{UVLO-HYS}$	UVLO ヒステリシス	UVLO 立ち下がり	25	25	mV
SYNC/DITHER/VH					
$V_{SYNC-RISING}$	SYNC スレッショルド / SYNC 検出スレッショルド	SYNC 立ち上がり	2	2	V
$V_{SYNC-FALLING}$	SYNC スレッショルド	SYNC 立ち下がり	0.4	0.4	V
	最小 SYNC プルアップのパルス幅			100	ns
I_{DITHER}	ディザー ソース / シンク電流		16	21	26
Δf_{SW1}	f_{SW} 変調 (上限)			5%	
Δf_{SW2}	f_{SW} 変調 (下限)			-6%	
$V_{DITHER-FALLING}$	ディザーのディセーブルのスレッショルド		0.65	0.75	0.85
VCC					
$V_{VCC-REG1}$	VCC レギュレーション	$I_{VCC} = 100\text{mA}$	4.75	5	5.25
$V_{VCC-REG2}$	VCC レギュレーション	無負荷	4.75	5	5.25
$V_{VCC-REG3}$	ドロップアウト時の VCC レギュレーション	$V_{BIAS} = 3.8\text{V}$ 、 $I_{VCC} = 100\text{mA}$	3.45	3.45	V

5.5 電気的特性 (続き)

代表値は $T_J = 25^\circ\text{C}$ に対応します。最小および最大の制限値は、 $T_J = -40^\circ\text{C} \sim 125^\circ\text{C}$ の範囲で適用されます。特に記述のない限り、 $V_{\text{BIAS}} = 12\text{V}$ 、 $V_{\text{VOUT}} = 12\text{V}$ 、 $R_T = 9.09\text{k}\Omega$ 、 $R_{\text{VREF}} = 65\text{k}\Omega$

パラメータ	テスト条件	最小値	標準値	最大値	単位	
$V_{\text{VCC-UVLO-RISING}}$	VCC UVLO スレッショルド	3.55	3.65	3.75	V	
$V_{\text{VCC-UVLO-FALLING}}$	VCC UVLO スレッショルド	3.2	3.3	3.4	V	
$I_{\text{VCC-CL}}$	VCC のソース電流制限	100			mA	
構成 (モード)						
$V_{\text{MODE-RISING}}$	FPWM モードのスレッショルド	2.0			V	
$V_{\text{MODE-FALLING}}$	$\text{ダイオード エミュレーション モードのスレッショルド}$	0.4			V	
RT						
V_{RT}	RT レギュレーション	0.5			V	
VREF、TRK、VOUT						
V_{REF}	$\text{VREF のレギュレーション ターゲット}$	0.99	1	1.005	V	
$V_{\text{OUT-REG}}$	$\text{抵抗分割器による VOUT レギュレーションのターゲット 1 (VOUT 範囲の下部)}$	$V_{\text{TRK}} = 0.25\text{V}$ 、 $R_{\text{VREF}} = 65\text{k}\Omega$ にするための VREF 抵抗分割器	4.915	5	5.085	V
$V_{\text{OUT-REG}}$	$\text{抵抗分割器による VOUT レギュレーションのターゲット 2 (VOUT 範囲の下部)}$	$V_{\text{TRK}} = 0.5\text{V}$ 、 $R_{\text{VREF}} = 65\text{k}\Omega$ にするための VREF 抵抗分割器	9.9	10	10.1	V
$V_{\text{OUT-REG}}$	$\text{抵抗分割器による VOUT レギュレーションのターゲット 3 (VOUT 範囲の下部)}$	$V_{\text{TRK}} = 1.0\text{V}$ 、 $R_{\text{VREF}} = 65\text{k}\Omega$ にするための VREF 抵抗分割器	19.8	20	20.2	V
$V_{\text{OUT-REG}}$	$\text{抵抗分割器による VOUT レギュレーションのターゲット 4 (VOUT 範囲の下部)}$	$V_{\text{TRK}} = 0.25\text{V}$ 、 $R_{\text{VREF}} = 35\text{k}\Omega$ にするための VREF 抵抗分割器	14.74	15	15.24	V
$V_{\text{OUT-REG}}$	$\text{抵抗分割器による VOUT レギュレーションのターゲット 5 (VOUT 範囲の上部)}$	$V_{\text{TRK}} = 0.5\text{V}$ 、 $R_{\text{VREF}} = 35\text{k}\Omega$ にするための VREF 抵抗分割器	29.7	30	30.3	V
$V_{\text{OUT-REG}}$	$\text{抵抗分割器による VOUT レギュレーションのターゲット 6 (VOUT 範囲の上部)}$	$V_{\text{TRK}} = 0.95\text{V}$ 、 $R_{\text{VREF}} = 35\text{k}\Omega$ にするための VREF 抵抗分割器	56.43	57	57.57	V
$V_{\text{OUT-REG}}$	$\text{TRK による VOUT レギュレーションのターゲット 1 (VOUT 範囲の下部)}$	$V_{\text{TRK}} = 0.25\text{V}$ 、 $R_{\text{VREF}} = 65\text{k}\Omega$	4.91	5	5.09	V
$V_{\text{OUT-REG}}$	$\text{TRK による VOUT レギュレーションのターゲット 2 (VOUT 範囲の下部)}$	$V_{\text{TRK}} = 0.5\text{V}$ 、 $R_{\text{VREF}} = 65\text{k}\Omega$	9.88	10	10.11	V
$V_{\text{OUT-REG}}$	$\text{TRK による VOUT レギュレーションのターゲット 3 (VOUT 範囲の下部)}$	$V_{\text{TRK}} = 1.0\text{V}$ 、 $R_{\text{VREF}} = 65\text{k}\Omega$	19.8	20	20.2	V
$V_{\text{OUT-REG}}$	$\text{TRK による VOUT レギュレーションのターゲット 4 (VOUT 範囲の上部)}$	$V_{\text{TRK}} = 0.25\text{V}$ 、 $R_{\text{VREF}} = 35\text{k}\Omega$	14.71	15	15.25	V
$V_{\text{OUT-REG}}$	$\text{TRK による VOUT レギュレーションのターゲット 5 (VOUT 範囲の上部)}$	$V_{\text{TRK}} = 0.5\text{V}$ 、 $R_{\text{VREF}} = 35\text{k}\Omega$	29.6	30	30.3	V
$V_{\text{OUT-REG}}$	$\text{TRK による VOUT レギュレーションのターゲット 6 (VOUT 範囲の上部)}$	$V_{\text{TRK}} = 0.95\text{V}$ 、 $R_{\text{VREF}} = 35\text{k}\Omega$	56.45	57	57.5	V

5.5 電気的特性 (続き)

代表値は $T_J = 25^\circ\text{C}$ に対応します。最小および最大の制限値は、 $T_J = -40^\circ\text{C} \sim 125^\circ\text{C}$ の範囲で適用されます。特に記述のない限り、 $V_{\text{BIAS}} = 12\text{V}$ 、 $V_{\text{VOUT}} = 12\text{V}$ 、 $R_T = 9.09\text{k}\Omega$ 、 $R_{\text{VREF}} = 65\text{k}\Omega$

パラメータ	テスト条件	最小値	標準値	最大値	単位
I_{TRK}	TRK バイアス電流			1	μA
ソフトスタート、DE から FPWM への遷移					
I_{SS}	ソフトスタート電流		17	20	μA
$V_{\text{SS-DONE}}$	モード遷移の開始	SS 立ち上がり	1.3	1.5	V
R_{SS}	SS プルダウン スイッチの R_{DSON}		30	70	Ω
$V_{\text{SS-DIS}}$	SS 放電検出スレッショルド		30	50	mV
$V_{\text{SS-FB}}$	内部の SS から FB へのクランプ	$V_{\text{FB}}=0\text{V}$		55	mV
電流センス (CSP, CSN, SW, SENSE)					
V_{SLOPE}	ピーク勾配補償アンプ	$R_T = 220\text{k}\Omega$ 、CS 入力が基準		45	mV
A_{CS}	電流センス アンプのゲイン	$CSP = 3.0\text{V}$		10	V/V
	電流センス アンプのゲイン	$CSP = 1.5\text{V}$		10	V/V
V_{CLTH}	正のピーク電流制限スレッショルド (CSP-CSN)	$CSP = 3.0\text{V}$ 、MODE = GND	52	60	mV
	正のピーク電流制限スレッショルド (CSP-CSN)	$CSP = 1.5\text{V}$ 、MODE = GND	51	60	mV
$V_{\text{ZCD-DE}}$	ZCD スレッショルド (SW-SENSE)	MODE = GND		4	mV
$V_{\text{I-NEG-FPWM}}$	負のピーク電流制限スレッショルド (SW-SENSE)	MODE = VCC		-150	mV
$V_{\text{CS-FWD}}$	バイパス モードに移行するための順方向電流スレッショルド電圧 (CSP-CSN)	$V_{\text{ULVO}} = 2.5\text{V}$ 、 $V_{\text{TRK}} = 0.25\text{V}$	2	6	mV
$V_{\text{ZCD-BYP}}$	バイパス モード (DE モード) でのゼロ クロス検出 (SW-SENSE)	$V_{\text{ULVO}} = 2.5\text{V}$ 、 $V_{\text{TRK}} = 0.25\text{V}$ 、MODE = GND		-5	mV
$V_{\text{I-NEG-BYP}}$	バイパス モード (FPWM) での負電流制限 (SW-SENSE)	$V_{\text{ULVO}} = 2.5\text{V}$ 、 $V_{\text{TRK}} = 0.25\text{V}$ 、MODE = VCC		-150	mV
I_{CSN}	CSN バイアス電流			1	μA
I_{CSP}	CSP バイアス電流			110	μA
ポートフォルト保護 (HB)					
	最大再補充パルス サイクル			4	サイクル
	再補充オフ サイクル			12	サイクル
	ヒップ モード保護に移行するためのセット数			4	セット
	ヒップ モード オフでのオフ サイクル			512	サイクル
エラー アンプ (COMP)					
G_m	相互コンダクタンス			1	mA/V
$I_{\text{SOURCE-MAX}}$	最大 COMP ソーシング電流	$V_{\text{COMP}}=0\text{V}$		95	μA
$I_{\text{SINT-MAX}}$	最大 COMP シンキング電流	$V_{\text{COMP}}=1.8\text{V}$		90	μA
$V_{\text{CLAMP-MAX}}$	COMP 最大クランプ電圧	COMP 立ち上がり	2.05	2.4	V
$V_{\text{CLAMP-MIN}}$	COMP 最小クランプ電圧	COMP 立ち下がり		0.65	V
パルス幅変調 (PWM)					
f_{SW1}	スイッチング周波数	$R_T = 220\text{k}\Omega$	85	100	115kHz
f_{SW2}	スイッチング周波数	$R_T = 9.09\text{k}\Omega$	1980	2200	2420kHz
$t_{\text{ON-MIN}}$	最小の制御可能なオン時間	$R_T = 9.09\text{k}\Omega$	14	20	50ns

5.5 電気的特性 (続き)

代表値は $T_J = 25^\circ\text{C}$ に対応します。最小および最大の制限値は、 $T_J = -40^\circ\text{C} \sim 125^\circ\text{C}$ の範囲で適用されます。特に記述のない限り、 $V_{BIAS} = 12\text{V}$ 、 $V_{VOUT} = 12\text{V}$ 、 $R_T = 9.09\text{k}\Omega$ 、 $R_{VREF} = 65\text{k}\Omega$

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{OFF-MIN}$	最小強制オフ時間	$R_T = 9.09\text{k}\Omega$	70	95	115	ns
D_{MAX1}	最大デューティ サイクル制限	$R_T = 220\text{k}\Omega$	90%	94%	98%	
D_{MAX2}	最大デューティ サイクル制限	$R_T = 9.09\text{k}\Omega$	75%	80%	83%	
PGOOD、OVP						
$V_{OVTH-RISING}$	過電圧スレッショルド (OVP スレッショルド)	V_{OUT} 立ち上がり ($V_{OUT-REG}$ を基準とする)	108.5%	110%	113.5%	
$V_{OVTH-FALLING}$	過電圧スレッショルド (OVP スレッショルド)	V_{OUT} 立ち下がり ($V_{OUT-REG}$ を基準とする)	100.5%	103%	105.5%	
$V_{OVTH-DLY}$	バイパス モードに移行する前の遅延			30		us
$V_{UVTH-RISING}$	低電圧スレッショルド (PGOOD スレッショルド)	V_{OUT} 立ち上がり ($V_{OUT-REG}$ を基準とする)	91.5%	94%	98%	
$V_{UVTH-FALLING}$	低電圧スレッショルド (PGOOD スレッショルド)	V_{OUT} 立ち下がり ($V_{OUT-REG}$ を基準とする)	89.5%	92%	95.5%	
	UV コンパレータのグリッチ除去フィルタ	立ち上がりエッジ		26		μs
	UV コンパレータのグリッチ除去フィルタ	立ち下がりエッジ		21		μs
R_{PGOOD}	PGOOD プルダウン スイッチの R_{DSON}			90	180	Ω
	有効な PGOOD の最小 BIAS				2.5	V
MOSFET ドライバ						
	High 状態での電圧降下 (HO ドライバ)	100mA のシンク		0.08	0.15	V
	Low 状態での電圧降下 (HO ドライバ)	100mA のソース		0.04	0.1	V
	High 状態での電圧降下 (LO ドライバ)	100mA のシンク		0.08	0.17	V
	Low 状態での電圧降下 (LO ドライバ)	100mA のソース		0.04	0.1	V
$V_{HB-UVLO}$	HB-SW UVLO スレッショルド	HB-SW 立ち下がり	2.2	2.5	3.0	V
t_{DHL}	HO オフから LO オンまでのデッドタイム			20		ns
t_{DLH}	LO オフから HO オンまでのデッドタイム			22		ns
	HB ダイオード抵抗			1.2		Ω
I_{CP}	HB チャージ ポンプの電流	$BIAS = 3.8\text{V}$	30	55		μA
サーマル シャットダウン						
$T_{TSD-RISING}$	サーマル シャットダウンのスレッショルド	温度上昇		175		°C
$T_{TSD-HYS}$	サーマル シャットダウン ヒステリシス			15		°C

5.6 代表的特性

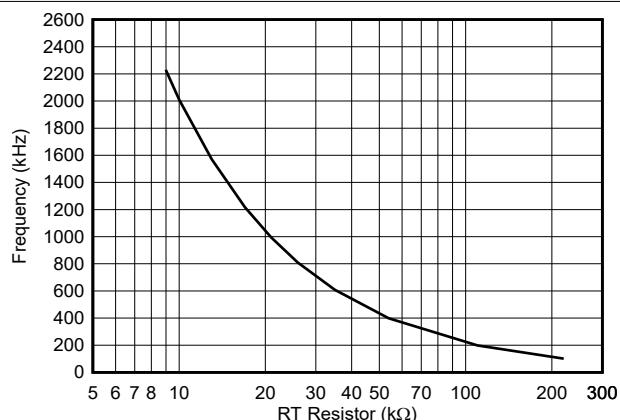


図 5-1. 周波数と RT 抵抗との関係

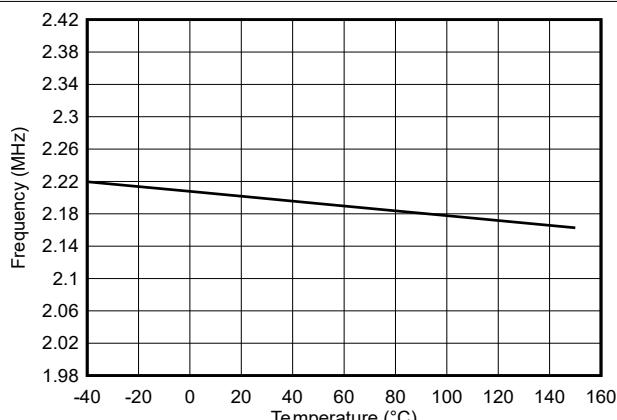


図 5-2. RT 周波数と温度との関係
($RT = 9.09\text{k}\Omega$ 、 $f_{SW} = 2.2\text{MHz}$)

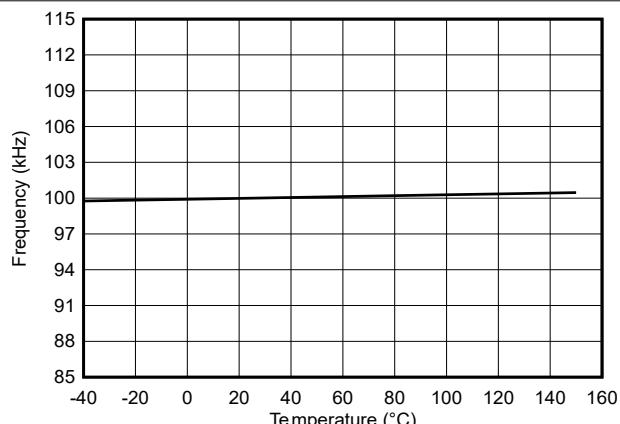


図 5-3. RT 周波数と温度との関係
($RT = 220\text{k}\Omega$ 、 $f_{SW} = 100\text{kHz}$)

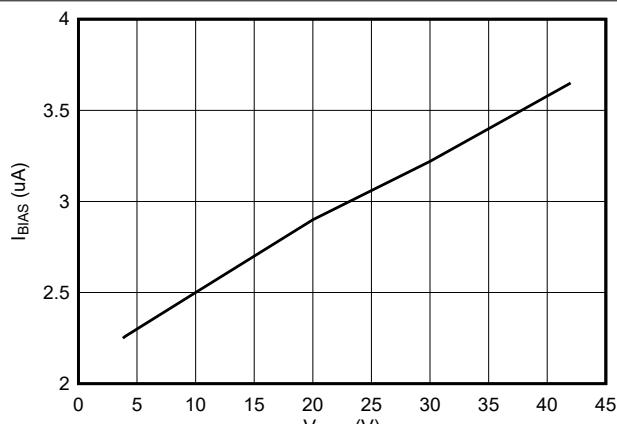


図 5-4. V_{BIAS} と I_{BIAS} との関係 (シャットダウン モード)

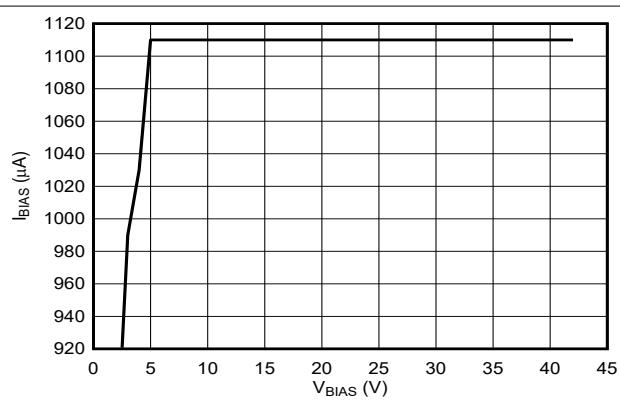


図 5-5. V_{BIAS} と I_{BIAS} との関係 (アクティブ モード)

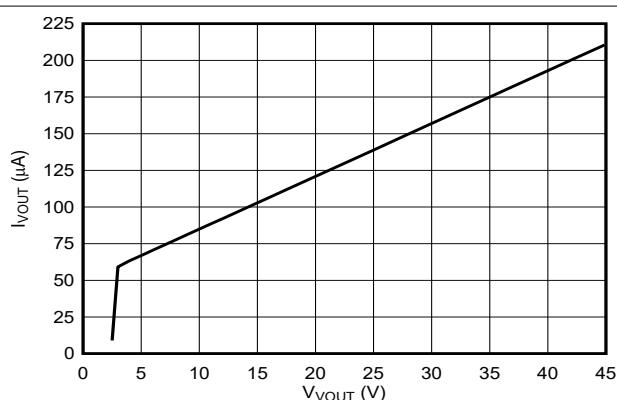
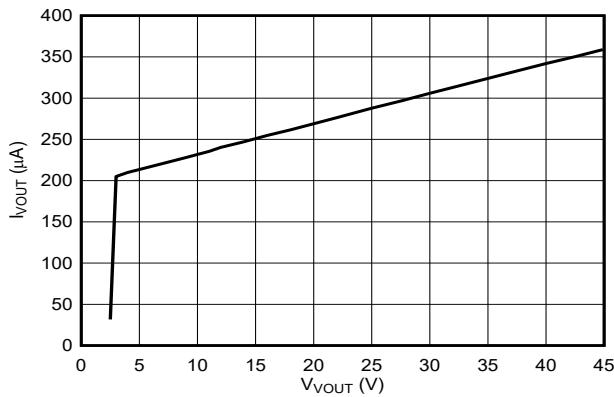
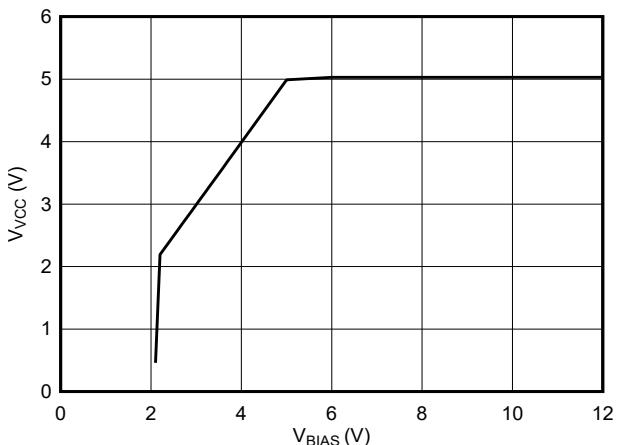
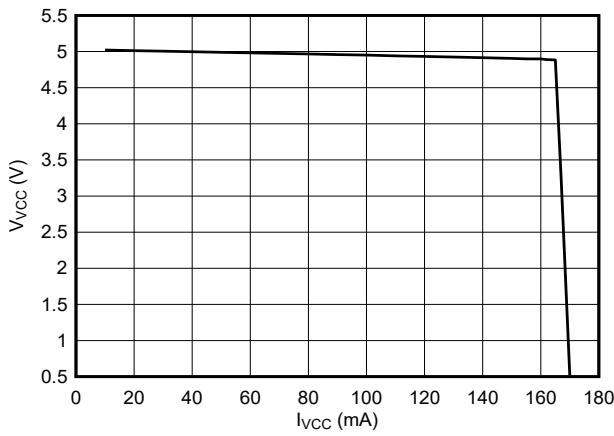
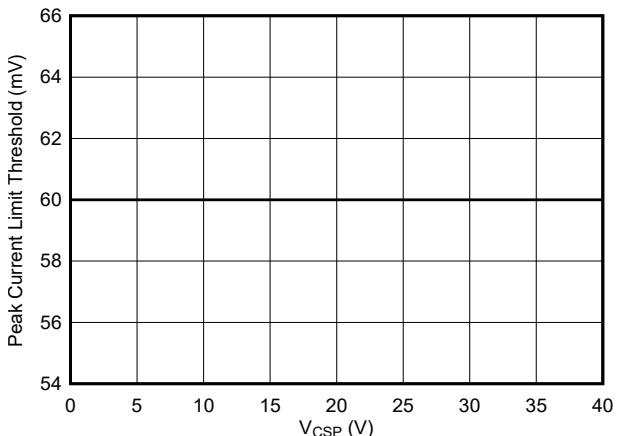
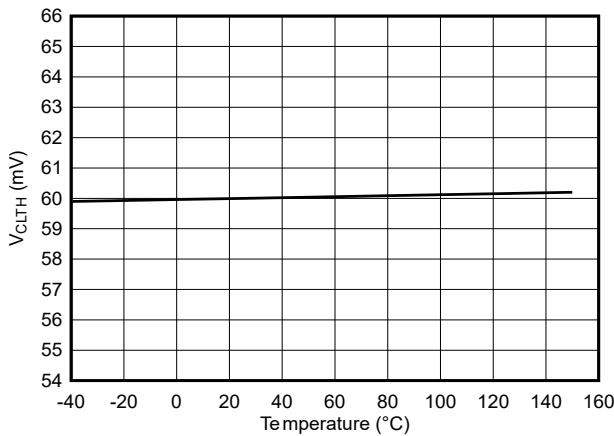
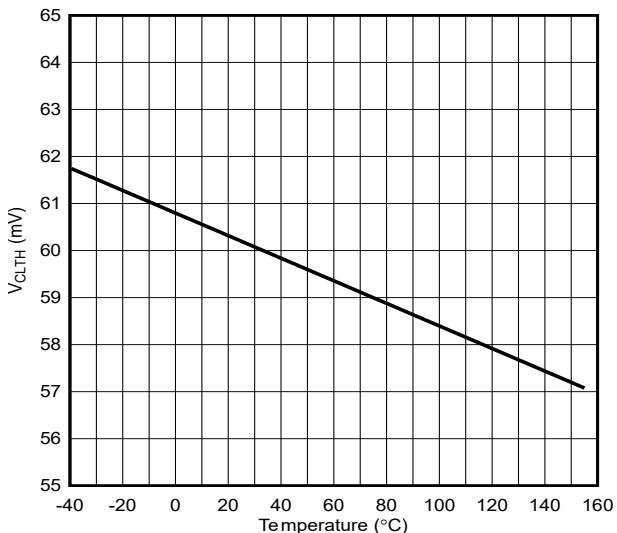


図 5-6. バイパス DEM

図 5-7. V_{VOUT} と I_{VOUT} との関係 (バイパス モード)図 5-8. V_{BIAS} と V_{VCC} との関係図 5-9. V_{VCC} と I_{VCC} との関係図 5-10. ピーク電流制限スレッショルド V_{CLTH} と V_{CSP} との関係図 5-11. ピーク電流制限スレッショルド電圧 V_{CLTH} と温度との関係、 $V_{CSP} = 3V$ 図 5-12. バイパス順方向電流スレッショルド、 V_{CS-FWD} と温度との関係、 $V_{CSP} = 3V$

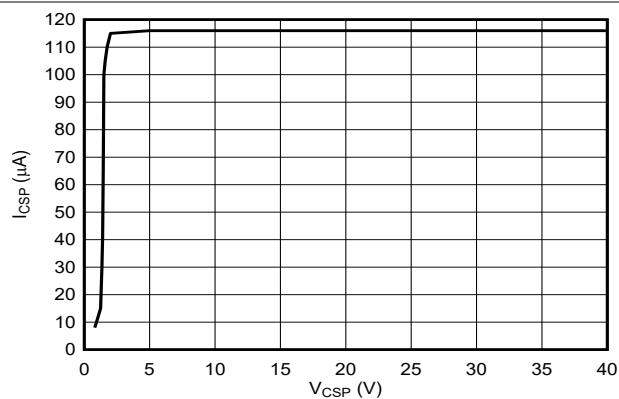


図 5-13. I_{CSP} と V_{CSP} との関係 (アクティブモード)

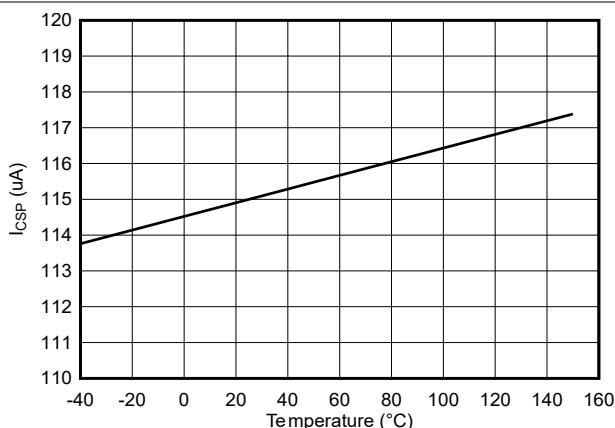


図 5-14. I_{CSP} と温度との関係 (アクティブモード)
V_{CSP} = 3V

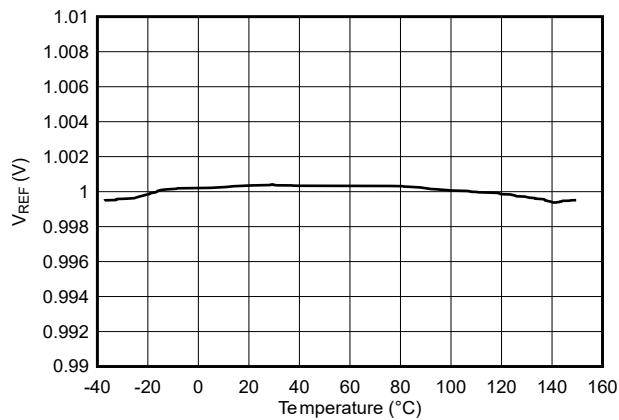


図 5-15. V_{REF} と温度との関係

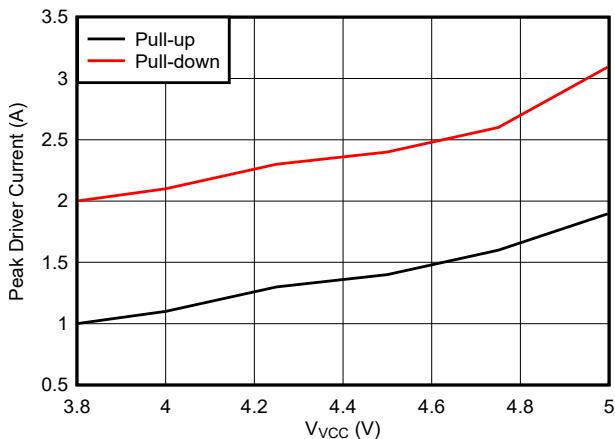


図 5-16. V_{VCC} とピーク ドライバ電流との関係

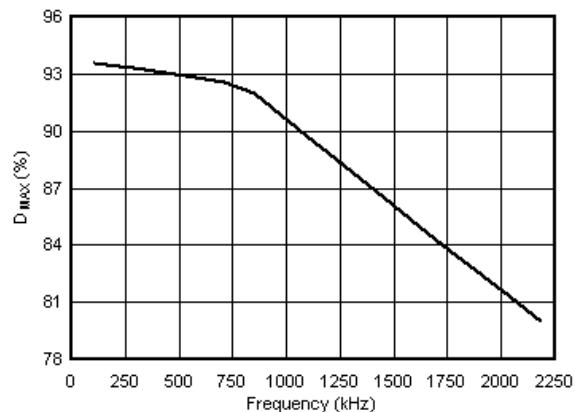


図 5-17. DMAX とスイッチング周波数

6 詳細説明

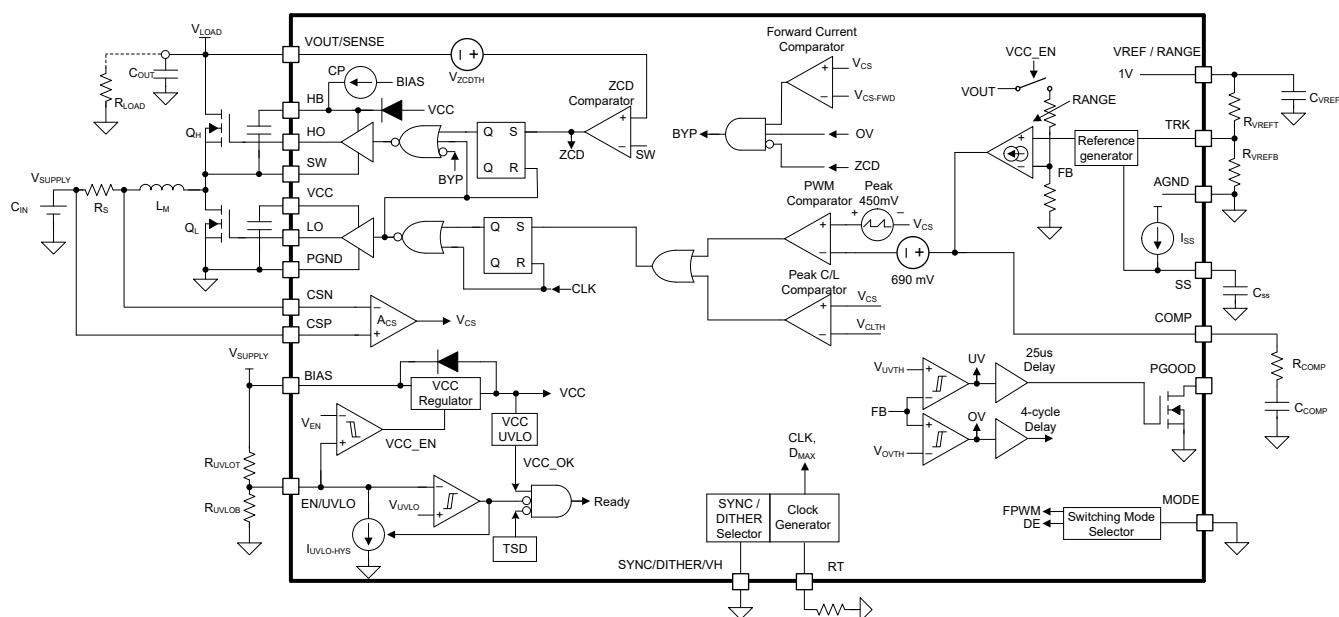
6.1 概要

LM51231-Q1 デバイスは、広い入力電圧範囲に対応した同期整流昇圧コントローラで、ピーク電流モード制御を採用しています。出力電圧は、TRK ピンのトラッキング機能を使用して動的にプログラムできます。電源電圧が昇圧出力レギュレーションのターゲットを上回ると、自動的にバイパスモード動作に移行します。バイパスモードでは、ハイサイド MOSFET を 100% のデューティサイクルで駆動することで、ハイサイドボディダイオードの電圧降下が排除されるため、消費電力が低減し、外部バイパススイッチが不要になります。

本デバイスの広い入力範囲は、自動車のコールドクランクとロードダンプに対応します。BIAS が 3.8V 以上のとき、最小入力電圧は 0.8V まで下げることができます。スイッチング周波数は、外付けの抵抗により 100kHz~2.2MHz の範囲で動的にプログラム可能です。2.2MHz でのスイッチングにより、AM 帯域との干渉が最小化され、ソリューションサイズの小型化と、高速な過渡応答を実現できます。コントローラアーキテクチャにより、コンバータアーキテクチャと比較して、過酷な周囲温度条件での熱管理を簡素化できます。

デバイスには、ピーク電流制限（入力電圧の全範囲にわたって一定）、過電圧保護、サーマルシャットダウンなどの保護機能が内蔵されています。外部クロック同期、プログラム可能なスペクトラム拡散変調、寄生容量が最小限のリードレスパッケージは、EMI の低減とクロストークの回避に役立ちます。その他の機能として、ライン UVLO、FPWM、ダイオードエミュレーション、DCR インダクタ電流検出、プログラム可能なソフトスタート、パワーグッドインジケータがあります。

6.2 機能ブロック図



6.3 機能説明

注

本デバイスの機能説明を読む前に、[セクション 6.4](#) の全体を読んでください。デバイスでサポートされている機能モードと、軽負荷スイッチングモードの種類について理解しておくことをおすすめします。

このセクションで説明するパラメータやスレッショルドの値は、特に記述のない限りリファレンス値です。最小値、最大値、代表値については、[セクション 5.5](#) を参照してください。

6.3.1 デバイスの有効化と無効化 (EN、VH ピン)

EN が EN スレッショルド (V_{EN}) を下回り、VH が SYNC スレッショルド (V_{SYNC}) を下回ると、デバイスはシャットダウンします。EN が V_{EN} を上回るか、VH が V_{SYNC} を上回ると、デバイスは有効になります。VH ピンは、デバイスをシャットダウンする前に $40\mu s$ の内部遅延を行います。

デバイスには、ピンがフローティングのときの誤ターンオンを防止するため、 $33k\Omega$ の内部 EN プルダウン抵抗が備わっています。この EN プルダウン抵抗は、デバイス構成時、またはデバイスがシャットダウンされたときグランドに接続されます。デバイス構成が完了し、VH が V_{SYNC} を上回ると、EN が V_{EN} を上回った/下回ったときに抵抗を切断/接続することで、EN ヒステリシスを実現しています。

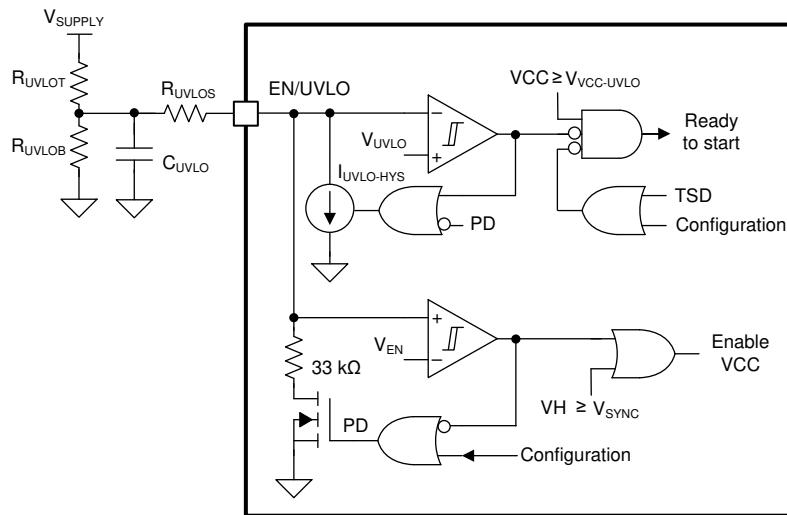


図 6-1. EN/UVLO 回路

6.3.2 高電圧 VCC レギュレータ (BIAS、VCC ピン)

本デバイスは、BIAS ピンから電源が供給される、高電圧 5V VCC レギュレータを備えています。デバイスが有効になった $50\mu s$ 後に内部 VCC レギュレータがオンになり、VCC が $V_{VCC-UVLO}$ を上回ると $120\mu s$ 後にデバイスの構成が開始されます。デバイスがシャットダウンされるか、VCC が $V_{VCC-UVLO-FALLING}$ を下回ると、デバイス構成がリセットされます。デバイスを再構成するには、デバイスをシャットダウンすることをお勧めします。構成時には、VOUT 範囲が選択されます。

高電圧 VCC レギュレータにより、BIAS ピンを $3.8V \sim 42V$ の電源電圧に直接接続できます。BIAS が 5V VCC のレギュレーションのターゲット ($V_{VCC-REG}$) より低いとき、VCC 出力は、VCC レギュレータの 1.7Ω 抵抗に起因する小さなドップアウト電圧で、BIAS ピンの電圧に追従します。

推奨される VCC コンデンサの値は $4.7\mu F$ です。VCC コンデンサは、VCC と PGND との間で、デバイスにできるだけ近づけて配置する必要があります。推奨される BIAS コンデンサの値は $1.0\mu F$ です。BIAS コンデンサは、BIAS と PGND との間で、デバイスに近づけて配置する必要があります。

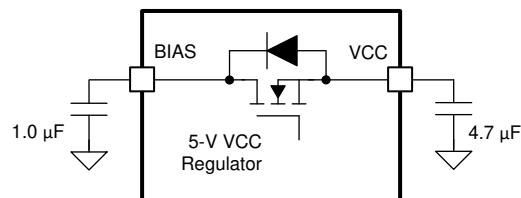


図 6-2. 高電圧 VCC レギュレータ

VCC レギュレータには VCC 電流制限機能が搭載されており、VCC ピンが誤ってグランドに短絡したときにデバイスの損傷を防止します。VCC レギュレータの最小ソース能力は、デバイスの構成時またはアクティブ モード動作時で 100mA (I_{VCC-CL}) です。EN/UVLO が V_{EN} を下回り、 V_H が V_{SYNC} を上回ると、VCC レギュレータの最小ソース能力は 1mA に低下します。VCC レギュレータは、内部ドライバおよび他の内部回路に電源を供給します。外部 MOSFET は、ドライバの消費電流が I_{VCC-CL} 未満になるように注意深く選択する必要があります。ドライバの消費電流は、式 1 で計算できます。

$$I_G = 2 \times Q_{G@5V} \times f_{SW} \quad (1)$$

ここで、

- $Q_{G@5V}$ は、 5V のゲートソース電圧における N チャネル MOSFET ゲート電荷です。

3.8V 未満での VIN 動作が必要な場合は、BIAS ピンを昇圧コンバータの出力 (V_{LOAD}) に接続できます。BIAS ピンを V_{LOAD} に接続することで、BIAS ピンが 3.8V より高い場合は、昇圧コンバータの入力電圧 (V_{SUPPLY}) が 0.8V まで低下することができます。最小 V_{SUPPLY} 詳細については、セクション 6.3.17 を参照してください。

6.3.3 軽負荷スイッチング モードの選択 (MODE ピン)

軽負荷のスイッチング モードは、MODE ピンの状態に基づいて選択されます。MODE ピンの電圧が 0.4V ($V_{MODE-FALLING}$) より低い、またはフローティングの場合、デバイスはダイオード エミュレーション (DE) モードに構成されます。MODE ピンの電圧が 2.0V ($V_{MODE-RISING}$) より高い、または VCC に接続されている場合、デバイスは強制 PWM (FPWM) モードに構成されます。軽負荷スイッチング モードは、DE モードと FPWM モードとの間で動作中に動的に切り替えできます。MODE ピンがフローティングのままの場合、デフォルトの軽負荷スイッチングモードは DE モードです。

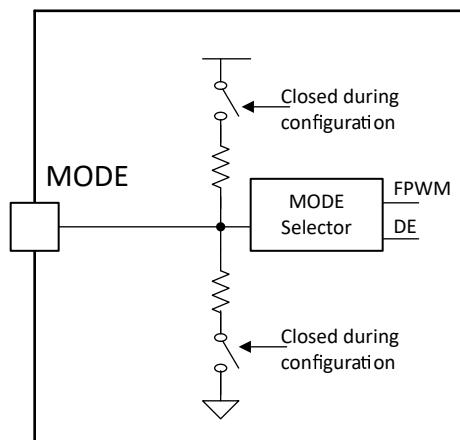


図 6-3. MODE 選択回路

6.3.4 VOUT 範囲の選択 (RANGE ピン)

プログラム可能な V_{OUT} 範囲は、デバイスの構成時に選択され、デバイスを再構成するまで変更できません。デバイスの構成時に VREF から AGND への抵抗 ($R_{VREFT} + R_{VREFB}$) が $75\text{k}\Omega \sim 100\text{k}\Omega$ の範囲内にある場合、 V_{OUT} 範囲の下部 ($5\text{V} \sim 20\text{V}$) が選択されます。デバイスの構成時に、VREF から AGND への抵抗が $20\text{k}\Omega \sim 35\text{k}\Omega$ までの範囲内にある場合、 V_{OUT} 範囲の上部 ($15\text{V} \sim 57\text{V}$) が選択されます。 V_{OUT} のレギュレーション精度は、選択された範囲内のものです。

6.3.5 ライン低電圧誤動作防止 (UVLO ピン)

UVLO が UVLO スレッショルド (V_{UVLO}) より高いとき、デバイスは構成の完了後にアクティブ モードに移行します。UVLO ヒステリシスは、UVLO ピンでの内部 25mV 電圧ヒステリシス ($V_{UVLO-HYS}$) と、オンまたはオフに切り替えられる追加の $10\mu\text{A}$ 電流シンク ($I_{UVLO-HYS}$) によって実現されます。UVLO ピンの電圧が V_{UVLO} を超えると、電流シンクが無効になり、

UVLO ピンの電圧が急速に上昇します。UVLO ピンの電圧が V_{UVLO} を下回るか、デバイスの構成時間中は、電流シンクが有効になり、UVLO ピンの電圧が急速に低下します。

外部 UVLO 抵抗分割器 (R_{UVLOT} , R_{UVLOB}) は、 V_{SUPPLY} が目的の動作範囲内にあるとき、UVLO ピンの電圧が V_{UVLO} より高くなるように設計する必要があります。 R_{UVLOT} および R_{UVLOB} の値は、次のように計算できます。

$$R_{UVLOT} = \frac{\left(V_{SUPPLY_ON} - \frac{V_{UVLO_RISING}}{V_{UVLO_FALLING}} \times V_{SUPPLY_OFF} \right)}{I_{UVLO_HYS}} \quad (2)$$

$$R_{UVLOB} = \frac{V_{UVLO_FALLING} \times R_{UVLOT}}{V_{SUPPLY_OFF} - V_{UVLO_FALLING}} \quad (3)$$

UVLO コンデンサ (C_{UVLO}) は、スタートアップ時、または低入力電圧での厳しい負荷過渡時に V_{SUPPLY} が瞬間に V_{SUPPLY_OFF} を下回った場合に必要です。必要な UVLO コンデンサが大きい場合、追加の直列 UVLO 抵抗 (R_{UVLOS}) を使用し、 I_{UVLO_HYS} が無効なときに UVLO ピンの電圧を急速に上昇させることができます。

UVLO ピンを使用しない場合は、BIAS ピンに接続できます。どのような条件でも、BIAS ピンの電圧が UVLO ピンの電圧よりも低い場合は、最小 $5\text{k}\Omega$ の抵抗を経由して UVLO ピンを駆動します。

6.3.6 VCC ホールド (VH ピン) による高速再起動

本デバイスの構成後、VH が V_{SYNC} を上回っているときに EN/UVLO を切り替えると、再構成なしで高速に再起動を行えます。デバイスはスイッチングを停止しますが、EN が V_{EN} を下回り、VH が V_{SYNC} を上回っていれば、VCC レギュレータをアクティブに維持します (図 6-5 を参照)。

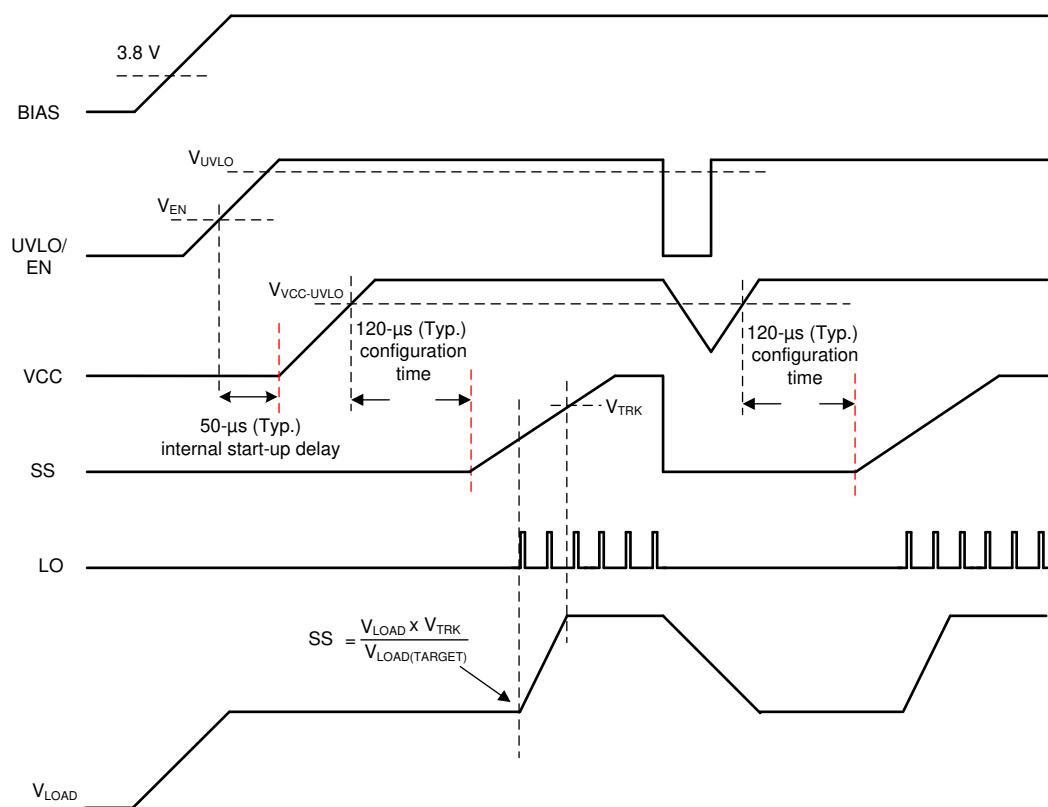


図 6-4. 昇圧スタートアップ波形のケース 1 : EN/UVLO によるスタートアップ、 $VH < V_{SYNC}$ のときに再起動

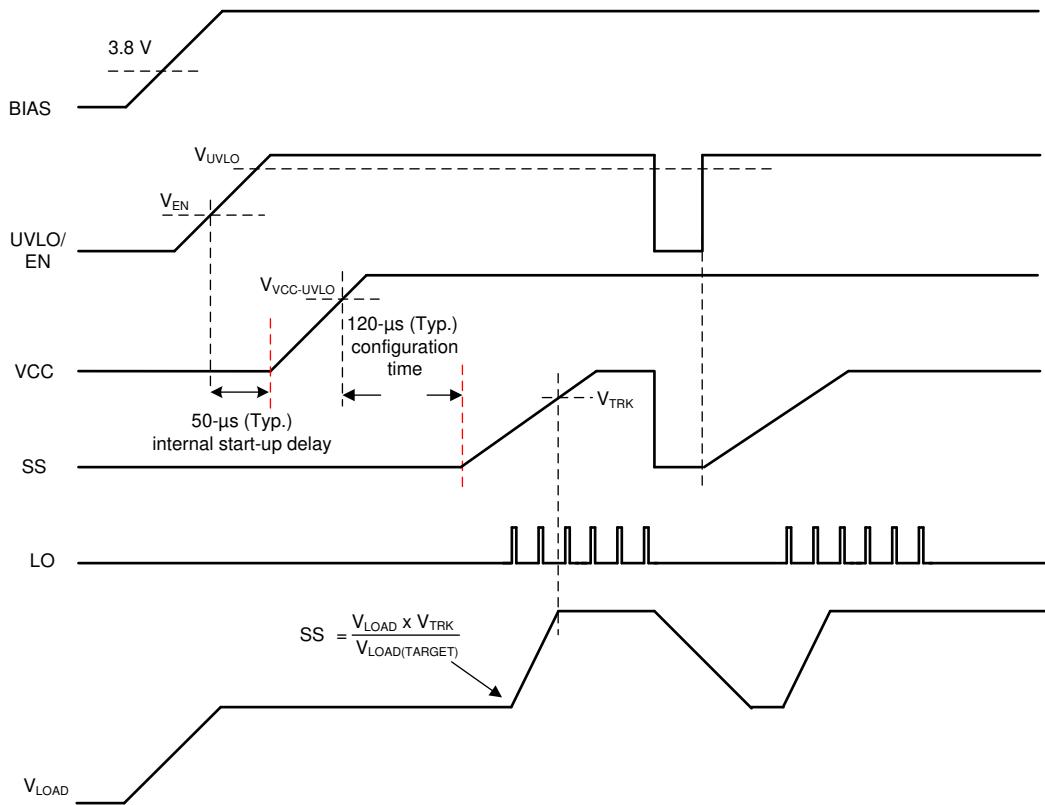


図 6-5. 昇圧スタートアップ波形のケース 2 : EN/UVLO によるスタートアップ、 $V_H > V_{SYNC}$ のときに再起動

6.3.7 可変出力レギュレーションのターゲット (V_{OUT} , TRK , $VREF$ ピン)

V_{OUT} レギュレーションのターゲット ($V_{OUT-REG}$) は、内部エラー アンプの基準電圧である TRK ピンの電圧をプログラムすることで調整できます。 $V_{OUT-REG}$ の精度は、 TRK 電圧が $0.25V \sim 1.0V$ の範囲内のときに保証されます。 V_{OUT} レギュレーションの設定点が V_{OUT} の範囲の選択外に設定されている場合でも、 V_{OUT} はレギュレートされます。高インピーダンスの TRK ピンにより、ユーザーは D/A コンバータを使用して直接、または $VREF$ と $AGND$ との間の抵抗分割器 (R_{VREFT} , R_{VREFB}) に接続することで、ピン電圧をプログラムできます。図 6-6 を参照してください。

このデバイスは $1V$ の基準電圧 (V_{REF}) を供給し、抵抗分割器で TRK ピン電圧をプログラムするために使用できます。 V_{REF} を外部回路の基準電圧として使用することは推奨されません。安定性の理由から、 $VREF$ コンデンサ (C_{VREF}) は $330pF \sim 1nF$ の範囲内にする必要があります。推奨は $470pF$ です。

R_{VREFT} と R_{VREFB} を使用して TRK ピンの電圧をプログラムするとき、 $V_{OUT-REG}$ は次のように計算できます。

V_{OUT} 範囲の下部

$$V_{OUT_REG} = \frac{20 \times R_{VREFB}}{R_{VREFB} + R_{VREFT}} \quad (4)$$

V_{OUT} 範囲の上部

$$V_{OUT_REG} = \frac{60 \times R_{VREFB}}{R_{VREFB} + R_{VREFT}} \quad (5)$$

TRK ピンの電圧はアクティブ モードで動的にプログラムできるため、エンベロープ トラッキング電源を簡単に設計できます。トラッキング電源を設計するときは、 V_{OUT} ピンの電圧がコマンドに追従し、過渡動作中に内部の過電圧または低電圧コンパレータがトリガされないように、 TRK ピンの電圧を十分にゆっくりと調整する必要があります。特にステップ入力が印加されるときは、 TRK ピンに RC フィルタを使用して、 TRK ピンでコマンド信号のスルーレートを低くすることが推奨されます。矩形波または正弦波入力を印加する場合、スルーレートまたはコマンド信号の周波数を制限することが推奨され

ます。バイパス モード、OVP、PGOOD 機能は TRK ピンの電圧に基づきます。それについて [セクション 6.4.1.4](#)、[セクション 6.3.8](#)、[セクション 6.3.9](#) を参照してください。

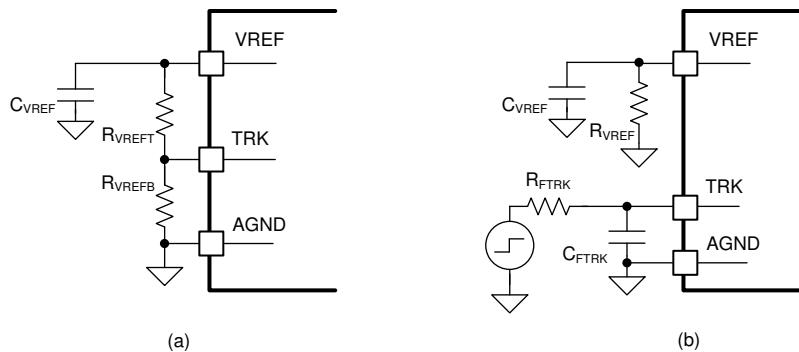


図 6-6. 外部ステップ入力による VREF (b) を使用した TRK 制御 (a)

6.3.8 過電圧保護 (VOUT ピン)

本デバイスは、昇圧コンバータ出力の過電圧保護 (OVP) 機能を備えています。OVP コンパレータは、内部の抵抗分割器によって VOUT ピンを監視します。VOUT ピンの電圧が過電圧スレッショルド (V_{OVTH}) を上回ると、OVP がアクティブになります。OVP がトリガされると、デバイスはダイオード エミュレーションでゼロ電流が検出されるまで、ローサイド ドライバをオフに、ハイサイド ドライバをオンにします。FPWM モードでは、OVP がトリガされたときローサイド ドライバはオフになりません。

OVP ステータスの少なくとも $30\mu s$ ($V_{OVTH-DLY}$) 後に、デバイスは OVP 状態に移行します。VOUT ピンと PGND との間に推奨されるコンデンサ (C_{VOUT}) は $0.1\mu F$ です。

6.3.9 パワー グッド インジケータ (PGOOD ピン)

このデバイスは、パワー グッド インジケータ (PGOOD) を備えており、シーケンシングと監視を簡素化できます。PGOOD はオープンドレイン出力で、 $5k\Omega \sim 100k\Omega$ のプルアップ抵抗を外部に接続できます。VOUT ピンの電圧が低電圧スレッショルド (V_{UVTH}) より高いとき、PGOOD スイッチはオープンになります。VOUT ピンの電圧が V_{UVTH} より低いとき、UVLO が V_{UVLO} より低いとき、VCC が $V_{VCC-UVLO}$ より低いとき、またはサーマル シャットダウン中に、PGOOD ピンはグランドにプルダウンされます。26μs の立ち上がりおよび 21μs の立ち下がりグリッチ除去フィルタにより、過渡による PGOOD の誤ったプルダウンが防止されます。PGOOD ピンの電圧は $V_{VOUT} + 0.3V$ を超えることはできません

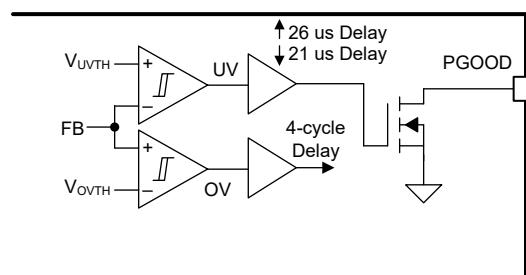


図 6-7. PGOOD インジケータ

6.3.10 動的にプログラム可能なスイッチング周波数 (RT)

SYNC ピンに外部同期クロックが印加されていない場合、RT と AGND との間に接続された单一の RT 抵抗によって、デバイスのスイッチング周波数が設定されます。RT スイッチング周波数 (R_T) を設定するための抵抗値は、次のように計算されます。

$$R_T = \frac{2.21 \times 10^{10}}{f_{RT(\text{typical})}} - 955 \quad (6)$$

RT ピンは、デバイスがアクティブ モードのとき、またはデバイスの構成中に、内部の RT レギュレータによって 0.5V にレギュレートされます。図 6-8 に示すように、動作中にスイッチング周波数を動的にプログラムできます。

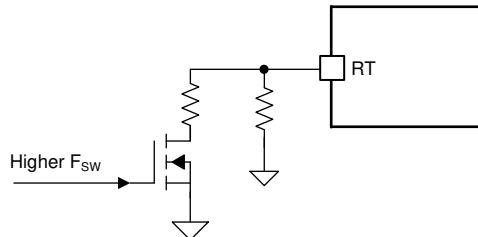


図 6-8. 周波数ホッピングの例

6.3.11 外部クロック同期 (SYNC ピン)

スイッチング周波数は、外部パルス信号を直接 SYNC に印加することで、外部クロックと同期できます。内部クロックは、内部 PLL を使用して、外部同期パルスの立ち上がりエッジで同期されます。未使用時は、SYNC ピンをグランドに接続します。

外部同期パルスは、High ロジック状態で V_{SYNC} より高く、Low ロジック状態で V_{SYNC} より低い必要があります。外部同期パルスのデューティサイクルに制限はありませんが、最小オンパルスおよび最小オフパルスの幅が 100ns より長い必要があります。外部同期パルスの周波数は、次の 2 つの不等式を満たす必要があります。

$$200\text{kHz} \leq f_{SYNC} \leq 2.2\text{MHz} \quad (7)$$

$$0.75 \times f_{RT(\text{typical})} \leq f_{SYNC} \leq 1.5 \times f_{RT(\text{typical})} \quad (8)$$

たとえば、RT 抵抗の変更なしで、標準値 350kHz のスイッチングについて 263kHz ~ 525kHz のクロック同期をカバーする必要があります。

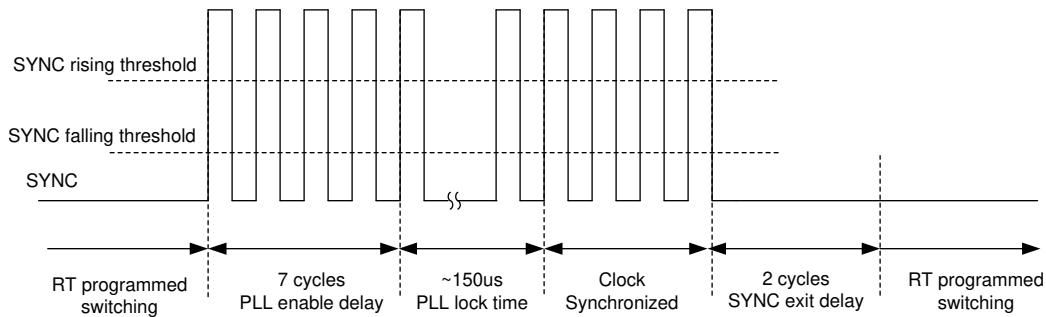
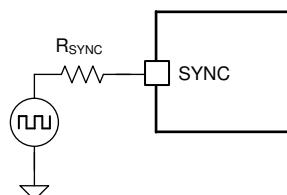


図 6-9. 外部クロック同期

どのような条件でも、BIAS ピンの電圧が SYNC ピンの電圧よりも低い場合は、最小 1kΩ の抵抗を経由して SYNC ピンを駆動します。

6.3.12 プログラム可能な拡散スペクトラム (DITHER PIN)

本デバイスには、オプションのプログラム可能な拡散スペクトラム (クロック ディザリング) 機能があり、DITHER と AGND との間にコンデンサを接続すると有効になります。ディザリング コンデンサを通して、1.0Vを中心とした三角波が生成されます。この三角波は、RT 抵抗によって設定される周波数の -6% から +5% までの範囲で、発振器の周波数を変調します。ディザリング容量の値は、低周波変調のレートを設定します。

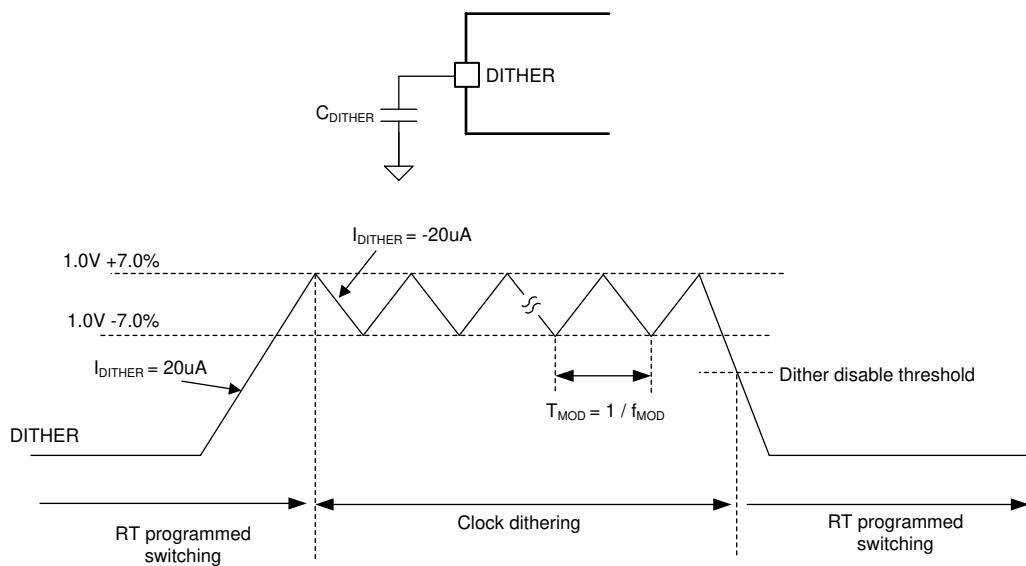


図 6-10. スイッチング周波数のディザリング

ディザリング回路でピーク EMI を効果的に低減するには、変調周波数を RT スイッチング周波数よりも大幅に低くする必要があります。与えられた変調周波数 (f_{MOD}) について必要なディザリング容量は、式 9 で計算できます。 f_{MOD} を 9kHz または 10kHz に設定するのが適切な出発点です。

$$C_{DITHER} = \frac{20\mu A}{f_{MOD} \times 0.29} \quad (9)$$

DITHER を AGND に接続すると、クロック ディザリングが無効になり、内部発振器は RT 抵抗で設定されている固定周波数で動作します。外部同期パルスが印加されているときも、クロック ディザリングはディセーブルされます。

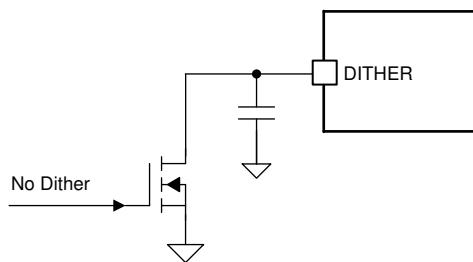


図 6-11. ディザリングの動的なオン / オフの例

6.3.13 プログラム可能なソフトスタート (SS PIN)

コンバータにはソフトスタート機能があるため、定常状態の動作ポイントまで時間をかけて到達できます。スタートアップ時のストレスとサージを低減するため、デバイスは SS ピン電圧または TRK ピン電圧 (V_{TRK}) のどちらか低い方に、エラー アンプの基準電圧をレギュレートします。

内部の 20 μ A ソフトスタート (I_{SS}) 電流は、VCC ピンが V_{VCC-UVLO} を超えてから 120 μ s 後にオンになります。 I_{SS} は、外部ソフトスタートコンデンサ (C_{SS}) の電圧を徐々に上昇させます。その結果、出力電圧が次第に上昇します。

FPWM モードでは、SS ピンの電圧が 1.5V 未満の間、デバイスは強制的にダイオード エミュレーションを行います。SS ピンの電圧が 1.5V より高いとき、デバイスはハイサイドの負電流制限スレッショルドを V_{ZCD-DE} から $V_{I-HS-NEG}$ に変更します。

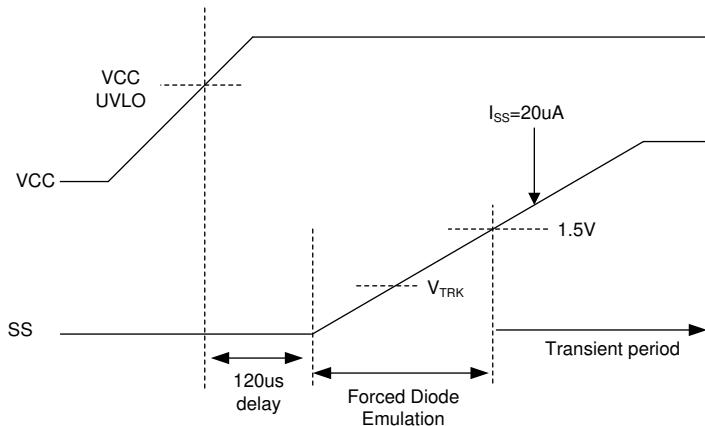


図 6-12. ソフト スタートと FPWM への円滑な遷移

昇圧トポロジでは、昇圧出力電圧がソフト スタート スイッチングの開始時の昇圧入力電圧と等しいため、ソフト スタート時間 (t_{SS}) は入力電源電圧によって変化します。昇圧トポロジでの t_{SS} は、式 10 で計算されます。

$$t_{SS} = V_{TRK} \times \frac{C_{SS}}{20\mu A} \times \left(1 - \frac{V_{SUPPLY}}{V_{LOAD}}\right) \quad (10)$$

一般に、過電流状態にならずにコンバータを起動できるよう、ソフト スタート時間を十分に長く設定することをおすすめします。車載用途でデバイスを事前昇圧として使用する場合は、可能な限り早く定常状態に達するよう、100pF の C_{SS} を使用することをおすすめします。

また、デバイスには内部の SS から FB へのクランプ (V_{SS-FB}) も搭載されています。このクランプは、電流制限付きで連続 256 回のスイッチング サイクルが発生した場合にアクティブとなり、FB の 55mV 上で SS をクランプします。電流制限スレッショルドを超えないまま、スイッチング サイクルが連続 32 回発生すると、SS から FB へのクランプは非アクティブになります。このクランプは、出力短絡または過負荷状態後のサージを最小限に抑えるのに役立ちます。SS が 1.5V を上回っているとき、デバイスはディープ スリープ モードに移行できます。SS をプルダウンしてスイッチングを停止することは推奨されません。

6.3.14 広帯域幅の相互コンダクタンス エラー アンプと PWM (TRK, COMP ピン)

本デバイスには、内部帰還抵抗分割器が搭載されています。内部帰還抵抗分割器は、内部の相互コンダクタンス エラー アンプの負入力に接続され、TRK ピンの電圧は、ソフト スタートの完了後に、内部の相互コンダクタンス エラー アンプの正の入力をプログラムします。内部の相互コンダクタンス エラー アンプは、高い出力抵抗 ($R_O = 10M\Omega$)、広い帯域幅 (BW = 3MHz)、エラー アンプの負入力と正入力の差に比例するシンク (またはソース) 電流の特徴があります。

エラー アンプの出力は COMP ピンに接続されるため、タイプ 2 のループ補償ネットワークを使用できます。 R_{COMP} 、 C_{COMP} 、およびオプションの C_{HF} ループ補償部品は、エラー アンプのゲインと位相の特性を構成し、安定したループ応答を実現します。この補償ネットワークにより、非常に低い周波数の極、中間周波数の 0、高い周波数の極が生み出されます。

図 6-13 の PWM コンパレータは、増幅され検出されたインダクタ電流と勾配補償ランプとの合計を、COMP ピンの電圧と -690mV の内部オフセットとの合計と比較し、増幅され検出されたインダクタ電流と勾配補償ランプとの合計が、COMP ピンの電圧と -690mV の内部オフセットとの合計よりも大きい場合、現在のサイクルを終了します。

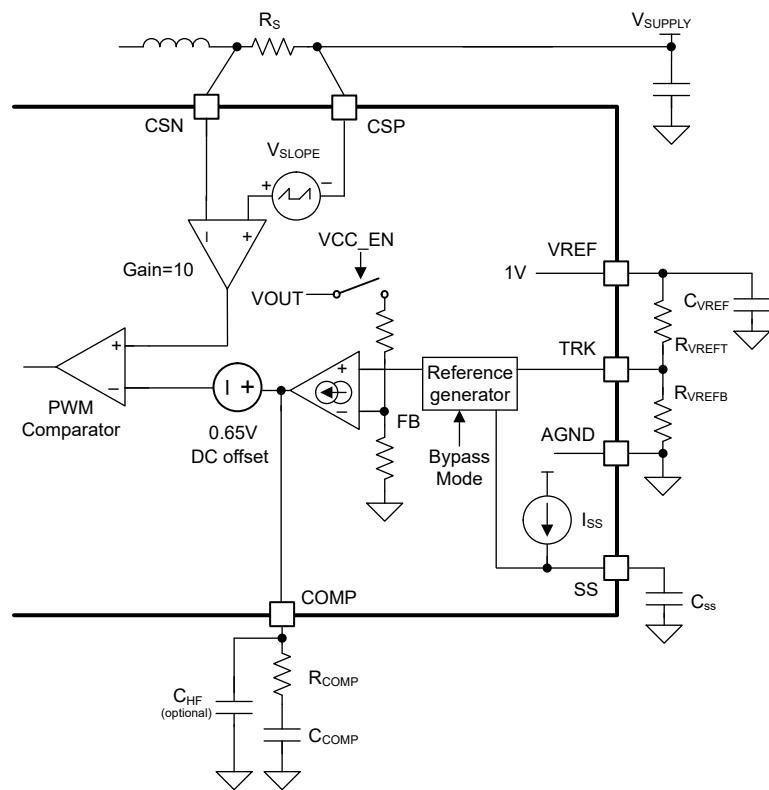


図 6-13. エラー アンプ、電流センス アンプ、PWM

6.3.15 電流検出とスロープ補償(CSP、CSN ピン)

本デバイスは、実効ゲインが 10 (A_{CS}) のハイサイド電流検出アンプを搭載しており、PWM コンパレータに内部勾配補償ランプを提供して、高デューティ サイクルでの分数調波発振を防止します。デバイスは、電流検出アンプの入力に 45mV のピーク勾配補償ランプ (V_{SLOPE}) を生成します。これは、PWM コンパレータ入力で 0.45V ピーク (100% デューティ サイクル時) の勾配補償ランプです。

ピーク電流モードの制御理論に従い、勾配補償ランプの勾配は、デューティ サイクルが高いときに分数調波振動を防止するため、検出されるインダクタ電流の立ち下がり勾配の半分よりも大きい必要があります。したがって、勾配補償の最小値は式 11 を満たす必要があります。

$$0.5 \times (V_{LOAD} - V_{SUPPLY}) / L_M \times R_S \times \text{Margin} < V_{SLOPE} \times f_{SW} \text{ (in Boost)} \quad (11)$$

ここで、

- 理想的でない係数もカバーするため、余裕を持たせて 1.5 ~ 1.7 をおすすめします。

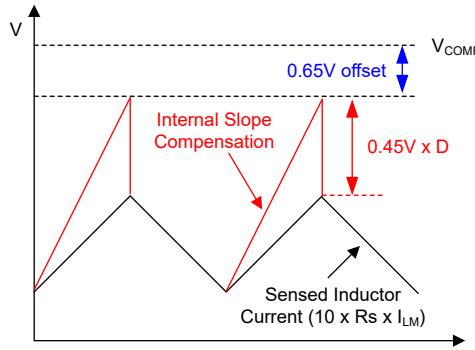


図 6-14. PWM コンパレータ入力

6.3.16 定ピーカ電流制限 (CSP、CSN ピン)

CSP-CSN 電圧がサイクル単位の電流制限スレッショルド (V_{CLTH}) である 60mV を超えると、電流制限コンパレータが LO 出力をただちに停止します。本デバイスはピーカ電流を一定値に制限し、そのピーカインダクタ電流制限は、入力および出力電圧の全体にわたって一定です。インダクタ電流のオーバーシュートの可能性がある、たとえばインダクタが飽和したとき、電流制限コンパレータは、電流制限スレッショルド未満に電流が減衰するまで、パルスをスキップします。

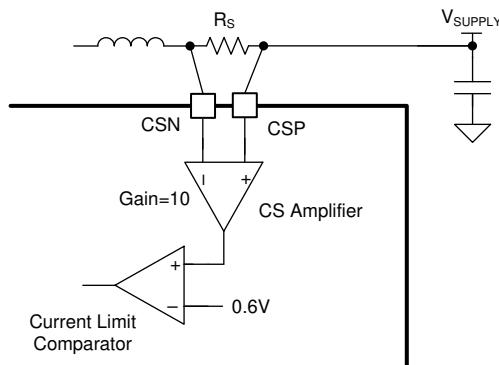


図 6-15. 電流制限コンパレータ

サイクル単位のピーカ電流制限は、次のように計算されます。

$$I_{PEAK-CL} = \frac{0.06}{R_S} \quad (12)$$

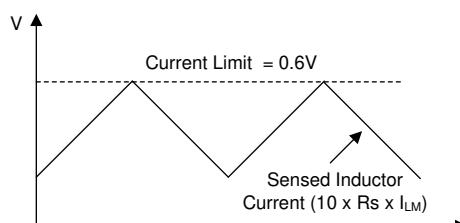


図 6-16. 電流制限コンパレータの入力

昇圧コンバータには、電源からハイサイド MOSFET ボディダイオードを経由して負荷への、自然なパススルー パスがあります。このパスがあるため、昇圧コンバータは、出力電圧が入力電源電圧に近い、またはより低いとき、ピーカ電流制限保護を行えません。特に、ピーカ電流制限保護は最小オン時間 (t_{ON-MIN}) 中には機能しません。

6.3.17 最大デューティ サイクルと最小の制御可能なオン時間の制限

本デバイスは、最大デューティ サイクル制限 (D_{MAX}) / 最小オフ時間を提供し、抵抗性素子による理想的でない要因に対応しています。 D_{MAX} は、CCM 動作中にターゲット出力電圧 (V_{LOAD}) を達成できる最低入力電源電圧 ($V_{SUPPLY(MIN)}$) を決定しますが、DCM 動作中にターゲット出力電圧を達成できる $V_{SUPPLY(MIN)}$ は D_{MAX} によって制限されません。CCM 動作中にターゲット出力電圧を達成できる $V_{SUPPLY(MIN)}$ は、次のように推定できます。

$$V_{SUPPLY(MIN)} \approx V_{LOAD} \times (1 - D_{MAX}) + I_{SUPPLY(MAX)} \times (R_{DCR} + R_S + R_{DS(ON)}) \quad (13)$$

ここで、

- $I_{SUPPLY(MAX)}$ は $V_{SUPPLY(MIN)}$ での最大入力電流
- R_{DCR} はインダクタの DC 抵抗
- $R_{DS(ON)}$ は MOSFET のオン抵抗

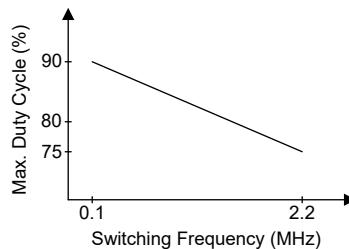


図 6-17. スイッチング周波数と最大デューティ サイクルとの関係

非常に軽い負荷条件、または V_{SUPPLY} が $V_{OUT-REG}$ に近く、必要なオン時間が t_{ON-MIN} より短い場合、デバイスはローサイドドライバのパルスをスキップします。このパルス スキップは、ランダムな動作のように見えます。 V_{SUPPLY} が $V_{OUT-REG}$ よりも高い電圧に上昇すると、必要なオン時間は 0 になり、最終的にデバイスはバイパス動作に移行します。このモードでは、 V_{OUT} ピンの電圧が V_{OVTH} より高いとき、ハイサイドドライバが 100% オンになります。

6.3.18 MOSFET ドライバ、内蔵ブートダイオード、ヒップアップモードのフォルト保護(LO、HO、HB ピン)

このデバイスは、2.2A のピーク電流をソースし、3.3A のピーク電流をシンクできる、N チャネルロジック MOSFET ドライバを備えています。LO ドライバは VCC から給電され、EN が V_{EN} を上回り、VCC が $V_{VCC-UVLO}$ を上回ると有効になります。HO ドライバは HB から給電され、EN が V_{EN} を上回り、HB-SW 電圧が HB UVLO スレッショルド ($V_{HB-UVLO}$) を上回ると有効になります。

SW ピンの電圧がローサイド MOSFET をオンにすることで約 0V になると、 C_{HB} は内部ブートダイオードを経由して VCC から充電されます。 C_{HB} の推奨値は 0.1μF です。

LO と HO の出力はアダプティブ デッドタイム手法により制御されるため、両方の出力が同時にオンになることはありません。デバイスが LO をオンにするよう指示すると、アダプティブ デッドタイムのロジックにより、先に HO がオフになってから、HO-SW 電圧の低下を待ちます。それから、短い遅延 (t_{DHL}) の後で LO がオンになります。同様に、HO ドライバのタンオンは LO-PGND 電圧が放電されるまで遅延されます。それから、短い遅延 (t_{DLH}) の後で HO がオンになります。

BIAS ピンの電圧が 5V VCC レギュレーションのターゲットを下回る場合は、MOSFET の選択に特に注意してください。特に、低 BIAS ピン電圧でのスタートアップ時に、MOSFET を完全に強化するには、MOSFET スイッチのゲートプロト一電圧を BIAS ピンの電圧よりも低くする必要があります。ドライバの出力電圧が、スタートアップ時に MOSFET のゲートプロト一電圧よりも低い場合、コンバータが正しくスタートアップせず、最大デューティ サイクルで高い消費電力の状態のままになる可能性があります。この状態は、より低いスレッショルドの MOSFET を選択するか、BIAS ピンの電圧が十分などきにデバイスをオンにすることで回避できます。どのような条件でも、コンバータがバイパスで動作するときは注意が必要です。バイパス動作中、HO-SW の最低電圧は 3.75V です。

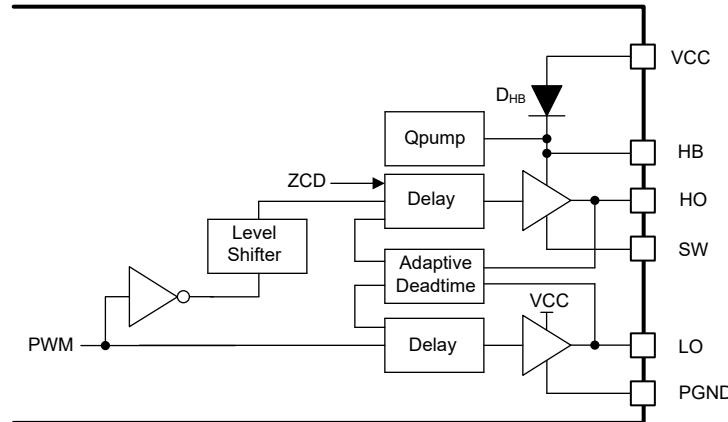


図 6-18. ブートダイオードを内蔵したドライバ構造

ヒップモードのフォルト保護は、HB-UVLOによってトリガれます。HB-SWの電圧がHB UVLOスレッショルド($V_{HB-UVLO}$)を下回ると、LOは75nsにわたって強制的にオンになり、昇圧コンデンサを再充電します。このデバイスでは、最大4つの連続した再充電スイッチングが可能です。最大4つの連続したブート再充電スイッチングの後で、デバイスは12サイクルにわたってスイッチングをスキップします。4つの連続した再充電スイッチングが4セット行われた後に、デバイスが昇圧コンデンサを再充電できなかった場合、デバイスはスイッチングを停止し、ヒップモードのオフ時間は512サイクルに移行します。ヒップモードのオフ時間中、PGOODとSSは接地されます。

必要であれば、プルダウンPNPトランジスタと並列にゲート抵抗を追加することで、スイッチングノード電圧のスルーレートを調整できます。ゲート抵抗を追加すると実効デッドタイムが短くなる可能性があるため、特に注意が必要です。

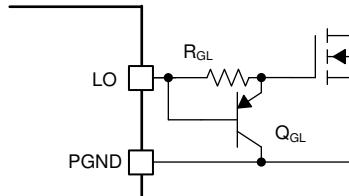


図 6-19. スルーレート制御

6.3.19 サーマルシャットダウン保護

本デバイスには内部的なサーマルシャットダウン(TSD)機能が搭載されており、接合部温度(T_J)が175°Cを超えたときにデバイスを保護します。TSDがアクティブになると、デバイスは強制的に低消費電力のサーマルシャットダウン状態になり、MOSFETドライバとVCCレギュレータは無効化されます。 T_J が低下した後で(ヒステリシスの標準値は15°C)、デバイスは再起動します。

6.4 デバイスの機能モード

6.4.1 デバイスステータス

6.4.1.1 シャットダウンモード

ENが V_{EN} を下回り、VHが V_{SYNC} を下回ると、デバイスはシャットダウンし、BIASの消費電流は3μAになります。シャットダウンモードでは、COMP、SS、PGOODは接地されます。ENが V_{EN} を上回るか、VHが V_{SYNC} を上回ると、デバイスは有効になります。

6.4.1.2 構成モード

本デバイスが最初に有効化されたとき、VCCが $V_{VCC-UVLO}$ より高ければ、120μsのデバイス構成が開始されます。デバイスの構成中に、VOUT範囲が選択されます。デバイスがシャットダウンされるか、VCCが2.2Vを下回ると、デバイス構成はリセットされます。デバイスを再構成するには、デバイスをシャットダウンすることをお勧めします。構成時間中は、

33k Ω 内部 EN プルダウン抵抗が接続され、VCC レギュレータの最小ソース能力は 100mA で、RT ピンは内部 RT レギュレータによって 0.5V にレギュレートされます。

6.4.1.3 アクティブモード

120 μ s の初期デバイス構成が完了すると、本デバイスはアクティブモードに移行し、UVLO が VUVLO を上回っていれば、すべての機能が有効になります。アクティブモードでは、ソフトスタートシーケンスが開始され、エラーアンプが有効になります。

6.4.1.4 バイパスモード

昇圧コンバータには、電源電圧が目標負荷電圧よりも高いとき、電源からハイサイド MOSFET ボディダイオードを経由して負荷への、自然なパススルー パスがあります。この動作条件の間、ボディダイオードの順方向電圧降下により、ハイサイド MOSFET は電力を消費します。消費電力を低減するため、ハイサイド MOSFET (HO) は 100% デューティサイクルで駆動され、VLOAD は VSUPPLY とほぼ等しくなります。この動作モードは、バイパスモードと呼ばれます。

本デバイスは、選択された軽負荷スイッチングモード動作、検出されるインダクタ電流、入力電圧に応じて、バイパスモードでの動作方法が異なります。バイパスモードに移行するには、OVPステータスが少なくとも 30 μ s (VOVTH-DLY) の間トリガされる必要があります。[セクション 6.3.8](#) を参照してください。また、CSP と CSN との間の電圧は 6mV (VCS-FWD) より大きい必要があります。OVPステータスがクリアされるか、VSW-SENSE がバイパスモードのゼロクロススレッショルドを下回ると、バイパスモードが終了します。バイパスモードのゼロクロススレッショルドは、選択された軽負荷スイッチングモード動作によって異なります。DE モードと FPWM の詳細については、それぞれ[セクション 6.4.1.4.2](#) と[セクション 6.4.1.4.1](#) を参照してください。

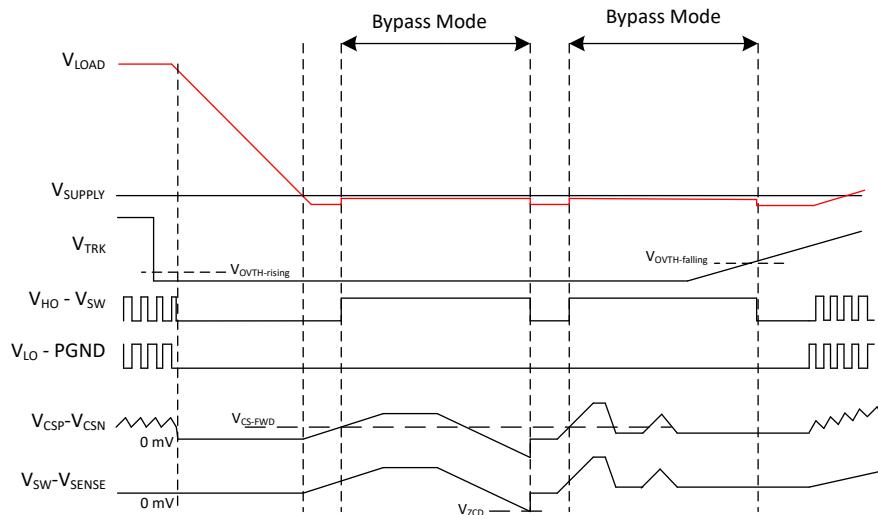


図 6-20. バイパスモード動作

6.4.1.4.1 バイパス DE モード

DE モードのスイッチング動作では、少なくとも 30 μ s (VOVTH-DLY) の間 OVPステータスがトリガされ、VCSP-CSN が 6mV (VCS-FWD) を上回るとバイパスモードに移行し、正のインダクタ電流を示します。OVPステータスがクリアされるか、VSW-SENSE が -5mV (VZCD-BYP) を下回ると、バイパスモードが終了します。VZCD-BYP は、VLOAD から VSUPPLY に電流が流れ、負の電流を停止するためハイサイド FET がオフになっていることを示します。ハイサイド FET がオフになると、デバイスはアクティブモードに移行します。バイパスモードに再度移行するには、適切な条件を満たす必要があります。デバイスがバイパスモードに移行、および終了する方法の詳細については、[表 6-1](#) を参照してください。

表 6-1. バイパス モード : DE モード

条件 ⁽¹⁾	
バイパス モードへの移行	$V_{VOUT} > V_{TRK} * K_{FB} * V_{OVTH_RISING}$ かつ $V_{CSP-CSN} > V_{CS-FWD}$
バイパス モードの終了	$V_{VOUT} < V_{TRK} * K_{FB} * V_{OVTH_FALLING}$ または $V_{SW-SENSE} < V_{ZCD-BYP}$

(1) K_{FB} は、選択した出力電圧範囲に応じて 20 または 60 です。セクション 6.3.7 を参照してください。

6.4.1.4.2 バイパス FPWM

FPWM スイッチング動作では、少なくとも $30\mu s$ ($V_{OVTH-DLY}$) の間 OVP ステータスがトリガされ、 $V_{CSP-CSN}$ が $6mV$ (V_{CS-FWD}) を上回ると、デバイスはバイパス モードに移行し、正のインダクタ電流を示します。OVP ステータスがクリアされるか、 $V_{SW-SENSE}$ が $-150mV$ ($V_{I-NEG-BYP}$) を下回ると、バイパス モードが終了します。FPWM 動作中のバイパス モードでは、 V_{LOAD} から V_{SUPPLY} に電流が流れる場合があります。ハイサイド FET が無効化されると、デバイスはアクティブ モードに移行します。バイパス モードに再度移行するには、適切な条件を満たす必要があります。デバイスがバイパス モードに移行、および終了する方法の詳細については、表 6-2 を参照してください。

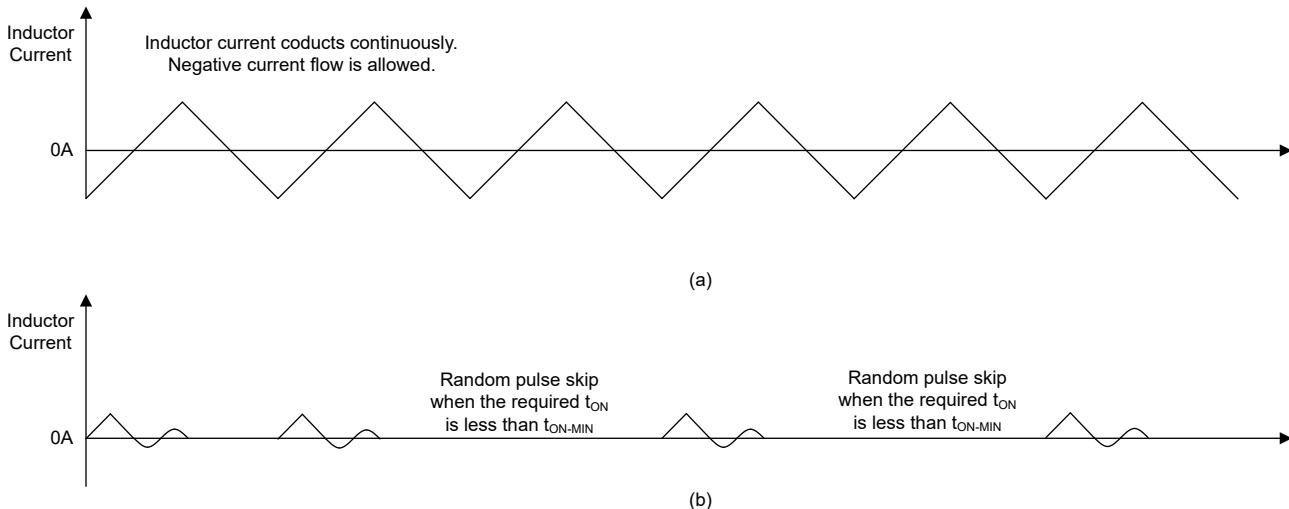
表 6-2. バイパス モード : FPWM

条件 ⁽¹⁾	
バイパス モードへの移行	$V_{VOUT} > V_{TRK} * K_{FB} * V_{OVTH_RISING}$ かつ $V_{CSP-CSN} > V_{CS-FWD}$
バイパス モードの終了	$V_{VOUT} < V_{TRK} * K_{FB} * V_{OVTH_FALLING}$ または $V_{SW-SENSE} < V_{I-NEG-BYP}$

(1) K_{FB} は、選択した出力電圧範囲に応じて 20 または 60 です。セクション 6.3.7 を参照してください。

6.4.2 軽負荷スイッチング モード

本デバイスには、2 つの軽負荷スイッチング モードがあります。各モードのインダクタ電流波形は、軽負荷/無負荷状態で異なります。

**図 6-21. 軽負荷時のインダクタ電流波形、(a) FPWM (b) ダイオード エミュレーション**

6.4.2.1 強制 PWM (FPWM) モード

FPWM モードでは、軽負荷または無負荷の状況でインダクタ電流が連続的に導通し、連續導通モード (CCM) で動作できます。FPWM モードの利点は、軽負荷から重負荷への過渡応答が高速なことと、軽負荷または無負荷の状況でスイッチング周波数が一定なことです。FPWM モードでは、最大逆電流が $150\text{mV}/R_{DS(\text{ON})}$ に制限されます。

6.4.2.2 ダイオード エミュレーション (DE) モード

ダイオード エミュレーション (DE) モードでは、インダクタ電流の流れは、入力ソースから出力負荷への 1 方向のみ許可されます。本デバイスは、ハイサイド スイッチのオン時間中に SW-SENSE 電圧を監視し、SW-SENSE 電圧が 5mV のゼロ電流検出 (ZCD) スレッショルド (V_{ZCD}) を下回ると、PWM サイクルの残りの時間にわたってハイサイド スイッチをオフにします。ダイオード エミュレーションの利点は、軽負荷時に FPWM モードより効率が高いことです。

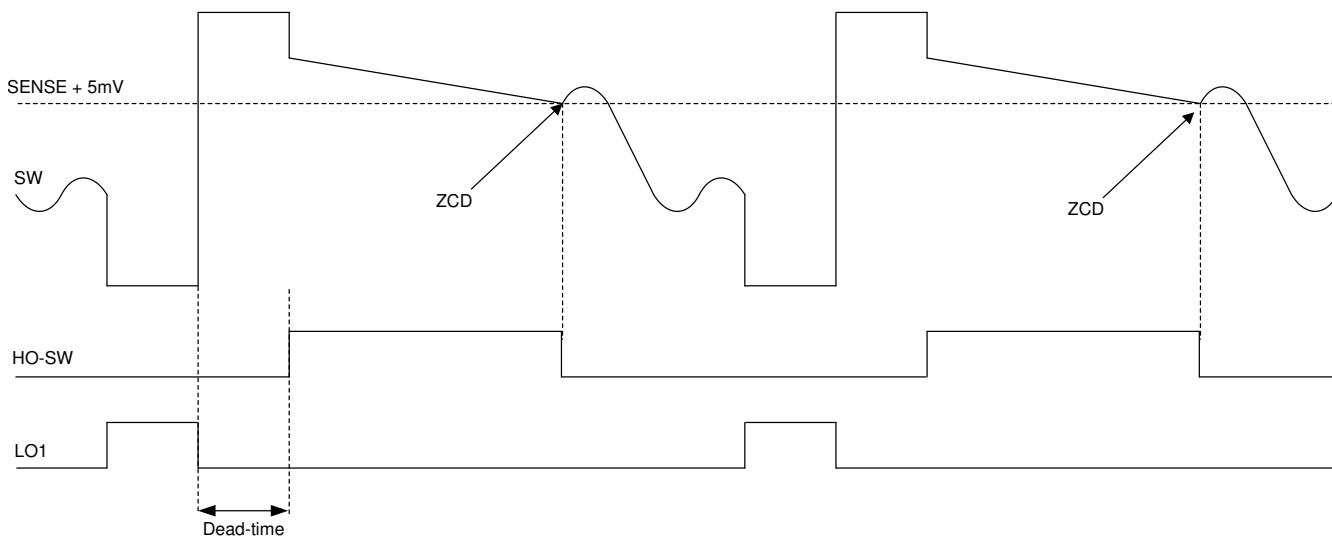


図 6-22. ゼロ電流検出

6.4.2.3 FPWM モードでの強制ダイオード エミュレーション動作

ソフトスタート中、SS ピンの電圧が 1.5V 未満の間、本デバイスは強制的にダイオード エミュレーションを行います。SS ピンが 1.5V を上回ったとき、デバイスはゼロ電流検出 (ZCD) スレッショルドを -145mV まで引き下げます。無負荷時に適切な FPWM 動作を行うには、ピークツーピークのインダクタ電流が式 14 を満たす必要があります。

$$\frac{I_{PP} \times R_{DS(on)}}{2} < 145\text{mV} \quad (14)$$

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

本デバイスには、システムの設計要件を満たすため、入力 UVLO、プログラム可能なソフトスタート、クロック同期、スペクトラム拡散、選択可能な軽負荷スイッチング モードなど、いくつかのオプション機能が内蔵されています。それぞれのアプリケーションでは、より包括的な設計のため、必要に応じてこれらの機能を組み入れています。詳細については、『[LM5123EVM-BST ユーザー ガイド](#)』を参照してください。

7.2 代表的なアプリケーション

図 7-1 に、可変出力電圧の昇圧コントローラを設計するための代表的な部品を示します。

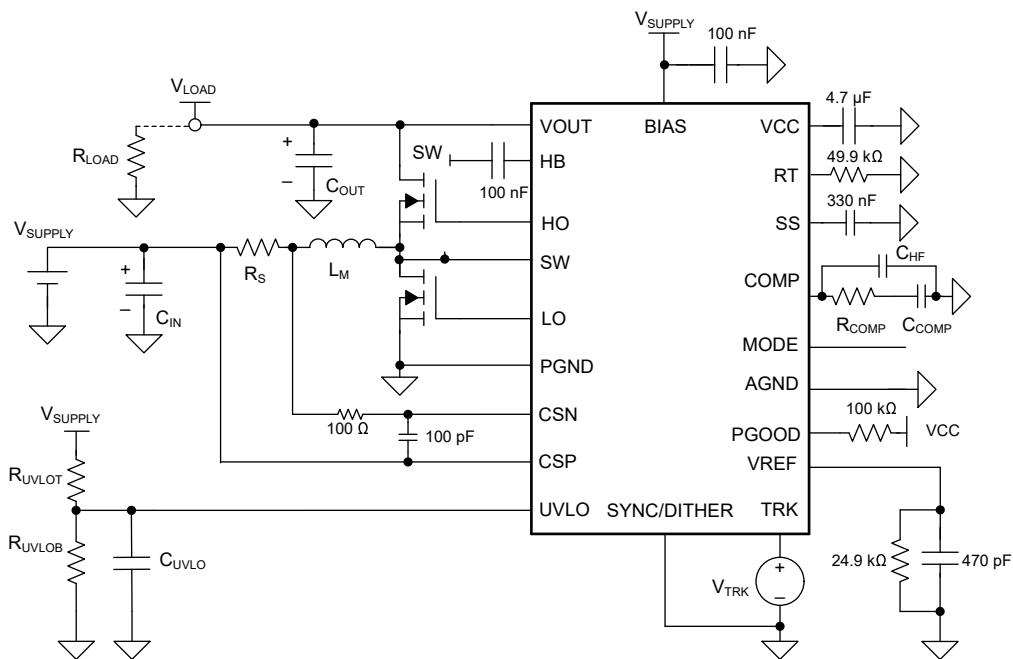


図 7-1. オプション部品を含む代表的な同期整流昇圧コンバータ

セクション 7.2.4 に記載された結果を得るために選択された部品の値を、表 7-1 に示します。

表 7-1. 部品選定

L _M	R _S	R _{COMP}	C _{COMP}	C _{HF}	C _{OUT}	C _{IN}
2.6μH	1.5mΩ	54.9kΩ	6.8nF	47pF	450μF	120μF

7.2.1 設計要件

このアプリケーション例の入力、出力、性能のパラメータを、表 7-2 に示します。設計パラメータは、可変出力電圧を必要とするアプリケーションを反映しています。

表 7-2. 設計例のパラメータ

設計パラメータ	値
最低入力電源電圧 ($V_{SUPPLY(MIN)}$)	9V
最低出力電圧 (V_{LOAD_MAX})	24V
最大出力電圧 (V_{LOAD_MAX})	45V
最大出力電力 (P_{OUT_MAX})	200W
標準スイッチング周波数 (f_{SW})	440kHz

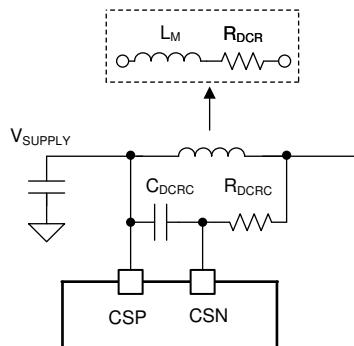
7.2.2 詳細な設計手順

クイックスタート カリキュレータを使用すると、特定のアプリケーション用のレギュレータを簡単に設計できます。

推奨される部品と、代表的なアプリケーション曲線については、『[LM5123EVM-BST EVM ユーザー ガイド](#)』を参照してください。

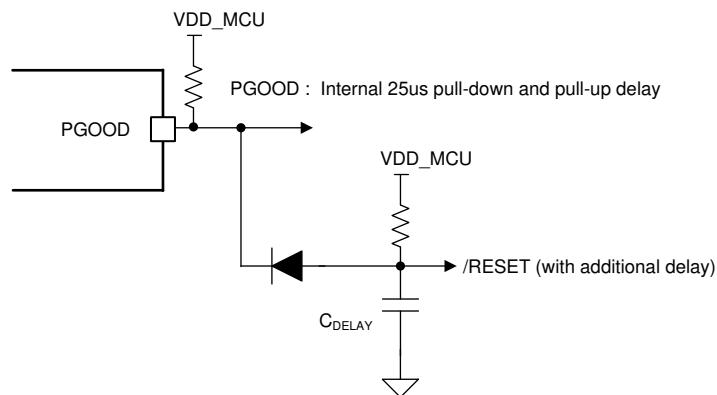
7.2.3 アプリケーションのアイデア

コストが最低限で、伝導損失も最小限であることが要求されるアプリケーションでは、検出抵抗を使用する代わりにインダクタの DC 抵抗 (DCR) を使用して、インダクタ電流の検出が行われます。時定数を一致させるには、 R_{DCRC} と C_{DCRC} が式 15 を満たす必要があります。


図 7-2. DCR 電流センシング

$$\frac{L_M}{R_{DCR}} = R_{DCRC} \times C_{DCRC} \quad (15)$$

必要なら、外部回路を使用して PGOOD の追加遅延をプログラムできます。


図 7-3. 追加の PGOOD 遅延

7.2.4 アプリケーション曲線

このセクションで示すデータは、[LM5123EVM-BST](#) 評価基板を使用して収集したものです。電源コントローラとしての LM5123-Q1 は、LM51231-Q1 に置き換えられました。

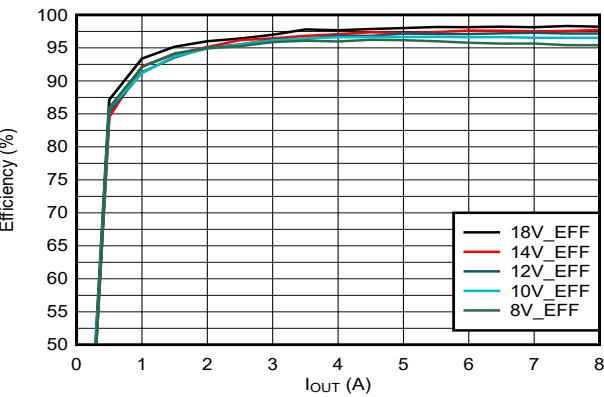


図 7-4. 効率と I_{OUT} との関係、 $V_{OUT} = 24V$ (FPWM)

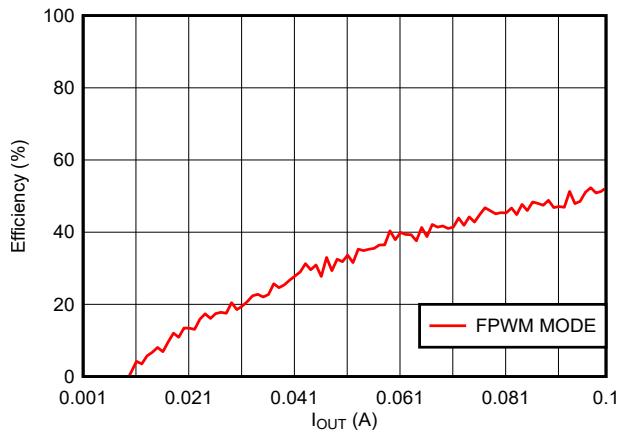


図 7-5. 効率と I_{OUT} との関係、 $V_{OUT} = 24V$ 軽負荷

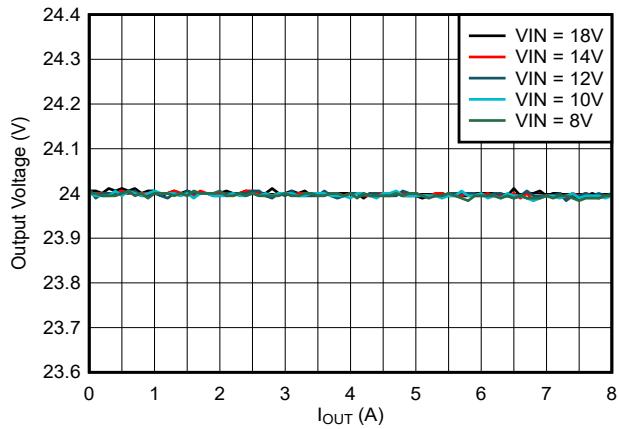


図 7-6. 24V ロード レギュレーション

7.3 システム例

Class-H オーディオ アプリケーションで LM51231 を使用します。TRK ピンを使用して、オーディオ アンプの電源を動的に制御できます。

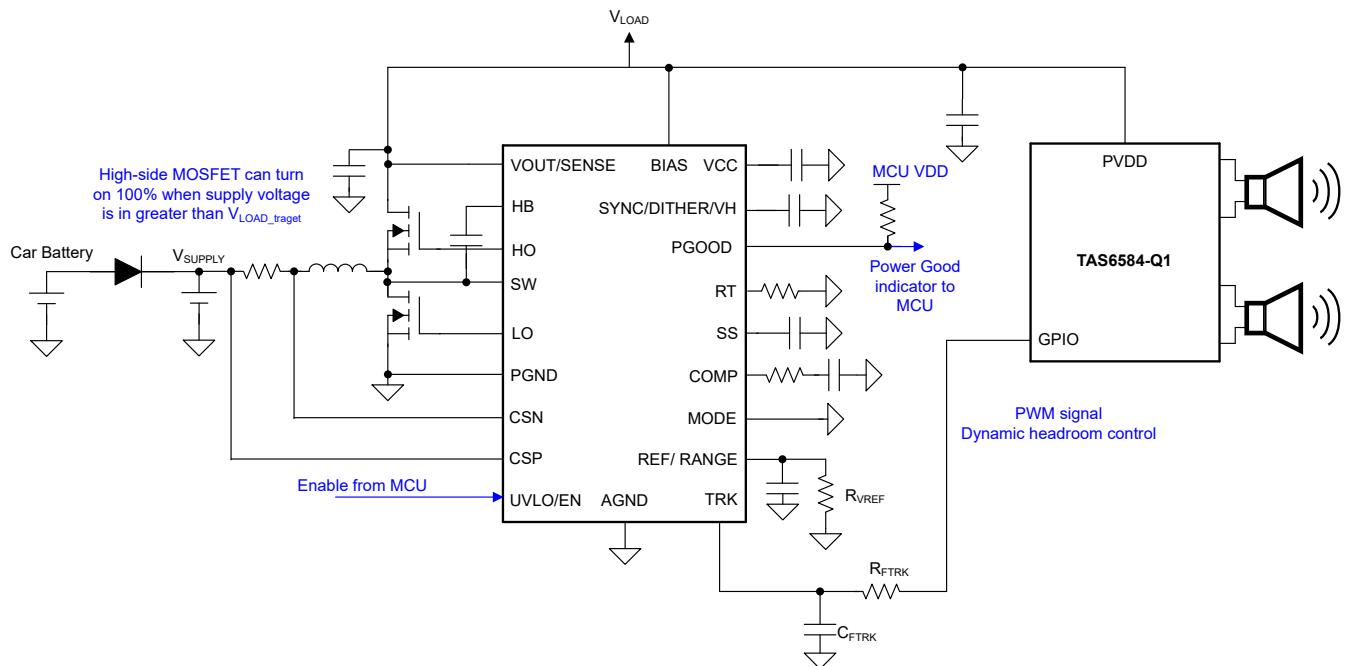


図 7-7. Class-H オーディオ アプリケーションの LM51231

LED アプリケーションで LM51231 を使用します。TRK ピンを使用して、ヘッドルームを制御できます。

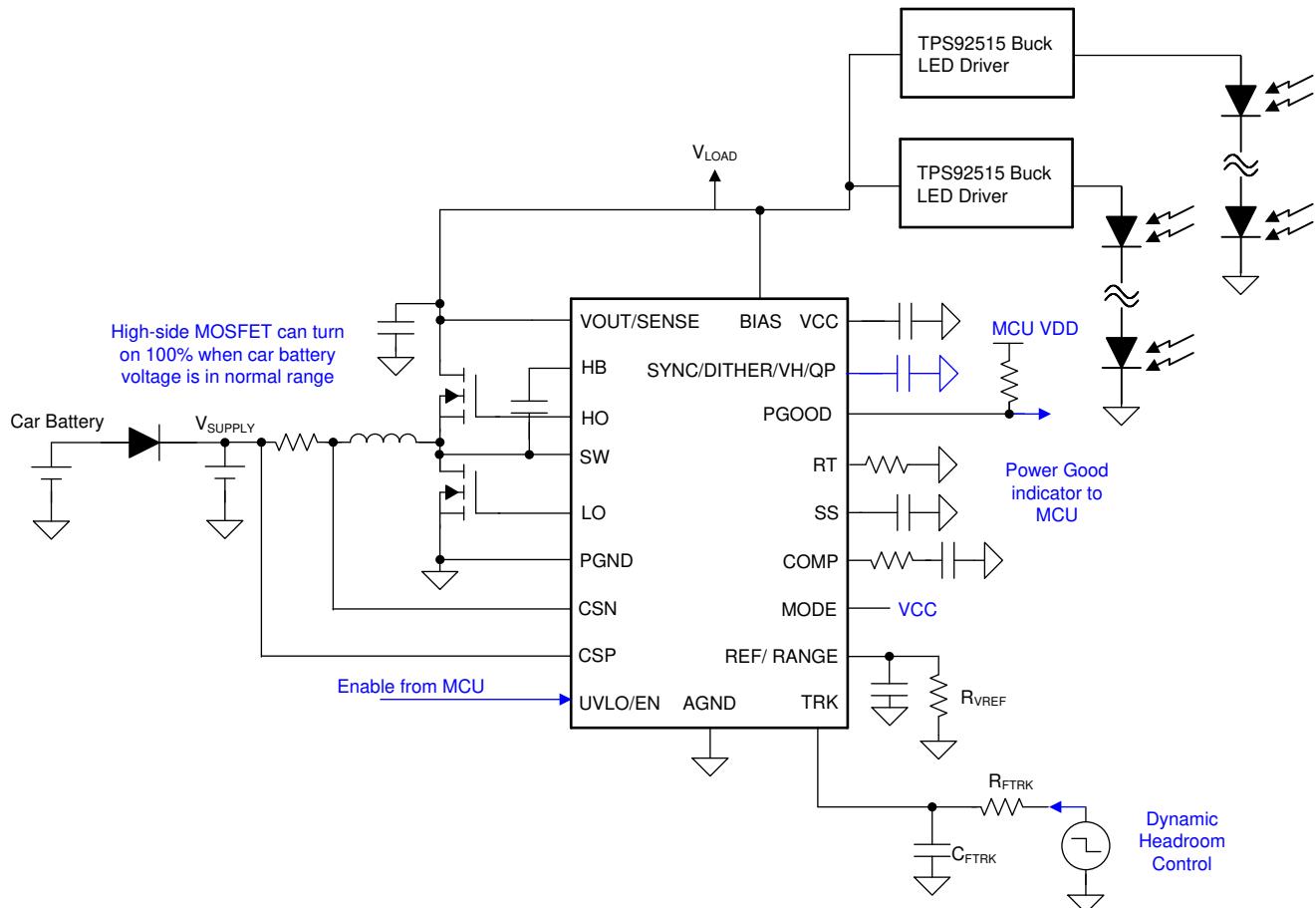


図 7-8. LED アプリケーションの LM51231

非同期昇圧コントローラを構成するには、SW を PGND に接続し、HB を VCC に接続します。

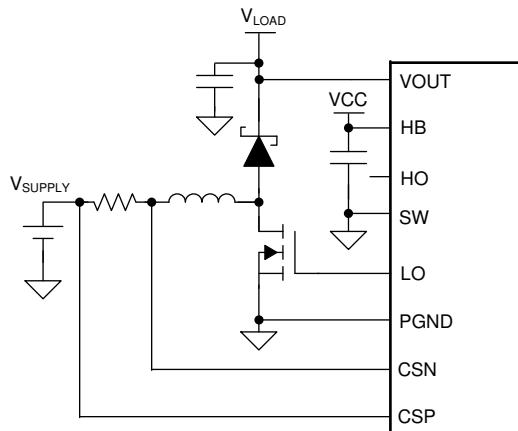


図 7-9. 非同期昇圧構成

7.4 電源に関する推奨事項

本デバイスは、電圧範囲が 0.8V ~ 42V の電源またはバッテリで動作するように設計されています。入力電源は、最大昇圧電源電圧を供給し、0.8V で最大入力電流を処理できる必要があります。電源とバッテリの、ケーブルを含めたインピーダンス

ダンスは、入力電流過渡によって過剰な電圧降下が発生しないよう、十分に小さい必要があります。コンバータの電源入力に、入力セラミック コンデンサの追加が必要な場合があります。

7.5 レイアウト

7.5.1 レイアウトのガイドライン

スイッチング コンバータの性能は、PCB レイアウトの品質に大きく依存します。次のガイドラインに従うことで、最高の電力変換性能や熱性能を実現しながら、不要な EMI の生成を最小限に抑えるような PCB を設計できます。

- C_{VCC} 、 C_{BIAS} 、 C_{HB} 、 C_{VOUT} は、デバイスのできるだけ近くに配置します。ピンに直接接続します。
- Q_H 、 Q_L 、 C_{OUT} を配置します。スイッチング ループ (C_{OUT} 、 Q_H 、 Q_L 、 C_{OUT} のループ) はできるだけ小さくします。小型のセラミック コンデンサを採用すると、ループ長の最小化に役立ちます。放熱のため、 Q_H のドレイン接続の近くに銅の領域を残します。
- L_M 、 R_S 、 C_{IN} を配置します。ループ (C_{IN} 、 R_S 、 L_M 、 C_{IN} のループ) はできるだけ小さくします。小型のセラミック コンデンサを採用すると、ループ長の最小化に役立ちます。
- R_S を CSP-CSN に接続します。CSP-CSN のパターンは、並列に配線し、グランドで囲む必要があります。
- $VOUT$ 、 HO 、 SW を接続します。これらのパターンは、短い低インダクタンスのパスを使用して並列に配線する必要があります。 $VOUT$ は、 Q_H のドレイン接続に直接接続する必要があります。 SW は、 Q_H のソース接続に直接接続する必要があります。
- LO と $PGND$ を接続します。 LO - $PGND$ のパターンは、短い低インダクタンスのパスを使って並列に配線する必要があります。 $PGND$ は、 Q_L のソース接続に直接接続する必要があります。
- R_{COMP} 、 C_{COMP} 、 C_{SS} 、 C_{VREF} 、 R_{VREFT} 、 R_{VREFB} 、 R_T 、 R_{UVLOB} をデバイスの近くに配置し、共通のアナログ グランド プレーンに接続します。
- 電源グランド プレーン (Q_L のソース接続) を $PGND$ 経由で EP に接続します。共通のアナログ グランド プレーンを $AGND$ 経由で EP に接続します。 $PGND$ と $AGND$ は、デバイスの下に接続する必要があります。
- EP の下にいくつかのビアを追加して、デバイスからの放熱性能を向上させます。ビアは、最下層レイヤの大きなアナログ グランド プレーンに接続します。
- デバイスの下や、 EP に接続されている大きなアナログ グランド プレーンを経由して C_{OUT} と C_{IN} のグランドを接続しないでください。

7.5.2 レイアウト例

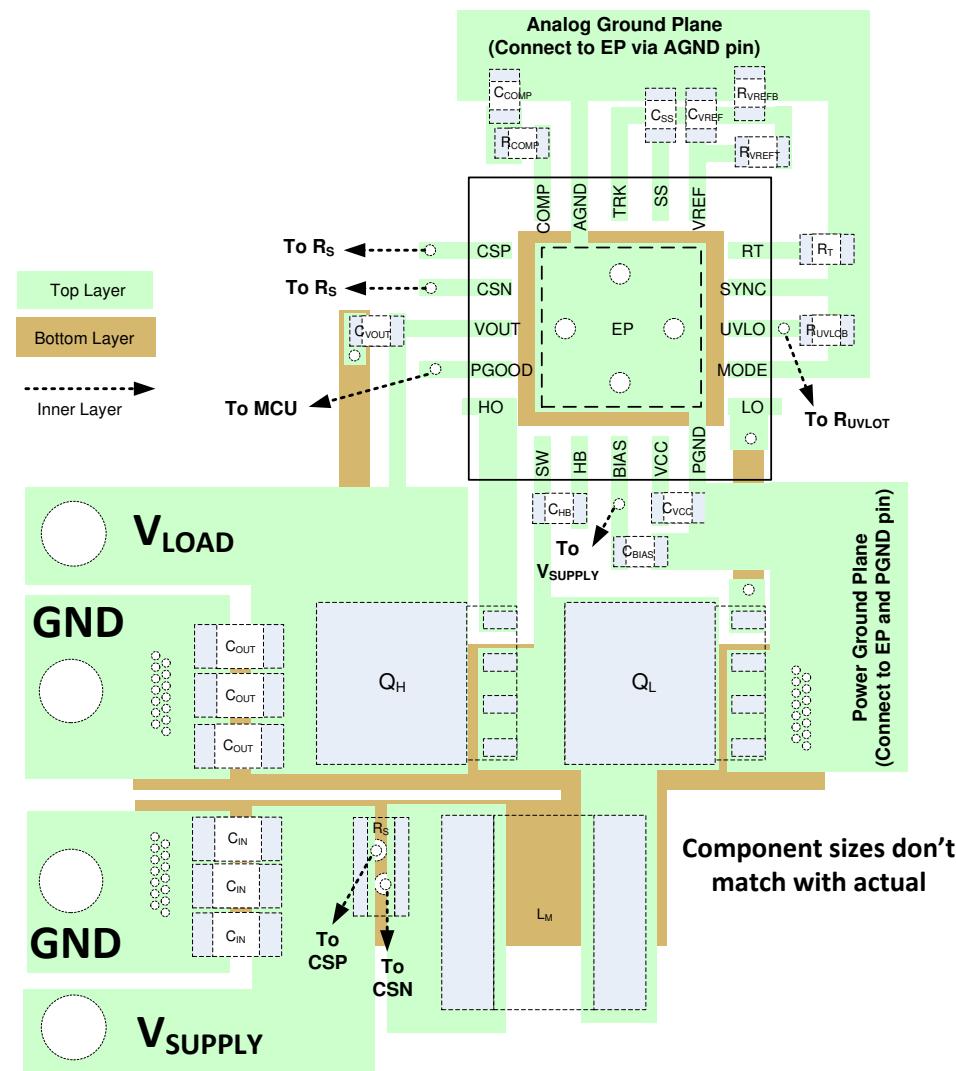


図 7-10. PCB のレイアウト例

8 デバイスおよびドキュメントのサポート

8.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.4 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお勧めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (October 2022) to Revision A (November 2025)	Page
• 表を更新して SW から AGND ～ (10ns) -5V MIN を追加.....	5

日付	改訂	注
2022 年 10 月	*	初版。

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用している場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LM51231QRGRRQ1	Active	Production	VQFN (RGR) 20	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2W3L
LM51231QRGRRQ1.A	Active	Production	VQFN (RGR) 20	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2W3L

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

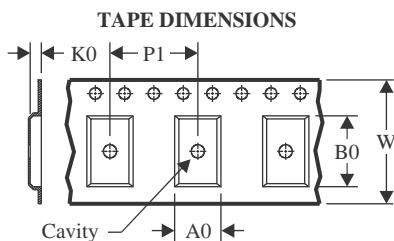
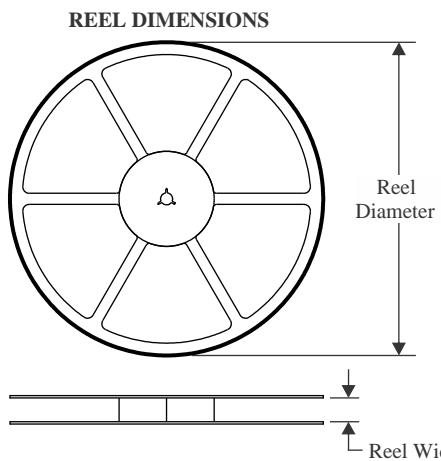
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

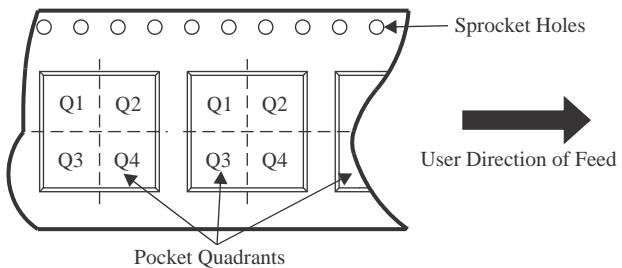
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



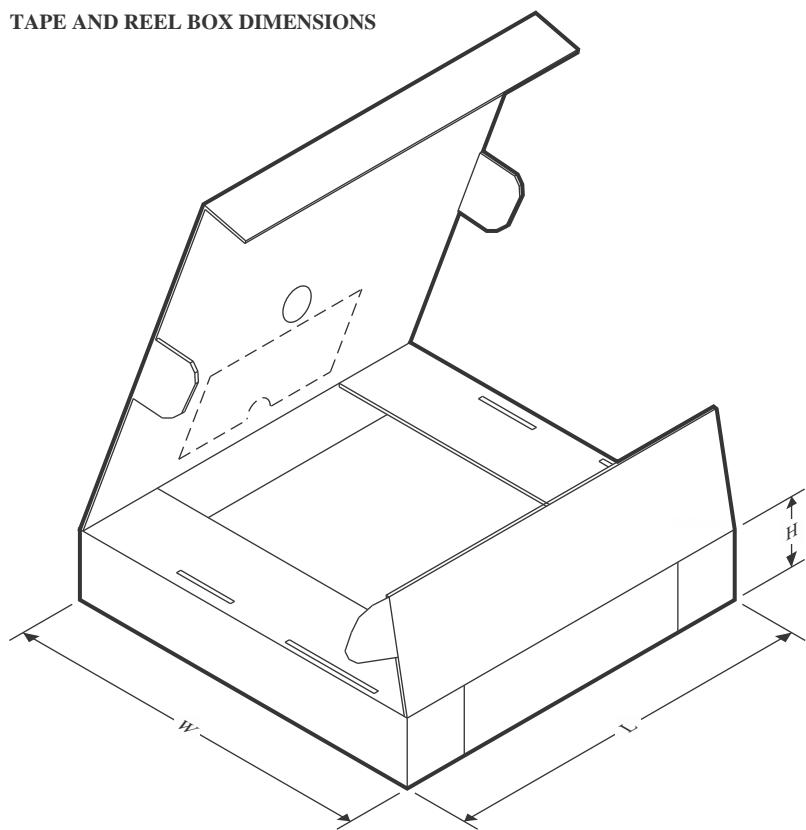
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LM51231QRGRRQ1	VQFN	RGR	20	3000	330.0	12.4	3.75	3.75	1.15	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LM51231QRGRRQ1	VQFN	RGR	20	3000	367.0	367.0	35.0

GENERIC PACKAGE VIEW

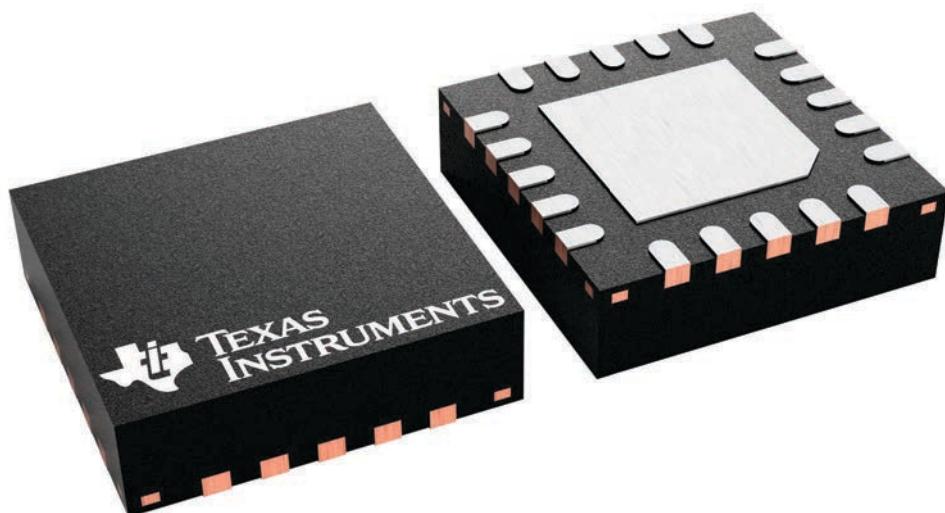
RGR 20

VQFN - 1 mm max height

3.5 x 3.5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



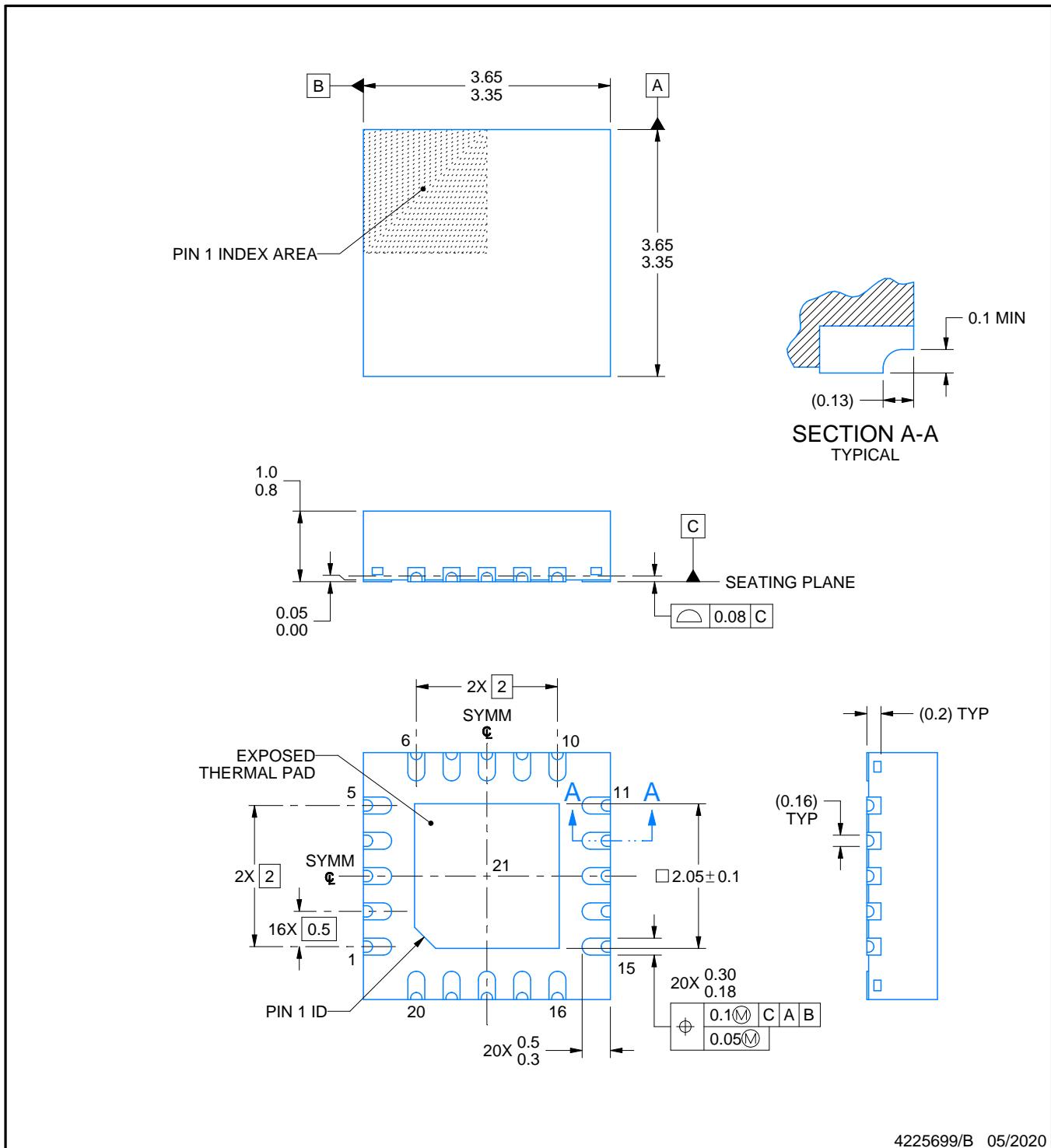
4228482/A

PACKAGE OUTLINE

RGR0020C

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



4225699/B 05/2020

NOTES:

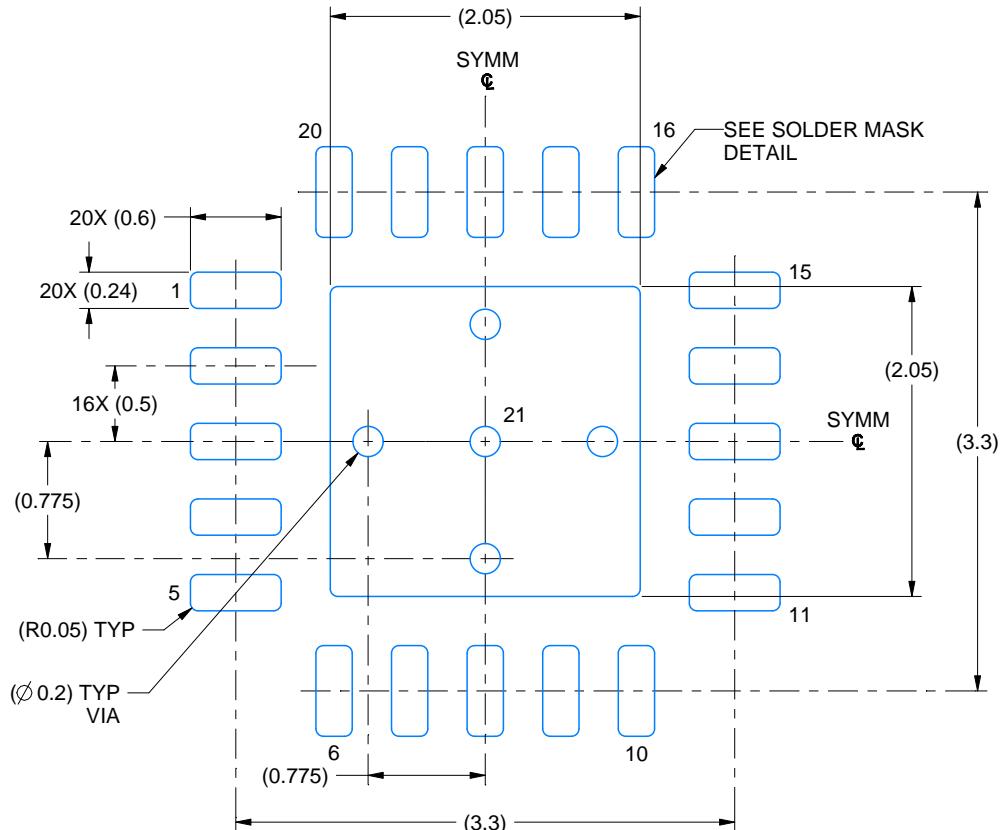
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

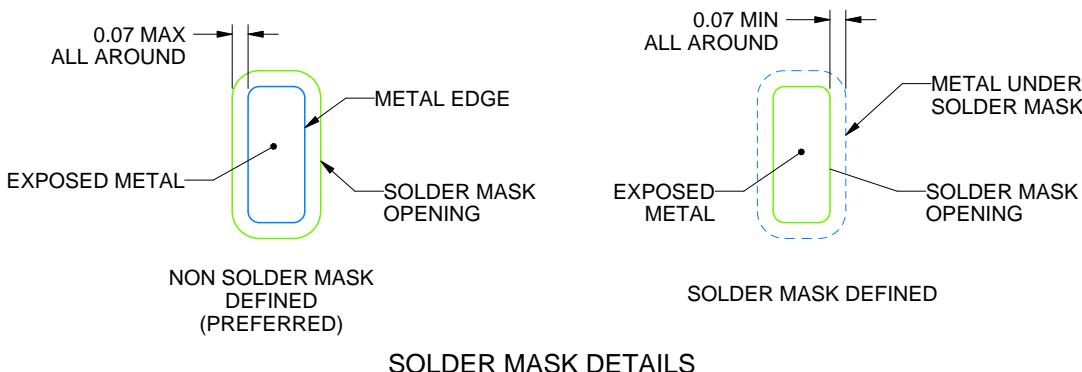
RGR0020C

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



SOLDER MASK DETAILS

4225699/B 05/2020

NOTES: (continued)

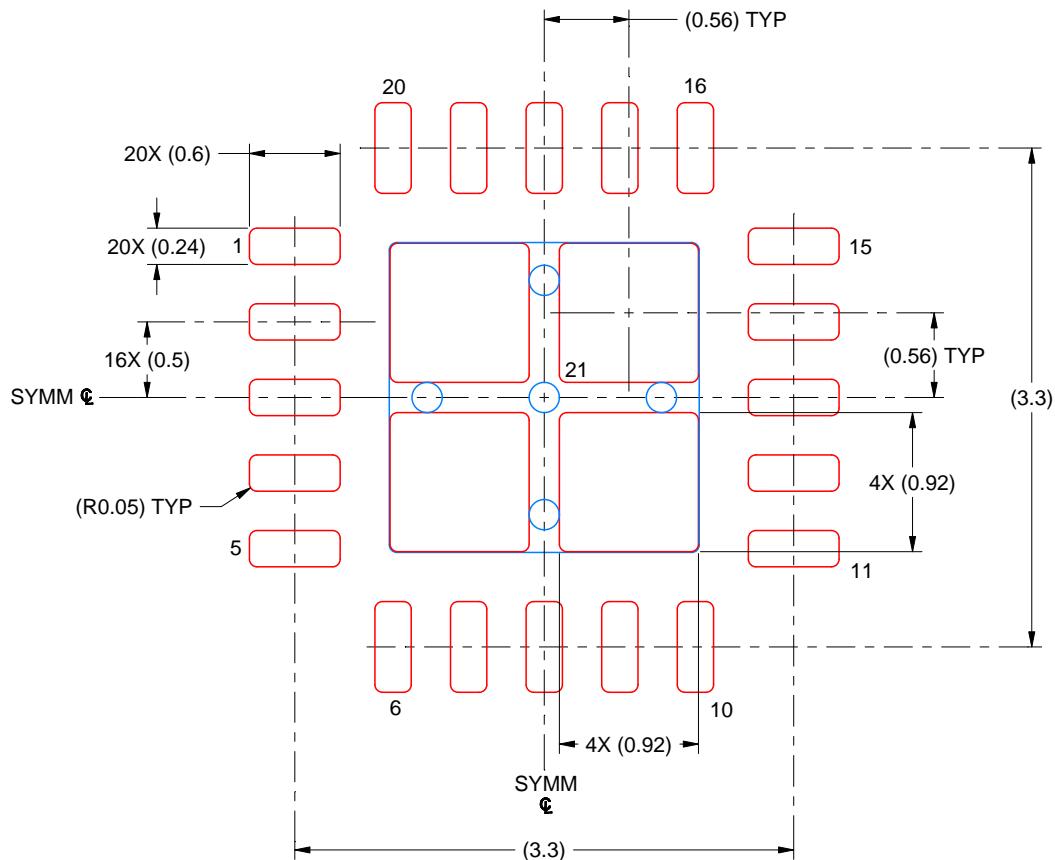
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RGR0020C

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



**SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 20X**

EXPOSED PAD 21
81% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4225699/B 05/2020

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適した TI 製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月