LM51772-Q1 I²C インターフェイス搭載 55V 4 スイッチ昇降圧コントローラ

1 特長

- 入力範囲:0V ($V_{(BIAS)}$ ≥ 3.5V) ～55V
- 出力電圧:1V～55V
- 以下からの I²C を介した動的 V_o プログラミング:
  - 3.3V から最大 48V (20mV 刻み)
  - 1V から最大 24V (10mV 刻み)
- ピーク電流レギュレーション制御
- すべての動作モードで小さい電圧遷移リップル
- シャットダウン時静止電流:3μA
- 動作時静止電流:60μA
- DRV ピンによる外部 FET 制御
- 軽負荷および高負荷条件で高効率を実現する動作モードの選択:
  - パワー セーブ モード (単一パルス / μSleep)
  - 自動 / プログラマブル導通モード
- 高電圧 LDO を内蔵
- 補助高電圧 LDO/リファレンス
- フルブリッジ ゲートドライブを内蔵
  - 2A ピーク電流能力
  - ブートストラップ過電圧および低電圧保護
  - ブートストラップ ダイオードを内蔵
- 動作モードから独立した固定周波数 (昇圧、昇降圧、降圧)
  - 強制 PWM モードを選択可能
  - スイッチング周波数:100kHz～2.2MHz
  - 外部クロック同期およびクロック出力
- 平均入力または出力電流センサ
  - 0.5A (5mV)～7A (70mV) の範囲で 50mA (500μV) 刻みにプログラム可能
  - ISET ピンを選択可能
- I²C でプログラム可能で、診断機能も付きます
  - I²C の使用はオプションで、CFG ピンを介して代替機能を選択できます
- 車載用温度範囲 (Tj = -40℃ ～ 150℃)
- 40 ピンのウェッタブル フランク付き WSON パッケージ
- WEBENCH® Power Designer により、LM51772-Q1 を使用するカスタム設計を作成

2 アプリケーション

- 車載用 ADAS ドメイン コントローラ
- 車載用インフォテインメント、デジタル コックピット
- 車載用センサ フュージョン
- USB-PD EPR (拡張電力範囲)
- 車載用エネルギー ストレージ、バッテリ / スーパーキャパシタのバックアップ

3 説明

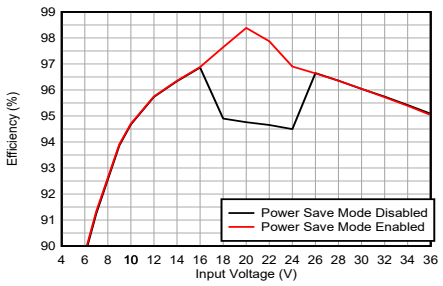
LM51772-Q1 は 4 スイッチの昇降圧コントローラで、オプションで I²C 制御を選択できます。本デバイスは入力電圧が、調整された出力電圧よりも高い、等しい、または低い場合に、レギュレートされた出力電圧を供給します。このデバイスはパワー セーフ モードで、軽負荷および高負荷の状態で非常に高い効率をサポートし、プログラム可能なパススルー機能 (PCM) を備えています。2 番目の過電圧保護機能はユーザーによるプログラムが可能で、湿度 (テスト) 条件が発生している間に電圧を制限するために使用できます。熱警告などの多数の監視機能は、システムのハウスキーピングの維持に役立ちます。

LM51772-Q1 は固定スイッチング周波数で動作し、RT または SYNC ピンを経由して設定できます。降圧、昇圧、昇降圧動作中も、スイッチング周波数は同一に維持されます。このデバイスは、すべての動作モードにわたって小さなモード遷移リップルを維持します。内蔵およびオプションのハイサイド電流センサには、高精度の出力または入力電流制限機能があります。LM51772-Q1 の平均電流制限も、I2C インターフェイスにより構成可能です。

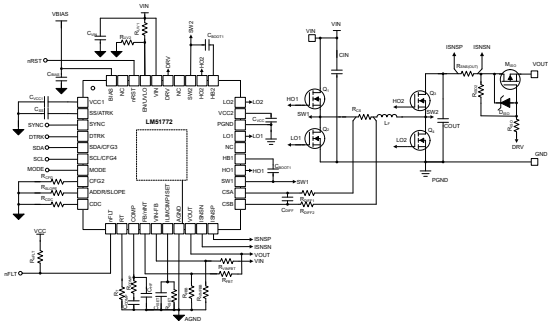
パッケージ情報

部品番号	パッケージ (1)	本体サイズ (公称)
LM51772-Q1RHAR	RHA040	6mm × 6 mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



効率と入力電圧との関係、V_O = 20V、I_O = 5A



代表的なアプリケーション回路図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....7
5.1 絶対最大定格.....7
5.2 取り扱い定格.....8
5.3 推奨動作条件.....8
5.4 熱に関する情報.....8
5.5 電気的特性.....9
5.6 タイミング要件.....15
5.7 代表的特性.....17
6 パラメータ測定情報.....22
7 詳細説明.....23
7.1 概要.....23
7.2 機能ブロック図.....24
7.3 機能説明.....25
7.4 デバイスの機能モード.....62
7.5 プログラミング.....63
8 LM51772-Q1 のレジスタ.....66
9 アプリケーションと実装.....95
9.1 アプリケーション情報.....95
9.2 代表的なアプリケーション.....95
9.3 パワー パス付き PD ソース.....108
9.4 並列 (マルチフェーズ) 動作.....109
9.5 定電流出力 LED ドライバ.....110
9.6 ワイヤレス充電供給.....110
9.7 双方向電力バックアップ.....111
9.8 電源に関する推奨事項.....112
9.9 レイアウト.....112
10 デバイスおよびドキュメントのサポート.....115
10.1 ドキュメントのサポート.....115
10.2 ドキュメントの更新通知を受け取る方法.....115
10.3 サポート・リソース.....115
10.4 商標.....115
10.5 静電気放電に関する注意事項.....115
10.6 用語集.....115
11 改訂履歴.....115
12 メカニカル、パッケージ、および注文情報.....116

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能

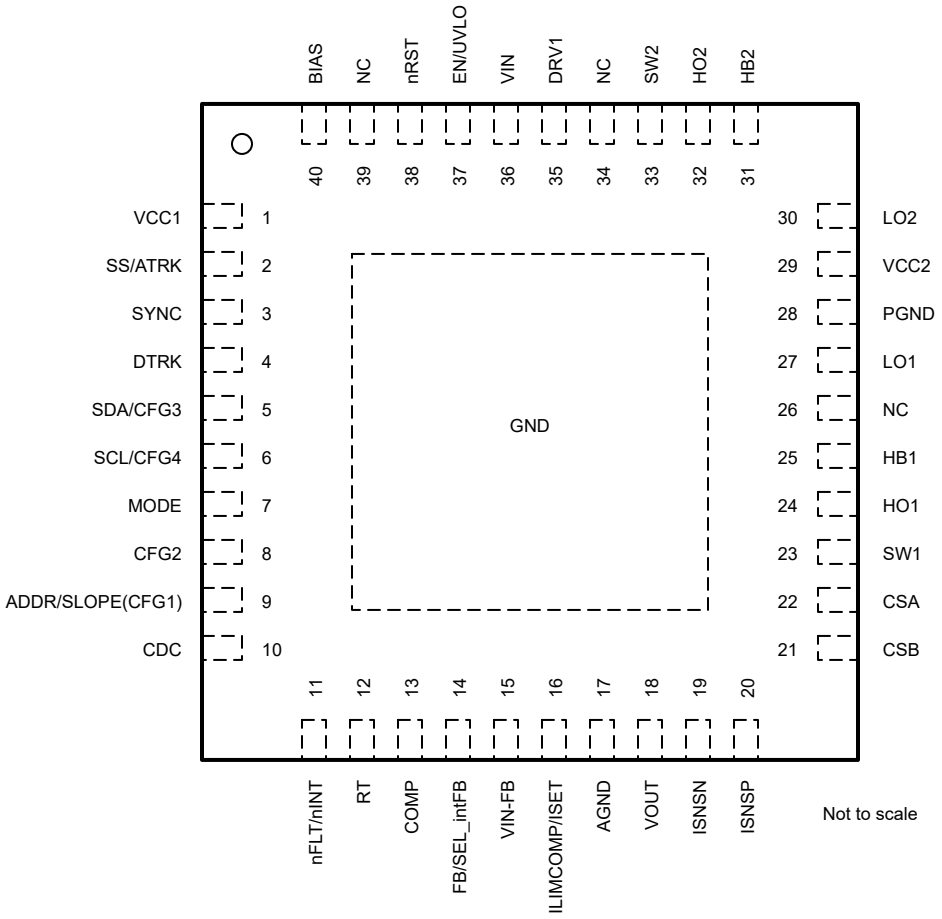


図 4-1. LM51772-Q1RHA パッケージ、40 ピン QFN (上面図)

表 4-1. ピン機能 LM51772-Q1

ピン		I/O(1)	説明
名称	番号		
VCC1	1	O	補助 5V レギュレータ出力。このコンデンサは、適切なデカップリングを実現するためピンの近くに配置します。ロジックによって出力がディセーブルされる場合、抵抗で GND に接続するか、VCC2 にプルします。ピンをフローティングのままにしないでください。
SS/ATRK	2	I/O	ソフトスタート プログラミング ピン。SS ピンと AGND ピンの間に接続するコンデンサによって、ソフトスタート時間をプログラミングします。 アナログ出力電圧トラッキング ピン。VOUT のレギュレーション目標は、このピンを可変のリファレンス電圧 (デジタル/アナログ コンバータなど) に接続することでプログラムできます。内部回路は、ピンの電圧と内部電圧リファレンスとの間で最低の電圧を選択します。
SYNC	3	I	同期クロック入力 / 出力。内部発振器は、動作中に外部クロックと同期可能です。*このピンをフローティングのままにしないでください*。この機能を使用しない場合は、ピンを VCC2 または GND に接続します。 SYNC ピンは、クロック同期出力信号として構成できます。クロック位相は 0° と 180° に設定でき、並列 (2 位相) 動作で 2 つのデバイスを直接動作させることができます。
DTRK	4	I	動的出力電圧トラッキング用のデジタル PWM 入力ピン。*このピンをフローティングのままにしないでください*。この機能を使用しない場合は、ピンを VCC または GND に接続します。
SDA/CFG3	5	I/O	I^2C インターフェイス シリアル データ ライン外付けプルアップ抵抗を接続します I2C がディセーブルなら、このピンは詳細な構成ピンです。CFG3 ピンと AGND の間に抵抗を接続して、セクション 7.3.22 に従ってデバイスの動作を選択します
SCL/CFG4	6	I	I^2C インターフェイス シリアル クロック ライン。外付けプルアップ抵抗を接続します I2C がディセーブルなら、このピンは詳細な構成ピンです。CFG4 ピンと AGND の間に抵抗を接続して、セクション 7.3.22 に従ってデバイスの動作を選択します
モード	7	I	デバイス動作モードを選択するためのデジタル入力。このピンが low にプルされると、パワー セーブ モード (PSM) がイネーブルになります。このピンが high になると、強制 PWM または CCM 動作がイネーブルになります。この構成は、動作中に動的に変更できます。*このピンをフローティングのままにしないでください*。
CFG2	8	I/O	デバイス構成ピン。CFG2 ピンと GND の間に抵抗を接続し、セクション 7.3.22 に従ってデバイスの動作を選択します
ADDR/ SLOPE(CFG1)	9	I	勾配補償とアドレス選択。また、このピンは I2C インターフェイスをディセーブルにし、SCL、SCA を追加のスロープ構成ピンとして使用します。 CFG1 ピンと AGND の間に抵抗を接続して、セクション 7.3.22 に従ってデバイスの動作を選択します
CDC	10		ケーブル電圧降下補償または電流モニタ出力ピン。CDC ピンと AGND の間に抵抗を接続して、ケーブル電圧降下補償のゲインを選択します。 デフォルトでは、このピンは ISNSP ピンと ISNSN ピンの間で検出された電圧の電流監視信号を提供します 電流監視が無効になっている場合は、CDC をグランドに接続します
nFLT/nINT	11	O	障害表示または電源正常用のオープン ドレイン出力ピン。このピンは割り込みピンとして構成できます。STATUS レジスタを変更すると、256µs のピンが low に切り替わります。
RT	12	I/O	スイッチング周波数のプログラミング用ピン。RT ピンと AGND に外付け抵抗を接続して、スイッチング周波数を設定します
COMP	13	O	エラー アンプの出力。レギュレータ電圧ループの安定/補償を行うため、COMP と AGND の間に外付け RC ネットワークを接続する必要があります。
FB/SEL_INTFB	14	I	出力電圧レギュレーション用の帰還ピン。コンバータの出力と FB ピンとの間に分圧抵抗回路を接続します。FB ピンを VCC2 に接続すると、デバイスの固定出力電圧のデフォルト設定で動作します。 内部帰還を選択するには、デバイスを起動する前に、このピンを VCC2 に接続します

Copyright © 2025 Texas Instruments Incorporated

表 4-1. ピン機能 LM51772-Q1 (続き)

ピン		I/O(1)	説明
名称	番号		
VIN - FB	15		VIN センス ピン。外部分圧器で PCM を使用するには、VOUT 分圧器と同じゲインを持つ VIN 分圧器に接続します。 内部出力電圧デバイダまたは PCM を使用しない場合は、AGND に接続します。フローティングのままにしないでください。
ILIMCOMP/ISET を参照してください	16		平均電流制限ループの補償ピン。電流制限が内部 DAC で設定されている場合は、コンデンサまたはタイプ 2 の R-C 回路を接続します。 内部 DAC がディセーブルなら、このピンは平均電流制限の電流制限スレッショルドを設定します。抵抗を AGND に接続します。アプリケーションの要件に応じて、並列コンデンサのフィルタを推奨します 電流制限が ISET で設定されている場合は、AGND に抵抗を接続します。 ISET ピンを VCC2 に接続すると、ブロックがディセーブルになり、静止電流が低減します
AGND	17	G	アナログ GND
VOUT	18	I	出力電圧検出入力。電力段の出力レールに接続します。
ISNSN	19	I	出力または入力平均電流センス アンプの負のセンス入力。ISNSN と ISNSP の間に接続されるオプションの電流センス抵抗は、電力段の入力側または出力側に配置できます。 オプションの電流センサがディセーブルの場合は、ISNSN と ISNSP を一緒に AGND に接続してください
ISNSP	20	I	出力または入力電流センス アンプの正のセンス入力。ISNSN と ISNSP の間に接続されるオプションの電流センス抵抗は、電力段の入力側または出力側に配置できます。 オプションの電流センサが無効になっている場合は、ISNSP をグランドに接続してください
CSB	21	I	インダクタ ピーク電流センス負入力。ケルビン接続を使用して、外部電流センス抵抗の負の側に CSB を接続します。
CSA	22	I	インダクタ ピーク電流検出正入力。ケルビン接続を使用して、外部電流センス抵抗の正の側に CSA を接続します。
SW1	23	P	降圧ハーフブリッジのインダクタスイッチノード
HO1	24	O	降圧ハーフブリッジのハイサイド ゲートドライバ出力
HB1	25	P	降圧ハーフブリッジのブートストラップ電源ピン。ハイサイド MOSFET ゲートドライバにバイアスを提供するために、HB1 ピンと SW1 に外付けコンデンサが必要です。 適切なデカップリングのため、外付けコンデンサはピンとコンデンサ間の抵抗なしに、ピンに近づけて配置します
NC	26	O	接続なし
LO1	27	O	降圧ハーフブリッジのローサイド ゲートドライバ出力
PGND	28	G	電源グランド
VCC2	29	O	内部リニア バイアス レギュレータ出力。VCC と PGND の間にセラミック デカップリング コンデンサを接続します。このレールは、内部ロジックおよびゲートドライバの電源となります。 適切なデカップリングのため、外付けコンデンサはピンとコンデンサ間の抵抗なしに、ピンに近づけて配置します。
LO2	30	O	昇圧ハーフブリッジのローサイド ゲートドライバ出力
HB2	31	P	昇圧ハーフブリッジのブートストラップ電源ピン。ハイサイド MOSFET ゲートドライバにバイアスを提供するために、HB2 ピンと SW2 に外付けコンデンサが必要 適切なデカップリングのため、外付けコンデンサはピンとコンデンサ間の抵抗なしに、ピンに近づけて配置します
HO2	32	O	昇圧ハーフブリッジのハイサイド ゲートドライバ出力
SW2	33	P	昇圧ハーフブリッジのインダクタ スイッチ ノード
NC	34	O	接続なし

表 4-1. ピン機能 LM51772-Q1 (続き)

ピン		I/O[1]	説明
名称	番号		
DRV1	35		外部 FET ドライブ ピン。このピンは、選択した構成に応じて、高電圧プッシュプル段、オープン ドレイン出力、またはチャージ ポンプ ドライバ段を備えています。 オプションの DRV ピンを使用しない場合は、DRV を開放のままにしておくことができます。
VIN	36	I	本デバイスの入力電源とセンス入力。VIN を電力段の電源電圧に接続します。
EN/UVLO	37	I	イネーブル ピン。コンバータのスイッチングをイネーブルするためのデジタル入力ピン。 入力には、高精度のアナログ コンパレータとヒステリシスが搭載されており、入力電圧を監視します。入力電圧との間に分圧抵抗を接続して、低電圧誤動作防止 (UVLO) 機能を維持します。
nRST	38	I	デジタル入力ピンを使用してデバイスの内部ロジック、インターフェイス動作、および VCC1 レギュレータをイネーブルすることができます (選択する場合)。
NC	39	O	接続なし
BIAS	40		VCC2 バイアス レギュレータへの入力 (オプション)。VIN の代わりに外部電源から VCC2 に電力を供給すると、V_{IN} が高い場合に電力損失を低減できます。
GND	PAD	G	サーマル パッド

1. I = 入力、O = 出力、I/O = 入力または出力、G = グランド、P = 電源。

Copyright © 2025 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由空気での動作温度範囲内 (特に記述のない限り)[1]

		最小値	最大値	単位
入力	BIAS から AGND へ	-0.3	59	V
入力	VIN、ISNSP、ISNSN から AGND へ	-0.3	59	V
入力	EN/UVLO、nRST	-0.3	59 [4]	V
入力			$V_{(VIN)}$ + 5 [4]	V
入力	SS/ATRK、DTRK、RT、SYNC、MODE、SDA、SCL、ADDR/SLOPE、CFG2、AGND へ [3]	-0.3	5.8	V
入力	FB、VIN-FB から AGND へ	-0.3	5.8	V
入力	ISNSP から ISNSN へ	-0.3	0.3	V
入力	CSA、CSB から SW1 へ	-0.3	0.3	V
入力	SW1、SW2 から AGND(DC) まで	-0.5	59	V
入力	SW1、SW2 から AGND へ (≤100ns 期間)	-2	59	V
入力	SW1、SW2 から AGND へ (≤10ns 期間)	-3	59	V
入力	SW1、SW2 から AGND へ (≤5ns 期間)	-4	59	V
入力	PGND から AGND へ	-0.3	0.3	V
出力	VCC1、VCC2 から AGND へ	-0.3	5.5	V
出力	VOUT、DRV1 から AGND へ	-0.3	59	V
出力	nFLT から AGND へ	-0.3	5.8	V
出力	COMP、ILIMCOMP/ISET、CDC から AGND へ[2]	-0.3	5.8	V
出力	LO1、LO2 から PGND へ	-0.3	$V_{(VCC2)}$+0.3	V
出力	HB1 から SW1 へ、HB2 から SW2 へ	-0.3	5.5 [5]	V
出力		-0.3	6	V
出力	HO1～SW1	-0.3	$V_{(HB1)}$+0.3	V
出力	HO2～SW2	-0.3	$V_{(HB2)}$+0.3	V
出力	HO1、HO2、HB1、HB2 から AGND へ	-0.3	65	V
保管温度、T_{STG}		-55	150	°C
動作時の接合部温度、T_J [3]		-40	150	

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) このピンには、通常 1.6mA の電流を処理できる最大電圧クランプが内蔵されています。
(3) 接合部温度が高くなると、動作寿命が短くなります。接合部温度が 125℃を超えると、動作寿命が短くなります。
(4) 上記の両方の条件を遵守する必要があります
(5) 電圧が規定の最大値を超えると、動作寿命が短くなります

5.2 取り扱い定格

				値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002[1] 準拠		±2000	V
		荷電デバイス モデル (CDM)、AEC Q100-011 準拠	角のピン	±750	
			その他のピン	±500	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

5.3 推奨動作条件

接合部の推奨動作温度範囲内 (特に記述のない限り)[1]

		最小値	公称値	最大値	単位
$V_{(VIN)}$	入力電圧検出	0	48	55	V
$V_{(BIAS)}$	バイアス入力電圧電源	0		55	V
	入力/バイアスのスタートアップ電圧	3.5			V
	PCM 作動用の最小電圧	6			V
$V_{(VOUT)}$	出力電圧センス	1	53.5	55 [3]	V
$V_{(DRV1)}$	高電圧駆動ピン出力	0		55	V
	ISNSP、ISNSN	2.8		55	V
$R_{(SNS)}$	電流制限センス抵抗		10		mΩ
	電流制限検出抵抗の許容誤差	-1		1	%
$C_{(VCC1)}$	VCC1 レギュレータ出力容量	2			µF
$C_{(VCC2)}$	VCC2 レギュレータ出力容量	6			µF
V_{FB}	FB 入力	0		$V_{(VCC2)}$	V
V_{IL}	ロジックピン low レベル (MODE、DTRK、SYNC、SDA、SCL)			0.4	V
V_{IH}	ロジックピン high レベル (MODE、DTRK、SYNC、SDA、SCL)	1.3			V
F_{SW}	標準スイッチング周波数	100		2200	kHz
F_{SYNC}	同期スイッチング周波数範囲	100		2200	kHz
T_J	動作時接合部温度[2]	-40		150	°C

(1) 動作定格は、デバイスが機能する前提の条件です。仕様およびテスト条件については、「電気的特性」を参照してください。
(2) 接合部温度が高くなると、動作寿命が短くなります。
(3) 最小 OVP スレッショルドによって決定される公称値。

5.4 熱に関する情報

熱評価基準[1]		LM51772-Q1 QFN 40 ピン	単位
R_{qJA}	接合部から周囲への熱抵抗	33.9	°C/W
$R_{qJC(top)}$	接合部からケース (上面) への熱抵抗	26.6	°C/W
R_{qJB}	接合部から基板への熱抵抗	15.4	°C/W
Y_{JT}	接合部から上面への特性パラメータ	0.4	°C/W
Y_{JB}	接合部から基板への特性パラメータ	15.4	°C/W
$R_{qJC(bot)}$	接合部からケース (底面) への熱抵抗	4.4	°C/W

(1) 従来および最新の熱評価基準の詳細については、『SPRA953』アプリケーションノートを参照してください。

Copyright © 2025 Texas Instruments Incorporated

5.5 電気的特性

標準値は T_J = 25℃ に対応します。最小および最大の制限値は、T_J = -40℃ ～ 150°C の範囲で適用されます。特に記述のない限り、$V_{(BIAS)}$ =12V

パラメータ		テスト条件		最小値	標準値	最大値	単位
電源電流							
	VIN へのシャットダウン電流	$V_{(VIN)}$ = 48V、$V_{(BIAS)}$ = 0V $V_{(EN)}$ = 0V	T_J = 25°C		1.1	1.5	µA
			T_J = -40°C ～ 125°C		1.1	2	µA
	BIAS へのシャットダウン電流	$V_{(VIN)}$ = 0V、$V_{(EN)}$ = 0V	T_J = 25°C		1.3	1.7	µA
			T_J = -40°C ～ 125°C		1.3	2.2	µA
	VIN へのスタンバイ電流	$V_{(VIN)}$ = 12V、$V_{(BIAS)}$ = 0V、$V_{(nRST)}$ = High	T_J = 25°C		55	75	µA
			T_J = -40°C ～ 125°C		55	100	µA
	BIAS への静止電流	$V_{(EN)}$ = 3.3V、$V_{(FB)}$ > 1V、uSleep イネーブル、ILIMCOMP = $V_{(VCC2)}$、EN_VCC1 = 0b0	T_J = 25°C		65	75	µA
			T_J = -40°C ～ 125°C		65	100	µA
VCC1 レギュレータ							
	VCC1 レギュレーション	V_I = 12.0V、$I_{(VCC1)}$ = 1mA		4.95	5	5.05	V
	VCC1 のドロップアウト電圧	$I_{(VCC1)}$ = 34mA	V_I = 5V		0.6	1.4	V
			V_I = 4.5V		0.6	1.5	V
	VCC1 ソーシング電流制限	VCC1 = GND	V_I = 12V	34		70	mA
VCC2 レギュレータ							
	VCC2 レギュレーション	V_{BIAS} = 12.0V、$I_{(VCC2)}$ = 20mA		4.85	5	5.1	V
	VCC2 のドロップアウト電圧	$I_{(VCC2)}$ = 45mA	V_I = 4V		130	300	mV
			V_I = 3.5V		190	400	mV
	VCC2 ソーシング電流制限	$V_{(VCC2)}$ ≥ 3V	V_I = 6V、V_{BIAS} = 12V	200	260	450	mA
$V_{T+(VCC2)}$	正方向スレッショルド	$V_{(VCC2)}$ 立ち上がり		3.3	3.35	3.4	V
$V_{T-(VCC2)}$	負方向スレッショルド	$V_{(VCC2)}$ 立ち下がり		3	3.05	3.1	V
$V_{T+(Force,BIAS)}$	強制 $V_{(BIAS)}$ の正方向スレッショルド	FORCE_BIASPIN = 0b1		4.5	4.6	4.7	V
$V_{hyst(Force,BIAS)}$	強制 V (BIAS) 用の LDO スイッチ オーバー ヒステリシス			230	275		mV
$V_{T+(VCC2,SUP)}$	LDO スイッチ オーバーの正方向スレッショルド	FORCE_BIASPIN = 0b0		6.7	6.8	6.9	V
$V_{hyst(VCC2,SUP)}$	LDO スイッチ オーバー ヒステリシス			350	400		mV
	VCC2 UVLO 立ち上がり検出遅延時間	$V_{(VCC2)}$ 立ち上がり			100		µs
nRST							
$V_{T+(nRST)}$	正方向スレッショルドを有効にする	NRST 立ち上がり				1.4	V
$V_{T-(nRST)}$	負方向スレッショルドを有効にする	NRST 立ち下がり		0.35			V
Vhyst(nRST)	スレッショルド ヒステリシスをイネーブル				300		mV
EN/UVLO							
	VDET 正方向のスレッショルド	$V_{(VIN)}$ 立ち上がり、VDET_RISE = 0x3		3.3	3.4	3.5	V
	VDET 負方向のスレッショルド	$V_{(VIN)}$ 立ち下がり、VDET_FALL = 0x0		2.6	2.7	2.799	V
$V_{T+(UVLO)}$	UVLO 正方向のスレッショルド	$V_{(EN/UVLO)}$ 立ち上がり		1.23	1.25	1.27	V
$V_{T-(UVLO)}$	UVLO 負方向のスレッショルド	$V_{(EN/UVLO)}$ 立ち下がり		1.18	1.2	1.22	V
$V_{hyst(UVLO)}$	UVLO スレッショルド ヒステリシス			38	50	62	mV

5.5 電気的特性 (続き)

標準値は T_J = 25℃ に対応します。最小および最大の制限値は、T_J = -40℃ ～ 150°C の範囲で適用されます。特に記述のない限り、$V_{(BIAS)}$ =12V

パラメータ			テスト条件		最小値	標準値	最大値	単位
I_{UVLO}	UVLO ヒステリシスのシンク電流		$V_{(EN/UVLO)}$ < 1.26V		4	5	6	µA
$t_{d(UVLO)}$	UVLO 検出遅延時間		$V_{(EN/UVLO)}$ 立ち下がり;		25.5	30	38.5	µs
$V_{T+(POR)}$	POR 正方向のスレッショルド	POR 正方向のスレッショルド	VIN の立ち上がりまたは BIAS の立ち上がり			1.75		V
$V_{T-(POR)}$	POR 負方向のスレッショルド	POR 負方向のスレッショルド	VIN の立ち下がりまたは BIAS の立ち下がり			1.7		V
SYNC								
$V_{T+(SYNC)}$	同期入力の正の方向スレッショルド						1.19	V
$V_{T-(SYNC)}$	同期入力の負の方向スレッショルド				0.41			V
	同期アクティビティ検出周波数				99			kHz
$t_{d(Det,Sync)}$	同期アクティビティ検出周波数スレッショルド		$f_{(SYNC)}$ を基準とします				3	サイクル
	同期 PLL ロック時間		$f_{(SYNC)}$ を基準とします	$f_{(SYNC)}$ - 5% < $f_{(sw)}$ < $f_{(SYNC)}$ + 5% まで		10		サイクル
	同期 high レベル出力電圧ドロップ		EN_SYNC_OUT = 0b1 $I_{(SYNC)}$ = 2 mA、$V_{(VCC2)}$ ≥ 3.5V、	$V_{(VCC2)}$ を基準とします			0.4	V
	SYNC low レベル出力電圧						0.3	V
	SYNC 出力駆動能力		EN_SYNC_OUT = 0b1 $V_{(VCC2)}$ = 5V	シンク	-42	-31	-22	mA
				ソース	22	34	42	mA
ソフト スタート								
$I_{(SS)}$	ソフトスタート電流				9	10	11	µA
	SS プルダウン スイッチ $R_{DS(on)}$		$V_{(SS)}$ = 1 V			21	40	Ω
$t_{d(DISCH;SS)}$	SS ピン放電時間		内部 SS 放電から、ソフトスタート電流によってピンのキャパシタが再度充電されるまでの時間		500			µs
$t_{d(EN_SS)}$	SS ピンのランプ開始遅延時間		ソフト スタート電流が開始するまでの内部遅延		2.5		4	µs
$V_{(SS,clamp)}$	SS ピンのクランプ電圧					4.1		V
VOUT トラッキング								
$V_{T+(DTRK)}$	DTRK 正方向のスレッショルド		$V_{(DTRK)}$ 立ち上がり				1.19	V
$V_{T-(DTRK)}$	DTRK 負方向のスレッショルド		$V_{(DTRK)}$ 立ち下がり		0.41			V
	DTRK アクティビティ検出周波数	DTRK アクティビティ検出周波数			148			kHz
$t_{d(DTRK)}$	DTRK 検出遅延時間						3	サイクル
fc(LPF)	内部ローパスのコーナー周波数					40		kHz
	$V_{(REF)}$ 電圧オフセット誤差	$V_{(REF)}$ 電圧オフセット誤差	$f_{(DTRK)}$ = 500kHz、デューティ = 50%、$V_{(REF)}$ = 1V				±10	mV
パルス幅変調								
	スイッチング周波数		R_{RT} = 14.20kΩ、		2000	2200	2400	kHz

Copyright © 2025 Texas Instruments Incorporated

5.5 電気的特性 (続き)

標準値は T_J = 25℃ に対応します。最小および最大の制限値は、T_J = -40℃ ～ 150°C の範囲で適用されます。特に記述のない限り、$V_{(BIAS)}$ =12V

パラメータ			テスト条件		最小値	標準値	最大値	単位
	スイッチング周波数		R_{RT} = 15.63kΩ、		1845	2000	2255	kHz
	スイッチング周波数		R_{RT} = 316kΩ、		90	100	110	kHz
	最小の制御可能なオン時間		fPWM、R_{RT} = 14kΩ、正のインダクタ電流	昇圧モード		64		ns
				降圧モード		107		ns
	制御可能な最小オフ時間			昇圧モード		96		ns
				降圧モード		97		ns
	RT のレギュレーション電圧					0.75		V
モード選択								
$V_{T+(MODE)}$	モード入力の正方向スレッショルド						1.19	V
$V_{T-(MODE)}$	モード入力の負の方向スレッショルド				0.41			V
電流検出								
$V_{th+(CSB-CSA)}$	正のピーク電流制限スレッショルド				45	50	55	mV
Vth-(CSB-CSA)	負のピーク電流制限スレッショルド		T_J=-40°C ～ 125°C		-56	-50	-44	mV
平均電流制限								
$gm_{(ISET)}$	電流センスアンプのトランスコンダクタンス		I2C インターフェイスはディセーブルまたは SEL_ISET_PIN = 0b1、$V_{(ISNSP)}$ > 3.3V、EN_NEG_CL_LIMIT = 0	25mV ≤ $\Delta V_{(ISNS)}$ ≤ 50mV	0.9	1	1.1	mS
	オフセット電圧		V_{ISNS} > 4.8V	T_J = 25℃	-1.5	0	1.5	mV
			V_{ISNS} > 4.8V	T_J=-40°C ～ 125°C	-2.5	0	2.5	mV
	電流センシング アンプの出力電流		I2C インターフェイスはディセーブルまたは SEL_ISET_PIN = 0b1、$V_{(ISNSP)}$ > 3.3V、EN_NEG_CL_LIMIT = 0	5mV	2	5	8	μA
				25mV	21.5	25	28.5	μA
				50mV	45	50	55	μA
$gm_{(ILIMCOMP)}$	電流センスアンプのトランスコンダクタンス		I2C インターフェイスがイネーブルで SEL_ISET_PIN = 0b0 V_{ISNS} > 4.8V、N_NEG_CL_LIMIT = 0	$\Delta V_{(ISNS)}$ = 30mV および 50mV	450	500	550	μs
	電流制限		$R_{(ISNS)}$ = 10mΩ±1%、ILIM_THRESHOLD = 0x64		4.75	5	5.25	A
$\Delta V_{(ISNSx)}$	電流制限スレッショルド電圧		ILIM_THRESHOLD = 0x14	EN_NEG_CL_LIMIT = 0_J = -10°C ～ 70°C; ISNSP/N ≥ 5V;	8.6	10	11.4	mV
	電流制限スレッショルド電圧		ILIM_THRESHOLD = 0x3C		28.8	30	31.2	mV
	電流制限スレッショルド電圧		ILIM_THRESHOLD = 0x64		48	50	52	mV
$\Delta V_{(ISNSx)}$	電流制限スレッショルド電圧	電流制限スレッショルド電圧	ILIM_THRESHOLD = 0xFF	EN_NEG_CL_LIMIT = 0_J = -10°C ～ 70°C; ISNSP/N ≥ 5V;	67.2	70	72.8	mV
	電流制限スレッショルド電圧の標準的なプログラミング範囲				5		70	mV

5.5 電気的特性 (続き)

標準値は T_J = 25℃ に対応します。最小および最大の制限値は、T_J = -40℃ ～ 150°C の範囲で適用されます。特に記述のない限り、$V_{(BIAS)}$ =12V

パラメータ			テスト条件		最小値	標準値	最大値	単位
	電流制限スレッショルドの電圧ステップ サイズ		5mV ～ 68.5mV に設定します			0.5		mV
	ILIM をディセーブルするための最小電圧		VCC2 を基準とします		75			%
$V_{(SET)}$	ISET レギュレーション スレッショルド電圧				0.95	1	1.05	V
エラー アンプ								
V_{REF}	FB 基準電圧				0.99	1	1.01	V
	FB ピンのリーク電流		$V_{(FB)}$ = 1V			2	60	nA
	出力電圧精度		$V_{(FB)}$ = VCC2、SEL_DIV20=0b1	Vo、nom = 5V	4.75	5	5.25	V
				Vo、nom = 20V	19.6	20	20.4	V
				Vo、nom = 48V	47.04	48	48.96	V
	相互コンダクタンス				510	600	690	µs
	COMP ソース電流					95		µA
	COMP シンク電流					120		µA
	COMP クランプ電圧		$V_{(FB)}$ = 990mV		1.2	1.25	1.3	V
	COMP クランプ電圧		$V_{(FB)}$ = 1.01V		0.225	0.25	0.275	V
$V_{T+(SEL,iFB)}$	内部 FB 動作を選択するための最小電圧		$V_{(FB)}$ 立ち上がり		2.6			V
$t_{d(uSleep)}$	スリープ状態からウェークアップするまでの遅延時間					7		µs
OVP								
VT+(OVP)	過電圧立ち上がりスレッショルド		FB の立ち上がり (V_{REF} を基準とする)		107	110	113	%
VT-(OVP)	過電圧立ち下がりスレッショルド		FB の立ち下がり (V_{REF} を基準とする)		101	105	109	%
VT+(OVP2)	過電圧立ち上がりスレッショルド		$V(_{VOUT})$ の立ち上がり	V_OVP2 = 0b111111	53.5	55	56.5	V
VT+(IVP)	入力過電圧立ち上がりスレッショルド		$V_{(VIN)}$ 立ち上がり	IVP_VOLTAGE = 0b00101010	9.9	10	10.1	V
	過電圧デグリッチ時間				9	10	12.5	µs
nFLT								
	nFLT プルダウン スイッチの R_{DSON}		1mA のシンク			85	140	Ω
$V_{T+(PG)}$	低電圧、正方向スレッショルド		FB の立ち上がり (V_{REF} を基準とする)		92	95	97	%
VT-(PG)	低電圧、負方向スレッショルド		FB の立ち下がり (V_{REF} を基準とする)		87	90	93	%
	nFLT オフ状態リーク		$V_{(nFLT)}$=12V				100	nA
$t_{d(nFLT-PIN)}$	デグリッチ・フィルタ					20	37	µs
MOSFET ドライバ								
t_r	立ち上がり時間	LO1、LO2	C_G = 3.3nF			10		ns
t_r	立ち下がり時間		C_G = 3.3nF			8		ns
t_f	立ち上がり時間	HO1、HO2	C_G = 3.3nF			15		ns
t_f	立ち下がり時間		C_G = 3.3nF			15		ns

Copyright © 2025 Texas Instruments Incorporated

5.5 電気的特性 (続き)

標準値は T_J = 25℃ に対応します。最小および最大の制限値は、T_J = -40℃ ～ 150°C の範囲で適用されます。特に記述のない限り、$V_{(BIAS)}$ =12V

パラメータ			テスト条件		最小値	標準値	最大値	単位
t_t	遷移 (デッド) 時間		C_G = 3.3nF	$R_{(RT)}$ = 316kΩ (0.1MHz)、SEL_MIN_DEADTIME_GDRV = 0b01、SEL_SCALE_DT = 0b1、EN_CONST_TDEAD = 0b0		42		ns
t_t	遷移 (デッド) 時間		C_G = 3.3nF	$R_{(RT)}$ = 14.2kΩ (2.2MHz)、SEL_MIN_DEADTIME_GDRV = 0b01、SEL_SCALE_DT = 0b1、EN_CONST_TDEAD = 0b0		19.5		ns
	ゲートドライバのハイサイドオン抵抗	LO1、LO2	$I_{(test)}$ = 500mA			1.8		Ω
	ゲートドライバのハイサイドオン抵抗	HO1、HO2				1.5		Ω
	ゲートドライバのローサイドオン抵抗	LO1、LO2				0.9		Ω
	ゲートドライバのローサイドオン抵抗	HO1、HO2				0.8		Ω
$V_{TH-(BOOT_UV)}$	負方向のブートストラップ UVLO スレッショルド		V(HBx) - V(SWx) の立ち下がり		2.5	2.7	3.1	V
$V_{TH-(BOOT_UV)}$	ブート ストラップ UVLO ヒステリシス					300		mV
$V_{TH+(BST_OV)}$	正方向のブートストラップ過電圧スレッショルド		V(HBx) - V(SWx) 立ち上がり、I_HBx = 10mA		5.1	5.5	5.9	V
$V_{TH(GATEOUT)}$	ゲートドライバの出力スイッチング検出	LO1、LO2	VCC を基準とします			37		%
$V_{TH(GATEOUT)}$	ゲートドライバの出力スイッチング検出	HO2、HO2	V(HBx) - V(SWx) を基準とします			37		%
サーマル シャットダウン								
T_{T+J}	サーマル シャットダウンのスレッショルド	サーマル シャットダウンのスレッショルド	T_J 立ち上がり			164		°C
	サーマル シャットダウン ヒステリシス	サーマル シャットダウン ヒステリシス				15		°C
過熱警告								
	過熱警告スレッショルド		T_J 立ち上がり	THW_THRESHOLD=0b00		140		°C
	熱警告標準値プログラミング範囲				95		140	°C
	過熱警告精度					±10		°C
R2D インターフェイス								
	内部リファレンス抵抗				31.77	33	34.23	kΩ

5.5 電気的特性 (続き)

標準値は T_J = 25℃ に対応します。最小および最大の制限値は、T_J = -40℃ ～ 150°C の範囲で適用されます。特に記述のない限り、$V_{(BIAS)}$ =12V

パラメータ			テスト条件		最小値	標準値	最大値	単位
R_{CFG}	外付け選択抵抗の抵抗	R2D 設定 #0				0	0.1	kΩ
		R2D 設定 #1			0.49567	0.511	0.52633	kΩ
		R2D 設定 #2			1.1155	1.15	1.1845	kΩ
		R2D 設定 #3			1.8139	1.87	1.9261	kΩ
		R2D 設定 #4			2.6578	2.74	2.8222	kΩ
		R2D 設定 #5			3.7151	3.83	3.9449	kΩ
		R2D 設定 #6			4.9567	5.11	5.2633	kΩ
		R2D 設定 #7			6.2953	6.49	6.6847	kΩ
		R2D 設定 #8			8.0025	8.25	8.4975	kΩ
		R2D 設定 #9			10.185	10.5	10.815	kΩ
		R2D 設定 #10			12.901	13.3	13.699	kΩ
		R2D 設定 #11			15.714	16.2	16.686	kΩ
		R2D 設定 #12			19.885	20.5	21.115	kΩ
		R2D 設定 #13			24.153	24.9	25.647	kΩ
		R2D 設定 #14			29.197	30.1	31.003	kΩ
		R2D 設定 #15			35.405	36.5	37.595	kΩ
保護 / 監視								
	SCP ヒカップ モード オン時間				0.85	1	1.15	ms
	SCP ヒカップ モード オフ時間				20.4	24	27.6	ms
ケーブル降下補償								
	外部フィードバックによるケーブルドロップ補償のための VOUT 増加		$R_{(FB,top)}$ = 100kΩ; CDC_GAIN=0b01	$V_{(CDC)}$ = 0.2V	0.08	0.1	0.12	V
				$V_{(CDC)}$ = 1V	0.45	0.5	0.55	V
	内部フィードバックによるケーブルドロップ補償のための VOUT 増加		CDC_GAIN=0b01	$V_{(CDC)}$ = 0.2V	0.075	0.1	0.125	V
				$V_{(CDC)}$ = 1V	0.45	0.5	0.55	V
$gm_{(CDC)}$	CDC 電流センス アンプ トランスコンダクタンス		$\Delta V_{(IMON)}$ = 50mV および 30mV	$V_{(ISNSP)}$ > 3.3V、EN_NEG_CL_LIMIT = 0	450	500	550	µs
	CDC 電流センス アンプの帯域幅					1		MHz

Copyright © 2025 Texas Instruments Incorporated

5.5 電気的特性 (続き)

標準値は T_J = 25℃ に対応します。最小および最大の制限値は、T_J = -40℃ ～ 150°C の範囲で適用されます。特に記述のない限り、$V_{(BIAS)}$ =12V

パラメータ		テスト条件		最小値	標準値	最大値	単位
	出力電流 CDC	$\Delta V_{(IMON)}$ = 50mV、EN_NEG_CL_LIMIT = 0		23.3	25.0	26.8	µA
		$\Delta V_{(IMON)}$ = 25mV、EN_NEG_CL_LIMIT = 0		10.6	12.5	14.4	µA
		$\Delta V_{(IMON)}$ = 5mV、EN_NEG_CL_LIMIT = 0		0.8	2.5	4.2	µA
駆動ピン							
	プルダウン抵抗	SEL_DRV_SUP = 0b00、0b01、0b10				1400	Ω
	プルアップ抵抗	SEL_DRV_SUP = 0b01 または SEL_DRV_SUP = 0b10、				1500	Ω
	最大出力電流	SEL_DRV_SUP = 0b00、0b01、0b10	シンク	3	9	16	mA
	最大出力電流	SEL_DRV_SUP = 0b01 または SEL_DRV_SUP = 0b10、	ソース	5	9	14	mA
	プルダウン抵抗	SEL_DRV_SUP = 0b11				900	Ω
	プルアップ抵抗					1200	Ω
	最大出力電流		シンク	5	9	14	mA
	最大出力電流		ソース	5	8	13	mA
	チャージ ポンプのスイッチング周波数	SEL_DRV_SUP = 0b11			100		kHz
出力放電							
	出力放電電流	VO_DISCH = 0b00		17.5	25	32.5	mA
		VO_DISCH = 0b01		35	50	65	mA
		VO_DISCH = 0b10		52.5	75	97.5	mA
$V_{TH-(DISCH)}$	放電完了スレッショルド			0.4	0.5	0.6	V
スペクトラム拡散							
	スイッチング周波数変調の範囲の 上限				7.8		%
	スイッチング周波数変調の範囲の 下限				-7.8		%

5.6 タイミング要件

動作接合部温度範囲および推奨電源電圧範囲（特に記載のない限り）

			最小値	公称値	最大値	単位
全体的なデバイス機能						
	最小時間 Low EN トグル	EN から測定した時間 H から L、L から H への切り替え	22			µs
I^2C インターフェイス						
f_{SCL}	SCL クロック周波数	スタンダード モード	0		100	kHz
		ファスト モード	0		400	
		ファスト モード プラス (1)	0		1000	
t_{LOW}	SCL クロック Low 期間	スタンダード モード	4.7			µs
		ファスト モード	1.3			
		ファスト モード プラス (1)	0.5			

5.6 タイミング要件 (続き)

動作接合部温度範囲および推奨電源電圧範囲（特に記載のない限り）

			最小値	公称値	最大値	単位
t_{HIGH}	SCL クロックの High の時間	スタンダード モード	4.0			µs
		ファスト モード	0.6			
		ファスト モード プラス (1)	0.26			
t_{BUF}	停止条件と開始条件の間のバス フリー時間	スタンダード モード	4.7			µs
		ファスト モード	1.3			
		ファスト モード プラス (1)	0.5			
$t_{SU:STA}$	繰り返し START 条件のセットアップ時間	スタンダード モード	4.7			µs
		ファスト モード	0.6			
		ファスト モード プラス (1)	0.26			
$t_{HD:STA}$	(繰り返し) START 条件のホールド時間	スタンダード モード	4.0			µs
		ファスト モード	0.6			
		ファスト モード プラス (1)	0.26			
$t_{HD:DAT}$	データ ホールド時間	スタンダード モード	0			µs
		ファスト モード	0			
		ファスト モード プラス (1)	0			
t_r	SDA 信号と SCL 信号の両方の立ち上がり時間	スタンダード モード			1000	ns
		ファスト モード	20		300	
		ファスト モード プラス (1)			20	
t_f	SDA 信号と SCL 信号の両方の立ち下がり時間	スタンダード モード			300	ns
		ファスト モード	20 × V_{DD}/5.5		300	
		ファスト モード プラス (1)	20 × V_{DD}/5.5		120	
$t_{su:STO}$	STOP 条件のセットアップ時間	スタンダード モード	4.0			µs
		ファスト モード	0.6			
		ファスト モード プラス (1)	0.26			
$t_{VD;DAT}$	データ有効時間	スタンダード モード			3.45	µs
		ファスト モード			0.9	
		ファスト モード プラス (1)			0.45	
$t_{VD;ACK}$	データ有効アクノリッジ時間	スタンダード モード			3.45	µs
		ファスト モード			0.9	
		ファスト モード プラス (1)			0.45	
C_b	各バス ラインの容量性負荷	スタンダード モード			400	pF
		ファスト モード			400	

(1) ファスト モード プラスもサポートされていますが、I²C 規格には完全には準拠していません

Copyright © 2025 Texas Instruments Incorporated

5.7 代表的特性

以下の条件が適用されます (特に記述のない限り)。T_J = 25°C、$V_{(VCC2)}$ = 5V

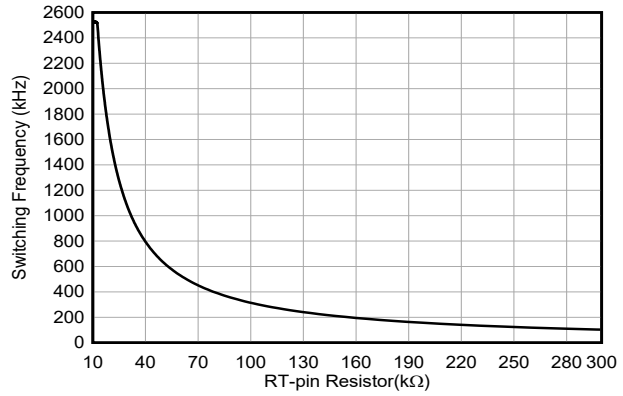


図 5-1. スイッチング周波数と RT 抵抗との関係

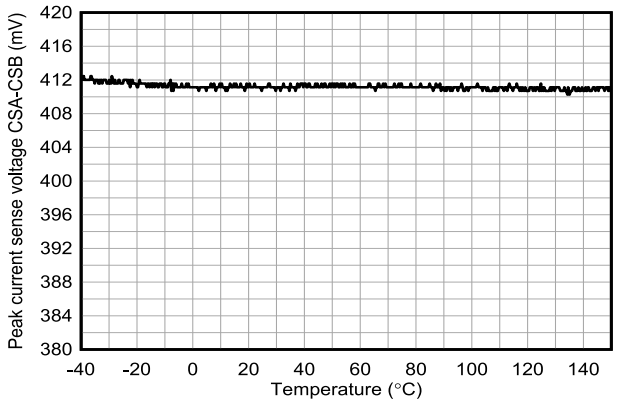


図 5-2. スイッチング周波数と温度との関係
$R_{(RT)}$ = 75KΩ

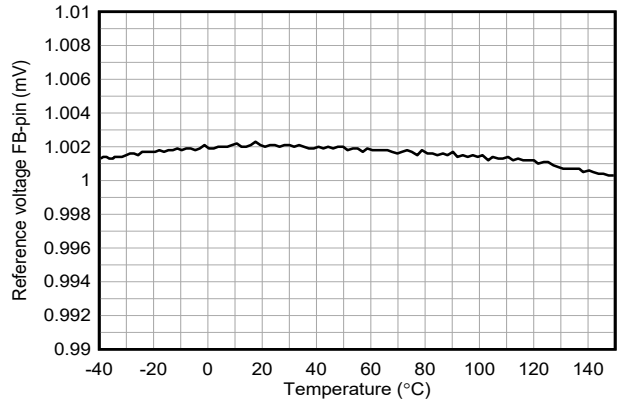


図 5-3. FB ピン基準電圧と温度との関係

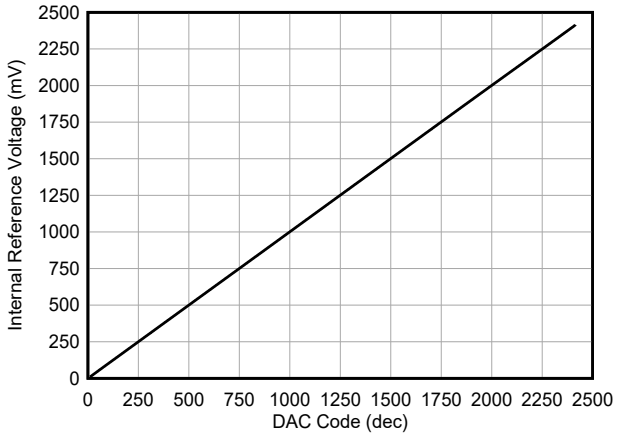


図 5-4. FB ピン基準電圧と VO レジスタ DAC コードとの関係

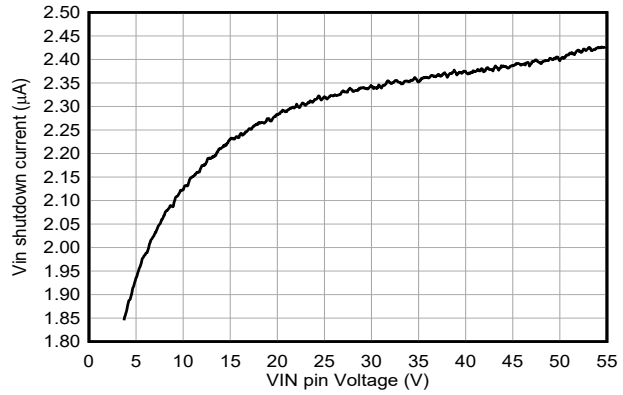


図 5-5. VIN へのシャットダウン電流とピン電圧との関係
$V_{EN/UVLO}$ = 0V、$V_{(VIN)}$ = 12V、$V_{(BIAS)}$ = 0V

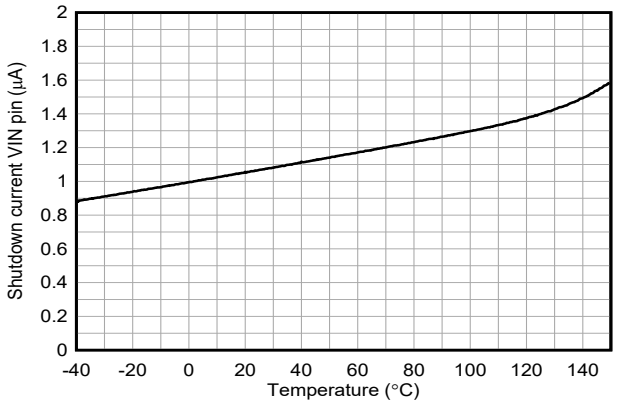


図 5-6. VIN へのシャットダウン電流と温度との関係
$V_{EN/UVLO}$ = 0V、$V_{(VIN)}$ = 12V、$V_{(BIAS)}$ = 0V

5.7 代表的特性 (続き)

以下の条件が適用されます (特に記述のない限り)。T_J = 25°C、$V_{(VCC2)}$ = 5V

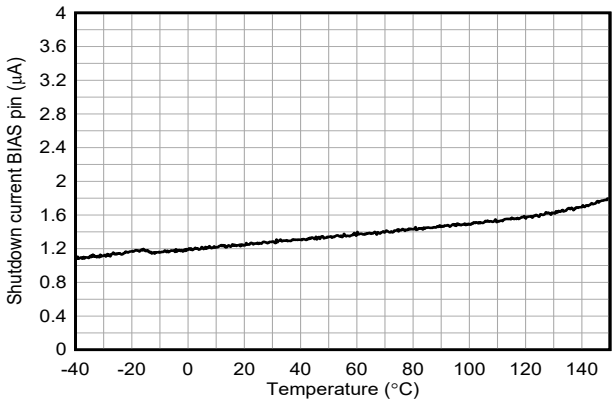


図 5-7. BIAS に流れ込むシャットダウン電流と温度との関係
$V_{EN/UVLO}$ = 0V、$V_{(VIN)}$ = 3.5V、$V_{(BIAS)}$ = 12V

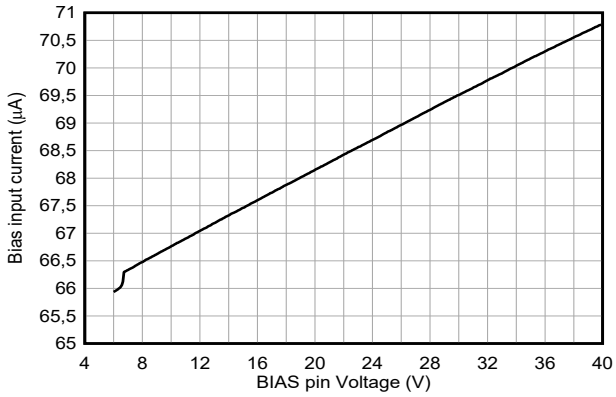


図 5-8. BIAS ピン電圧に対する BIAS ピン電圧
$V_{(VIN)}$ = 3.5V

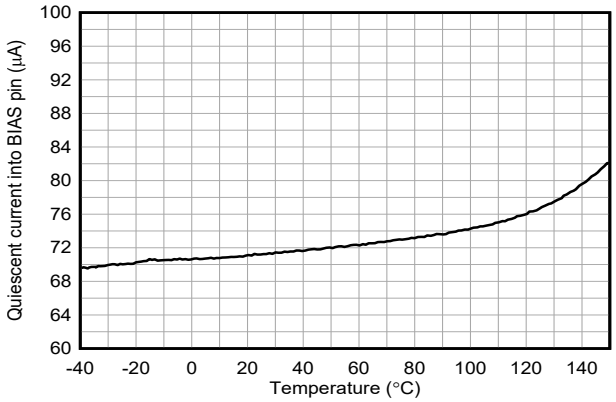


図 5-9. BIAS と BIAS の間の静止電流
$V_{(BIAS)}$ = 12V、$V_{(VIN)}$ = 3.5V

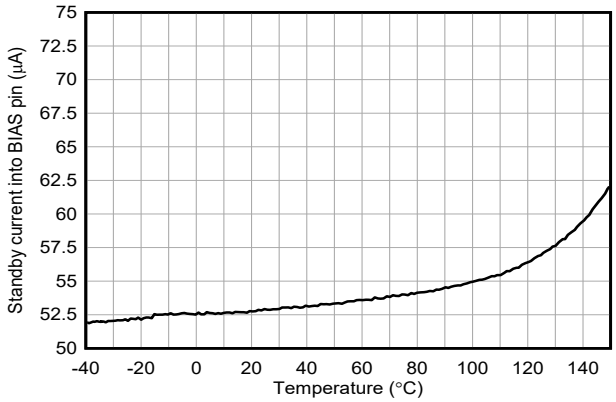


図 5-10. BIAS へのスタンバイ電流と温度との関係
$V_{(VIN)}$ = 3.5V $V_{(VIN)}$ = 12V

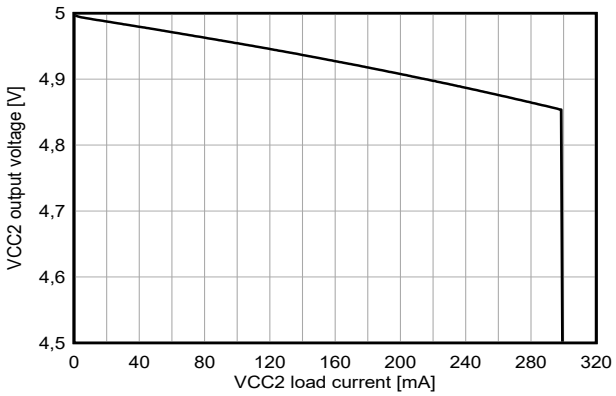


図 5-11. VCC2 LDO 出力電圧と VCC2 負荷電流との関係
$V_{(VIN)}$ = 12V、$V_{(BIAS)}$ = 0V

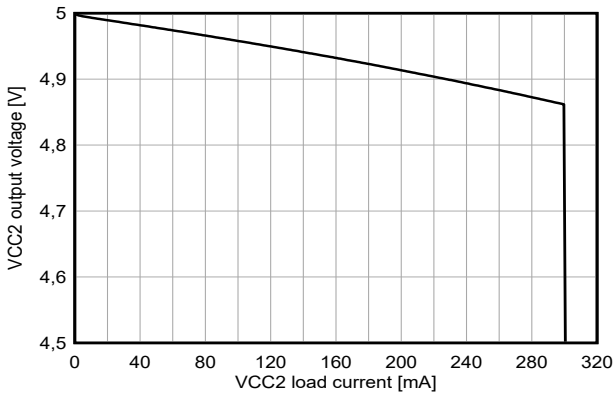


図 5-12. VCC2 LDO 出力電圧と VCC2 負荷電流との関係
$V_{(VIN)}$ = 3.5V、$V_{(BIAS)}$ = 12V

Copyright © 2025 Texas Instruments Incorporated

5.7 代表的特性 (続き)

以下の条件が適用されます (特に記述のない限り)。T_J = 25°C、$V_{(VCC2)}$ = 5V

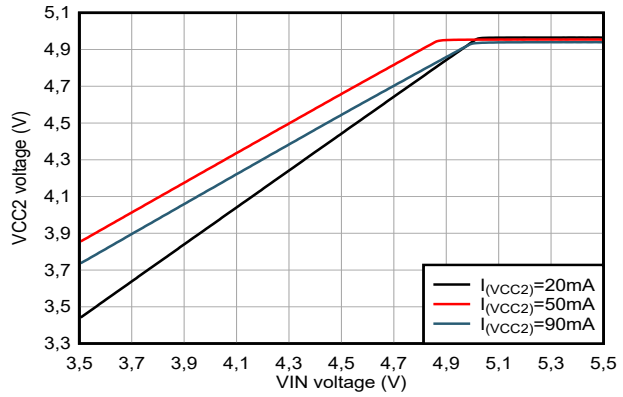


図 5-13. VCC2 LDO 出力電圧と VIN 電圧との関係 $V_{(BIAS)}$ = 0V

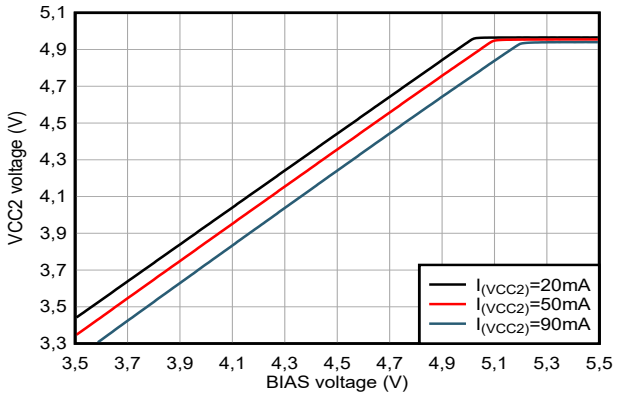


図 5-14. VCC2 LDO 出力電圧と BIAS 電圧との関係 $V_{(VIN)}$ = 2.5V

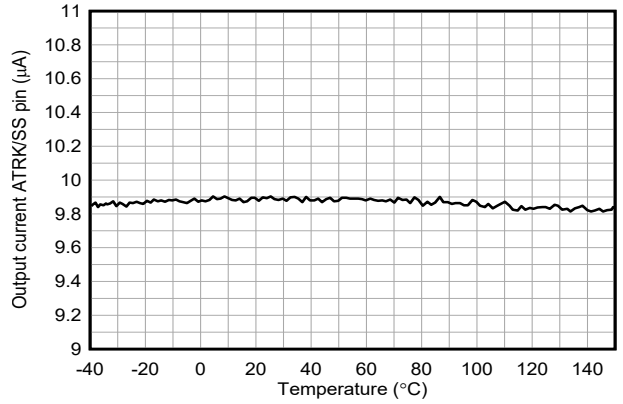


図 5-15. ソフト スタート電流と温度との関係

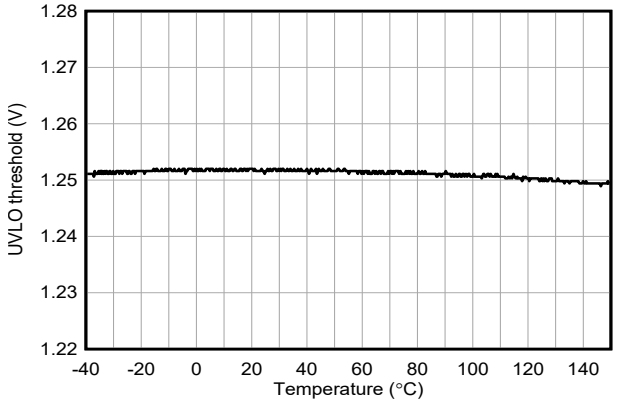


図 5-16. EN/UVLO スレッショルドと温度との関係

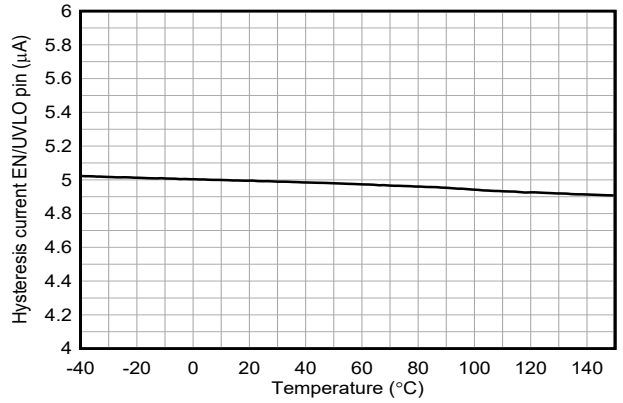


図 5-17. EN/UVLO のヒステリシス電流と温度との関係

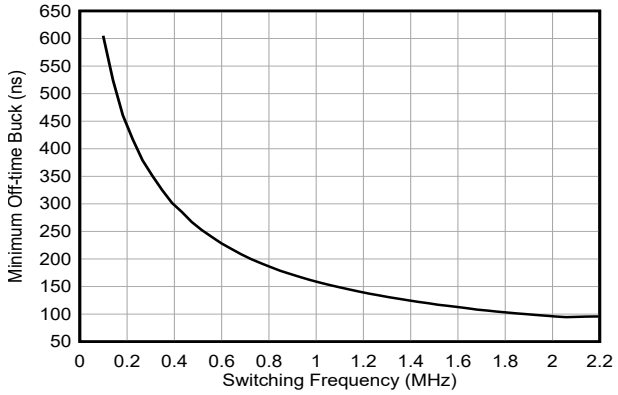


図 5-18. 降圧の最小オフ時間とスイッチング周波数との関係

5.7 代表的特性 (続き)

以下の条件が適用されます (特に記述のない限り)。T_J = 25°C、$V_{(VCC2)}$ = 5V

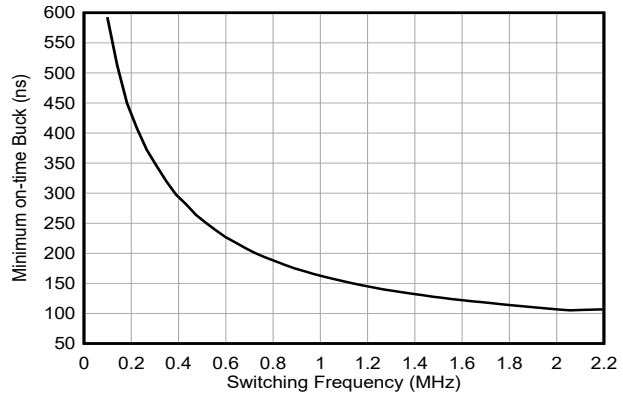


図 5-19. 降圧の最小オン時間とスイッチング周波数との関係

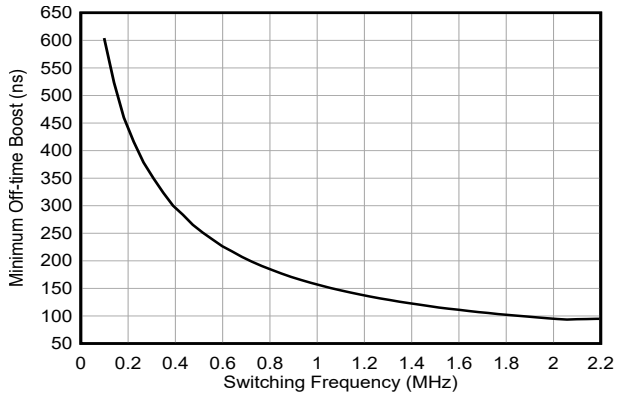


図 5-20. 昇圧の最小オフ時間とスイッチング周波数との関係

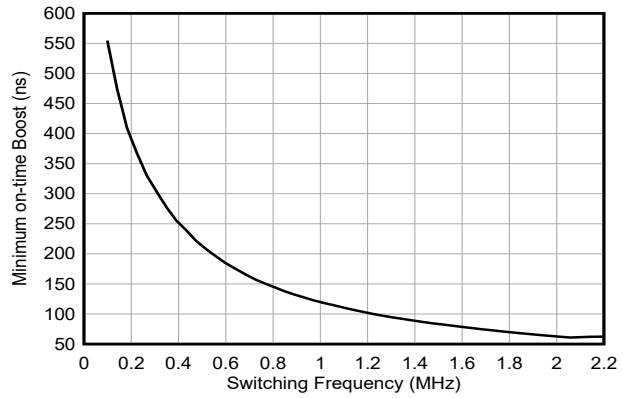


図 5-21. 昇圧の最小オン時間とスイッチング周波数との関係

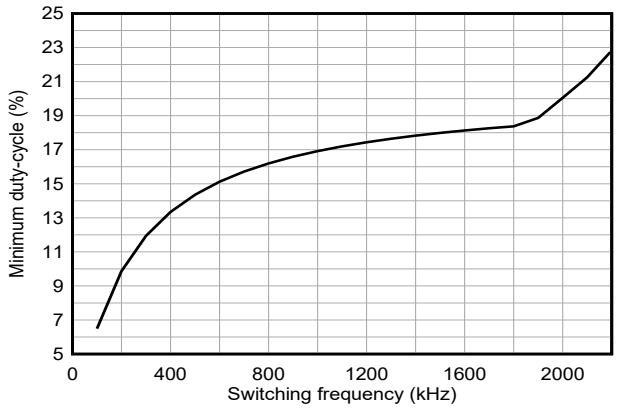


図 5-22. PSM 動作の降圧最小デューティ サイクルとスイッチング周波数との関係 (SYNC_OUT = イネーブル)

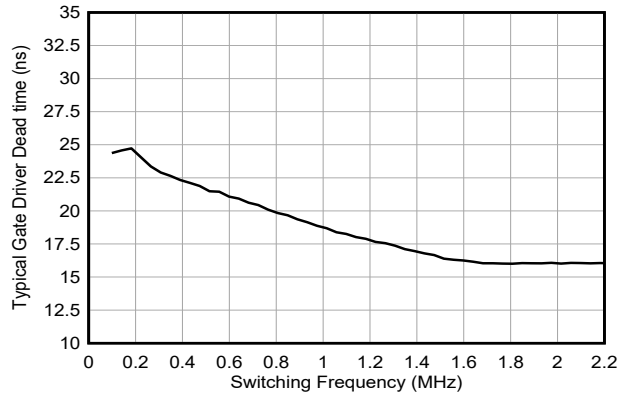


図 5-23. ゲート ドライバ遷移 (デッド) 時間とスイッチング周波数との関係
SEL_MIN_DEADTIME_GDRV = 0b01、SEL_SCALE_DT = 0b0、EN_CONST_TDEAD = 0b0

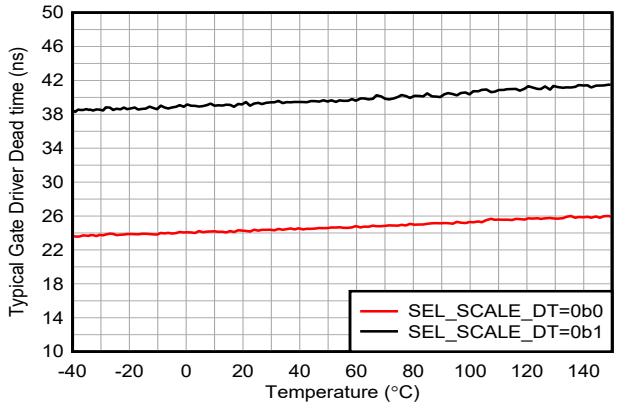


図 5-24. ゲート ドライバ遷移 (デッド) 時間とスイッチング周波数との関係
$f_{(sw)}$ = 100kHz、SEL_MIN_DEADTIME_GDRV = 0b01、EN_CONST_TDEAD = 0b0、ローサイド オフ、ハイサイドをオンにします

Copyright © 2025 Texas Instruments Incorporated

5.7 代表的特性 (続き)

以下の条件が適用されます (特に記述のない限り)。T_J = 25°C、$V_{(VCC2)}$ = 5V

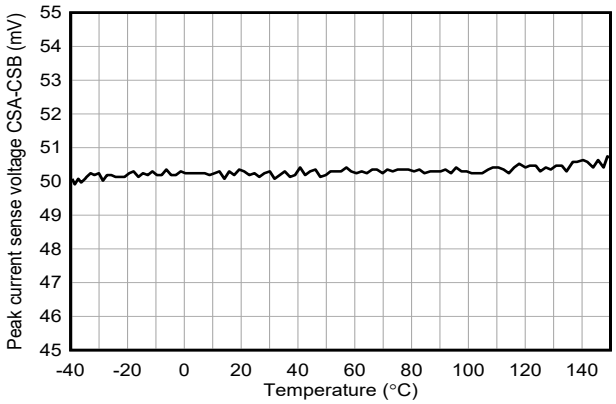


図 5-25. ピーク電流制限スレッショルド電圧と温度との関係

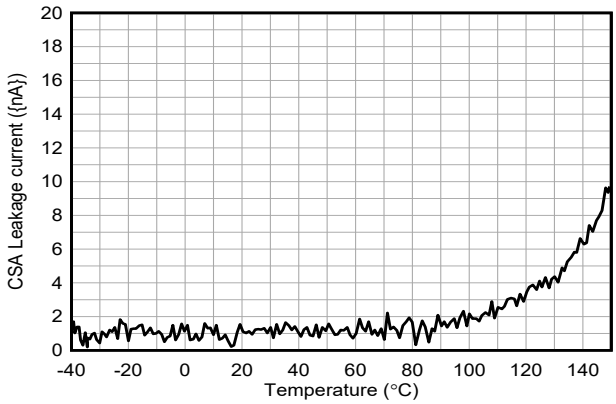


図 5-26. CSA 入力電流と温度との関係

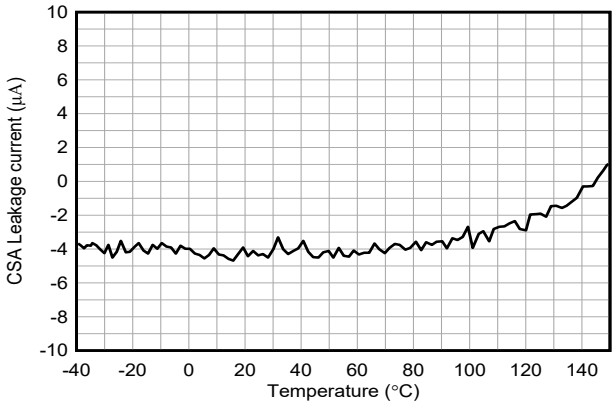


図 5-27. CSB 入力電流と温度との関係

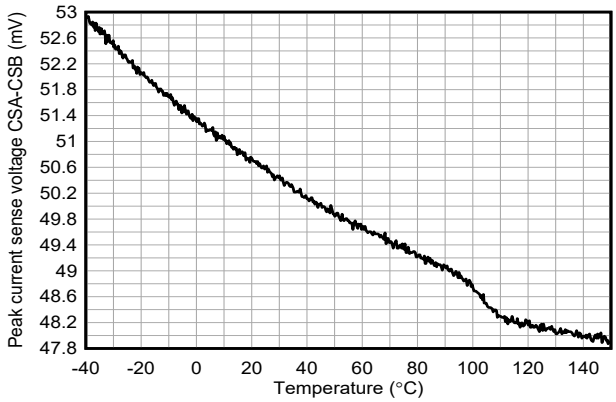


図 5-28. 平均電流制限スレッショルド電圧と温度との関係
ILIM_THRESHOLD = 0x64

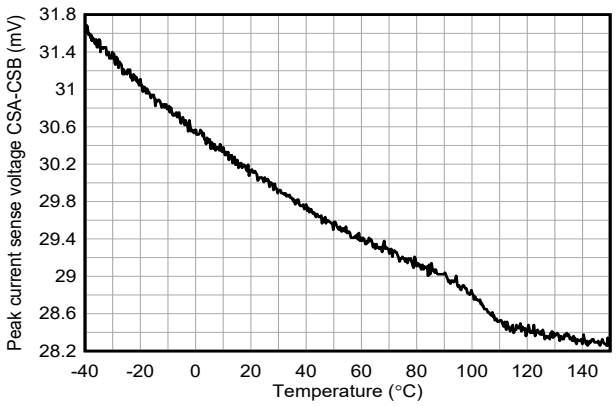


図 5-29. 平均電流制限スレッショルド電圧と温度との関係
ILIM_THRESHOLD = 0x3C

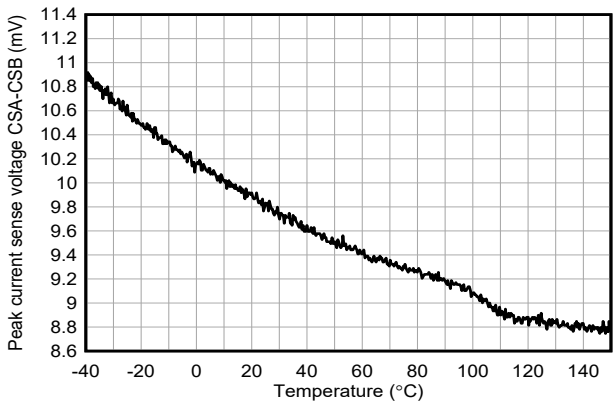


図 5-30. 平均電流制限スレッショルド電圧と温度との関係
ILIM_THRESHOLD = 0x14

6 パラメータ測定情報

ゲート ドライバの立ち上がり時間と立ち下がり時間

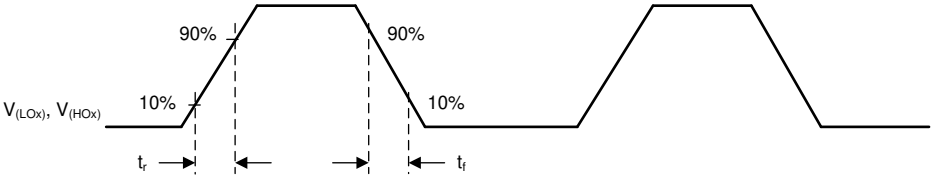


図 6-1. タイミング図ゲート ドライバ t_r、t_f

ゲート ドライバ デッド (遷移) - タイム

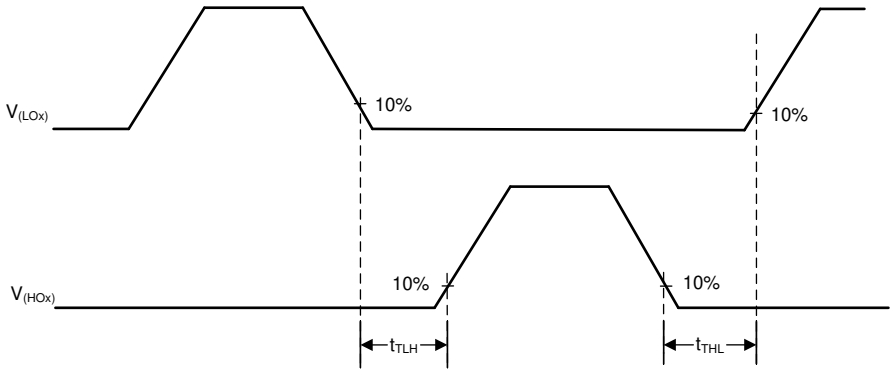


図 6-2. タイミング図ゲート ドライバ t_t

Copyright © 2025 Texas Instruments Incorporated

7 詳細説明

7.1 概要

LM51772-Q1 は、4 スイッチ昇降圧コントローラです。調整された出力電圧よりも入力電圧が高い、等しい、または低い場合、本デバイスはレギュレートされた出力電圧を供給します。パワーセーブ モードでは、このデバイスは、出力負荷の範囲全体にわたって高い効率をサポートします。

LM51772-Q1 は固定スイッチング周波数 (fPWM) で動作します。これは RT または SYNC ピンを経由して設定できます。降圧、昇圧、昇降圧動作中も、スイッチング周波数は一定に維持されます。このデバイスは、すべての動作モードにわたって小さなモード遷移リップルを維持します。

内蔵の I2C インターフェイスを使用して、出力電圧とデバイス構成を動的にプログラムすることができます。内蔵およびオプションのハイサイド電流センサには、高精度の出力電流制限機能があります。LM51772-Q1 の平均電流制限も、I2C インターフェイスにより構成可能です。

7.2 機能ブロック図

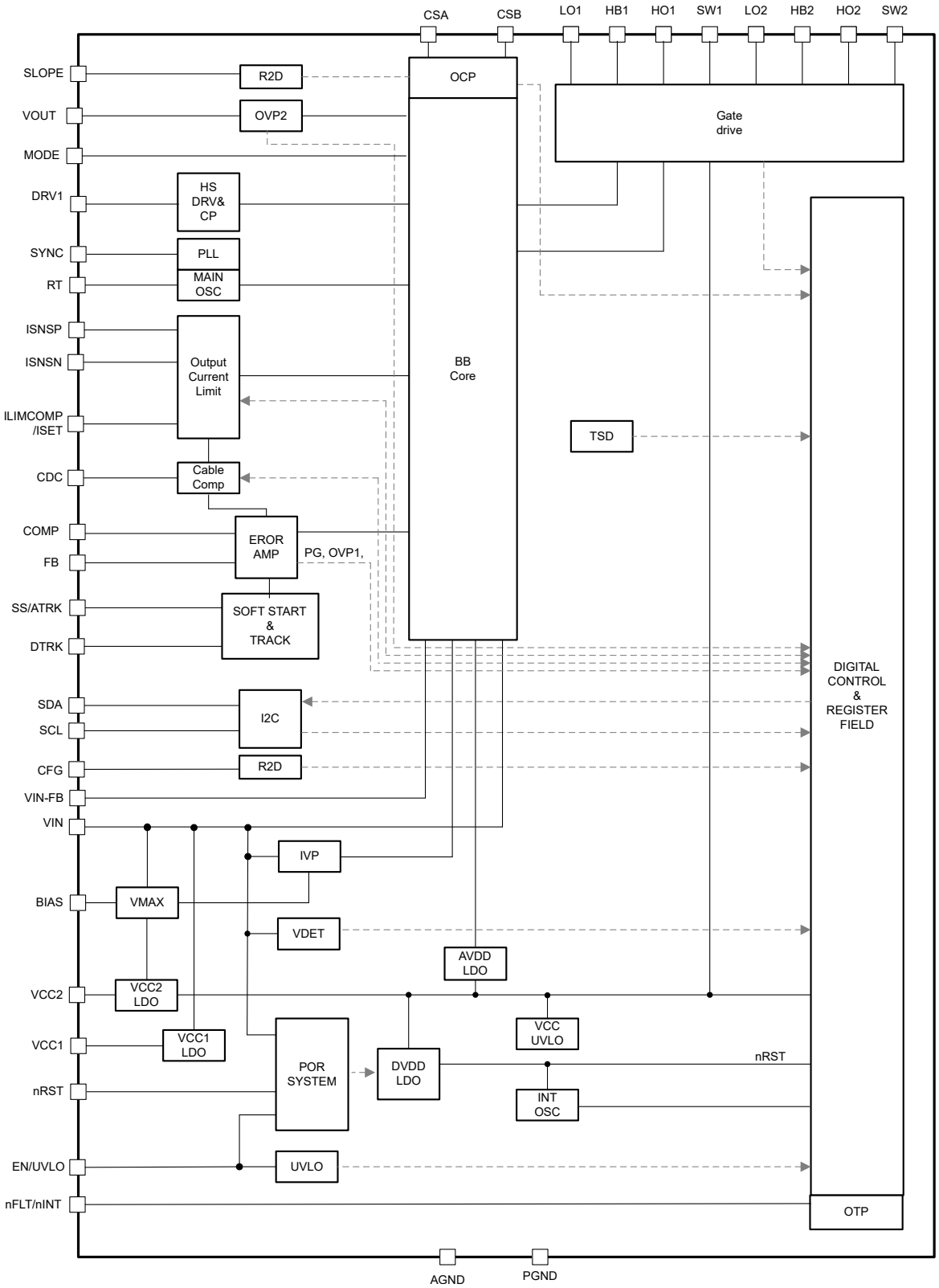


図 7-1. LM51772-Q1 機能ブロック図

Copyright © 2025 Texas Instruments Incorporated

7.3 機能説明

7.3.1 昇降圧制御方式

LM51772-Q1 昇降圧制御アルゴリズムにより、異なる動作モード、固定周波数動作、電力段保護機能間でシームレスに遷移できます。内部ステート マシンは、次の 3 つのアクティブなスイッチング状態を使用して電流フローを制御します。

状態 I:トランジスタ Q1 と Q3 は導通状態です。Q2 と Q4 は導通していません (昇圧モードの磁化状態)。

状態 II:トランジスタ Q1 と Q4 は導通状態です。Q2 と Q3 は導通していません (昇圧消磁または降圧磁化状態)。

状態 III:トランジスタ Q2 と Q4 は導通状態です。Q1 と Q3 は導通していない (降圧消磁状態)。

スイッチ	状態 I	状態 II	状態 III
Q1	オン	オン	OFF
Q2	OFF	OFF	オン
Q3	オン	OFF	OFF
Q4	OFF	オン	オン

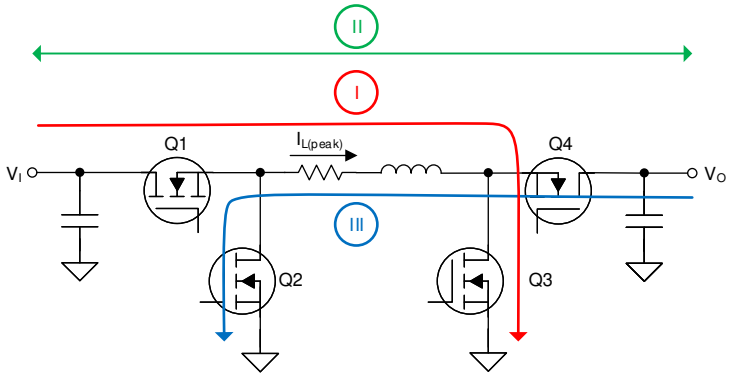


図 7-2. 昇降圧アクティブ スイッチング状態

7.3.1.1 降圧モード

降圧モード動作では、コンバータは内部クロック信号によって降圧磁化サイクル (状態 II) を開始します。インダクタがピーク電流に達すると、コンバータは降圧消磁 (状態 III) に進みます。次のクロック信号が得られると、コンバータは降圧の磁化サイクルに戻り、ピーク電流のサンプリングで新しいスイッチング サイクルを開始します。デューティ サイクルが最小オフ時間に達しない限り、電流制御は降圧動作モードに維持されます。

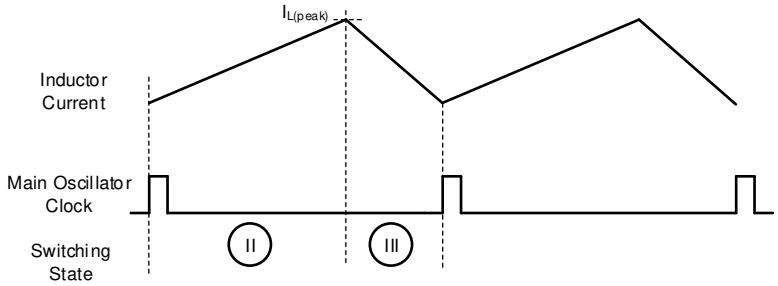


図 7-3. 連続電流降圧動作におけるインダクタ電流

7.3.1.2 昇圧モード

昇圧モード動作では、コンバータは内部クロック信号によって昇圧磁化サイクル (スイッチング状態 I) を開始します。コンバータがインダクタ電流をサンプリングすると、デバイスは昇圧の消磁状態であるスイッチング状態 II に遷移します。昇圧モードでの最大デューティ サイクルは、最小昇圧オン時間と、選択したスイッチング周波数によって制限されます。

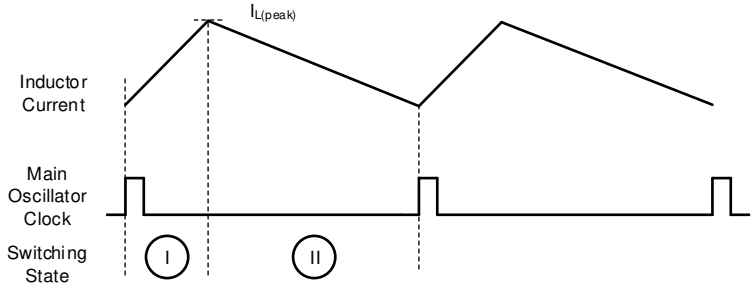


図 7-4. 連続電流昇圧動作時のインダクタ電流

7.3.1.3 昇降圧モード

昇圧モード動作でのオン時間が最小オン時間よりも短く、または降圧モードでのオフ時間が最小オフ時間を下回ると、制御は昇降圧動作に移行します。連続電流昇降圧モードでは、制御によって、ピーク電流に達する前に昇圧磁化 (状態 I) スイッチング サイクルが追加されます。したがって、昇降圧動作モードは常に、3 つのスイッチング サイクルの状態 I、状態 II、状態 III すべてで構成されますこのモードでのピーク電流検出は、スイッチング状態 I の終了時に行われます

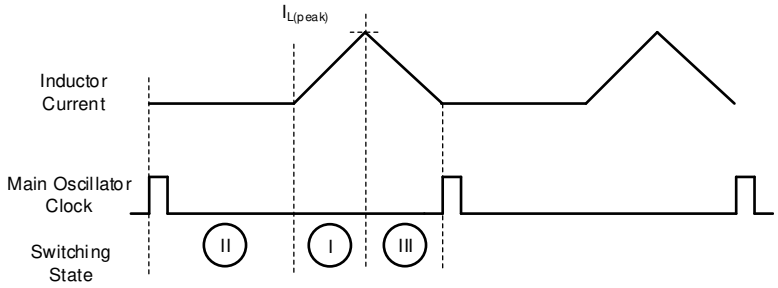


図 7-5. 連続昇降圧動作でのインダクタ電流

7.3.2 パワー セーブ モード

MODE ピンが low の場合、パワー セーブ モード (PSM) が有効になります。この動作モードでは、スイッチング動作が低下し、効率が最大化されます。MODE ピンが high の場合、パワー セーブ モードはディセーブルです。その後、コンバータは連続導通モード (CCM) または強制 PWM モード (fPWM) で動作します。

PFM 昇圧、降圧、昇降圧モードでは、コンバータは定義された最小ピーク電流まで動作します。この最小電流 (PSM エントリ スレッショルド) に達すると、PWM は動作を単一パルスに変化させます。単一パルス動作は、3 つの状態 (I、II、III) すべてで構成されます。単一パルス動作におけるデューティ サイクルは、タイマ ベースであり、VIN と VOUT のさまざまなセンス電圧に対応しています。出力電圧リップルを小さくするため、コンバータの変調方式では、PSM エントリ スレッショルド以下のスイッチング動作に 1 つまたは複数の単一パルスを使用します。

インダクタ電流 (負荷電流) がさらに減少すると、単一パルスの周波数は、選択されたスイッチング周波数の約 1/4 に低下します。インダクタ (負荷電流) がさらに減少すると、負荷により消費されるエネルギーが、スイッチング中にコンバータが生成するエネルギーよりも小さいため、出力電圧が上昇します。V_O が上昇して電圧レギュレーションループが増加を検出すると、デバイスは一時停止、または TI 独自のスリープモード (µSleep) がイネーブルの場合はデバイスが停止します。

µSleep モードでは両方のローサイドがオンになり、HB1 と HB2 のハイサイドゲート電源が充電されます。その他の内部回路は部分的にオフになっており、コンバータの消費電流を可能な限り最小限に抑えることができます。出力電圧が公称出力電圧設定点に達した場合、短いウェークアップ時間の後にスイッチング動作が再度開始されます。

Copyright © 2025 Texas Instruments Incorporated

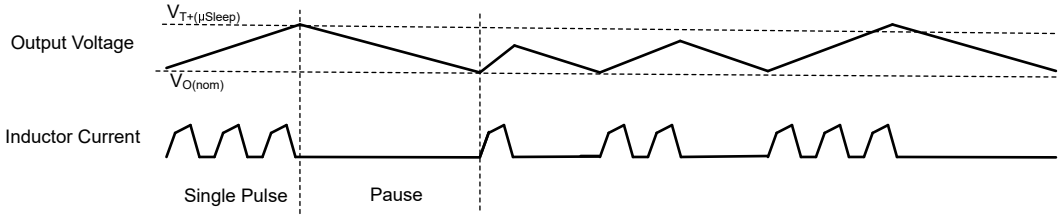


図 7-6. パワーセーブモード (µSleep 無効) のタイミング図

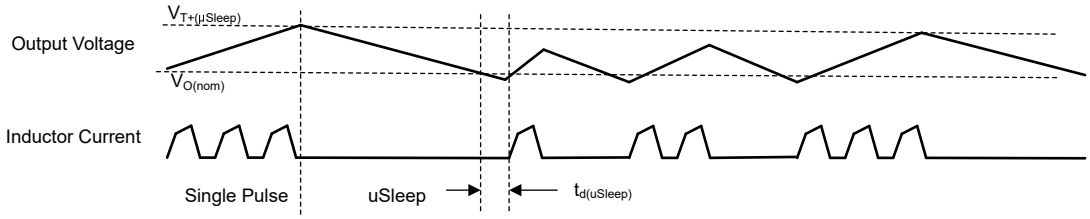


図 7-7. パワーセーブモード (µSleep 有効) のタイミング図

PSM-ACM (自動導通モード) は、4 スイッチ昇降圧動作用の大出力電流のパワー セーブ モードです。負荷が PSM エントリ スレッショルドを超える昇降圧動作領域では、スイッチング パルスがスキップされ、制御は ACM に入ります。この場合、このデバイスのレギュレーションは状態 II を維持し、電力段の出力に入力を導通します。必要に応じて、制御が状態 I または状態 III の最小時間でスイッチング動作を開始し、電圧レギュレーション ループで要求されるようにインダクタ電流を維持します。したがって、出力電圧は依然として完全にレギュレートされ、本デバイスは OCP などのすべての保護機能を維持します。

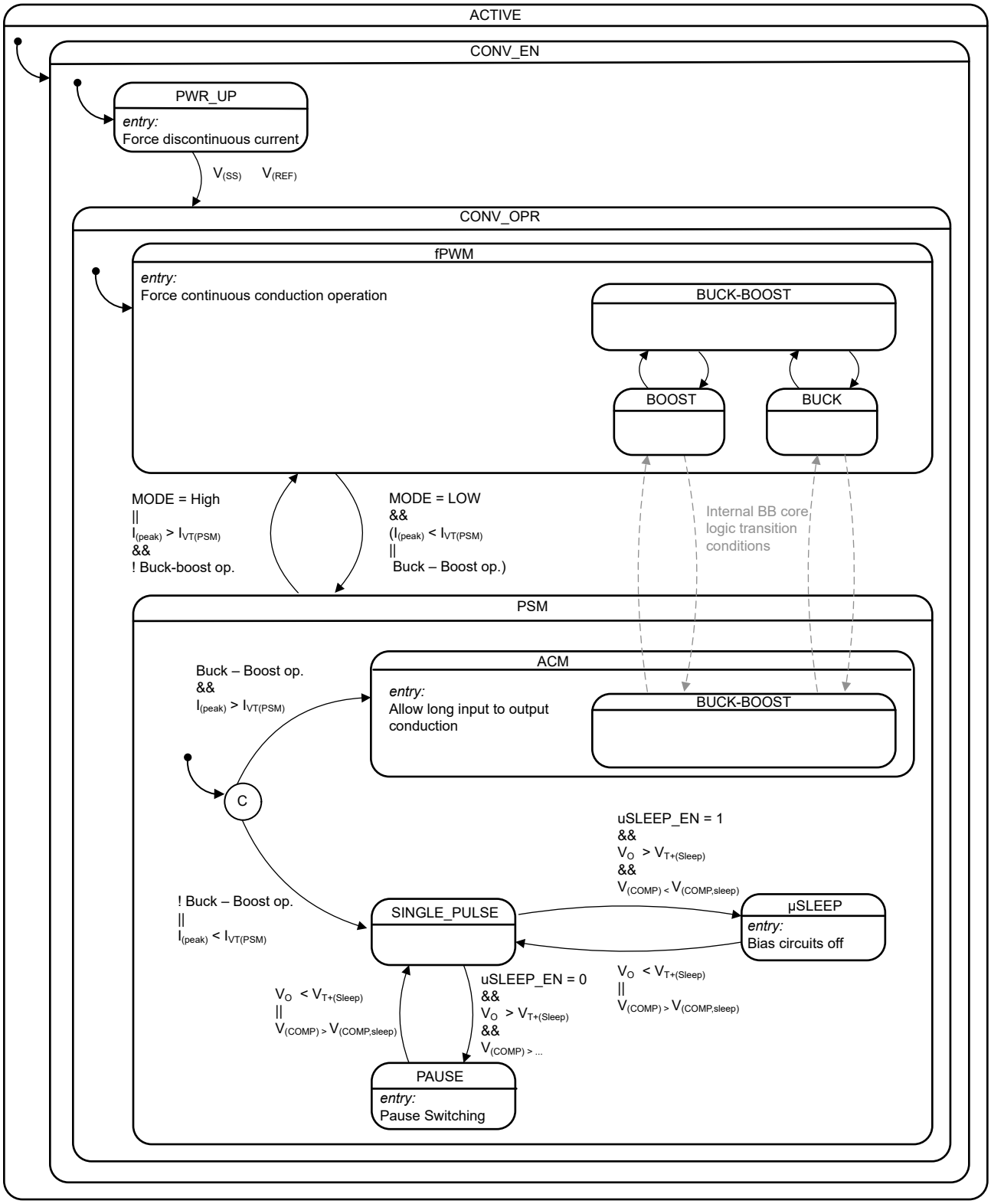


図 7-8. デフォルトのレジスタ設定を使用した PSM の機能状態図

Copyright © 2025 Texas Instruments Incorporated

LM51772-Q1 には適応型パワー セーブ モード スレッショルドがあります (図 7-9 を参照)。内部アルゴリズムは、$I_{VT(PSM)}$ を次の式で導出します。

- VIN ピンに印加される入力電圧センス
- VOUT ピンから生成された出力電圧
- ADDR/SLOPE ピン (ADDR/Slope ピン (R2D-CH1) の構成概要) または 表 8-17 の SEL_SLOPE_COMP レジスタを介して選択またはプログラムされたスロープ補償係数 (m_{sc})。
- CFG3 ピンの選択済みインダクタのディレーティング係数。INC_INDUCTOR_DERATING (CFG3 ピン (R2D-CH3) 構成の概要) では、デフォルト設定が 1LSB ごと増加します。または、表 8-17 のレジスタ SEL_INDUCT_DERATE 設定で、I^2C を使用してプログラムします。

  インダクタのディレーティングは、LM51772-Q1 の電力段 (R_{CS}) の設計上の最大電流におけるインダクタメーカーのデータシートに基づき選択することを推奨します。

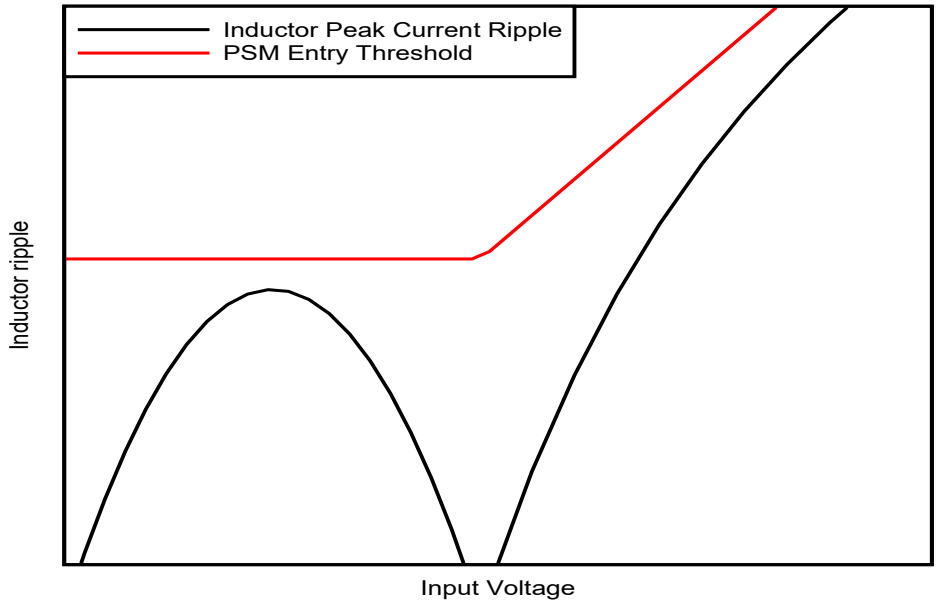


図 7-9. PSM エントリスレッショルドおよびリップル電流と入力電圧との関係を示す一般的なグラフ

7.3.3 プログラマブル導通モード PCM

このデバイスは、大電流アプリケーション向けのパワー セーブ手法も搭載しています。ほとんどの固定周波数昇降圧動作における主な欠点は、昇降圧モード中の 4 つのアクティブ スイッチでの電力損失です。プログラマブル導通モード (PCM) は、プログラマブル入力電圧ウィンドウでコンバータの PWM ロジックに強制的にスイッチング動作を停止させます。この機能は、コンバータ段のソフト スタートが終了した後に利用可能です。入力電圧が PCM ウィンドウ内にある場合、両方のハイサイド FET (Q1、Q4) が外部電力段を介して入力を出力に接続しているため、出力電圧はほぼ入力電圧と等しくなります。プログラムされた V_I ウィンドウの範囲外では、選択したスレッショルドはコンバータの公称レギュレーション目標を表します。

これらの FET に対する電力供給は、デバイスの内蔵チャージ ポンプ回路により維持されます。PCM 中、ピーク電流保護の電流制限は完全に動作し、ユーザーはサイクル単位の電流制限を活用できます。SCP ヒカップ保護機能は、通常動作時のように短絡したときの過熱に対処するために使用できます。

内蔵チャージポンプは、最低推奨 PCM 電圧まで動作します。PCM スレッショルドをこの値より低く設定しないでください。

軽負荷条件を持つ低出力電流および負荷プロファイルに対しては、MODE ピンを使用して、PCM がアクティブなときの消費電力をさらに低減できます。MODE ピンが low の場合、PCM は内部バイアス回路を非アクティブにして、低インダクタ電流を監視することで消費電力を低減します。

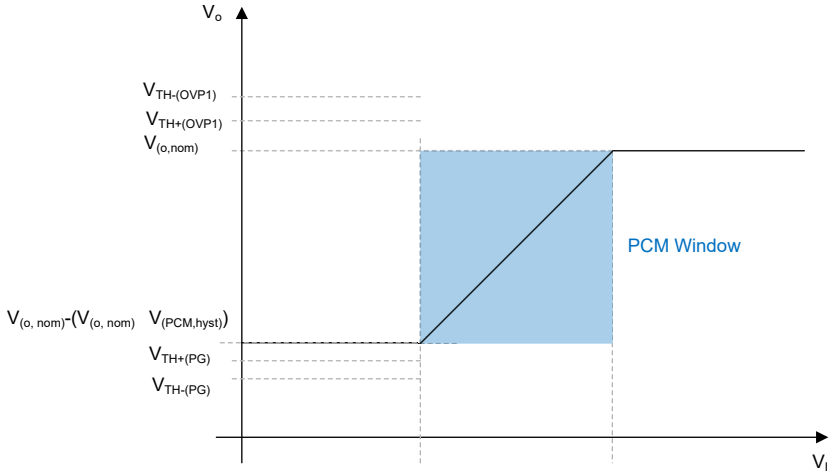


図 7-10. 出力電圧と入力電流との関係

デバイスの I2C インターフェイスを使用する場合、上限スレッショルドは VOUT_TARGET1 論理レジスタで設定されます。下限スレッショルドは、Vo ターゲットを基準とするヒステリシスと、PCM_WINDOW_LOW レジスタ フィールドで設定して選択したヒステリシス値で与えられます。

外部フィードバック分割器によってスレッショルドが設定されている場合、FB-PIN によって与えられる PSM 電圧ウィンドウの上限スレッショルドであり、PCM が無効になっている場合の公称出力電圧と等しくなります。下側スレッショルドは、PCM_WINDOW_LOW レジスタ フィールドのデフォルト設定でプログラムされ、CFG-PIN (PCM_EN) でイネーブル/ディセーブルできます。外部 FB および R2D を使用する場合、Vo に配置した分圧抵抗と同じ分圧抵抗を使用して、FB ピンに接続する必要があります。

保護機能の OVP1 およびパワー グッド スレッショルドは、PCM が有効で、プログラムされたウィンドウ外の入力電圧 (変換が 2 つのスレッショルドのいずれかにアクティブになる) の場合には完全に機能します。

Copyright © 2025 Texas Instruments Incorporated

7.3.4 リファレンス システム

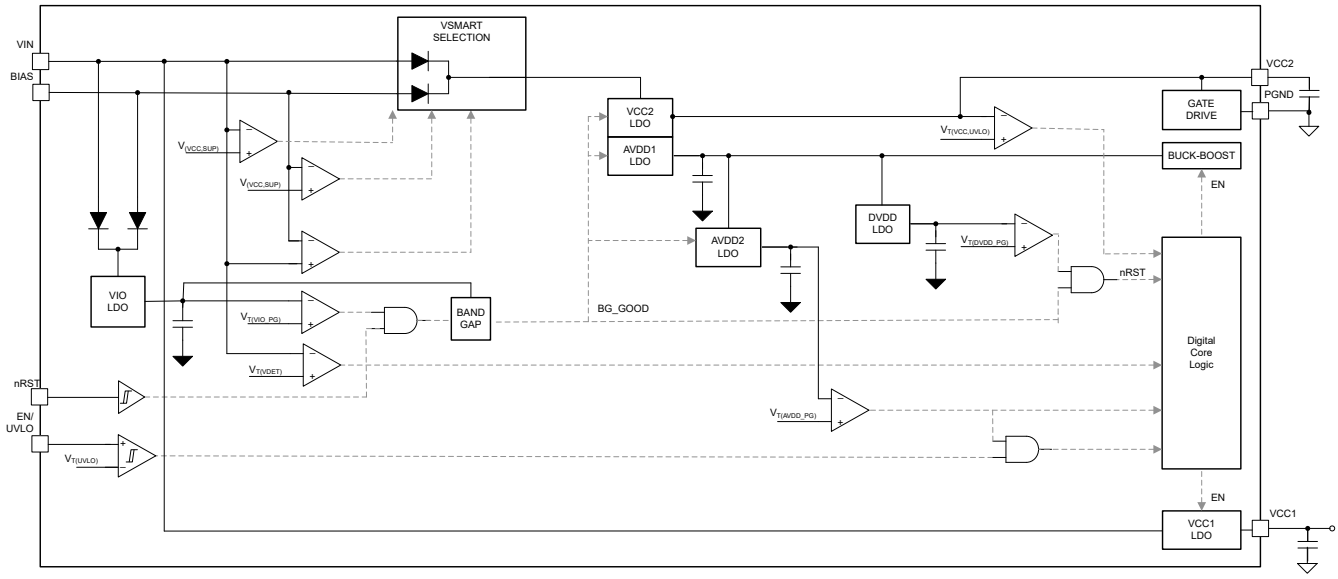


図 7-11. 機能ブロック図リファレンス システム

7.3.4.1 VIO LDO および nRST ピン

VIO LDO は、IO ピンのバッファおよびコンパレータに電源を供給します。VIN- ピンまたは BIAS ピンの電圧が正方向の VT スレッショルド POR+ (POR) を上回り、nRST-PIN が VT+ (nRST) を上回ると、内部 BIAS がアクティブになり、デバイスはスタンバイ モードになります。

nRST ピンがスタンバイ スレッショルド $V_{T-(nRST)}$ を下回っているとき、デバイスは低消費電力のシャットダウン モードに保持され、デバイス電源レールの最小入力静止電流を維持します。

7.3.5 電源電圧の選択 – VSMART スイッチおよび選択ロジック

LM51772-Q1 内部電圧レギュレータに電力を供給する 2 本のピンがあります。電源電圧選択回路が内蔵されているため、入力または出力電圧が低い場合、および出力の短絡などの過渡動作条件でもシームレスな動作が可能で、消費電力が低減されます。VSMART スイッチは、両方の電圧がスイッチオーバー スレッショルド ($V_{T(VCC, SUP)}$) を上回ったとき、VIN または BIAS ピンからの低い電圧のピンを選択します。一方のピンの電圧がスレッショルドよりも低い場合は、他の電源ピンを選択します。また、両方のピンがスイッチオーバー スレッショルドよりも低い場合は、高い VIN または BIAS 電圧を電源として選択します。電源ピンの一般的な構成は、以下のとおりです。

- VIN ピンは電源電圧に接続されます。BIAS ピンは VOUT に接続されています。スタートアップ時には、出力電圧が電源スイッチオーバー スレッショルドを超えていなければ、VIN は内部レギュレータに電源を供給します。V_O が十分に高くなると、電源電流は BIAS ピンから供給されます。
- VIN を入力電源電圧に接続し、BIAS ピンを補助電源 (既存の 12V DC/DC コンバータなど) に接続します。この構成は通常、熱対策のために統合リニアレギュレータの消費電力をさらに最小化する必要がある場合に、入力および出力電圧の高電圧アプリケーションで使用されます。
- BIAS ピンを使用しない場合は、BIAS をグランドに接続してください。デバイスは常に VIN LDO を使用し、静止電流を最小限に抑えることができます。

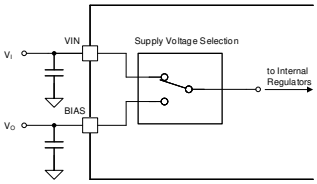


図 7-12. VSMART サプライ シナリオ 1

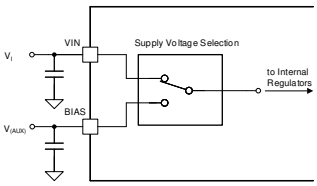


図 7-13. VSMART サプライ シナリオ 2

LDO での電力損失を最小限に抑えるため、VSMART ロジックによって、目標電源 $V_{T(VCC,SUP)}$ に最も近い電圧を決定します。FORCE_BIAS ビットが 0b1 に設定されている場合、デバイスは 2 つの電源ピン BIAS と VIN の間の最高電圧を直接選択しません。表 7-1 に、選択条件の概要を示します。

表 7-1. VSMART 選択真理値表

$V_{(BIAS)}$	$V_{(VIN)}$	VSMART 電源
X	> $V_{T+(VCC2,SUP)}$ && < $V_{(BIAS)}$	VIN ピン
> $V_{T+(VCC2,SUP)}$ && < $V_{(VIN)}$	X	バイアス ピン
< $V_{T-(VCC2,SUP)}$	X	VIN ピン
X	< $V_{T-(VCC2,SUP)}$	バイアス ピン
> $V_{T+(VCC2,SUP)}$ && > $V_{(VIN)}$	> $V_{T+(VCC2,SUP)}$	VIN ピン
> $V_{T+(VCC2,SUP)}$	> $V_{T+(VCC2,SUP)}$ && > $V_{(BIAS)}$	バイアス ピン

FORCE_BIAS ビットがセットされていると、そのビットにより BIAS ピンの切り替えスレッショルドが低下して優先順位が付けられます。VCC2 の外部電源公称 5V をサポートするつもりですが、外部電源がスタートアップ タイミングを満たしていない場合に、VIN 電源を使用して起動できます。VCC2 電源を選択すると、次の動作に従います。

- バイアス電圧が $V_{T+(Force,BIAS)}$ を下回る場合、VIN が選択されます。
- バイアス電圧が $V_{T+(Force,BIAS)}$ を上回る場合、VIN が $V_{T+(VCC2,SUP)}$ を上回っているかに関係なく BIAS が選択されます

Copyright © 2025 Texas Instruments Incorporated

7.3.6 イネーブルおよび低電圧誤動作防止

LM51772-Q1 には、デュアル機能イネーブルおよび低電圧誤動作防止 (UVLO) ピンが搭載されています。さらに、このデバイスには内部 UVLO 機能 (VDET) が搭載されており、I2C インターフェイスでプログラムできます。図 7-14 に、UVLO のブロック図を示します。

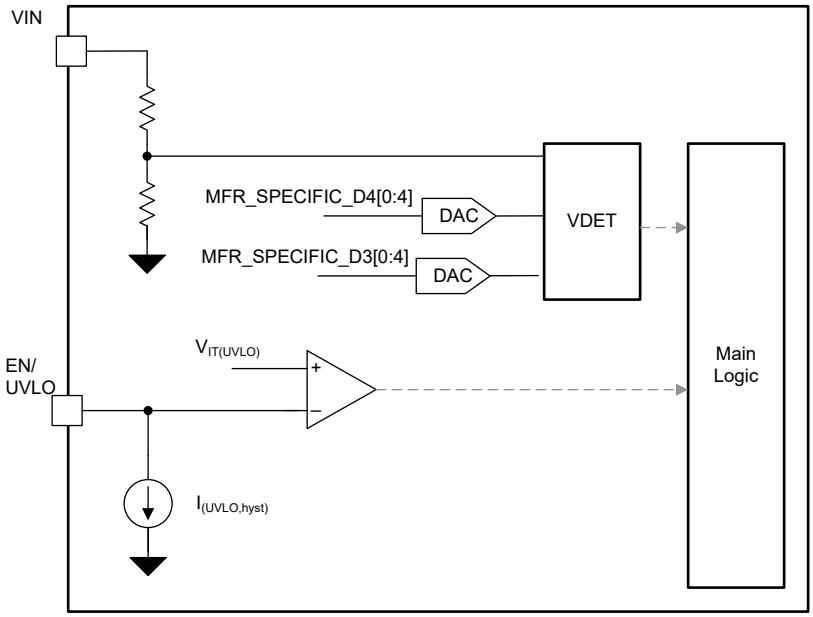


図 7-14. 機能ブロック図 UVLO と VDET

7.3.6.1 UVLO

この機能により、デバイスは電力段の入力電圧が低い状態を検出し、電圧低下状態を防止します。検出スレッショルドおよび必要なヒステリシスは、EN/UVLO ピンに実装された外部分圧器で調整できます。

UVLO には、シャットダウンまでの内部遅延時間 ($t_{d(UVLO)}$) があり、UVLO 検出ピンの入力ノイズによって望ましくないコンバータ シャットダウンが防止されます。EN/UVLO ピンの電圧が遅延時間 $t_{d(UVLO)}$ にわたって $V_{T-(UVLO)}$ スレッショルドを下回る場合、デバイスロジックは直ちにコンバータ動作を停止します。

EN/UVLO ピンの電圧が $V_{T+ (EN)}$ スレッショルドを下回ると、UVLO ヒステリシスの内部電流源がアクティブになります。EN/UVLO ピンの電圧が $V_{T+(UVLO)}$ スレッショルドより高い場合、UVLO ヒステリシスの内部電流源はオフになります。

7.3.6.2 VDET コンパレータ

VDET は、デバイスのための内部 UVLO を備えています。コンパレータ出力はデジタル メイン ロジックに直接送られるため、コンバータの動作は無効化されます。

立ち上がりおよび立ち下がりスレッショルドは、VDET_RISE、VDET_FALL レジスタ フィールドによりプログラムできます。VDET_EN レジスタ フィールドは、この機能をイネーブルまたはディセーブルにします。

シームレスな機能を実現するには、CONV_OFF 状態でプログラマブル VDET パラメータを変更することを推奨します。

VDET スレッショルドのプログラミングが変更された場合は、最初に EN_VDET レジスタフィールドを使用してブロックを無効化してください。スレッショルドレジスタを変更し、EN_VDET を 0b1 に設定して VDET ブロックを再度アクティブにします。

7.3.7 内部 VCC レギュレータ

7.3.7.1 VCC1 レギュレータ

LM51772-Q1 には VCC1 レギュレータが搭載されており、システムの補助用に LDO 出力を供給します。VCC1 は、VIN ピンから直接供給されます。ほとんどのアプリケーションでは、出力を使って LM51772-Q1 にデータを送信する I2C コントローラデバイスに電力を供給します。以下のアプリケーションを参照してください。

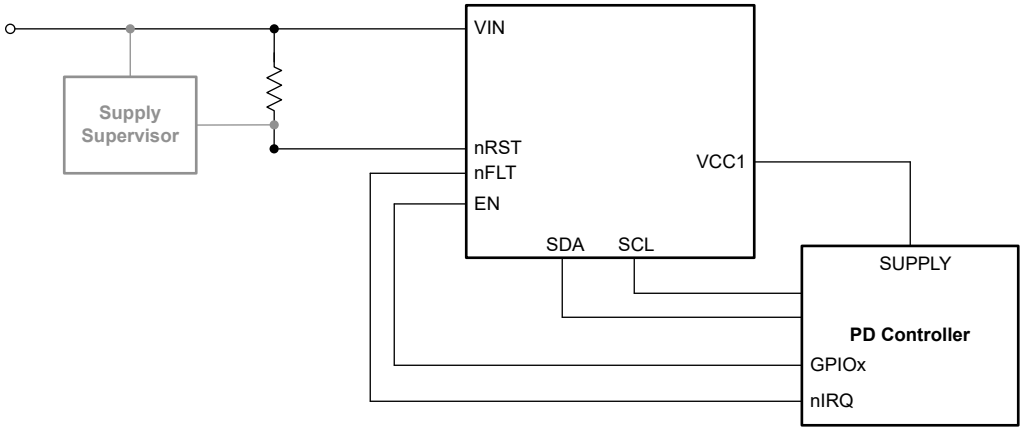


図 7-15. 概略回路図

VCC1 はデバイスがスタンバイモードに入ると起動して、システムの電源シーケンスを満たすことができます。以下の標準的な電源オンシーケンスを参照してください。

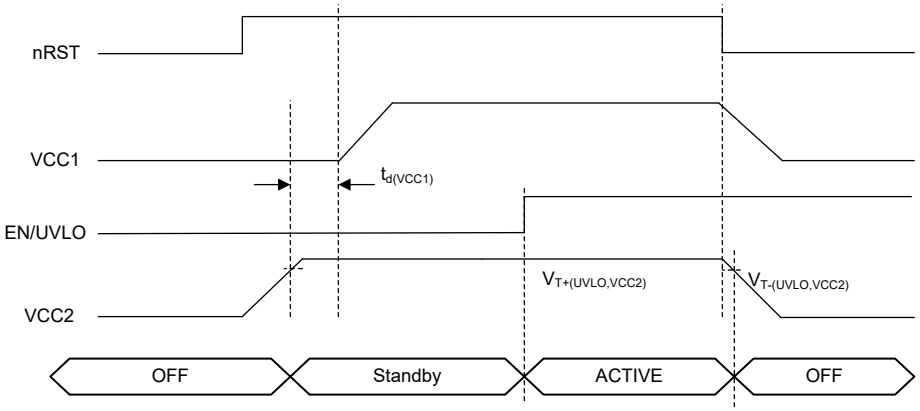


図 7-16. VCC レギュレータのタイミング図

VCC1 レギュレータは軽負荷条件時に高い DC 精度を実現するため、コンパレータやオペアンプなどの外部回路の基準電圧として使用できます。

VCC1 は、R2D または I^2C インターフェイスを介してイネーブル/ディセーブルになります。したがって、VCC1 の起動は R2D 読み出しによってゲートされます。

7.3.7.2 VCC2 レギュレータ

VCC2 レギュレータは、内蔵ゲート ドライバ用の電源です。nRST ピンの電圧が立ち上がりスレッショルドを上回ると、LDO は低電流、プリバイアスモードで起動します。EN/UVLO ピンが立ち上がりスレッショルドより高い場合、VCC2 は完全にアクティブになり、電気的特性パラメータで規定された目標性能を実現します。

外部負荷を VCC2 ピンに接続しないでください

Copyright © 2025 Texas Instruments Incorporated

7.3.8 エラー アンプと制御

7.3.8.1 出力電圧レギュレーション

このデバイスには、出力電圧をレギュレートするためのエラー アンプ (EA) が内蔵されています。出力電圧が FB ピンで検出されます。EA のリファレンスは、ソフト スタートおよび V_O トラッキング ピンから供給されます。COMP ピンは gm 段の出力であり、外部補償回路に接続されます。

誤差アンプで選択された実装により、LM51772-Q1 COMP ピンの電圧は定常状態になり、インダクタの公称ピーク電流値を正確に反映しています。

図 7-17 は、fPWM モードでエラーアンプの制御 V/I 特性を示しています。内部ピーク電流のループレギュレーションの外部制御が必要なアプリケーション設計のガイダンスとして、以下の画像を使用してください。

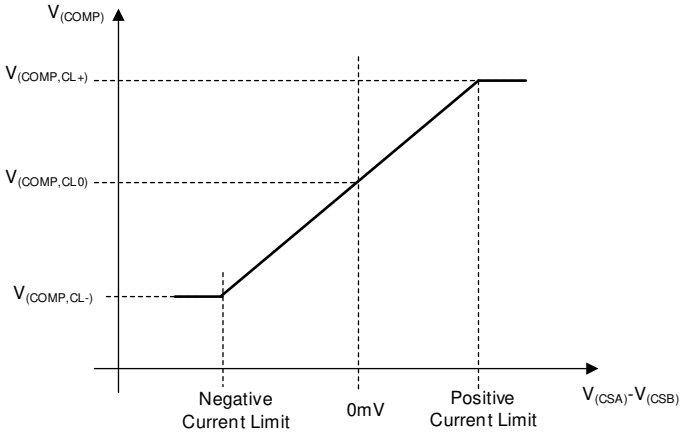


図 7-17. ピーク電流検出電圧と V_{COMP} との関係の制御機能

7.3.8.2 出力電圧帰還

外付けの帰還分圧器を使用するアプリケーションでは、出力容量と FB ピンとの間に抵抗分圧回路を使用します。抵抗値を求めるには、以下の式を使用します。

$$R_{FB,top} = \left(V_{(VOUT)} - V_{(REF)}\right) \times R_{FB,bot} \quad (1)$$

固定電圧とインターフェイスでプログラム可能な電圧を維持するため、このデバイスには分圧器が内蔵されています。この場合、ループ レギュレーションの出力電圧の検知に FB を使用しません。代わりに VOUT- ピンを使用して、電力段の出力電圧を検出します。

内部帰還分圧回路と外部帰還分圧回路の選択は、FB ピンで行います。ソフトスタートが開始される前の FB ピンの電圧が $V_{T+(SEL,iFB)}$ より高い場合、デバイスは内部帰還で動作します。内部 FB と外部 FB の選択は動的に行うことはできず、次の EN または $V_{(POR)}$ パワー サイクルまで、ピン情報がラッチされます。内部帰還分圧器を選択する簡単な方法は、分圧器を VCC2 に接続することです。

内部帰還分圧器の比率は、SEL_DIV20 ビットで変更できます (MFR_SPECIFIC_D8 レジスタのフィールドの説明を参照) 。

SEL_DIV20 ビットの変更後に VOUT_A を書き換えることを推奨します。

以下に、VOUT_A および SEL_DIV20 に応じて可能な Vo 設定の概要を示します

表 7-2. SEL_DIV 20 = 0b0

パラメータ	値
出力電圧最小	1.0V
最大出力電圧	24V

表 7-2. SEL_DIV 20 = 0b0 (続き)

パラメータ	値
出力電圧プログラミング ステップ サイズ (標準値)。	10mV

Copyright © 2025 Texas Instruments Incorporated

次の式を使用して公称出力電圧を計算します:

$$V_{(O,NOM)} = [[VOUT_TARGET1_MSB[3:0]][VOUT_TARGET1_LSB[7:0]]] \cdot 10\ mV \quad (2)$$

表 7-3. SEL_DIV 20 = 0b1

パラメータ	値
出力電圧最小	3.3V
出力電圧最大	48V
出力電圧プログラミング ステップ サイズ (標準値)。	20mV

「VOUT_A」制御レジスタの読み出しレジスタ値は、レジスタ範囲の下限および上限にクランプされます。

- クランプ電圧の値 (3.3V など) より低いレジスタ値が以前に書き込まれている場合、レジスタの読み出し値は最小クランプ電圧 (例:SEL_FB_DIV20 = 0b1 の場合は 3.3V) にクランプされます。
- クランプ電圧の最大値を上回るレジスタ値 (48V など) が以前に書き込まれたことがあると、レジスタの読み出し値は最大のクランプ電圧 (例:SEL_FB_DIV20 = 0b1 の場合は 48V) にクランプされます。

次の式を使用して公称出力電圧を計算します:

$$V_{(O,NOM)} = [[VOUT_TARGET1_MSB[3:0]][VOUT_TARGET1_LSB[7:0]]] \cdot 20\ mV \quad (3)$$

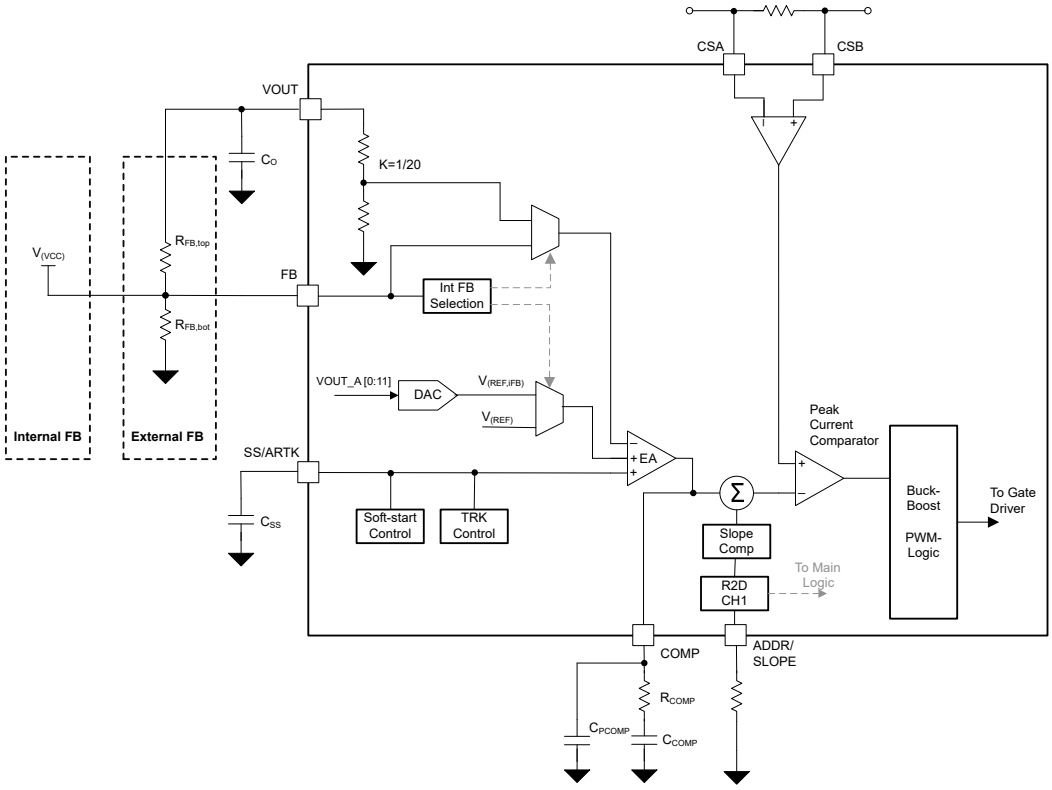


図 7-18. EA 機能ブロック図

7.3.8.3 電圧レギュレーション ループ

LM51772-Q1 には、出力電圧をレギュレートするためのエラー アンプ (EA) が内蔵されています。出力電圧は外付け抵抗を経由して FB ピンで検知され、目標または公称出力電圧が決定されます。EA のリファレンスは、ソフト スタートおよびアナログ出力電圧トラッキング ピン (SS/ATRK) を構築しています。COMP ピンは内部 gm 段の出力であり、外部補償回路に接続されます。補償回路の電圧は、デバイスの内部ピーク電流制御ループの公称値です。

外部コンポーネントを求めるには、以下の式を使用します。

外部フィードバック:

$$R_{(COMP)} = \frac{2\pi \times f_{(BW)}}{gm_{(ea)}} \times \frac{R_{(FB,bot)} + R_{(FB,top)}}{R_{(FB,bot)}} \times \frac{10 \times R_{(CS)} \times C_O}{1 - D_{max}} \tag{4}$$

内部フィードバック:

$$R_{(COMP)} = \frac{2\pi \times f_{(BW)}}{gm_{(ea)}} \times 20 \times \frac{10 \times R_{(SNS1)} \times C_O}{1 - D_{max}} \tag{5}$$

内部および外部フィードバックに共通:

$$C_{(COMP)} = \frac{1}{2\pi \times f_{(CZ)} \times R_{(COMP)}} \tag{6}$$

$$C_{(PCOMP)} = \frac{1}{2\pi \times 10 \times f_{(BW)} \times R_{(COMP)}} \tag{7}$$

ほとんどのアプリケーションでは、補償の帯域幅選択について、以下のガイドラインを推奨します。

帯域幅のハードリミット ($f_{(BW)}$) は昇圧動作の右半面ゼロです。

$$f_{RHPZ} = \frac{1}{2\pi} \times \frac{V_{(VOUT)} \times \left(1 - D_{max}\right)^2}{I_{o,max} \times L} \tag{8}$$

推奨される最大帯域幅は、次の範囲内である必要があります。

$$f_{(BW)} < \frac{1}{3} \times f_{RHPZ} \tag{9}$$

$$f_{(BW)} < \frac{1}{10} \times \left(1 - D_{max}\right) \times f_{(SW)} \tag{10}$$

補償用のゼロ (f_{CZ}) は、昇圧の支配的な極との関係に配置する必要があります。

$$f_{CZ} = 1.5 \times f_{pole,boost} \tag{11}$$

$$f_{pole,boost} = \frac{1}{2\pi} \times \frac{2 \times I_{o,max}}{V_{(VOUT)} \times C_o} \tag{12}$$

Copyright © 2025 Texas Instruments Incorporated

7.3.8.4 ダイナミック電圧スケーリング

コンバータの動作中に出力電圧レジスタがプログラムされる場合、デバイスには動的電圧スケーリング (DVS) が搭載されます。制御ループの帯域幅は外部部品によって設定されるため、DVS 機能により過剰な電流や電圧スパイクが防止されます。出力電圧目標がコンバータのオフ状態でプログラムされると、コンバータのソフトスタートでは新たにプログラムされた目標電圧まで V_O が上昇します。

レジスタの VOUT_A フィールドが変更されると、リファレンス電圧は徐々に新しい目標値へと変化します。立ち上がりと立ち下がりのスルーレートは、$t_{d(DVS)}$ の期間内に、定義済み $\Delta V_{o(DVS)}$ を超えません。スロープ時間は NVM 設定によりプログラム可能です。

コンバータが PSM で動作する場合、負のインダクタ電流はコンバータによりブロックされます。このデバイスは、パッシブおよびアクティブの DVS 構成を特長としており、NVM 設定を使用して選択できます。パッシブ DVS を選択する場合、システムの Vo スロープは定義された DVS スルーレートに従いません。出力コンデンサは出力負荷を通してのみパッシブに放電されるためです。アクティブ DVS が選択されている場合、DVS の負のランプ中に内部出力放電がアクティブになります。最大放電電流は、放電強度のレジスタ選択に関係なく、アクティブ DVS 設定に使用されます。選択した DVS ランプ速度について最大放電電流と一致するようにコンデンサが選択されている限り、出力コンデンサの電圧はリファレンスに追従できます。

7.3.9 出力電圧放電

LM51772-Q1 には、内部出力放電回路が搭載されています。

放電強度は、放電中の出力電圧のさまざまなスルーレートを実現するために、レジスタ DISCHARGE_STREGTH (表 8-12 を参照) で設定できます。このシーケンスは、 表 8-12 のレジスタ DISCHARGE_CONFIG0 および DISCHARGE_CONFIG1 で構成できます。

表 8-9 のレジスタ FORCE_DISCH を使うと、放電回路が強制的にイネーブルまたはディスエーブルになり、シーケンス設定が上書きされます。

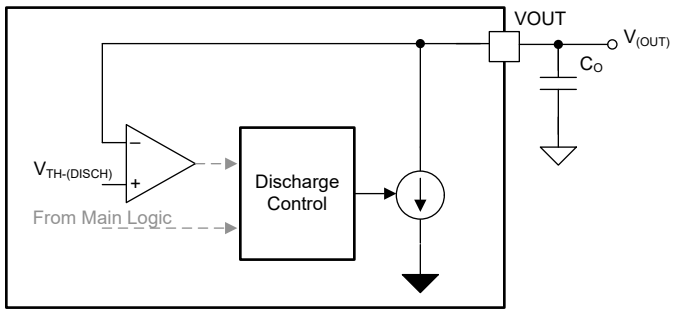


図 7-19. 機能ブロック図出力放電

7.3.10 ピーク電流センサ

内蔵のピーク電流センサにより、誘導性センシングの低減が可能になります。センサはメイン インダクタと直列に配置されており、あらゆる動作モード (昇圧、昇降圧、降圧) でだけでなく、双方向動作などの両方向のピーク インダクタ電流を監視することもできます。

統合型センサで高帯域幅の信号をサポートするため、最高の性能を実現するために、選択した動作点に差動モード フィルタを採用することが推奨されます。ほとんどのアプリケーションでは、$R_{(DIFF1/2)}$ に 10Ω の抵抗値を推奨します。次の式を使用して、フィルタ コンデンサを決定します。

$$C_{(DIFF)} = \frac{t_{on,min}}{2\pi \cdot \left(R_{(DIFF1)} + R_{(DIFF2)}\right) \cdot 10} \tag{13}$$

差動フィルタは、降圧モードまたは昇圧モードの最小オン時間の 10 分の 1 に設定します。

電流検出抵抗は、形状と選択した部品ベンダの設計に基づいて寄生インダクタンスで構成されます。必要なアプリケーションに大電流が必要な場合は、複数の検出抵抗を並列に配置することで、外部部品の寄生容量による影響を低減します。

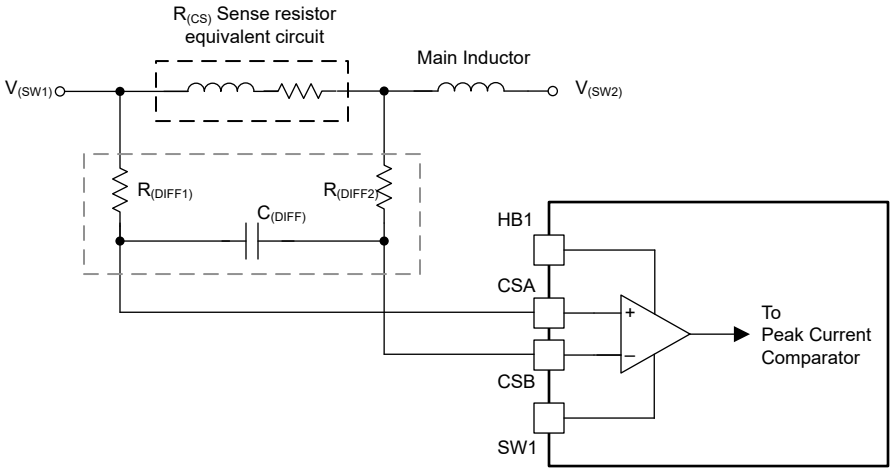


図 7-20. ピーク電流センサの概略回路図

7.3.11 短絡保護 - ヒカップ保護

LM51772-Q1 には、短絡保護または過電流保護機能があります。この保護機能は、CSA および CSB ピンに接続されたサイクル単位のピーク電流センサを使用します。この保護には 2 つのモードがあります。ヒカップ モードでは、コントローラは、ヒカップ モードのオン時間より長いサイクル単位のピーク電流を検出した後、コンバータの動作を停止します。コンバータのロジックでソフト スタート コンデンサの放電が開始され、ヒカップ モードのオフ時間が経過するまで出力はオフに維持されます。その後、ロジックはヒカップモードを終了し、通常のソフトスタートシーケンスで出力を再起動します。このシーケンスでは、ソフトスタートコンデンサが内部電流源によって充電されます。短絡または過負荷状態が持続した場合は、ソフト ランプ終了後にヒカップ タイマが再度起動します。ヒカップ モード保護を有効にしない場合、デバイスは、過負荷状態が持続している間、継続的にサイクルごとの電流制限によって動作します。定常状態におけるピーク インダクタ電流制限は、式 14 に示すように計算されます。

$$I_{L(PEAK,\ ILIMIT)} = \frac{50mV}{R_{CS}} \tag{14}$$

Copyright © 2025 Texas Instruments Incorporated

7.3.12 電流モニタ / リミッタ

7.3.12.1 概要

このデバイスには 2 つの高電圧電流センサが搭載されています。最初のピンは、CSA ピンと CSB ピンの間のピーク電流検出機能を維持します。2 番目の電流センサ入力は、ISNSP ピンおよび ISNSN ピンに接続されています。このオプションの電流センシング機能を使用すると、DC/DC コンバータの入力または出力電流の監視 (CDC ピン) と制限 (ILIMCOMP ピン) を行うことができます。

オプションの電流センスアンプを使用しない場合は、ILIMCOMP ピンを VCC2 に接続して、すべての電流制限/監視機能をオフにします。コンバータのスタートアップ時に構成がラッチされます。デバイスの動作中は、これを動的に実行しないでください。電流監視/制限ブロックがターゲットアプリケーションで使用されず無効な場合は、デバイスを EN、EN_CONV、またはパワーサイクルでイネーブルにする前にこれを実行してください。

ILIMCOMP を VCC2 に直接接続するか、プルアップ抵抗 (50kΩ 未満) を使用して接続します。

CFG ピンまたはレジスタ表を使って、次のような動作モードを選択します。

1. 電流検出アンプが I2C インターフェイスまたは R2D を選択し、IMON_LIMITER_EN を 0b0 に設定したモニタ構成で動作する場合。CDC ピンと ILIMCOMP ピンの両方が、差動検出電圧に比例する電流を供給します。
2. 電流モニタ ブロック リミッタ動作は、MON_LIMITER_EN ビットまたはこの信号に対応する R2D 設定によりアクティブになります。
3. 負の電流制限方向は、EN_NEG_CL_LIMIT ビットによって、またはこの信号に対する R2D の選択によって選択されます。
4. ADDR/Slope (CFG1) が I2C アドレス (VCC2 または GND へのピン) を選択すると、メイン ロジックによって I2C インターフェイスと内部 DAC がアクティブになり、電流制限スレッショルドのデフォルト リファレンスとして使用されます。DAC の値は、ILIM_THRESHOLD レジスタによって設定されます。電流制限の抵抗設定を使用するには、I2C インターフェイス経由のレジスタ設定を使用して内部 DAC を無効化します。

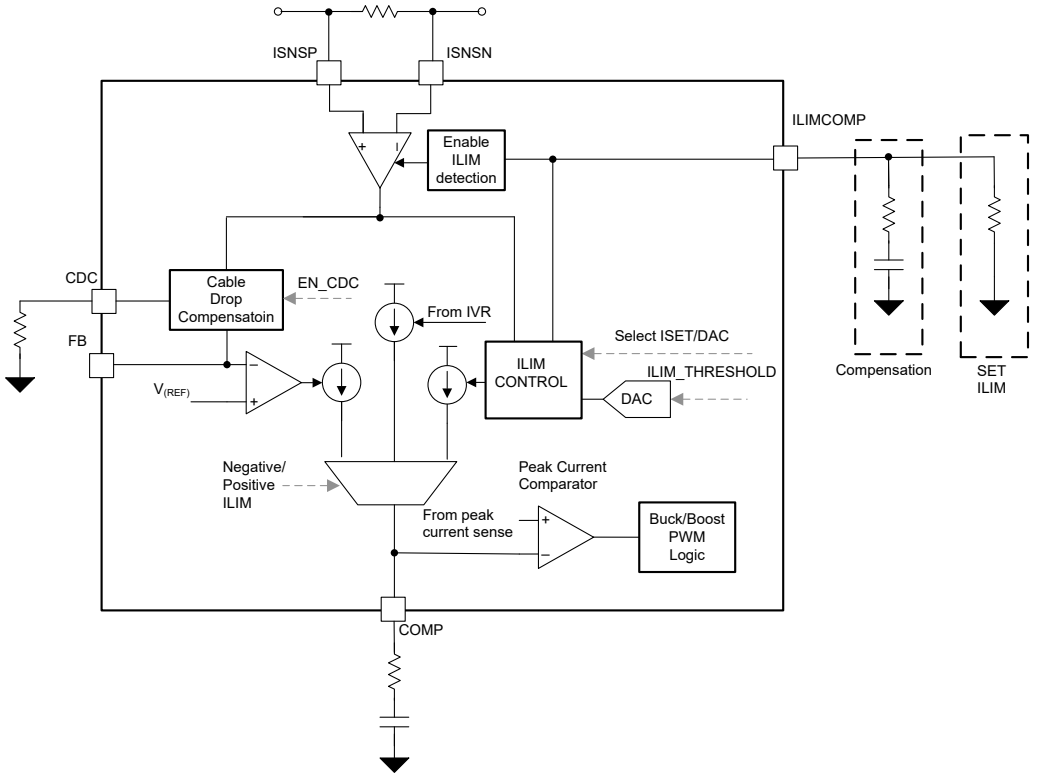


図 7-21. 電流モニタの機能ブロック図

7.3.12.2 出力電流制限

この構成では、電流センスにはデバイスのピーク電流制限への内部フィードバックがあります。ILIM 回路は、ILIMCOMP 電圧を $V_{(ISET)}$ にレギュレートし、電圧ループ レギュレーションをオーバーライドします。

ISNSP と ISNSN の間の差動電圧が ILIM 回路の内部オフセット電圧を超える限り、ピーク インダクタ電流は下がります。ILIM スレッショルドは、レジスタによるプログラミングまたは ILIMCOMP ピンの ISET 抵抗により設定できます。

抵抗により電流制限スレッショルドが選択されている場合、$V_{(ISET)}$ がスレッショルド電圧 (標準値 1V) に上昇すると、レギュレーションにより電圧ループは上書きされます。ISET のスレッショルド電圧は、以下で計算できます。

$$V_{(\mathrm{ISET})} = \left(V_{(ISNSP)} - V_{(ISNSN)}\right) \cdot gm_{(\mathrm{ISET})} \cdot R_{(\mathrm{ISET})} \tag{15}$$

したがって、電流制限スレッショルド電圧を選択するための抵抗値は、以下で計算されます。

$$R_{(ISET)} = \frac{V_{(ISET)}}{\left(V_{(ISNSP)} - V_{(ISNSN)}\right) \cdot gm_{(\mathrm{ISET})}} \tag{16}$$

高周波ノイズを抑制するには、次の式に基づくコンデンサを $R_{(ISET)}$ と並列に配置する必要があります。

$$C_{(ISET)} = \frac{1}{\pi \cdot f_{(SW)} \cdot R_{(ISET)}} \tag{17}$$

電流制限のスレッショルドは内部 DAC によってプログラムされます。電流制限制御ループの帯域幅は、ILIMCOMP ピンの抵抗およびコンデンサの回路で、さまざまな負荷に合わせて最適化されます。抵抗性負荷の場合、単純な積分器補償は次の式に従って選択します:

$$C_{O2} = \frac{5}{2 \cdot \pi \cdot f_{bw} \cdot R_{(LOAD)}} \tag{18}$$

ここで、C_{O2} は、平均電流検知抵抗 $R_{(SNS)}$ の後の容量です

f_{bw} は電圧ループ補償の帯域幅です (電圧レギュレーション ループを参照)。

$$C_{O1} = C_O - C_{O2} \tag{19}$$

ここで、C_O は、電圧ループの計算とアプリケーションの電圧リップルの要件によって決定される合計出力容量です。

ここで、C_{O1} は、平均電流検知抵抗 $R_{(SNS)}$ の前の容量です。

$$f_p = \frac{1}{2 \cdot \pi \cdot R_{(SNS)} \cdot C_{O2}} \tag{20}$$

$$f_{bwilim} = f_p \cdot 10^{-0.25} \tag{21}$$

$$C_{(ILIMCOMP)} = \frac{gm_{(ILIMCOMP)}}{2\pi \cdot f_{bwilim}} \tag{22}$$

Copyright © 2025 Texas Instruments Incorporated

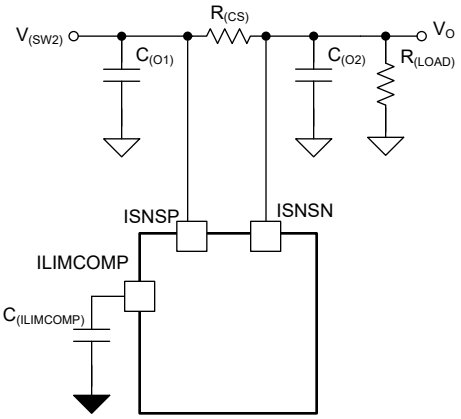


図 7-22. 抵抗性負荷を備えた電流制限部品の概略回路図

電子負荷 (CC モード CR モード) では、ほとんどの場合タイプ II 補償回路が必要です。内部レギュレーションループおよび使用する電子負荷の帯域幅を実現するためです。詳細な最適化については、『クイック スタート カリキュレータ ツール』を参照してください。

電流制限スレッショルドが内部 DAC の代わりに抵抗で選択されている場合、$V_{(ISET)}$ がスレッショルド電圧 (標準値 1V) に上昇すると、レギュレーションは電圧ループを上書きします。ISET のスレッショルド電圧は、以下で計算できます。

$$V_{(\mathrm{ISET})} = \left(V_{(ISNSP)} - V_{(ISNSN)}\right) \cdot gm_{(\mathrm{ISET})} \cdot R_{(\mathrm{ISET})} \tag{23}$$

したがって、電流制限スレッショルド電圧を選択するための抵抗値は、以下で計算されます。

$$R_{(ISET)} = \frac{V_{(ISET)}}{\left(V_{(ISNSP)} - V_{(ISNSN)}\right) \cdot gm_{(\mathrm{ISET})}} \tag{24}$$

高周波ノイズを抑制するには、次の式に基づくコンデンサを $R_{(ISET)}$ と並列に配置する必要があります。

$$C_{(ISET)} = \frac{1}{\pi \cdot f_{(SW)} \cdot R_{(ISET)}} \tag{25}$$

読み出しレジスタの値である「ILIM_THRESHOLD」制御レジスタは、レジスタ範囲の下限および上限にクランプされます。

- クランプ電流値より小さいレジスタ値が以前に書き込まれている場合、レジスタの読み取り値は最小のクランプ電流 (500mA など) にクランプされます。
- クランプ電流の最大値を上回るレジスタ値が以前に書き込まれている場合、レジスタの読み出し値は最大のクランプ電流にクランプされます。

7.3.12.3 出力電流モニタ

センス抵抗を流れる電流は CDC ピンで同時に監視され、ILIMCOMP ピンによって構成された電流制限には影響しません。リミッタがディセーブルの場合 (IMON_LIMITER_EN = 0b0) 、両方のピンはで、ISNSP/N の差動電圧に比例した電流を供給します。センス電圧を計算するには、以下の式を使用します。

$$V_{(CDC)} = \left(V_{(ISNSP)} - V_{(ISNSN)}\right) \times gm_{(CDC)} \times R_{(CDC)} \tag{26}$$

$$V_{(\mathrm{ILIMCOMP})} = \left(V_{(ISNSP)} - V_{(ISNSN)}\right) \times gm_{(\mathrm{ILIMCOMP})} \times R_{(\mathrm{ILIMCOMP})} \tag{27}$$

7.3.13 発振器周波数の選択

LM51772-Q1 には、許容誤差の小さい内部トリム発振器があります。

周波数が正確ではないため、RT ピンを「開放」または「短絡」にして動作させないでください。RT ピンをオープンのままにすると、発振器の周波数は可能な最小境界になります。RT ピンを接地した状態で、スイッチング周波数は可能な限り最大の境界になります。

発振器の周波数は、RT ピンとグランドとの間に抵抗を接続して、上または下にプログラムします。特定の発振器周波数の RT 抵抗を計算するには、式 28 を使用します。

$$R_{(RT)} = \frac{1}{32 \cdot 10^{-12} \cdot f_{sw}} \tag{28}$$

RT ピンは、デバイスがアクティブ モードのとき、内部電圧源によって 0.75V にレギュレートされます。そのため、抵抗を流れる電流を変更して、動作中にスイッチング周波数を動的に変更できます。図 7-23 および 図 7-24 に、抵抗値の切り替え、または抵抗を介した外部電圧源の印加によって周波数を変更する 2 つの例を示します。追加の容量を RT ピンに直接接続することは推奨しません。

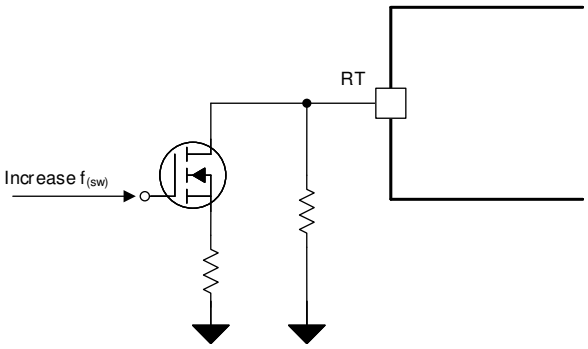


図 7-23. 周波数ホッピングの例

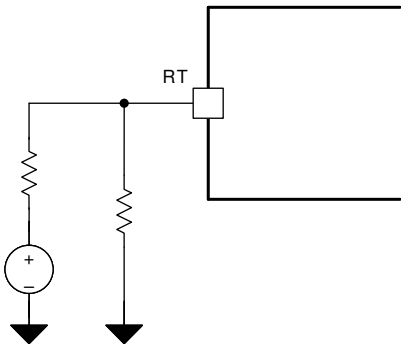


図 7-24. 動的な周波数変更の例

Copyright © 2025 Texas Instruments Incorporated

7.3.14 周波数同期

このデバイスには、内部的な位相ロック ループ (PLL) が搭載されており、RT ピンで設定された周波数と、外部の周波数同期信号との間でスイッチング周波数をシームレスに遷移するよう設計されています。外部周波数が供給されない場合、RT ピンによって同期範囲の中心周波数が設定されます。外部同期信号は、スイッチング周波数を ±50% に変更します。静止電流を低く抑えるため、有効な同期周波数がない場合 (推奨同期範囲外の周波数信号) は SYNC ピンの入力バッファが無効になります。

デバイスがパワー セーブ モードまたは µSleep 動作に移行すると、イネーブルの場合、$f_{(SW)}$ 同期は停止します。コンバータが再び PWM 動作に移行すると、デバイスはピン信号に再同期します。同期のタイミングは、図 7-26 に示されています

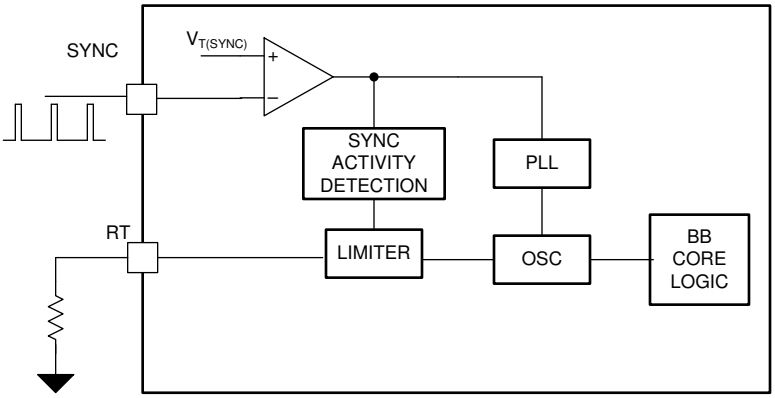


図 7-25. メイン発振器の機能ブロック図

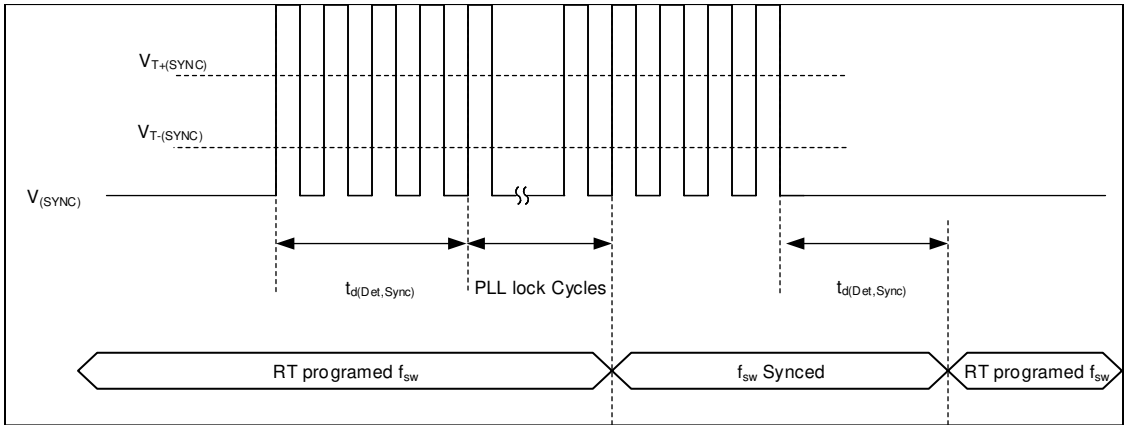


図 7-26. タイミング図の同期機能

SYNC ピン機能は I^2C でプログラム可能、または R2D インターフェイスで構成できます:

- AS 入力トリガ、立ち上がりエッジでトリガすることです
- 立ち下がりエッジで入力トリガとして機能 (180°位相シフト)
- メイン オシレータ クロックの出力として変換します

7.3.15 出力電圧トラッキング

このデバイスには 2 種類の出力電圧トラッキング機能が内蔵されています。

- SS/ATRK ピンによるアナログ電圧トラッキング機能
- DTRK ピンによるデジタル電圧トラッキング機能

7.3.15.1 アナログ電圧トラッキング

アナログ出力電圧トラッキングの場合、SS/ATRK ピンに印加される電圧により、出力レギュレーション ループの基準電圧が上書きされます。ソフトスタートの終了前にこの電圧を印加しないでください。ソフトスタートのランプ時間があるため、スタートアップ時の入力電流が変化します。

内部エラー アンプは、最も低い基準入力電圧を使用するように設計されているため、SS/ATRK ピンに印加される電圧は、フィードバック ピンの V_{ref} より低い電圧でのみ有効です。したがって、出力の最大電圧は FB ピンの抵抗ネットワークによって決定されます。

コンバータ電圧のスタートアップにアナログ電圧トラッキングが使用されている場合、MODE ピンの値が High から Low、または Low から High に変化した場合、ソフトスタート完了済みの内部ロジックが送信されます。

7.3.15.2 デジタル電圧トラッキング

LM51772-Q1 の DTRK 入力は、内部基準電圧を直接変調します。DTRK ピンの電圧が $V_{T(DTRK)}$ の立ち上がりスレッショルドを上回り、推奨周波数の PWM 信号がピンに印加されると、この機能がアクティブになります。

デジタル電圧トラッキングが実装されると、デジタルトラッキング中のターゲット出力電圧が FB 抵抗分割器で選択された公称リファレンス電圧を超えなくなります。印加される PWM 信号により、DTRK ピンのデューティ サイクルに関連して、内部基準電圧が低下します。デューティ サイクルが小さいほど出力電圧が低くなり、PWM 入力のデューティ サイクルが高いと、高い出力電圧が示されます。たとえば、デューティ サイクルが 30% の場合、FB デバイダ抵抗で選択された電圧の 30% の出力電圧が発生します。

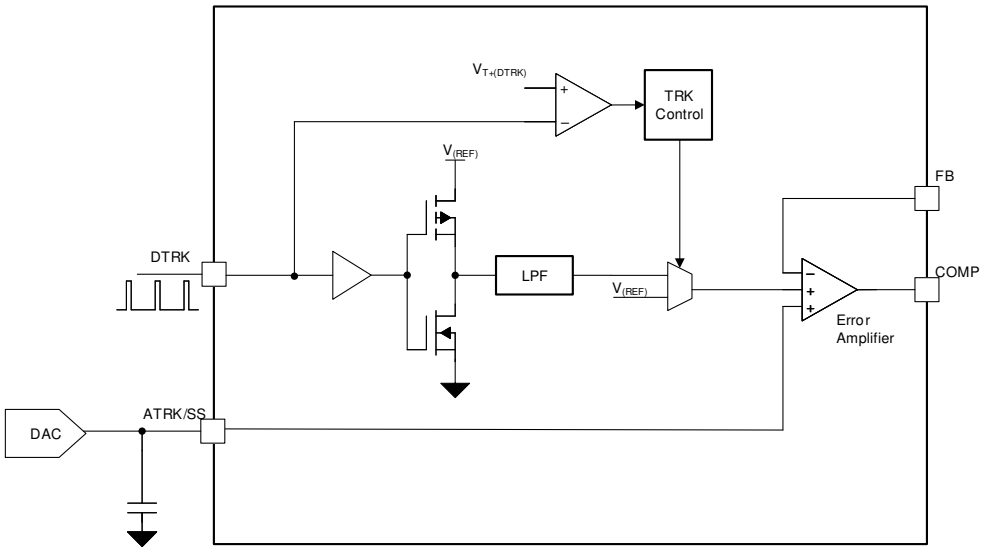


図 7-27. 出力電圧トラッキングの機能ブロック図

Copyright © 2025 Texas Instruments Incorporated

7.3.16 スロープ補償

LM51772-Q1 にはスロープ補償があり、安定した動作と、広い動作範囲にわたって最高の過渡性能が得られます。

最初に、式 29 から補正係数を計算する必要があります

$$m_{SC} = \frac{R_{CS}}{f_{SW} \times L_{eff}} \times 625 \quad (29)$$

- ここで、R_{CS} は、選択されたピーク電流検出抵抗です。
- L_{eff} は、選択したピーク電流におけるインダクタの実効 (ディレーティング) インダクタンスです
- f_{SW} は、選択されたスイッチング周波数です
- m_{SC} スロープ補償補正係数

使用するインダクタにインダクタンスディレーティングがない場合は、レジスタフィールドの SEL_INDUC_DERATE でインダクタのディレーティングを無効化できます。

使用されているインダクタにインダクタンスのディレーティングがなく、システムに I^2C を使用したプログラミング機能がない場合は、CFG/SLOPE ピンで選択した m_{SC} を INC_INDUC_DERATE で選択した値だけ増やす必要があります。表 7-6 を参照してください (例：m_{sc} x 1.2 または m_{sc} x 1.3)。この方式により、スロープ補償と PSM エントリのスレッショルドに妥協が生じます。

I^2C で計算した補正係数に基づいて、または ADDR/Slope ピンに抵抗を接続することで、スロープ補償を選択します。スロープ補償補正係数に基づいて抵抗値を選択するには、ADDR/Slope ピン (R2D-CH1) 構成の概要を参照してください。

7.3.17 構成可能なソフトスタート

ソフトスタート機能は、レギュレータを徐々に定常状態動作点へと到達させることで、起動時のストレスやサージを低減します。

LM51772-Q1 では、出力の充電時間を決定するソフト スタートを調整可能です。ソフトスタート機能は、高出力容量の結果として突入電流を制限し、過電流状態を回避します。

ソフトスタートシーケンス開始時の SS 電圧は 0V です。SS ピンの電圧が帰還リファレンス電圧 V_{REF} より低い場合、ソフトスタートピンがレギュレーションされた FB 電圧を制御し、内部のソフトスタート電流ソースが SS ピンに接続されている外付けのソフトスタートコンデンサの電圧を徐々に上昇させるため、出力電圧と FB ピンは徐々に上昇します。SS の電圧が内部基準電圧を超えると、ソフト スタート期間が終了し、エラー アンプは $V_{(REF)}$ を基準にします。

ソフト スタート時間 ($t_{(ss)}$) は、次の式で与えられます。

$$C_{SS} = \frac{I_{SS} \times t_{SS}}{V_{Ref}} \quad (30)$$

次のため、コンバータがディスエーブルになると、ソフト スタート コンデンサは内部で放電されます。

- EN/UVLO が動作スレッショルドを下回っています
- VCC2 が VCC2 低電圧閾値を下回っています
- デバイスはヒカップ モードの電流制限中です。
- デバイスには、サーマル シャットダウン保護機能が組み込まれています。
- ブートストラップ電圧は、ブートストラップ低電圧スレッショルドを下回っています

7.3.18 駆動ピン

このデバイスには、高電圧駆動ピン (DRV1) があり、入力または出力切断 FET をサポートしています。ピンをチャージポンプの出力に使用するオプションがあります。一例は外付けの n チャネル FET を使用する逆極性保護です。このピンの電源は、R2D 構成と I2C 構成で選択します。

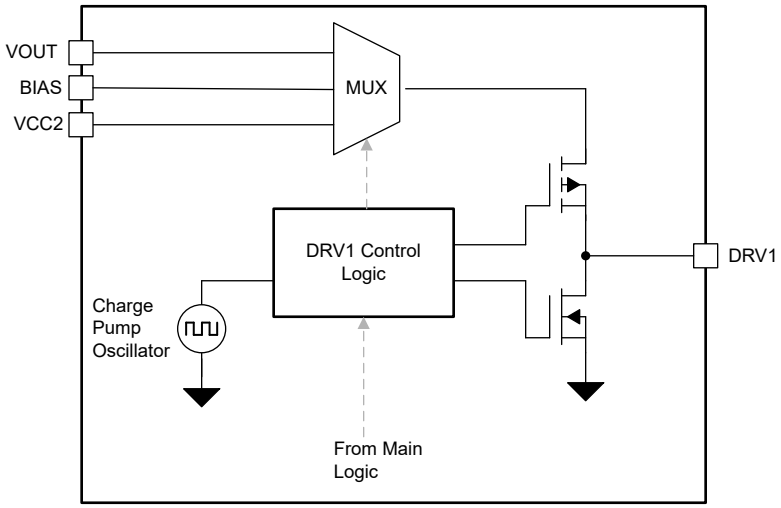


図 7-28. 機能ブロック図 - DRV ピン

DRV1 ピンでサポートできるように、以下の構成が可能です。

1. オープンドレイン出力。
2. VOUT から供給される高電圧プッシュプル
3. VBIAS から供給される高電圧プッシュプル
4. VCC2 から供給される CP 駆動ピン

DRV ピンのシーケンスは、レジスタ MFR_SPECIFIC_D8 レジスタのフィールドの説明で指定される設定によって異なります。

Copyright © 2025 Texas Instruments Incorporated

7.3.19 デュアル ランダム スペクトラム拡散機能 - DRSS

このデバイスにはデジタル スペクトラム拡散機能があり、広い周波数範囲にわたって電源の EMI を低減します。この機能は、R2D インターフェイス (表 7-7) またはレジスタ 表 8-10 で選択します。スペクトラム拡散が有効になると、内部変調器が内部クロックをディザリングします。SYNC ピンに外部同期クロックが印加されると、内部のスペクトラム拡散はディセーブルされます。DRSS 機能は、低周波数の三角波変調プロファイルと、高周波数のランダム変調プロファイルを組み合わせたものです。低周波数の三角波変調は低い無線周波数帯域 (AM 帯域など) で性能を向上させ、高周波のランダム変調は高い無線周波数帯域 (FM 帯域など) で性能を向上させます。さらに、可聴音が発生する可能性を低減するために、三角波変調の周波数がさらにランダムに変調されます。スペクトラム拡散により発生する出力電圧リップルを最小限に抑えるため、ディザリングが有効な場合は、デューティ サイクルをサイクル単位で調整し、ほぼ一定に維持します。

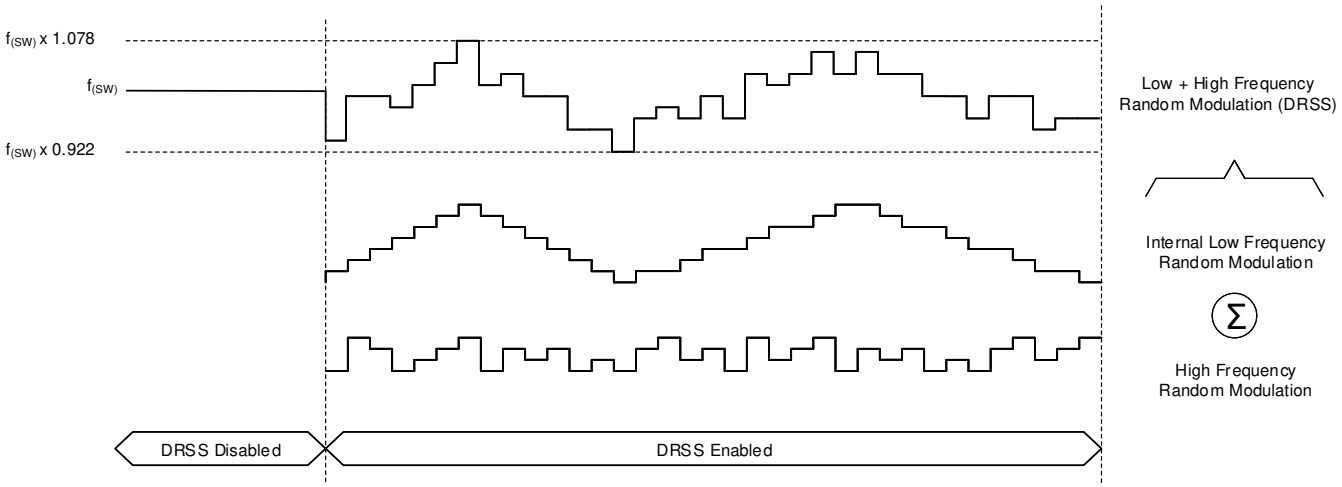


図 7-29. デュアル ランダム スペクトラム拡散

7.3.20 ゲート ドライバ

LM51772-Q1 には、4 つのロジック レベル nMOS ゲート ドライバが搭載されています。ドライバは、昇降圧動作に必要な両方のハーフ ブリッジの高周波スイッチングを維持します。デバイスが昇圧モードまたは降圧モードの場合、他のハーフ ブリッジ ハイサイド スイッチを永続的にオンにする必要があります。内蔵ゲートドライバは、スイッチング動作中であるもう一方のハーフ ブリッジからの電流を共有することで、この構成をサポートします。このデバイスでは内蔵チャージポンプが不要となり、最小静止電流が実現されます。駆動電流の能力が高く、LM51772-Q1 は広範な外部パワー FET に加えて、並列動作をサポートできます。

LO および HO 出力は、貫通電流保護により保護されているため、両方の出力が同時にオンになることは防止されています。昇降圧の PWM 変調ロジックが LOx ピンをオフにすると、以下の条件が満たされるまで HOx ピンはオンになりません。

1. 最小内部遷移時間 ($t_{t(dead)}$) に達します。
2. LOx ピンの電圧が、検出スレッショルド $V_{TH(GATEOUT)}$ を下回っています。

この動作は、HOx がオフで LOx がオンの場合も同様です。

追加のブートストラップ UVLO コンパレータによって、ゲート ドライバの 1 次側電源電圧が監視されます。このコンパレータは SWx と HBx 間の差動電圧を監視します。電圧がスレッショルドを下回ると、昇降圧コンバータの動作はオフになります。ソフト スタート方式によって正の方向スレッショルドに達すると、デバイスは自動的に再起動されます。

さらに LM51772-Q1 は SWx と HBx 間の上側電圧を監視しますこの電圧がクランプ回路のスレッショルド電圧を超えると、LM51772-Q1 は内部電流源をアクティブにして、電圧をプルダウンします。

デッドタイム値は、レジスタ MFR_SPECIFIC_D6 レジスタフィールドの説明の SEL_SCALE_DT、SEL_MIN_DEADTIME_GDRV で選択します。

アプリケーションで I^2C が使用されていない場合は、CFG-PIN (表 7-6) を使用して SEL_SCALE_DT を選択することもできます。有効にすると、デフォルトのデッドタイム設定が標準で 15ns 増加します。

さらに、ハイサイドとローサイド間の遷移 (デッド) 時間の周波数依存性もオプションで設定できます。この機能により、スイッチング周波数が低い大電力アプリケーション、およびスイッチング周波数の高い低電力アプリケーションにおける、シリコン MOSFET Q_g の一般的な違いに対して、デバイスの性能を最適化できます。このオプションが有効化されている場合、スイッチング周波数が高く設定されるとデッドタイムは短くなります。周波数依存は、レジスタ MFR_SPECIFIC_D6 レジスタフィールドの説明の EN_CONST_TDEAD レジスタを使用して有効化または無効化できます。

Copyright © 2025 Texas Instruments Incorporated

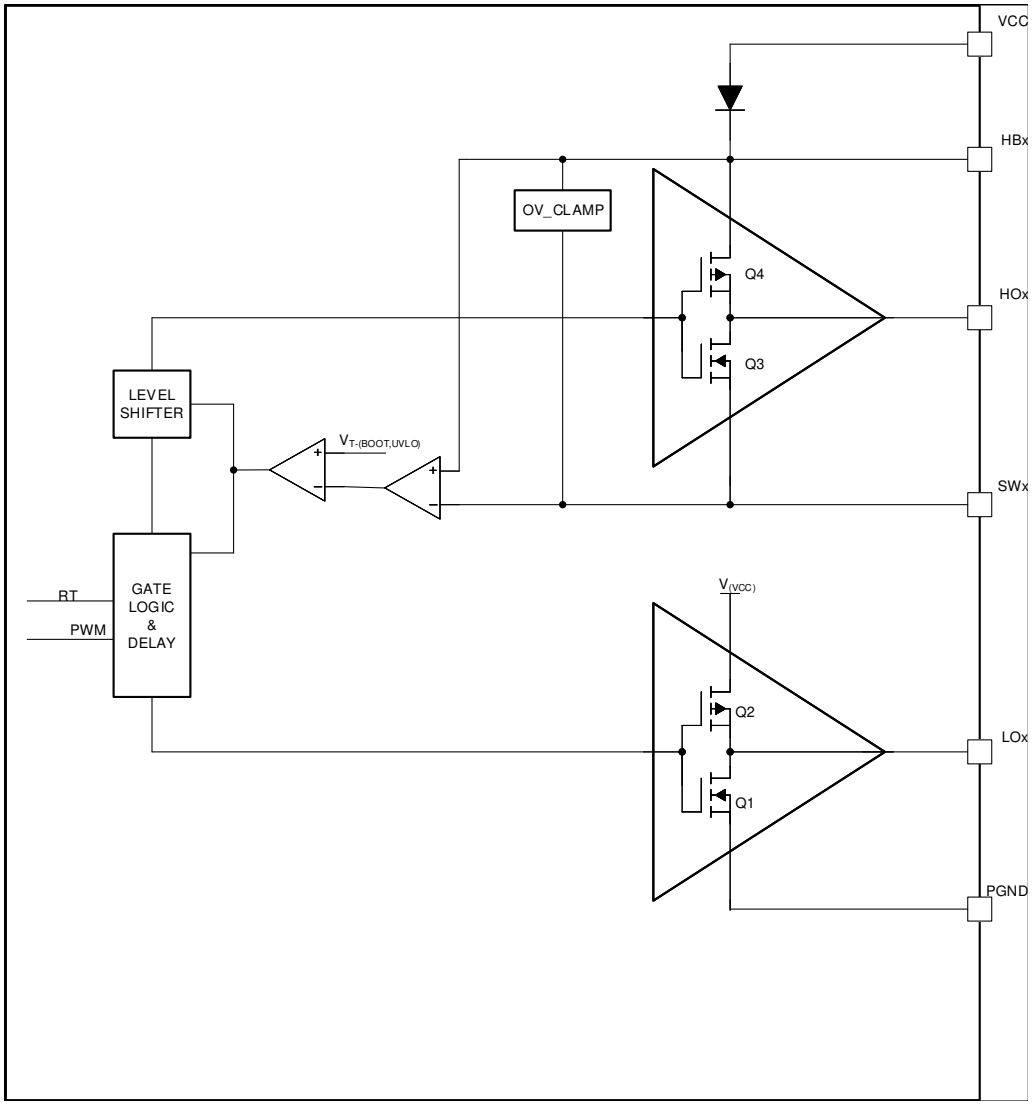


図 7-30. 機能ブロック図ゲート ドライバ

7.3.21 ケーブル電圧降下補償 (CDC)

ケーブル電圧降下補償機能は、追加のリモート センシングを必要とせずに、広い範囲の負荷電流にわたって出力電圧を公称値に保持するのに役立ちます。ケーブル電圧降下補償は電流を測定し、測定された電流に比例して出力電圧をオフセットします。

イネーブルの場合、電流監視センサ (ISNSP/N) の gm 段は、CDC ピンに比例した電流を供給します。CDC ピンの電圧は、公称出力電圧に対するオフセットとして印加されます。1V を超えないように CDC ピンの抵抗値を選択してください。以下の式を参照してください:

$$V_{(CDC)} = \left(V_{(ISNSP)} - V_{(ISNSN)}\right) \times gm_{(CDC)} \times R_{(CDC)} \tag{31}$$

目的の範囲でケーブル電圧降下補償を正確に動作させるため、CDC オフセットのゲインは CDC_GAIN レジスタビットを使用してプログラムできます。

CDC 機能は、外部のフィードバック分割器と同様に動作します。100kΩ 帰還分割器の上面抵抗を使用します。他の抵抗を使用する場合、CDC のゲインに Rtop/100kΩ を乗算します。

下図は、CDC 機能の制御曲線を示しています。

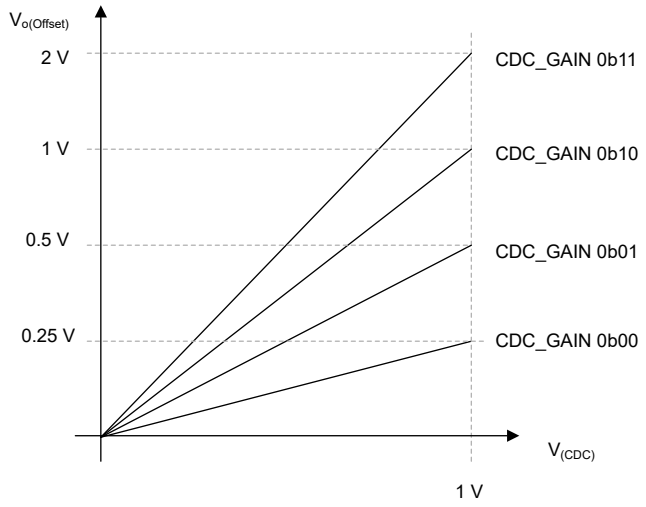


図 7-31. Vo オフセットと CDC 電圧との関係

Copyright © 2025 Texas Instruments Incorporated

7.3.22 CFG ピンおよび R2D インターフェイス

LM51772-Q1 には 4 つの抵抗/デジタル構成ピン (R2D) があり、CFG1 は ADDR/SLOPE ピンの制御に使用されます。チャネル CFG3 および CFG4 は SDA/SCL ピンと多重化されており、I2C 機能が無効化されている場合のみ使用できます。

CFG ピンの抵抗値は、デバイスの電源オン シーケンス中に読み取りおよびラッチされます。nRST ピンの電圧がトグルされるか、VCC2 電圧が $V_{VCC2T-(UVLO)}$ スレッショルドを下回るまで、この選択は変更できません。表 7-4 に、可能なデバイス構成と、CFG ピンのさまざまな抵抗値の対比を示します。

表 7-4. ADDR/SLOPE ピン (R2D-CH1) の構成の概要

#	$R_{(CFG)}$ / kΩ	I2C/ADDR	スロープ補償 ($m_{(SG)}$)
1	GND	I2C イネーブル アドレス 0x6A	デフォルトの NVM 設定 0.875
2	0.511	I2C 無効	0.25
3	1.15		0.375
4	1.9		0.5
5	2.7		0.625
6	3.8		0.75
7	5.1		0.875
8	6.5		1
9	8.3		1.5
10	10.5		2
11	13.3		2.5
12	16.2		3
13	20.5		3.5
14	24.9		4
15	30.1		4.5
16	VCC2	I2C C イネーブル アドレス 0x6B	デフォルトの NVM 設定 0.875

表 7-5. CFG2 ピン (R2D-CH2) 構成の概要

#	$R_{(CFG)}$ / kΩ	EN_SYNC_OUT	SYNC_IN_FALLING	VDET_EN	PCM_EN
1	0	無効	無効	無効	無効化
2	0.511	有効			
3	1.15	無効	有効		
4	1.9	有効			
5	2.7	無効	無効	有効	
6	3.8	有効			
7	5.1	無効	有効		
8	6.5	有効			
9	8.3	無効	無効	無効	有効 (30%)
10	10.5	有効			
11	13.3	無効	有効		
12	16.2	有効			
13	20.5	無効	無効	有効	
14	24.9	有効			
15	30.1	無効	有効		
16	36.5	有効			

Copyright © 2025 Texas Instruments Incorporated

表 7-6. CFG3 ピン (R2D-CH3) 構成の概要

<table>
<tr><th>#</th><th>$R_{(CFG)}$ / kΩ</th><th>EN_VCC1</th><th>INC_INDUCT_DE-RATE</th><th>EN_CONST_TDEAD</th><th>USLEEP_EN</th></tr>
<tr><td>1</td><td>0</td><td>無効</td><td rowspan="2">無効 (20%)</td><td rowspan="4">無効</td><td rowspan="8">無効化</td></tr>
<tr><td>2</td><td>0.511</td><td>有効</td></tr>
<tr><td>3</td><td>1.15</td><td>無効</td><td rowspan="2">有効 (30%)</td></tr>
<tr><td>4</td><td>1.9</td><td>有効</td></tr>
<tr><td>5</td><td>2.7</td><td>無効</td><td rowspan="2">無効 (20%)</td><td rowspan="4">有効</td></tr>
<tr><td>6</td><td>3.8</td><td>有効</td></tr>
<tr><td>7</td><td>5.1</td><td>無効</td><td rowspan="2">有効 (30%)</td></tr>
<tr><td>8</td><td>6.5</td><td>有効</td></tr>
<tr><td>9</td><td>8.3</td><td>無効</td><td rowspan="2">無効 (20%)</td><td rowspan="4">無効</td><td rowspan="8">有効</td></tr>
<tr><td>10</td><td>10.5</td><td>有効</td></tr>
<tr><td>11</td><td>13.3</td><td>無効</td><td rowspan="2">有効 (30%)</td></tr>
<tr><td>12</td><td>16.2</td><td>有効</td></tr>
<tr><td>13</td><td>20.5</td><td>無効</td><td rowspan="2">無効 (20%)</td><td rowspan="4">有効</td></tr>
<tr><td>14</td><td>24.9</td><td>有効</td></tr>
<tr><td>15</td><td>30.1</td><td>無効</td><td rowspan="2">有効 (30%)</td></tr>
<tr><td>16</td><td>36.5</td><td>有効</td></tr>
</table>

表 7-7. CFG4 ピン (R2D-CH4) 構成の概要

#	$R_{(CFG)}$ / kΩ	DRSS	SCP – ヒカップ モード	負の電流制限	電流制限
1	0	無効	無効	無効	無効化
2	0.511	有効			
3	1.15	無効	有効		
4	1.9	有効			
5	2.7	無効	無効	有効	
6	3.8	有効			
7	5.1	無効	有効		
8	6.5	有効			
9	8.3	無効	無効	無効	有効
10	10.5	有効			
11	13.3	無効	有効		
12	16.2	有効			
13	20.5	無効	無効	有効	
14	24.9	有効			
15	30.1	無効	有効		
16	36.5	有効			

Copyright © 2025 Texas Instruments Incorporated

7.3.23 高度な監視機能

7.3.23.1 概要

デバイスには、デバイスロジックの現在の動作ステータスを示す、ステータスレジスタが搭載されています。現在のステータスフラグを取得するには、I²C インターフェイスを使用します。

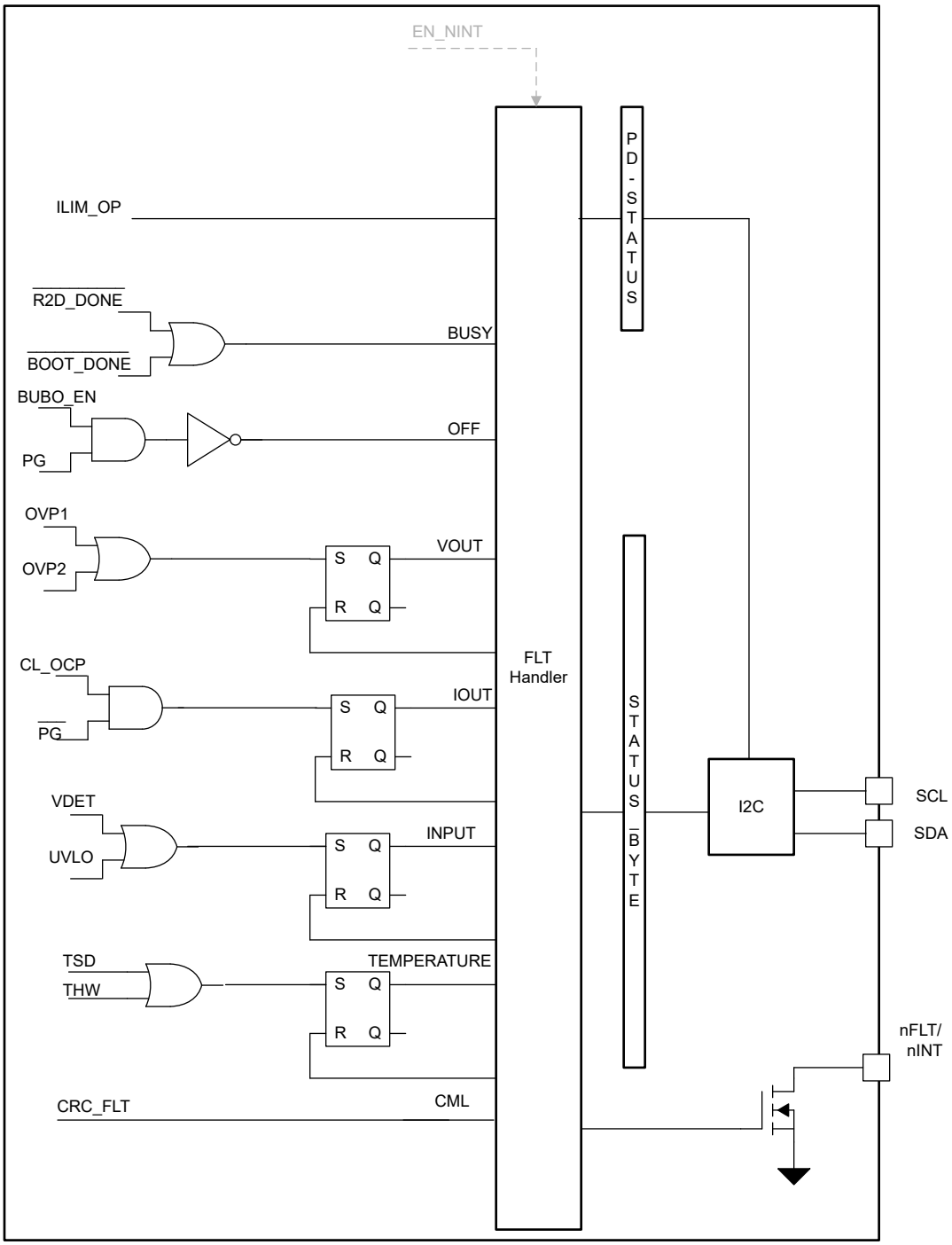


図 7-32. 機能ブロック図フォルト ハンドラ

7.3.23.2 BUSY

デバイス レジスタ フィールドがビジーであるか、別の例で使用されている場合、このビットは high です。ビジ フラグが high のときは、I^2C インターフェイスを介した書き込みは推奨されません。このビットは、デバイスの起動後のみ確認されます

7.3.23.3 OFF

デバイスが十分な高い出力電圧 ($V_{(VOUT)} < V_{T+(PG)}$) を供給していない場合、high になります。このビットは、システム入力によってコンバータがオフにされている場合にも high になります。このビットは、デバイスの起動後のみ確認されます

7.3.23.4 VOUT

出力電圧過電圧スレッショルド (OVP1、OVP2) を超えました。このエラーは、レジスタがクリアされるまで、またはパワー サイクルが発生するまでラッチされます

7.3.23.5 IOUT

過電流保護機能では、インダクタのピーク電流制限に達すると、この状態は上昇します。このエラーは、レジスタがクリアされるまで、またはパワー サイクルが発生するまでラッチされます

7.3.23.6 入力

入力電圧検出 (VDET) または UVLO 抵抗が、立ち下がりスレッショルドをブローにしたことを検出します。このエラーは、レジスタがクリアされるまで、またはパワー サイクルが発生するまでラッチされます

7.3.23.7 温度

デバイスが TSD 状態に移行したか、プログラム可能な過熱警告スレッショルドに達しました。このエラーは、レジスタがクリアされるまで、またはパワー サイクルが発生するまでラッチされます

7.3.23.8 CML

デバイスは、内部ロジック故障を検出します。つまり、NVM メモリチェックサムによってデータ保持イベントが検出されました。

7.3.23.9 その他

未使用

7.3.23.10 ILIM_OP

この信号は、平均電流制限とともにイネーブルされます。電流リミッタがディスエーブルになっている場合、信号は low になります。プログラムされた電流制限スレッショルド (I^2C または ISET を使用) に達すると、信号が high になります。PD ステータス バイトは、ILIM_OP 信号によって即座に変化します。入力信号はアナログ ドメインでグリッチ除去されます。

Copyright © 2025 Texas Instruments Incorporated

7.3.23.11 nFLT/nINT ピン出力

ビット EN_NINT (表 8-11 を参照) が 0b0 に設定されている場合、nFLT/nINT ピンは、STATUS バイトに通知されたすべてのフォルトを示します。

コンバータ動作の再起動後、または故障モードが解消した場合、nFLT ピンは HighZ に戻ります。STATUS バイトへの入力信号なので、nFLT/nINT ピンはグリッチ解除されます。このため、FLT ピンの最大応答時間は $t_{d(nFLT-PIN)}$ で求められます

動作中は EN_NINT を動的に変更しないでください。変更する場合は CONV_OFF 状態の間にしてください。

EN_NINT = 0b1 の場合、nFLT/nINT ピンは割り込みピンとして機能します。STATUS_BYTE への瞬時信号と USB_PD_STATUS_0 への入力が変化すると、このピンがトグルされます。

7.3.23.12 ステータス バイト

故障をクリアするには、次の方法を使用します:

1. I^2C から CLEAR_FAULTS バイトへの書き込みを実行します。
2. CLEAR_FAULTS バイトに対する I^2C 読み出しを実行します。
3. 「1」が故障を示す STATUS_BYTE に対して I^2C の書き込みを実行して、ビットを「1」に設定しこのビットをクリアします。この実装では、以前に保存された STATUS_BYTE により、診断用の故障がクリアされます。

7.3.24 保護機能

7.3.24.1 サーマル シャットダウン (TSD)

デバイスの熱による損傷を防止するため、ダイの温度が監視されます。検出された温度がサーマル シャットダウン スレッショルドを超えると、デバイスの動作を停止します。温度がサーマル シャットダウン ヒステリシスを下回ると、TSD 信号は通常に戻り、メイン FSM の定義に従ってコンバータは通常動作に戻ります。

7.3.24.2 過電流保護

このデバイスは、ダイ内の過剰な電力消費、またはシステム内のアプリケーションのフォルトを防止するため、ヒカップ モード短絡保護機能を備えています。CSA ピンと CSB ピンの間のピーク電流センシング電圧を超えた場合に CL_OP がトリガされます。

保護機能を有効にすると、短絡が検出された場合、コンバータの動作が停止して、コンバータが再起動します。

NVM レジスタのビット HICC_EN により、OCP がイネーブルになります。

7.3.24.3 出力過電圧保護 1 (OVP1)

この過電圧保護機能は、FB ピンと内部帰還の電圧を監視します。

このスレッショルドはプログラムされた $V_{(REF)}$ を基準としているため、トラッキング機能の 1 つ (DTRK、ATRK など) により V_o のターゲット値が変更された場合でも、OVP1 は引き続き動作します。

このコンバータは、OVP1 スレッショルドのトリガでも動作を維持します。

µSleep 中は、リーク電流の増加を避けるため OVP1 が無効化されます。OVP1 信号は、µSleep 動作中にこの信号から故障が示されないようにマスクされます。

この保護は、ソフトスタート処理中、および外部 FB の代わりに内部帰還を使用する場合は無効化されます。

7.3.24.4 出力過電圧保護 2 (OVP2)

この機能は、外部帰還ピンまたは補償ピンが正しく動作していない場合に (コンポーネントまたはピンが短絡した場合など)、デバイスの損傷を防止しようとします。

過電圧保護機能は、コンバータのコアとリファレンス システムで実現されています。絶対出力電圧が監視され、OVP2 機能がトリガされると、コンバータロジックは出力電圧のさらなる上昇を避けるために適切な措置 (緊急スキップモードなど) を行います。

VOUT ピンで出力電圧スレッショルド $V_{T+(OVP2)}$ が達成されると、昇降圧コア ロジックはコンバータの電力段をディセーブルし、スイッチ ノードで高インピーダンス状態に移行します。出力電圧がこのスレッショルドを下回ると、コンバータの動作が再開されます

広い動作範囲に対応するため、V_OVP2 レジスタフィールドで OVP2 スレッショルドをプログラムできます。

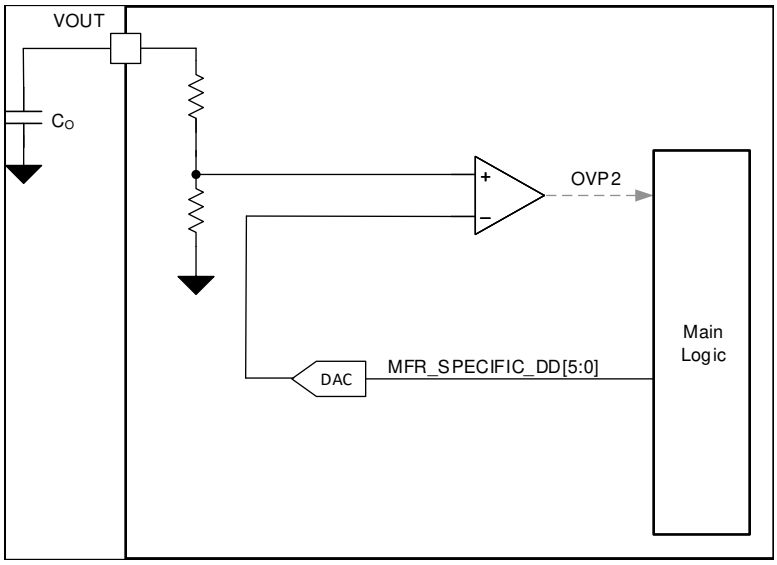


図 7-33. OVP2 の機能ブロック図

7.3.24.5 入力電圧保護 (IVP)

入力過電圧保護は、コンバータのコア変調方式で実現されています。電流が出力から入力に流れ、入力ソースが電流をシンクできなくなる場合に、IVP はデバイスの損傷を防止しようとします。コンバータの強制 PWM モードがアクティブな場合、インダクタ電流は負のピーク電流制限になるまで低下する可能性があります。VIN ピンに入力電圧スレッショルド $V_{T+(IVP)}$ に達すると、保護機能により強制 PWM モードが無効になり、VIN から VOUT への電流の流れのみが許可されます。入力電圧が入力電圧保護スレッショルドを下回ると、ロジックによって fPWM モードが再び有効になります。

$V_{T+(IVP)}$ のスレッショルドは V_IVP レジスタフィールドでプログラムできます。IVP は、EN_IVP ビットで有効または無効にします。

Copyright © 2025 Texas Instruments Incorporated

7.3.24.6 入力電圧レギュレーション (IVR)

入力過電圧レギュレーション (IVR) は入力電圧をレギュレートします。インダクタ電流は、正と負のピーク電流制限、またはオプションの平均電流制限で制限されます。目標電圧は、IVP_VOLTAGE レジスタ フィールドの説明によってプログラムされます。EN_IVP と EN_IVR の両方を 0b1 に設定すると、IVR 機能がイネーブルになります。逆電流により入力が充電されるように、fPWM をイネーブルにする必要があります。MODE ピンが low にプルされると、fPWM が再度イネーブルになるまで、IVR 動作は一時停止されます。

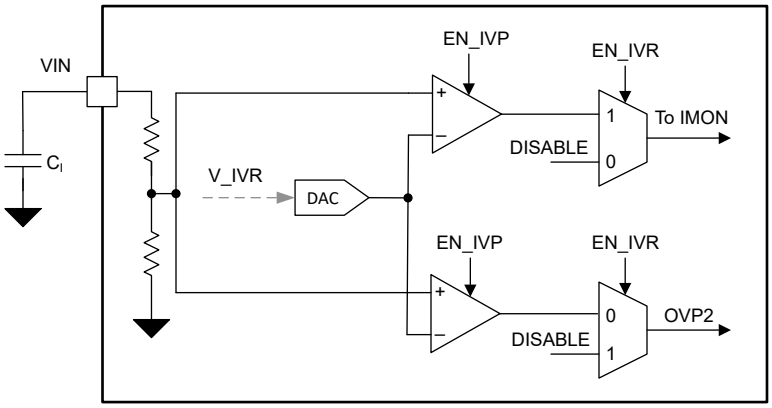


図 7-34. 機能ブロック図 IVP/IVR

7.3.24.7 パワー グッド

このデバイスには、パワー グッド (PG) 検出機能があります。内部 PG 信号は、監視機能に使用されます。

ソフト スタート ランプが終了すると、パワー グッド情報が利用可能になります。

7.3.24.8 ブートストラップ低電圧保護

ゲート ドライバの 1 次側電源電圧は、内部ブートストラップ UVLO コンパレータによって監視されます。このコンパレータは SWx と HBx 間の差動電圧を監視します。この保護機能は、次の方法で 2 つのモードをサポートします。

1. fPWM モードで測定した電圧が $V_{TH-(BST_UV)}$ を下回ると、コンバータは一定の量のスイッチング サイクル後に動作を停止します。
2. PSM-ACM 昇降圧動作では、BOOT_UV によりコンバータのスイッチングがトリガされ、ブート ストラップ電圧が再度リフレッシュされます。一定の再リフレッシュ サイクル時間が経過した後に、開始されたスイッチングが BOOT_UV を起動しない場合、BOOT_UV 保護はコンバータ動作を非アクティブにします。

7.3.24.9 ブートストラップ過電圧クランプ

外部 FET ゲートと内部ゲート ドライブ回路を保護するため、ゲート ドライバには過電圧クランプが搭載されています。この電圧が $V_{TH(BST_OV)}$ を上回ると、電圧がスレッショルドを上回っている限り、過電圧クランプ回路は HBx から Swx への電流をシンクします。

7.3.24.10 CRC - チェック

NVM のデータ整合性を可能にするため、デバイスには CRC アルゴリズムが搭載されており、デバイス NVM に保存されているデータのチェックサムが生成されます。

このチェックサムは、量産プログラミング プロセスで自動的に生成され、個別の NVM レジスタに保存されます。

NVM ブート フェーズの後、CRC アルゴリズムは、ロードされたレジスタのチェックサムを、量産テストで生成された NVM レジスタに保存されているチェックサムと比較します。2 つの値が等しくない場合、デバイスは CONV_OFF 状態を終了できません。

7.4 デバイスの機能モード

7.4.1 概要

本デバイスは、機能動作を制御するデジタル ロジック コアを内蔵しています。

7.4.2 ロジック状態の説明

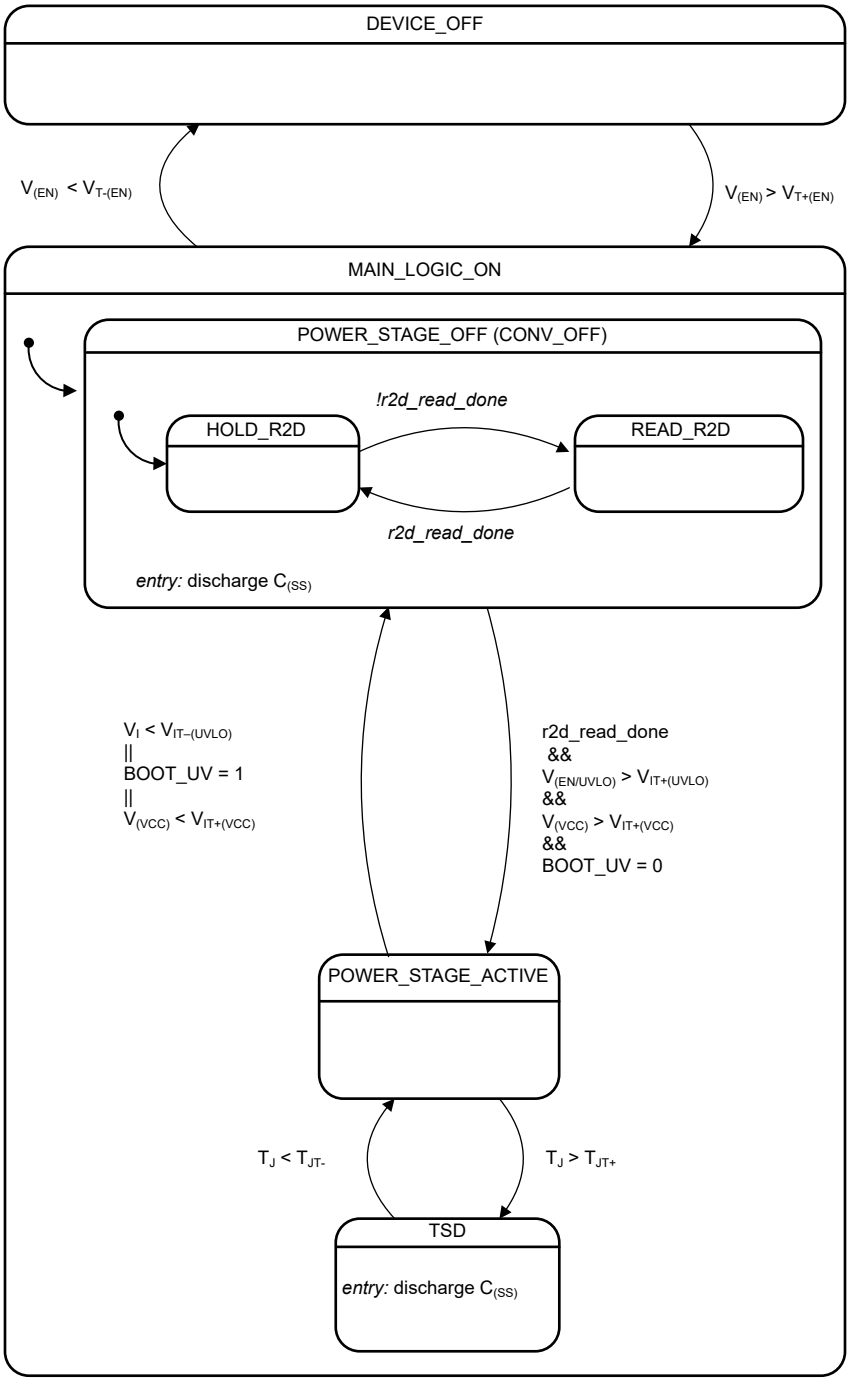


図 7-35. 状態遷移図

Copyright © 2025 Texas Instruments Incorporated

7.5 プログラミング

7.5.1 I²C バス動作

I²C バスは、コントローラと一連のターゲットデバイスの間の通信リンクです。このリンクは、シリアル クロック信号 (SCL) とシリアル データ信号 (SDA) で構成される 2 線式バスを使用して確立されます。コントローラとターゲット端子との間のデータ通信で、シリアル データ ラインが双方向である場合、どの場合でも、シリアル クロックにはコントローラから電源が供給されます。各デバイスは、シリアル データ ライン (SDA) 上でデータを送信するためのオープン ドレイン出力を備えています。データ送信中にドレイン出力を High にするには、シリアルデータラインに外部プルアップ抵抗を配置します。このデバイスは、ターゲット I²C をホストします。標準モード、高速モード、高速モードプラス動作をサポートし、それぞれ最大 100kbit/s、400kbit/s、1000kbit/s のデータレートで、I ²C 標準 3.0 と互換性のある自動インクリメントアドレッシング機能を備えています。

このデバイスの 7 ビットのターゲットアドレスは、ADDR/SLOPE ピン I を GND にプルダウンする場合は 0x6A、ピンが VCC2 に接続されている場合は 0x6B です

データ送信は、以下の図に示すように、コントローラのスタート ビットを使用して開始されます。START 条件は、SCL 信号の high 部分で SDA ラインが high から low に遷移するとき認識されます。スタート ビットを受信すると、デバイスは SDA 入力でシリアル データを受信し、有効なアドレスおよび制御情報をチェックします。ターゲット アドレス ビットがデバイスのために設定されている場合、デバイスはアクノリッジ パルスを発行し、レジスタ アドレスとデータの受信を準備します。データ送信は、停止条件の受信またはデバイスに送信されるデータワードの受信によって完了します。停止条件は、SCL 信号の high の間に SDA 入力が low から high に遷移することと認識されます。通信が有効になるためには、ターゲットの SDA ラインのそれ以外のすべての遷移は、SCL 信号の Low 部分の間に発生する必要があります。有効なアドレス、サブアドレス、データ ワードを受信した後、アクノリッジが発行されます。I ² C インターフェイスは、レジスタアドレスを自動シーケンス処理し、特定の I²C 転送について複数のデータワードを送信できます。

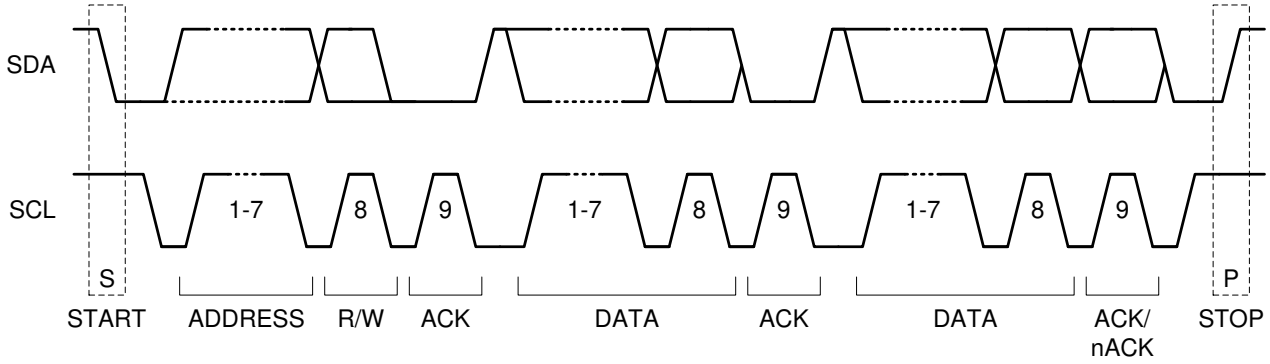


図 7-36. I²C スタート/ストップ/アクノリッジのプロトコル

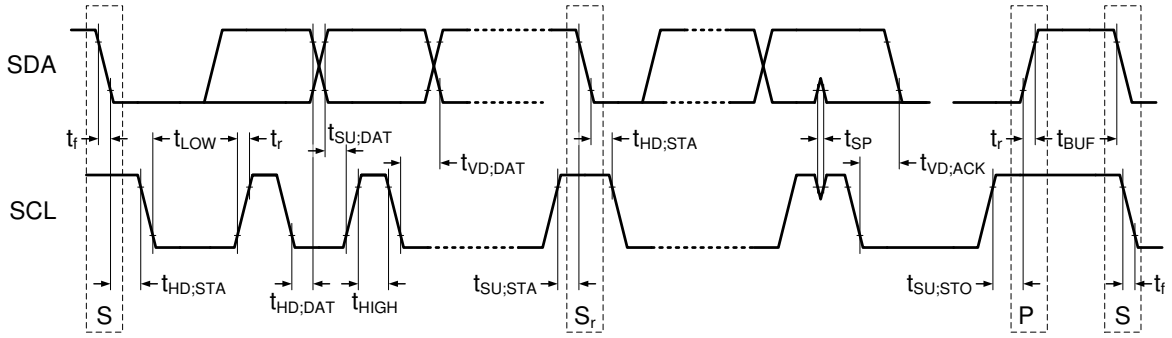


図 7-37. I²C データ送信タイミング

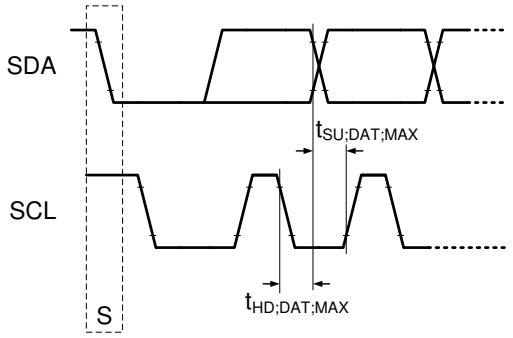


図 7-38. 最大の立ち上がり/立ち下がり時間の I²C データ送信タイミング。

7.5.2 クロック ストレッチ

クロック ストレッチはサポートされていません。デバイスがビジーのときにアドレス指定され、受信したデータを処理できない場合、そのトランザクションはアクノリッジされません。上述のシナリオは、デバイスが BOOT 状態のときに、コントローラが I²C トランザクションを開始した場合に発生する可能性があります。

7.5.3 データ転送フォーマット

このデバイスは、4 種類の読み取り/書き込み動作をサポートしています。

- 定義されたレジスタ アドレスからの 単一読み取り。
- 定義されたレジスタ アドレスからの 単一書き込み。
- 定義されたレジスタ アドレスから開始されるシーケンシャル読み出し
- 定義されたレジスタ アドレスから開始されるシーケンシャル書き込み

7.5.4 定義されたレジスタ アドレスからの単一読み取り

定義されたレジスタ アドレスからの単一読み取りに、定義されたレジスタ アドレスから単一読み取りのフォーマットを示します。まず、コントローラは始動条件を発行してから、7 ビットの I²C アドレスを送信します。次に、コントローラは 0 を書き込んで、コントローラが書き込み操作を実行していることを示します。コントローラは、ターゲットからアクノリッジを受信すると、バス全体に 8 ビットのレジスタ アドレスを送信します。2 回目のアクノリッジ後、デバイスは内部 I²C レジスタ番号を定義された値に設定します。次に、コントローラが繰り返し始動条件を発行し、7 ビットの I²C アドレスに続いて 1 を発行し、コントローラが読み取り動作を実行していることを示します。3 回目のアクノリッジを受信すると、コントローラはバスをデバイスに解放します。その後、デバイスはバス上のレジスタから 8 ビットのデータ値を返します。コントローラはアクノリッジ (NACK) を返さず、停止条件を発行します。これにより、レジスタ読み出しは終了です。

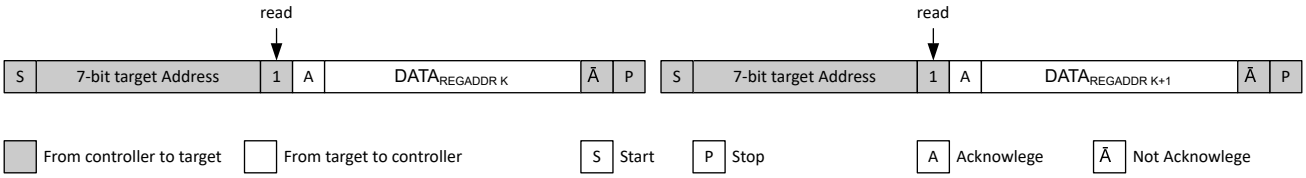


図 7-39. 定義されたレジスタ アドレスからの単一読み取り

Copyright © 2025 Texas Instruments Incorporated

7.5.5 定義されたレジスタ アドレスから開始されるシーケンシャル READ

定義されたレジスタ アドレスから開始されるシーケンシャル READ に示されているように、シーケンシャル読み取り動作は、単一読み取りプロトコルを拡張したものです。コントローラはデータ バイトを受信したことをアクノリッジし、デバイスはレジスタ アドレスを自動的にインクリメントして、次のレジスタからデータを返します。データ転送は、最後のデータ バイトをアクノリッジせず、停止条件を送信することによって停止します。

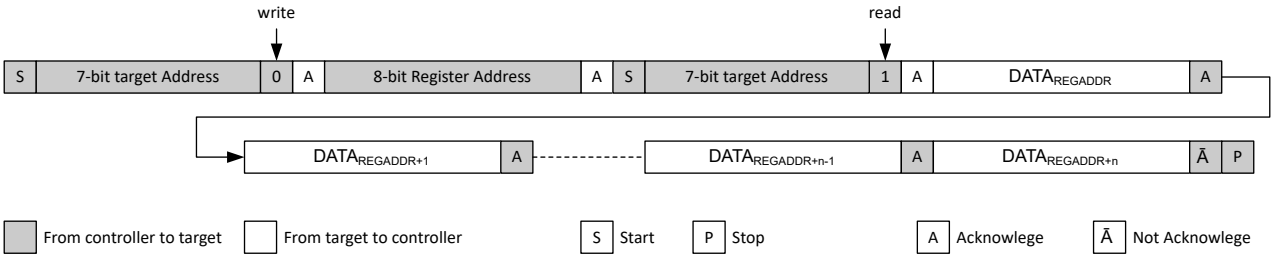


図 7-40. 定義されたレジスタ アドレスから開始されるシーケンシャル READ

7.5.6 定義されたレジスタ アドレスへの 単一書き込み

定義されたレジスタ アドレスへの単一書き込みに、定義されたレジスタ アドレスへの 単一書き込みの形式を示します。まず、コントローラは始動条件を発行してから、7 ビットの I²C アドレスを送信します。次に、コントローラは書き込み操作実行を試みることを示すために 0 を書き込みます。コントローラは、ターゲットからアクノリッジを受信すると、バス全体に 8 ビットのレジスタ アドレスを送信します。2 回目のアクノリッジ後、デバイスは I²C レジスタ アドレスを定義された値に設定し、コントローラが 8 ビットのデータ値を書き込みます。3 回目のアクノリッジを受信すると、デバイスは I²C レジスタ アドレスを 1 ずつ自動インクリメントし、コントローラは停止条件を発行します。これにより、レジスタ書き込みは終了です。

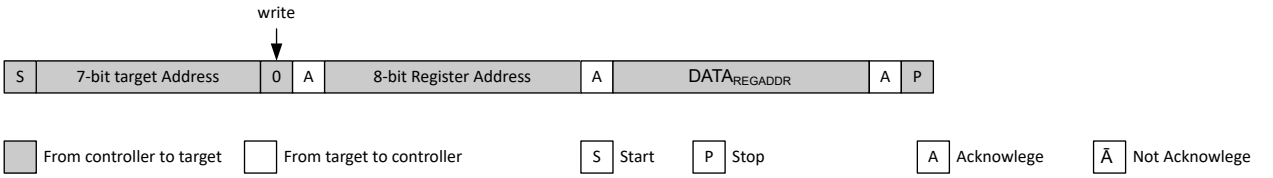


図 7-41. 定義されたレジスタ アドレスへの単一書き込み

7.5.7 定義されたレジスタ アドレスから開始されるシーケンシャル WRITE

シーケンシャル書き込み動作は、定義されたレジスタ アドレスから開始されるシーケンシャル WRITE に示すように、単一書き込みプロトコルを拡張したものです。デバイスが ACK を発行した後にコントローラが停止条件を送信しない場合、デバイスはレジスタアドレスを 1 ずつ自動的にインクリメントし、コントローラは次のレジスタに書き込めます。

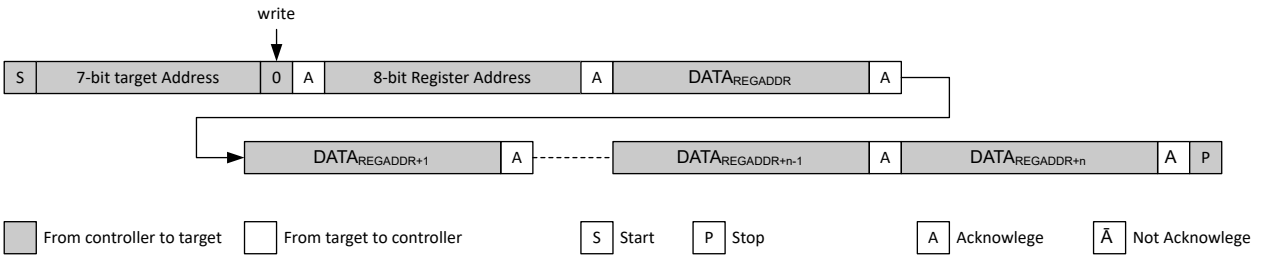


図 7-42. 定義されたレジスタ アドレスから開始されるシーケンシャル WRITE

8 LM51772-Q1 のレジスタ

LM51772-Q1 レジスタのメモリマップされたレジスタを、表 8-1 に示します。表 8-1 にないレジスタ オフセット アドレスはすべて予約済みと見なします。レジスタの内容は変更してはいけません。

表 8-1. LM51772-Q1 のレジスタ

アドレス	略称	レジスタ名	セクション
0x3	CLEAR_FAULTS	CLEAR_FAULTS	表示
0xA	ILIM_THRESHOLD	ILIM_THRESHOLD	表示
0xC	VOUT_TARGET1_LSB	VOUT_TARGET1_LSB	表示
0xD	VOUT_TARGET1_MSB	VOUT_TARGET1_MSB	表示
0x21	USB_PD_STATUS_0	USB_PD_STATUS_0	表示
0x78	STATUS_BYTE	STATUS_BYTE	表示
0x81	USB_PD_CONTROL_0	USB_PD_CONTROL_0	表示
0xD0	MFR_SPECIFIC_D0	MFR_SPECIFIC_D0	表示
0xD1	MFR_SPECIFIC_D1	MFR_SPECIFIC_D1	表示
0xD2	MFR_SPECIFIC_D2	MFR_SPECIFIC_D2	表示
0xD3	MFR_SPECIFIC_D3	MFR_SPECIFIC_D3	表示
0xD4	MFR_SPECIFIC_D4	MFR_SPECIFIC_D4	表示
0xD5	MFR_SPECIFIC_D5	MFR_SPECIFIC_D5	表示
0xD6	MFR_SPECIFIC_D6	MFR_SPECIFIC_D6	表示
0xD7	MFR_SPECIFIC_D7	MFR_SPECIFIC_D7	表示
0xD8	MFR_SPECIFIC_D8	MFR_SPECIFIC_D8	表示
0xD9	MFR_SPECIFIC_D9	MFR_SPECIFIC_D9	表示
0xDA	IVP_VOLTAGE	IVP_VOLTAGE	表示

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-2 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-2. LM51772-Q1 のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

Copyright © 2025 Texas Instruments Incorporated

8.1 CLEAR_FAULTS レジスタ (アドレス = 0x3) [リセット = 0x00]

CLEAR_FAULTS を 表 8-3 に示します。

概略表に戻ります。

ラッチされたステータス フラグをすべてクリアします

表 8-3. CLEAR_FAULTS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	CLEAR_FAULTS	R	0x0	アドレスにアクセスするだけで、障害をクリアできます

8.2 ILIM_THRESHOLD レジスタ (アドレス = 0xA) [リセット = 0x64]

ILIM_THRESHOLD を 表 8-4 に示します。

概略表に戻ります。

Copyright © 2025 Texas Instruments Incorporated

表 8-4. ILIM_THRESHOLD レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	ILIM_THRESHOLD	R/W	0x64	ISNS 電流制限スレッショルド電圧。角カッコの値は、10mΩ のセンス抵抗を考慮します 0x0 = 5mV (0.5A) 0x1 = 5mV (0.5A) 0x2 = 5mV (0.5A) 0x3 = 5mV (0.5A) 0x4 = 5mV (0.5A) 0x5 = 5mV (0.5A) 0x6 = 5mV (0.5A) 0x7 = 5mV (0.5A) 0x8 = 5mV (0.5A) 0x9 = 5mV (0.5A) 0xA = 5mV (0.5A) 0xB = 5.5mV (0.55A) 0xC = 6mV (0.6A) 0xD = 6.5mV (0.65A) 0xE = 7mV (0.7A) 0xF = 7.5mV (0.75A) 0x10 = 8mV (0.8A) 0x11 = 8.5mV (0.85A) 0x12 = 9mV (0.9A) 0x13 = 9.5mV (0.95A) 0x14 = 10mV (1A) 0x15 = 10.5mV (1.05A) 0x16 = 11mV (1.1A) 0x17 = 11.5mV (1.15A) 0x18 = 12mV (1.2A) 0x19 = 12.5mV (1.25A) 0x1A = 13mV (1.3A) 0x1B = 13.5mV (1.35A) 0x1C = 14mV (1.4A) 0x1D = 14.5mV (1.45A) 0x1E = 15mV (1.5A) 0x1F = 15.5mV (1.55A) 0x20 = 16mV (1.6A) 0x21 = 16.5mV (1.65A) 0x22 = 17mV (1.7A) 0x23 = 17.5mV (1.75A) 0x24 = 18mV (1.8A) 0x25 = 18.5mV (1.85A) 0x26 = 19mV (1.9A) 0x27 = 19.5mV (1.95A) 0x28 = 20mV (2A) 0x29 = 20.5mV (2.05A) 0x2A = 21mV (2.1A) 0x2B = 21.5mV (2.15A) 0x2C = 22mV (2.2A) 0x2D = 22.5mV (2.25A) 0x2E = 23mV (2.3A) 0x2F = 23.5mV (2.35A) 0x30 = 24mV (2.4A) 0x31 = 24.5mV (2.45A) 0x32 = 25mV (2.5A) 0x33 = 25.5mV (2.55A) 0x34 = 26mV (2.6A) 0x35 = 26.5mV (2.65A) 0x36 = 27mV (2.7A) 0x37 = 27.5mV (2.75A) 0x38 = 28mV (2.8A) 0x39 = 28.5mV (2.85A) 0x3A = 29mV (2.9A) 0x3B = 29.5mV (2.95A) 0x3C = 30mV (3A) 0x3D = 30.5mV (3.05A) 0x3E = 31mV (3.1A)

表 8-4. ILIM_THRESHOLD レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				0x3F = 31.5mV (3.15A) 0x40 = 32mV (3.2A) 0x41 = 32.5mV (3.25A) 0x42 = 33mV (3.3A) 0x43 = 33.5mV (3.35A) 0x44 = 34mV (3.4A) 0x45 = 34.5mV (3.45A) 0x46 = 35mV (3.5A) 0x47 = 35.5mV (3.55A) 0x48 = 36mV (3.6A) 0x49 = 36.5mV (3.65A) 0x4A = 37mV (3.7A) 0x4B = 37.5mV (3.75A) 0x4C = 38mV (3.8A) 0x4D = 38.5mV (3.85A) 0x4E = 39mV (3.9A) 0x4F = 39.5mV (3.95A) 0x50 = 40mV (4A) 0x51 = 40.5mV (4.05A) 0x52 = 41mV (4.1A) 0x53 = 41.5mV (4.15A) 0x54 = 42mV (4.2A) 0x55 = 42.5mV (4.25A) 0x56 = 43mV (4.3A) 0x57 = 43.5mV (4.35A) 0x58 = 44mV (4.4A) 0x59 = 44.5mV (4.45A) 0x5A = 45mV (4.5A) 0x5B = 45.5mV (4.55A) 0x5C = 46mV (4.6A) 0x5D = 46.5mV (4.65A) 0x5E = 47mV (4.7A) 0x5F = 47.5mV (4.75A) 0x60 = 48mV (4.8A) 0x61 = 48.5mV (4.85A) 0x62 = 49mV (4.9A) 0x63 = 49.5mV (4.95A) 0x64 = **50mV (5A)** 0x65 = 50.5mV (5.05A) 0x66 = 51mV (5.1A) 0x67 = 51.5mV (5.15A) 0x68 = 52mV (5.2A) 0x69 = 52.5mV (5.25A) 0x6A = 53mV (5.3A) 0x6B = 53.5mV (5.35A) 0x6C = 54mV (5.4A) 0x6D = 54.5mV (5.45A) 0x6E = 55mV (5.5A) 0x6F = 55.5mV (5.55A) 0x70 = 56mV (5.6A) 0x71 = 56.5mV (5.65A) 0x72 = 57mV (5.7A) 0x73 = 57.5mV (5.75A) 0x74 = 58mV (5.8A) 0x75 = 58.5mV (5.85A) 0x76 = 59mV (5.9A) 0x77 = 59.5mV (5.95A) 0x78 = 60mV (6A) 0x79 = 60.5mV (6.05A) 0x7A = 61mV (6.1A) 0x7B = 61.5mV (6.15A) 0x7C = 62mV (6.2A) 0x7D = 62.5mV (6.25A) 0x7E = 63mV (6.3A) 0x7F = 63.5mV (6.35A)

Copyright © 2025 Texas Instruments Incorporated

表 8-4. ILIM_THRESHOLD レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				0x80 = 64mV (6.4A) 0x81 = 64.5mV (6.45A) 0x82 = 65mV (6.5A) 0x83 = 65.5mV (6.55A) 0x84 = 66mV (6.6A) 0x85 = 66.5mV (6.65A) 0x86 = 67mV (6.7A) 0x87 = 67.5mV (6.75A) 0x88 = 68mV (6.8A) 0x89 = 68.5mV (6.85A) 0x8A = 69mV (6.9A) 0x8B = 69.5mV (6.95A) 0x8C = 70mV (7A) 0x8D = 70mV (7A) 0x8E = 70mV (7A) 0x8F = 70mV (7A) 0x90 = 70mV (7A) 0x91 = 70mV (7A) 0x92 = 70mV (7A) 0x93 = 70mV (7A) 0x94 = 70mV (7A) 0x95 = 70mV (7A) 0x96 = 70mV (7A) 0x97 = 70mV (7A) 0x98 = 70mV (7A) 0x99 = 70mV (7A) 0x9A = 70mV (7A) 0x9B = 70mV (7A) 0x9C = 70mV (7A) 0x9D = 70mV (7A) 0x9E = 70mV (7A) 0x9F = 70mV (7A) 0xA0 = 70mV (7A) 0xA1 = 70mV (7A) 0xA2 = 70mV (7A) 0xA3 = 70mV (7A) 0xA4 = 70mV (7A) 0xA5 = 70mV (7A) 0xA6 = 70mV (7A) 0xA7 = 70mV (7A) 0xA8 = 70mV (7A) 0xA9 = 70mV (7A) 0xAA = 70mV (7A) 0xAB = 70mV (7A) 0xAC = 70mV (7A) 0xAD = 70mV (7A) 0xAE = 70mV (7A) 0xAF = 70mV (7A) 0xB0 = 70mV (7A) 0xB1 = 70mV (7A) 0xB2 = 70mV (7A) 0xB3 = 70mV (7A) 0xB4 = 70mV (7A) 0xB5 = 70mV (7A) 0xB6 = 70mV (7A) 0xB7 = 70mV (7A) 0xB8 = 70mV (7A) 0xB9 = 70mV (7A) 0xBA = 70mV (7A) 0xBB = 70mV (7A) 0xBC = 70mV (7A) 0xBD = 70mV (7A) 0xBE = 70mV (7A) 0xBF = 70mV (7A) 0xC0 = 70mV (7A)

表 8-4. ILIM_THRESHOLD レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				0xC1 = 70mV (7A) 0xC2 = 70mV (7A) 0xC3 = 70mV (7A) 0xC4 = 70mV (7A) 0xC5 = 70mV (7A) 0xC6 = 70mV (7A) 0xC7 = 70mV (7A) 0xC8 = 70mV (7A) 0xC9 = 70mV (7A) 0xCA = 70mV (7A) 0xCB = 70mV (7A) 0xCC = 70mV (7A) 0xCD = 70mV (7A) 0xCE = 70mV (7A) 0xCF = 70mV (7A) 0xD0 = 70mV (7A) 0xD1 = 70mV (7A) 0xD2 = 70mV (7A) 0xD3 = 70mV (7A) 0xD4 = 70mV (7A) 0xD5 = 70mV (7A) 0xD6 = 70mV (7A) 0xD7 = 70mV (7A) 0xD8 = 70mV (7A) 0xD9 = 70mV (7A) 0xDA = 70mV (7A) 0xDB = 70mV (7A) 0xDC = 70mV (7A) 0xDD = 70mV (7A) 0xDE = 70mV (7A) 0xDF = 70mV (7A) 0xE0 = 70mV (7A) 0xE1 = 70mV (7A) 0xE2 = 70mV (7A) 0xE3 = 70mV (7A) 0xE4 = 70mV (7A) 0xE5 = 70mV (7A) 0xE6 = 70mV (7A) 0xE7 = 70mV (7A) 0xE8 = 70mV (7A) 0xE9 = 70mV (7A) 0xEA = 70mV (7A) 0xEB = 70mV (7A) 0xEC = 70mV (7A) 0xED = 70mV (7A) 0xEE = 70mV (7A) 0xEF = 70mV (7A) 0xF0 = 70mV (7A) 0xF1 = 70mV (7A) 0xF2 = 70mV (7A) 0xF3 = 70mV (7A) 0xF4 = 70mV (7A) 0xF5 = 70mV (7A) 0xF6 = 70mV (7A) 0xF7 = 70mV (7A) 0xF8 = 70mV (7A) 0xF9 = 70mV (7A) 0xFA = 70mV (7A) 0xFB = 70mV (7A) 0xFC = 70mV (7A) 0xFD = 70mV (7A) 0xFE = 70mV (7A) 0xFF = 70mV (7A)

Copyright © 2025 Texas Instruments Incorporated

8.3 VOUT_TARGET1_LSB レジスタ (アドレス = 0xC) [リセット = 0x58]

VOUT_TARGET1_LSB を表 8-5 に示します。

概略表に戻ります。

表 8-5. VOUT_TARGET1_LSB レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	VOUT_A	R/W	0x58	出力目標電圧 論理レジスタ Vout 設定 下限:SEL_FB_DIV20 に応じて 3.3V または 1V 上限値:SEL_FB_DIV20 に応じて 48V または 24V ステップ サイズ:SEL_FB_DIV20 の設定によって、20mV または 10mV 20mV の値の計算式 3 10mV の値の計算 式 2

8.4 VOUT_TARGET1_MSB レジスタ (アドレス = 0xD) [リセット = 0x02]

VOUT_TARGET1_MSB を表 8-6 に示します。

概略表に戻ります。

表 8-6. VOUT_TARGET1_MSB レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	NIL	R	0x0	このビットはハードウェアには実装されていません。書き込み動作中、このビットのデータは無視されます。読み出し操作中は 0 が返されます。
3:0	VOUT_A	R/W	0x2	出力目標電圧 論理レジスタ Vout 設定 下限:SEL_FB_DIV20 に応じて 3.3V または 1V 上限値:SEL_FB_DIV20 に応じて 48V または 24V ステップ サイズ:SEL_FB_DIV20 の設定によって、20mV または 10mV 20mV の値の計算式 3 10mV の値の計算 式 2

Copyright © 2025 Texas Instruments Incorporated

8.5 USB_PD_STATUS_0 レジスタ (アドレス = 0x21) [リセット = 0x00]

USB_PD_STATUS_0 を表 8-7 に示します。

概略表に戻ります。

USB - PD ステータス レジスタ

表 8-7. USB_PD_STATUS_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	NIL	R	0x0	このビットはハードウェアには実装されていません。書き込み動作中、このビットのデータは無視されます。読み出し操作中は 0 が返されます。
6	CC_OPERATION	R	0x0	定電流 (CC) ILIM 動作のインスタント ステータス
5:0	NIL	R	0x0	このビットはハードウェアには実装されていません。書き込み動作中、このビットのデータは無視されます。読み出し操作中は 0 が返されます。

8.6 STATUS_BYTE レジスタ (アドレス = 0x78) [リセット = 0x00]

STATUS_BYTE を 表 8-8 に示します。

概略表に戻ります。

フォルト ステータス下位バイト

表 8-8. STATUS_BYTE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	BUSY	R	0x0	ユニットはビジー 0x0 = **ユニットはビジーではない** 0x1 = ユニットはビジー
6	OFF	R	0x0	VOUT を供給していないデバイスまたはユニットがオフです 0x0 = **ユニット オン** 0x1 = ユニット オフ
5	VOUT	R	0x0	VOUT_OV 故障 0x0 = **故障なし** 0x1 = 故障
4	IOUT	R	0x0	IOUT_OC 故障 0x0 = **故障なし** 0x1 = 故障
3	入力	R	0x0	VIN_UV 故障 0x0 = **故障なし** 0x1 = 故障
2	温度	R	0x0	温度障害または警告 0x0 = **故障なし** 0x1 = 故障
1	CML	R	0x0	COMM、ロジック、メモリ イベント 0x0 = **故障なし** 0x1 = 故障
0	その他	R	0x0	その他の障害または警告 0x0 = **故障なし** 0x1 = 故障

Copyright © 2025 Texas Instruments Incorporated

8.7 USB_PD_CONTROL_0 レジスタ (アドレス = 0x81) [リセット = 0x01]

USB_PD_CONTROL_0 を表 8-9 に示します。

概略表に戻ります。

USB PD 制御レジスタ

表 8-9. USB_PD_CONTROL_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:2	NIL	R	0x0	このビットはハードウェアには実装されていません。書き込み動作中、このビットのデータは無視されます。読み出し操作中は 0 が返されます。
1	FORCE_DISCH	R/W	0x0	Vo 放電をアクティブにします 0x0 = **DISABLE** 0x1 = ENABLE
0	CONV_EN2	R/W	0x1	電力段を無効化にします 0x0 = DISABLE 0x1 = **ENABLE**

8.8 MFR_SPECIFIC_D0 レジスタ (アドレス = 0xD0) [リセット = 0x32]

MFR_SPECIFIC_D0 を表 8-10 に示します。

概略表に戻ります。

CONFIG_0 デバイス設定レジスタ 0

表 8-10. MFR_SPECIFIC_D0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	NIL	R	0x0	このビットはハードウェアには実装されていません。書き込み動作中、このビットのデータは無視されます。読み出し操作中は 0 が返されます。
6	EN_NEG_CL_LIMIT	R/W	0x0	ディセーブルされた ILIM クランプの正の I_L をクランプする場合、負の電流制限の ILIM をイネーブルにします 0x0 = **DISABLE** 0x1 = ENABLE
5	EN_VCC1	R/W	0x1	VCC1 補助 LDO をイネーブルにします 0x0 = DISABLE 0x1 = **ENABLE**
4	IMON_LIMITER_EN	R/W	0x1	リミッタ構成で IMON をイネーブルにします 0x0 = DISABLE 0x1 = **ENABLE**
3	HICCUP_EN	R/W	0x0	ヒカップ短絡をイネーブルにします 0x0 = **DISABLE** 0x1 = ENABLE
2	DRSS_EN	R/W	0x0	デュアル拡散スペクトラムを有効化します 0x0 = **DISABLE** 0x1 = ENABLE
1	USLEEP_EN	R/W	0x1	マイクロ スリープ モードを有効にします 0x0 = DISABLE 0x1 = **ENABLE**
0	CONV_EN	R/W	0x0	電力段を無効化にします 0x0 = **DISABLE** 0x1 = ENABLE

Copyright © 2025 Texas Instruments Incorporated

8.9 MFR_SPECIFIC_D1 レジスタ (アドレス = 0xD1) [リセット = 0x09]

MFR_SPECIFIC_D1 を表 8-11 に示します。

概略表に戻ります。

CONFIG_1 デバイス設定レジスタ 1

表 8-11. MFR_SPECIFIC_D1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	EN_THER_WARN	R/W	0x0	サーマル警告を有効にします 0x0 = **DISABLE** 0x1 = ENABLE
6:5	THW_THRESHOLD	R/W	0x0	サーマル警告スレッショルドを選択します 0x0 = **140degC** 0x1 = 125degC 0x2 = 110degC 0x3 = 95degC
4	EN_NINT	R/W	0x0	nFLT ピンハンドラが、割り込みピンまたは nFLT ピンとして動作するように構成します。 0x0 = **DISABLE** 0x1 = ENABLE
3	EN_DTRK_STARTOVER	R/W	0x1	DTRK PWM 信号を待たずに DTRK が有効化されている場合に、直接起動を有効化します 0x0 = DISABLE 0x1 = **ENABLE**
2	FORCE_BIASPIN	R/W	0x0	スレッショルドを下げて、プリロティが BIAS から VCC2 に電力を供給できるようにします。 0x0 = **DISABLE** 0x1 = ENABLE
1	EN_BB_2P_FPWM	R/W	0x0	fPWM モードで 2 相 BB スイングを有効化します 0x0 = **DISABLE** 0x1 = ENABLE
0	EN_BB_2P_PSM	R/W	0x1	PSM モードで 2 相 BB スイングをイネーブルにします 0x0 = DISABLE 0x1 = **ENABLE**

Copyright © 2025 Texas Instruments Incorporated

8.10 MFR_SPECIFIC_D2 レジスタ (アドレス = 0xD2) [リセット = 0x40]

MFR_SPECIFIC_D2 を表 8-12 に示します。

概略表に戻ります。

表 8-12. MFR_SPECIFIC_D2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	NIL	R	0x0	このビットはハードウェアには実装されていません。書き込み動作中、このビットのデータは無視されます。読み出し操作中は 0 が返されます。
6	EN_ACTIVE_DVS	R/W	0x1	放電を使用して DVS のアクティブ ダウン ランプをイネーブルにします 0x0 = DISABLE 0x1 = **ENABLE**
5:4	DVS_SLEW_RAMP	R/W	0x0	DVS の正および負の Vo スルー レートを設定します 0x0 = **40mV/us** 0x1 = 20mV/us 0x2 = 1mV/us 0x3 = 0.5mV/us
3:2	放電強度	R/W	0x0	Vo 放電の放電電流を設定します 0x0 = **SLOW (25mA)** 0x1 = MEDIUM (50mA) 0x2 = FAST (75mA) 0x3 = FAST (75mA)
1	DISCHARGE_CONFIG0	R/W	0x0	CONV_EN と同時に放電を選択します 0x0 = **DISABLE** 0x1 = ENABLE
0	DISCHARGE_CONFIG1	R/W	0x0	VTH ディスクまで放電を選択します 0x0 = **DISABLE** 0x1 = ENABLE

Copyright © 2025 Texas Instruments Incorporated

8.11 MFR_SPECIFIC_D3 レジスタ (アドレス = 0xD3) [リセット = 0x20]

MFR_SPECIFIC_D3 を表 8-13 に示します。

概略表に戻ります。

表 8-13. MFR_SPECIFIC_D3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	EN_IVP	R/W	0x0	イネーブル入力電圧保護。 0x0 = **DISABLE** 0x1 = ENABLE
6	SEL_IVR	R/W	0x0	入力電圧保護ではなく入力電圧レギュレーションを選択。 0x0 = **DISABLE** 0x1 = ENABLE
5	VDET_EN	R/W	0x1	内部 VDET 機能をイネーブルにします 0x0 = DISABLE 0x1 = **ENABLE**
4:0	VDET_FALL	R/W	0x0	VDET 下降スレッショルド 0x0 = **2.7V** 0x1 = 2.9 V 0x2 = 3.1 V 0x3 = 3.3 V 0x4 = 3.5 V 0x5 = 3.7 V 0x6 = 3.9 V 0x7 = 4.1 V 0x8 = 4.3 V 0x9 = 4.5 V 0xA = 4.7 V 0xB = 4.9 V 0xC = 5.1 V 0xD = 5.3 V 0xE = 5.5 V 0xF = 5.7 V 0x10 = 5.9 V 0x11 = 6.1 V 0x12 = 6.3 V 0x13 = 6.5 V 0x14 = 6.7 V 0x15 = 6.9 V 0x16 = 7.1 V 0x17 = 7.3 V 0x18 = 7.5 V 0x19 = 7.7 V 0x1A = 7.9 V 0x1B = 8.1 V 0x1C = 8.3 V 0x1D = 8.5 V 0x1E = 8.7 V 0x1F = 8.9 V

Copyright © 2025 Texas Instruments Incorporated

8.12 MFR_SPECIFIC_D4 レジスタ (アドレス = 0xD4) [リセット = 0x03]

MFR_SPECIFIC_D4 を表 8-14 に示します。

概略表に戻ります。

表 8-14. MFR_SPECIFIC_D4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:5	NIL	R	0x0	このビットはハードウェアには実装されていません。書き込み動作中、このビットのデータは無視されます。読み出し操作中は 0 が返されます。
4:0	VDET_RISE	R/W	0x3	VDET 上昇スレッショルド 0x0 = 2.8 V 0x1 = 3 V 0x2 = 3.2 V 0x3 = **3.4V** 0x4 = 3.6 V 0x5 = 3.8 V 0x6 = 4 V 0x7 = 4.2 V 0x8 = 4.4 V 0x9 = 4.6 V 0xA = 4.8 V 0xB = 5 V 0xC = 5.2 V 0xD = 5.4 V 0xE = 5.6 V 0xF = 5.8 V 0x10 = 6 V 0x11 = 6.2 V 0x12 = 6.4 V 0x13 = 6.6 V 0x14 = 6.8 V 0x15 = 7 V 0x16 = 7.2 V 0x17 = 7.4 V 0x18 = 7.6 V 0x19 = 7.8 V 0x1A = 8 V 0x1B = 8.2 V 0x1C = 8.4 V 0x1D = 8.6 V 0x1E = 8.8 V 0x1F = 9 V

Copyright © 2025 Texas Instruments Incorporated

8.13 MFR_SPECIFIC_D5 レジスタ (アドレス = 0xD5) [リセット = 0x3F]

MFR_SPECIFIC_D5 を表 8-15 に示します。

概略表に戻ります。

表 8-15. MFR_SPECIFIC_D5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	NIL	R	0x0	このビットはハードウェアには実装されていません。書き込み動作中、このビットのデータは無視されます。読み出し操作中は 0 が返されます。

表 8-15. MFR_SPECIFIC_D5 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5:0	V_OVP2	R/W	0x3F	OVP2 スレッショルド電圧 0x0 = 4.00 V 0x1 = 4.500 V 0x2 = 5.000 V 0x3 = 5.500 V 0x4 = 6.000 V 0x5 = 6.500 V 0x6 = 7.000 V 0x7 = 7.500 V 0x8 = 8.000 V 0x9 = 8.500 V 0xA = 9.000 V 0xB = 9.500 V 0xC = 10.000 V 0xD = 10.500 V 0xE = 11.000 V 0xF = 11.500 V 0x10 = 12.000 V 0x11 = 12.500 V 0x12 = 13.000 V 0x13 = 13.500 V 0x14 = 14.000 V 0x15 = 14.500 V 0x16 = 15.000 V 0x17 = 15.500 V 0x18 = 16.000 V 0x19 = 17.000 V 0x1A = 18.000 V 0x1B = 19.000 V 0x1C = 20.000 V 0x1D = 21.000 V 0x1E = 22.000 V 0x1F = 23.000 V 0x20 = 24.000 V 0x21 = 25.000 V 0x22 = 26.000 V 0x23 = 27.000 V 0x24 = 28.000 V 0x25 = 29.000 V 0x26 = 30.000 V 0x27 = 31.000 V 0x28 = 32.000 V 0x29 = 33.000 V 0x2A = 34.000 V 0x2B = 35.000 V 0x2C = 36.000 V 0x2D = 37.000 V 0x2E = 38.000 V 0x2F = 39.000 V 0x30 = 40.000 V 0x31 = 41.000 V 0x32 = 42.000 V 0x33 = 43.000 V 0x34 = 44.000 V 0x35 = 45.000 V 0x36 = 46.000 V 0x37 = 47.000 V 0x38 = 48.000 V 0x39 = 49.000 V 0x3A = 50.000 V 0x3B = 51.000 V 0x3C = 52.000 V 0x3D = 53.000 V 0x3E = 54.000 V

Copyright © 2025 Texas Instruments Incorporated

表 8-15. MFR_SPECIFIC_D5 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				0x3F = **55.000V**

8.14 MFR_SPECIFIC_D6 レジスタ (アドレス = 0xD6) [リセット = 0x15]

MFR_SPECIFIC_D6 を表 8-16 に示します。

概略表に戻ります。

PS_Config0 電力段の構成

表 8-16. MFR_SPECIFIC_D6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	CONFIG_SYNC_PIN	R/W	0x0	並列処理をメインにする同期機能を選択します 0x0 = **立ち上がりエッジで入力同期** 0x1 = 立ち下がりエッジで入力同期 0x2 = 内部の立ち上がりエッジから同期出力 0x3 = 内部の立ち下がりエッジ (180°位相) からの同期出力
5	EN_CONST_TDEAD	R/W	0x0	SEL_MIN_DEADTIME_GDRV を設定するのに一定のデッドタイムを強制します。最小トレッドの周波数依存性を無効にします 0x0 = **DISABLE** 0x1 = ENABLE
4	SEL_SCALE_DT	R/W	0x1	ゲートドライバのデッドタイム周波数依存および 2MHz 設定点をスケーリングします 0x0 = DISABLE 0x1 = **ENABLE**
3:2	SEL_MIN_DEADTIME_GDRV	R/W	0x1	ゲートドライバに対する fsw = 2Mhz での最小デッドタイムを定義します 0x0 = 10ns (遅延なし) 0x1 = **20ns** 0x2 = 40ns 0x3 = 60ns
1:0	BB_MIN_TIME_OFFSET	R/W	0x1	ゲートリ フレッシュの BB 最小 Ton または Toff 時間をスケーリングします 0x0 = 0.75 x 0x1 = **1 x** 0x2 = 1.25 x 0x3 = 1.5 x

Copyright © 2025 Texas Instruments Incorporated

8.15 MFR_SPECIFIC_D7 レジスタ (アドレス = 0xD7) [リセット = 0x18]

MFR_SPECIFIC_D7 を表 8-17 に示します。

概略表に戻ります。

表 8-17. MFR_SPECIFIC_D7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	NIL	R	0x0	このビットはハードウェアには実装されていません。書き込み動作中、このビットのデータは無視されます。読み出し操作中は 0 が返されます。
5:4	SEL_INDUC_DERATE	R/W	0x1	PSM モードから勾配までのインダクタのディレーティングを選択します 0x0 = DISABLE 0x1 = **20%** 0x2 = 30% 0x3 = 40%
3:0	SEL_SLOPE_COMP	R/W	0x8	RT 電流の比として、スロープ補償電流を選択します 0x0 = 0.125 0x1 = 0.25 0x2 = 0.375 0x3 = 0.5 0x4 = 0.625 0x5 = 0.75 0x6 = 0.875 0x7 = 1 0x8 = **1.5** 0x9 = 2 0xA = 2.5 0xB = 3 0xC = 3.5 0xD = 4 0xE = 4.5 0xF = 5

8.16 MFR_SPECIFIC_D8 レジスタ (アドレス = 0xD8) [リセット = 0x84]

MFR_SPECIFIC_D8 を表 8-18 に示します。

概略表に戻ります。

表 8-18. MFR_SPECIFIC_D8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SEL_FB_DIV20	R/W	0x1	内部 FB 分圧比 20 を選択します 0x0 = DIV10 0x1 = **DIV20**
6	EN_CDC	R/W	0x0	ケーブル電圧降下の補償をイネーブルにします 0x0 = **DISABLE** 0x1 = ENABLE
5:4	CDC_GAIN	R/W	0x0	CDC 電圧 (1V) のゲインを、Vout 基準で選択します 0x0 = **0.250V** 0x1 = 0.500 V 0x2 = 1.000 V 0x3 = 2.000 V
3:2	SEL_DRV1_SEQ	R/W	0x1	DRV 1 動作のシーケンスを選択します 0x0 = コンバータの動作がオフの場合はプル-ロー/CP が動作 0x1 = **コンバータ動作がオンの場合はプル Low /CP が動作** 0x2 = FORCE ACTIVE 0x3 =強制オフ
1:0	SEL_DRV1_SUP	R/W	0x0	DRV1 ピンのドライバ構成を選択します 0x0 = **オープンドレイン (アクティブ = プル ロー)** 0x1 = Vout 0x2 = VBIAS 0x3 = VCC2 (チャージ ポンプ ドライバ)

Copyright © 2025 Texas Instruments Incorporated

8.17 MFR_SPECIFIC_D9 レジスタ (アドレス = 0xD9) [リセット = 0x2C]

MFR_SPECIFIC_D9 を表 8-19 に示します。

概略表に戻ります。

表 8-19. MFR_SPECIFIC_D9 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	NIL	R	0x0	このビットはハードウェアには実装されていません。書き込み動作中、このビットのデータは無視されます。読み出し操作中は 0 が返されます。
5	SEL_ISET_PIN	R/W	0x1	ISET ピンを I2C アクティブ構成に強制し、ILIM DAC を無効化します。 0x0 = DISABLE 0x1 = **ENABLE**
4:0	PCM_WINDOW_LOW	R/W	0xC	PCM の VOUT を基準とする低電圧ウィンドウ スレッショルドを選択 0x0 = 0 (無効化)% 0x1 = 2.50% 0x2 = 5% 0x3 = 7.5% 0x4 = 10% 0x5 = 12.5% 0x6 = 15% 0x7 = 17.5% 0x8 = 20% 0x9 = 22.5% 0xA = 25% 0xB = 27.5% 0xC = **30%** 0xD = 32.5% 0xE = 35% 0xF = 37.5% 0x10 = 40% 0x11 = 42.5% 0x12 = 45% 0x13 = 47.5% 0x14 = 50% 0x15 = 52.5% 0x16 = 55% 0x17 = 57.5% 0x18 = 60% 0x19 = 62.5% 0x1A = 65% 0x1B = 67.5% 0x1C = 70% 0x1D = 72.5% 0x1E = 75% 0x1F = 77.5%

Copyright © 2025 Texas Instruments Incorporated

8.18 IVP_VOLTAGE レジスタ (アドレス = 0xDA) [リセット = 0xFF]

IVP_VOLTAGE を表 8-20 に示します。

概略表に戻ります。

Copyright © 2025 Texas Instruments Incorporated

表 8-20. IVP_VOLTAGE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	V_IVP	R/W	0xFF	入力過電圧保護およびレギュレータのスレッショルド 0x0 = 4.75 V 0x1 = 4.875 V 0x2 = 5.000 V 0x3 = 5.125 V 0x4 = 5.250 V 0x5 = 5.375 V 0x6 = 5.500 V 0x7 = 5.625 V 0x8 = 5.750 V 0x9 = 5.875 V 0xA = 6.000 V 0xB = 6.125 V 0xC = 6.250 V 0xD = 6.375 V 0xE = 6.500 V 0xF = 6.625 V 0x10 = 6.750 V 0x11 = 6.875 V 0x12 = 7.000 V 0x13 = 7.125 V 0x14 = 7.250 V 0x15 = 7.375 V 0x16 = 7.500 V 0x17 = 7.625 V 0x18 = 7.750 V 0x19 = 7.875 V 0x1A = 8.000 V 0x1B = 8.125 V 0x1C = 8.250 V 0x1D = 8.375 V 0x1E = 8.500 V 0x1F = 8.625 V 0x20 = 8.750 V 0x21 = 8.875 V 0x22 = 9.000 V 0x23 = 9.125 V 0x24 = 9.250 V 0x25 = 9.375 V 0x26 = 9.500 V 0x27 = 9.625 V 0x28 = 9.750 V 0x29 = 9.875 V 0x2A = 10.000 V 0x2B = 10.125 V 0x2C = 10.250 V 0x2D = 10.375 V 0x2E = 10.500 V 0x2F = 10.625 V 0x30 = 10.750 V 0x31 = 10.875 V 0x32 = 11.000 V 0x33 = 11.125 V 0x34 = 11.250 V 0x35 = 11.375 V 0x36 = 11.500 V 0x37 = 11.625 V 0x38 = 11.750 V 0x39 = 11.875 V 0x3A = 12.000 V 0x3B = 12.125 V 0x3C = 12.250 V 0x3D = 12.375 V 0x3E = 12.500 V 0x3F = 12.625 V

表 8-20. IVP_VOLTAGE レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				0x40 = 12.750 V 0x41 = 12.875 V 0x42 = 13.000 V 0x43 = 13.125 V 0x44 = 13.250 V 0x45 = 13.375 V 0x46 = 13.500 V 0x47 = 13.625 V 0x48 = 13.750 V 0x49 = 13.875 V 0x4A = 14.000 V 0x4B = 14.125 V 0x4C = 14.250 V 0x4D = 14.375 V 0x4E = 14.500 V 0x4F = 14.625 V 0x50 = 14.750 V 0x51 = 14.875 V 0x52 = 15.000 V 0x53 = 15.125 V 0x54 = 15.250 V 0x55 = 15.375 V 0x56 = 15.500 V 0x57 = 15.625 V 0x58 = 15.750 V 0x59 = 15.875 V 0x5A = 16.000 V 0x5B = 16.125 V 0x5C = 16.250 V 0x5D = 16.375 V 0x5E = 16.500 V 0x5F = 16.625 V 0x60 = 16.750 V 0x61 = 16.875 V 0x62 = 17.000 V 0x63 = 17.125 V 0x64 = 17.250 V 0x65 = 17.375 V 0x66 = 17.500 V 0x67 = 17.625 V 0x68 = 17.750 V 0x69 = 17.875 V 0x6A = 18.000 V 0x6B = 18.125 V 0x6C = 18.250 V 0x6D = 18.375 V 0x6E = 18.500 V 0x6F = 18.625 V 0x70 = 18.750 V 0x71 = 18.875 V 0x72 = 19.000 V 0x73 = 19.125 V 0x74 = 19.250 V 0x75 = 19.375 V 0x76 = 19.500 V 0x77 = 19.625 V 0x78 = 19.750 V 0x79 = 19.875 V 0x7A = 20.000 V 0x7B = 20.125 V 0x7C = 20.250 V 0x7D = 20.375 V 0x7E = 20.500 V 0x7F = 20.625 V 0x80 = 20.750 V

Copyright © 2025 Texas Instruments Incorporated

表 8-20. IVP_VOLTAGE レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				0x81 = 20.875 V 0x82 = 21.000 V 0x83 = 21.125 V 0x84 = 21.250 V 0x85 = 21.375 V 0x86 = 21.500 V 0x87 = 21.625 V 0x88 = 21.750 V 0x89 = 21.875 V 0x8A = 22.000 V 0x8B = 22.125 V 0x8C = 22.250 V 0x8D = 22.375 V 0x8E = 22.500 V 0x8F = 22.625 V 0x90 = 22.750 V 0x91 = 22.875 V 0x92 = 23.000 V 0x93 = 23.125 V 0x94 = 23.250 V 0x95 = 23.500 V 0x96 = 23.750 V 0x97 = 24.000 V 0x98 = 24.250 V 0x99 = 24.500 V 0x9A = 24.750 V 0x9B = 25.000 V 0x9C = 25.250 V 0x9D = 25.500 V 0x9E = 25.750 V 0x9F = 26.000 V 0xA0 = 26.250 V 0xA1 = 26.500 V 0xA2 = 26.750 V 0xA3 = 27.000 V 0xA4 = 27.250 V 0xA5 = 27.500 V 0xA6 = 27.750 V 0xA7 = 28.000 V 0xA8 = 28.250 V 0xA9 = 28.500 V 0xAA = 28.750 V 0xAB = 29.000 V 0xAC = 29.250 V 0xAD = 29.500 V 0xAE = 29.750 V 0xAF = 30.000 V 0xB0 = 30.250 V 0xB1 = 30.500 V 0xB2 = 30.750 V 0xB3 = 31.000 V 0xB4 = 31.250 V 0xB5 = 31.500 V 0xB6 = 31.750 V 0xB7 = 32.000 V 0xB8 = 32.250 V 0xB9 = 32.500 V 0xBA = 32.750 V 0xBB = 33.000 V 0xBC = 33.250 V 0xBD = 33.500 V 0xBE = 33.750 V 0xBF = 34.000 V 0xC0 = 34.250 V 0xC1 = 34.500 V

表 8-20. IVP_VOLTAGE レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				0xC2 = 34.750 V 0xC3 = 35.000 V 0xC4 = 35.250 V 0xC5 = 35.500 V 0xC6 = 35.750 V 0xC7 = 36.000 V 0xC8 = 36.250 V 0xC9 = 36.500 V 0xCA = 36.750 V 0xCB = 37.000 V 0xCC = 37.250 V 0xCD = 37.500 V 0xCE = 37.750 V 0xCF = 38.000 V 0xD0 = 38.250 V 0xD1 = 38.500 V 0xD2 = 38.750 V 0xD3 = 39.000 V 0xD4 = 39.250 V 0xD5 = 39.500 V 0xD6 = 39.750 V 0xD7 = 40.000 V 0xD8 = 40.250 V 0xD9 = 40.500 V 0xDA = 40.750 V 0xDB = 41.000 V 0xDC = 41.250 V 0xDD = 41.500 V 0xDE = 41.750 V 0xDF = 42.000 V 0xE0 = 42.250 V 0xE1 = 42.500 V 0xE2 = 42.750 V 0xE3 = 43.000 V 0xE4 = 43.250 V 0xE5 = 43.500 V 0xE6 = 43.750 V 0xE7 = 44.000 V 0xE8 = 44.250 V 0xE9 = 44.500 V 0xEA = 44.750 V 0xEB = 45.000 V 0xEC = 45.250 V 0xED = 45.500 V 0xEE = 45.750 V 0xEF = 46.000 V 0xF0 = 46.250 V 0xF1 = 46.500 V 0xF2 = 46.750 V 0xF3 = 47.000 V 0xF4 = 47.250 V 0xF5 = 47.500 V 0xF6 = 47.750 V 0xF7 = 48.000 V 0xF8 = 48.250 V 0xF9 = 48.500 V 0xFA = 48.750 V 0xFB = 49.000 V 0xFC = 49.250 V 0xFD = 49.500 V 0xFE = 49.750 V 0xFF = **50.000V**

Copyright © 2025 Texas Instruments Incorporated

9 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

LM51772-Q1 は、入力電圧範囲が広い、同期、非反転型の昇降圧コントローラです。入力電源が調整された出力電圧よりも高い、低い場合に、調整された出力電圧を必要とするアプリケーション用に設計されています。外部回路の設計およびコンポーネントの選択プロセスを迅速化および効率化するため、包括的なクイックスタート カリキュレータをダウンロードして、特定のアプリケーションのコンポーネント選択を支援することができます。

9.2 代表的なアプリケーション

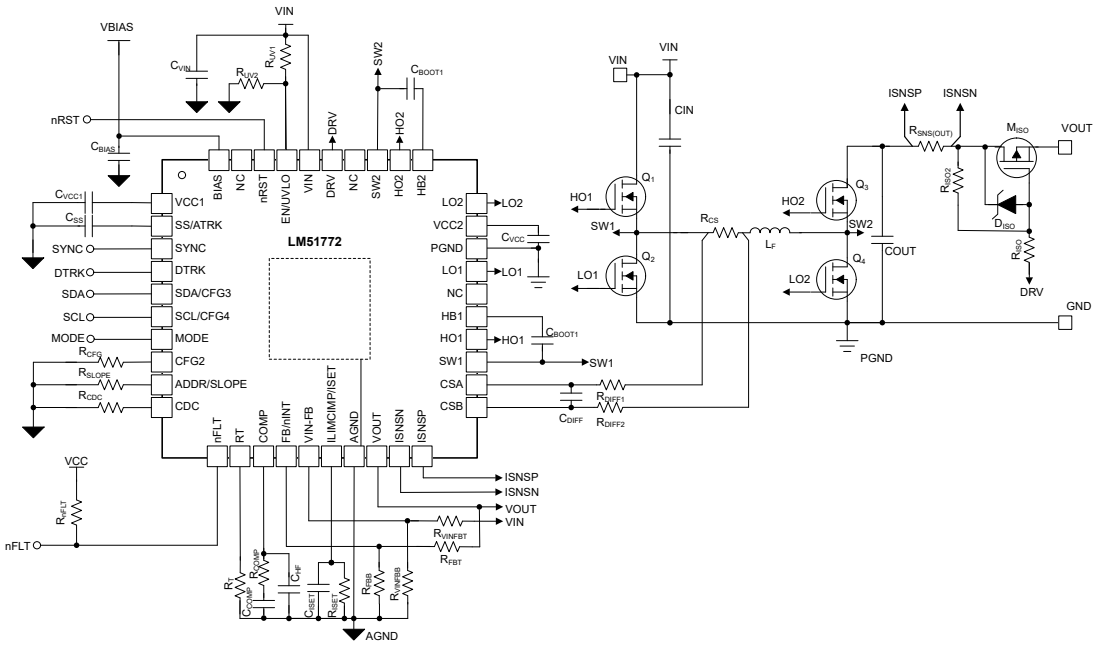


図 9-1. 代表的なアプリケーションの概略回路図

9.2.1 設計要件

表 9-1 典型的な設計例の対象となる入力、出力、性能パラメータを示します。

表 9-1. 設計パラメータ

パラメータ	値
V_I 最小値	8V
V_I 標準値 = V_I スタートアップ	12V
V_I 最大値	32V
V_O 公称値	12V
P_O 最大値	100W

9.2.2 詳細な設計手順

9.2.2.1 WEBENCH ツールによるカスタム設計

ここをクリックすると、WEBENCH® Power Designer により、LM51772-Q1 デバイスを使用するカスタム設計を作成できます。

1. 最初に、V_{IN}、V_{OUT}、I_{OUT} の要件を入力します。
2. オプティマイザのダイヤルを使用して、効率、占有面積、コストなどの主要なパラメータについて設計を最適化し、この設計とテキサス インスツルメンツによる他の可能なアプリケーションを比較します。
3. WEBENCH Power Designer では、カスタマイズされた回路図と部品リストを、リアルタイムの価格と部品の在庫情報と併せて参照できます。
4. ほとんどの場合、WEBENCH Power Designer は以下の機能も搭載しています:
   - 電気的なシミュレーションを実行し、重要な波形と回路の性能を確認する
   - 熱シミュレーションを実行し、基板の熱性能を把握する。
   - カスタマイズされた回路図やレイアウトを、一般的な CAD フォーマットにエクスポートする。
   - 設計のレポートを PDF で印刷し、同僚と設計を共有する。
5. WEBENCH ツールの詳細は、www.ti.com/ja-jp/webench でご覧になれます。

9.2.2.2 周波数

LM51772-Q1 のスイッチング周波数は、RT/SYNC ピンから AGND に接続された R_T 抵抗によって設定されます。目的の周波数を設定するために必要な R_T 抵抗は、式 32 を使用して計算されます。f_{SW} = 400kHz の場合、1% 標準抵抗器 78.7kΩ が選択されます。

$$R_{(RT)} = \frac{1}{32 \times 12^{-12} \times f_{SW}} = 78.13k\Omega \tag{32}$$

9.2.2.3 フィードバック ディバイダ

帰還分圧器は、式 33 で求められます。

$$R_{FB,top} = \frac{\left(V_{(VOUT)} - V_{(REF)}\right)}{V_{(REF)}} \times R_{FB,bot} \tag{33}$$

12V 出力の場合、上部抵抗器 82.0kΩ と下部抵抗器 7.5kΩ が選択されています。

FB ピン分圧抵抗 $R_{FB,top}$ = 71.5kΩ に、一般的な出力電圧に対する帰還分圧抵抗の選択可能な選択肢の概要を示します。

表 9-2. FB ピン分圧抵抗 $R_{FB,top}$ = 71.5kΩ

V_O - 目標値	$R_{FB,bot}$ - 計算	$R_{FB,bot}$ - E48 シリーズ	V_O 公称値	FB 抵抗による誤差
5V	17.9kΩ	17.8kΩ	5.02V	0.3%
9V	8.94kΩ	9.09kΩ	8.87V	-1.5%
12V	6.50kΩ	6.59kΩ	12.02V	0.1%
16V	4.77kΩ	4.87kΩ	15.68V	-2.0%
24V	3.11kΩ	3.16kΩ	23.63V	-1.6%
28V	2.65kΩ	2.61kΩ	28.39V	1.4%
36V	2.04kΩ	2.05kΩ	35.88V	-0.3%
42V	1.74kΩ	1.78kΩ	41.17V	-2.0%
48V	1.50kΩ	1.54kΩ	47.43V	-1.2%

Copyright © 2025 Texas Instruments Incorporated

9.2.2.4 インダクタと電流センス抵抗の選択

インダクタの選択は、降圧と昇圧の両方の動作モードと、サポートされているスロープ補償の範囲を考慮して行います。インダクタと電流センス抵抗が互いに影響を及ぼすので、互いに応じて選定する必要があります。適切な出発点は、電流検出抵抗が過電流検出レベルの 60% になるように設定することです。これにより、インダクタのリップル ΔI_L は 20%、過電流検出レベルまでのマージンは 20% と想定します。入力電圧が最小のときに、最大のインダクタ電流が現れます。

$$I_{L\,Peak,\ \max,\mathrm{est.}} = \frac{V_{OUT}}{V_{IN,min}} \times I_{OUT} \times 1.4 = 17.5\mathrm{A} \tag{34}$$

センス抵抗は以下を使って計算します:

$$R_{CS} = \frac{V_{th+(CSB-CSA),nom}}{I_{L\,Peak,\ \max,\mathrm{est.}}} = 2.85\mathrm{m\Omega} \tag{35}$$

中間レベルのスロープ補償を使い、以下の計算により、インダクタを選択できます:

$$L = \frac{R_{CS} \times 625}{f_{SW}} = 3.9\mu\mathrm{H} \tag{36}$$

また、降圧または昇圧動作の効率が重要である場合、降圧および昇圧モードのピークツーピーク電流リップル ΔI_L に基づいて、インダクタを選択できます。最大入力電圧における最大インダクタ電流の約 60% が降圧モードの目標インダクタンスは次のようになります。

$$L_{BUCK} = \frac{\left(V_{IN(MAX)} - V_{OUT}\right) \times V_{OUT}}{0.6 \times I_{OUT(MAX)} \times F_{SW} \times V_{IN(MAX)}} = 117\mathrm{nH} \tag{37}$$

最大入力電圧における最大インダクタ電流の約 30% の昇圧モードの目標インダクタンスは次のようになります。

$$L_{BOOST} = \frac{V_{IN(MIN)}^2 \times \left(V_{OUT} - V_{IN(MIN)}\right)}{0.3 \times I_{OUT(MAX)} \times F_{SW} \times V_{OUT}^2} = 1.79\mu\mathrm{H} \tag{38}$$

このアプリケーションでは、3.3µH のインダクタを選択しました。

この構成で、ピーク インダクタ電流は最小入力電圧時に発生し、効率 95% は次の式で与えられます。

$$I_{L\,Peak\,Boost} = \frac{V_{OUT} \times I_{OUT}}{\eta \times V_{IN,min}} + \frac{V_{IN,min} \times \left(V_{OUT} - V_{IN,min}\right)}{2 \times L \times f_{SW} \times V_{OUT}} = 14.1\mathrm{A} \tag{39}$$

電流センス抵抗については、20% のマージンが、ダイナミック応答に十分なヘッドルームを確保していると考えられます (負荷ステップレギュレーションなど)。最大出力電流を供給できるようにするため、ピーク電流制限スレッショルドの最小レベルを使用します。

$$R_{CS} = \frac{V_{th+(CSB-CSA),min}}{I_{L\,Peak\,Boost}} = 3.2\mathrm{m\Omega} \tag{40}$$

5mΩ の 2 倍での RCS = 2.5mΩ の標準値を選択します。2 つの抵抗を並列に接続すると、寄生インダクタンスも小さくなります。RCS での最大消費電力は、VIN (MAX) のときに発生します。

$$P_{R_{CS(Max)}} = \left(\frac{V_{th+(CSB-CSA),max}}{R_{CS}}\right)^2 \times R_{CS} \times \left(1 - \frac{V_{OUT}}{V_{IN(Max)}}\right) = 0.704\mathrm{W} \tag{41}$$

9.2.2.5 出力コンデンサ

昇圧モードでは、出力コンデンサに高リップル電流が流れます。出力コンデンサの RMS リップル電流は次のように表されます。

$$I_{COUT(RMS)} = I_{OUT} \times \sqrt{\frac{V_{OUT}}{V_{IN}} - 1} \tag{42}$$

ここで、最小 V_{IN} は最大のコンデンサ電流に対応します。

この例では、最大出力リップル RMS 電流は $I_{COUT(RMS)}$ = 5.9A です。3mΩ の出力コンデンサの ESR では、次のように 37.4mV の出力リップル電圧が発生します。

$$\Delta V_{RIPPLE(ESR)} = \frac{I_{OUT} \times V_{OUT}}{V_{IN(MIN)}} \times ESR \tag{43}$$

80µF の出力コンデンサでは、次式に示すように 86.5mV の容量性リップル電圧が発生します。

$$\Delta V_{RIPPLE(COUT)} = \frac{I_{OUT} \times \left(1 - \frac{V_{IN(MIN)}}{V_{OUT}}\right)}{C_{OUT} \times f_{SW}} \tag{44}$$

通常、低い ESR と高いリップル電流能力を得るには、セラミック コンデンサとバルク コンデンサを組み合わせて使用する必要があります。セクション 9.2 に、標準的なアプリケーションに対して C_{OUT} の有効な出発点を示します。

9.2.2.6 入力コンデンサ

降圧モードでは、入力コンデンサから高リップル電流が供給されます。入力コンデンサの RMS 電流は、以下で求められます。

$$I_{CIN(RMS)} = I_{OUT} \times \sqrt{D \times (1 - D)} \tag{45}$$

最大 RMS 電流は D = 0.5 で発生し、$I_{CIN(RMS)}$ = I_{OUT} / 2 = 4.2A となります。高い di/dt 電流に対して短いパスを提供し、出力電圧リップルを低減するには、セラミックコンデンサとバルクコンデンサを組み合わせて使用します。図 9-1 は、標準的なアプリケーションに対して C_{IN} の出発点として最適です。

9.2.2.7 スロープ補償

安定した電流ループ動作と低調波振動の回避のためには、スロープ抵抗を 式 46 に基づいて選択してください。

スロープ補償の M_{SC} 値を計算するには、最大インダクタ電流 (電流制限により設定) での実効インダクタンスを使用します。R_{CS} が 2.5mΩ の場合、電流制限は 20A (標準値) に設定されます。使用するインダクタでは、このピーク電流時のインダクタンスは L_{eff} = 2.5µH まで小さくなります。

$$m_{SC} = \frac{R_{CS}}{f_{sw} \times L_{eff}} \times 625 = 1.6 \tag{46}$$

次に高い値である 2 を選択し、R_{CFG1} または I2C インターフェイス経由で設定する必要があります。

スロープ補償の結果として、“デッドビート”動作が実現され、電流ループの外乱が 1 回のスイッチング サイクルで消失します。理論的には、電流モード ループは「デッドビート」スロープの半分で安定します (式 46 の計算されたスロープ抵抗値で既に考慮されています)。m_{sc} 値が大きいほど、スロープ信号が大きくなり、遷移領域でのノイズ耐性が向上します (V_{IN} は V_{OUT} とほぼ等しくなります)。ただし、スロープ信号が大きいと、特定の出力電圧、スイッチング周波数、およびインダクタに対して実現可能な入力電圧範囲が制限されます。この設計では、必要な V_{IN} 範囲を提供しながら遷移領域の動作を改善するために、スロープ補償係数 2 (構成ピン CFG2 を参照) が選択されます。

Copyright © 2025 Texas Instruments Incorporated

インダクタのディレーティングは約 24% であり、30% のディレーティングにはセトリングを使用するか (構成ピン CFG3 を参照)、I2C を使用して設定できます。

9.2.2.8 UVLO ディバイダ

UVLO 抵抗デバイダは、7.8V 未満でオンになるように設計する必要があります。$R_{UVLO,top}$ = 44.2kΩ を選択すると、式 47 に基づいて UVLO ヒステリシスは 0.8V になります。下側 UVLO 抵抗は、以下を使用して選択します。

$$V_{(VIN,IT+,UVLO)} = V_{IT+(UVLO)} \times \left(1 + \frac{R_{UVLO,top}}{R_{UVLO,bot}}\right) + R_{UVLO,top} \times I_{(UVLO,hyst)} \tag{47}$$

$R_{UVLO,bot}$ には標準値 9.09kΩ が選択されます

より低い入力電圧での動作に対して UVLO スレッショルドをプログラミングする場合は、最小 V_{IN} よりも低いゲート (ミラー) プラトー電圧を持つ MOSFET を選択してください。

9.2.2.9 ソフトスタート コンデンサ

ソフト スタート時間は、ソフト スタート コンデンサを使用してプログラミングします。C_{SS} とソフト スタート時間の関係は、次の式で与えられます。

$$C_{SS} = \frac{I_{SS} \times t_{SS}}{V_{Ref}} = 18\ \text{nF} \tag{48}$$

C_{SS} = 18nF の場合、ソフトスタート時間は 1.8ms になります。

9.2.2.10 MOSFET QH1 および QL1

入力側の MOSFET QH1 (Q1) および QL1 (Q2) は、48V の最大入力電圧に耐える必要があります。また、MOSFET はスイッチング中に SW1 に生じる過渡スパイクに耐える必要があります。したがって、QH1 および QL1 の定格は 58V 以上にする必要があります。また、MOSFET のゲートプラトー電圧を、コンバータの最小入力電圧よりも低くする必要があります。そうしないと、スタートアップ中または過負荷状態中に、MOSFET が完全にエンハンスされない可能性があります。

昇圧モードでの QH1 での電力損失は、次の式で近似できます。

$$P_{COND(QH1)} = \left(I_{OUT} \times \frac{V_{OUT}}{V_{IN}}\right)^2 \times R_{DS,On(QH1)} \tag{49}$$

降圧モードの QH1 での電力損失は、それぞれ式 51 と式 50 で与えられる導通損失成分とスイッチング損失成分で構成されます。

$$P_{COND(QH1)} = \left(I_{OUT} \times \frac{V_{OUT}}{V_{IN}}\right)^2 \times R_{DS,On(QH1)} \tag{50}$$

$$P_{SW(QH1)} = \frac{1}{2} \times V_{IN} \times I_{OUT} \times (t_r + t_f) \times f_{SW} \tag{51}$$

立ち上がり (t_r) および立ち下がり (t_f) 時間は、MOSFET のデータ シート情報に基づくか、またはラボで測定されます。通常、MOSFET の R_{DSON} が小さい (導通損失が小さい) ほど、立ち上がりおよび立ち下がり時間は長く (スイッチング損失が大きく) なります。

降圧モード動作のときの QL1 での電力損失は、式 52 に示します。

$$P_{COND(QL1)} = \left(1 - \frac{V_{OUT}}{V_{IN}}\right) \times {I_{OUT}}^2 \times R_{DS,On(QL1)} \tag{52}$$

Copyright © 2025 Texas Instruments Incorporated

9.2.2.11 MOSFET QH2 および QL2

出力側の MOSFET QH2 (Q4) および QL2 (Q3) は、48V の出力電圧と、スイッチング中に SW2 に生じる追加の過渡スパイクを参照してください。したがって、QH2 および QL2 の定格は 58V 以上にする必要があります。また、MOSFET のゲートプラトー電圧は、コンバータの最小入力電圧よりも低くする必要があります。そうしないと、スタートアップ中または過負荷状態中に、MOSFET が常に完全にエンハンスされない可能性があります。

降圧モード動作のときの QH2 での電力損失は、次の式で近似できます。

$$P_{COND(QH2)} = I_{OUT}^2 \times R_{DS,On(QH2)} \tag{53}$$

昇圧モード動作のときの QL2 での電力損失は、導通損失成分とスイッチング損失成分から構成され、次の式で与えられます。

$$P_{COND(QL2)} = \left(1 - \frac{V_{IN}}{V_{OUT}}\right) \times \left(I_{OUT} \times \frac{V_{OUT}}{V_{IN}}\right)^2 \times R_{DS,On(QL2)} \tag{54}$$

およびそれぞれ:

$$P_{SW(QL2)} = \frac{1}{2} \times V_{OUT} \times \left(I_{OUT} \times \frac{V_{OUT}}{V_{IN}}\right) \times (t_r + t_f) \times f_{SW} \tag{55}$$

立ち上がり (t_r) および立ち下がり (t_f) 時間は、MOSFET のデータシート情報で取得されるか、またはラボで測定されます。通常、MOSFET の R_{DSON} が小さい (導通損失が低い) ほど、立ち上がりおよび立ち下がり時間は長く (スイッチング損失が大きく) なります。

昇圧モード動作のときの QH2 での電力損失は、次のようになります。

$$P_{COND(QH2)} = \frac{V_{IN}}{V_{OUT}} \times \left(I_{OUT} \times \frac{V_{OUT}}{V_{IN}}\right)^2 \times R_{DS,On(QH2)} \tag{56}$$

9.2.2.12 ループ補償

ここでは、LM51772-Q1 昇降圧コントローラの制御ループ補償の設計手順を示します。LM51772-Q1 は主に降圧モードまたは昇圧モードのいずれかで動作し、遷移領域によって区切られているため、制御ループの設計は降圧と昇圧の両方の動作モードに対して行われます。したがって、補償の最終的な選択は、ループ安定性の観点から、より制限の大きなモードに基づいて決定します。通常、降圧動作領域と昇圧動作領域の両方に深く入り込むように設計されたコンバータの場合、昇圧モードでは右半平面ゼロ (RHPZ) が存在するため、昇圧補償設計はより制限的になります。

昇圧パワー段出力の極位置は、次の式で与えられます。

$$f_{p1(boost)} = \frac{1}{2\pi}\left(\frac{2}{R_{OUT} \times C_{OUT}}\right) = 2.75\text{kHz} \tag{57}$$

ここで、

- R_{OUT} = 1.45Ω は最大負荷 8.3A に相当します。

昇圧パワー段の ESR ゼロ位置は、次の式で与えられます。

$$f_{z1} = \frac{1}{2\pi}\left(\frac{1}{R_{ESR} \times C_{OUT}}\right) = 398\text{kHz} \tag{58}$$

昇圧パワー段の RHP ゼロ位置は、次の式で与えられます。

$$f_{RHP} = \frac{1}{2\pi}\left(\frac{R_{OUT} \times (1 - D_{MAX})^2}{L_1}\right) = 55.3\text{kHz} \tag{59}$$

ここで、

- D_{MAX} は最小 V_{IN} での最大デューティ サイクルです。

降圧パワー段出力の極位置は、次の式で与えられます。

$$f_{p1(buck)} = \frac{1}{2\pi}\left(\frac{1}{R_{OUT} \times C_{OUT}}\right) = 1.37\text{kHz} \quad (60)$$

降圧パワー段の ESR ゼロ位置は、昇圧パワー段の ESR ゼロと同じです。

式 59 により、実現可能な帯域幅を制限する主な要因は RHP ゼロであることがわかります。堅牢な設計のためには、クロスオーバー周波数は RHP ゼロ周波数の 1/3 未満である必要があります。RHP ゼロの位置が与えられると、昇圧動作での適切な目標帯域幅は約 8kHz となります。

$$f_{bw} = 10\text{kHz} \quad (61)$$

出力段によっては、昇圧の最大デューティ サイクル (D_{MAX}) が小さい場合や、非常に小さなインダクタを使用している場合に、昇圧の RHP ゼロがそれほど制限されない場合があります。そのような場合は、RHP ゼロによって課される制限 (f_{RHP} /3) をスイッチング周波数の 1/20 と比較して、いずれか小さい方の値を、実現可能な帯域幅として使用します。

補償用のゼロは、昇圧出力極周波数の 1.5 倍の位置に配置します。ただし、その場合、ゼロが降圧出力極周波数の 3 倍の位置に来るため、降圧ループのクロスオーバーの前に約 30 度の位相損失が生じ、昇圧ループの各中間周波数で 15 度の位相損失が生じます。

$$f_{ZC} = 4.2\text{kHz} \quad (62)$$

補償ゲイン抵抗 R_{c1} は、以下で計算されます。

$$R_{C1} = \frac{2\pi \times f_{bw}}{gm_{EA}} \times \frac{R_{FB1} + R_{FB2}}{R_{FB2}} \times \frac{A_{CS} \times R_{CS} \times C_{OUT}}{1 - D_{MAX}} \times \frac{1}{\sqrt{1 + \left(\frac{f_{bw}}{f_{RHP}}\right)^2}} = 2.77\text{k}\Omega \quad (63)$$

ここで、

- D_{MAX} は、昇圧モードの最小 V_{IN} での最大デューティ サイクルです。
- A_{CS} は電流センス アンプのゲインです。10.

これにより、補償コンデンサ C_{c1} は次の式で計算できます。

$$C_{C1} = \frac{1}{2\pi \times f_{ZC} \times R_{c1}} = 13.7\text{nF} \quad (64)$$

補償部品の標準値は、R_{c1} = 2.7kΩ および C_{c1} = 15nF に選択されます。

高周波極 (f_{pc2}) は、R_{c1} および C_{c1} と並列にコンデンサ (C_{c2}) を使用して配置されます。この極の周波数を f_{bw} の 7 ～ 10 倍に設定すると、COMP のスイッチング リップルおよびノイズを減衰させ、クロスオーバー周波数での過剰な位相損失を回避できます。ターゲット f_{pc2} = 100kHz の場合、C_{c2} は式 65 を使用して計算されます。

$$C_{C2} = \frac{1}{2\pi \times f_{pc2} \times R_{c1}} = 575\text{pF} \quad (65)$$

C_{c2} の標準値 560pF を選択します。これらの値は、補償設計の出発点として利用できます。実際の設計時には、動作範囲全体の安定性マージンと過渡応答時間との間で適切なバランスが取れるように、ラボで調整を行う必要があります。

Copyright © 2025 Texas Instruments Incorporated

9.2.2.13 外付け部品の選択

表 9-3. 代表的なアプリケーションの部品例

リファレンス	説明	部品番号	コメント
R_{COMP}	2.7kΩ		
C_{COMP1}	15nF、50V セラミック コンデンサ		
C_{COMP2}	560pF、50V セラミック コンデンサ		
C_{SS}	20nF、50V セラミック コンデンサまたは 20nF、80V セラミック コンデンサ		
$R_{FB,top}$	82.0kΩ		
$R_{FB,bot}$	7.5kΩ		
R_{nFLT}	10kΩ		
$C_{ILIMCOMP}$	68pF		
C_{IN1}	2×10µF、100V セラミック コンデンサ	C3225X7R2A106K250AC	
C_{IN2}	3×27µF、63V アルミニウム コンデンサ	A768KE276M1JLAE054	
M_1	N チャネル 60V MOSFET、$R_{DS(ON)}$ = 4.2mΩ	ISZ034N06LM5ATMA1	
M_2	N チャネル 60V MOSFET、$R_{DS(ON)}$ = 4.2mΩ	ISZ034N06LM5ATMA1	
M_3	N チャネル 60V MOSFET、$R_{DS(ON)}$ = 4.2mΩ	ISZ034N06LM5ATMA1	
M_4	N チャネル 60V MOSFET、$R_{DS(ON)}$ = 4.2mΩ	ISZ034N06LM5ATMA1	
R_{CS}	2.5mΩ	2xKRL2012E-M-R005F-T5	
L_1	3.3µH、DCR = 5.7mΩ	XGL1060-332MEC	
C_{OUT1}	6×10µF、100V セラミック コンデンサ	C3225X7R2A106K250AC	
C_{OUT2}	2 × 100µF、63V 定格コンデンサ	A768KE276M1JLAE054	
R_{ISNS}	10mΩ	KRL2012E-C-R010F-T05	
C_{BST1}	0.1µF、50v、セラミック コンデンサ	GCM155R71H104KE02D	
C_{BST2}	0.1µF、50v、セラミック コンデンサ	GCM155R71H104KE02D	
C_{VCC}	22µF、10V、セラミック コンデンサ	GRT188R61A226ME13D	
$R_{UVLO,top}$	44.5kΩ		
$R_{UVLO,bot}$	9.09kΩ		
R_{SLOPE}	5.1kΩ		
R_{CFG2}	8.3kΩ		
R_{RT}	78.7kΩ		

9.2.3 アプリケーション曲線

以下の測定には、LM51772-Q1 を使用した LM51772EVM-HP を使用します。$R_{(COMP)}$ = 20kΩ、$C_{(COMP)}$ = 2.1nF、$C_{(HF)}$ = 50pF (特に記述のない限り)

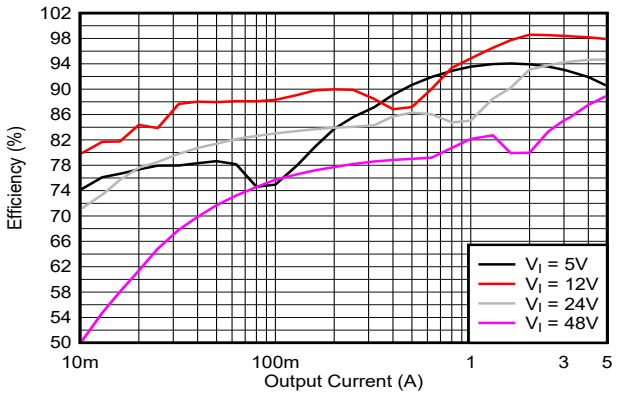


図 9-2. 効率と I_O の関係 (MODE = 0V、V_o = 12V)

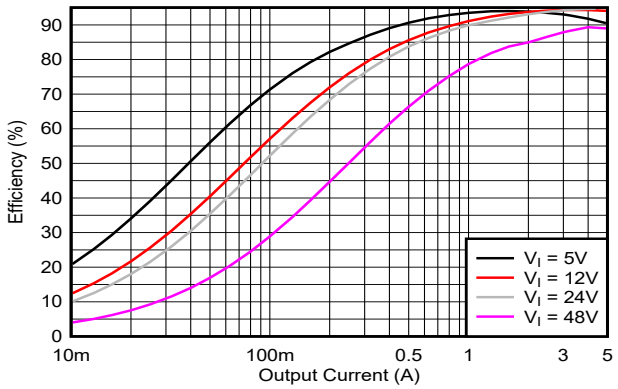


図 9-3. 効率と I_O との関係 (MODE = VCC2、V_o = 12V)

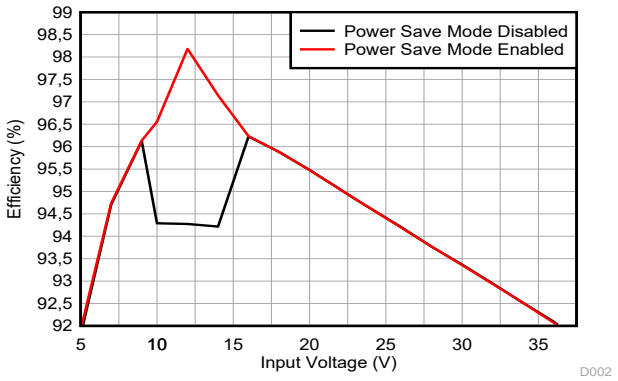


図 9-4. 効率と V_I との関係 (V_o = 12V、I_O = 5A)

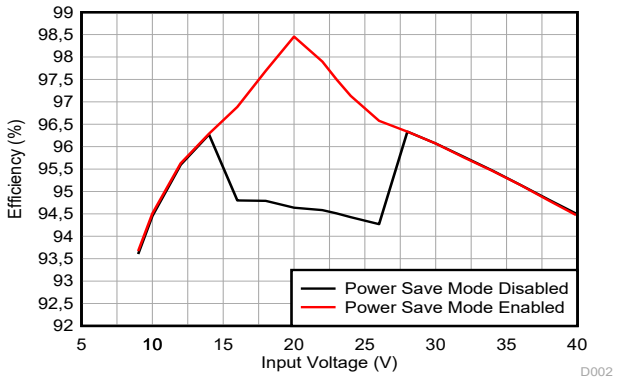


図 9-5. 効率と V_I (V_o = 20V、I_O = 5A)

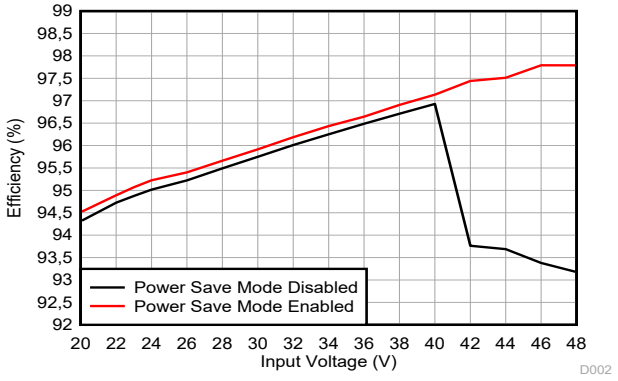


図 9-6. 効率と V_I (V_o = 48V、I_O = 5A)

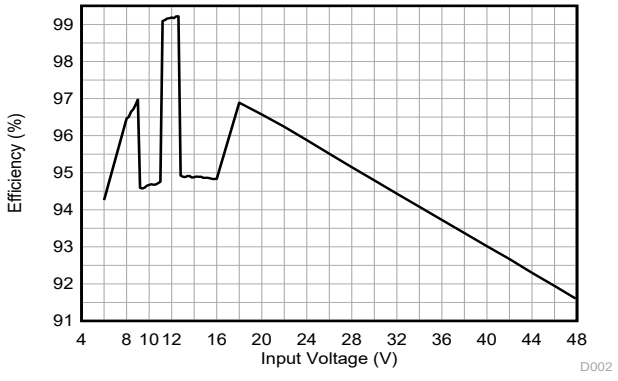


図 9-7. PCM の効率と V_I との関係 ($V_{(PCM,low)}$ = 11V、$V_{(PCM,high)}$ = 13V、I_O = 5A、MODE = VCC2)

Copyright © 2025 Texas Instruments Incorporated

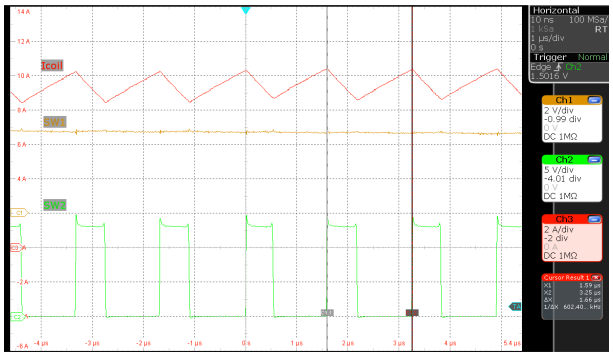


図 9-8. インダクタ電流昇圧モード ($V_{(VIN)}$ = 5V、$V_{(VOUT)}$ = 12V I_O = 5A、MODE = VCC2)

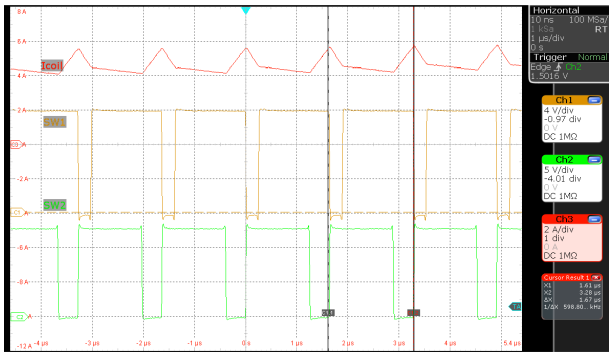


図 9-9. インダクタ電流昇降圧モード、($V_{(VIN)}$ = 12V、$V_{(VOUT)}$ = 12V I_O = 5A、MODE = VCC2)

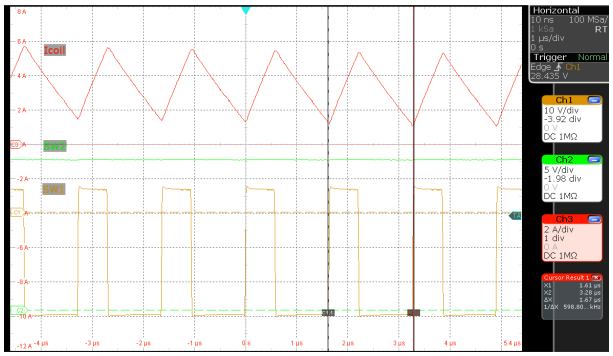


図 9-10. インダクタ電流降圧モード、($V_{(VIN)}$ = 36V、$V_{(VOUT)}$ = 12V I_O = 5A、MODE = VCC2)

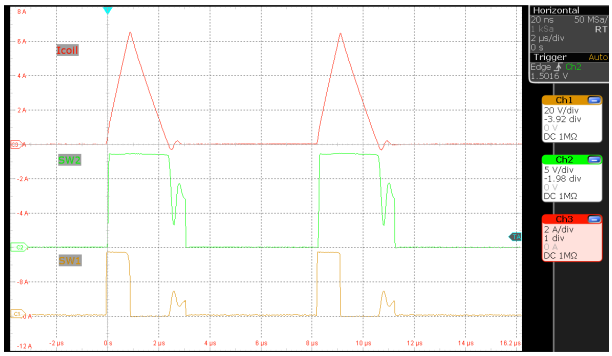


図 9-11. インダクタ電流昇圧モード ($V_{(VIN)}$ = 5V、$V_{(VOUT)}$ = 12V I_O = 0.05A、MODE = GND)

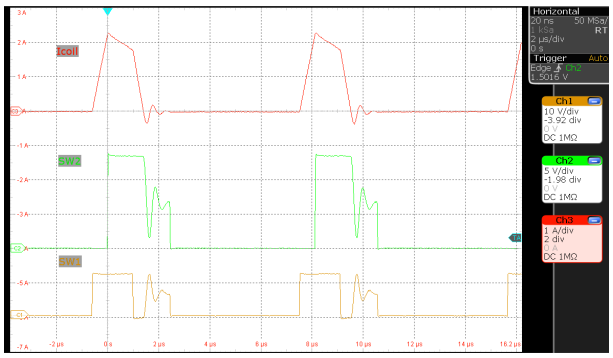


図 9-12. インダクタ電流昇圧モード ($V_{(VIN)}$ = 12V、$V_{(VOUT)}$ = 12V I_O = 0.05A、MODE = GND)

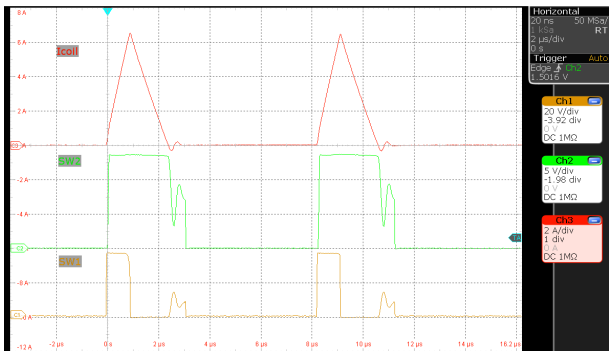


図 9-13. インダクタ電流昇圧モード ($V_{(VIN)}$ = 36V、$V_{(VOUT)}$ = 12V I_O = 0.05A、MODE = GND)

Copyright © 2025 Texas Instruments Incorporated

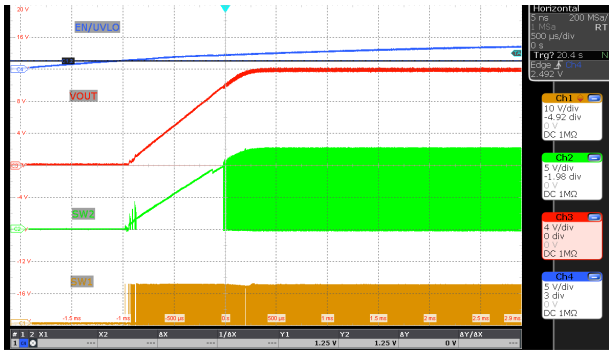


図 9-14. デバイス起動、($V_{(VIN)}$ = 12V、$V_{(VOUT)}$ = 12V I_O = 5A、MODE = VCC2)

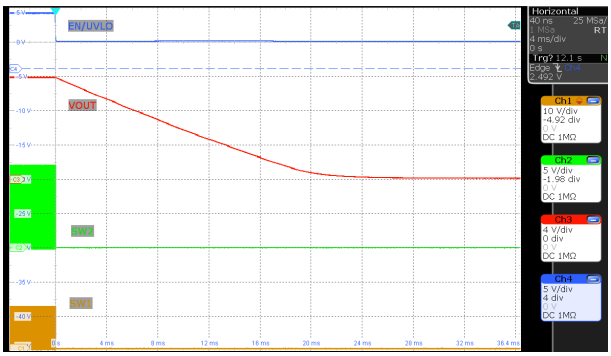


図 9-15. デバイスシャットダウン (放電イネーブル、$V_{(VIN)}$ = 12V、$V_{(VOUT)}$ = 12V I_O = 0A MODE = GND)

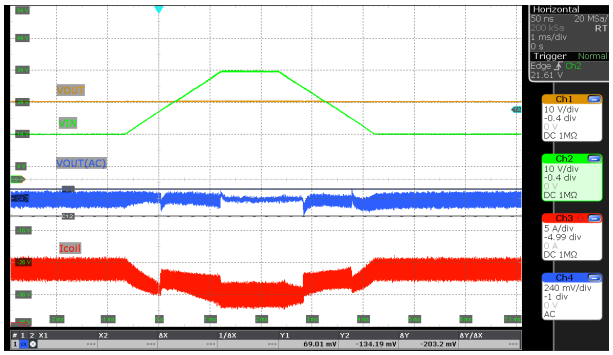


図 9-16. 入力電圧ランプ ($V_{(VIN)}$ = 14V ↔24V、$V_{(VOUT)}$ = 24V I_O = 5A MODE = GND)

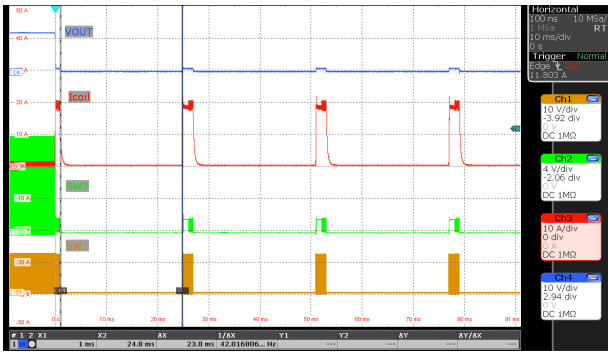


図 9-17. SCP - ヒカップ保護 ($V_{(VIN)}$ = 12V、$V_{(VOUT)}$ = 12V I_O = ショート、MODE = VCC2)

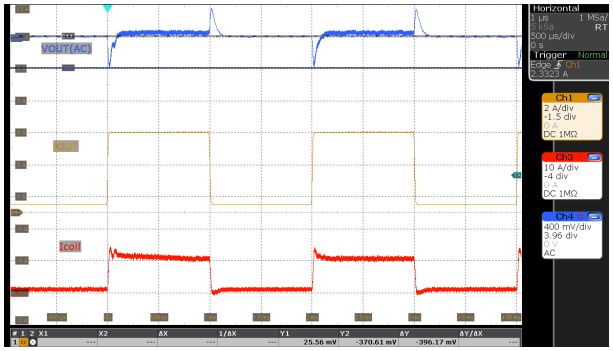


図 9-18. 負荷過渡 ($V_{(VIN)}$ = 12V、$V_{(VOUT)}$ = 24V I_O = 0.5A↔ 5A、MODE = VCC2)

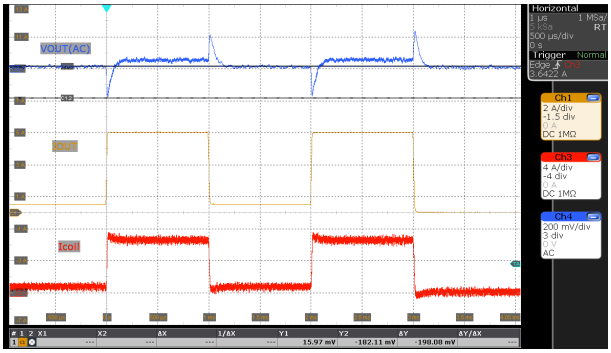


図 9-19. 負荷過渡 ($V_{(VIN)}$ = 24V、$V_{(VOUT)}$ = 24V I_O = 0.5A↔ 5A、MODE = VCC2)

Copyright © 2025 Texas Instruments Incorporated

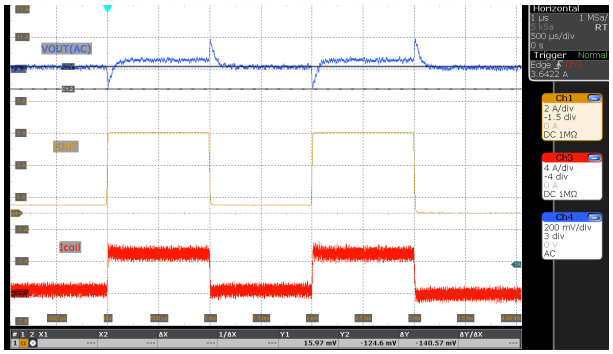


図 9-20. 負荷過渡 ($V_{(VIN)}$ = 36V、$V_{(VOUT)}$ = 24V I_O = 0.5A↔ 5A、MODE = VCC2)

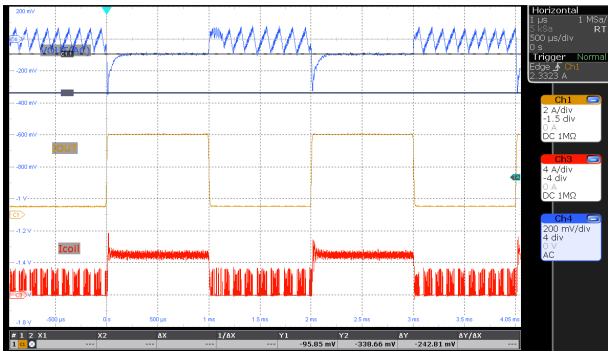


図 9-21. 負荷過渡 ($V_{(VIN)}$ = 12V、$V_{(VOUT)}$ = 24V I_O = 0.5A↔ 5A、MODE = GND)

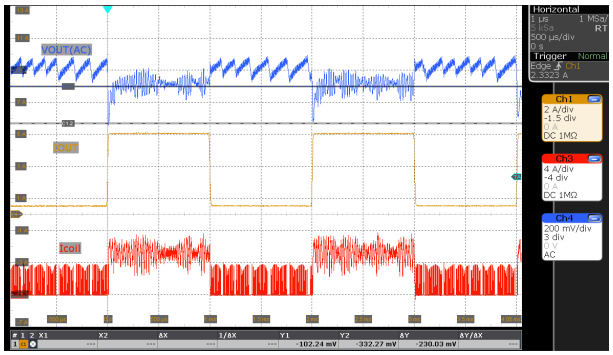


図 9-22. 負荷過渡 ($V_{(VIN)}$ = 24V、$V_{(VOUT)}$ = 24V I_O = 0.5A↔ 5A、MODE = GND)

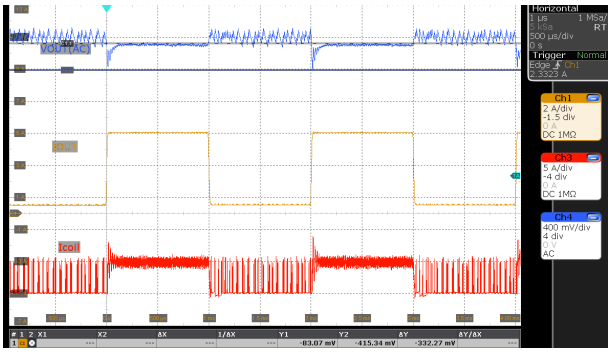


図 9-23. 負荷過渡 ($V_{(VIN)}$ = 36V、$V_{(VOUT)}$ = 24V I_O = 0.5A↔ 5A、MODE = GND)

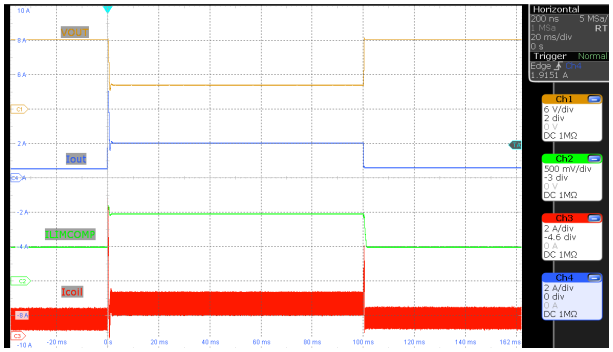


図 9-24. 平均出力電流制限 ($V_{(VIN)}$ = 12V、$V_{(VOUT)}$ = 12V I_O = 0.5A ↔ 5A、MODE = VCC2、ILIM_THRESHOLD = 0x28 (2A))

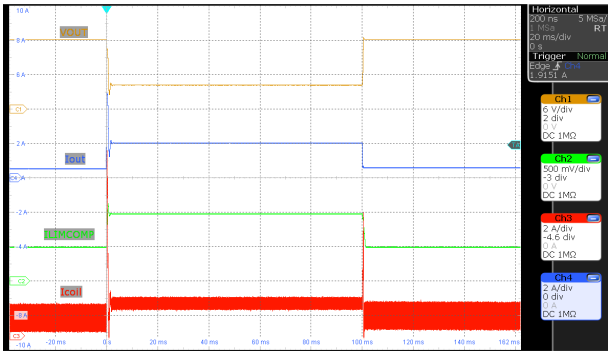


図 9-25. 平均出力電流制限 ($V_{(VIN)}$ = 6V、$V_{(VOUT)}$ = 12V I_O = 0.5A ↔ 5A、MODE = VCC2、ILIM_THRESHOLD = 0x28 (2A))

9.3 パワー パス付き PD ソース

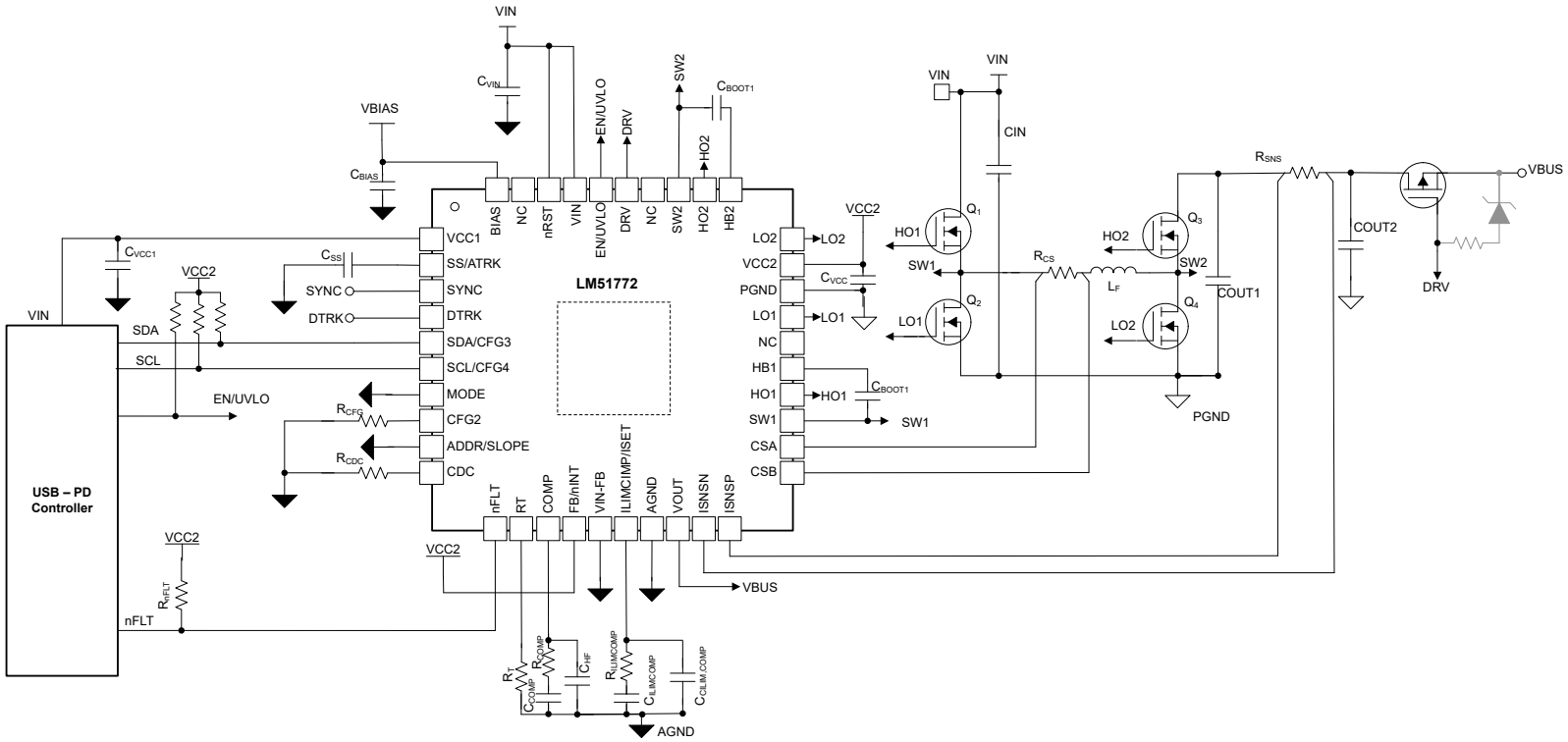


図 9-26. パワー パス付き PD ソースの概略回路図

Copyright © 2025 Texas Instruments Incorporated

9.4 並列 (マルチフェーズ) 動作

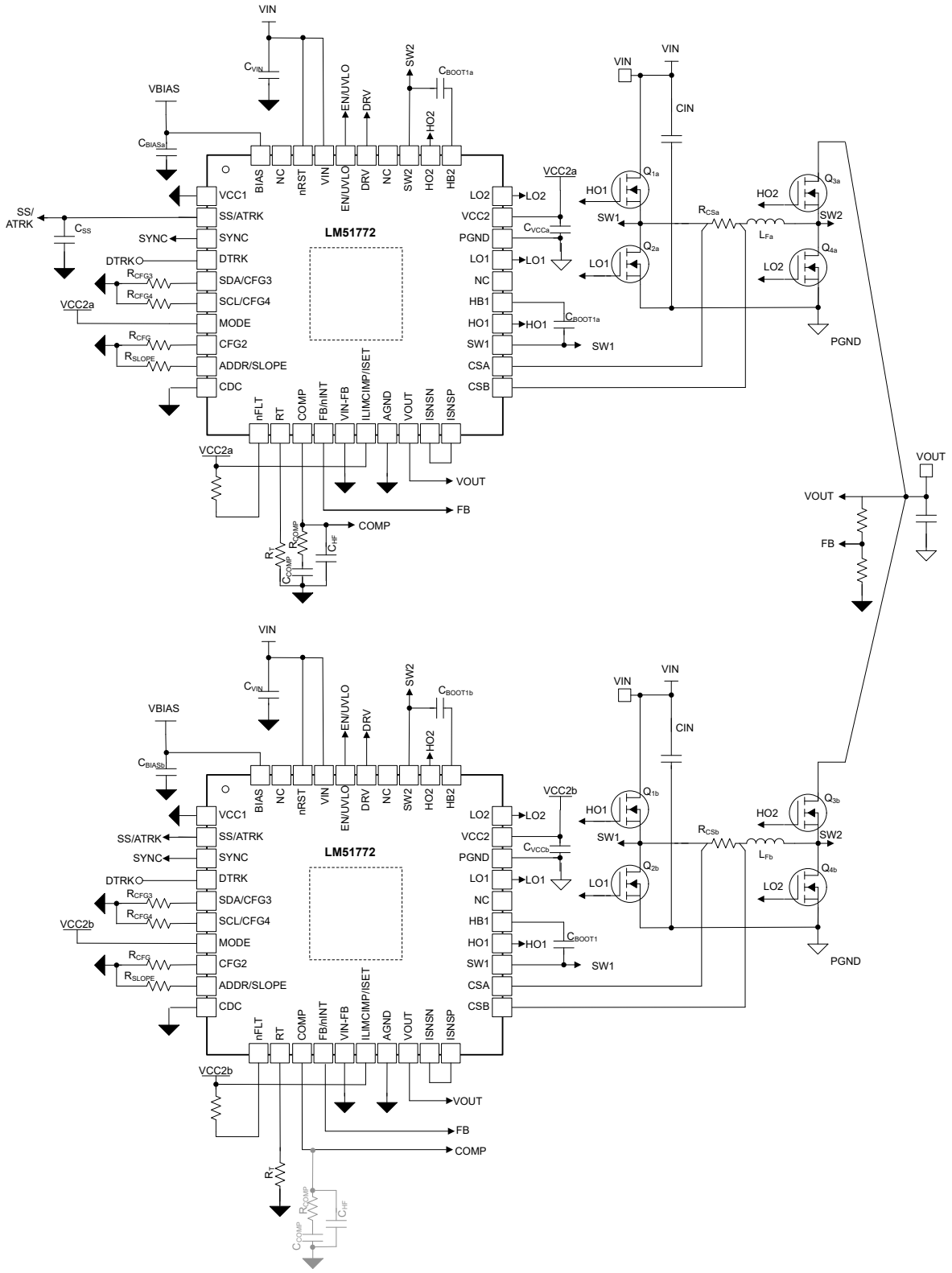


図 9-27. 2 相動作の概略回路図

9.5 定電流出力 LED ドライバ

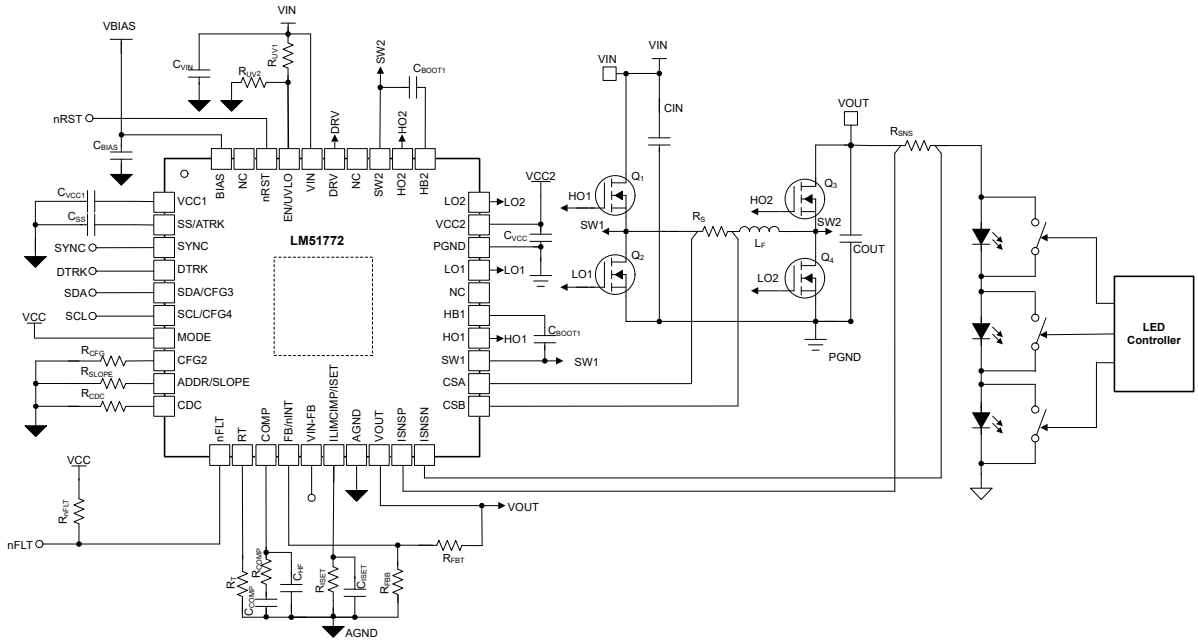


図 9-28. 定電流 LED ドライバの概略回路図

9.6 ワイヤレス充電供給

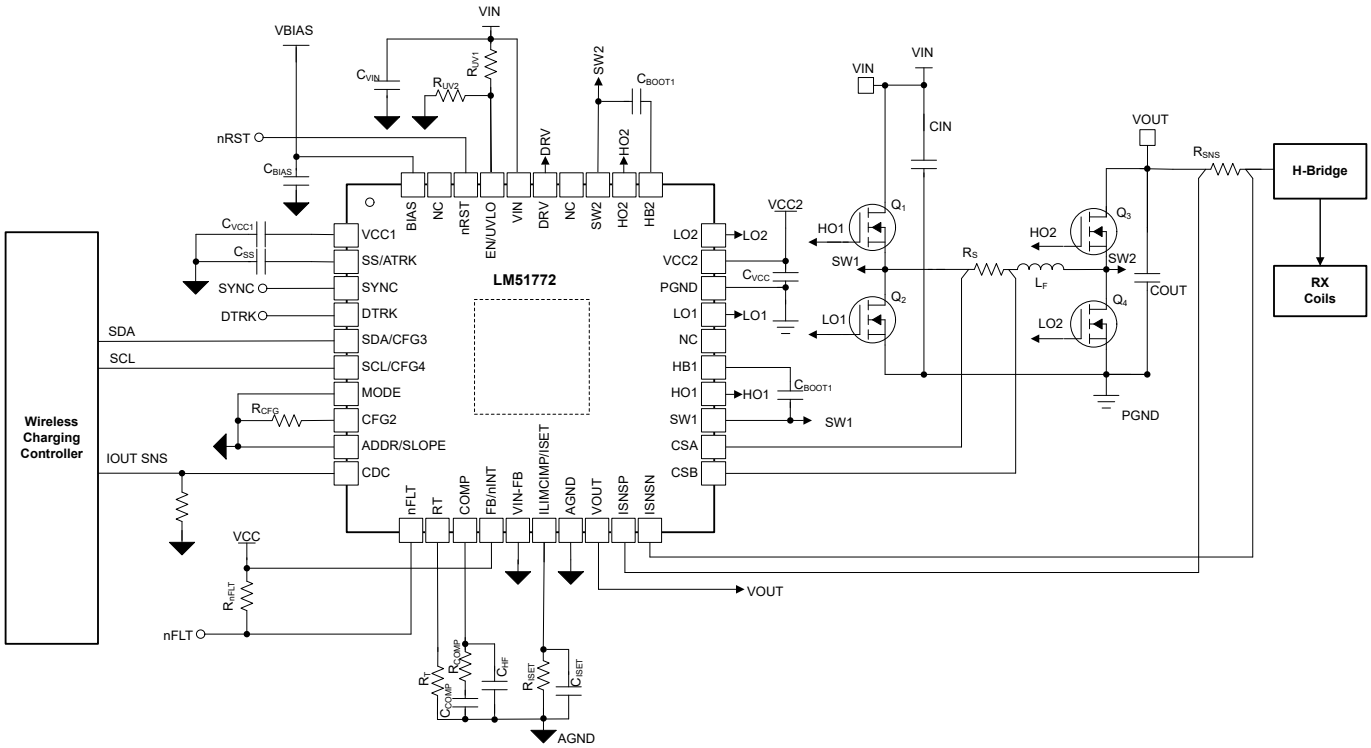


図 9-29. ワイヤレス充電電源の概略回路図

Copyright © 2025 Texas Instruments Incorporated

9.7 双方向電力バックアップ

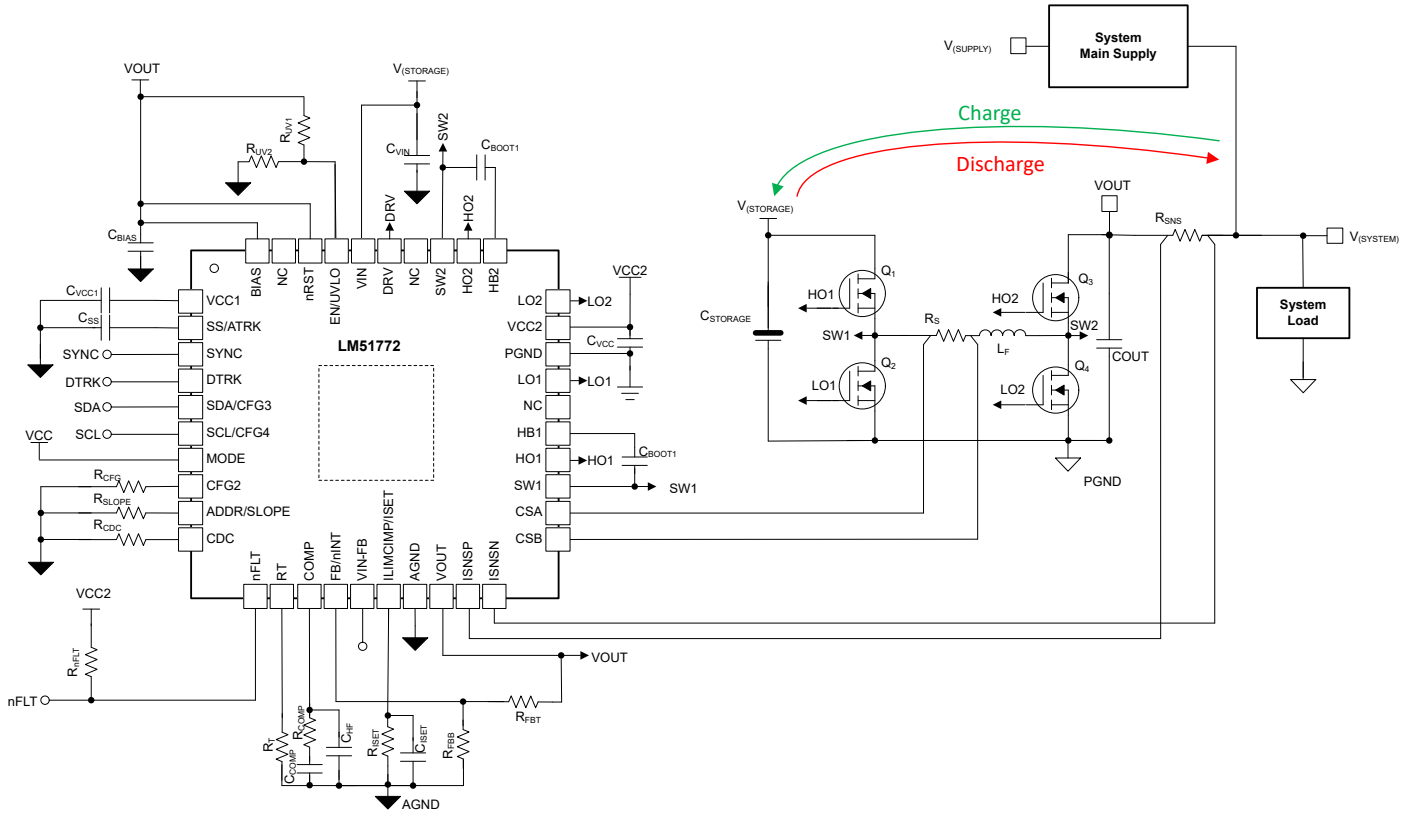


図 9-30. DC/DC バックアップの概略回路図

9.8 電源に関する推奨事項

LM51772-Q1 は、広い入力電圧範囲で動作するよう設計されています。このデバイスは、特性が*絶対最大定格*および*推奨動作条件*と互換性のない入力電源では動作しません。全負荷時のレギュレータに必要な入力電流を供給できる入力電源を選択してください。平均入力電流を見積るには、式 66 を使用します。

$$I_I = \frac{P_O}{V_I \eta} \tag{66}$$

ここで、

- η は効率です。

デバイスが高インピーダンスを持つ長い配線や PCB パターンを経由して入力電源に接続されている場合は、安定した性能を実現するために特に注意が必要です。入力ケーブルの寄生インダクタンスと抵抗は、コンバータの動作に悪影響を及ぼす可能性があります。寄生インダクタンスと低 ESR セラミック入力コンデンサを組み合わせることで、不足減衰共振回路が形成されます。一部の条件で、この回路は、入力電源がオンとオフを周期的に切り替わるたびに、VIN で過電圧過渡が発生します。寄生抵抗により、負荷過渡中に入力電圧が低下する場合があります。こうした問題を解決する方法の 1 つは、入力電源からレギュレータまでの距離を短くして、セラミックと並列にアルミニウム製やタンタル製の入力コンデンサを使用することです。電解コンデンサの ESR は比較的低いため、入力共振回路は減衰し、電圧オーバーシュートを低減することができます。コントローラの電力段の前に EMI 入力フィルタをよく使用します。注意深く設計しないと、フィルタは不安定の原因になる可能性があるほか、前述のような影響を及ぼす可能性があります。

9.9 レイアウト

9.9.1 レイアウトのガイドライン

9.9.1.1 出力段レイアウト

入力コンデンサ、出力コンデンサ、MOSFET は、降圧レギュレータの出力段の構成部品であり、一般に PCB の上面に配置されます。システムレベルの気流を活用することにより、対流熱伝達の利点が最大化されます。通常、2 面 PCB レイアウトでは小信号部品は底面に配置されます。少なくとも 1 つの内部プレーンを挿入してグランドに接続することにより、小信号パターンをシールドし、ノイズの多いパワーラインと分離します。

DC/DC レギュレータには、複数の大電流ループがあります。このループ領域を最小化すると、生成されるスイッチング ノイズは抑制され、スイッチング性能を最適化することができます。

- 最小化が最も重要なループ領域は、入力コンデンサから降圧ハイサイド MOSFET とローサイド MOSFET を経由し、入力コンデンサのグランド接続と、昇圧ハイサイド MOSFET とローサイド MOSFET を経由して出力コンデンサからのパスを経由して、出力コンデンサのグランド接続に戻る経路です。コンデンサのマイナス端子をローサイド MOSFET のソース (グランド) の近くに接続します。同様に、コンデンサの正極端子を、両方のループのハイサイド MOSFET のドレインの近くに接続します。
- これらの推奨事項に加えて、パッド形状やはんだペースト ステンシルの設計など、MOSFET メーカーが推奨する MOSFET のレイアウトに関する考慮事項に従ってください。

9.9.1.2 ゲート ドライバ レイアウト

LM51772-Q1 のハイサイドおよびローサイド ゲートドライバは、短い伝搬遅延、周波数依存のデッドタイム制御、低インピーダンス出力段を内蔵しており、非常に高速な立ち上がり、立ち下がり時間で大きなピーク電流を供給できるため、外部パワー MOSFET の高速なターンオン遷移とターンオフ遷移を実現しています。パターンの長さを十分制御できない場合、di/dt が非常に高くなると許容できないリンギングが発生する可能性があります。ゲートドライブのスイッチング性能を最適化するには、空電または寄生ゲートループインダクタンスを最小化することが重要です。これは、MOSFET ゲートキャパシタンスで共振する直列ゲートインダクタンスでも、ゲートドライブコマンドに反して負の帰還成分を供給するコモンソースインダクタンス (ゲートループとパワーループに共通) でも同様です。これにより MOSFET のスイッチング時間は長くなります。

Copyright © 2025 Texas Instruments Incorporated

直列寄生インダクタンスを低減するため、ゲートドライバ出力 HO1 および HO2 からハイサイド MOSFET の各ゲートへの接続はできるだけ短くする必要があります。HO1 と HO2、SW1、SW2 の各ゲート パターンをデバイス ピンからハイサイド MOSFET に差動ペアとして配線し、ループ面積の縮小によるフラックスの打ち消しを利用します。

直列寄生インダクタンスを低減するため、ゲートドライバ出力 LO1 および LO2 からローサイド MOSFET の各ゲートへの接続はできるだけ短くする必要があります。LO1 と LO2、および PGND は、各ゲート パターンをデバイス ピンからローサイド MOSFET に差動ペアとして配線し、ループ面積の縮小によるフラックスの打ち消しを利用します。

大電流が瞬間的に流れることにより、VCC、HB1、および HB2 ピンから各コンデンサを流れる電流ループパスが最小化されます。

9.9.1.3 コントローラのレイアウト

ゲート ドライバのパターン走行を最小限にするため、コントローラをパワー MOSFET のできる限り近くに配置する規定により、電流センシングだけでなく、アナログ信号と帰還信号に関連する部品については、以下のように考慮します。

- 電源と信号のパターンを分けて、ノイズのシールドを実現するためにグランド プレーンを使用します。
- 相互結合を避けるため、COMP、FB、SLOPE、SS/ATRK、および RT に関連するすべての敏感なアナログ トレースおよびコンポーネントを、次のような高電圧スイッチング ノードから離して配置します。
  - SW1
  - SW2
  - HO1
  - HO2
  - LO1
  - LO2
  - HB1
  - HB2
- 1 つ以上の内部層をグランド プレーンとして使用します。特に、電源パターンと部品から帰還 (FB) パターンをシールドすることには注意してください。
- ノイズ ピックアップを最小限に抑えるために、CSA、CSB、ISNSP、ISNSN の各パターンを差動ペアとして配線し、適切なシャント抵抗にケルビン接続を使用します。
- FB のパターンができるだけ短くなるように、上側と下側の帰還抵抗を各 FB ピンの近くに設置します。上側の帰還抵抗から出力電圧検出ポイントまでのパターンを配線します。
- パワー グランドには共通のグランド ノードを使用し、アナログ グランドには別のノードを使用して、グランド ノイズの影響を最小限に抑えます。これらのグランド ノードは、IC のグランドピンの 1 つの近くの任意の場所に接続します。
- HTSSOP パッケージでは、パッケージの底面にある露出した熱パッドを介して、半導体のダイから熱が除去されます。パッケージの露出したパッドはパッケージの鉛部分に直接接触していませんが、パッケージはデバイス (グランド) の基板に熱的に接続されています。この接続によりヒートシンクが大幅に改善されます。熱除去サブシステムを完成させるには、PCB の設計にサーマルランド、サーマルビア、グランドプレーンを含める必要があります。

9.9.2 レイアウト例

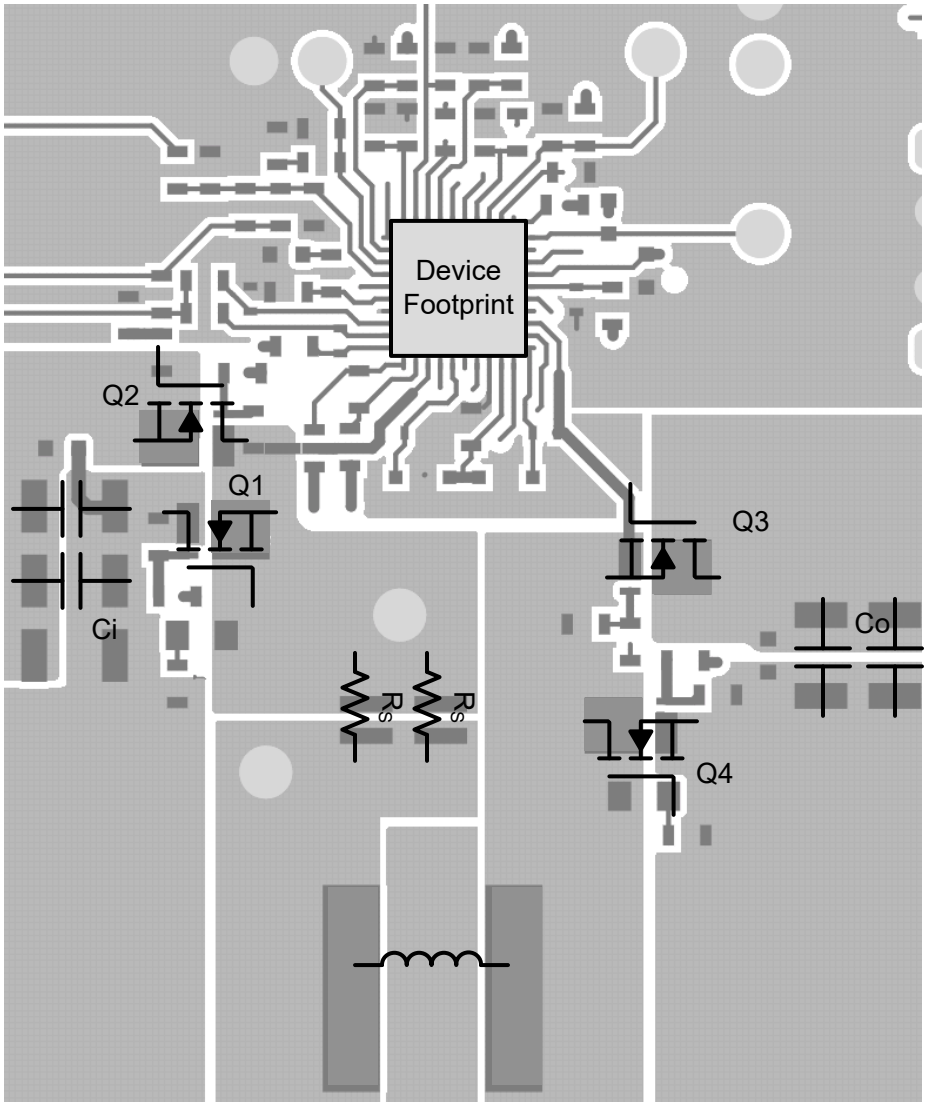


図 9-31. LM51772-Q1 の簡略上層の例

Copyright © 2025 Texas Instruments Incorporated

10 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

10.1 ドキュメントのサポート

10.1.1 関連資料

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

10.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
WEBENCH® is a registered trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (June 2025) to Revision A (October 2025) **Page**

- ドキュメント全体を通してデバイス名を LM51772-Q1 に更新 1
- 正しいデバイス ピン名を示すようピン図を更新 3
- SW2 をハーフブリッジの昇圧側の状態に更新 3
- ISNSP から ISNSN の絶対最大定格を追加 7
- VOUT 推奨動作電圧を変更 8
- POR の正/負方向スレッショルドのパラメータを追加 9
- 同期動作検出周波数のパラメータを追加 9
- SS ピンのクランプ電圧のパラメータを追加 9
- DTRK 動作検出周波数のパラメータを追加 9
- 内部ローパスのコーナー周波数のパラメータを追加 9
- 制御可能な最小オン/オフ時間のパラメータを追加 9

- RT レギュレーション電圧のパラメータを追加 9
- 電流制限スレッショルド電圧のパラメータを追加 9
- ILIM を無効化する最小電圧のパラメータを追加 9
- COMP ソース/シンク電流のパラメータを追加 9
- 内部 FB 動作を選択する最小電圧のパラメータを追加 9
- 低電圧の正/負方向スレッショルドのパラメータを追加 9
- MOSFET DRIVER パラメータセクションを追加 9
- THERMAL SHUTDOWN パラメータセクションを追加 9
- THERMAL WARNING パラメータセクションを追加 9
- CDC 電流センスアンプ帯域幅のパラメータを追加 9
- SPREAD SPECTRUM パラメータセクションを追加 9
- 内部 FB の選択が明確になるように更新 35
- デバイスをイネーブルにする前に設定を行う必要があることを明確にする情報を更新 41
- ISET 計算に、$gm_{(ILIMCOMP)}$ の代わりに $gm_{(ISET)}$ を使用するよう更新 42
- 不足していた分母を式に追加 96
- 式 (式 35、式 40、式 41) の値の代わりに $V_{th+/-(CSB-CSA)}$ 記号を使用するよう更新 97

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LM51772QRHARQ1	Active	Production	VQFN (RHA) | 40	4000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	LM51772Q RHARQ1

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF LM51772-Q1 :

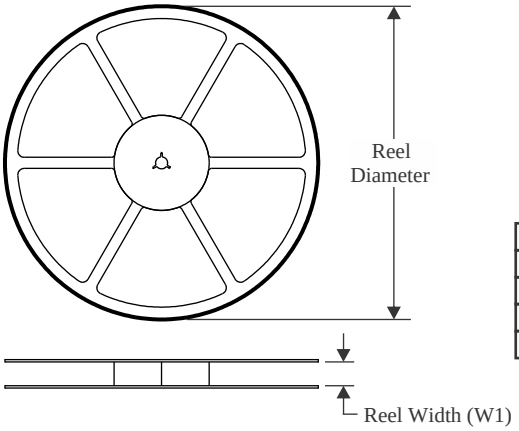
- Catalog : LM51772

NOTE: Qualified Version Definitions:

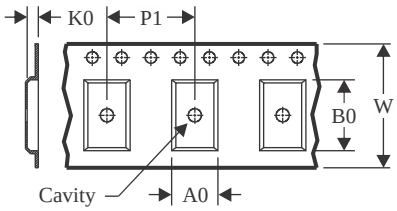
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

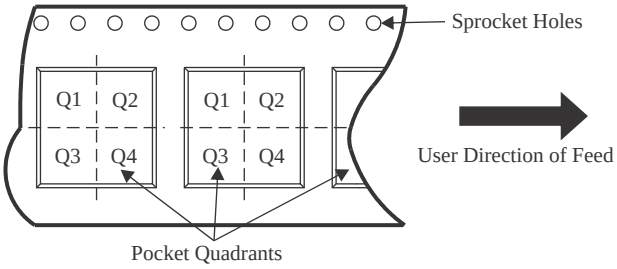


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

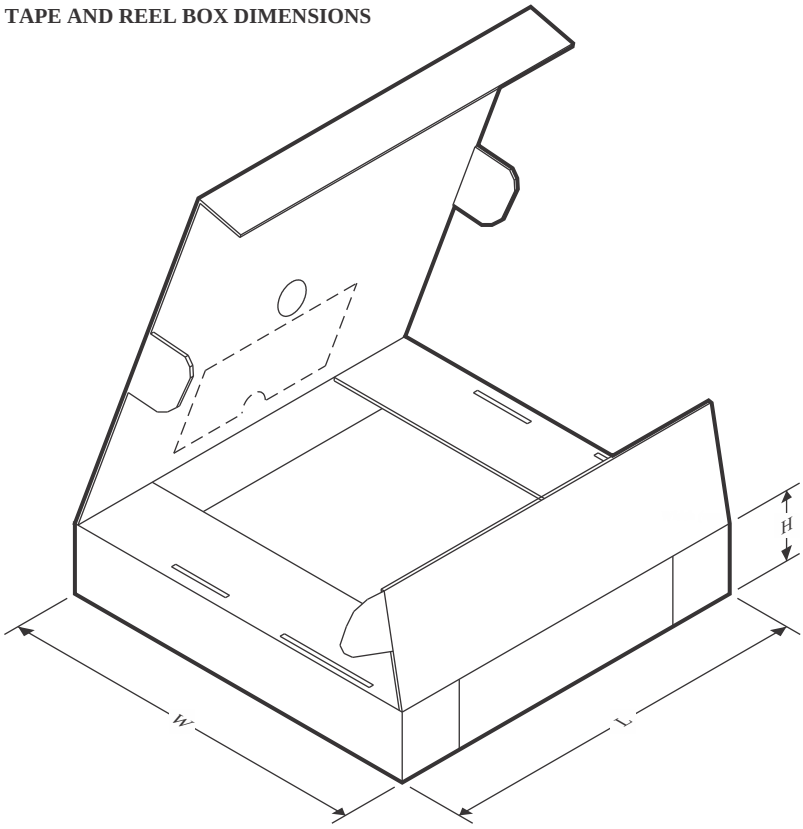
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LM51772QRHARQ1	VQFN	RHA	40	4000	330.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LM51772QRHARQ1	VQFN	RHA	40	4000	360.0	360.0	36.0

GENERIC PACKAGE VIEW

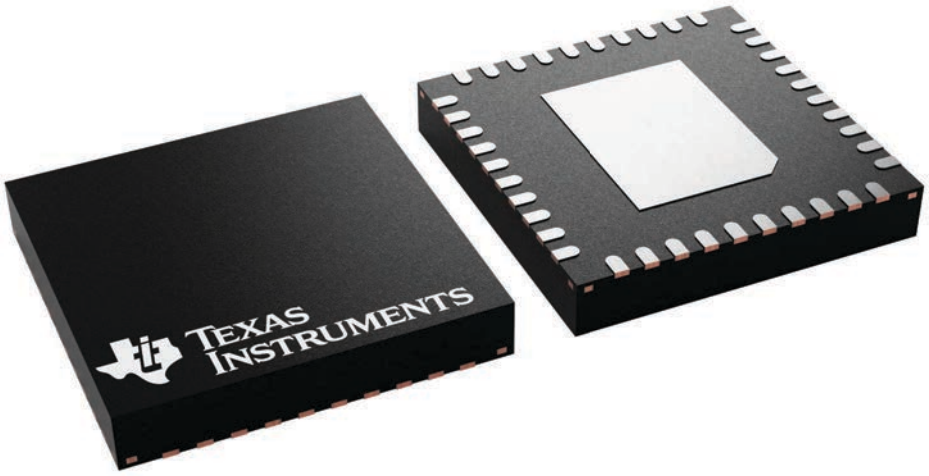
RHA 40

VQFN - 1 mm max height

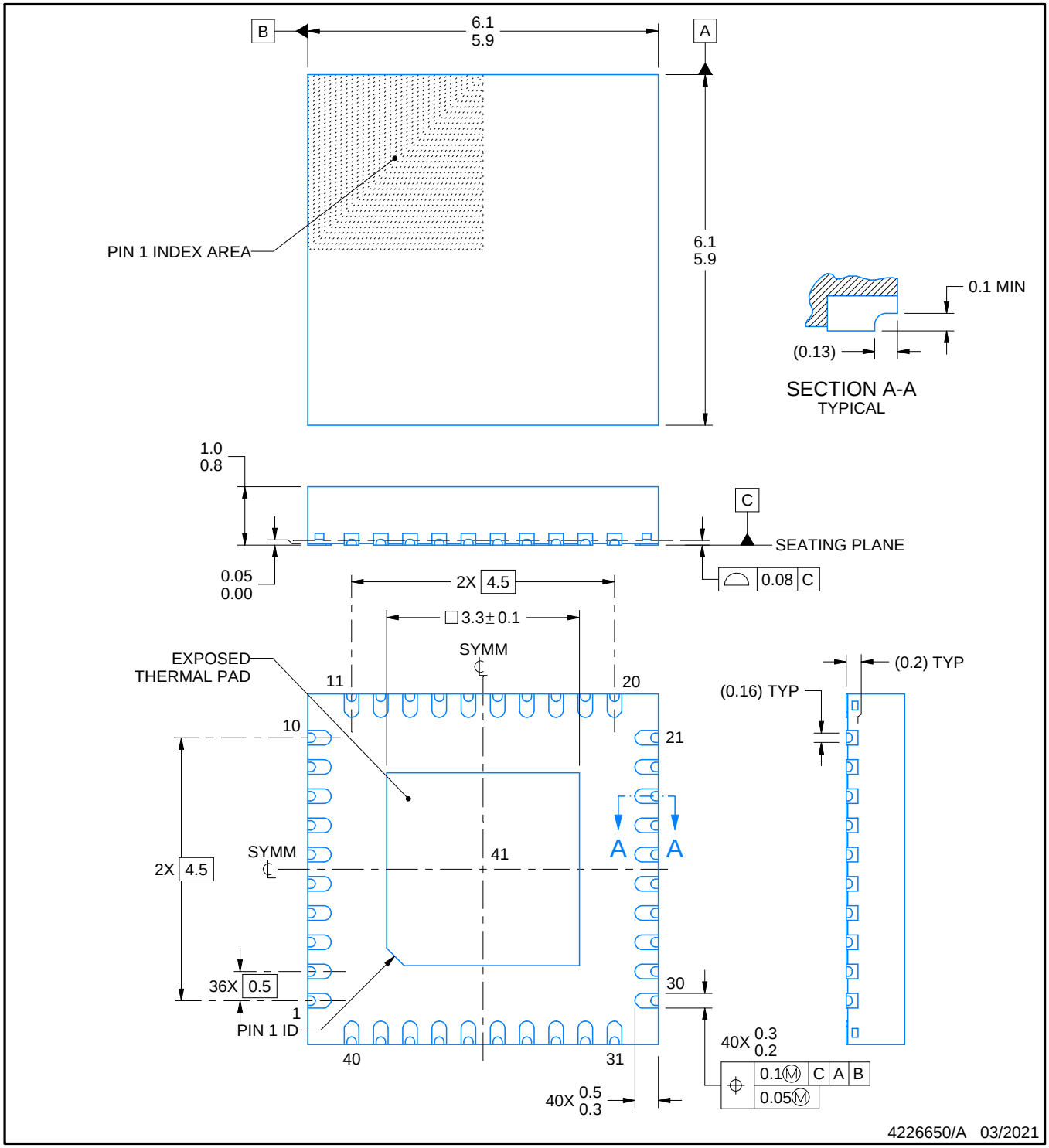
6 x 6, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

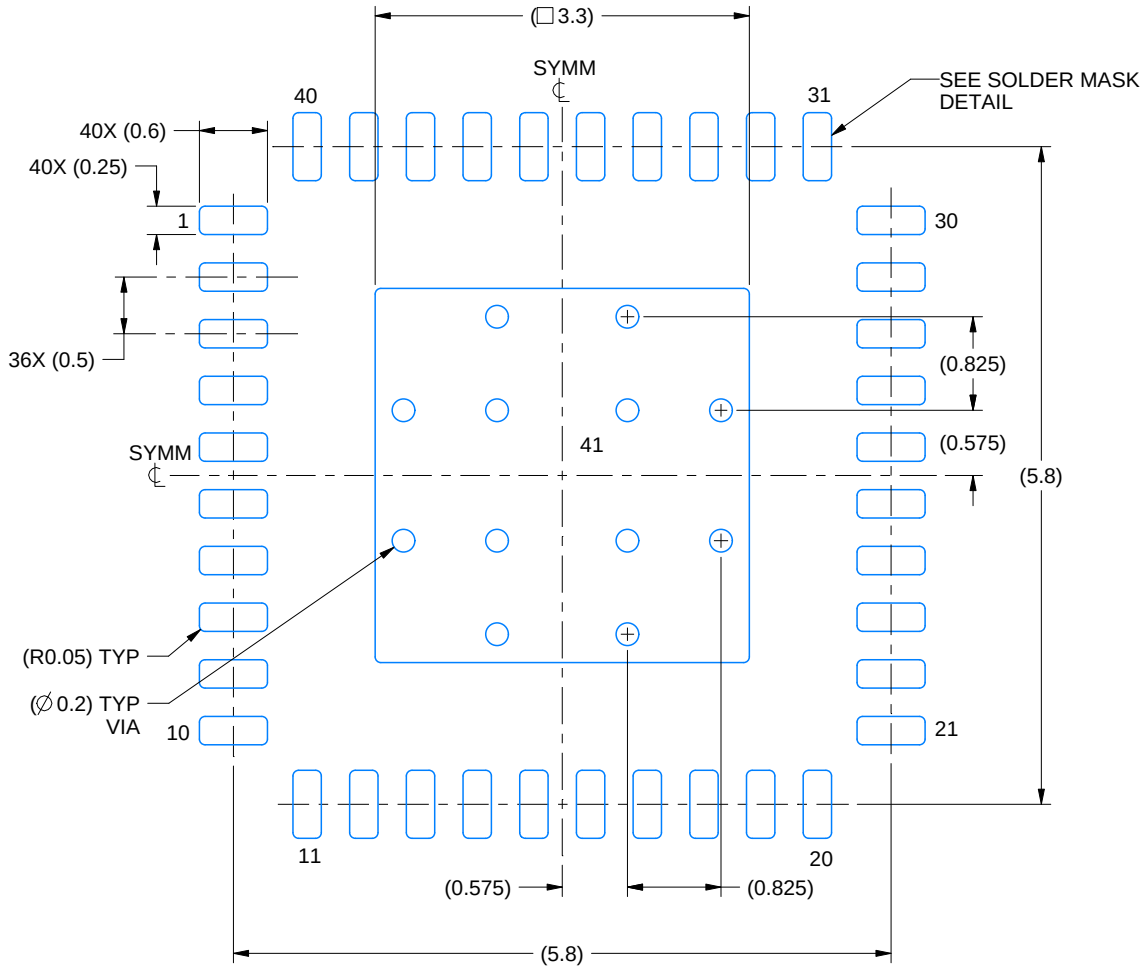


4225870/A

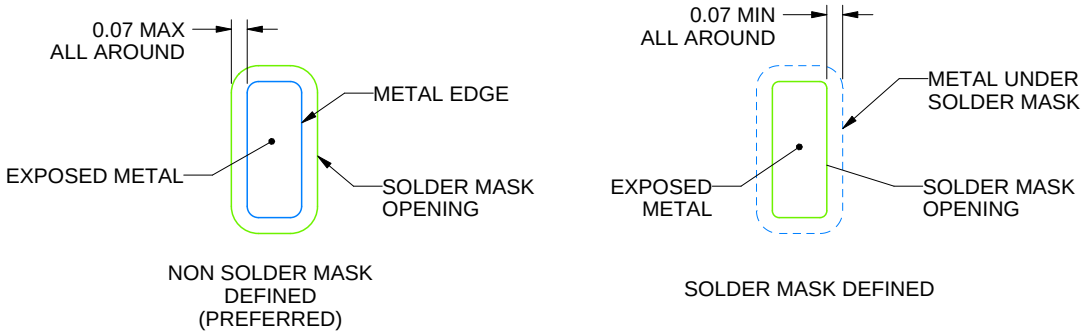


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

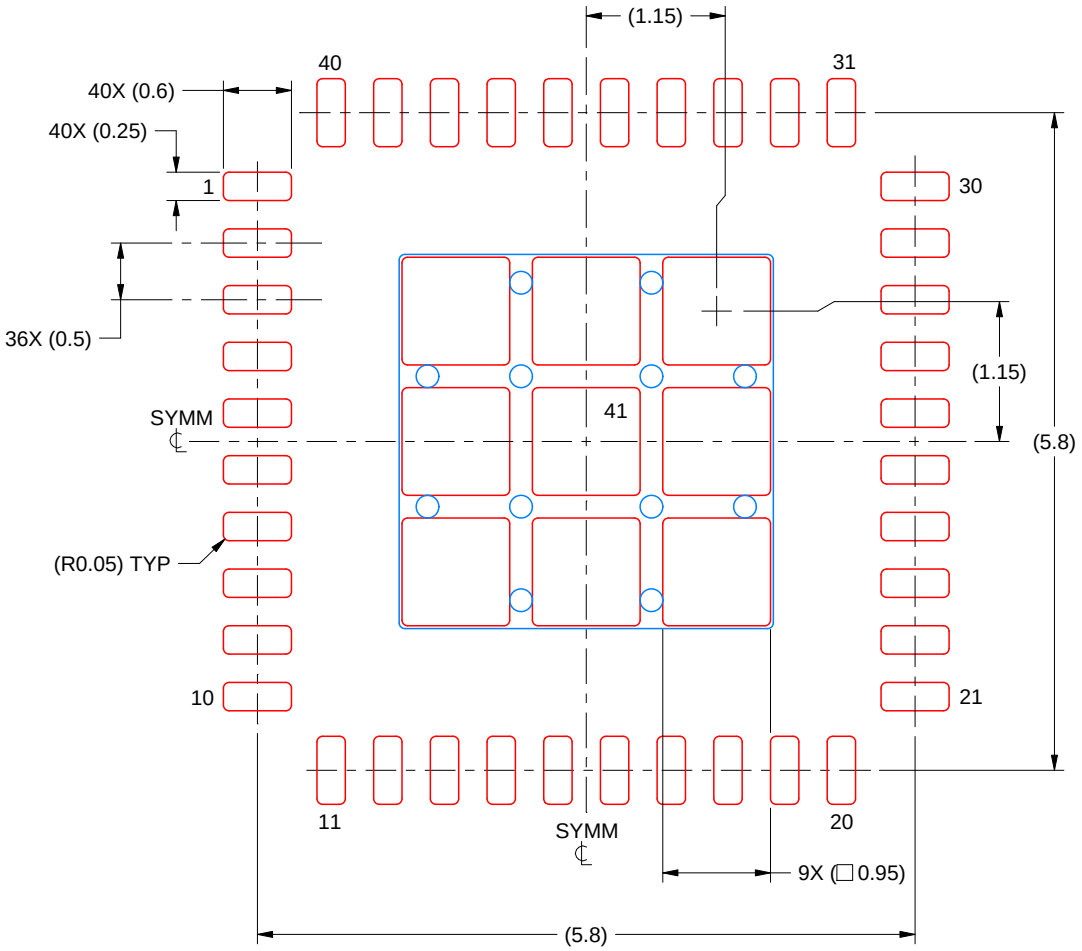


SOLDER MASK DETAILS

4226650/A 03/2021

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 15X

EXPOSED PAD 41
75% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4226650/A 03/2021

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月