

LM5192-Q1 車載対応、I²C 搭載、80V、高効率 CC-CV 降圧コントローラ

1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
 - デバイス温度グレード 1: -40°C ~ +125°C の動作時周囲温度
- I²C を搭載した同期整流 CC-CV 降圧コントローラ
 - 幅広い入力電圧範囲: 4.5V ~ 80V
 - LV148 / ISO21780 要件に適合
 - 1V (3.3V) から 24V (48V) まで、10mV (20mV) 刻みに 1% 精度でプログラム可能な V_{OUT}
 - 3% の精度でプログラム可能な I_{LIM(avg)} 50mA ステップで 0.5A ~ 7.5A (8mΩ R_{SENSE})、200mA ステップで 2A ~ 30A (2mΩ R_{SENSE})
 - 出力スルーレート: 0.5mV/μs ~ 40mV/μs
 - 可変ケーブル電圧降下補償
 - 出力アクティブ放電
- TPS2674x-Q1 USB PD コントローラと互換性があります
- 低 EMI 要件向けの設計
 - CISPR 25 Class 5 準拠
 - ±8% デュアル ランダム スペクトラム 拡散機能
 - プログラム可能な f_{sw}: 200kHz ~ 2.2MHz
 - プログラム可能な PFM または FPWM 制御
- プログラマ可能な保護機能
 - UV / OV (PG) 警告: ±5% または ±10%
 - OVP 警告、故障: 5% から 36% まで 1% 刻みで設定
 - ヒックアップモードによる過電流の内部保護
 - イネーブル、インタラプト、サーマル シャットダウン
- 出力電流を監視する IMON ピン
- 3.5mm × 4.5mm QFN-19 パッケージ、ウェタブル フランク付き

2 アプリケーション

- 車載用電子システム
- インフォテインメントおよびクラスタ
- 48V 車載対応 USB 充電
- オートモーティブ ライティング

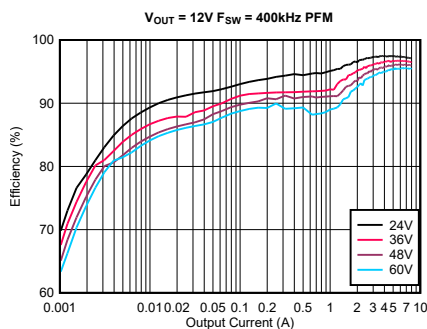
3 説明

LM5192-Q1 は 80V、高効率、同期整流降圧コントローラで、定電流定電圧 (CC-CV) レギュレーションと I²C インターフェイスを搭載しています。

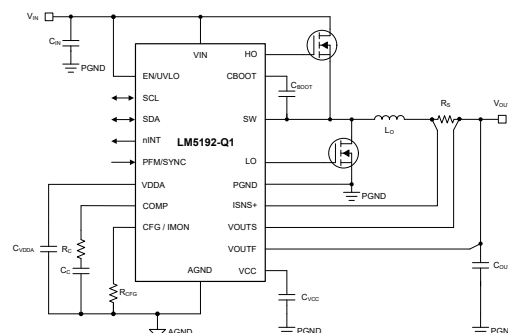
電流モード制御アーキテクチャの標準最小オン時間は 30ns で、高周波数での高い変換比、高速過渡応答、優れた負荷およびライン レギュレーションを実現します。高精度の CC-CV (定電流/定電圧) 動作により、定電流モードと定電圧モード間をシームレスな遷移が可能になります。I²C インターフェイスにより、10mV または 20mV ステップの出力電圧、50mA ~ 200mA ステップでの平均出力電流制限に加えて、出力電圧スルーレート、スイッチング周波数、ソフトスタートのスルーレート、動作モード、電流ループ補償、出力アクティブ放電強度、ケーブル電圧降下補償ゲインをプログラムできます。

また、LM5192-Q1 は、プログラム可能なしきい値による低電圧/過電圧保護、プログラム可能なヒックアップモードによる過電流保護、サーマルシャットダウンなど、多くの安全機能を搭載しています。

LM5192-Q1 の追加機能には、軽負荷状態での低消費電流を実現するプログラム可能なダイオードエミュレーション、障害報告および出力モニタリング用のオープンドレイン nINT フラグ、高精度のイネーブル入力、プリバイアス負荷への単調な起動、統合型デュアル入力 (VIN および VOUTF) VCC 電源レギュレータ、およびコンパニオン USB PD コントローラなどの外部負荷に電力を供給するための特大 VDDA レギュレータが含まれています。



LM5192-Q1 の効率



代表的なアプリケーション回路



LM5192-Q1 には、CISPR 25 の放射エミッション要件への適合を容易にするための複数の機能が搭載されています。まず、対称的なピン配置により入力コンデンサを最適に配置でき、電源ループの寄生インダクタンスの実効値を極めて低く抑えます。これにより、スイッチング損失が低減され、高入力電圧および高スイッチング周波数での EMI 性能が向上します。ピンで選択可能なスイッチ ノードのスルーレート制御機能により、高周波数領域での放射ノイズをさらに低減します。スイッチング周波数は最高 2.2MHz まで抵抗により設定可能で、外部クロック ソースと同期できるため、ノイズに敏感な用途のビート周波数を除去できます。最後に、LM5192-Q1 はピンで選択可能な $\pm 5\%$ または $\pm 10\%$ のデュアル ランダム スプレッド スペクトラム (DRSS) 機能を備えており、三角波変調と疑似ランダム変調を組み合わせることによりピーク放射ノイズを大幅に低減しつつ、出力電圧リップルをきわめて低く抑えます。

LM5192-Q1 コンバータは 3.5mm × 4.5mm 熱最適化 19 ピン QFN パッケージで供給されます。大型の PGND ダイ取り付けパッドにより、放熱性能と基板レベルの信頼性 (BLR) が向上しています。また、ウェットアップ フランク ピンも搭載されており、製造現場で光学検査を容易に行えます。高い電力密度を必要とするアプリケーションを対象にした、有用な電流、寿命全体にわたる信頼性、コスト面で優れた利点を達成する 19 ピン QFN パッケージ。広い入力電圧範囲、低い静止電流消費、高温での動作、サイクルごとの電流制限、低い EMI シグネチャ、小型設計サイズにより、堅牢性と耐久性の強化向上が求められるアプリケーションに最適なポイント オブ ロードレギュレータ デザインを実現できます。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
LM5192-Q1	RGY (VQFN, 19)	4.5mm × 3.5mm

- (1) 詳細については、[メカニカル](#)、[パッケージ](#)、および[注文情報](#)を参照してください。
 (2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

目次

1 特長	1	8 LM5192-Q1 のレジスタ	26
2 アプリケーション	1	9 アプリケーションと実装	39
3 説明	1	9.1 使用上の注意.....	39
4 関連製品	4	9.2 代表的なアプリケーション.....	46
5 ピン構成および機能	5	9.3 電源に関する推奨事項.....	52
6 仕様	7	9.4 レイアウト.....	52
6.1 絶対最大定格.....	7	10 デバイスおよびドキュメントのサポート	56
6.2 ESD Ratings.....	7	10.1 デバイス サポート.....	56
6.3 推奨動作条件.....	7	10.2 ドキュメントのサポート.....	56
6.4 熱に関する情報.....	8	10.3 ドキュメントの更新通知を受け取る方法.....	57
6.5 電気的特性.....	8	10.4 サポート・リソース.....	57
6.6 シリアル制御バスのタイミング要件.....	12	10.5 商標.....	57
7 詳細説明	13	10.6 静電気放電に関する注意事項.....	57
7.1 概要.....	13	10.7 用語集.....	57
7.2 機能ブロック図.....	14	11 改訂履歴	57
7.3 機能説明.....	15	12 メカニカル、パッケージ、および注文情報	57
7.4 デバイスの機能モード.....	24	12.1 テープおよびリール情報.....	58

4 関連製品

デバイスのオプション	V _{IN} (最大)	V _{OUT} (最大)	I _{OUT} (最大)	I _{LIM(avg)} (最大)
LM25192-Q1	42V	24V	5A (R _S = 8mΩ)	7.5A
			20A (R _S = 2mΩ)	30A
LM5192-Q1	80V	48V	5A (R _S = 8mΩ)	7.5A
			20A (R _S = 2mΩ)	30A
LM5192	80V	48V	5A (R _S = 8mΩ)	7.5A
			20A (R _S = 2mΩ)	30A

5 ピン構成および機能

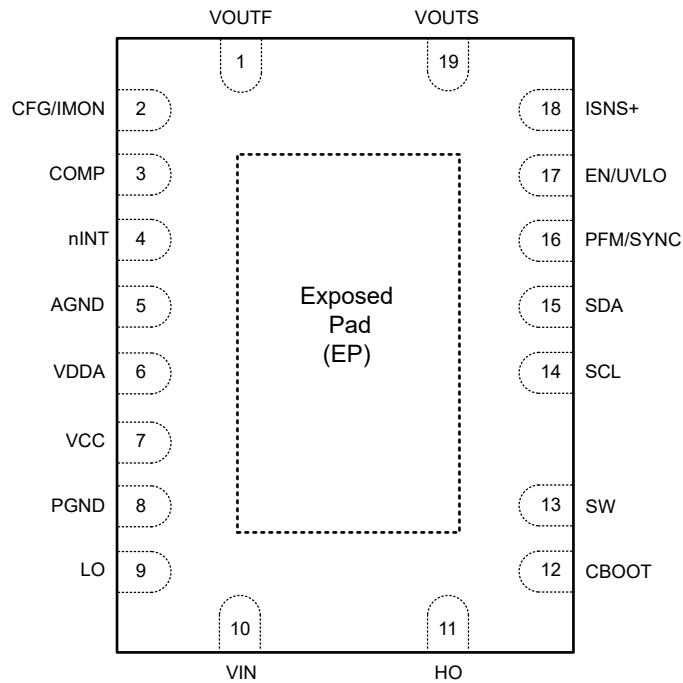


図 5-1. RGY 19 ピン VQFN (上面図)

表 5-1. ピンの機能

ピン		タイプ ⁽¹⁾	説明
番号	名称		
1	VOUTF	P	出力電圧放電ピンおよび VCC バイアスレギュレータ入力。VOUTF ピンは、それぞれの出力コンデンサの出力側に接続します。
2	CFG/IMON	I	構成および出力電流監視ピン。抵抗をグラウンドに接続して I ² C アドレスを設定し、IMON 機能と定電流レギュレーションを有効または無効にします。
3	COMP	O	外部補償ピン。このピンは、相互コンダクタンスアンプの出力です。COMP ピンと AGND との間に補償回路を接続します。
4	nINT	O	割り込みピン。このピンは、ステータスレジスタが変更されると Low にトグルするオープンコレクタ出力です。
5	AGND	G	アナロググラウンドピン。内部電圧リファレンスとアナログ回路のグラウンドの帰線。
6	VDDA	P	内部アナログバイアスレギュレータ出力ピン。VDDA と AGND の間に 22μF セラミックデカップリングコンデンサを、ピンにできる限り近づけて接続します。
7	VCC	P	VCC バイアス電源ピン。4.7μF セラミックコンデンサは、VCC と PGND の間で、それぞれのピンにできるだけ近づけて接続します。
8	PGND	G	コントローラ電源グラウンドピン。システムグラウンドに接続します。
9	LO	O	ローサイドパワー MOSFET ゲートドライバ出力。
10	VIN	P	VCC レギュレータへのコントローラ入力ピン。入力電源と入力フィルタコンデンサに接続します。VIN ピンから入力コンデンサへの経路はできる限り短くする必要があります。
11	HO	O	ハイサイドパワー MOSFET ゲートドライバ出力。
12	CBOOT	P	ブートストラップゲート駆動のハイサイドドライバ電源。CBOOT ピンと SW ピンの間に 47nF ブートストラップコンデンサを接続します。
13	SW	P	スイッチノードピンおよびハイサイドゲートドライバのリターン。CBOOT ピンと SW ピン間の 47nF ブートストラップコンデンサ、ハイサイド MOSFET のソース端子、ローサイド MOSFET のドレイン端子に接続します。
14	SCL	I/O	I ² C クロックピン。

表 5-1. ピンの機能 (続き)

ピン		タイプ ⁽¹⁾	説明
番号	名称		
15	SDA	I/O	I ² C データピン。
16	PFM / SYNC	I	PFM / FPWM モード選択および同期入力ピン。PFM / SYNC ピンを VDDA に接続すると、ダイオード エミュレーション モードが有効になります。PFM / SYNC ピンを AGND に接続すると、軽負荷時に連続導通して強制 PWM (FPWM) モードが有効になります。PFM / SYNC ピンを同期入力として使用して、内部発振器を外部クロックに同期することもできます。
17	EN / UVLO	I	イネーブル / 低電圧誤動作防止ピン。このピンを High、Low に駆動すると、デバイスは READY モードになります。READY モードでは、I ² C インターフェイスが利用可能であり、OPERATION レジスタの CONTROLLER_EN ビットを設定することにより、コントローラを有効にできます。EN/UVLO 機能が不要な場合は、このピンを VIN ピンに接続します。外付けの抵抗デバイダ ネットワークを接続して、UVLO スレッシュホールドを設定します。
18	ISNS+	I	電流検出アンプ入力。低電流ケルビン接続を使用して、外部電流センス抵抗のインダクタ側に ISNS+ ピンを接続します。
19	VOUTS	I	出力電圧センスおよび電流センスアンプの入力。VOUTS ピンを対応する電流センス抵抗の出力側に接続します。
—	EP	—	露出したサーマルパッド。複数のビアを使用してシステムグラウンドに接続します。

(1) P = 電源、G = グランド、I = 入力、O = 出力。

6 仕様

6.1 絶対最大定格

(特に注記のない限り) (1)推奨動作接合温度範囲を超えて

		最小値	最大値	単位
入力電圧	VIN から PGND	-0.3	87.5	V
入力電圧	SW ~ PGND	-0.3	87.5	V
入力電圧	SW から PGND、過渡 < 20ns	-5	90	V
入力電圧	EN/UVLO から PGND	-0.3	87.5	V
入力電圧	VOUTF、VOUTS、ISNS+ から PGND	-0.3	55	V
入力電圧	VOUTS から ISNS+	-0.3	0.3	V
入力電圧	VDDA、SDA、SCL、nINT、CONFIG、PFM/SYNC、COMP から AGND	-0.3	6.5	V
入力電圧	PGND から AGND へ	-0.3	0.3	V
出力電圧	CBOOT から SW、過渡 < 20ns	-2		V
出力電圧	SW に対する CBOOT	-0.3	10	V
出力電圧	VCC から AGND へ	-0.3	10	V
出力電圧	HO から SW	-0.3	V _{CBOOT} + 0.3	V
出力電圧	HO から SW、過渡 < 20ns	-5		V
出力電圧	LO から PGND	-0.3	V _{VCC} + 0.3	V
出力電圧	LO から PGND、過渡 < 20ns	-1.5		V
動作時の接合部温度、T _J	動作時の接合部温度、T _J	-55	150	°C
保管温度、T _{stg}	保管温度、T _{stg}	-40	150	°C

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

6.2 ESD Ratings

			値	単位	
V _(ESD)	静電放電	人体モデル (HBM)、AEC - Q100-002 準拠 ⁽¹⁾	±2000	V	
		荷電デバイス モデル (CDM)、AEC Q100-011 準拠	コーナーピン (1、2、9、10、11、12、18、19)		±750
			その他のピン		±750

(1) AEC Q100-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

6.3 推奨動作条件

動作時接合部温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V _{IN}	入力電源電圧範囲	4.5		80	V
V _{OUT}	出力電圧範囲 (10mV ステップ)	1		24	V
V _{OUT}	出力電圧範囲 (20mV ステップ)	3.3		48	V
	VIN、EN/UVLO、SW から PGND	VIN、EN/UVLO、SW から PGND		80	V
	SDA、SCL、PFM/SYNC、nINT から AGND	SDA、SCL、PFM/SYNC、nINT から AGND		5.25	V
	VOUTF、VOUTS、ISNS+ から PGND	VOUTF、VOUTS、ISNS+ から PGND		48	V
	PGND から AGND へ			0.3	V
T _J	動作時接合部温度	-40		150	°C

6.4 熱に関する情報

熱評価基準 ⁽¹⁾		LM5192-Q1	単位
		RGY (VQFN)	
		19 ピン	
R _{θJA}	接合部から周囲への熱抵抗	44.8	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	40.1	°C/W
R _{θJB}	接合部から基板への熱抵抗	21.1	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	0.9	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	21.0	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	6.0	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。
[SPRA953](#)

6.5 電気的特性

T_J = -40°C ~ +150°C。標準値は T_J = 25°C、V_{IN} = 24V (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源 (VIN)						
I _{Q-SD}	V _{IN} のシャットダウン時の電流	非スイッチング、V _{IN} = 48V、V _{EN} = 0V、V _{FB} = V _{REF} + 50mV		4.7	11	μA
I _{Q-SBY}	V _{IN} スタンバイ電流 ⁽¹⁾	非スイッチング、V _{IN} = 48V、0.5V ≤ V _{EN} ≤ 1V		310		μA
I _{Q-READY}	V _{IN} 準備完了電流 ⁽¹⁾	非スイッチング、V _{IN} = 48V、V _{EN} ≥ 1V		1.4		mA
I _{Q-SLEEP}	V _{IN} スリープ電流、5V 出力、無負荷	V _{IN} = 48V、V _{EN} = 5V、V _{OUTF} = V _{VOUTS} = 5V、無負荷、非スイッチング、V _{PFM/SYNCIN} = 5V		85	100	μA
イネーブル (EN / UVLO)						
V _{SBY-TH}	シャットダウンからスタンバイへのスレッショルド電圧	V _{EN/UVLO} の立ち上がり		0.55		V
V _{EN-TH}	イネーブル電圧立ち上がりスレッショルド	V _{EN/UVLO} の立ち上がり	0.93	1.0	1.07	V
内部 LDO (VCC)						
V _{VCC1}	VCC のレギュレーション電圧	I _{VCC} = 50mA	4.5	5	5.5	V
V _{VCC2}	VCC のレギュレーション電圧	I _{VCC} = 50mA	7.5	8	8.5	V
V _{VCC(DO1)}	VIN から VCC へのドロップアウト電圧	V _{IN} = 5V、I _{VCC} = 50mA		130		mV
V _{VCC(DO2)}	BIAS から VCC へのドロップアウト電圧	V _{VOUTF} = 5V、I _{VCC} = 50mA		110		mV
I _{VCC(LIM)}	VCC 電流制限	V _{CC} = 4V	80	220	367	mA
内部 LDO (VDDA)						
V _{VDDA}	VDDA のレギュレーション電圧	I _{VDD} = 5mA	4.75	5	5.25	V
V _{VDDA(DO)}	VCC から VDDA へのドロップアウト電圧	V _{IN} = 5V、I _{VDD} = 30mA		125		mV
I _{VDDA-CL}	VDDA 電流制限	V _{VDDA} = 4.5V	36	50	67	mA
外部バイアス (VOUTF)						
V _{BIAS-TH}	V _{IN} から V _{VOUTF} への切り替え立ち上がりスレッショルド		4.85	4.9	4.967	V
V _{BIAS-HYS}	V _{IN} から V _{VOUTF} への切り替えヒステリシス			140		mV
アクティブ放電 (VOUTF)						
I _{DISCHARGE}	出力放電電流	0xD2[2:1] = 01b		24		mA
		0xD2[2:1] = 10b		48		mA
		0xD2[2:1] = 11b		72		mA
出力電圧 (VOUT)						
V _{OUT(MIN)}	最小出力電圧設定ポイント - 10mV ステップ	0xD1[7] = 0b、0x21 = 0x64h	0.98	1	1.02	V
V _{OUT(MIN)}	最小出力電圧設定ポイント - 20mV ステップ	0xD1[7] = 1b、0x21 = 0xA5h	3.267	3.3	3.333	V

6.5 電気的特性 (続き)

$T_J = -40^{\circ}\text{C} \sim +150^{\circ}\text{C}$ 。標準値は $T_J = 25^{\circ}\text{C}$ 、 $V_{IN} = 24\text{V}$ (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{OUT(DEFAULT)}$	デフォルト出力電圧設定ポイント	$0xD1[7] = 1b, 0x21 = 0xFAh$	4.95	5.0	5.05	V
$V_{OUT(MAX)}$	最大出力電圧設定ポイント	$0xD1[7] = 1b, 0x21 = 0x960h$	23.76	24	24.24	V
$V_{OUT(MAX)}$	最大出力電圧設定ポイント - 10mV ステップ	$0xD1[7] = 0b, 0x21 = 0x960h$	23.76	24	24.24	V
$V_{OUT(MAX)}$	最大出力電圧設定ポイント - 20mV ステップ	$0xD1[7] = 1b, 0x21 = 0x960h$	47.52	48	48.48	V
エラー アンプ (COMP)						
$g_{m-EXTERNAL}$	EA 相互コンダクタンス外部補償		700	1000		μS
パルス周波数変調 (PFM/SYNC)						
$V_{IL-SYNC}$	PFM/SYNC 入力スレッショルド Low		0.8			V
$V_{IH-SYNC}$	PFM/SYNC 入力スレッショルド High				1.17	V
Δf_{SYNC}	同期周波数範囲		-20		20	%
$t_{SYNC-TON-MIN}$	外部同期信号の最小正パルス幅				25	ns
$t_{SYNC-TOFF-MIN}$	外部同期信号の最小負パルス幅				250	ns
スイッチング周波数 (SW)						
f_{SW1}	スイッチング周波数 1	$0xD1[4:3] = 00b$	180	200	225	kHz
f_{SW2}	スイッチング周波数 2	$0xD1[4:3] = 01b$	360	400	444	kHz
f_{SW3}	スイッチング周波数 3	$0xD1[4:3] = 10b$	540	600	660	kHz
f_{SW4}	スイッチング周波数 4	$0xD1[4:3] = 11b$	1.98	2.2	2.42	MHz
t_{ON-MIN}	最小オン時間 ⁽¹⁾			25		ns
$t_{OFF-MIN}$	最小オフ時間			80	126	ns
デュアル ランダム スペクトラム 拡散機能 (DRSS)						
Δf_{SS}	変調範囲			10		%
f_m	変調周波数	$0xD1[5] = 0b$		10		kHz
パワー グッド						
V_{PG-UV}	パワーグッド UV トリップ レベル	設定された V_{OUT} に対して立ち下がり、 $0xD9[3] = 0b$ です	93.5	95	96.5	%
		設定された V_{OUT} に対して立ち下がり、 $0xD9[3] = 1b$ です	88.5	90	91.5	%
V_{PG-OV}	パワーグッド OV トリップ レベル	設定された V_{OUT} に対して立ち上がり、 $0xD9[3] = 0b$ です	103.2	105	106.8	%
		設定された V_{OUT} に対して立ち上がり、 $0xD9[3] = 1b$ です	108.5	110	111.5	%
$V_{PG-UV-HYST}$	パワー グッド UV ヒステリシス			1.1		%
$V_{PG-OV-HYST}$	パワー グッド OV ヒステリシス			1.1		%
$t_{PG-DEGLITCH}$	パワー グッド グリッチ除去フィルタ時間	V_{OUT} の立ち下がりまたは立ち上がり		30		μs
過電圧保護 (nINT)						
V_{OVP}	過電圧保護	設定された V_{OUT} に対する立ち上がり、 $0xD5 = 60h$		105		%
V_{OVP}	過電圧保護	設定された V_{OUT} に対する立ち上がり、 $0xD5 = 7Fh$		136		%
$V_{OVP-HYST}$	過電圧保護ヒステリシス	設定された V_{OUT} に対する立ち上がり		2		%
$V_{OL-nINT}$	nINT 電圧 Low	オープン コレクタ、 $I_{nFAULT} = 2\text{mA}$			0.4	V
スタートアップ (ソフト スタート)						
SR_{SS}	内部ソフト スタート スルーレート	$0xD2[0] = 0b$		4		V/ms
		$0xD2[0] = 1b$		2		V/ms
内部ヒカップモード						
$t_{HIC-DLY}$	HICCUP モードの起動遅延	$V_{ISNS+} - V_{VOUT} > 60\text{mV}$		512		サイクル
$t_{HIC-DURATION}$	HICCUP モード障害	$V_{ISNS+} - V_{VOUT} > 60\text{mV}$		16384		サイクル

6.5 電気的特性 (続き)

$T_J = -40^{\circ}\text{C} \sim +150^{\circ}\text{C}$ 。標準値は $T_J = 25^{\circ}\text{C}$ 、 $V_{IN} = 24\text{V}$ (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
ハイサイドゲートドライバ (HO)						
$V_{HO-HIGH}$	HO High 状態出力電圧	$I_{HO} = -100\text{mA}$, $V_{HO-HIGH} = V_{CBOOT} - V_{HO}$		370		mV
V_{HO-LOW}	HO Low 状態出力電圧	$I_{HO} = 100\text{mA}$		75		mV
$V_{HO-RISE}$	HO 立ち上がり時間 (10% から 90% へ)	$C_{LOAD} = 2.7\text{nF}$		27		ns
$V_{HO-FALL}$	HO 立ち下がり時間 (90% から 10% へ)	$C_{LOAD} = 2.7\text{nF}$		8		ns
ローサイドゲートドライバ (LO)						
$V_{LO-HIGH}$	LO High 状態出力電圧	$I_{LO} = -100\text{mA}$		340		mV
V_{LO-LOW}	LO Low 状態出力電圧	$I_{LO} = 100\text{mA}$		75		mV
$V_{LO-RISE}$	LO 立ち上がり時間 (10% から 90% へ)	$C_{LOAD} = 2.7\text{nF}$		20		ns
$V_{LO-FALL}$	LO 立ち下がり時間 (90% から 10% へ)	$C_{LOAD} = 2.7\text{nF}$		8		ns
アダプティブ デッドタイム制御						
t_{DEAD1}	HO オフから LO オンまでのデッドタイム			25		ns
t_{DEAD2}	LO オフから HO オンまでのデッドタイム			15		ns
過電流保護 (OCP)						
V_{CS-TH}	CS 電圧スレッシュホールド	ISNS+ から VOUTS まで測定	54	60	66	mV
$t_{DELAY-CS}$	出力までの CS 遅延			85		ns
A_{CS}	CS アンプのゲイン ⁽¹⁾			10		V/V
$I_{BIAS-CS}$	CS アンプ入力バイアス電流 ⁽¹⁾			0.3		μA
$V_{CS-TH-NEG}$	CS の負電圧スレッシュホールド			30		mV
平均出力電流制限						
$I_{LIM(MIN)}$	最小定電流設定ポイント	$R_{SENSE} = 2\text{m}\Omega$, $0x\text{D0} = 0\text{Ah}$		2		A
$I_{LIM(MIN)}$	最小定電流設定ポイント	$R_{SENSE} = 8\text{m}\Omega$, $0x\text{D0} = 0\text{Ah}$		0.5		A
$I_{LIM(TYP)}$	最大定電流設定ポイント	$R_{SENSE} = 2\text{m}\Omega$, $0x\text{D0} = 64\text{h}$, $T_J = -40^{\circ}\text{C}$ から $+85^{\circ}\text{C}$	19.2	20	20.8	A
$I_{LIM(TYP)}$	最大定電流設定ポイント	$R_{SENSE} = 8\text{m}\Omega$, $0x\text{D0} = 64\text{h}$, $T_J = -40^{\circ}\text{C}$ から $+85^{\circ}\text{C}$	4.8	5	5.2	A
$I_{LIM(MAX)}$	最大定電流設定ポイント	$R_{SENSE} = 2\text{m}\Omega$, $0x\text{D0} = 96\text{h}$		30		A
$I_{LIM(MAX)}$	最大定電流設定ポイント	$R_{SENSE} = 8\text{m}\Omega$, $0x\text{D0} = 96\text{h}$		7.5		A
I_{LIM_STEP}	定電流ステップ サイズ	$R_{SENSE} = 2\text{m}\Omega$		200		mA
I_{LIM_STEP}	定電流ステップ サイズ	$R_{SENSE} = 8\text{m}\Omega$		50		mA
出力電流モニタ (IMON)						
A_{IMON}	I_{OUT} 監視アンプの V_{CS} から V_{OUT} へのゲイン	$V_{CS} = 60\text{mV}$	24.6	25	25.4	V/V
V_{OFFSET}	I_{OUT} 監視アンプのオフセット電圧	$V_{CS} = 0\text{mV}$	0.975	1	1.025	V
ケーブル電圧降下補償						
A_{CDC}	最大ケーブル電圧降下補償ゲイン	$0x\text{D8}[5:0] = 3\text{Fh}$		62		V/V
A_{CDC_STEP}	ケーブル電圧降下補償ゲインのステップ サイズ			2		V/V
シリアル制御バス (SCL、SDA)						
V_{IH}	入力 HIGH レベル				2	V
V_{IL}	入力 LOW レベル		0.8			V
V_{HYST}	入力ヒステリシス			320		mV
V_{OL}	出力 Low レベル	$I_{OL} = 3\text{mA}$, 標準モード/高速モード	0		0.4	V
V_{OL}	出力 Low レベル	$I_{OL} = 20\text{mA}$, 高速モード プラス	0		0.4	V
I_{IH}	高入力電流	ピンから V_{I2C} への接続	-10		10	μA
I_{IL}	入力 Low 電流	ピンから GND への接続	-10		10	μA
C_{IN}	入力容量			5		pF
サーマル シャットダウン (TSD)						

6.5 電気的特性 (続き)

$T_J = -40^{\circ}\text{C} \sim +150^{\circ}\text{C}$ 。標準値は $T_J = 25^{\circ}\text{C}$ 、 $V_{IN} = 24\text{V}$ (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$T_{J\text{-SD}}$	サーマル シャットダウンのスレッシュホルド (1)	温度上昇		175		$^{\circ}\text{C}$
$T_{J\text{-HYS}}$	サーマル シャットダウン ヒステリシス (1)			15		$^{\circ}\text{C}$

(1) 設計により規定されています。実製品の検査は行っていません。

6.6 シリアル制御バスのタイミング要件

I²C の電源および温度範囲内 (特に記述のない限り)

			最小値	標準値	最大値	単位
f _{SCL}	SCL クロック周波数	スタンダード モード	> 0		100	kHz
		ファースト モード	> 0		400	kHz
		ファースト モード プラス	> 0		1	MHz
t _{LOW}	SCL の Low 期間	スタンダード モード	4.7			μs
		ファースト モード	1.3			μs
		ファースト モード プラス	0.5			μs
t _{HIGH}	SCL の High 期間	スタンダード モード	4.0			μs
		ファースト モード	0.6			μs
		ファースト モード プラス	0.26			μs
t _{HD,STA}	START または REPEAT-START 条件のホールド時間	スタンダード モード	4.0			μs
		ファースト モード	0.6			μs
		ファースト モード プラス	0.26			μs
t _{SU,STA}	START または REPEATED-START 条件のセットアップ時間	スタンダード モード	4.7			μs
		ファースト モード	0.6			μs
		ファースト モード プラス	0.26			μs
t _{HD,DAT}	データ ホールド時間	スタンダード モード	0			μs
		ファースト モード	0			μs
		ファースト モード プラス	0			μs
t _{SU,DAT}	データ セットアップ時間	スタンダード モード	250			ns
		ファースト モード	100			ns
		ファースト モード プラス	50			ns
t _{SU,STO}	停止条件のセットアップ時間	スタンダード モード	4.0			μs
		ファースト モード	0.6			μs
		ファースト モード プラス	0.26			μs
t _{BUF}	STOP と START 間のバス解放時間	スタンダード モード	4.7			μs
		ファースト モード	1.3			μs
		ファースト モード プラス	0.5			μs
t _r	SCL と SDA の立ち上がり時間	スタンダード モード			1000	ns
		ファースト モード			300	ns
		ファースト モード プラス			120	ns
t _f	SCL と SDA の立ち下がり時間	スタンダード モード			300	ns
		ファースト モード			300	ns
		ファースト モード プラス			120	ns
C _b	各バスラインの容量性負荷	スタンダード モード			400	pF
		ファースト モード			400	pF
		ファースト モード プラス			550	pF
t _{VD,DAT}	データ有効時間	スタンダード モード			3.45	μs
		ファースト モード			0.9	μs
		ファースト モード プラス			0.45	μs
t _{VD,ACK}	データ有効アクリッジ時間	スタンダード モード			3.45	μs
		ファースト モード			0.9	μs
		ファースト モード プラス			0.45	μs
t _{SP}	入力フィルタ	ファースト モード			50	ns
		ファースト モード プラス			50	ns

7 詳細説明

7.1 概要

LM5192-Q1 は 80V、高効率、同期整流降圧コントローラで、定電流定電圧 (CC-CV) レギュレーションと I²C インターフェイスを搭載しています。

本コントローラはピーク電流モード制御アーキテクチャを採用しているため、ループ補償が簡単で、過渡応答が高速であり、負荷およびラインレギュレーションが非常に優れています。高精度の CC-CV (定電流/定電圧) 動作により、定電流モードと定電圧モード間をシームレスな遷移が可能になります。このデバイスには、デュアル入力 (VIN および VOUTF) VCC 電源レギュレータと、コンパニオン USB PD コントローラなどの外部負荷に電力を供給するためのオーバーサイズ VDDA レギュレータが内蔵されています。I²C インターフェイスにより、10mV または 20mV ステップの出力電圧、50mA ~ 200mA ステップでの平均出力電流制限に加えて、出力電圧スルーレート、スイッチング周波数、ソフトスタートのスルーレート、動作モード、電流ループ補償、出力アクティブ放電強度、ケーブル電圧降下補償ゲインをプログラムできます。

出力を VOUTF ピンに接続して、高入力電圧のアプリケーションで効率を最大化できます。プログラマブルなダイオードエミュレーション機能により、不連続導通モード (DCM) 動作をイネーブルにして、軽負荷条件時の効率をさらに向上させ、消費電力を低減できます。

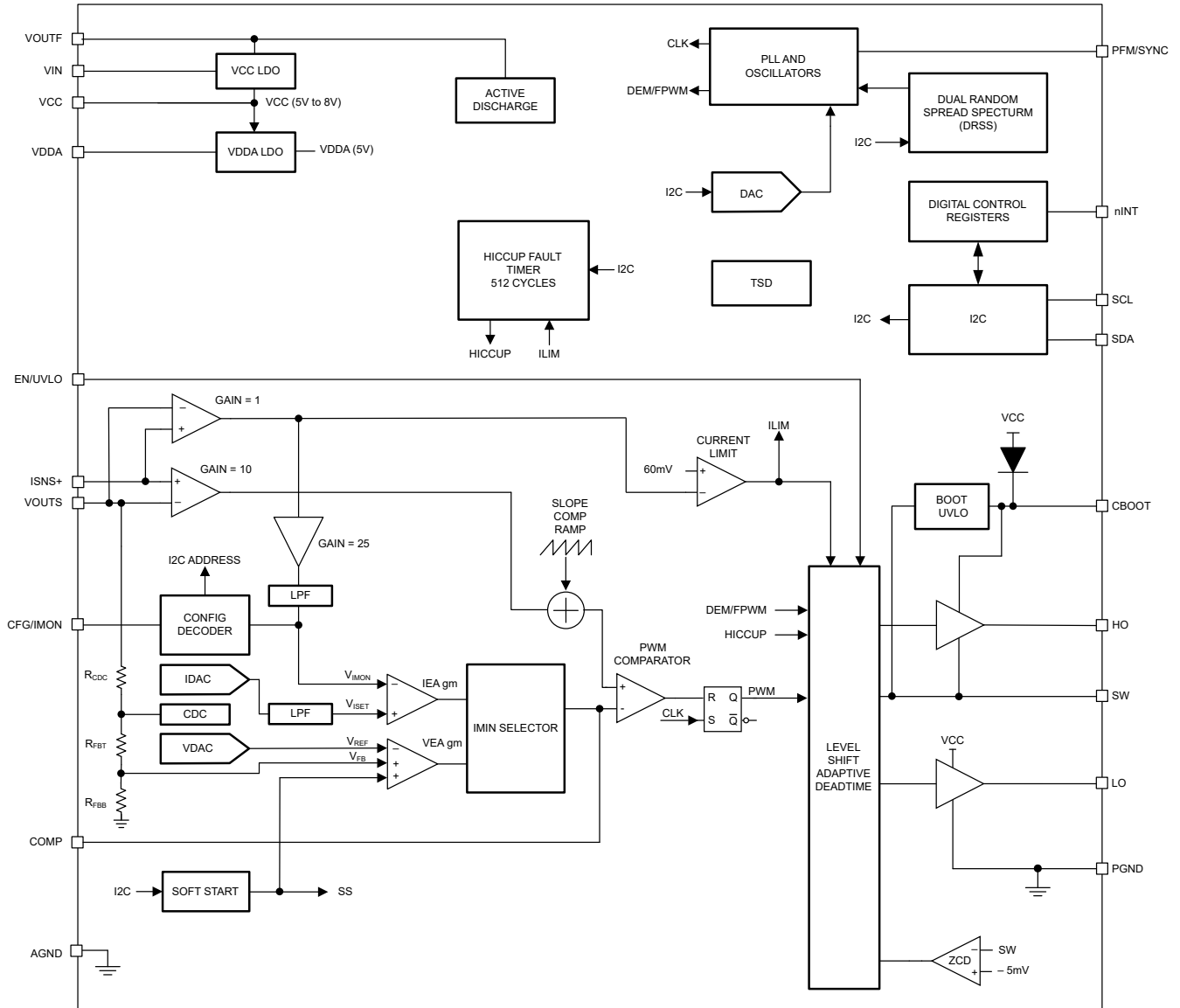
また LM5192-Q1 は、出力低電圧および過電圧保護とプログラマブルなスレッシュホールドによる過電流保護、プログラマブルなヒカップモードによる過電流保護、サーマルシャットダウン、高精度イネーブル、障害およびステータス通知用のオープンドレイン nINT フラグなど、一連の安全機能も備えています。

LM5192-Q1 には、産業用 EMI 要件を定義するを定義する車載対応 CISPR 25 Class 5 など、さまざまな EMI 規格への準拠を容易にする機能が搭載されています。デュアルランダム拡散スペクトラム (DRSS) 手法により、ピーク高調波 EMI シグネチャを低減できます。

LM5192-Q1 は、放熱を最大化できる露出 PGND パッド付きの 19 ピン QFN パッケージで供給されます。

7.2 機能ブロック図

ADVANCE INFORMATION



7.3 機能説明

7.3.1 入力電圧範囲 (V_{IN})

LM5192-Q1 の動作入力電圧範囲は 4.5V ~ 80V です。このデバイスは、12V、24V および 48V の車載電源レールからの降圧変換を目的としています。LM5192-Q1 は内部 LDO を使用して、5V ~ 8V の VCC バイアスレールと、ゲート駆動および制御回路に 5V の VDDA レールを供給します。

高入力電圧のアプリケーションでは、ラインまたは負荷遷移イベント中は、VIN ピンと SW ピンが 87.5V の絶対最大電圧定格を超えないように注意してください。これらのピンの絶対最大定格を超えて電圧が逸脱すると、IC が損傷する可能性があります。電圧のオーバーシュートとリングングを最小限に抑えるには、PCB 基板レイアウトの推奨事項に従い、高品質な入力バイパスコンデンサを使用してください。

V_{IN} が V_{OUT} に近づくと、LM5192-Q1 は t_{OFF} サイクルをスキップして、コントローラがデューティサイクルを約 99% まで延長できるようにします。入力電圧範囲 (V_{IN}) もご覧ください。

LM5192-Q1 がドロップアウトモードに移行するタイミングを計算するには、式 1 を使用します。

$$V_{IN} = V_{OUT} \times \left(\frac{t_p}{t_p - t_{OFF}} \right) \quad (1)$$

- t_p は発振器の周期です
- t_{OFF} は最小オフ時間です

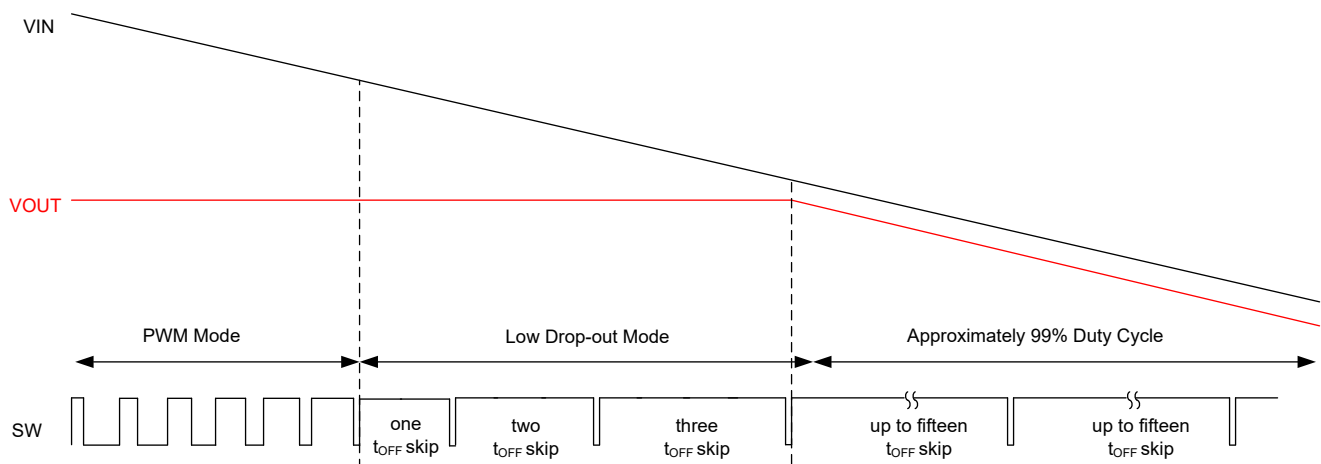


図 7-1. ドロップアウトモードでの動作

7.3.2 高電圧バイアス電源レギュレータ (VCC、VDDA)

LM5192-Q1 には、高電圧 VCC バイアスレギュレータが内蔵されており、外部 MOSFET 用ゲートドライバのバイアス電源を供給します。入力電圧ピン (VIN) は、最大 80V の入力電圧ソースに直接接続できます。ただし、入力電圧が VCC 設定ポイントレベルを下回っている場合、VCC 電圧は VIN からわずかな電圧降下を引いた値となります。

出力電圧が $\leq 5V$ の場合、VCC バイアスレギュレータの出力電圧は 5V です。出力電圧が 5V ~ 8V の範囲内にある場合、VCC バイアスレギュレータの出力電圧は出力電圧に追従します。出力電圧が $\geq 8V$ のとき、VCC のバイアスレギュレータの出力は 8V です。テキサスインスツルメンツは、4.7 μ F コンデンサを VCC ピンと PGND の間に接続することを推奨しています。

また、LM5192-Q1 にはリニアレギュレータ (VDDA) も搭載されています。この VCC レギュレータの出力を入力として受け取り、5V 出力を生成します。VDDA は、デジタルブロックを含む内部制御回路に電力を供給します。VDDA は、外部のコンパニオン USB Type-C コントローラデバイスに電力を供給することもできます。低ノイズの内部バイアスレールを実現するには、VDDA を 22 μ F のセラミックコンデンサでバイパスします。

7.3.3 イネーブル (EN)

イネーブルピンは最大 80V の電圧に接続できます。EN ピンが 0.55V 未満の場合、LM5192-Q1 はシャットダウン状態になり、 V_{IN} からの消費電流 I_Q は 2.2 μ A (標準値) になります。イネーブル電圧が $0.55V < EN < 1V$ の場合、LM5192-Q1 はスタンバイモードになります。スタンバイモードでは、VCC レギュレータが有効になり、デフォルトのレジスタと trim ビットがロードされます。デジタルブロックは無効化され、デバイスはスイッチングされず、 I_Q 電流は 350 μ A (標準値) です。イネーブル電圧が 1V を上回ると、LM5192-Q1 は 100 μ s (標準値) のイネーブルから準備完了遅延後、READY モードになります。READY モードでは、I²C インターフェイスが利用可能で、デバイスはスイッチングを停止し、 I_Q 電流は 900 μ A (標準値) です。OPERATION レジスタの CONTROLLER_EN ビットが設定されると、LM5192-Q1 は起動してアクティブモードに移行します。

7.3.4 スイッチング周波数

LM5192-Q1 発振器は、次の表に従って、MFG_DEVICE_CFG_D1 デバイス構成レジスタの FREQ ビットを設定してプログラムされます。

表 7-1. スイッチング周波数の選択

MFG_DEVICE_CFG_D1[4:3]	スイッチング周波数の選択
0b00	200kHz
0b01	400kHz (デフォルト)
0b10	600kHz
0b110	2.2MHz

ハイサイド MOSFET のどちらかのオン時間がプログラムされた発振器の周期を超えるような低 V_{IN} 状態では、PWM ラッチが電流センスランプによってリセットされてコントローラの補償電圧を超えるまで、LM5192-Q1 のそのチャンネルのスイッチング周期は延長されます。このような場合には、チャンネルがプログラムされた周波数で出力レギュレーションを維持できるまで、発振器は別々に非同期に動作します。

式 2 に、こうした現象が発生するおおよその入力電圧レベルを示します。ここで、 t_{sw} はスイッチング周期、 $t_{OFF(min)}$ は最小オフ時間で 60ns です。

$$V_{IN(min)} = V_{OUT} \times \left(\frac{t_{sw}}{t_{sw} - t_{OFF(min)}} \right) \quad (2)$$

7.3.5 デュアル ランダム スペクトラム 拡散機能 (DRSS)

LM5192-Q1 にはデュアル ランダム スペクトラム 拡散 (DRSS) 機能があり、広い周波数範囲にわたって電源の EMI を低減します。DRSS 機能は、低周波数の三角波変調プロファイルと、高周波数のサイクル単位のランダム変調プロファイルを組み合わせたものです。低周波数の三角波変調は低い無線周波数帯域で性能を向上させ、高周波のランダム変調は高い無線周波数帯域で性能を向上させます。

スペクトラム拡散は、狭帯域信号を広帯域信号に変換し、エネルギーを複数の周波数にわたって拡散することで機能します。業界規格では、周波数帯域ごとに異なるスペクトラムアナライザの解像度の帯域幅 (RBW) の設定を要求しています。RBW はスペクトラム拡散の性能に影響を及ぼします。たとえば、CISPR-25 は、150kHz から 30MHz の周波数帯域で 9kHz の RBW を必要とします。30MHz を超える周波数の場合、必要な RBW は 120kHz です。図 7-2 に示すように、DRSS は、低周波数の三角波変調と高周波数のサイクル単位ランダム変調により、高 RBW および低 RBW での EMI 性能を同時に向上できます。DRSS 関数を使用すると、低周波数帯域 (150kHz ~ 30MHz) では伝導エミッションを最大 15dB μ V、高周波帯域 (30MHz ~ 108MHz) では最大 5dB μ V 低減できます。

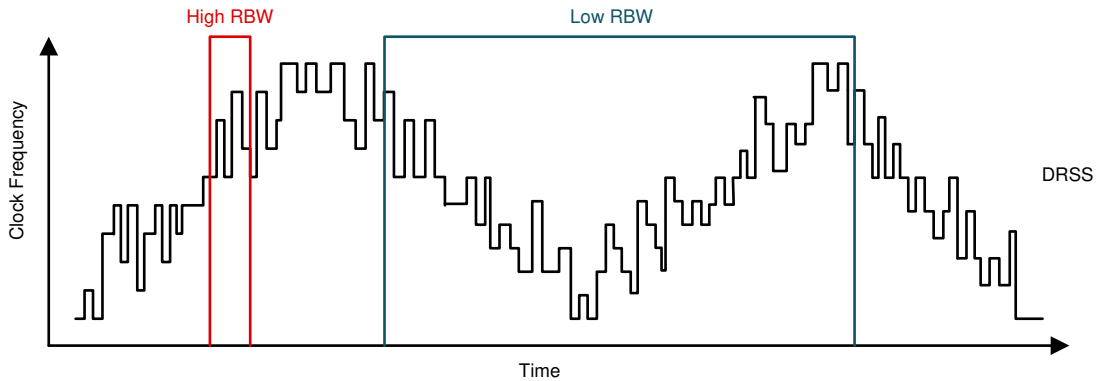


図 7-2. デュアル ランダム スペクトラム 拡散機能の実装

DRSS 機能は、MFG_DEVICE_CFG_D1 デバイス構成レジスタの EN_DRSS ビットを設定することにより有効にできます。

LM5192-Q1 は、表 7-2 に従って、デバイス構成レジスタ MFG_DEVICE_CFG_D1 の DRSS_FMOD ビットを設定することにより選択できる 2 つの変調周波数もサポートしています。

表 7-2. DRSS 変調周波数の選択

DRSS_FMOD	変調周波数
0b0	10kHz
0b1	2.5kHz

7.3.6 ソフト スタート

LM5192-Q1 には、ソフトスタートのスルーレートをプログラム可能です。ソフトスタート機能は、レギュレータを徐々に定常状態動作ポイントへと到達させることにより、起動時のストレスやサージを低減します。

ソフトスタート スルーレートは、表 7-3 に従って、MFG_DEVICE_CFG_D2 デバイス構成レジスタの SOFT_START_TIME ビットを使用して選択できます。

表 7-3. ソフトスタート スルーレートの選択

SOFT_START_TIME	ソフトスタートスルーレート
0b0	5V/ms
0b1	2.5V/ms

7.3.7 出力電圧

LM5192-Q1 の出力電圧は、VOUT_COMMAND レジスタのビットを設定することにより、1V ~ 24V の範囲で 10mV ステップ、または 3.3V ~ 48V の範囲で 20mV ステップでプログラムできます。出力電圧をプログラミングする前に、表 7-4 に従って、MFG_DEVICE_CFG_D1 デバイス構成レジスタの SEL_FB_DIV20 ビットを設定して、出力電圧ステップのサイズと範囲を選択します。

表 7-4. 出力電圧ステップのサイズと範囲の選択

SEL_FB_DIV20	出力電圧ステップ サイズ	出力電圧範囲
0b0	10mV	1V~24V
0b1	20mV	3.3V ~ 48V

7.3.8 制御可能な最小オン時間

最小出力電圧の調整範囲には、LM5192-Q1 の電圧リファレンスと、制御可能なスイッチ ノードの最小パルス幅 $t_{ON(min)}$ という 2 つの制約があります。

$t_{ON(min)}$ は実質的に、指定されたスイッチング周波数における電圧降圧変換比 V_{OUT}/V_{IN} を制限します。固定周波数の PWM 動作の場合、電圧の変換比は次の式 3 を満たす必要があります。

$$\frac{V_{OUT}}{V_{IN}} > t_{ON(min)} \times F_{SW} \quad (3)$$

ここで、

- $t_{ON(min)}$ は 25ns (標準値) です。
- F_{SW} はスイッチング周波数です。

目標とする電圧変換比が上記の条件を満たさない場合、LM5192-Q1 は固定スイッチング周波数動作モードからパルススキッピング モードに遷移して、出力電圧のレギュレーションを維持します。

V_{IN} の範囲が広いアプリケーションで低出力電圧の場合、式 3 の要件を満たすためのもう 1 つの方法は、LM5192-Q1 のスイッチング周波数を下げることです。

7.3.9 デュアルループアーキテクチャ

LM5192-Q1 は 2 つの制御ループ (電圧ループと電流ループ) と、電圧ループ誤差アンプと電流ループ誤差アンプからの出力電流を比較する IMIN セクタ ブロックを備えています。IMIN セクタ ブロックは、定電圧 (CV) または定電流 (CC) レギュレーションの制御を行うために低電流を選択します。このブロックにより、CC と CV 動作間のシームレスな遷移が可能になります。次の図に示します。

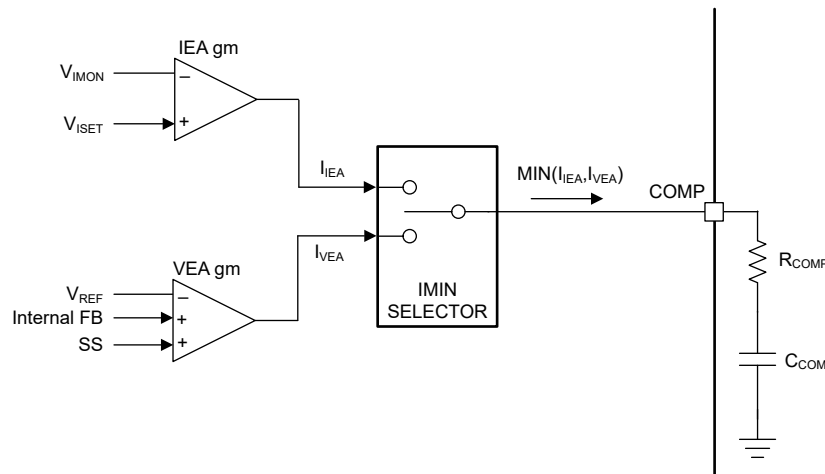


図 7-3. デュアルループアーキテクチャのブロック図

7.3.9.1 電圧ループエラーアンプ

電圧制御ループ内で、LM5192-Q1 には高ゲインの相互コンダクタンスアンプがあり、内部帰還電圧とプログラマブル高精度リファレンス V_{REF} との間の差に比例した誤差電流を生成します。アンプの相互コンダクタンスは $1000\mu S$ です。電圧ループエラーアンプは、内部の最小機能ブロック IMIN SELECTOR が電圧ループエラーアンプからの電流を選択したときのみ、制御を行います。

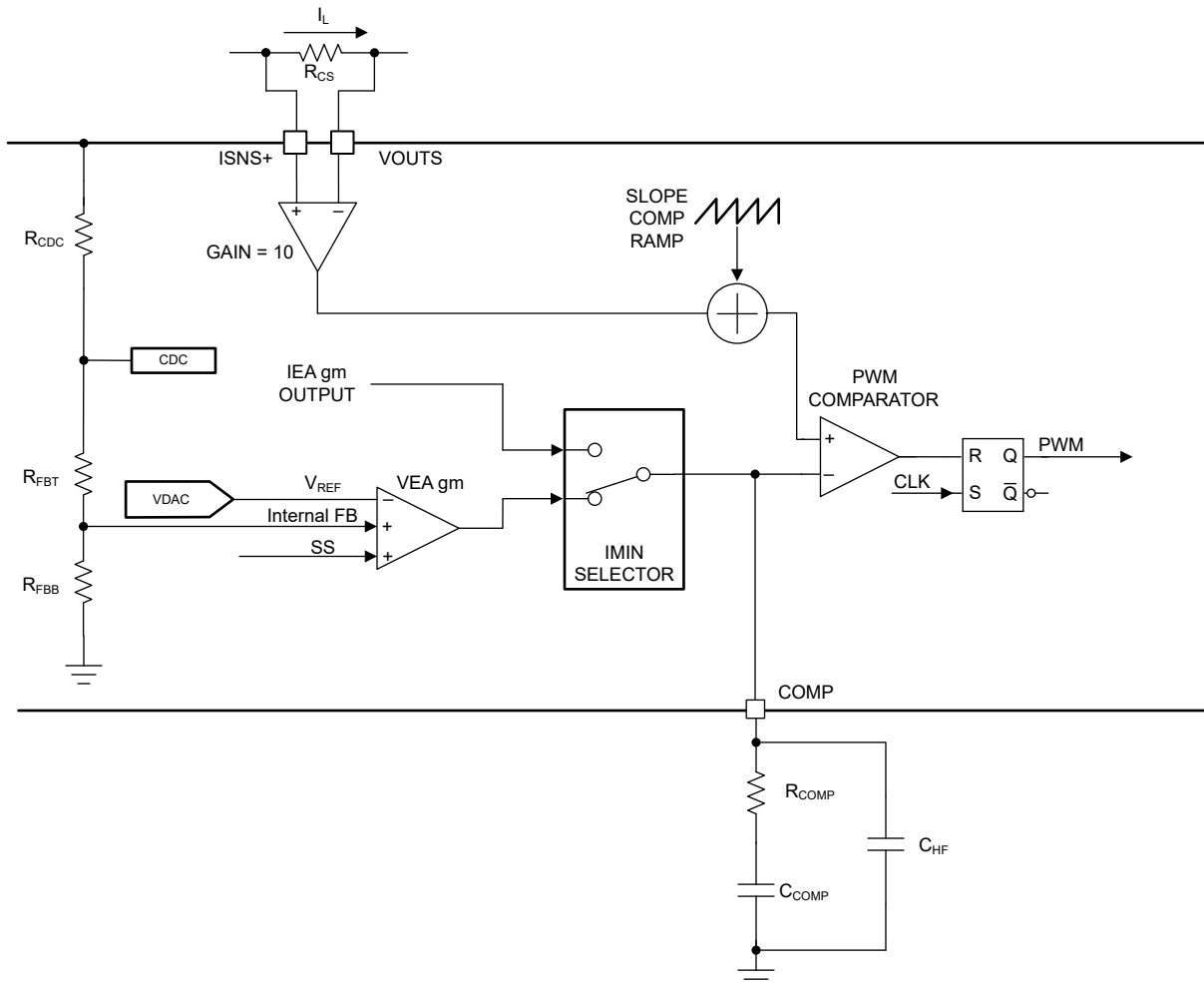


図 7-4. 電圧ループの機能ブロック図

電圧制御ループには、外部補償回路が必要です。TI では一般的に、ピーク電流モード制御用の **type-II** 補償ネットワークをお勧めしています。

7.3.9.2 電流ループエラー アンプ

電流制御ループ内で、LM5192-Q1 には高ゲインの相互コンダクタンス アンプがあり、IMON 電圧、 V_{IMON} とプログラマブル ISET リファレンス電圧、 V_{ISET} との間の差に比例した誤差電流を生成します。アンプの相互コンダクタンスは $1000\mu\text{S}$ です。電流ループ エラー アンプは、内部の最小機能ブロック IMIN SELECTOR が電流ループ エラー アンプからの電流を選択した場合のみ、次の図に示すように制御を行います。

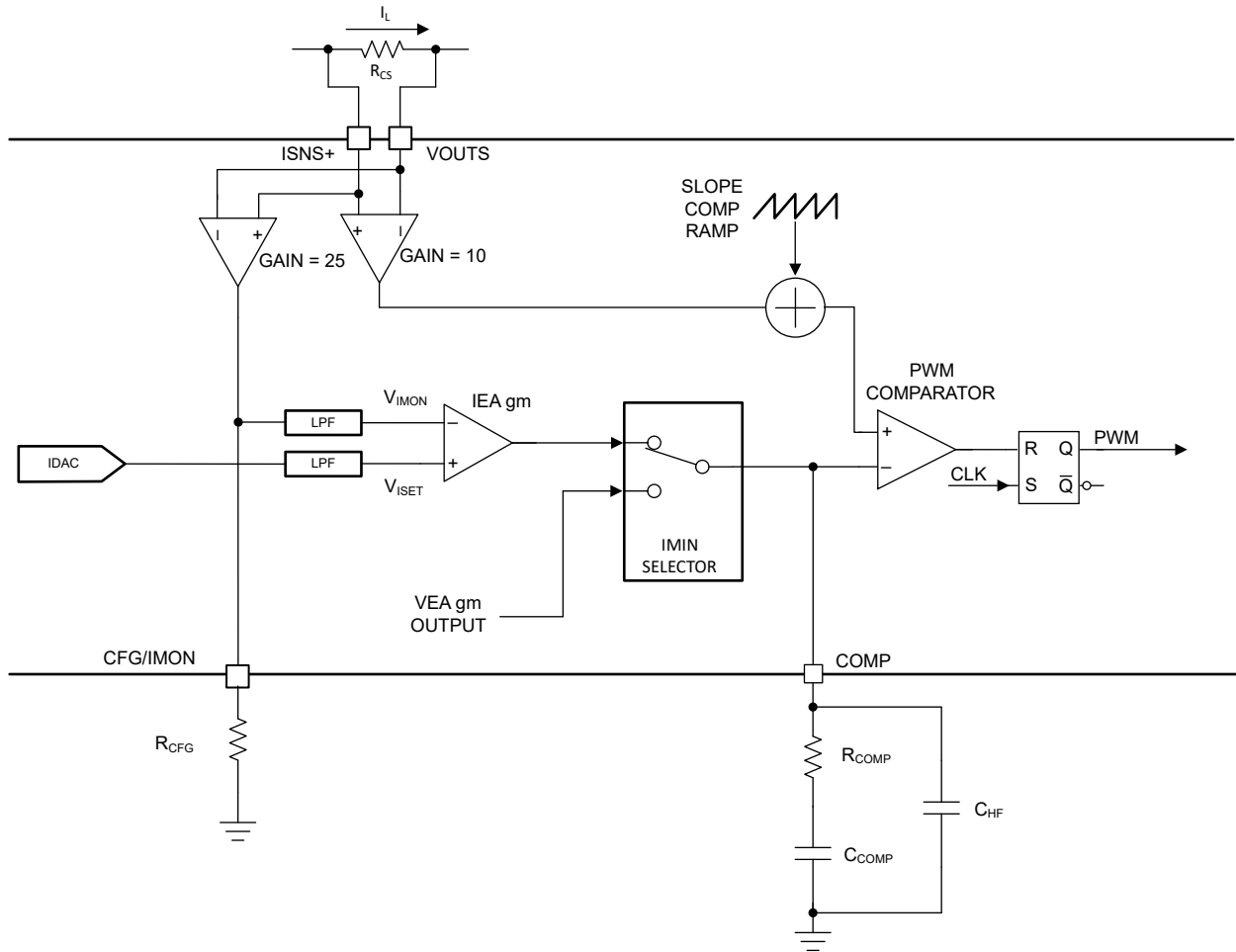


図 7-5. 電流ループの機能ブロック図

7.3.10 プログラマブル ILIM

LM5192-Q1 には、プログラム可能な平均出力電流制限機能が備わっています。

平均出力電流制限は、内部の 8 ビット DAC をプログラムすることにより設定されます。推奨される $8\text{m}\Omega \sim 2\text{m}\Omega$ のセンス抵抗を使用して、レジスタ `0xD0` の `AVG_ILIM_THRESHOLD` フィールドを使用し、 $50\text{mA} \sim 200\text{mA}$ ステップで、平均出力電流制限を $0.5\text{A} \sim 2\text{A}$ と $7.5\text{A} \sim 30\text{A}$ の間に設定します。

7.3.11 IOOUT モニタ

LM5192-Q1 には IMON ピンがあり、レギュレータが定電圧制御ループで動作しているときの平均インダクタ電流、またはレギュレータの出力電流モニタとして使用できます。平均インダクタ電流は、式 4 を使用して、IMON ピンの電圧から読み取れます。

$$I_{AVG} = \frac{V_{IMON} - V_{OFFSET}}{A_{IMON} \times R_S} \quad (4)$$

ここで、

- V_{IMON} は、IMON ピンへの電圧です。
- V_{OFFSET} は、出力電流モニタアンプのオフセット電圧 1V (標準値) です。
- A_{IMON} は、出力電流モニタアンプのゲインで 25V/V (標準値) です。
- R_S は $8\text{m}\Omega$ のセンス抵抗 (標準値) です。

7.3.12 ケーブル電圧降下補償

LM5192-Q1 には、ケーブル電圧降下補償 (CDC) 機能があります。CDC 機能は出力電流とプログラム可能な CDC ゲインに基づいて出力電圧を上昇させ、USB ケーブルでの電圧降下をオフセットします。CDC ゲインは、0V/V ~ 62V/V の範囲で 2V/V ステップでプログラム可能です。CDC ゲインは、ケーブル抵抗と検出抵抗 R_S の比に最も近い値に設定します。たとえば、ケーブル抵抗が 150mΩ で、選択したセンス抵抗が 8mΩ の場合、目的の CDC ゲインは $150\text{m}\Omega / 8\text{m}\Omega = 18.75$ と計算されます。最も近いプログラム可能な CDC ゲイン値は 18V/V です。

ケーブル電圧降下補償を有効にするには、レジスタ 0xD8 の CDC_EN ビットを使用します。0xD8 レジスタの CDC_GAIN_CFG フィールドを使用して CDC ゲインを設定します。たとえば、CDC ゲインを 18V/V に設定するには、CDC_GAIN_CFG フィールドを $18\text{V/V} / 2\text{V/V}(\text{LSB}) = 9\text{h}$ に設定します。

7.3.13 スロープ補償

LM5192-Q1 には、ピーク電流モード制御と 50% を超えるデューティ サイクルで安定した動作を実現するスロープ補償が提供されています。スロープ補償への寄与がインダクタのダウンスロープの 1 倍に等しくなるよう、次の式を使用して降圧インダクタンスを計算します。

$$L_{O(\text{sc})} = \frac{V_{\text{OUT}}[\text{V}] \times R_S[\text{m}\Omega]}{24 \times F_{\text{SW}}[\text{MHz}]} \quad (5)$$

- インダクタンスの値が低いほど、ピークツーピークのインダクタ電流は増加します。これにより、一般的にサイズとコストは最小限に抑えられ、コア損失とピーク電流の増加によって軽負荷効率が下がる代わりに、過渡応答が向上します。
- インダクタンスの値が大きいほどピークツーピークのインダクタ電流は低下します。これにより、一般的に負荷過渡仕様を満たすために大容量の出力コンデンサが必要となる代わりに、スイッチピークと RMS 電流が低下することによって全負荷効率は向上します。

7.3.14 シャント電流センシング

図 7-6 に、シャント抵抗を使用したインダクタ電流センシングを示します。この構成では、インダクタ電流を継続的に監視して、動作温度範囲全体での正確な過電流保護を実現します。最適な電流センス精度と過電流保護を実現するためには、インダクタと出力の間に低インダクタンスで ±1% の許容誤差を持つシャント抵抗を使用して、LM5192-Q1 の電流センスアンプまでケルビン接続します。

ISNS+ から VOUT までの間で検出されたピーク差動電流信号が 60mV の電流制限スレッショルドを超えた場合、電流制限コンパレータはサイクルごとの電流制限に適用可能なハイサイドゲートドライバ出力をただちに停止します。シャント抵抗を求めるには、以下の式を使用します。

$$R_S = \frac{V_{\text{CS}(\text{TH})}}{I_{\text{OUT}(\text{CL})} + \frac{\Delta I_L}{2}} \quad (6)$$

ここで、

- $V_{\text{CS}(\text{TH})}$ は、60mV の電流センススレッショルドです。
- $I_{\text{OUT}(\text{CL})}$ は過電流設定ポイントで、最大負荷電流より大きな値を設定して、負荷過渡中の過電流コンパレータのトリッピングを防止します。
- ΔI_L は、ピークツーピークのインダクタリップル電流です。

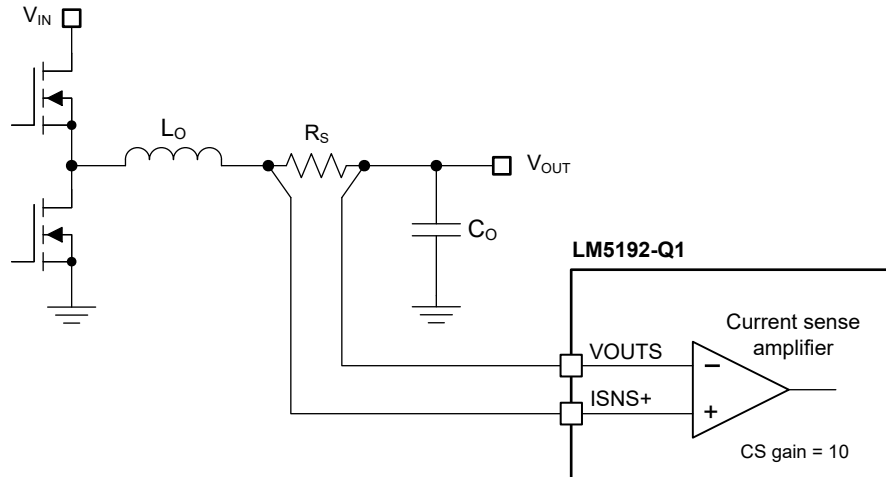


図 7-6. シャント電流センシングの実装

電流検出遅延 ($t_{DELAY(CS)}$) の標準値は 75ns です。次の式を使用して、結果として過電流スレッショルドを上回るインダクタ電流のオーバーシュートを計算します。

$$I_{L(overshoot)} = \frac{(V_{IN} - V_{OUT}) \times t_{DELAY(CS)}}{L_O} \quad (7)$$

過電流状態では、対応する SS 電圧は FB より 150mV 高い値でクランプされます。過電流イベントが 16 回発生すると、SS のクランプがイネーブルになります。この要件により、短い過電流イベント中は SS が Low にプルされるため、回復中の出力電圧のオーバーシュートが防止されます。

7.3.15 ヒカップモード電流制限

LM5192-Q1 には内部ヒカップモード保護機能が搭載されています。過負荷状態が発生すると、512 サイクルカウンタは内部ソフトスタートシーケンスの完了後、サイクル単位の電流制限インシデントの連続カウントを開始します。電流制限スレッショルドを超えないまま、スイッチングサイクルが連続 4 回発生すると、512 サイクルのカウンタはリセットされます。512 サイクルカウンタが完了すると、内部ソフトスタートが Low になり、内部のハイサイドおよびローサイドドライバが無効になります。その後、16384 カウンタが有効になります。カウンタが 16384 に達すると、内部ソフトスタートが有効になって出力が再開されます。ソフトスタート中、および出力電圧が設定電圧の 50% を超えるまでは、ヒカップモードの電流制限は有効になりません。

ヒカップモードは、HICCUP_EN ビットを使用して有効または無効にできます。

7.3.16 デバイス構成 (CFG)

LM5192-Q1 の I2C アドレスは設定され、表 7-5 に示すように、IMON 機能と CC レギュレーションがイネーブルになります。

VDDA が 3.8V (標準値) を上回ると、CFG ピンがサンプリングされてラッチされます。設定は簡単に変更できません。LM5192-Q1 の入力電圧はリサイクルする必要があり、VCC は再構成を行う前に 3.65V を下回る必要があります。図 7-7 に、構成のタイミング図を示します。

表 7-5. デバイス設定

I2C アドレス	R _{CFG}		
	最小値	標準値	最大値
0x6A	40.2kΩ	49.9kΩ	57.6kΩ
0x6C	18.2kΩ	25kΩ	31kΩ

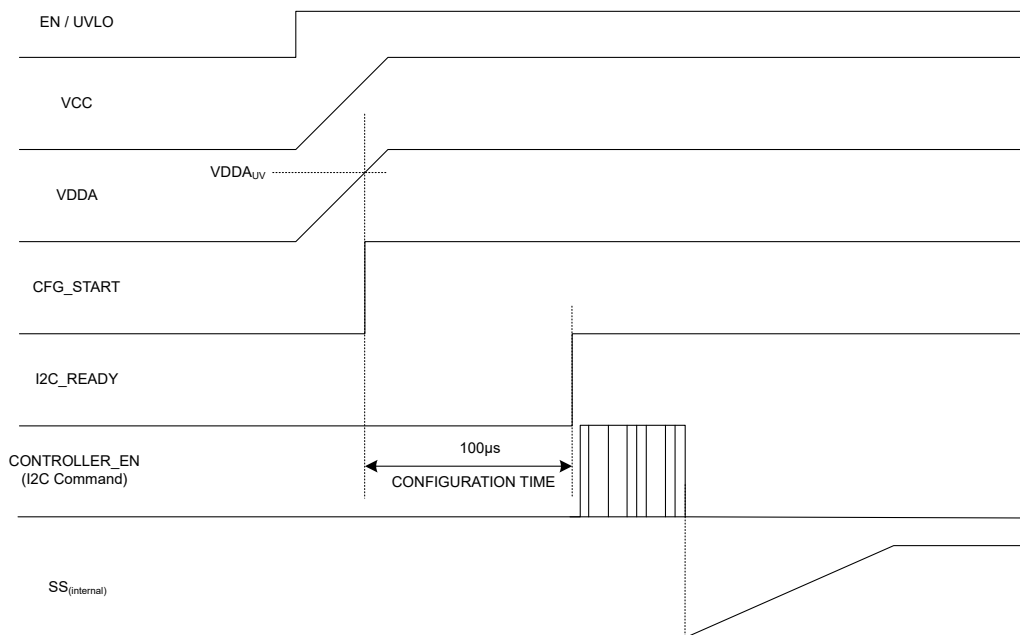


図 7-7. 構成のタイミング

7.3.17 パルス周波数変調 (PFM) / 同期

LM5192-Q1 にはダイオード エミュレーション機能があり、ローサイド MOSFET の逆 (ドレインからソース) 電流を防止します。ダイオード エミュレーション (DEM) 用に構成されている場合、ゼロクロス コンパレータを使用して SW 電圧を検出することによって逆電流が検出されると、ローサイド MOSFET はオフになります。この構成の利点は、軽負荷動作で電力損失が小さいことです。DEM 用にデバイスを構成すると、軽負荷動作時の負荷過渡に対する応答が遅くなる影響があります。

ダイオード エミュレーション機能を構成するには、PFM / SYNC ピンを使用します。ダイオード エミュレーションをイネーブルにして、軽負荷時に不連続導通モード (DCM) の動作を実現するには、PFM / SYNC を VDDA に接続します。強制パルス幅変調 (FPWM) または連続導通モード (CCM) の動作が必要な場合は、PFM / SYNC を AGND に接続します。ダイオード エミュレーションは、PFM におけるプリバイアスのスタートアップ条件中に逆電流が流れることを防止するため、自動的に動作します。起動時に、出力電圧がレギュレーション設定点に近づくと、DCM から CCM に徐々に変化するため、出力電圧のオーバーシュートが防止されます。

LM5192-Q1 を外部ソースと同期させるには、ロジックレベル クロック (2V より大きいもの) を PFM / SYNC ピンに印加します。LM5192-Q1 は、最大 2.2MHz のプログラムされた周波数の $\pm 20\%$ に同期できます。低 V_{IN} 状態で最小オフ時間に達した場合、同期信号は無視され、スイッチング周波数を低減して、出力電圧レギュレーションを維持します。

7.3.18 サーマル シャットダウン (TSD)

LM5192-Q1 には、内部接合部温度モニタが搭載されています。温度が 175°C (標準値) を超えると、サーマル シャットダウンが発生します。サーマル シャットダウンに入ると、デバイスは以下のように動作します。

1. ハイサイド MOSFET とローサイド MOSFET を停止します。
2. VCC レギュレータを停止します。
3. STATUS_BYTE レジスタおよび STATUS_WORD レジスタの TEMPERATURE ビットを設定します
4. ダイ温度がサーマル シャットダウン ヒステリシスの 15°C (標準値) だけ低下すると、ソフトスタートシーケンスが開始します。

この保護は非ラッチ保護のため、故障が継続していると、デバイスはサーマル シャットダウン状態の開始と終了を繰り返します。

7.4 デバイスの機能モード

7.4.1 シャットダウン モード

EN / UVLO ピンは、LM5192-Q1 のオン / オフ制御を行います。 V_{EN} が 0.55V を下回ると、デバイスはシャットダウンモードになります。内部 LDO とスイッチング レギュレータの両方がオフになります。シャットダウン モードでの静止電流は、2.3 μ A (標準値) まで減少します。LM5192-Q1 には、内部バイアス LDO の低電圧 (UV) 保護機能も搭載されています。内部バイアス電源電圧がその UV スレッショルドを下回ると、レギュレータはオフのままになります。

7.4.2 スタンバイ モード

内部バイアス LDO には、スイッチング レギュレータよりも低いイネーブル スレッショルドが設定されています。 V_{EN} が 0.55V を超え、高精度イネーブル スレッショルド (標準値 1V) を下回ると、内部 VCC および VDDA LDO がイネーブルおよびレギュレーションされます。デフォルトのレジスタ値と TRIM ビットがロードされ、デジタル ブロックはディセーブルされ、デバイスはスイッチングせず、 I_Q 電流は 350 μ A (標準値) です。

7.4.3 READY モード

イネーブル電圧が 1V を上回り、100 μ s (標準値) のイネーブルから READY までの遅延後、LM5192-Q1 は READY モードになります。READY モードでは、I²C インターフェイスが利用可能で、デバイスはスイッチングを停止し、 I_Q 電流は 900 μ A (標準値) です。

7.4.4 アクティブモード

LM5192-Q1 は、 V_{EN} が高精度のイネーブル スレッショルドを超えており、内部バイアス レールが UV スレッショルドを超えている場合で、OPERATION レジスタの CONTROLLER_EN ビットが設定されている場合にアクティブモードになります。アクティブモードでは、デバイスは負荷電流、入力電圧、出力電圧、PFM / 同期ピンの構成に応じて、次の 2 つのモードのいずれかで動作します。

1. パルス幅変調 (FPWM) を強制します。この動作モードは、PFM / SYNC ピンを GND に接続するか、外部クロックソースで駆動することにより構成されます。デバイスは、負荷電流に関係なく、固定スイッチング周波数で連続導通モード (CCM) で動作します。
2. パルス周波数変調 (PFM) モード。この動作モードは、VDDA/SYNC ピンを PFM に接続することにより構成されます。負荷電流がピークツーピーク インダクタ電流の半分未満の場合、デバイスは不連続導通モード (DCM) で動作します。それ以外の場合、デバイスは連続導通モード (CCM) で動作します。CCM と DCM の間の遷移は自動的に行われます。

7.4.5 スリープモード

LM5192-Q1 はピーク電流モード制御で動作するため、補償電圧はピーク インダクタ電流に比例します。無負荷または軽負荷状態では、出力コンデンサはゆっくりと放電されます。その結果、補償電圧が低くなり、スイッチングが停止します。LM5192-Q1 のコントローラがスイッチングサイクルの検出に 16 回失敗すると、LM5192-Q1 はスリープモードに入り、低 $I_{Q-SLEEP}$ 状態に切り替わって、入力から流れる電流を低減します。LM5192-Q1 をスリープモードにするには、ダイオードエミュレーション用にデバイスを PFM モードにプログラムする必要があります。

8 LM5192-Q1 のレジスタ

LM5192-Q1 レジスタのメモリマップされたレジスタを、表 8-1 に示します。表 8-1 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 8-1. LM5192-Q1 のレジスタ

オフセット	略称	レジスタ名	セクション
1h	動作	動作レジスタ	セクション 8.1
3h	CLEAR_FAULTS	故障のクリア レジスタ	セクション 8.2
21h	VOUT_COMMAND	出力電圧設定レジスタ	セクション 8.3
78h	STATUS_BYTE	デバイス ステータス レジスタ	セクション 8.4
79h	STATUS_WORD	デバイス ステータス ワード	セクション 8.5
D0h	MFG_DEVICE_CFG_D0	平均出力電流制限の設定レジスタ	セクション 8.6
D1h	MFG_DEVICE_CFG_D1	デバイス構成レジスタ 1	セクション 8.7
D2h	MFG_DEVICE_CFG_D2	デバイス構成レジスタ 2	セクション 8.8
D5h	MFG_DEVICE_CFG_D5	デバイス構成レジスタ 3	セクション 8.9
D8h	MFG_DEVICE_CFG_D8	デバイス構成レジスタ 4	セクション 8.10
D9h	MFG_DEVICE_CFG_D9	デバイス構成レジスタ 5	セクション 8.11

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-2 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-2. LM5192-Q1 のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

8.1 OPERATION レジスタ (オフセット = 1h) [リセット = 00h]

動作を [表 8-3](#) に示します。

[概略表](#)に戻ります。

動作レジスタは、デバイスを有効または無効にするために使用されます。

表 8-3. OPERATION レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	CONTROLLER_EN	R/W	0h	コントローラ イネーブル ビット。 0h=ディセーブル 1h = イネーブル
6-0	予約済み	R	0h	予約済み。このビットはハードウェアには実装されていません。書き込み動作中、このビットのデータは無視されます。読み出し動作中は、値 0 が返されます。

8.2 CLEAR_FAULTS レジスタ (オフセット = 3h) [リセット = 00h]

CLEAR_FAULTS を [表 8-4](#) に示します。

[概略表](#)に戻ります。

故障のクリア レジスタは、ステータス レジスタ 0x78h の故障ビットをクリアするために使用します。

表 8-4. CLEAR_FAULTS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	CLEAR_FAULTS	W	0h	障害ビットをクリアします。

8.3 VOUT_COMMAND レジスタ (オフセット = 21h) [リセット = 00FAh]

VOUT_COMMAND を [表 8-5](#) に示します。

[概略表](#)に戻ります。

出力電圧設定レジスタは、目標出力電圧を設定するために使用します。

表 8-5. VOUT_COMMAND レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	予約済み	R	0h	予約済み。このビットはハードウェアには実装されていません。書き込み動作中、このビットのデータは無視されます。読み出し動作中は、値 0 が返されます。
11-8	VOUT_MSB	R/W	0h	出力電圧設定上位バイト。 下限: 3.3V (1V) 上限: 48V (24V) ステップ サイズ: 20mV (10mV) SEL_FB_DIV20 = 1 (SEL_FB_DIV20 = 0) 0000h = 3.3V (1V) 0064h = 3.3V (1V) 00A5h = 3.3V (1.65V) 00FAh = 5V (2.5V) 01C2h = 9V (4.5V) 02EEh = 15V (7.5V) 03E8h = 20V (10V) 0578h = 28V (14V) 0708h = 36V (18V) 0960h = 48V (24V) FFFFh = 48V (24V)
7-0	VOUT_LSB	R/W	FAh	出力電圧設定下位バイト。 下限: 3.3V (1V) 上限: 48V (24V) ステップ サイズ: 20mV (10mV) SEL_FB_DIV20 = 1 (SEL_FB_DIV20 = 0) 0000h = 3.3V (1V) 0064h = 3.3V (1V) 00A5h = 3.3V (1.65V) 00FAh = 5V (2.5V) 01C2h = 9V (4.5V) 02EEh = 15V (7.5V) 03E8h = 20V (10V) 0578h = 28V (14V) 0708h = 36V (18V) 0960h = 48V (24V) FFFFh = 48V (24V)

8.4 STATUS_BYTE レジスタ (オフセット = 78h) [リセット = 00h]

STATUS_BYTE を 表 8-6 に示します。

概略表に戻ります。

デバイス ステータス レジスタ。

表 8-6. STATUS_BYTE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	BUSY	R/W	0h	デバイス ビジー ステータス ビット。設定されている場合、デバイスはビジー状態で、応答できません。 0h = 故障なし 1h = 故障
6	OFF	R/W	0h	デバイスのオン / オフ ステータス ビット。設定されている場合、デバイスは無効 / オフになります。 0h = 故障なし 1h = 故障
5	VOUT_OV	R/W	0h	デバイス出力過電圧ステータス ビット。設定されている場合、デバイスの出力電圧が設定された OVP スレッショルドを超えています。 0h = 故障なし 1h = 故障
4	IOUT_OC	R/W	0h	デバイス出力過電流ステータス ビット。設定されている場合、サイクル単位の電流制限がトリガされます。 0h = 故障なし 1h = 故障
3	予約済み	R	0h	予約済み。このビットはハードウェアには実装されていません。書き込み動作中、このビットのデータは無視されます。読み出し動作中は、値 0 が返されます。
2	温度	R/W	0h	デバイス加熱ステータス ビット。設定されている場合、デバイス温度によってサーマルシャットダウン (TSD) スレッショルドがトリガされます。 0h = 故障なし 1h = 故障
1	CML	R/W	0h	デバイス通信、メモリ、またはロジック故障ステータス ビット。トリガされた場合、デバイス メモリ (パリティ) エラーが発生します。 0h = 故障なし 1h = 故障
0	NONE_OF_THE_ABOVE	R/W	0h	デバイスのその他の故障または警告ステータス ビット。設定されている場合、0x79[15:8] バイトに記載された故障または警告が発生しています。 0h = 故障なし 1h = 故障

8.5 STATUS_WORD レジスタ (オフセット = 79h) [リセット = 0000h]

STATUS_WORD を表 8-7 に示します。

概略表に戻ります。

デバイス ステータスワード。

表 8-7. STATUS_WORD レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	VOUT	R/W	0h	デバイス出力電圧ステータスビット。設定されている場合、デバイス出力の電圧が設定された OVP スレッシュホールドまたは PG OV スレッシュホールドを超えています。 0h = 故障なし 1h = 故障
14	IOUT_POUT	R/W	0h	出力電流または出力電力の警告。 0h = 故障なし 1h = 故障
13	予約済み	R	0h	予約済み。このビットはハードウェアには実装されていません。書き込み動作中、このビットのデータは無視されます。読み出し動作中は、値 0 が返されます。
12	CC_STATUS	R/W	0h	定電流 (CC) ステータスビット。設定されている場合、デバイスは CC レギュレーション モードで動作します。それ以外の場合、デバイスは定電圧 (CV) レギュレーション モードで動作します。 0h = CV レギュレーション 1h = CC レギュレーション
11	nPG_STATUS	R/W	0h	パワー ノット グッド ステータスビット。設定されている場合、デバイスの出力電圧によって PG UV または PG OV スレッシュホールドのいずれかがトリガされています。 0h = 故障なし 1h = 故障
10	予約済み	R	0h	予約済み。このビットはハードウェアには実装されていません。書き込み動作中、このビットのデータは無視されます。読み出し動作中は、値 0 が返されます。
9	予約済み	R	0h	予約済み。このビットはハードウェアには実装されていません。書き込み動作中、このビットのデータは無視されます。読み出し動作中は、値 0 が返されます。
8	予約済み	R	0h	予約済み。このビットはハードウェアには実装されていません。書き込み動作中、このビットのデータは無視されます。読み出し動作中は、値 0 が返されます。
7	BUSY	R/W	0h	デバイス ビジー ステータスビット。設定されている場合、デバイスはビジー状態で、応答できません。 0h = 故障なし 1h = 故障
6	OFF	R/W	0h	デバイスのオン / オフ ステータスビット。設定されている場合、デバイスは無効 / オフになります。 0h = 故障なし 1h = 故障
5	VOUT_OV	R/W	0h	デバイス出力過電圧ステータスビット。設定されている場合、デバイスの出力電圧が設定された OVP スレッシュホールドを超えています。 0h = 故障なし 1h = 故障
4	IOUT_OC	R/W	0h	デバイス出力過電流ステータスビット。設定されている場合、サイクル単位の電流制限がトリガされます。 0h = 故障なし 1h = 故障
3	予約済み	R	0h	予約済み。このビットはハードウェアには実装されていません。書き込み動作中、このビットのデータは無視されます。読み出し動作中は、値 0 が返されます。

表 8-7. STATUS_WORD レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2	温度	R/W	0h	デバイス加熱ステータスビット。設定されている場合、デバイス温度によってサーマルシャットダウン (TSD) スレッシュホールドがトリガされます。 0h = 故障なし 1h = 故障
1	CML	R/W	0h	デバイス通信、メモリ、またはロジック故障ステータスビット。トリガされた場合、デバイスメモリ (パリティ) エラーが発生します。 0h = 故障なし 1h = 故障
0	NONE_OF_THE_ABOVE	R/W	0h	デバイスのその他の故障または警告ステータスビット。設定されている場合、0x79[15:8] バイトに記載された故障または警告が発生しています。 0h = 故障なし 1h = 故障

8.6 MFG_DEVICE_CFG_D0 レジスタ (オフセット = D0h) [リセット = 0Ah]

MFG_DEVICE_CFG_D0 を表 8-8 に示します。

[概略表](#)に戻ります。

平均出力電流制限レジスタを設定します。

表 8-8. MFG_DEVICE_CFG_D0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	AVG_ILIM_THRESHOLD	R/W	Ah	平均出力電流制限スレッシュホールドを設定します。8mΩ (2mΩ) センス抵抗が選択されていると想定しています。 下限: 0.5A (2A) 上限: 7.5A (30A) ステップ サイズ: 50mA (200mA) 0h = 0.5A (2A) Ah = 0.5A (2A) 3Ch = 3A (12A) 64h = 5A (20A) 96h = 7.5A (30A) FFh = 7.5A (30A)

8.7 MFG_DEVICE_CFG_D1 レジスタ (オフセット = D1h) [リセット = 8Ah]

MFG_DEVICE_CFG_D1 を表 8-9 に示します。

概略表に戻ります。

デバイス構成レジスタ 1 は、FB デバイダの選択、DRSS 機能の構成、スイッチング周波数の設定、定電流ループの補償の選択に使用します。

表 8-9. MFG_DEVICE_CFG_D1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SEL_FB_DIV20	R/W	1h	FB デバイダを選択します。選択によって、出力電圧範囲とステップ サイズが決まります。 0h = DIV10 (10mV ステップ サイズ、1V ~ 24V の範囲) 1h = DIV20 (20mV ステップ サイズ、3.3V ~ 48V の範囲)
6	DRSS_EN	R/W	0h	DRSS 機能を有効にします。 0h = DRSS ディセーブル 1h = DRSS イネーブル
5	DRSS_FMOD	R/W	0h	DRSS 三角波変調周波数を選択します。 0h = 10kHz 1h = 2.5kHz
4-3	FREQ	R/W	1h	スイッチング周波数を選択します。 0h = 200kHz 1h = 400kHz 2h = 600kHz 3h = 2.2MHz
2-1	CC_COMP	R/W	1h	CC 補償時定数を選択します。 0h = 0.1ms 1h = 0.2ms 2h = 0.3ms 3h = 0.4ms
0	予約済み	R	0h	予約済み。このビットはハードウェアには実装されていません。書き込み動作中、このビットのデータは無視されます。読み出し動作中は、値 0 が返されます。

8.8 MFG_DEVICE_CFG_D2 レジスタ (オフセット = D2h) [リセット = CBh]

MFG_DEVICE_CFG_D2 を表 8-10 に示します。

概略表に戻ります。

デバイス構成レジスタ 2 を使用して、出力アクティブ放電、出力電圧スルーレートを構成し、ソフトスタート時間を選択します。

表 8-10. MFG_DEVICE_CFG_D2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	ACTIVE_DISCHARGE_CFG1	R/W	1h	VOUT High から Low への遷移中のアクティブ放電を有効にします。 0h = ディセーブル 1h = イネーブル
6	ACTIVE_DISCHARGE_CFG2	R/W	1h	PFM から FPWM への遷移中のアクティブ放電を有効にします。 0h = ディセーブル 1h = イネーブル
5	ACTIVE_DISCHARGE_CFG3	R/W	0h	連続アクティブ放電を有効にします。 0h = ディセーブル 1h = イネーブル
4-3	VOUT_SLEW_RATE	R/W	1h	出力電圧スルーレートを選択します。 SEL_FB_DIV20 = 1/ (SEL_FB_DIV20 = 0) 0h = 40mV/us (20mV/us) 1h = 20mV/us (10mV/us) 2h = 1mV/us (0.5mV/us) 3h = 0.5mV/us (0.25mV/us)
2-1	ACTIVE_DISCHARGE_STRENGTH	R/W	1h	アクティブ放電強度を選択します。 0h = ディセーブル 1h = 25mA 2h = 50mA 3h = 75mA
0	SOFT_START_TIME	R/W	1h	ソフトスタートランブ時間。 0h = 5V/ms 1h = 2.5V/ms

8.9 MFG_DEVICE_CFG_D5 レジスタ (オフセット = D5h) [リセット = 65h]

MFG_DEVICE_CFG_D5 を表 8-11 に示します。

概略表に戻ります。

デバイス構成レジスタ 3 は、過電圧保護 (OVP) 機能の有効化および構成、OVP スレッショルドの設定に使用します。

表 8-11. MFG_DEVICE_CFG_D5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み。このビットはハードウェアには実装されていません。書き込み動作中、このビットのデータは無視されます。読み出し動作中は、値 0 が返されます。
6	OVP_EN	R/W	1h	OVP 検出を有効にします。 0h = ディセーブル 1h = イネーブル
5	OVP_CFG	R/W	1h	OVP 検出を構成します。 0h = OVP 検出からは、ステータス レジスタの更新のみが行われます 1h = OVP 検出は、スイッチングの割り込み、VOUT の放電、ステータス レジスタの VOUT_OV ビットの設定を行います
4-0	OVP_THRESHOLD	R/W	5h	OVP 立ち上がりスレッショルドを選択します。 下限: 105% 上限: 136% ステップ サイズ: 1% 0h = 105% 5h = 110% Ah = 115% 1Fh = 136%

8.10 MFG_DEVICE_CFG_D8 レジスタ (オフセット = D8h) [リセット = CAh]

MFG_DEVICE_CFG_D8 を表 8-12 に示します。

概略表に戻ります。

デバイス構成レジスタ 4 は、NINT マスクの設定、VCC および VDD レギュレータ入力から VOUTF ピンへの接続の有効化、ケーブル電圧降下補償機能のゲインの構成に使用します。

表 8-12. MFG_DEVICE_CFG_D8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	NINT_MASK	R/W	1h	CC_STATUS ビットを除くすべてのステータスレジスタビットの NINT をマスクします。 0h = NINT はほとんどの STATUS BYTE/WORD 故障に対応。 1h = NINT はステータスレジスタの MFG_SPECIFIC ビット (CC レギュレーション) のみに対応
6	BIAS_EN	R/W	1h	VDD および VCC レギュレータのバイアス入力から VOUTF ピンへの接続を有効にします。 0h = ディセーブル 1h = イネーブル
5	CDC_EN	R/W	0h	ケーブル電圧降下補償を有効にします。 0h = ディセーブル 1h = イネーブル
4-0	CDC_GAIN	R/W	Ah	CDC ゲインを構成します。 下限: 0V/V 上限: 62V/V ステップ サイズ: 2 V/V 0h = 0V/V 1h = 2V/V Ah = 20V/V 1Fh = 62V/V

8.11 MFG_DEVICE_CFG_D9 レジスタ (オフセット = D9h) [リセット = 00h]

MFG_DEVICE_CFG_D9 を表 8-13 に示します。

概略表に戻ります。

デバイス構成レジスタ 5 は、MFI 機能の有効化、HICCUP モードの有効化、PFM ピンのオーバーライド モード選択、MODE 選択、パワー グッド (PG) 検出ウィンドウの設定に使用します。

表 8-13. MFG_DEVICE_CFG_D9 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	MFI_EN	R/W	0h	MFI CC レギュレーションを有効化します (1ms の CC レギュレーションに 1.6xILIM)。 0h=ディセーブル 1h = イネーブル
6	HICCUP_EN	R/W	0h	HICCUP 動作を有効にします。 0h=ディセーブル 1h = イネーブル
5	OVERRIDE_PFM	R/W	0h	PFM ピンの設定をオーバーライドします。 0h = PFM ピンは動作モードを設定します 1h = MODE ビットは動作モードを設定します
4	モード	R/W	0h	動作モードを選択します。 0h = FPWM 1h = PFM
3	PG_10PCT	R/W	0h	PG ウィンドウを選択します。 0h = 5% 1h = 10%
2	SPARE2	R/W	0h	予備ビット #2 0h=ディセーブル 1h = イネーブル
1	SPARE1	R/W	0h	予備ビット #1 0h=ディセーブル 1h = イネーブル
0	SPARE0	R/W	0h	予備ビット #0 0h=ディセーブル 1h = イネーブル

9 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその精度も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 使用上の注意

9.1.1 パワートレインの部品

同期整流降圧レギュレータの設計を成功に導くには、降圧レギュレータのパワートレイン コンポーネントを包括的に理解することが不可欠です。以下のセクションでは、出力インダクタ、入力および出力コンデンサ、パワー MOSFET、EMI 入力フィルタについて説明します。

9.1.1.1 降圧インダクタ

ほとんどのアプリケーションでは、標準的な入力電圧におけるインダクタのリップル電流 ΔI_L が最大 DC 出力電流の 30% ~ 50% の間になるように降圧インダクタンスを選択します。式 8 を使用して、インダクタンスを選択します。

$$L_0 = \frac{V_{OUT}}{\Delta I_L \times f_{SW}} \times \left(1 - \frac{V_{OUT}}{V_{IN}}\right) \quad (8)$$

インダクタのデータシートを参照し、インダクタの飽和電流が特定の設計のピーク インダクタ電流よりも大きいことを確認します。フェライト コアはコア損失が非常に小さく、高スイッチング周波数で好まれます。そのため、設計の目標を銅の損失と飽和の防止に集中できます。低インダクタのコア損失は、無負荷の入力電流の低下と軽負荷時の効率の向上により明らかです。ただし、フェライトのコア素材は飽和特性が高く、飽和電流を超過するとインダクタンスは急激に低下します。この動作の結果、インダクタのリップル電流には急激な増加が生じ、出力電圧リップルも上昇するため、当然効率は低下し、信頼性も損なわれます。一般的に、インダクタの飽和電流はコア温度が上がるにつれて減少することに注意してください。

9.1.1.2 出力コンデンサ

出力コンデンサと制御ループ応答を組み合わせることにより、出力電圧が動的な過渡許容誤差の仕様内に維持されます。出力コンデンサを制限する通常の境界は、利用可能な限られた PCB 面積、部品のサイズ、コストから導出されます。負荷ステップの振幅とスルーレートが増加するにつれ、負荷過渡応答は主に出力コンデンサの等価直列抵抗 (ESR) と等価直列インダクタンス (ESL) で決定されるようになります。

出力コンデンサ C_{OUT} は、インダクタのリップル電流をフィルタリングして、負荷過渡イベントのために電荷を蓄積します。一般的に、セラミック コンデンサの ESR は小さいため、出力電圧リップルとノイズ スパイクは低減されますが、タンタル コンデンサや電解コンデンサは過渡負荷イベント用の比較的小さなフットプリントのものでも、バルク容量は大きくなります。

図 9-1 は、負荷の下降遷移時と上昇遷移時の関連する電流の波形を概念的に表した図です。ここに示すように、インダクタ電流の大信号のスルーレートは、インダクタ電流が負荷過渡に伴い新しい負荷電流レベルに合うように上昇するにつれて制限されます。このスルーレートの制限により、出力コンデンサの電荷の損失はより大きくなります。そのため、負荷の上昇過渡時とその後はできる限り迅速に電荷を補充する必要があります。同様に、負荷の下降過渡時とその後は、インダクタ電流のスルーレートの制限により出力コンデンサの電荷が増大するため、できる限り早く放電する必要があります。

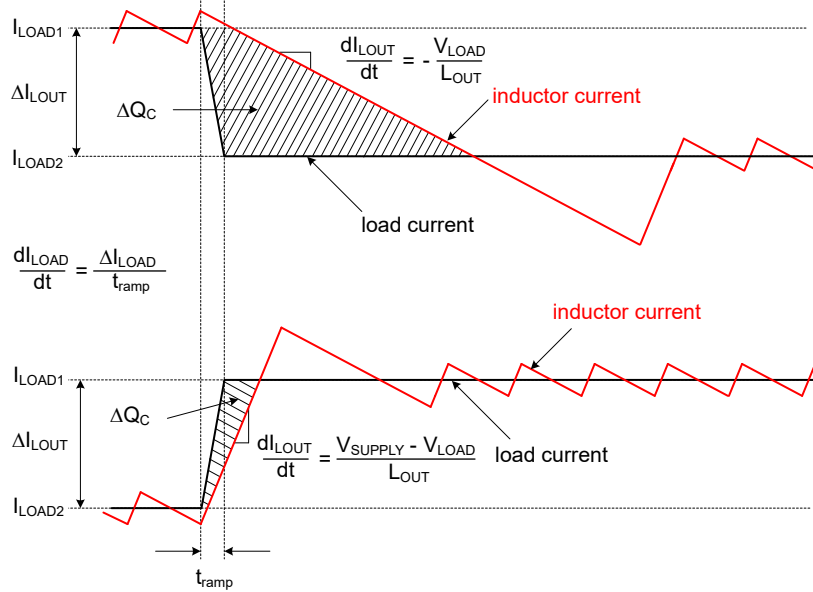


図 9-1. C_{OUT} の電荷の増大と損失を表す負荷過渡応答の図

例として、12V の入力から 3.3V の出力電圧を生成する標準的なレギュレータ アプリケーションでは、負荷オフ時の過渡は出力電圧の過渡偏差という点でワースト ケースになります。この変換比のアプリケーションでは、定常状態のデューティ サイクルは約 28% で、デューティ サイクルがゼロに急減したときの大信号インダクタ電流のスルーレートは約 $-V_{LOAD}/L_{OUT}$ です。負荷オン過渡に比べると、インダクタ電流は必要なレベルに移るまでにかかり時間が長くなります。出力コンデンサの電荷が過剰になると、出力電圧のオーバーシュートを引き起こします。実際に、出力コンデンサからこの過剰な電荷をできるだけ早く放電するには、負荷ステップに従い、インダクタ電流が公称レベルを下回るようにする必要があります。このシナリオでは、出力容量が大きいほど有利に過剰な電荷を吸収して、電圧のオーバーシュートを最小限に抑えることができます。

このような負荷オフ過渡時に、出力電圧のオーバーシュート ($\Delta V_{OVERSHOOT}$ と表記され、出力電流の段階的な減少は ΔI_{LOAD} で与えられます) の動的要件に合わせるためには、出力容量を以下の式よりも大きくする必要があります。

$$C_{OUT} \geq \frac{L_{OUT} \times \Delta I_{LOAD}^2}{(V_{LOAD} + \Delta V_{OVERSHOOT})^2 - V_{LOAD}^2} \quad (9)$$

ΔV_{LOAD} で示されるピーク ツー ピーク出力電圧リップルの静的仕様にに基づき、式 10 で求められる値よりも大きな出力容量を選択します。

$$C_{OUT} \geq \frac{\Delta I_{LOAD}}{8 \times f_{SW} \times \sqrt{\Delta V_{LOAD}^2 - (RESR \times \Delta I_{LOAD})^2}} \quad (10)$$

コンデンサの ESR は、メーカーのデータシートに仕様として明記、またはインピーダンスと周波数曲線の関係によって暗黙的に示されています。種類、サイズ、構造に応じて、電解コンデンサには 5mΩ 以上の非常に大きな ESR と 5nH ~ 20nH の比較的大きな ESL が内蔵されています。PCB パターンは寄生抵抗とインダクタンスにも寄与します。セラミック出力コンデンサは、スイッチング周波数における ESR と ESL への寄与が小さく、容量性インピーダンスの成分が優勢です。ただし、セラミック コンデンサのパッケージと電圧定格によっては、実効容量は印加された DC 電圧と動作温度で大幅に低下することがあります。

式 10 の ESR の項を無視すると、出力リップルの要件を満たすために必要な最小セラミック容量を簡単に見積もることができます。負荷オフ過渡のオーバーシュート要件を満たすために追加容量が必要かどうかを決定するには、式 9 を使用します。

セラミックコンデンサと電解コンデンサを混在させて実装することは、化学的性質が異なっても性能補完が可能なコンデンサを並列に接続する理由になります。各コンデンサの周波数応答は累積的で、各コンデンサは周波数範囲の特定の部分で必要な性能を発揮します。セラミックは、低 ESR と ESL で優れた中域周波数と高周波数のデカップリング特性を実現し、スイッチング周波数の出力リップルを最小限に抑えます。一方、大きなバルク容量を持つ電解デバイスは低周波数でエネルギー保存を行うため、負荷過渡要求に対応します。

9.1.1.3 入力コンデンサ

入力コンデンサは、スイッチング周波数の AC 電流により、降圧出力段への入力リップル電圧を制限する必要があります。テキサス・インスツルメンツは、幅広い温度範囲で低インピーダンスと高い RMS 電流定格を実現する X7S または X7R 誘電セラミックコンデンサの使用を推奨しています。スイッチングループの寄生インダクタンスを最小化するためには、入力コンデンサをハイサイド MOSFET のドレイン側とローサイド MOSFET のソース側のできる限り近くに配置します。単一チャネル降圧レギュレータの入力コンデンサの RMS 電流を計算するには、式 11 を使用します。

$$I_{CIN,rms} = \sqrt{D \times \left(I_{LOAD}^2 \times (1-D) + \frac{\Delta I_{LOUT}^2}{12} \right)} \quad (11)$$

入力コンデンサの RMS 電流の最大値は $D = 0.5$ のときに発生します。この時点で、入力コンデンサの RMS 電流定格は出力電流の半分以上を超えている必要があります。

入力電流の DC 成分は入力電圧源と入力フィルタコンデンサによる AC 成分から供給されることが理想です。インダクタリップル電流を無視すると、入力コンデンサは、D 間隔の間に振幅 $(I_{LOAD} - I_{SUPPLY})$ の電流をソースし、 $1-D$ 間隔の間に I_{SUPPLY} をシンクします。そのため、入力コンデンサは、出力電流に等しいピークツーピーク振幅の方形波電流を導通します。この結果、AC リップル電圧の合成容量成分は三角波になります。ESR 関連のリップル成分だけでなく、式 12 にピークツーピークリップル電圧の振幅を示します。

$$\Delta V_{SUPPLY} = \frac{I_{LOAD} \times D \times (1-D)}{f_{SW} \times C_{IN}} + I_{LOAD} \times R_{ESR} \quad (12)$$

ΔV_{SUPPLY} の入力電圧リップル仕様に基づいて、特定の負荷電流に必要な入力容量は、式 13 に示されています。

$$C_{IN} \geq \frac{D \times (1-D) \times I_{LOAD}}{f_{SW} \times (\Delta V_{SUPPLY} - I_{LOAD} \times R_{ESR})} \quad (13)$$

低 ESR のセラミックコンデンサは、より大きなバルク容量と並列に配置することで、レギュレータとダンピングの入力フィルタリングを最適化し、Q の高いセラミックと共振する入力寄生インダクタンスの影響を低減することができます。入力バルクコンデンサは、リップル電流定格と動作温度範囲に基づいて選択してください。

9.1.1.4 パワー MOSFET

パワー MOSFET の選択は、DC/DC レギュレータの性能に大きな影響を及ぼします。MOSFET は低オン抵抗 $R_{DS(on)}$ を内蔵しているため導通損失を低減し、同時に寄生容量が小さいため遷移時間が短くなり、スイッチング損失が低くなります。通常、MOSFET の $R_{DS(on)}$ が低くなるほど、ゲートの電荷と出力の電荷 (それぞれ Q_G と Q_{OSS}) は高くなり、逆もまた同じです。そのため、一般的に $R_{DS(on)}$ と Q_G の積は MOSFET の性能指数として規定されます。使用されているパッケージの熱抵抗が低い場合、MOSFET の消費電力によって MOSFET のダイ温度が過剰な高温になることはありません。

パワー MOSFET の選択に影響を与える主なパラメータは次のとおりです：

- 7.5V での $R_{DS(on)}$
- ドレイン-ソース間の電圧定格、 BV_{DSS}
- 7.5V でのゲート電荷パラメータ
- 関連入力電圧における出力電荷 Q_{OSS}
- ボディダイオードの逆回復電荷 Q_{RR}

- ゲート スレッショルド電圧 $V_{GS(th)}$ 。MOSFET データシートの Q_G と V_{GS} のプロットにおけるミラー プラトーから算出されます。MOSFET を十分に拡張するには、ミラー プラトー電圧をゲートドライブ振幅よりも $2V \sim 3V$ 低くする必要があります。これは、特に最低入力電圧において重要です。

1 チャネルあたりの MOSFET に関連する電力損失は、表 9-1 の式にまとめられています。この式の添え字の 1 と 2 は、それぞれハイサイドとローサイド MOSFET のパラメータを表します。インダクタのリプル電流の影響を考慮する場合でも、寄生インダクタンスや SW ノードのリンギングなどの 2 次損失モードは含まれません。

表 9-1. MOSFET の電力損失

電力損失モード	下限側 MOSFET	ローサイド MOSFET
MOSFET の導通(2)(3)	$P_{cond1} = D \times \left(I_{LOAD}^2 + \frac{\Delta I_{LOUT}^2}{12} \right) \times R_{DS(on)1}$ (14)	$P_{cond2} = D' \times \left(I_{LOAD}^2 + \frac{\Delta I_{LOUT}^2}{12} \right) \times R_{DS(on)2}$ (15)
MOSFET のスイッチング	$P_{sw1} = \frac{V_{SUPPLY} \times f_{SW}}{2} \times \left[\left(I_{LOAD} - \frac{\Delta I_{LOUT}}{2} \right) \times t_R + \left(I_{LOAD} + \frac{\Delta I_{LOUT}}{2} \right) \times t_F \right]$ (16)	無視できる範囲
MOSFET ゲートドライブ(1)	$P_{gate1} = V_{CC} \times f_{SW} \times Q_{G1}$ (17)	$P_{gate2} = V_{CC} \times f_{SW} \times Q_{G2}$ (18)
MOSFET 出力電荷(4)	$P_{Coss} = f_{SW} \times (V_{SUPPLY} \times Q_{OSS2} + E_{oss1} - E_{oss2})$ (19)	
ボディダイオード導通	該当なし	$P_{condBD} = V_F \times f_{SW} \times \left[\left(I_{LOAD} + \frac{\Delta I_{LOUT}}{2} \right) \times t_{dt1} + \left(I_{LOAD} - \frac{\Delta I_{LOUT}}{2} \right) \times t_{dt2} \right]$ (20)
ボディダイオードの逆回復(5)	$P_{RR} = V_{SUPPLY} \times f_{SW} \times Q_{RR2}$ (21)	

- ゲートドライブ損失は、MOSFET の内部ゲート抵抗、外付けの直列ゲート抵抗、およびデバイスの関連するドライブ抵抗に基づいて按分されます。
- MOSFET の $R_{DS(on)}$ の正の温度係数は、約 4500ppm/°C です。MOSFET の接合部温度 T_J と、周囲温度と比べて接合部温度がどれだけ上昇するかは、デバイスの総消費電力とその熱インピーダンスに依存します。最小入力電圧や、それに近い電圧で動作する時には、MOSFET の $R_{DS(on)}$ は利用可能なゲートドライブ電圧の定格になります。
- $D' = 1-D$ は、デューティサイクルの補数です。
- MOSFET の出力容量 C_{oss1} と C_{oss2} は、電圧に対して高度な非線形となります。これらの容量は、ハイサイド MOSFET ターンオフ時のインダクタ電流によりロスレスで充電されます。ただし、ターンオン時には電流は入力から流れるため、ローサイド MOSFET の出力容量が充電されます。 C_{oss1} のエネルギー E_{oss1} はターンオン時に消費されますが、この消費は C_{oss2} に保存されているエネルギー E_{oss2} で相殺されます。
- MOSFET ボディダイオードの逆回復電荷 Q_{RR} は、さまざまなパラメータ、特に順方向電流、電流遷移速度、温度に依存します。

ハイサイド (制御) MOSFET では、PWM のオン時間 (または D 間隔) 中にインダクタ電流が流れ、ほとんどのスイッチング損失がここで発生します。そのため、導通およびスイッチング損失の寄与のバランスを取るハイサイド MOSFET を選択することが必要です。ハイサイド MOSFET の総消費電力は、導通、スイッチング (電圧 - 電流間のオーバーラップ)、出力充電、ボディダイオードの逆回復に起因する正味の損失の通常 3 分の 2 の合計になります。

ローサイド (同期) MOSFET は、ハイサイド MOSFET がオフ (または 1-D 間隔) のときにインダクタ電流を流します。ローサイド MOSFET のスイッチング損失はゼロ電圧でスイッチングされるため、ローサイド MOSFET のスイッチング損失は無視できます。電流はチャネルからボディダイオードへ流れますが、遷移デッドタイム中は逆方向にも流れます。本デバイスは適応型ゲートドライブ タイミングを使用しているため、両方の MOSFET がオフのときに、ボディダイオードの導通損失を最小に抑えます。この損失は、スイッチング周波数に正比例します。

ステップダウン比の高いアプリケーションでは、スイッチング時間の大部分でローサイド MOSFET は電流を流します。そのため、高効率を実現するには、低 $R_{DS(on)}$ のときにローサイド MOSFET を最適化することが重要です。導通損失が大きすぎる場合、または目標とする $R_{DS(on)}$ が単一の MOSFET で実現可能な値より低い場合は、2 つのローサイド MOSFET を並列に接続します。ローサイド MOSFET の総消費電力は、チャンネル導通、ボディダイオード導通、ボディダイオードの逆回復に起因する正味の損失の通常 3 分の 1 の合計になります。

9.1.1.5 EMI フィルタ

スイッチングレギュレータは最小入力電圧において最小となる負の入力インピーダンスを示します。LC フィルタの減衰不足は、フィルタの共振周波数に対して出力インピーダンスが高いことを示しています。安定性のため、フィルタの出力インピーダンスはコンバータの入力インピーダンスの絶対値よりも小さくする必要があります。

$$Z_{IN} = \left| -\frac{V_{SUPPLY(MIN)}^2}{P_{SUPPLY}} \right| \quad (22)$$

パッシブ EMI フィルタの設計手順は以下のとおりです：

- EMI フィルタに対して、スイッチング周波数で要求される減衰を計算します。ここで、 C_{IN} はスイッチングコンバータの入力における既存の容量を表しています。
- 通常、入力フィルタインダクタ L_F は $1\mu\text{H} \sim 10\mu\text{H}$ に選択されますが、大電流設計での損失を低減するため、さらに小さい値にすることも可能です。
- 入力フィルタコンデンサ C_F を計算します。

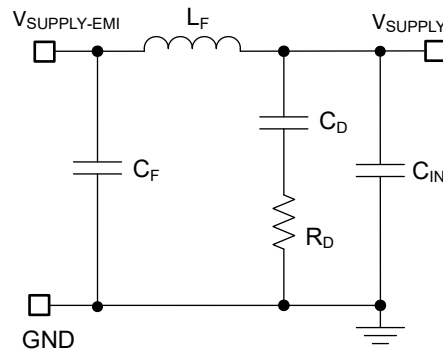


図 9-2. 降圧レギュレータ用のパッシブ π 段 EMI フィルタ

入力電流波形のフーリエ級数から最初に高調波電流を計算し、その値に入力インピーダンス (インピーダンスは既存の入力コンデンサ C_{IN} で定義) を乗算することにより、式 23 に示す必要な減衰を求める式が得られます。

$$\text{Attn} = 20 \log \left(\frac{I_{L\text{OUT(PEAK)}}}{\pi^2 \times f_{SW} \times C_{IN}} \times \sin(\pi \times D_{MAX}) \times \frac{1}{1\mu\text{V}} \right) - V_{MAX} \quad (23)$$

ここで、

- V_{MAX} は、適用可能な伝導 EMI 仕様に許容される $\text{dB}\mu\text{V}$ のノイズレベルです。
- C_{IN} は、降圧レギュレータの既存の入力容量です。
- D_{MAX} は、最大デューティサイクルです。
- $I_{L\text{OUT(PEAK)}}$ はピークインダクタ電流です。

フィルタ設計の目的のため、入力時の電流を方形波でモデリングすることができます。式 24 を使用して、パッシブ EMI フィルタの容量 C_F を決定します。

$$C_F = \frac{1}{L_F} \left(\frac{|Attn|}{2\pi \times f_{SW}} \right)^2 \quad (24)$$

スイッチングレギュレータに入力フィルタを追加すると、制御から出力への伝達関数を変更されます。フィルタの出力インピーダンスは、入力フィルタが降圧コンバータのループゲインに大きな影響を与えないように、十分小さくする必要があります。インピーダンスは、フィルタの共振周波数でピークになります。フィルタの共振周波数は、式 25 で提供されます。

$$f_{res} = \frac{1}{2\pi \times \sqrt{L_F \times C_F}} \quad (25)$$

R_D の目的は、共振周波数におけるフィルタのピーク出力インピーダンスを低減することです。コンデンサ C_D は、入力電圧の DC 成分をブロックして、 R_D での過剰な電力消費を防止します。コンデンサ C_D は、入力コンデンサ C_{IN} より大きな容量で、共振周波数において R_D よりも低インピーダンスの必要があります。この要件により、 C_{IN} がメインフィルタのカットオフ周波数に干渉することを防ぎます。共振周波数におけるフィルタの出力インピーダンスが高い場合は、入力ダンピングを追加する必要があります (L_F と C_{IN} で形成されるフィルタの Q 値が大きすぎる場合)。式 26 に示されている値での入力ダンピングには、電解コンデンサ C_D を使用できます。

$$C_D \geq 4 \times C_{IN} \quad (26)$$

式 27 を使用して、入力ダンピング抵抗 R_D を選択します。

$$R_D = \sqrt{\frac{L_F}{C_{IN}}} \quad (27)$$

9.1.2 エラーアンプと補償

図 9-3 に、相互コンダクタンスのエラーアンプ (EA) を使用した Type-II 補償器を示します。式 28 に示すように、EA の開ループゲインの支配的なポールは、EA 出力抵抗 $R_{O(EA)}$ と、実効帯域幅制限容量 C_{BW} で設定します。

$$G_{EA}(s) = - \frac{g_m(EA) \times R_{O(EA)}}{1 + s \times R_{O(EA)} \times C_{BW}} \quad (28)$$

上の式では、EA の高周波ポールは無視されています。出力電圧から COMP ノードまでの補償器の伝達関数は、(内部または外部の) フィードバック抵抗ネットワークからのゲインの寄与を含めて式 29 で計算します。

$$G_{COMP}(s) = \frac{V_{COMP}(s)}{V_{LOAD}(s)} = - \frac{V_{REF}}{V_{LOAD}} \times \frac{g_m \times R_{O(EA)} \times \left(1 + \frac{s}{\omega_{Z1}}\right)}{\left(1 + \frac{s}{\omega_{P1}}\right) \times \left(1 + \frac{s}{\omega_{P2}}\right)} \quad (29)$$

ここで、

- V_{REF} は帰還基準電圧です。
- $g_m(EA)$ は、1mS の EA ゲイン相互コンダクタンスです。
- $R_{O(EA)}$ は、70M Ω のエラーアンプ出力インピーダンスです。

$$\omega_{Z1} = \frac{1}{R_{COMP} \times C_{COMP}} \quad (30)$$

$$\omega_{P1} = \frac{1}{R_{O(EA)} \times (C_{COMP} + C_{HF} + C_{BW})} \cong \frac{1}{R_{O(EA)} \times C_{COMP}} \quad (31)$$

$$\omega_{P2} = \frac{1}{R_{COMP} \times (C_{COMP} || (C_{HF} + C_{BW}))} \cong \frac{1}{R_{COMP} \times C_{HF}} \quad (32)$$

EA の補償部品は、原点近くの極、ゼロ、高周波極を生成します。通常、 $R_{COMP} \ll R_{O(EA)}$ かつ $C_{COMP} \gg C_{BW}$ および C_{HF} のため、近似値が有効です。

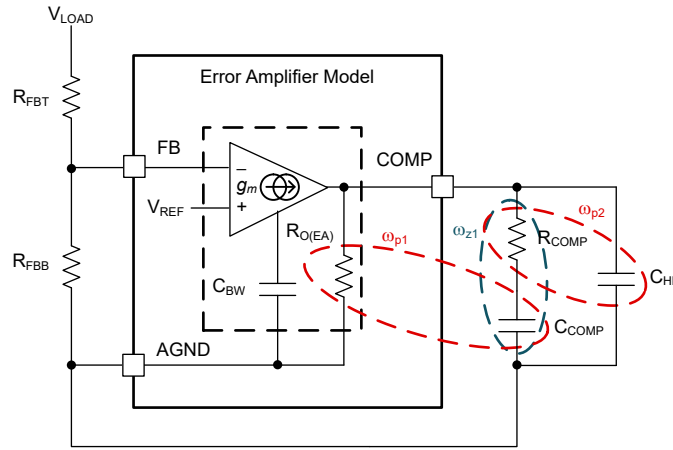


図 9-3. エラー アンプと補償ネットワーク

9.2.1.1 設計要件

この設計例の入力、出力、性能のパラメータを、表 9-2 に示します。

表 9-2. 設計パラメータ

設計パラメータ	値
入力動作範囲	15V、48V、70V (最小値、標準値、最大値)
CV のレギュレーション ターゲット	12V
CC のレギュレーション ターゲット	8A
スイッチング周波数	400kHz

スイッチング周波数は、抵抗 R_{RT} により 400kHz に設定されます。制御ループ性能について、対象のループ クロスオーバー周波数は 60°以上の位相マージンで 40kHz です。

9.2.1.2 詳細な設計手順

クイック スタート カリキュレータを使用すると、デバイスの仕様をベースとして、特定のアプリケーション用のレギュレータを簡単に設計できます。詳細な設計手順については、[LM5192-LM25192-DESIGN-CALC](#) クイック スタート カリキュレータをダウンロードしてください。

推奨部品と代表的なアプリケーション曲線については、『[LM5192-Q1 CC-CV 降圧コントローラ I²C 評価基板 EVM ユーザー ガイド](#)』を参照してください。

9.2.1.2.1 降圧インダクタ

1. 公称入力電圧における 40% のインダクタリップル電流に基づいて必要な降圧インダクタンスを計算するには、式 33 を使用します。

$$L_0 = \frac{V_{OUT}}{\Delta I_L \times f_{SW}} \times \left(1 - \frac{V_{OUT}}{V_{IN}}\right) = \frac{12}{3.2 \times 400k} \times \left(1 - \frac{12}{48}\right) = 7.0\mu H \quad (33)$$

2. モールド インダクタ電流による実効インダクタンスのディレーティングを考慮して、6.8μH の標準インダクタ値を選択します。最大定常状態の入力電圧におけるピーク インダクタ電流を計算するには、式 34 を使用します。

$$I_{LO(PK)} = I_{LOAD} + \frac{\Delta I_L}{2} = I_{LOAD} + \frac{V_{OUT}}{2 \times L_0 \times f_{SW}} \times \left(1 - \frac{V_{OUT}}{V_{IN(MAX)}}\right) = 8 + \frac{3.655}{2} = 9.83A \quad (34)$$

3. 勾配補償がない場合、ピーク電流モード制御に対して、デューティ サイクルが 50% より大きいと分数調波振動が発生します。設計を簡略化するため、デバイスにはスイッチング周波数に比例した内部勾配補償ランプが内蔵されています。このスイッチング周波数は電流センス信号に追加され、分数調波振動が発生する性質を弱めます。式 35 を使用してインダクタンスのクロスチェックを行い、理想値であるインダクタ電流の下り勾配の 1 倍に近い勾配補償を設定します。

$$L_0(MIN) = \frac{V_{OUT} \times R_S}{0.04 \times f_{SW}} = \frac{12 \times 5m}{0.04 \times 400k} = 3.75\mu H \quad (35)$$

9.2.1.2.2 電流検出抵抗

1. 全負荷時のピーク インダクタ電流より少なくとも 20% 以上高い最大ピーク電流能力に基づいて電流検出抵抗を計算し、スタートアップ中と負荷オンでの過渡時に十分なマージンを提供します。式 36 を使用して電流センス抵抗を計算します。

$$R_S = \frac{V_{CS} - TH}{1.2 \times I_{LO(PK)}} = \frac{60m}{1.2 \times 9.83} = 5.08m\Omega \quad (36)$$

2. シャントに、標準抵抗値 5mΩ を選択します。セクション 9.4.1 のレイアウトガイドラインをよく読み、ノイズと DC 誤差によって ISNS+ ピンと VOULTS ピンの間で測定する差動電流センス電圧に誤りが発生しないように注意してください。
3. インダクタの近くにシャント抵抗を配置します。
4. ケルビン検出接続を使用し、シャントからデバイスまでの差動を取るよう配線します。

5. CS から出力までの伝搬遅延 (電流制限コンパレータ、内部ロジックとパワー MOSFET ゲートドライバが要因) により、ピーク電流は計算した電流制限スレッショルドを超えて増加します。合計伝搬遅延 t_{DELAY} が 105ns の場合は、式 37 を使用して、出力が短絡した状態でのワーストケースのピーク インダクタ電流を計算してください。

$$I_{\text{LO-PK(SC)}} = \frac{V_{\text{CS}} - \text{TH(MAX)}}{R_{\text{S}}} + \frac{V_{\text{IN(MAX)}} \times t_{\text{DELAY}}}{L_{\text{O}}} = \frac{66\text{m}}{5\text{m}} + \frac{70 \times 105\text{n}}{6.8\mu} = 14.3\text{A} \quad (37)$$

6. この結果に基づき、全動作温度範囲で飽和電流が 14.3A より大きくなるインダクタを選択します。

9.2.1.2.3 出力コンデンサ

1. 式 38 を使用して、負荷オフ遷移 (全負荷から無負荷までの遷移) 中の出力電圧のオーバーシュートを管理するために必要な出力容量を見積ります。負荷過渡の偏差仕様は 3% と想定します。

$$C_{\text{OUT}} \geq \frac{L_{\text{O}} \times \Delta I_{\text{LOAD}}^2}{(V_{\text{LOAD}} + \Delta V_{\text{OVERSHOOT}})^2 - V_{\text{LOAD}}^2} = \frac{6.8\mu \times 8^2}{(12 + 12 \times 0.03)^2 - 12^2} = 49.6\mu\text{F} \quad (38)$$

2. セラミック コンデンサには電圧係数があり、印加された電圧によって実効容量が大幅に減少することを考慮して、4 つの 22 μF 、25V、X7R セラミック出力コンデンサを選択します。通常、負荷オフ過渡応答の要件を満たすために十分な容量を使用する場合、無負荷から全負荷への過渡時の電圧アンダーシュートも十分要件を満たします。
3. 式 39 を使用して、公称入力電圧時におけるピークピーク出力電圧リップルを見積ります。

$$\Delta V_{\text{OUT}} = \sqrt{\left(\frac{\Delta I_{\text{L}}}{8 \times f_{\text{SW}} \times C_{\text{OUT}}}\right)^2 + (R_{\text{ESR}} \times \Delta I_{\text{L}})^2} = \sqrt{\left(\frac{3.65}{8 \times 400\text{k} \times 62\mu}\right)^2 + (1\text{m} \times 3.65)^2} = 19\text{mV} \quad (39)$$

ここで、

- R_{ESR} は、出力コンデンサの実効等価直列抵抗 (ESR) です。
 - 62 μF は、12V での合計実効 (デイレートイング) セラミック出力容量です。
4. 式 40 を使用して、出力コンデンサの RMS リップル電流を計算し、リップル電流がコンデンサのリップル電流定格内に収まっていることを確認します。

$$I_{\text{CO(RMS)}} = \frac{\Delta I_{\text{L(OUT)}}}{\sqrt{12}} = \frac{3.65}{\sqrt{12}} = 1.05\text{A} \quad (40)$$

9.2.1.2.4 入力コンデンサ

一般的に、スイッチング周波数における電源入力のソース インピーダンスは比較的高くなります。入力リップル電圧を制限するには、高品質な入力コンデンサが必要です。一般的に、リップル電流は、スイッチング周波数におけるコンデンサの相対インピーダンスに基づいて、入力コンデンサ間で分割されます。

1. 入力コンデンサを選択する場合は、十分な電圧と RMS リップル電流定格を持つものにしてください。
2. ワーストケースのデューティサイクル動作ポイントが 50% と想定し、式 41 を使用して、入力コンデンサの RMS リップル電流を計算します。

$$I_{\text{CIN,rms}} = \sqrt{D \times \left(I_{\text{LOAD}}^2 \times (1 - D) + \frac{\Delta I_{\text{L(OUT)}}^2}{12} \right)} = \sqrt{0.5 \times \left(8^2 \times (1 - 0.5) + \frac{3.65^2}{12} \right)} = 4.1\text{A} \quad (41)$$

3. 式 42 を使用して、必要な入力容量を求めます。

$$C_{\text{IN}} \geq \frac{D \times (1 - D) \times I_{\text{LOAD}}}{f_{\text{SW}} \times (\Delta V_{\text{SUPPLY}} - I_{\text{LOAD}} \times R_{\text{ESR}})} = \frac{0.5 \times (1 - 0.5) \times 8}{400\text{k} \times (0.25 - 8 \times 1\text{m})} = 21\mu\text{F} \quad (42)$$

ここで、

- ΔV_{SUPPLY} は、入力ピークツーピークリップル電圧の仕様です。
- R_{ESR} は、入力コンデンサの ESR です。

- セラミックコンデンサの電圧係数から、6つの4.7μF、100V、X7Rセラミック入力コンデンサを選択します。これらのコンデンサはパワーMOSFETの近くに配置してください。
- 6つの10nF、100V、X7R、0603セラミックコンデンサをハイサイドMOSFETの近くに配置して、MOSFETのスイッチング遷移時にdi/dtの大きい電流を供給します。このコンデンサにより、高い自己共振周波数(SRF)と100MHz以上での低実効インピーダンスが実現します。この結果、電源ループの寄生インダクタンスはさらに低下し、スイッチノードの電圧オーバーシュートとリンギングが最小限に抑えて、伝導および放射EMIシグネチャを低減できます。

9.2.1.2.5 補償部品

以下の手順に従って、安定した制御ループの補償部品を選択します。

- 40kHzに規定されたループゲインクロスオーバー周波数 f_C に基づき、実効出力容量を62μFと仮定して、式43を使用して R_{COMP} を計算します。 R_{COMP} の標準値7.68kΩを選択します。 V_{STEP} が10mVの場合、 V_{REF} は $V_{OUT}/10$ です。 V_{STEP} が20mVの場合、 V_{REF} は $V_{OUT}/20$ です。

$$R_{COMP} = 2 \times \pi \times f_C \times \frac{V_{OUT}}{V_{REF}} \times \frac{R_S \times G_{CS}}{g_m} \times C_{OUT} = 2 \times \pi \times 40\text{kHz} \times \frac{12\text{V}}{1.2\text{V}} \times \frac{5\text{m}\Omega \times 10}{1000\mu\text{S}} \times 62\mu\text{F} = 7.79\text{k}\Omega \quad (43)$$

- クロスオーバー時に十分な位相ブーストを実現し、負荷またはライン過渡時に高速なセトリングタイムを確保するには、(1)クロスオーバー周波数の1/10または(2)負荷ポールのうち高いほうにゼロが配置されるように C_{COMP} を選択します。 C_{COMP} の標準値として4.7nFを選択します。

$$C_{COMP} = \frac{10}{2 \times \pi \times f_C \times R_{COMP}} = \frac{10}{2 \times \pi \times 40\text{kHz} \times 7.68\text{k}\Omega} = 5.18\text{nF} \quad (44)$$

- C_{HF} を計算して、ESRゼロの位置にポールを作成し、COMPピンにおける高周波ノイズを減衰させます。 C_{BW} は、エラーアンプの帯域幅制限容量です。1pFの C_{HF} は、この設計では無視できます。しかし、ノイズの多い環境、特に V_{IN} がHighで、負荷電流が高い場合、追加の容量によってノイズを除去できます。

$$C_{HF} = \frac{1}{2 \times \pi \times f_{ESR} \times R_{COMP}} - C_{BW} = \frac{1}{2 \times \pi \times 642\text{kHz} \times 7.68\text{k}\Omega} - 15\text{pF} = 17\text{pF} \quad (45)$$

注

高い R_{COMP} と低い C_{COMP} 値で高速ループを設定して、ドロップアウト状態の動作から復帰するときの応答を改善します。

9.2.1.3 アプリケーション曲線

ADVANCE INFORMATION

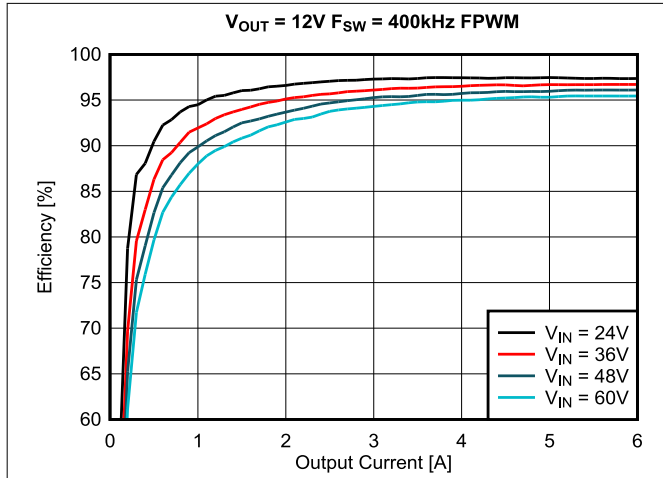


図 9-5. FPWM モードの効率、リニア スケール

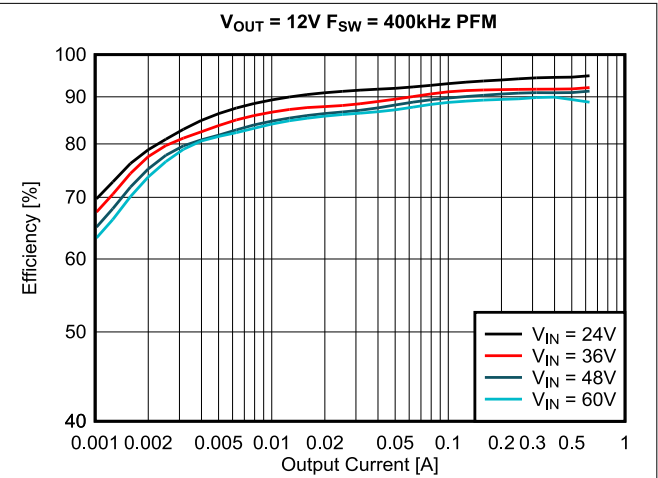


図 9-6. PFM モードの効率、対数スケール

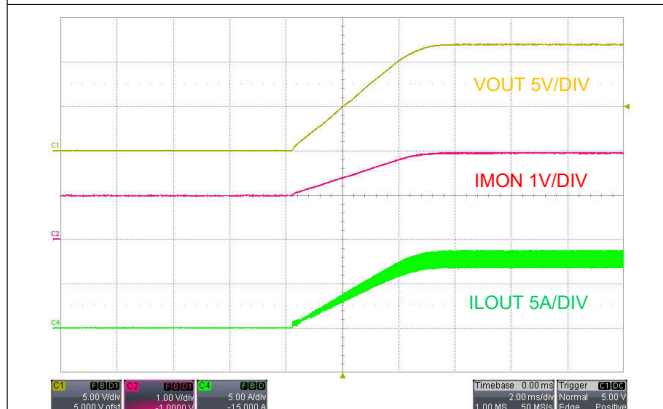


図 9-7. スタートアップ、EN オン、 $V_{SUPPLY} = 48V$ 、 $I_{LOAD} = 8A$ の抵抗性負荷

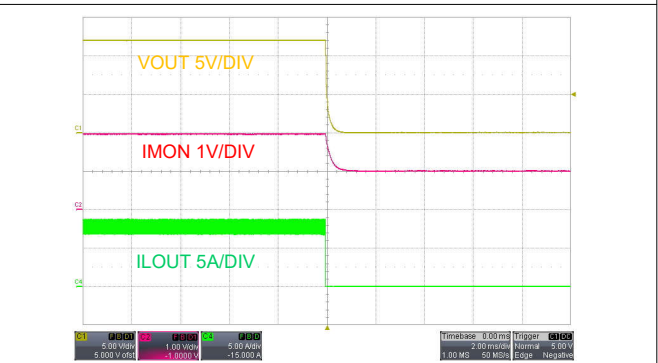


図 9-8. シャットダウン、EN オフ、 $V_{SUPPLY} = 48V$ 、 $I_{LOAD} = 8A$ の抵抗性負荷

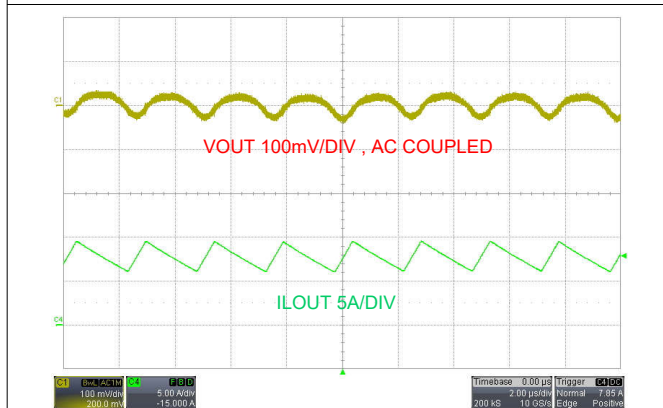


図 9-9. 出力リップル、 $V_{SUPPLY} = 48V$ 、 $I_{LOAD} = 8A$

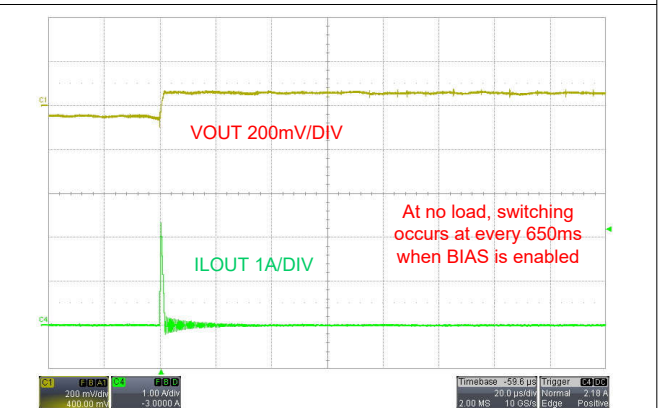


図 9-10. PFM モードでの無負荷動作、 $V_{SUPPLY} = 48V$ 、 $I_{LOAD} = 0A$

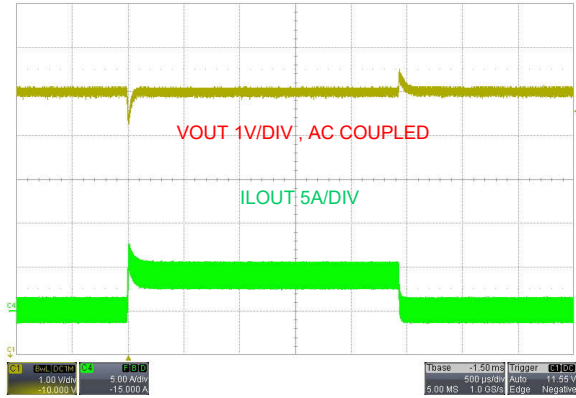


図 9-11. 負荷過渡応答、 $V_{SUPPLY} = 48V$ 、FPWM、0A ~ 4A

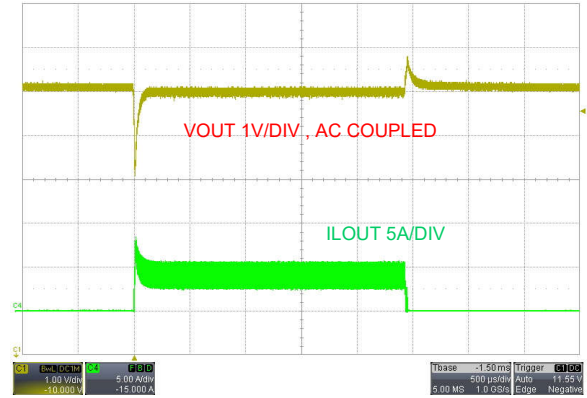


図 9-12. 負荷過渡応答、 $V_{SUPPLY} = 48V$ 、PFM、0A ~ 4A

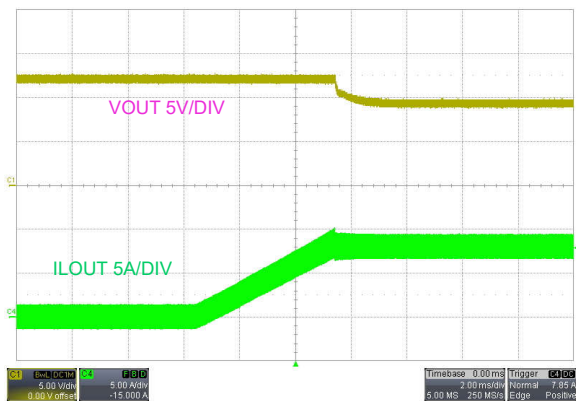


図 9-13. CV から CC モードへの遷移、 $V_{SUPPLY} = 48V$ 、 $V_{LOAD} = 12V$ から 9V

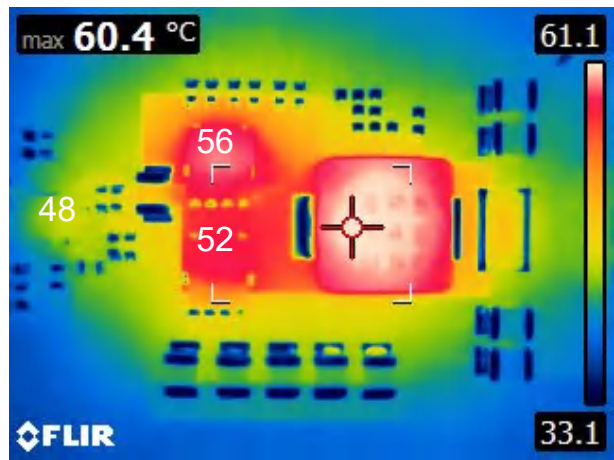


図 9-14. $V_{SUPPLY} = 48V$ 、 $I_{LOAD} = 8A$ 、 $T_A = 25^\circ C$ 、エアフローなし

ADVANCE INFORMATION

9.3 電源に関する推奨事項

本デバイスは、広い入力電源電圧範囲で動作するように設計されています。入力電源は、ワイド入力電圧レンジを超えた全負荷時のレギュレータに必要な入力電源電流を供給できる必要があります。式 46 を使用して、平均入力電源電流を推定します。

$$I_{\text{SUPPLY}} = \frac{V_{\text{LOAD}} \times I_{\text{LOAD}}}{V_{\text{SUPPLY}} \times \text{Efficiency}} \quad (46)$$

レギュレータが高インピーダンスを持つ長い配線や PCB パターンを経由して入力電源に接続されている場合は、安定した性能を実現するために特に注意が必要です。入力ケーブルの寄生インダクタンスと抵抗は、コンバータの動作に悪影響を及ぼすおそれがあります。寄生インダクタンスと低 ESR セラミック入力コンデンサを組み合わせることで、不足減衰共振回路が形成されます。この回路は、入力電源がオンとオフで切り替わるたびに、レギュレータの入力で過電圧過渡が発生する可能性があります。寄生抵抗により、負荷過渡中に入力電源電圧が低下します。こうした問題を解決する最善策は、入力電源からレギュレータまでの距離を短くして、セラミックと並列にアルミニウム製やタンタル製の入力コンデンサを使用することです。電解コンデンサの ESR は比較的低いため、入力共振回路は減衰し、電圧オーバーシュートを低減することができます。

レギュレータの前に EMI 入力フィルタを使用することがあります。ただし、設計に留意しなければ、これにより不安定な状態が起きる、または前述のような影響を及ぼすおそれがあります。『AN-2162 DC/DC コンバータ向け伝導 EMI の簡単な成功事例』アプリケーションノートでは、スイッチングレギュレータの入力フィルタを設計する際に役立つ提案を紹介しています。

9.4 レイアウト

9.4.1 レイアウトのガイドライン

大電流、高速のスイッチング回路で堅牢かつ信頼性の高い設計を実現するには、適切な PCB 設計とレイアウトが重要です。降圧レギュレータの電力段の大電力スイッチング ループは、図 9-15 の影付き部分のループ 1 で示されています。降圧レギュレータのトポロジカル アーキテクチャは、ループ 1 の部品には特に di/dt の大きい電流が流れることを意味し、この実効ループ面積を最小化することによって寄生インダクタンスを低減することが必須となります。また、それぞれ 3 と 4 で示されている、ハイサイドとローサイドの MOSFET のゲート駆動ループも重要です。

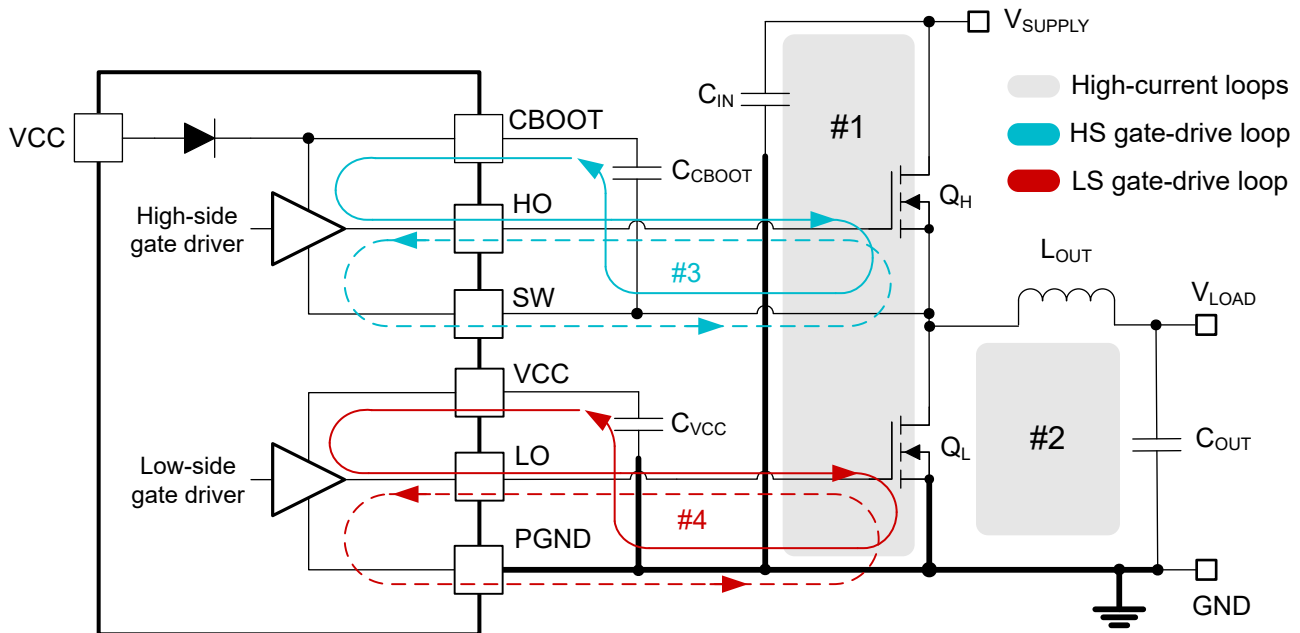


図 9-15. 出力段とゲート駆動回路スイッチング ループを内蔵した DC/DC レギュレータ グランド システム

9.4.1.1 出力段レイアウト

- 入力コンデンサ、出力コンデンサ、MOSFET は、降圧レギュレータの電力段の構成部品で、一般に PCB の上面に配置されます。システムレベルの気流を活用することにより、対流熱伝達の利点が最大化されます。通常、2 面 PCB レイアウトでは小信号部品は底面に配置されます。少なくとも 1 つの内部プレーンを挿入してグラウンドに接続することにより、小信号パターンをシールドし、ノイズの多いパターンや線と分離します。
- DC/DC レギュレータには、複数の大電流ループがあります。このループ領域を最小化すると、生成されるスイッチングノイズは抑制され、スイッチング性能を最適化することができます。
 - ループ 1: 最小化が最も重要なループ領域。1 つ以上の入力コンデンサから、ハイサイドおよびローサイド MOSFET を経由し、グラウンド接続を通過してコンデンサに戻る経路です。入力コンデンサの負端子は、ローサイド MOSFET のソースの近くに接続します。同様に、入力コンデンサの正端子は、ハイサイド MOSFET のドレインの近くに接続します。
 - ループ 2: ループ 2 はループ 1 ほど重要ではありません。これは、ローサイド MOSFET からインダクタと 1 つ以上の出力コンデンサを経由し、グラウンドを通過して、ローサイド MOSFET のソースに戻る経路です。ローサイド MOSFET のソースと 1 つ以上の出力コンデンサの負端子をグラウンドのできるだけ近くで接続します。
- SW ノードとして定義される PCB パターンは、ハイサイド MOSFET のソース、ローサイド MOSFET のドレイン、インダクタの高電圧側に接続され、短く幅広いパターンを使用する必要があります。ただし、SW 接続は注入 EMI のソースのため、大きすぎるとはいけません。
- パッドの形状とはんだペーストのステンシル設計など、MOSFET メーカーが推奨する MOSFET のレイアウトの考慮事項に従ってください。
- SW ピンは電力変換段のスイッチ ノードに接続され、ハイサイド ゲートドライバのリターン パスとして動作します。ループ 1 に固有の寄生インダクタンスと、両方のパワー MOSFET の出力容量 (C_{oss}) により共振回路が形成され、SW ノードの高周波 (50MHz 超) にリングングが誘発されます。このリングングの電圧ピークは、制御されていないときは入力電圧よりも大幅に高くなる場合があります。ピークリングング振幅が SW ピンの絶対最大定格制限を超えないことを確認してください。たいいていの場合、SW ノードから GND まで接続された直列抵抗とコンデンサのスナバ ネットワークにより、リングングは減衰し、ピーク振幅は減少します。SW ピンにおけるリングング振幅が過剰なことが試験で明らかになった場合は、必要に応じてスナバ部品を入れてください。

9.4.1.2 ゲートドライブレイアウト

ゲートドライブのスイッチング性能を最適化するには、浮遊または寄生ゲート ループ インダクタンスを最小化することが重要です。以下のループが重要です。

- ループ 3: ハイサイド MOSFET、 Q_H 。ハイサイド MOSFET のターンオン中は、ブートストラップ コンデンサからゲートドライバとハイサイド MOSFET を経由して大電流が流れ、SW 接続を経由してブート コンデンサの負側の端子に戻ります。反対に、ハイサイド MOSFET をオフにするには、ハイサイド MOSFET のゲートからゲートドライバと SW を経由して大電流が流れ、SW パターンを経由してハイサイド MOSFET のソースに戻ります。
- ループ 4: ローサイド MOSFET、 Q_L 。ローサイド MOSFET のターンオン中は、VCC デカップリング コンデンサからゲートドライバとローサイド MOSFET を経由して大電流が流れ、グラウンドを経由してコンデンサの負側の端子に戻ります。反対に、ローサイド MOSFET をオフにするには、ローサイド MOSFET のゲートからゲートドライバと GND を経由して大電流が流れ、グラウンドを経由してローサイド MOSFET のソースに戻ります。

TI は、高速 MOSFET ゲートドライブ回路を使用して設計する際には、回路レイアウトのガイドラインを遵守することを強く推奨しています。

- ゲートドライバ出力 HO と LO からハイサイドまたはローサイド MOSFET の各ゲートへの接続は、直列寄生インダクタンスを低減するために、できるだけ短くしてください。ピーク ゲートドライブ電流は最大で数 A になる可能性があることに注意してください。0.65mm (25mils) 以上の広いパターンを使用してください。これらのパターンには、必要に応じて、直径 0.0mm (20mil) 以上の 1 つまたは複数のビアを使用します。デバイスからハイサイド MOSFET まで、HO および SW のパターンを差動ペアとして配線し、フラックス キャンセレーションを利用します。同様に、デバイスからローサイド MOSFET まで、LO および PGND のパターン / 銅の領域を差動ペアとして配線し、フラックス キャンセレーションを利用します。

- ブートストラップコンデンサ C_{CBOOT} をデバイスの CBOOT ピンと SW ピンの近くに配置して、ハイサイドドライバに関連するループ 3 の面積を最小化します。同様に、VCC コンデンサ C_{VCC} をデバイスの VCC ピンと PGND ピンの近くに配置して、ローサイドドライバに関連するループ 4 の面積を最小化します。

9.4.1.3 PWM コントローラのレイアウト

ゲートドライバのパターン走行を最小限にするため、デバイスをパワー MOSFET のできる限り近くに配置し、電流センシングだけでなく、アナログ信号と帰還信号に関連する部品について、以下のように考慮します：

- 電源と信号、アナログトレースを分けて、ノイズのシールドを実現するためにグランドプレーンを使用します。
- 相互結合を避けるため、COMP、ISNS+、VOUTS、および IMON に関連するすべての敏感なアナログトレースおよびコンポーネントを、SW、HO、LO または CBOOT のような高電圧スイッチングノードから離して配置します。1 つ以上の内部層をグランドプレーンとして使用します。
- ノイズピックアップを最小限に抑えるため、ISNS+ および VOUT のセンスパターンを差動ペアとして配線し、適切なシャント抵抗にケルビン接続を使用します。電流センス (ISNS+ および VOUTS) のトレースを電力のトレースや部品からシールドします。
- VCC、VIN ピンから、それぞれのデカップリングコンデンサを経由して、PGND ピンまでのループ領域を最小にします。これらのコンデンサは、デバイスのできるだけ近くに配置します。

9.4.1.4 熱設計およびレイアウト

ゲートドライバとバイアス電源 LDO レギュレータが内蔵された PWM コントローラの動作温度範囲は、次の内容に大きく影響されます。

- パワー MOSFET の平均ゲート駆動電流の要件
- スイッチング周波数
- 動作入力電源電圧 (バイアスレギュレータの LDO 電圧降下、ひいてはその消費電力に影響する)
- パッケージと動作環境の熱特性

特定の温度範囲で有効になる PWM コントローラの場合、パッケージは接合部温度を定格制限内に維持しながら、発生する熱を効率的に除去する必要があります。

VQFN パッケージでは、パッケージの底面にある露出した熱パッドを介して、半導体のダイから熱が除去されます。パッケージの露出パッドは、デバイスの基板と熱的に接続されます。この接続によって熱のシンクが大幅に改善されますが、熱除去サブシステムを完成させるには、PCB の設計にサーマルランド、サーマルビア、グランドプレーンを入れることが必須となります。デバイスの露出パッドは、PCB 上でデバイスのパッケージの真下にある、グランドに接続された銅ランドにはんだ付けされているため、熱抵抗を小さい値まで低減します。

サーマルランドから内部とはんだ側の 1 つ以上のグランドプレーンに接続された直径 0.3mm の大量のビアは、放熱に不可欠です。マルチレイヤ PCB 設計では、通常は電源部品の下の PCB 層にソリッドなグランドプレーンを配置します。このプレーンの配置には、電力段の電流を流すためだけでなく、熱を生成するデバイスから熱伝導経路を離す役割もあります。

MOSFET の熱特性も重要です。ハイサイド MOSFET のドレインパッドは、通常ヒートシンクのために VIN プレーンに接続します。ローサイド MOSFET のドレインパッドは SW プレーンに接続しますが、SW プレーンの領域は EMI の懸念を和らげるために意図的にできるだけ小さくします。

9.4.1.5 グランドプレーン設計

TI は、ソリッドグランドプレーンとして 1 つ以上の内部 PCB 層を使用することを推奨しています。グランドプレーンは敏感な回路やパターンのシールドとして機能するだけでなく、制御回路の低ノイズ基準電位を提供します。特に、電力段部品の直下の層に完全なグランドプレーンが必要です。ローサイド MOSFET のソース端子と入力および出力コンデンサのリターン端子をこのグランドプレーンに接続します。露出パッドでデバイスの PGND ピンと AGND ピンを接続してから、露出パッドの下にあるビアの配列を使用して、システムのグランドプレーンに接続します。PGND の配線にはスイッチング周波数におけるノイズが含まれており、負荷電流変動によりバウンドすることがあります。PGND、VIN、SW の電力パターンは、グランドプレーンの片側、たとえば最上層に制限できます。グランドプレーンの反対側はノイズが非常に小さく、敏感なアナログのパターン配線用に設計されています。

9.4.2 レイアウト例

図 9-16 に、ディスクリート パワー MOSFET を使用した同期整流降圧レギュレータのレイアウト例を示します。この設計では、電力ループのリターンパスとして内部層を使用することで、小さな面積のスイッチング電力ループを作成しています。このループ面積、つまり寄生インダクタンスは、EMI だけでなくスイッチノード電圧のオーバーシュートとリンギングを最小化するために、できるだけ小さくする必要があります。

高周波数電力ループ電流は、MOSFET と内部層の電力グランド プレーンを通り、セラミック コンデンサを経由して VIN に戻ります。

複数のセラミック コンデンサを、ハイサイド MOSFET のドレインのすぐ近くに並列に配置します。取付面積の小さなコンデンサの低等価直列インダクタンス (ESL) と高自己共振周波数 (SRF) は、優れた高周波性能を実現します。これらのコンデンサの負端子は、複数のビアで内部層のグランド プレーンに接続され、寄生ループ インダクタンスをさらに最小化します。

ノイズ耐性を向上させて EMI を低減するための追加のガイドラインは、次のとおりです：

- PGND は、ローサイド MOSFET および電源グランドに直接接続します。ノイズに敏感なアナログ部品のため、AGND をアナログ グランド プレーンに直接接続します。AGND のアナログ グランド プレーンと PGND の電力グランド プレーンは、デバイスの直下、露出パッドの 1 点で接続する必要があります。
- MOSFET は、 dv/dt が高く、放射 EMI に寄与するため、短い銅箔で (ビアなし) インダクタ端子に直接接続します。スイッチノード接続を単層配線にすると、 dv/dt が高いスイッチノードビアが PCB の底面には現れません。このイベントにより、EMI テスト中のリファレンスグランドプレーンへの e フィールド結合を回避できます。VIN と PGND プレーンの銅箔ベタは MOSFET をインダクタ端子に接続するポリゴンをシールドし、放射 EMI シグネチャをさらに低減します。
- EMI フィルタ部品を PCB の底面に配置し、上面の電力段部品から部品がシールドされるようにします。

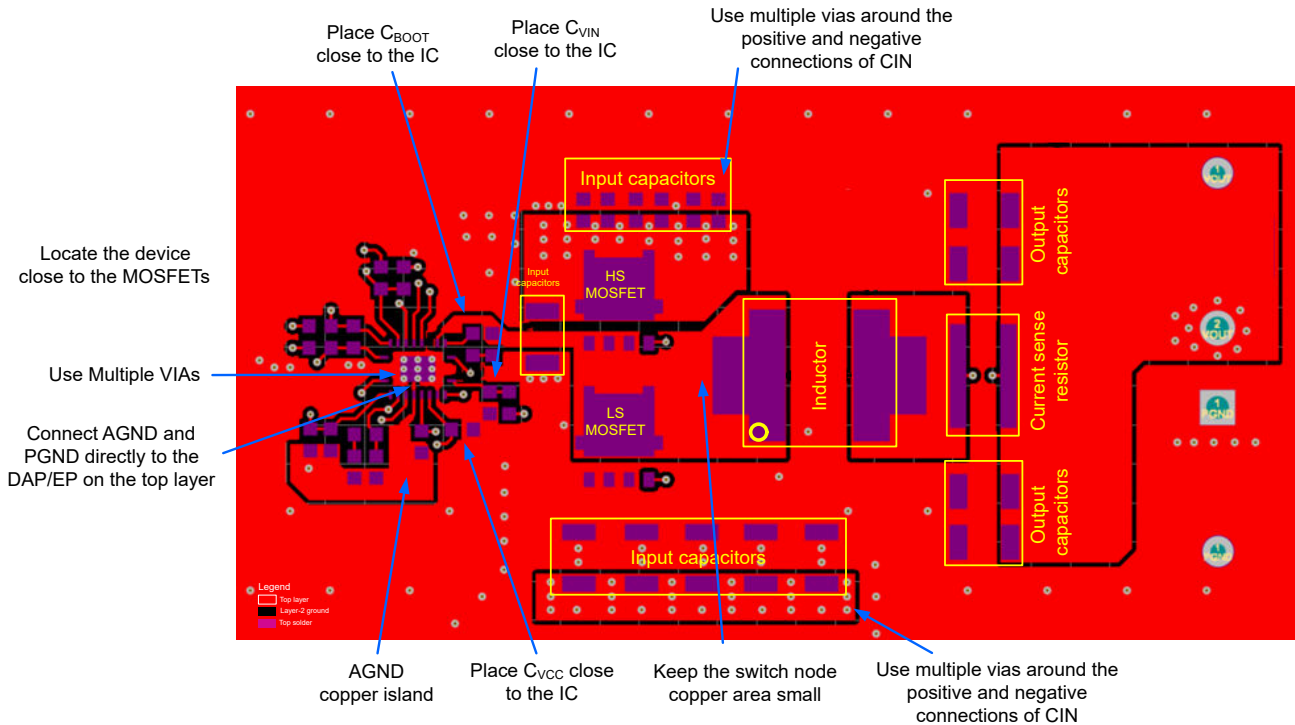


図 9-16. PCB の最上層

10 デバイスおよびドキュメントのサポート

10.1 デバイス サポート

10.1.1 開発サポート

開発サポートについては、以下を参照してください。

- テキサス・インスツルメンツのリファレンス デザイン ライブラリについては、[TI Designs](#) を参照してください。
- TI デザイン:
 - [2 つの 4Gbps クワッド デシリアライザを持つ ADAS 8 チャンネル センサ フュージョン ハブのリファレンス デザイン](#)
 - [車載向け EMI と放熱を最適化した同期整流降圧コンバータのリファレンス デザイン](#)
 - [LM5141-Q1 を採用した、車載用大電流、広い \$V_{IN}\$ の同期整流降圧コントローラのリファレンス デザイン](#)
 - [2.2MHz 動作、25W 車載スタート/ストップのリファレンス デザイン](#)
 - [車載クラスター向け同期整流降圧コンバータのリファレンス デザイン](#)
 - [ストレージ サーバ向け 137W ホールドアップ コンバータのリファレンス デザイン](#)
 - [12.0A 時に 3.3V、車載向け同期整流降圧のリファレンス デザイン](#)
 - [車載向け同期整流降圧のリファレンス デザイン](#)
 - [周波数スペクトラム拡散機能搭載、入力範囲の広い同期整流降圧コンバータのリファレンス デザイン](#)
 - [車載用の幅広い \$V_{IN}\$ 、デジタル コックピット処理ユニット向けのフロントエンドリファレンス デザイン](#)
- 技術関連ブログ記事:
 - [『DC/DC コンバータの高密度 PCB レイアウト』](#)
 - [『広い \$V_{IN}\$ 性能と柔軟性を持つ同期整流降圧コントローラソリューション』](#)
 - [『EMI 制御用スルーレートの使用方法』](#)

10.2 ドキュメントのサポート

10.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、[『最適化された出力段レイアウトによる大電流 DC/DC レギュレータの性能向上』アプリケーション ブリーフ](#)
- アプリケーション ノート:
 - テキサス・インスツルメンツ、[『AN-2162 DC-DC コンバータからの伝導 EMI への簡単な対処方法』](#)
 - テキサス・インスツルメンツ、[『LM5140-Q1 デュアル同期整流降圧コントローラによる車載用コールドクランク中の出力電圧レギュレーションの維持』](#)
- テキサス インスツルメンツ、[『誘導性寄生の最小化による降圧コンバータの EMI と電圧ストレスの低減』アナログデザインジャーナル](#)
- ホワイト ペーパー:
 - テキサス・インスツルメンツ、[『電源の伝導 EMI 仕様の概要』](#)
 - テキサス・インスツルメンツ、[『電源の放射 EMI 仕様の概要』](#)
 - テキサス・インスツルメンツ、[『コスト効率がよく要求品質の高いアプリケーション用の広範な \$V_{IN}\$ 、低 EMI 同期整流降圧回路の評価』](#)

10.2.1.1 PCB レイアウトについてのリソース

- アプリケーション ノート:
 - テキサス・インスツルメンツ、[『AN-1149 スイッチング電源のレイアウトのガイドライン』](#)
 - テキサス インスツルメンツ、[AN-1229 SIMPLE SWITCHER® の PCB レイアウト ガイドライン](#)
 - テキサス・インスツルメンツ、[『LM4360x および LM4600x による低放射 EMI レイアウトの簡単な設計』](#)
- テキサス・インスツルメンツ、[『独自電源の構築 - レイアウトの考慮事項』セミナー](#)

10.2.1.2 熱設計についてのリソース

- アプリケーション ノート:

- テキサス・インスツルメンツ、『[AN-2020 過去ではなく、現在の識見による熱設計](#)』
- テキサス・インスツルメンツ、『[AN-1520 露出パッド パッケージで最良の熱抵抗を実現するための基板レイアウト ガイド](#)』
- テキサス・インスツルメンツ、『[半導体および IC パッケージの熱評価基準](#)』
- テキサス・インスツルメンツ、『[LM43603 および LM43602 を使用した簡単な熱設計](#)』
- テキサス・インスツルメンツ、『[放熱特性に優れた PowerPAD™ パッケージ](#)』
- テキサス・インスツルメンツ、『[新しい熱評価基準の解説](#)』
- テキサス・インスツルメンツ、『[PowerPAD™ 入門](#)』アプリケーション ブリーフ

10.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.4 サポート・リソース

テキサス・インスツルメンツ [E2E™ サポート・フォーラム](#) は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの [使用条件](#) を参照してください。

10.5 商標

PowerPAD™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

SIMPLE SWITCHER® is a registered trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

10.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.7 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

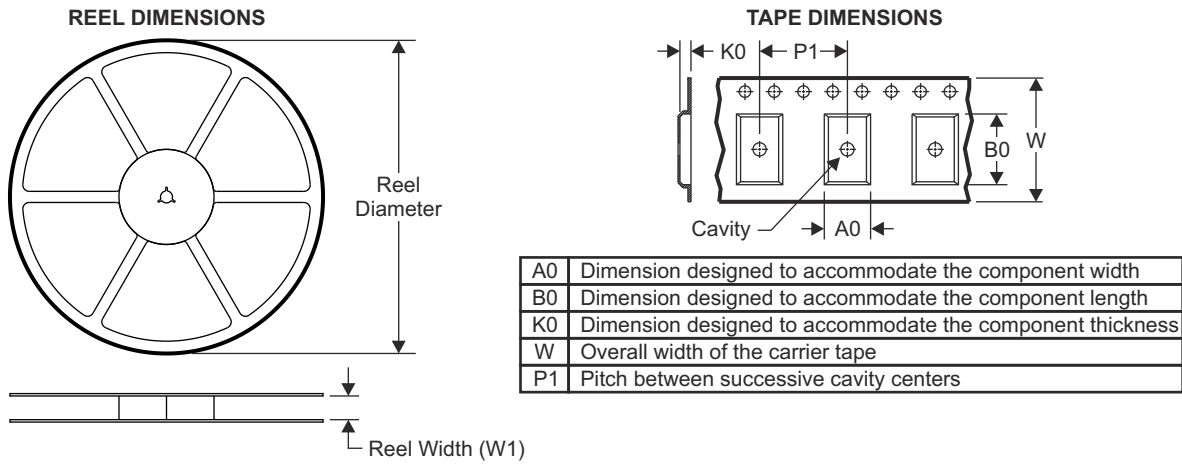
11 改訂履歴

日付	改訂	注
April 2026	*	初版リリース

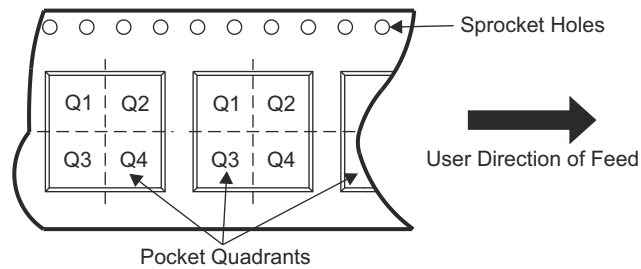
12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

12.1 テープおよびリール情報

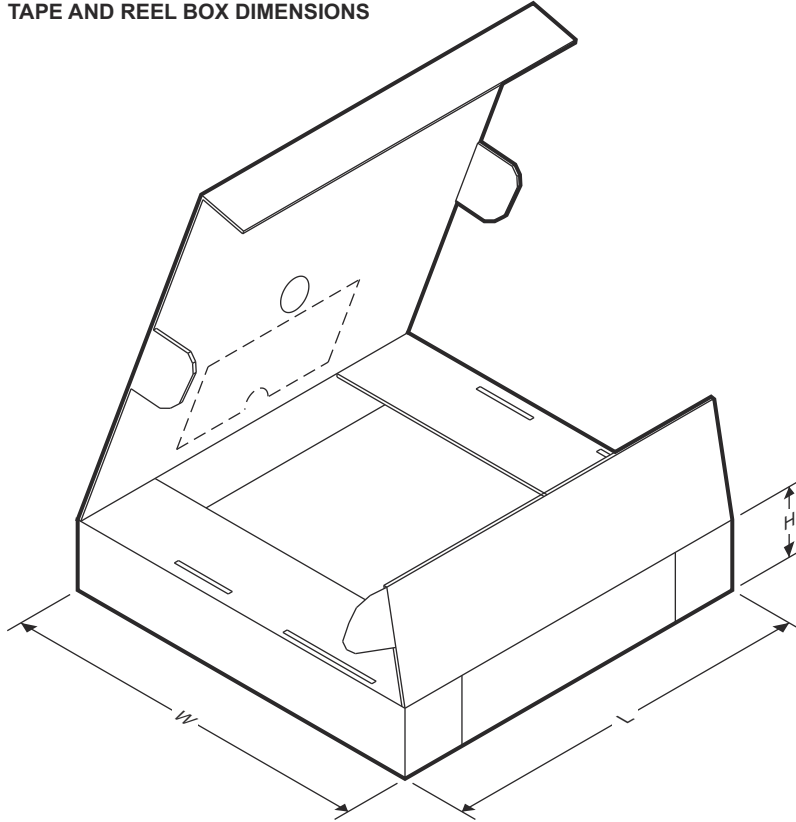


QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE




デバイス	パッケージタイプ	パッケージ図	ピン	SPQ	リール直径 (mm)	リール幅 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	ピン1の象限
PLM5192QRGYR	QFN	RGY	19	3000	330.0	12.4	3.8	5.8	1.2	8.0	12.0	Q2

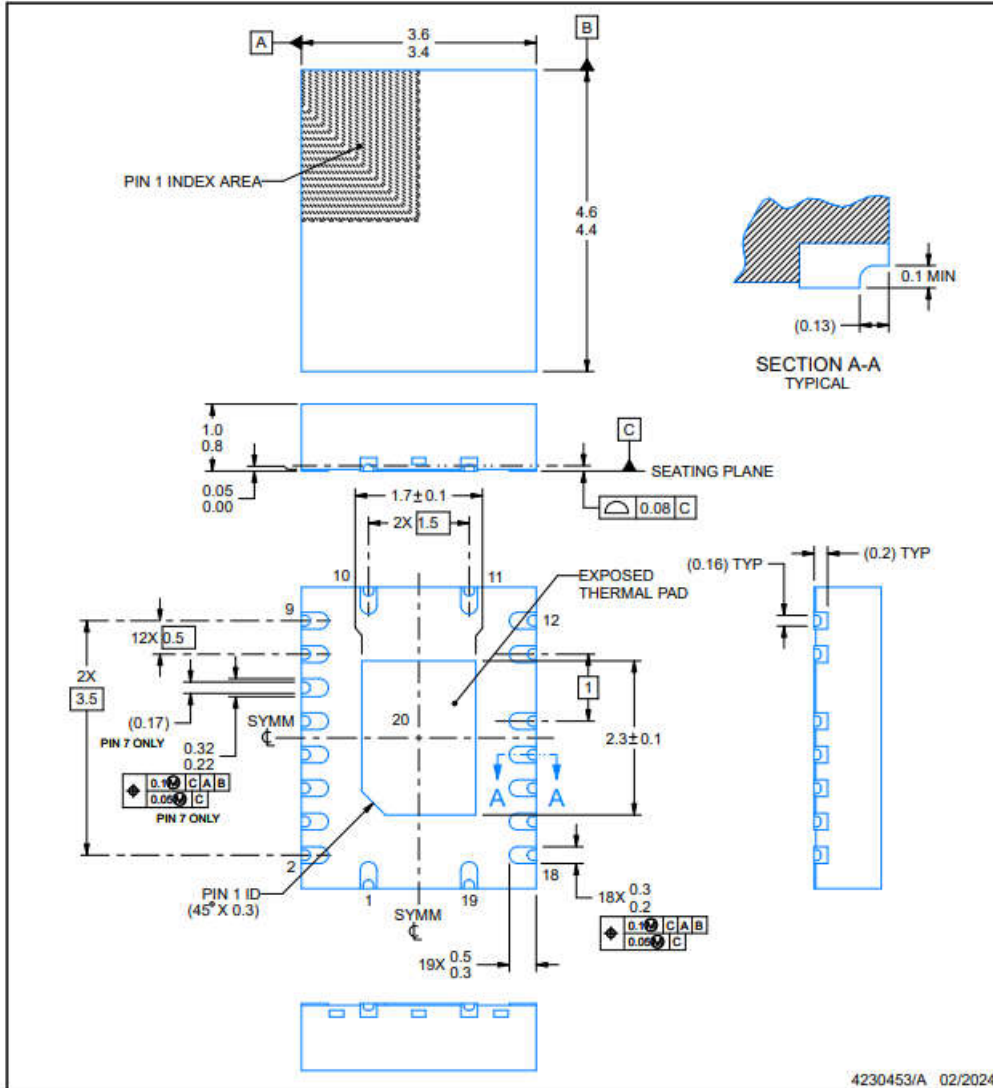
TAPE AND REEL BOX DIMENSIONS



デバイス	パッケージタイプ	パッケージ図	ピン	SPQ	長さ (mm)	幅 (mm)	高さ (mm)
PLM5192QRGYR	QFN	RGY	19	3000	367.0	367.0	35.0

ADVANCE INFORMATION

RGY0019C  **PACKAGE OUTLINE**
VQFN - 1 mm max height
 PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

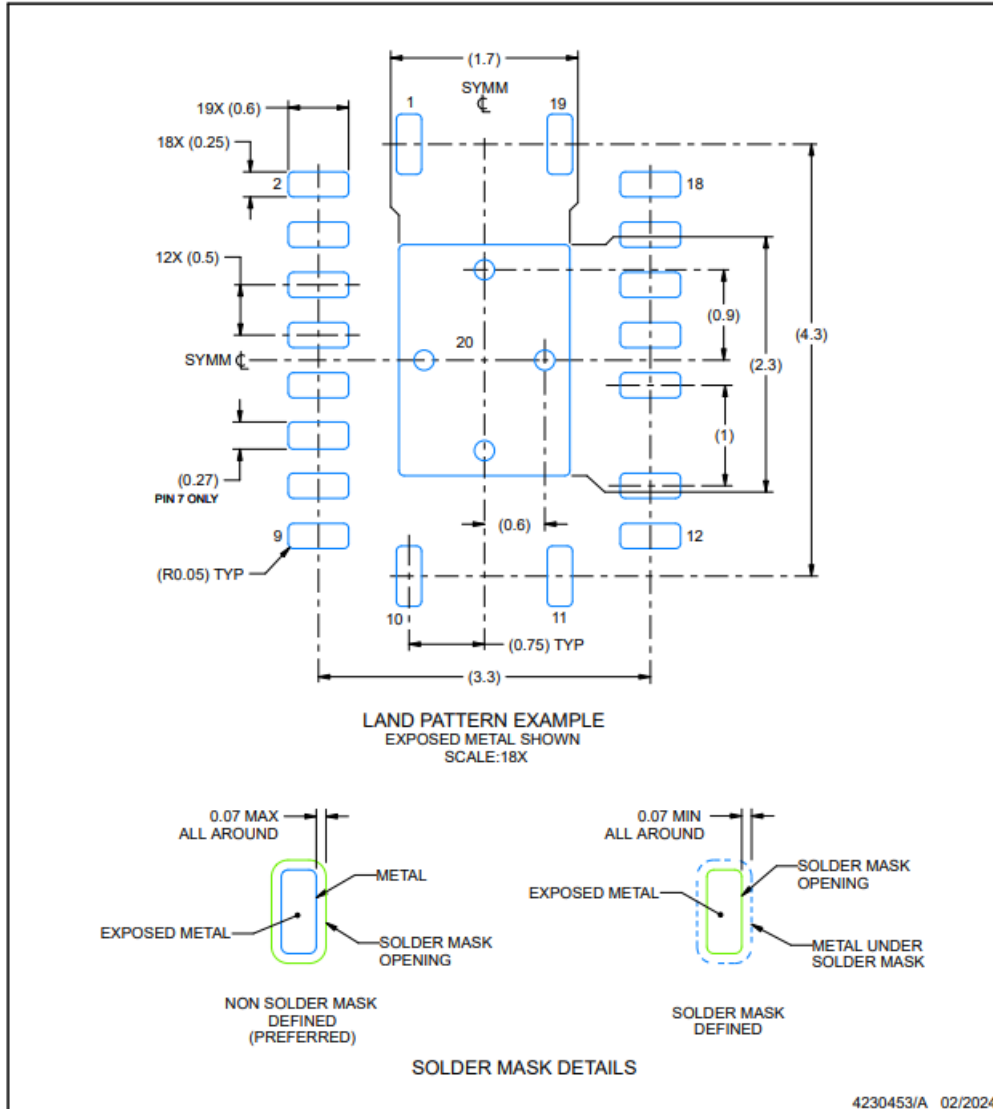
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

RGY0019C

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

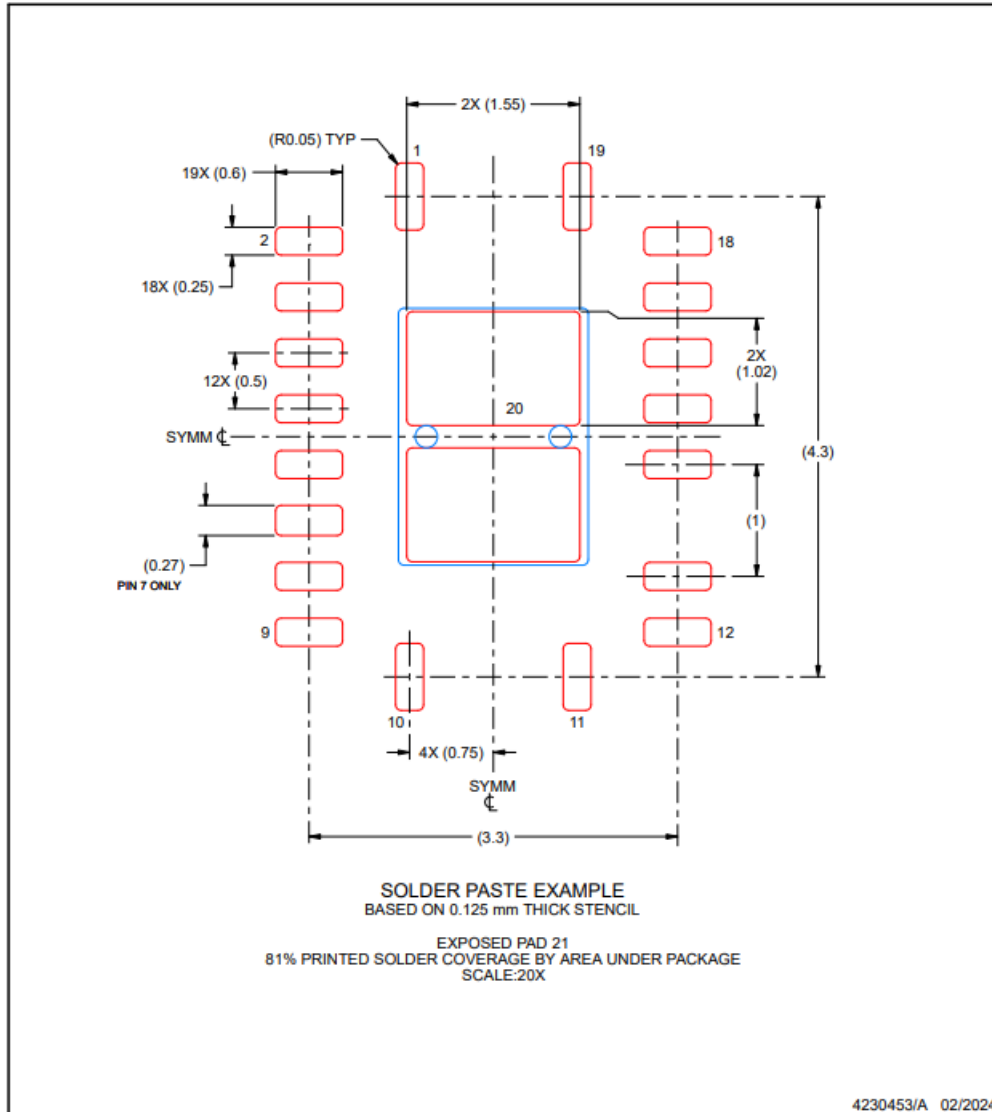
- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slue271).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RGY0019C

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

- 6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PLM5192QRGYRQ1	Active	Preproduction	VQFN (RGY) 19	3000 LARGE T&R	-	Call TI	Call TI	-	

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

GENERIC PACKAGE VIEW

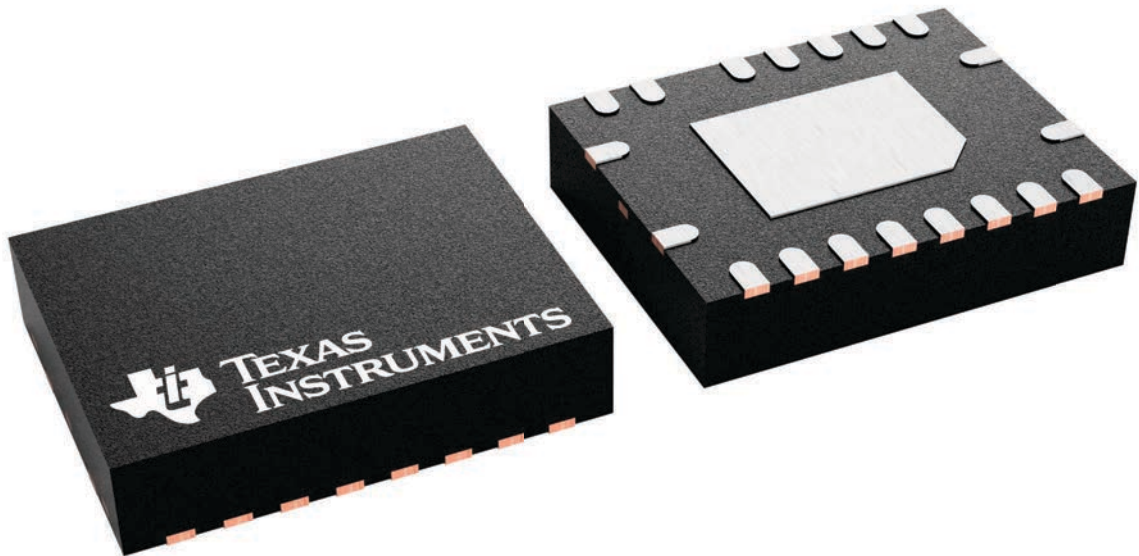
RGY 19

VQFN - 1 mm max height

3.5 x 4.5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4230073/A

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月