

LM65680-Q1、LM65660-Q1 および LM65640-Q1 車載用、65V、8A/6A/4A、同期整流降圧 DC/DC コンバータ ファミリ、低 EMI の ZEN 1 スイッチャ技術、

1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
 - デバイス温度グレード 1: $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ の動作時周囲温度
- 機能安全対応**
 - ISO 26262 システムの設計を支援するドキュメントを使用可能
- 多用途な同期整流降圧コンバータ ファミリ
 - 広い入力電圧範囲: 3.5V ~ 65V
 - 4A、6A、8A の出力電流オプション
 - 0.8V ~ 60V の可変出力電圧、あるいは 3.3V または 5V の固定出力オプション
 - 36ns の $t_{ON(min)}$ により高い降圧変換を実現
- ZEN 1 スイッチャ技術**
 - CISPR 25 Class 5 準拠を促進
 - 対称型のピン配置の設計で L_{LOOP} が最小の拡張 HotRod™ QFN (eQFN) パッケージ
 - スペクトラム拡散 (DRSS) とスイッチングスルーレート制御によりピーク放射を低減
 - スイッチング周波数: 300kHz ~ 2.2MHz
 - 自動、FPWM、SYNC の動作
- 負荷電流範囲全体にわたる高効率
 - 95% の効率 ($V_{IN} = 48\text{V}$ 、 $V_{OUT} = 12\text{V}$ 、8A、400kHz)
 - より大きな電流を出力するためのマルチフェーズ スタッカブル
 - BIAS オプション付き、デュアル入力 VCC サブレギュレータ
- 隣接ピン短絡テストのために最適化されたピン配置設計と空間距離により信頼性向上
- WEBENCH® Power Designer** により、LM656x0-Q1 コンバータを使用するカスタム設計を作成

2 アプリケーション

- LIDAR、ADAS、車載ディスプレイ
- 車載用インフォテインメントおよびクラスタ
- ハイブリッド、電動、パワートレイン システム

3 説明

LM656x0-Q1 は、ZEN 1 テクノロジーのデバイスファミリで供給される同期整流降圧 DC/DC コンバータで、低い EMI、高い電流密度、優れた電力変換効率を実現するよう設計されています。 $R_{DS(on)}$ が低いパワー MOSFET を内蔵しており、3.5V ~ 65V の広い入力電圧範囲にわたって最大 8A の出力電流を供給できます。

同期インターリーブによる位相スタッカブルである LM656x0-Q1 のピーク電流モード アーキテクチャは、並列接続された相での高精度な電流共有をサポートしており、より大きな出力電流を供給できます。自動モードでは、軽負荷動作時の周波数フォールドバックが可能であるため、軽負荷時の効率が高く、無負荷時の入力電流はわずか $2.2\mu\text{A}$ で、バッテリ駆動の車載用システムの動作時間を延長できます。

最小オン時間 36ns のハイサイドスイッチは大きな降圧率に対応できるため、24V または 48V の車載用入力から低電圧レールへの直接変換が可能になり、システムの設計コストと複雑性を低減できます。パッケージには、重要な電源ピンの間に複数の NC ピンが配置されており、これによって故障モード影響解析 (FMEA) の結果が改善されます。

製品情報

部品番号	パッケージ ⁽¹⁾	定格電流 ⁽²⁾
LM65680-Q1		8A
LM65660-Q1 ⁽³⁾	RZY (WQFN-FCRLF、26)	6A
LM65640-Q1 ⁽³⁾		4A

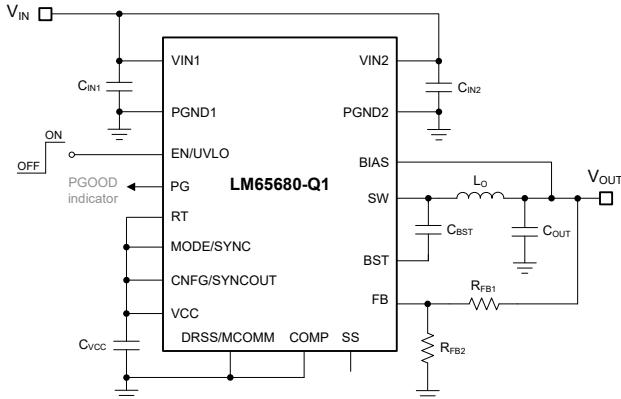
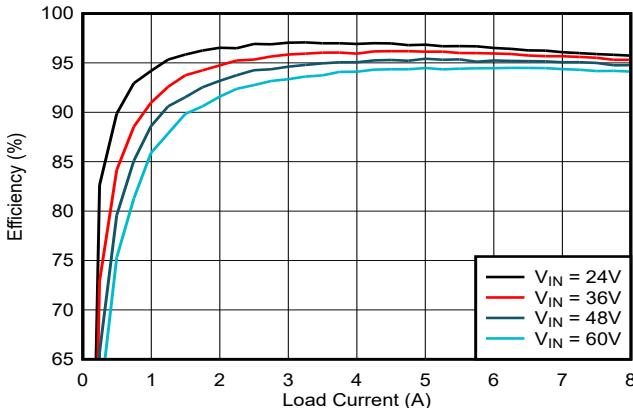
(1) 詳細については、[セクション 11](#) を参照してください。

(2) 「[関連製品](#)」表を参照してください。

(3) 開発中製品の情報 (の事前情報ではありません)。



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。


代表的な回路図

LM65680-Q1 の効率、 $V_{OUT} = 12V$ 、 $F_{SW} = 400kHz$

LM656x0-Q1 には、CISPR 25 および車載用の排出要件への準拠を容易にする、複数の機能が搭載されています。まず、対称的なピン配置により入力コンデンサを最適に配置でき、電源ループの寄生インダクタンスの実効値を極めて低く抑えます。これにより、スイッチング損失が低減され、高入力電圧および高スイッチング周波数での EMI 性能が向上します。ピンで選択可能なスイッチノードのスルーレート制御機能により、高周波数領域での放射ノイズをさらに低減します。入力コンデンサのリップル電流と EMI フィルタのサイズを小さくするために、180° 位相シフトの SYNCOUT 信号を使用したインターリーブ動作は、カスケード、マルチチャネル、またはマルチフェーズの設計に最適です。スイッチング周波数は最高 2.2MHz まで抵抗により設定可能で、外部クロックソースと同期できるため、ノイズに敏感な用途のビート周波数を除去できます。最後に、LM656x0-Q1 は独自の EMI 低減機能であるデュアルランダムスペクトラム拡散 (DRSS) を採用しています。これは、低周波数の三角波変調と高周波数のランダム変調を組み合わせて、低周波数帯域と高周波数帯域にわたって動揺を軽減します。

LM656x0-Q1 の追加機能には、最大接合温度 150°C での動作、故障報告および出力電圧モニタリング用のオープンドレイン式パワーグッド (PG) インジケータ、入力 UVLO 保護のための高精度イネーブル入力、事前バイアス負荷へのモノトニックな立ち上がり、VIN または BIAS から電源供給されるデュアル入力 VCC バイアスサブレギュレータ、ヒップモードの過負荷保護、自動復帰機能付きのサーマルシャットダウン保護が含まれます。

LM656x0-Q1 は、車載用アプリケーション向けの AEC-Q100 グレード 1 に認定済みで、4.5mm × 4.5mm の熱特性強化された 26 ピンの eQFN パッケージに搭載され、信頼性向上のためのピンクリアランスが追加されています。また、ウェッタブル フランク ピンも搭載されており、製造現場で光学検査を容易に行えます。フリップチップ配線対応リードフレーム (FCRLF) パッケージ技術を採用した LM656x0-Q1 は、実用電流能力、長期信頼性、およびコスト面での利点を活かし、高電力密度を要求するアプリケーションを対象としています。広い入力電圧範囲、低い静止電流消費、高温での動作、サイクルごとの電流制限、低い EMI シグネチャ、小型設計サイズにより、堅牢性と耐久性の強化向上が求められるアプリケーションに最適なポイントオブロードレギュレータ デザインを実現できます。

目次

1 特長	1	7.4 デバイスの機能モード	30
2 アプリケーション	1	8 アプリケーションと実装	31
3 説明	1	8.1 使用上の注意	31
4 関連製品	4	8.2 代表的なアプリケーション	37
5 ピン構成および機能	5	8.3 設計のベスト プラクティス	55
5.1 ウエッタブル フランク	7	8.4 電源に関する推奨事項	55
5.2 クリアランスと FMEA のピン配置設計	7	8.5 レイアウト	56
6 仕様	8	9 デバイスおよびドキュメントのサポート	59
6.1 絶対最大定格	8	9.1 デバイス サポート	59
6.2 ESD 定格	8	9.2 ドキュメントのサポート	60
6.3 推奨動作条件	8	9.3 ドキュメントの更新通知を受け取る方法	60
6.4 熱に関する情報	9	9.4 サポート・リソース	61
6.5 電気的特性	9	9.5 商標	61
6.6 代表的特性	13	9.6 静電気放電に関する注意事項	61
7 詳細説明	18	9.7 用語集	61
7.1 概要	18	10 改訂履歴	61
7.2 機能ブロック図	19	11 メカニカル、パッケージ、および注文情報	62
7.3 機能説明	20	11.1 テープおよびリール情報	62

4 関連製品

表 4-1. 発注型番

一般型番	発注用製品型番	入力電圧範囲	定格電流	TI の機能安全の分類 ⁽²⁾	IBB 用レベル シフタ
LM65680-Q1	LM65680RZYRQ1	3.5V ~ 65V	8A	機能安全対応	なし
LM65660-Q1 ⁽¹⁾	LM65660RZYRQ1		6A		
LM65640-Q1 ⁽¹⁾	LM65640RZYRQ1		4A		
LM68680-Q1 ⁽¹⁾	LM68680FRZYRQ1	3.5V ~ 65V	8A	ASIL C 機能安全準拠	なし
LM68660-Q1 ⁽¹⁾	LM68660FRZYRQ1		6A		
LM68640-Q1 ⁽¹⁾	LM68640FRZYRQ1		4A		
LM68580-Q1 ⁽¹⁾	LM68580FRZYRQ1	3.5V ~ 42V	8A	機能安全対応	あり
LM68580-Q1 ⁽¹⁾	LM68560FRZYRQ1		6A		
LM67680-Q1	LM67680RZYRQ1	3.8V ~ (65V - V _{OUTL})	8A		
LM67660-Q1 ⁽¹⁾	LM67660RZYRQ1		6A		
LM67640-Q1	LM67640RZYRQ1		4A		

(1) 開発中製品の情報 (の事前情報ではありません)。詳細については、TI にお問い合わせください。

(2) TI の機能安全分類 (開発プロセス、分析レポート、診断の説明) については、[機能安全ホームページ](#)をご覧ください。

5 ピン構成および機能

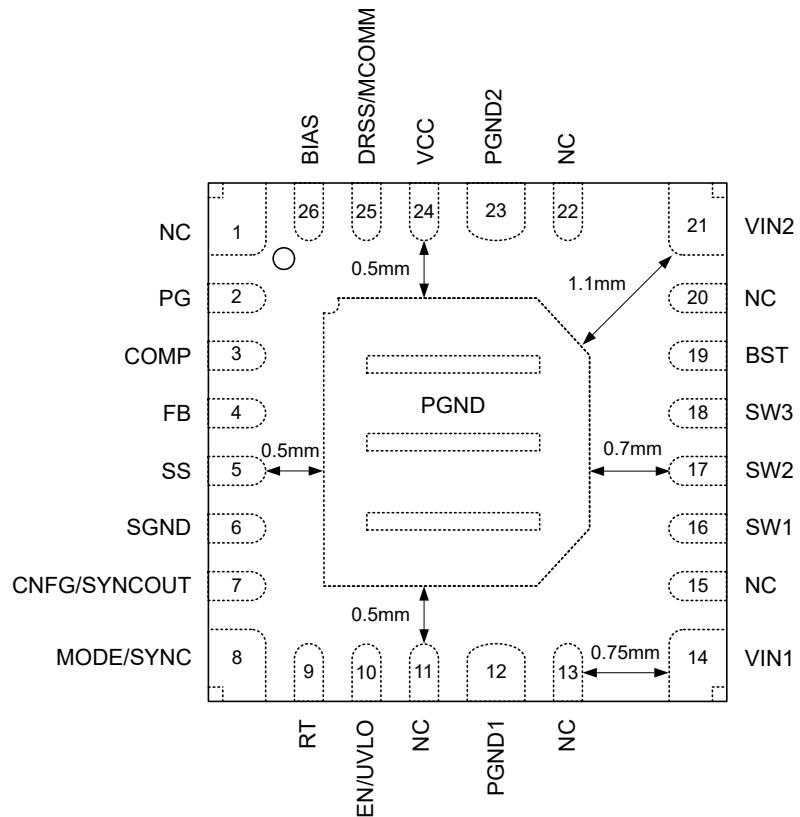


図 5-1. RZY 26 ピン WQFN-FCRLF パッケージ (上面図)

表 5-1. ピンの機能

ピン		タイプ (1)	説明
名称	番号		
NC	1	-	接続の無いピンオープンのままにします。
PG	2	O	パワー グッド出力ピン。PG はオープンドレイン出力で、出力電圧が指定されたレギュレーション ウィンドウの範囲外である場合に Low になります。
COMP	3	A	外部補償ピン。COMP は相互コンダクタンス エラー アンプの出力です。使用する場合は、COMP ピンと PGND との間に補償回路を接続します。使用しない場合は、COMP を PGND に接続するか、オープンのままにします。
FB	4	A	フィードバックピン。出力電圧の設定点を 0.8V ~ 60V に設定するために VOUT と PGND の間に抵抗デバイダを接続します。FB を VCC または PGND に接続すると、それぞれ 5V または 3.3V の固定出力電圧を構成できます。FB レギュレーション電圧 0.8V。
SS	5	A	ソフトスタートランプのプログラミングピン。SS がオープンのままになっている場合、内部ソフトスタート回路によって、FB リファレンス電圧がゼロから最大値まで 5.3ms で上昇します。SS と PGND との間にコンデンサを接続し、ソフトスタート時間をより高い値に設定します。
SGND	6	G	システム GND ピン。システム グラウンドに接続します。
CNFG/SYNCOUT	7	I/O	設定ピン。CNFG/SYNCOUT は、デバイスをプライマリ (1 相または 2 相動作) またはセカンダリ (2 相動作) に設定し、内部 (1 相動作のみ) または外部補償 (1 相または 2 相動作) を選択します。2 相動作のプライマリとして構成されているとき、このピンはスタートアップ後に SYNCOUT ピンになります。
MODE/SYNC	8	I	MODE および同期入力ピン。MODE/SYNC を PGND に接続するか、Low に駆動して、自動モードで動作させます。MODE/SYNC を VCC に接続するか、High に駆動するか、同期クロック信号を送信して FPWM モードで動作させます。外部クロックに同期する場合、RT ピンを使用して内部周波数を同期周波数に近い値に設定することで、外部クロックがオン / オフされたときの動揺を回避します。

表 5-1. ピンの機能 (続き)

ピン		タイプ (1)	説明
名称	番号		
RT	9	A	スイッチング周波数のプログラミング用ピン。スイッチング周波数を 300kHz～2.2MHz に設定するため、6.81kΩ～54.2kΩ の値の抵抗を介して RT を PGND に接続します。400kHz または 2.2MHz の固定周波数動作の場合は、それぞれ VCC または PGND に接続します。RT ピンをオープンのままにしないでください。
EN/UVLO	10	I	高精度イネーブルピン。EN/UVLO を High または Low に駆動すると、それぞれデバイスをイネーブルまたはディセーブルにできます。EN/UVLO は VIN に直接接続できます。入力電圧 UVLO を調整可能にするには、VIN から抵抗分割器とともに EN/UVLO を使用します。EN/UVLO をオープンのままにしないでください。
NC	11	–	接続の無いピンオープンのままにします。
PGND1	12	G	内部ローサイド MOSFET への電源グランド。このピンを、システム グランドに接続します。PGND2 との間に低インピーダンス接続を確立します。VIN1 と PGND1 との間に高品質のバイパスコンデンサを接続します。
NC	13	–	接続の無いピンオープンのままにし、VIN1 ピンと PGND1 ピンとの間の空間距離を 1mm に維持します。VIN1 と PGND1 の間の空間距離が 0.75mm で、システムのピンの空間距離要件が満たされていれば、NC を PGND1 に接続できます。
VIN1	14	P	レギュレータへの入力電源。VIN1 と PGND1 との間に高品質の 1 つまたは複数のバイパスコンデンサを接続します。VIN2 との間に低インピーダンス接続を確立します。
NC	15	–	接続の無いピンオープンにし、VIN1 と SW1 の間の間隔を 0.5mm に維持します。
SW1	16	P	デバイスのスイッチ ピンとレギュレータのスイッチ ノード。電力段インダクタに接続します。
SW2	17		
SW3	18		
BST	19	P	ハイサイド ドライバの電源レール。SW と BST の間に 100nF コンデンサを接続します。SW が Low の間は、内部ダイオードによってコンデンサが充電されます。
NC	20	–	接続の無いピンフローティングにし、VIN2 と BST との間の間隔を 0.5mm に維持します。
VIN2	21	P	レギュレータへの入力電源。VIN2 と PGND2 との間に高品質のバイパスコンデンサを接続します。VIN1 との間に低インピーダンス接続を確立します。
NC	22	–	接続の無いピンオープンのままにし、VIN2 ピンと PGND2 ピンとの間の空間距離を 1mm に維持します。VIN2 と PGND2 の間の空間距離が 0.75mm で、システムのピンの空間距離要件が満たされていれば、NC を PGND2 に接続できます。
PGND2	23	G	内部ローサイド MOSFET への電源グランド。システム グランドに接続します。PGND1 との間に低インピーダンス接続を確立します。VIN2 と PGND2 との間に高品質のバイパスコンデンサを接続します。
VCC	24	P	内部電圧レギュレータ出力。内部制御回路への電源として使用されます。VCC と PGND との間に高品質の 1μF コンデンサを接続します。VCC はいずれの外部負荷にも接続しないでください。
DRSS/MCOMM	25	I/O	デュアル ランダム スペクトラム拡散機能 (DRSS) 選択ピン。使用可能な DRSS オプションについては、 デュアル ランダム スペクトラム拡散機能 (DRSS) を参照してください。2 相動作に構成されている場合、DRSS/MCOMM はプライマリ デバイスとセカンダリ デバイスとの間の MODE 通信ピンになります。プライマリとセカンダリの DRSS/MCOMM ピンを接続します。
BIAS	26	P	内部 VCC レギュレータへの入力。3.3V または 5V の固定出力構成の場合、出力電圧検出のために BIAS を V _{OUT} ノードに接続します。可変出力構成の場合、BIAS を V _{OUT} ノードに接続するか、3.3V～30V の外部バイアス電源に接続します。出力電圧が 30V よりも高く、外部バイアス電源が利用できない場合、BIAS を PGND に接続します。
PGND	–	G	露出した PGND パッド。PCB 上のシステム GND に接続します。このパッドはデバイスの主要な放熱パスです。PCB 上の大きな銅のエリアに半田付けすることで、パッドをヒートシンクに使用します。サンブル基板レイアウトで推奨されているように、できるだけ多くのサーマル ピアを実装することで、パッケージの熱抵抗を減らし、放熱性能を向上できます。

(1) P = 電源、G = グランド、A = アナログ、I = 入力、O = 出力。

5.1 ウェッタブル フランク

高い信頼性と堅牢性の要件を満たすには、通常は組み立て後に 100% の自動外観検査 (AVI) を行う必要があります。標準的なクワッド フラットのリードなし (QFN) パッケージでは、はんだ付け可能な部分や露出したピンと端子は外側から容易に視認できません。そのため、パッケージとプリント回路基板 (PCB) が確実にはんだ付けされているかどうかを視覚的に確認することは困難です。ウェッタブル フランク プロセスは、鉛フリーなパッケージにおける側面リード ウェットの問題を解決するために開発されました。LM656x0-Q1 は、26 ピンの Enhanced HotRod WQFN パッケージと、デインプル ウェッタブル フランクを使用して組み立てられており、製造時に側面リードの半田検査を行うことができます。はんだ付け可能性を視覚的に示すことで、検査時間を短縮し、製造コストを削減できます。

5.2 クリアランスと FMEA のピン配置設計

図 5-1 に示すように、LM656x0-Q1 のピン配置は慎重に設計されており、高電圧ピン (VIN, SW, BST) とグランド (PGND) との間に 0.7mm 以上の空間距離を確保して、IPC-2221B と IPC-9592B の外部導体空間距離ルールを満たしています。VIN1 および VIN2 から PGND DAP までの空間距離は 1.1mm です。SW1, SW2, SW3, BST から PGND DAP までの空間距離は 0.7mm です。また、VIN1 と PGND1, VIN2 と PGND2, VIN2 と BST, BIAS と PG は、それぞれ NC (未接続) ピンにより区切られています。

また、ピン配置は、より厳格な品質、**安全性**、信頼性の要件を持つ重要な車載アプリケーション用に設計されています。FMEA ピン (障害モード影響の解析) の観点から見ると、検討される代表的な障害シナリオには、グランドへの短絡、入力電源 (VIN) への短絡、隣接ピンへの短絡、ピンの開放が含まれます。これらの障害は IC 外部に適用されるものと見なされ、IC レベルの信頼性障害ではなく基板レベルの障害に割り当てられます。このような障害の発生源の例には、ピン間の短絡を引き起こす浮遊導電性フィラメントや開放回路が生じる基板製造上の欠陥があります。

6 仕様

6.1 絶対最大定格

動作時接合部温度の推奨動作範囲である $-40^{\circ}\text{C} \sim 150^{\circ}\text{C}$ にわたって (特に記述のない限り)。⁽¹⁾

		最小値	最大値	単位
入力電圧	VIN から PGND へ	-0.3	72	V
	EN/UVLO から PGND へ	-0.3	72	V
	RT から PGND	-0.3	72	V
	DRSS/MCOMM から PGND へ	-0.3	40	V
	BIAS から PGND へ	-0.3	40	V
	CNFG/SYNCOOUT から PGND へ	-0.3	5.5	V
出力電圧	SW～PGND	-0.6	V_{IN}	V
	PG から PGND	-0.3	40	V
	BST から SW へ	-0.3	5.5	V
	VCC から PGND へ	-0.3	5.5	V
T_J	動作時接合部温度	-40	150	$^{\circ}\text{C}$
T_{stg}	保存温度	-65	150	$^{\circ}\text{C}$

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

6.2 ESD 定格

			値	単位
$V_{(\text{ESD})}$	静電放電	人体モデル (HBM)、AEC Q100-002 に準拠 ⁽¹⁾	± 2000	V
		荷電デバイスモデル (CDM)、AEC Q100-011 準拠	± 750	

- (1) AEC Q100-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

6.3 推奨動作条件

動作時接合部温度の推奨範囲である $-40^{\circ}\text{C} \sim 150^{\circ}\text{C}$ にわたって (特に記述のない限り)。⁽¹⁾

		最小値	最大値	単位
入力電圧	VIN (DC)	3.5	65	V
	EN/UVLO (DC)	0	65	V
入力電圧	バイアス、PG	0	30	V
	MODE/SYNC、RT、FB	0	5.5	V
プルアップ抵抗	R_{PG}	4		$\text{k}\Omega$
出力電圧	V_{OUT}	0.8	60	V
出力電流	$I_{\text{OUT}}、8\text{A}$ オプション	0	8	A
	$I_{\text{OUT}}、6\text{A}$ オプション	0	6	A
	$I_{\text{OUT}}、4\text{A}$ オプション	0	4	A

- (1) 推奨動作条件は、デバイスが機能すると想定されている条件です。仕様およびテスト条件については、「電気的特性」を参照してください。

6.4 热に関する情報

热評価基準 ⁽¹⁾		LM65640/60/80-Q1		単位
		eQFN (JESD 51-7)	eQFN (EVM)	
		26 ピン	26 ピン	
R _{θJA}	接合部から周囲への热抵抗	33.7 ⁽²⁾	18 ⁽³⁾	°C/W
R _{θJC(top)}	接合部からケース(上面)への热抵抗	24.1	–	°C/W
R _{θJB}	接合部から基板への热抵抗	6.9	–	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	1.1	1.4	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	6.9	5.8	°C/W
R _{θJC(bot)}	接合部からケース(底面)までの热抵抗	5.6	–	°C/W

(1) 热評価基準の詳細については、『半導体および IC パッケージの热評価基準』アプリケーションノートを参照してください。

(2) この表に示す R_{θJA} の値は、その他のパッケージとの比較のためにのみ有効であり、設計目的では使用できません。R_{θJA} は JESD 51-7 に従って計算され、4 層 JEDEC 基板を使用してシミュレーションされたもので、実際のアプリケーションで得られた性能を表すものではありません。热設計情報については、『最大周囲温度』セクションを参照してください。

(3) 基板レイアウトと追加情報については、『LM65680-Q1 EVM ユーザー ガイド』を参照してください。

6.5 電気的特性

標準値は T_J = 25°C における値です。特に記載がない限り、最小値および最大値は T_J = -40°C ~ 150°C で適用されます。

パラメータ	テスト条件	最小値	標準値	最大値	単位
入力電源 (VIN)					
V _{IN} _{UVLO(R)}	V _{IN} の UVLO 立ち上がりスレッショルド電圧	V _{IN} の立ち上がり(起動に必要)	3.25	3.4	3.5
V _{IN} _{UVLO(F)}	V _{IN} の UVLO 立ち下がりスレッショルド電圧	V _{IN} の立ち下がり(動作開始後)	2.5	2.55	V
V _{IN} _{UVLO(H)}	V _{IN} の UVLO ヒステリシス電圧		0.9		V
I _{VIN}	VIN スリーブ静止電流、内部 COMP、スイッチングなし	V _{IN} = 48V, V _{BIAS} = 5V + 2%, CNFG は VCC に接続、T _J = 25°C	0.9	1.4	μA
I _{BIAS(FIX-3.3V)}	BIAS 静止電流、3.3V 固定出力、内部 COMP、スイッチングなし	V _{BIAS} = 3.3V + 2%, CNFG は VCC に接続、自動モード、T _J = 25°C	8	10	μA
I _{Q(FIX-3.3V)}	VIN スリーブ静止電流の合計、3.3V 固定出力、内部 COMP、スイッチングなし	V _{IN} = 24V, V _{BIAS} = 3.3V + 2%, CNFG は VCC に接続、T _J = 25°C、自動モード	2.1	2.7	μA
		T _J = 125°C	2.1	6.4	μA
I _{BIAS(FIX-5V)}	BIAS 静止電流、5V 固定出力、内部 COMP、スイッチングなし	V _{BIAS} = 5V + 2%, CNFG は VCC に接続、自動モード、T _J = 25°C	9	12	μA
I _{Q(FIX-5V)}	VIN スリーブ静止電流の合計、5V 固定出力、内部 COMP、スイッチングなし	V _{IN} = 48V, V _{BIAS} = 5V + 2%, CNFG は VCC に接続、T _J = 25°C、自動モード	1.8	2.4	μA
		T _J = 125°C	1.8	5.8	μA
I _{BIAS(ADJ-3.3V)}	BIAS 静止電流、調整可能な 3.3V 出力、内部 COMP、スイッチングなし	V _{FB} = 0.8V + 2%, CNFG は V _{CC} に接続、自動モード、T _J = 25°C	6.8	8.1	μA
I _{Q(ADJ-3.3V)}	VIN スリーブ静止電流の合計、調整可能な 3.3V 出力、内部 COMP、スイッチングなし	V _{IN} = 24V, V _{FB} = 0.8V + 2%, CNFG は VCC に接続、自動モード、T _J = 25°C	1.9	2.5	μA
I _{BIAS(ADJ-3.3V-EXT)}	BIAS 静止電流、調整可能な 3.3V 出力、外部 COMP、スイッチングなし	V _{FB} = 0.8V + 2%, R _{CNFG} = 49.9kΩ、自動モード、T _J = 25°C	37	44	μA
I _{Q(ADJ-3.3V-EXT)}	VIN スリーブ静止電流の合計、調整可能な 3.3V 出力、外部 COMP、スイッチングなし	V _{IN} = 24V, V _{FB} = 0.8V + 2%, R _{CNFG} = 49.9kΩ、自動モード、T _J = 25°C	6	7.4	μA
I _{Q-SHD}	VIN のシャットダウン時静止電流	V _{IN} = 48V, V _{EN/UVLO} = 0V, T _J = 25°C	0.8	1.2	μA
		V _{IN} = 48V, V _{EN/UVLO} = 0V, T _J = 125°C	0.8	1.8	μA
高精度イネーブル (EN/UVLO)					
V _{EN-TH(R)}	EN/UVLO 立ち上がりスレッショルド	V _{EN/UVLO} の立ち上がり	1.15	1.25	1.35
V _{EN-TH(F)}	EN/UVLO 立ち下がりスレッショルド	V _{EN/UVLO} の立ち下がり	0.9	1	1.1
V _{EN-HYS}	EN/UVLO ヒステリシス		0.25		V
V _{EN-HYS%}	EN/UVLO ヒステリシスと立ち上がりスレッショルドの比率	V _{EN-HYS} /V _{EN-TH(R)}	18	20	22

6.5 電気的特性 (続き)

標準値は $T_J = 25^\circ\text{C}$ における値です。特に記載がない限り、最小値および最大値は $T_J = -40^\circ\text{C} \sim 150^\circ\text{C}$ で適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{EN-LKG}	イネーブル入力リーキ電流	EN/UVLO は VIN に接続	0.16	3.5	3.5	μA
内部 LDO (VCC)						
V_{VCC1}	VCC のレギュレーション電圧	$3.4\text{V} \leq V_{IN} \leq 65\text{V}$, $V_{BIAS} = 0\text{V}$	3.3	3.3	3.3	V
V_{VCC2}		$3.4\text{V} \leq V_{BIAS} \leq 30\text{V}$	3.2	3.2	3.2	V
$V_{BIAS(ON)}$	BIAS スイッチオーバー立ち上がりスレッショルド (VIN から BIAS へ)	V_{BIAS} 立ち上がり	3.175	3.25	3.25	V
$V_{BIAS(OFF)}$	BIAS スイッチオーバー立ち下がりスレッショルド (BIAS から VIN へ)	V_{BIAS} 立ち下がり	3	3.05	3.05	V
$V_{VCC-UVLO(R)}$	VCC UVLO 立ち上がりスレッショルド	$I_{VCC} = 0\text{A}$	3.27	3.4	3.5	V
$V_{VCC-UVLO(F)}$	VCC UVLO 立ち下がりスレッショルド	$I_{VCC} = 0\text{A}$	2.5	2.5	2.5	V
リファレンス電圧 (FB)						
V_{FB1}	フィードバック リファレンス電圧、外部 COMP	FPWM モード、 $R_{CNFG} = 49.9\text{k}\Omega$	0.792	0.8	0.808	V
V_{FB2}	フィードバック リファレンス電圧、内部 COMP	FPWM モード、CNFG は VCC に接続	0.792	0.8	0.808	V
I_{FB-LKG}	フィードバック ピン入力リーキ電流	$V_{FB} = 0.8\text{V}$ 、可変 V_{OUT} 設定	1.8	90	90	nA
固定出力電圧 (BIAS)						
$V_{OUT-3.3V-INT}$	3.3V 固定出力電圧、内部 COMP	FB は GND に接続、CNFG は VCC に接続	3.267	3.3	3.337	V
$V_{OUT-3.3V-EXT}$	3.3V 固定出力電圧、外部 COMP	FB は GND に短絡、 $R_{CNFG} = 49.9\text{k}\Omega$	3.267	3.3	3.337	V
$V_{OUT-5V-INT}$	5V 固定出力電圧、内部 COMP	FB は VCC に接続、CNFG は VCC に接続	4.94	5	5.06	V
$V_{OUT-5V-EXT}$	5V 固定出力電圧、外部 COMP	FB は VCC に接続、 $R_{CNFG} = 49.9\text{k}\Omega$	4.94	5	5.06	V
ソフトスタート (SS)						
t_{EN-SW}	イネーブル High からスイッチング開始までの遅延	$V_{FB} = V_{RT} = V_{MODE} = GND$, $V_{BIAS} = V_{OUT}$	1.9	2.5	3.1	ms
t_{SS}	内部固定ソフトスタート時間	最初の SW パルスから V_{FB} が設定点の 90% に達するまでの時間	2.9	5.3	8.1	ms
I_{SS}	SS 充電電流	$V_{SS} = 0\text{V}$	20	20	20	μA
R_{SS}	SS 放電抵抗	$V_{EN/UVLO} = 0\text{V}$	7	7	7	Ω
エラー アンプ (COMP)						
g_m	EA 相互コンダクタンス	$V_{COMP} = 0.8\text{V}$, $V_{FB} = 0.8\text{V} \pm 5\%$	1	1	1	mS
$V_{COMP-EXT(h-clamp)}$	外部 COMP - 高クランプ電圧	$V_{FB} = 0\text{V}$ 、可変 V_{OUT} 設定	1.056	1.056	1.056	V
電力段 (SW)						
$R_{DS(on)HS}$	ハイサイド FET のオン状態抵抗	$I_{SW} = 500\text{mA}$, $V_{BST} - V_{SW} = 3.3\text{V}$	42	42	42	$\text{m}\Omega$
$R_{DS(on)LS}$	ローサイド FET のオン状態抵抗		23	23	23	$\text{m}\Omega$
$t_{ON(min)}$	最小オン時間 ⁽¹⁾	$I_{OUT} = 2\text{A}$, $R_{RT} = 6.81\text{k}\Omega$	36	48	48	ns
$t_{OFF(min)}$	最小オフ時間	$V_{IN} = 4\text{V}$, $F_{SW} = 2.2\text{MHz}$	82	118	118	ns
$t_{ON(max)}$	最大オン時間	$F_{SW} = 300\text{kHz}$	13.3	13.3	13.3	μs
電流制限およびヒップ モード						
$I_{HS-LIM1}$	ハイサイド ピーク電流制限、8A オプション	デューティ サイクルを 0% に近付ける	10.7	12.5	13.7	A
$I_{LS-LIM1}$	ローサイド バレー電流制限、8A オプション		8.5	9.9	10.9	A
$I_{L-PK1(AUTO-minD)}$	最小デューティ サイクルでの自動モードのピーク インダクタ電流、8A オプション	$t_{ON} \leq 100\text{ns}$	1.9	3	4.1	A
$I_{L-PK1(AUTO-maxD)}$	最大デューティ サイクルでの自動モードのピーク インダクタ電流、8A オプション	$t_{ON} \geq 1\mu\text{s}$		1.1	1.1	A
$I_{HS-LIM2}$	ハイサイド ピーク電流制限、6A オプション	デューティ サイクルを 0% に近付ける	8.2	9.5	10.6	A
$I_{LS-LIM2}$	ローサイド バレー電流制限、6A オプション		6.6	7.4	8.2	A
$I_{L-PK2(AUTO-minD)}$	最小デューティ サイクルでの自動モードのピーク インダクタ電流、6A オプション	$t_{ON} \leq 100\text{ns}$	1.1	1.9	2.8	A
$I_{L-PK2(AUTO-maxD)}$	最大デューティ サイクルでの自動モードのピーク インダクタ電流、6A オプション	$t_{ON} \geq 1\mu\text{s}$		0.95	0.95	A

6.5 電気的特性 (続き)

標準値は $T_J = 25^\circ\text{C}$ における値です。特に記載がない限り、最小値および最大値は $T_J = -40^\circ\text{C} \sim 150^\circ\text{C}$ で適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$I_{\text{HS-LIM3}}$	ハイサイド ピーク電流制限、4A オプション	デューティサイクルを 0% に近付ける	5.9	7	8	A
$I_{\text{LS-LIM3}}$	ローサイド バー電流制限、4A オプション		4.2	5.4	6.3	A
$I_{\text{L-PK3(AUTO-minD)}}$	最小デューティサイクルでの自動モードのピークインダクタ電流、4A オプション	$t_{\text{ON}} \leq 100\text{ns}$	1	1.8	2.7	A
$I_{\text{L-PK3(AUTO-maxD)}}$	最大デューティサイクルでの自動モードのピークインダクタ電流、4A オプション	$t_{\text{ON}} \geq 1\mu\text{s}$		0.65		A
$I_{\text{LS-NEG-LIM}}$	ローサイド負電流制限	シンク電流制限、FPWM モード	-9.6	-6.9	-4.9	A
$I_{\text{L-ZC}}$	ゼロクロスのスレッショルド	AUTO モード		100		mA
V_{HIC}	FB 電圧ヒップスレッショルド	ローサイド FET のオン時間 > 165ns、ソフトスタート後		0.32		V
t_{HICDLY}	ヒップスレッショルドの起動遅延			64		サイクル
t_{HIC}	ヒップスレッショルドの持続時間	内部ソフトスタート		48		ms
パワーグッド (PG)						
$V_{\text{PG-OV(R)}}$	PG OV 立ち上がりスレッショルド	FB 電圧 (ADJ 出力) または BIAS 電圧 (固定出力) の %	103	105	107	%
$V_{\text{PG-OV(F)}}$	PG OV 立ち下がりスレッショルド		101	104	106	%
$V_{\text{PG-UV(R)}}$	PG UV 立ち上がりスレッショルド		94	96	98.5	%
$V_{\text{PG-UV(F)}}$	PG UV 立ち下がりスレッショルド		92.5	95	97	%
$t_{\text{PG-DEGLITCH(R)}}$	PG 立ち上がりエッジでのグリッチ除去フィルタ遅延		1.2	2	3	ms
$t_{\text{PG-DEGLITCH(F)}}$	PG 立ち下がりエッジでのグリッチ除去フィルタ遅延		55	130	175	μs
$V_{\text{IN(PG-VALID)}}$	有効な PG 出力の最小 V_{IN}	$V_{\text{PG(OL)}} < 0.4\text{V}$, $R_{\text{PG}} = 49.9\text{k}\Omega$, $V_{\text{PG}} = 5\text{V}$			1.25	V
$V_{\text{PG(OL)}}$	PG Low 状態電圧	$I_{\text{PG}} = 1\text{mA}$, $V_{\text{IN}} = 1.25\text{V}$			0.4	V
$R_{\text{PG(on)}}$	PG スイッチ オン抵抗	$I_{\text{PG}} = 1\text{mA}$		51	110	Ω
スイッチング周波数 (RT)						
f_{SW1}	スイッチング周波数	RT を PGND に接続	1.98	2.2	2.42	MHz
f_{SW2}		$R_{\text{RT}} = 6.81\text{k}\Omega \pm 1\%$	1.98	2.2	2.42	MHz
f_{SW3}		$R_{\text{RT}} = 15.8\text{k}\Omega \pm 1\%$	900	1000	1100	kHz
		$R_{\text{RT}} = 40.2\text{k}\Omega \pm 1\%$	360	400	440	kHz
		RT は VCC に接続	360	400	440	kHz
同期 (MODE/SYNC)						
$V_{\text{SYNC(IL)}}$	SYNC 入力 Low レベル スレッショルド		0.45			V
$V_{\text{SYNC(IH)}}$	SYNC 入力 High レベル スレッショルド				1.3	V
$V_{\text{SYNCOUT(OL)}}$	SYNCOUT 出力 Low レベル スレッショルド	$I_{\text{SYNCOUT}} = 2\text{mA}$			0.4	V
$V_{\text{SYNCOUT(OH)}}$	SYNCOUT 出力 High レベル スレッショルド	$I_{\text{SYNCOUT}} = -2\text{mA}$	2.4			V
$f_{\text{SYNC-RANGE1}}$	2.2MHz の設定に対しての同期周波数範囲	$R_{\text{RT}} = 6.81\text{k}\Omega \pm 1\%$	1.76		2.64	MHz
$f_{\text{SYNC-RANGE2}}$	300kHz の設定に対しての同期周波数範囲	$R_{\text{RT}} = 54.2\text{k}\Omega \pm 1\%$	240		360	kHz
$t_{\text{SYNC-LOW(min)}}$	外部 SYNC 信号の最小 Low パルス幅				80	ns
$t_{\text{SYNC-HIGH(min)}}$	外部 SYNC 信号の最小 High パルス幅				80	ns
$t_{\text{SYNC-SW-DLY}}$	SYNC から SW への遅延時間 ⁽¹⁾		-22		22	ns
$t_{\text{MODE-DLY}}$	MODE 変化遅延時間 ⁽¹⁾				20	μs
デュアルランダムスペクトラム拡散機能 (DRSS/MCOMM)						
$\Delta f_{\text{SS-LF}}$	低周波数の三角波スペクトラム拡散変調範囲	DRSS/MCOMM オープン	17			%
$f_{\text{m-LF}}$	三角波変調周波数	DRSS/MCOMM オープン	3.6	6	8.4	kHz
$\Delta f_{\text{SS-HF}}$	高周波の疑似ランダム拡散スペクトラム変調範囲	DRSS/MCOMM オープン	2			%
サーマルシャットダウン						

6.5 電気的特性 (続き)

標準値は $T_J = 25^\circ\text{C}$ における値です。特に記載がない限り、最小値および最大値は $T_J = -40^\circ\text{C} \sim 150^\circ\text{C}$ で適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
T_{SHD}	サーマル シャットダウン ⁽¹⁾	シャットダウン スレッショルド 復帰スレッショルド	155	165	177	°C

(1) 設計により規定されています。

6.6 代表的特性

特に記述のない限り、 $T_A = 25^\circ\text{C}$ 。

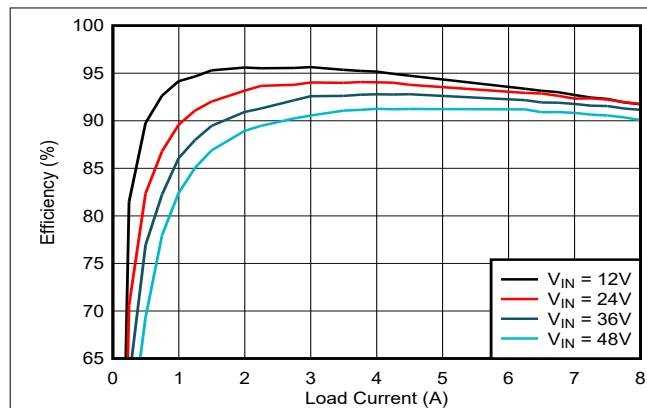


図 6-1. 効率、FPWM、 $V_{\text{OUT}} = 5\text{V}$

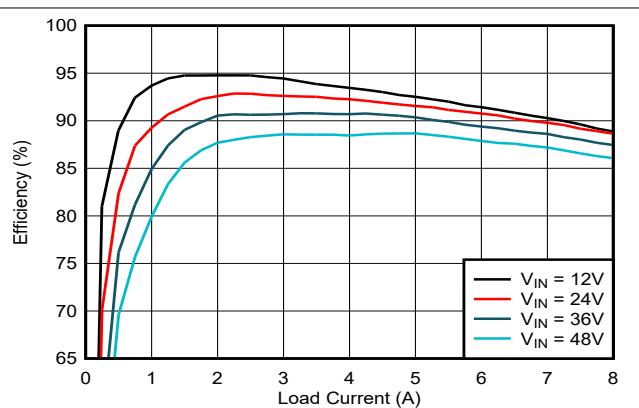


図 6-2. 効率、FPWM、 $V_{\text{OUT}} = 3.3\text{V}$

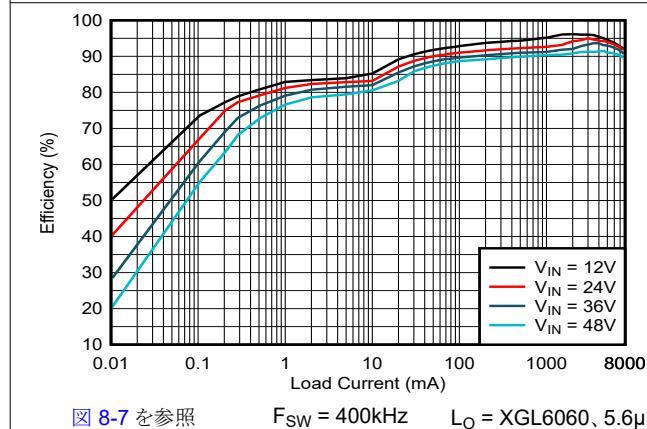


図 6-3. 効率、自動モード、 $V_{\text{OUT}} = 5\text{V}$

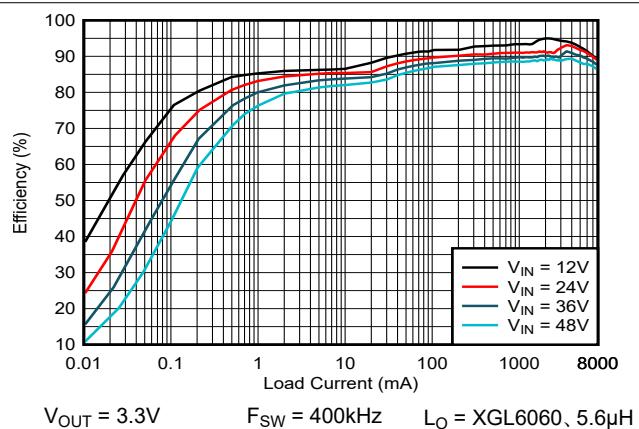
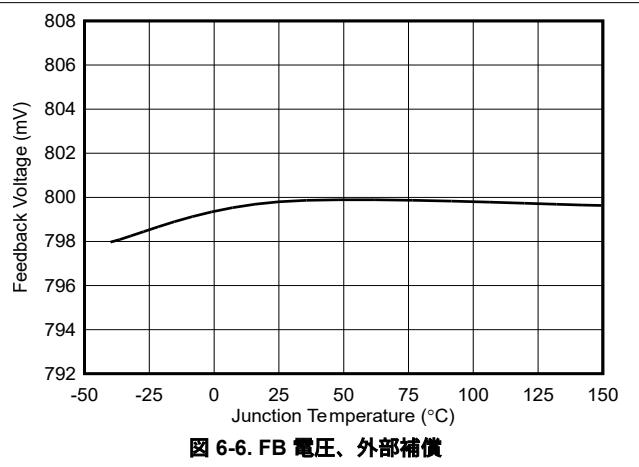
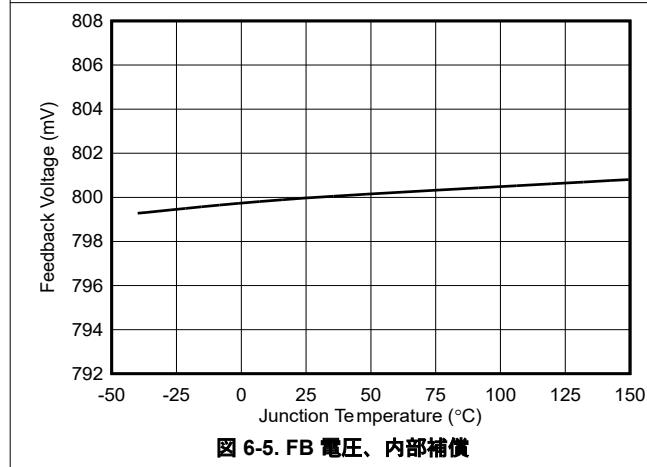


図 6-4. 効率、自動モード、 $V_{\text{OUT}} = 3.3\text{V}$



6.6 代表的特性 (続き)

特に記述のない限り、 $T_A = 25^\circ\text{C}$ 。

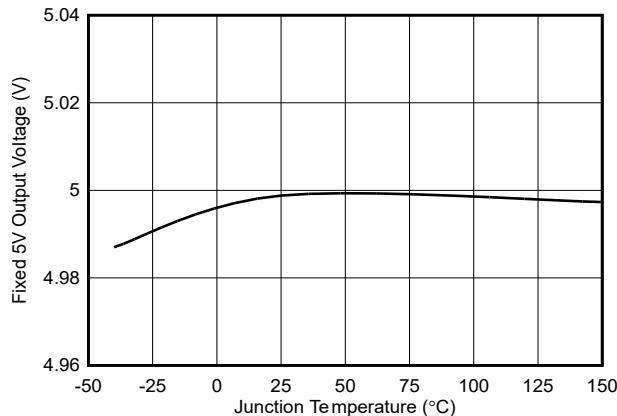


図 6-7. 5V 固定出力電圧の設定点

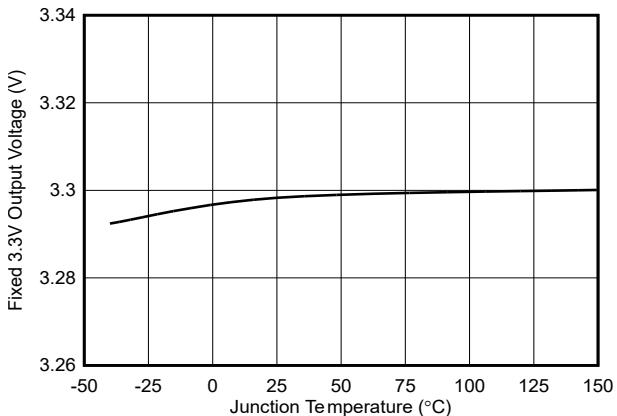


図 6-8. 3.3V 固定出力電圧の設定点

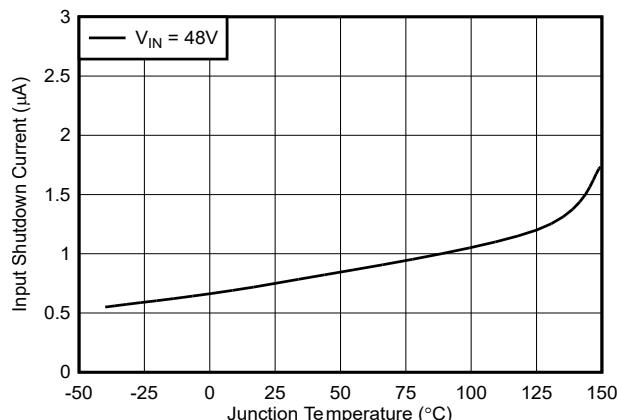


図 6-9. VIN のシャットダウン時静止電流

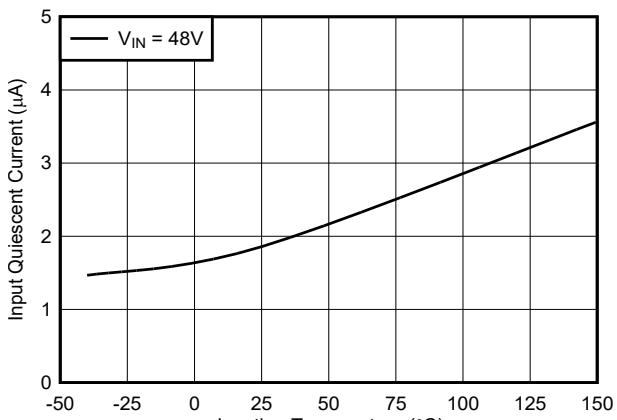


図 6-10. VIN のスリープ静止電流、5V 固定出力

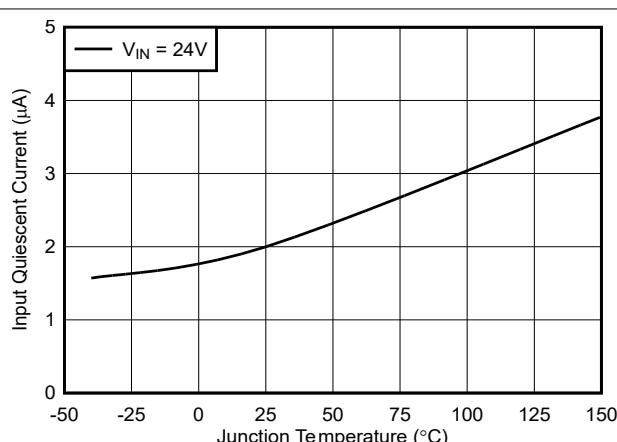
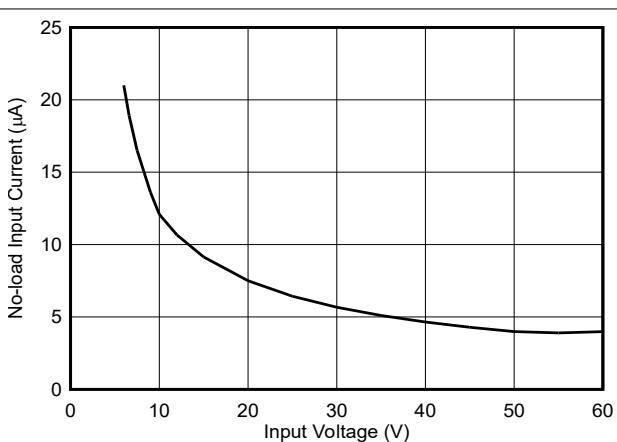


図 6-11. VIN のスリープ静止電流、3.3V 固定出力

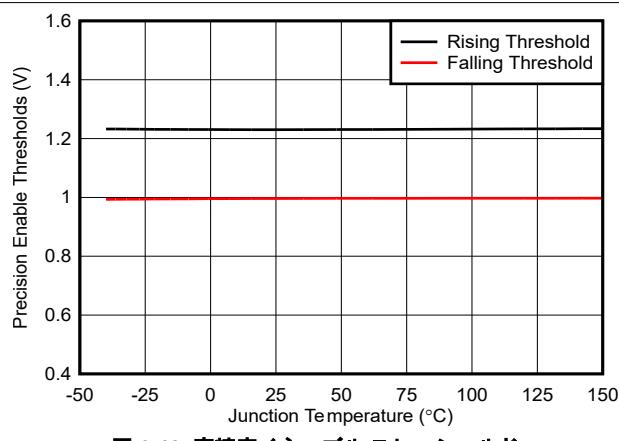
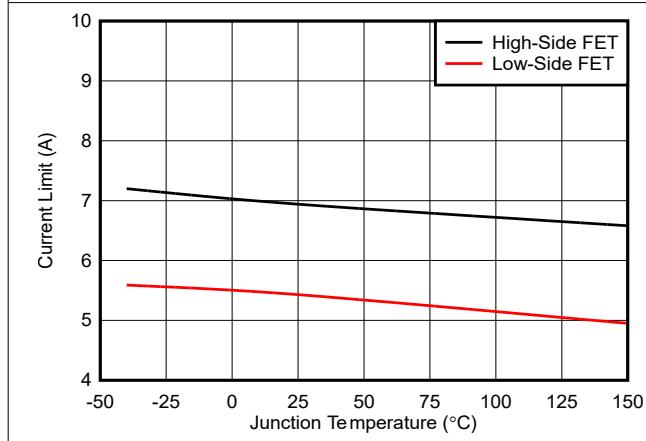
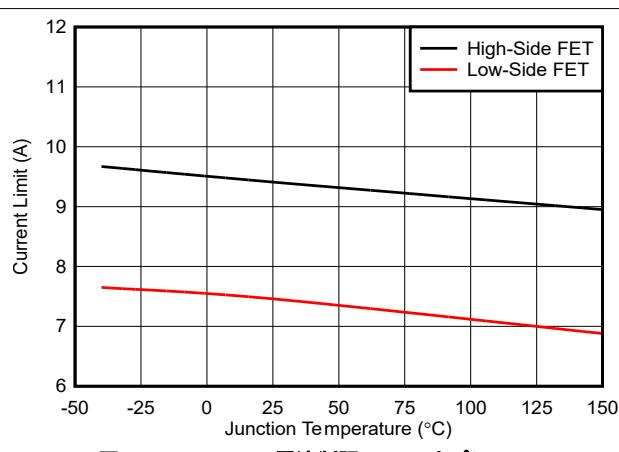
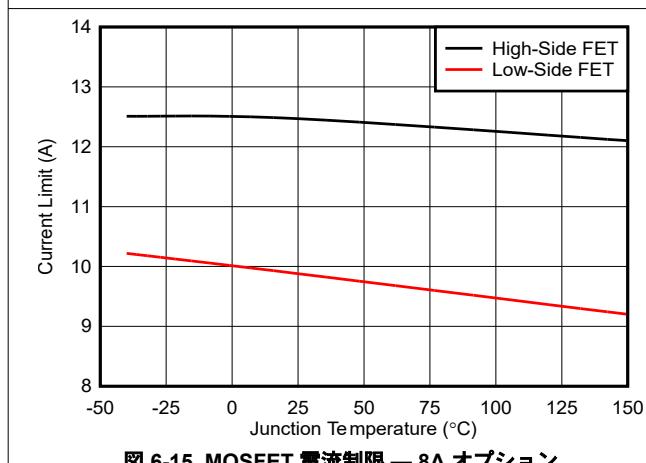
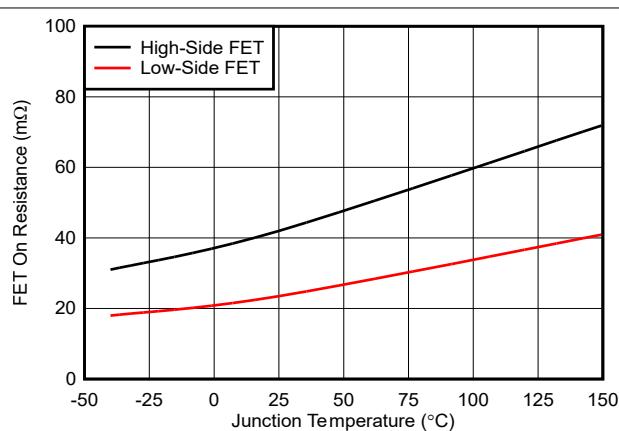
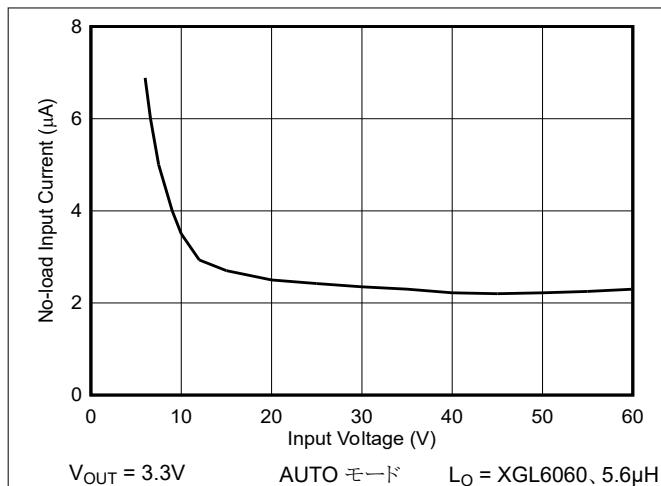


$V_{\text{OUT}} = 3.3\text{V}$ AUTO モード $L_{\text{O}} = \text{XGL6060, } 5.6\mu\text{H}$

図 6-12. 無負荷時入力電流、3.3V 固定出力、外部補償

6.6 代表的特性 (続き)

特に記述のない限り、 $T_A = 25^\circ\text{C}$ 。



6.6 代表的特性 (続き)

特に記述のない限り、 $T_A = 25^\circ\text{C}$ 。

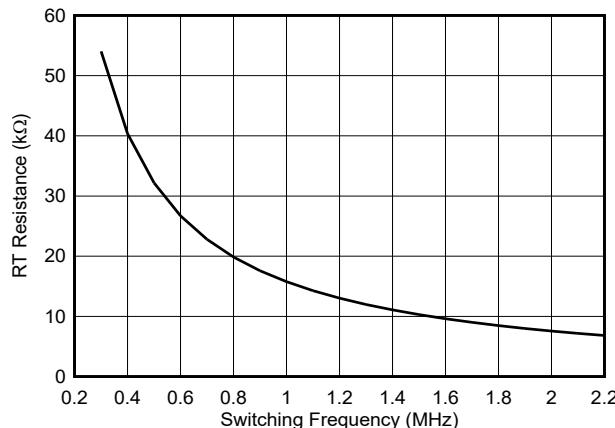


図 6-19. RT 抵抗とスイッチング周波数との関係

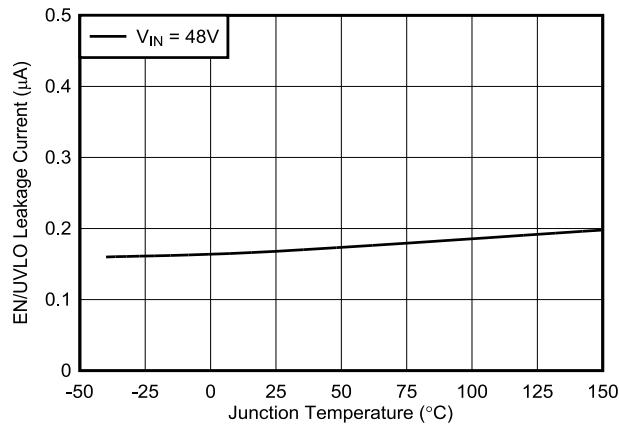


図 6-20. EN/UVLO 入力のリーク電流

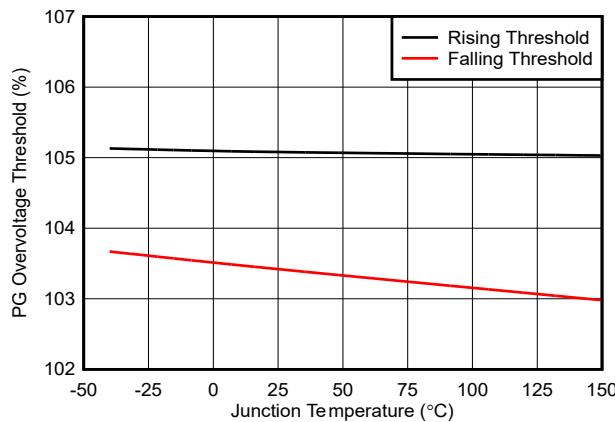


図 6-21. PG OV スレッショルド

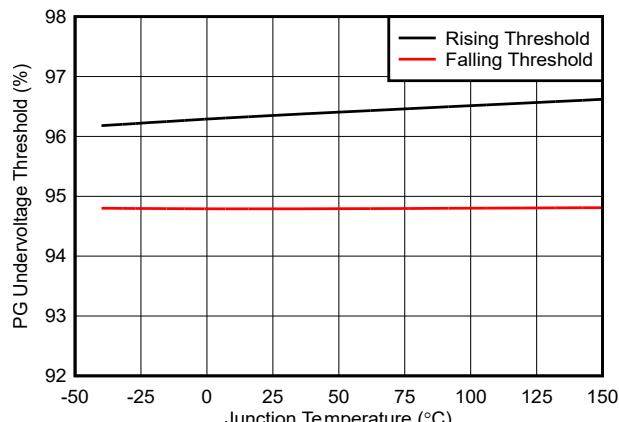


図 6-22. PG UV スレッショルド

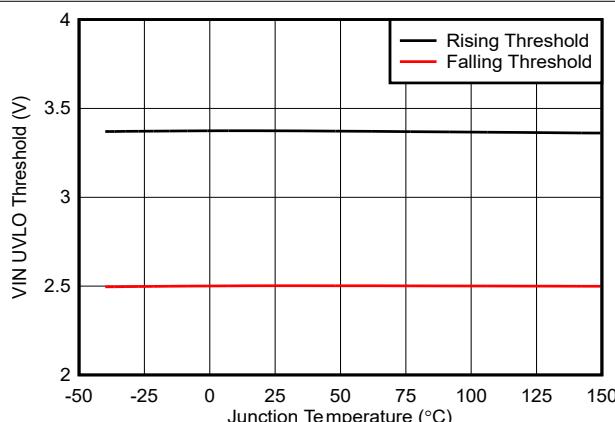


図 6-23. VIN UVLO スレッショルド

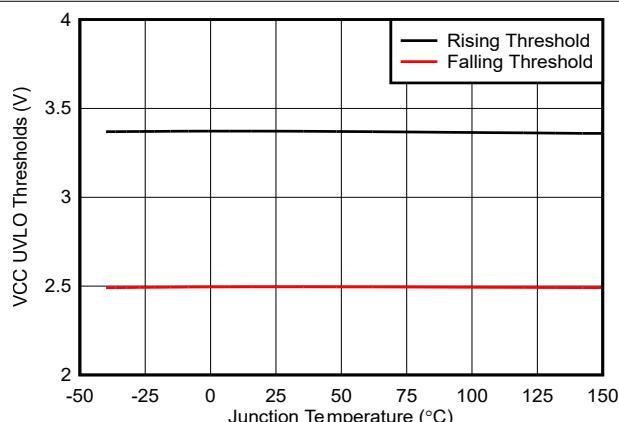


図 6-24. VCC UVLO スレッショルド

6.6 代表的特性 (続き)

特に記述のない限り、 $T_A = 25^\circ\text{C}$ 。

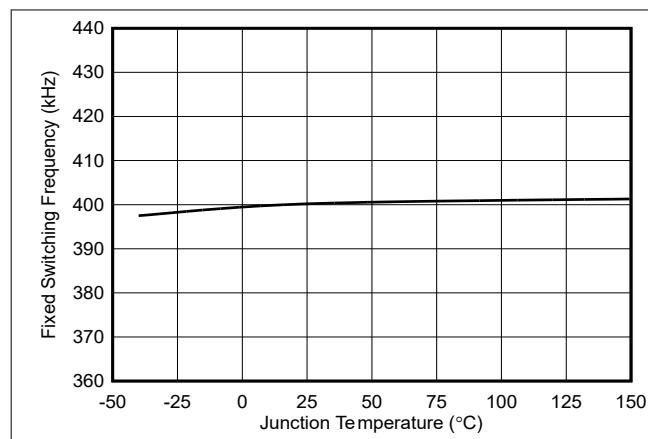


図 6-25. 固定スイッチング周波数 - 400kHz

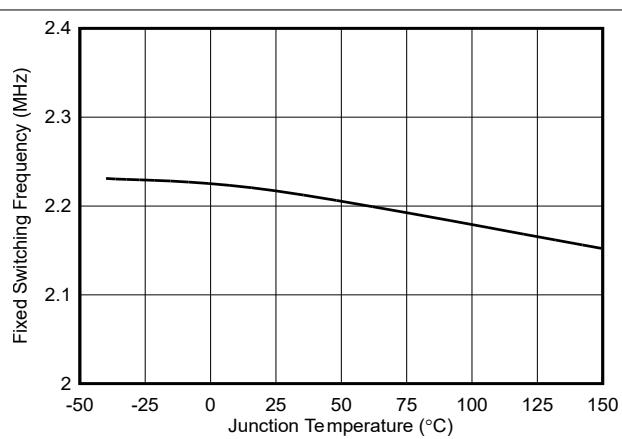


図 6-26. 固定スイッチング周波数 - 2.2MHz

7 詳細説明

7.1 概要

LM656x0-Q1 は、高効率、高電力密度、低 EMI の降圧 IBB コンバータのファミリです。これらのコンバータは、3.5V ~ 65V の広い入力電圧範囲で動作し、ピンで選択可能な 3.3V および 5V の固定出力電圧、または 0.8V ~ 60V の可変出力電圧を出力できます。2 つまでのコンバータを、高精度の電流共有が可能なインターリープ モード（並列出力）に設定し、最大 16A の出力電流をサポートできます。

最小オン時間 36ns のピーク電流モード制御アーキテクチャにより、高周波数での高い変換比、高速過渡応答、優れた負荷およびライン レギュレーションを可能にします。最小オン時間または最小オフ時間が目的の変換比をサポートしない場合、スイッチング周波数は自動的に低下します。この機能により、負荷ダンプやコールド クランクなどのライン過渡事象が発生している間もレギュレーションが維持されます。

LM656x0-Q1 は、要求の厳しい車載用および高性能産業用環境で動作しながら、最終製品のコストとサイズが最小化されるように設計されています。このデバイスは、300kHz ~ 2.2MHz の範囲のスイッチング周波数を抵抗でプログラムできます。内部補償と正確な電流制限方式により、BOM コストと部品数を最小限に抑えることができます。

LM656x0-Q1 は伝導および放射エミッションが小さくなるように設計されており、以下の特長があります：

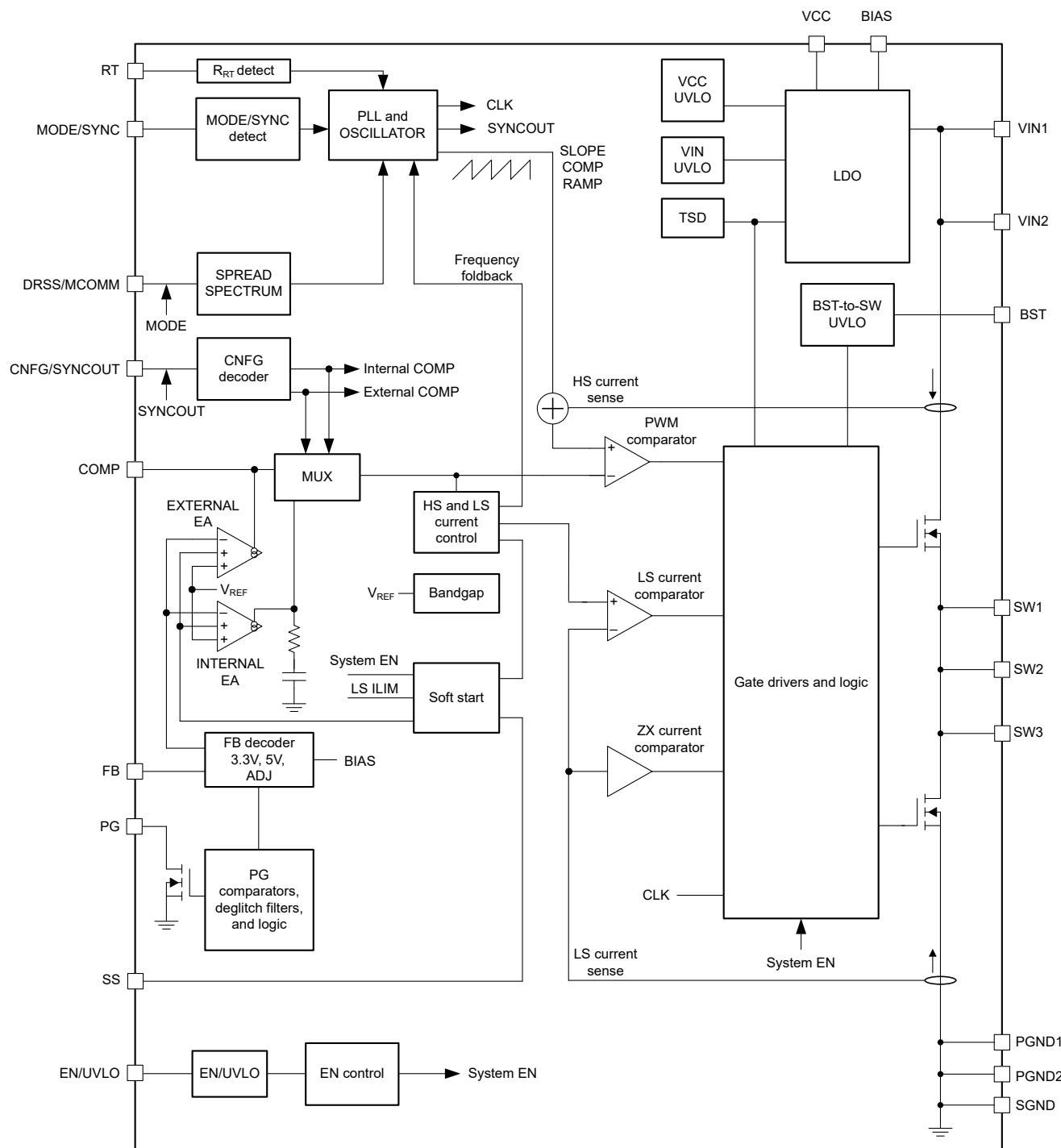
- スイッチ ノードのスルーレート制御をピンで構成可能
- デュアル ランダム スペクトラム拡散 (DRSS) 周波数変調
- 対称型のピン配置により入力電源ループ内の寄生インダクタンスを低減
- AM ラジオ帯域より上、および下のスイッチング周波数範囲での動作
- 外部クロック同期機能とともに、自動または FPWM モードをピンで構成可能

これらの機能を組み合わせることで、シールドやその他の高価な EMI 軽減対策を不要にできます。

LM656x0-Q1 の追加機能には、最大接合部温度 150°C での動作、システムのグランド (SGND) を基準とする異常検出出力および出力電圧モニタリング用のオープン ドレイン式パワーグッド (PG) インジケータ、事前バイアス負荷への単調な立ち上がり、VIN または BIAS から電源供給されるデュアル入力 VCC バイアス サブレギュレータ、ヒップアップ モードの過負荷保護機能、自動復帰機能付きのサーマル シャットダウン保護が含まれます。

LM656x0-Q1 は、信頼性が重視される環境での使用を目的として、拡大コーナー端子付きパッケージを採用しており、基板レベルの信頼性が向上し、[ウェッタブルフランク](#)により製造中に光学検査が可能です。

7.2 機能ブロック図



7.3 機能説明

7.3.1 入力電圧範囲 (VIN1, VIN2)

LM656x0-Q1 の動作入力電圧範囲は、3.5V ~ 65V です。このデバイスは、24V、48V、60V の電源レールからの降圧変換を目的としています。図 7-1 に、単一の入力電源を使用した LM656x0-Q1 ベースの幅広い V_{IN} の降圧レギュレータを実装するために必要なすべての部品を示します。LM656x0-Q1 は、内部の LDO サブレギュレータを使用して、ゲート駆動および制御回路に 3.3V の VCC バイアスレールを供給します。

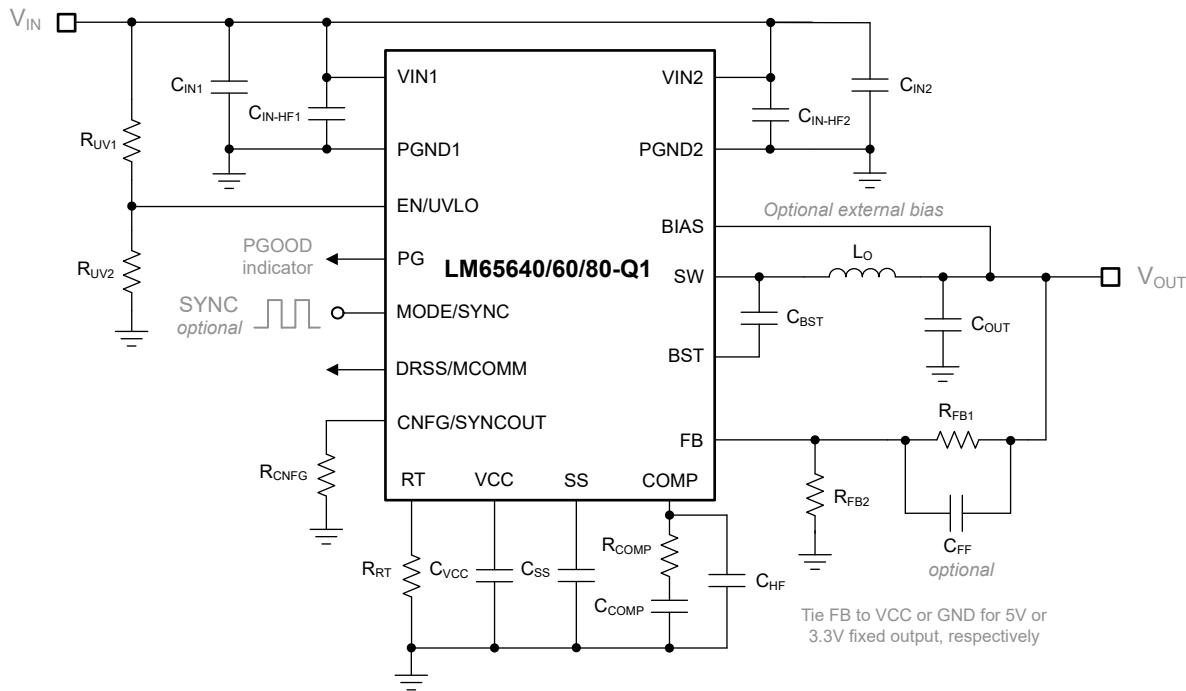


図 7-1. LM656x0-Q1 レギュレータの回路図

入力電圧が高いアプリケーションでは、コンバータの VIN ピン (VIN1 および VIN2) と SW ピン (SW1, SW2, SW3) が、ラインまたは負荷過渡イベント中に絶対最大電圧定格である 72V を超えないように特に注意してください。該当する電圧仕様を超える電圧の変動は、デバイスを損傷させる可能性があります。

7.3.2 高電圧バイアス電源サブレギュレータ (VCC, BIAS)

LM656x0-Q1 は VCC レギュレータ用の内部高電圧サブレギュレータが搭載されており、VIN または BIAS から供給されます。降圧コンバータの出力電圧 (V_{OUT}) や他の該当するシステムレール (30V) などの低電圧電源を BIAS に接続します。低電圧レールから VCC に電力を供給した場合、低電圧レールが VIN から BIAS への切り替えスレッショルドである 3.175V より高いと仮定すると、LM656x0-Q1 の内部消費電力を低減できます。使用しない場合は、BIAS を PGND に接続します。

LM656x0-Q1 がアクティブになった後、BIAS が 3V 未満の場合、VIN からバイアス電流が供給されます。BIAS の電圧が 3.175V の切り替えスレッショルドを超えると、VCC サブレギュレータは入力として BIAS を使用するように切り替わります。この切り替え電圧のヒステリシスは 175mV です。

起動中、この電圧が VCC UVLO 立ち上がりスレッショルドである 3.4V を超えるまで、VCC は瞬間に通常の動作電圧を超える。その後で VCC は、VIN から電力が供給されるときは 3.3V、BIAS から電力が供給されるときは 3.2V の動作電圧に降下します。安全でない動作を防止するため、VCC には、VCC 電圧が 2.5V を下回った場合にスイッチングを止める UVLO 保護機能が備わっています。1 μ F のセラミックコンデンサ (X7R 誘電体使用、定格 10V) を VCC と PGND との間に接続します。

7.3.3 高精度のイネーブルおよび可変入力電圧 UVLO (EN/UVLO)

LM656x0-Q1 コンバータは、EN/UVLO 電圧が立ち上がりスレッショルドの 1.25V より高いとイネーブルされ、デバイスはソフトスタートを開始します。EN/UVLO が立ち下がりスレッショルドの 1V よりも低くなると、レギュレータはスイッチングを停止して、内部放電スイッチを使用して出力を放電し (約 5mA の放電電流)、シャットダウン モードに移行します。シャットダウン時の静止電流は 1µA 未満です。この機能が必要ない場合は、EN/UVLO を VIN に直接接続します。EN/UVLO ピンがフローティング状態になるとデバイスが強制的にオフになるため、EN/UVLO をオープンのままにしないでください。

EN/UVLO 入力は、特定用途での電源オンおよび電源オフ要件のために、抵抗値によりプログラムされる可変入力低電圧誤動作防止 (UVLO) をサポートしています。デバイス内の固定 UVLO レベルとは異なる、高精度の入力電圧 UVLO を確立するため、図 7-2 に示すように抵抗 R_{UV1} と R_{UV2} を取り付けます。可変 UVLO はシーケンシング、長い入力ケーブルと併用したときのデバイスの再トリガの防止、またはバッテリ入力ソースの過放電の防止に有用です。高精度イネーブル スレッショルドには 20% のヒステリシスがあるため、オン / オフの再トリガを防止できます。別の IC (MCU など) からの外部ロジック信号は、出力のオン / オフを切り替え、システムの電力シーケンシングや保護を行うために便利です。

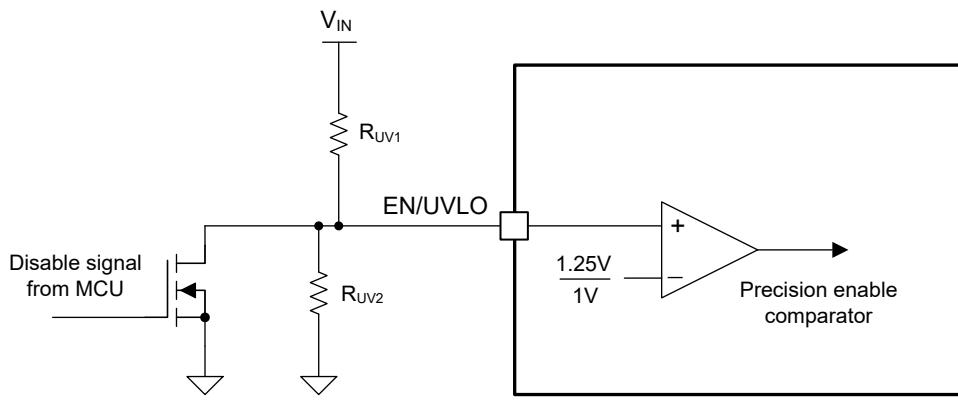


図 7-2. プログラマブルな入力電圧 UVLO

精度を最大化するには、分圧器の電流が EN/UVLO 入力リーク電流 (I_{EN-LKG}) より大きい必要があります。下側の UVLO 抵抗分圧器 R_{UV2} を $10\text{k}\Omega \sim 50\text{k}\Omega$ の範囲で選択します。次に、式 1 と式 2 を使用して R_{UV1} と $V_{IN(off)}$ をそれぞれ計算します。ここで、 $V_{IN(on)}$ と $V_{IN(off)}$ は必要な入力電圧のターンオンおよびターンオフ スレッショルドです。

$$R_{UV1} = R_{UV2} \times \left(\frac{V_{IN(on)}}{V_{EN-TH(R)}} - 1 \right) \quad (1)$$

$$V_{IN(off)} = V_{IN(on)} \times \left(1 - V_{EN-HYS\%} \right) \quad (2)$$

内部の VIN UVLO 保護は EN/UVLO 入力よりも優先されることに注意してください。LM656x0-Q1 は、入力電圧が UVLO 立ち上がりスレッショルドである 3.4V を超えない限り起動しません。一方で、入力電圧が UVLO 立ち下がりスレッショルドである 2.5V を下回ると、デバイスはシャットダウンします。

7.3.4 出力電圧の設定点 (FB, BIAS)

スイッチング周波数と負荷電流レベルによって異なりますが、LM656x0-Q1 は一般に 0.8V から、入力電圧をわずかに下まわる最大値までの範囲の出力電圧を供給できます。定格最大出力電圧は 60V です。LM656x0-Q1 は、固定と可変の出力電圧の設定をピンで選択できることが特徴です。

FB を VCC または PGND に接続すると、固定の 5V または 3.3V 出力がそれぞれ選択され、BIAS をレギュレータ出力に直接接続すると出力電圧センシングが行われます。この場合、BIAS は電圧帰還ループを閉じて、内部の VCC サブレギュレータに電力を供給します。

または、図 7-1 に示すように、 R_{FB1} および R_{FB2} で指定される帰還抵抗を使用して、出力電圧の設定点を定義します。LM656x0-Q1 には 0.8V のリファレンス電圧があり、内部の電圧ループ エラー アンプにより、FB 電圧はリファレンス電圧

と等しくなるようにレギュレートされます。求められる出力電圧の設定点と、与えられた R_{FB1} の値について、式 3 を使用して R_{FB2} を決定します。

$$R_{FB2} = R_{FB1} \times \frac{0.8V}{V_{OUT} - 0.8V} \quad (3)$$

$$4k\Omega \leq \frac{R_{FB1} \times R_{FB2}}{R_{FB1} + R_{FB2}} \leq 100k\Omega \quad (4)$$

R_{FB1} と R_{FB2} について選択した値が、式 4 で設定された要件を満たしていることを確認します。 R_{FB1} には $200k\Omega$ より小さい値を選択することがベスト プラクティスです。抵抗の値が大きいと、寄生リーク電流 (たとえば、PCB の環境汚染によって引き起こされる) の影響を受けやすく、目的の出力電圧がシフトする可能性があるためです。リーク電流が小さい場合は、 $1M\Omega$ までの大きな帰還抵抗を使用して、無負荷時の消費電流を低減し、軽負荷時の効率を向上します。可変出力設定を使用する場合は、上側の帰還抵抗と並列にフィードフォワード コンデンサを接続することで、ループ位相マージンを改善できます。

7.3.5 スイッチング周波数 (RT)

LM656x0-Q1 発振器を RT から PGND への抵抗でプログラムし、フリーランニング スイッチング周波数を $300kHz \sim 2.2MHz$ に設定します。抵抗値を求めるには、式 5 を使用するか、図 7-3 を参照します。

$$R_{RT}[k\Omega] = \frac{16.4}{F_{SW}[MHz]} - 0.633 \quad (5)$$

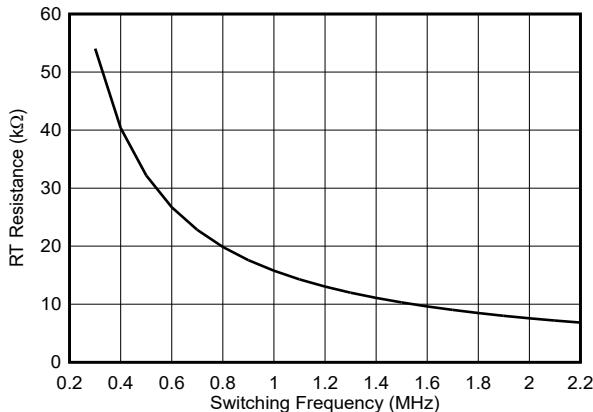


図 7-3. スイッチング周波数の設定

たとえば、式 5 で F_{SW} を $300kHz$ に設定すると、 R_{RT} は $54.03k\Omega$ となります。最も近い標準値として $53.6k\Omega$ を選択します。または、表 7-1 に示すように、固定の $400kHz$ または $2.2MHz$ 動作を行うには、RT をそれぞれ VCC または PGND に接続します。

表 7-1. スイッチング周波数の設定

RT	スイッチング周波数
VCC に接続	400kHz
PGND に接続	2.2MHz
RT 抵抗から PGND へ	$300kHz \sim 2.2MHz$

RT の抵抗が推奨範囲外になると、LM656x0-Q1 は $400kHz$ または $2.2MHz$ に戻ることに注意してください。RT にパルス信号を印加して、強制的に同期を行わないでください。コンバータが外部クロック信号との同期を必要とする場合は、セクション 7.3.6 を参照してください。

7.3.6 モード選択およびクロック同期(MODE/SYNC)

MODE/SYNC ピンは、動作モードを構成し、外部クロック同期信号の入力として機能するマルチファンクションピンです。

表 7-2 に示すように、MODE/SYNC がグランドに接続されているか、ロジック Low に駆動されると、コンバータは自動モードで動作します。このピンが VCC に接続されているかロジック High に駆動されている場合、または外部クロックソースに同期している場合、コンバータは FPWM モードで動作します。

表 7-2. モード選択

MODE/SYNC	モード	動的モード変更
PGND に接続するか、Low に駆動	自動	有効
VCC に接続するか、High (PGND より 2.5V を超えて高い) に駆動	FPWM	
外部クロック信号を印加		

デバイスを自動モードから FPWM モードに移行するには、ピンを Low から High に駆動するか、同期信号を印加する必要があります。デバイスを FPWM モードから自動モードに移行するには、ピンを High から Low に駆動するか、同期信号を停止する必要があります。

注

動作モードを変更する、またはデバイスを外部クロックに同期させることは、起動後に PG が High に遷移した後でのみ可能です。

7.3.6.1 クロックの同期

MODE/SYNC を使用して、内部発振器を 300kHz ~ 2.2MHz の範囲の外部クロック信号に同期します。内部同期パルス検出器を確実にトリガするには、外部クロックの振幅が SYNC 入力スレッショルドの $V_{SYNC(HI)}$ と $V_{SYNC(IL)}$ を満たす必要があります。最小 SYNC オンおよびオフ パルスの時間は、それぞれ $t_{SYNC-ON(min)}$ および $t_{SYNC-OFF(min)}$ よりも長くする必要があります。

外部クロック信号は、電源投入後に PG が High に遷移したときにのみ印加できることに注意してください。電源投入前(またはピンの検出時)に印加された場合、LM656x0-Q1 はクロック信号を検出できません。

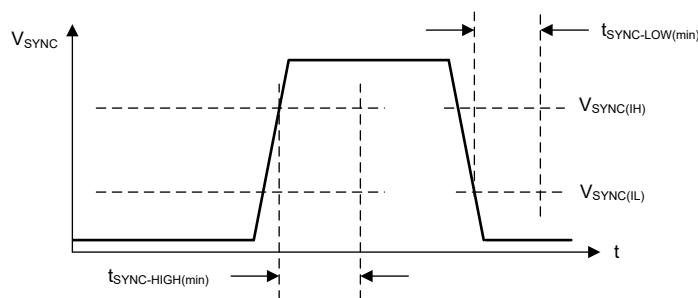
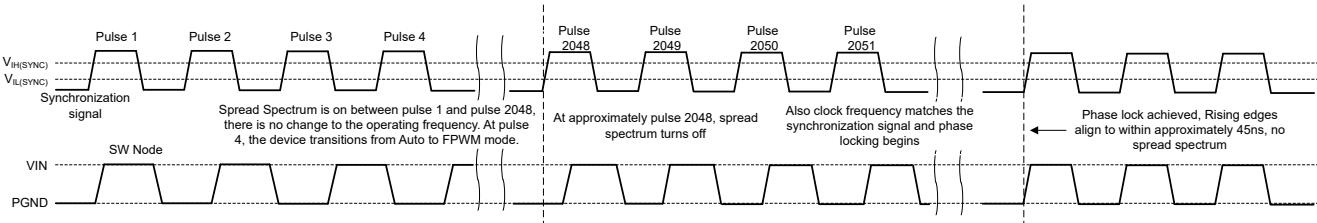


図 7-4. クロック信号の検出に必要な条件を含む標準的な SYNC 波形

7.3.6.2 クロックのロック

有効な同期信号が検出されると、LM656x0-Q1 はクロックのロック手順を開始します。約 2048 パルスの後、内部発振器の周波数は同期信号の周波数に変更されます。周波数が突然調整されますが、LM656x0-Q1 は位相を維持し、フリーランニングでの動作と、同期周波数での動作の中間に位置するクロックサイクルは、それらの中間の長さになります。長すぎる、または短すぎるパルスはありません。周波数がロックされた後で、立ち上がり同期エッジと、スイッチノードの立ち上がりパルスとが対応するように、数十サイクルかけて位相が調整されます。図 7-5 を参照してください。



パルス 4 で、同期信号が検出されます。約 2048 パルスの後、信号は同期する準備ができ、グリッチ フリーの手法を使用して周波数を調整し、位相をロックします。

図 7-5. 同期プロセス

7.3.7 デバイス構成 (CNFG/SYNCOUT)

LM656x0-Q1 は、内部または外部補償を持つスタンドアロン コンバータとして、または外部補償を使用する 2 相コンバータとして動作できます。CNFG/SYNCOUT はデバイス構成ピンとして機能します。

CNFG/SYNCOUT は、デバイスをプライマリ デバイスまたはセカンダリ デバイスとして構成し、内部補償 (1 相動作) と外部補償 (1 相または 2 相動作) のいずれかを選択し、表 7-3 に示すように DRSS/MCOMM ピンの機能に影響を及ぼします。

表 7-3. デバイス設定

CNFG/SYNCOUT	構成	DRSS/MCOMM の機能
PGND への短絡	セカンダリ デバイス、SYNCOUT ディセーブル	MCOMM 入力
49.9kΩ から PGND へ	プライマリ デバイス、外部 COMP、SYNCOUT イネーブル	DRSS 制御、MCOMM 出力
VCC への短絡	プライマリ デバイス、内部 COMP、SYNCOUT ディセーブル	DRSS 制御

7.3.8 デュアルランダムスペクトラム拡散機能 (DRSS)

LM656x0-Q1 にはデュアルランダムスペクトラム拡散 (DRSS) 機能があり、広い周波数範囲にわたって電源の EMI を低減します。図 7-6 に示すように、DRSS 機能は、低周波数の三角波変調プロファイルと、高周波数のサイクル単位の疑似ランダム変調プロファイルを組み合わせたものです。低周波数の三角波変調は低い無線周波数帯域で性能を向上させ、高周波のランダム変調は高い無線周波数帯域で性能を向上させます。

スペクトラム拡散は、狭帯域信号を広帯域信号に変換し、エネルギーを複数の周波数にわたって拡散することで機能します。業界規格では周波数帯域ごとに異なる EMI レシーバ解像度の帯域幅 (RBW) 設定を要求しているため、RBW はスペクトラム拡散の性能に影響を及ぼします。たとえば、150kHz ~ 30MHzまでの周波数帯域の CISPR 25 スペクトルアナライザの RBW は 9kHz です。30MHz を超える周波数の場合、RBW は 120kHz です。DRSS は、低周波数の三角波変調と、高周波数のサイクル単位のランダム変調プロファイルにより、それぞれ低 RBW および高 RBW での EMI 性能を同時に向上できます。DRSS により、CISPR 25 用の伝導エミッションを、低周波数帯域 (150kHz ~ 30MHz) で最大 10dB μ V、高周波帯域 (30MHz ~ 108MHz) で 5dB μ V 低減できます。MODE/SYNC に外部クロック信号を印加すると、DRSS はディセーブルされます。

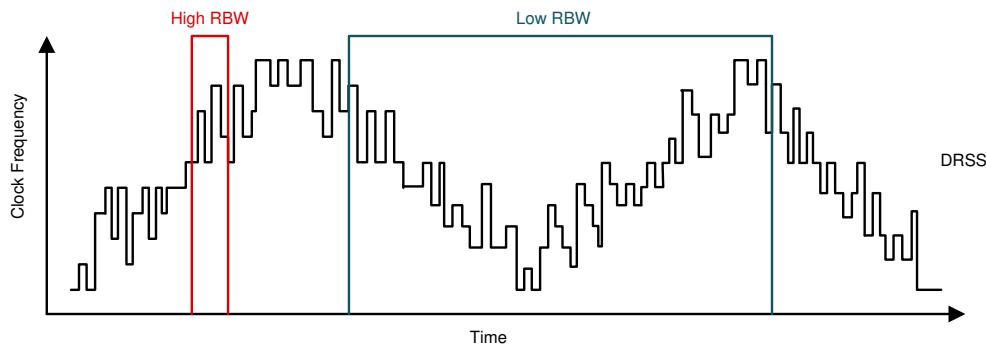


図 7-6. デュアルランダムスペクトラム拡散機能の実装

このデバイスは、広い低周波数変調プロファイルを提供し、6kHz の平均変調周波数でスイッチング周波数を $\pm 10\%$ 拡散します。表 7-4 に示すように、LM656x0-Q1 にはスイッチノード波形整形機能もあり、イネーブルされるとスイッチノードの電圧の立ち上がり遷移を調整して、リングインとオーバーシュートを低減します。

表 7-4. DRSS とスルーレート制御

DRSS/MCOMM	DRSS	スルーレート制御
VCC へ短絡 ⁽¹⁾	イネーブル、 $\pm 10\%$ 、6kHz	有効
オープンのまま	イネーブル、 $\pm 10\%$ 、6kHz	有効
150k Ω から PGND へ	イネーブル、 $\pm 10\%$ 、6kHz	無効
49.9k Ω から PGND へ	無効	有効
PGND へ短絡 ⁽¹⁾	無効	無効

(1) 1相動作でのみ有効です。

7.3.9 ハイサイド MOSFET ゲート ドライブ(BST)

ハイサイドパワー MOSFET のゲートドライバには、MOSFET がオンのとき VIN より高いバイアス電圧が必要です。BST から SW への間に接続されたコンデンサは、BST の電圧を $V_{SW} + V_{VCC}$ に昇圧するブートストラップ電源として動作します。LM656x0-Q1 は、外付け部品数を最小限に抑えるためにブートストラップダイオードを内蔵しています。TI では、X7R 誘電体を使用した、定格 10V の 100nF BST コンデンサを推奨します。

7.3.10 構成可能なソフトスタート(SS)

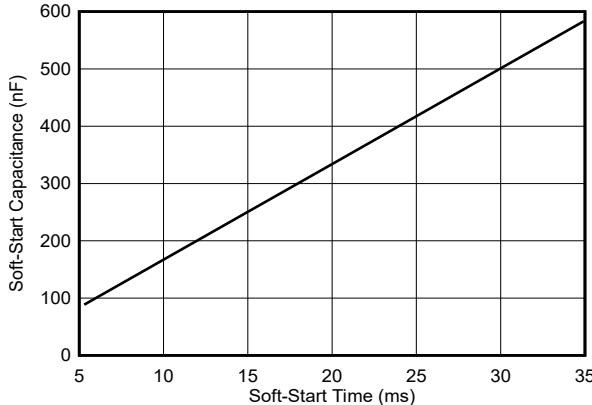
LM656x0-Q1 コンバータにはソフトスタート機能があり、ターゲットのレギュレーション電圧をゆっくりと上昇させて、しだいに定常状態の動作点まで到達します。これにより、スタートアップ時の出力電圧のオーバーシュートと大きな突入電流を防止できます。デバイスは、以下のいずれかの条件に基づいてソフトスタートを開始します：

- IC の VIN ピンに電力が供給され、VIN と VCC の両方について UVLO が解除された
- EN/UVLO が High になり、デバイスがオンになった
- ヒップ待機期間から回復した
- サーマルシャットダウン保護からの回復

LM656x0-Q1 を使用する最も簡単な方法は、5.3ms の固定ソフトスタート時間の間、SS ピンをオープンのままにすることです。大きい出力容量、高い出力電圧、その他の特別な要件を持つアプリケーションでは、SS と PGND との間にコンデンサを接続してソフトスタート時間を延長します。式 6 を使用するか、図 7-7 を参照し、目的のソフトスタート時間 t_{SS} に基づいて C_{SS} の値を選択します。

$$C_{SS}[\text{nF}] = 16.7 \times t_{SS}[\text{ms}] \quad (6)$$

たとえば、目的のソフトスタート時間が 12ms なら、式 6 から C_{SS} の値として 200nF が得られます。最も近い標準値として、220nF を選択します。

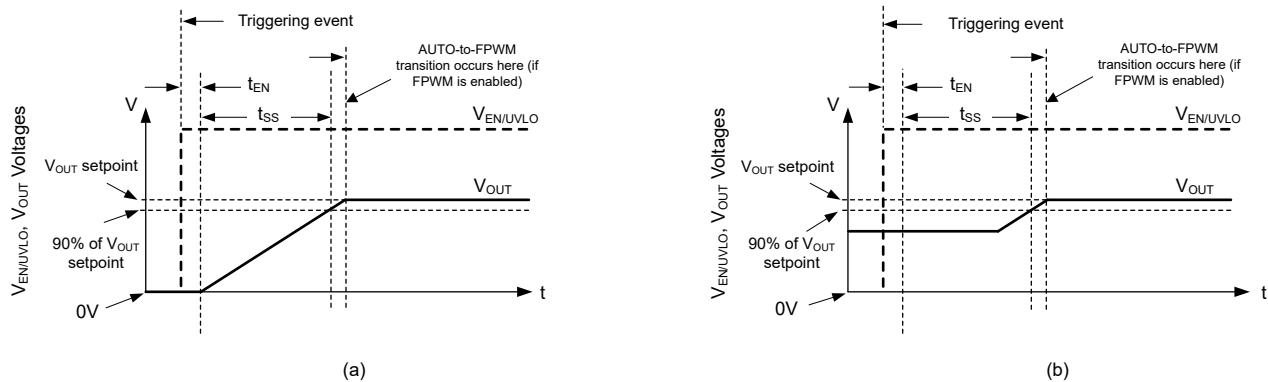

図 7-7. ソフトスタート時間の設定

ADVANCE INFORMATION

ソフトスタートを開始すると、デバイスは次の動作を実行します：

- 出力電圧をレギュレートする内部基準電圧が、ゆっくりとゼロから上昇します。その結果、出力電圧が t_{SS} の時間をかけて目的の値の 90% に達します。
- 動作モードは自動に設定され、出力電圧がプルダウンされず、プリバイアスされたスタートアップが発生するよう、ダイオード エミュレーションが有効化されます。
- ソフトスタートの間は、ヒップアップ モード保護がディセーブルのままでです。[セクション 7.3.11.3](#) を参照してください。

これらの動作を組み合わせることで、突入電流が制限されるスタートアップ プロファイルが得られ、大きな出力キャパシタンスと大負荷の状況で、スタートアップ時に電流制限に近づいてもヒップアップがトリガされないようにできます。[図 7-8](#) を参照してください。



ソフトスタートの開始後、出力電圧は時間間隔 t_{SS} の後で、出力設定点の 90% に達します。デバイスでは、ソフトスタートの間は FPWM とヒップアップがディセーブルで、出力電圧がレギュレーションに達するとこれらのモードを有効化します。

図 7-8. 出力電圧のソフトスタート：プリバイアスなし (a)、プリバイアスあり (b)

7.3.10.1 ドロップアウトからの回復

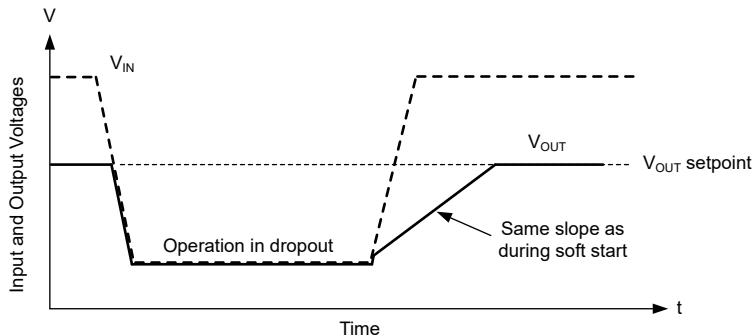
出力電圧の低下が数 % を超えるとき (たとえば、入力電圧が出力電圧の設定点を下回るとき) は常に、回復中に出力電圧はゆっくりと上昇します。この条件はドロップアウトからの回復と呼ばれ、ソフトスタートとは 3 つの重要な違いがあります：

- リファレンス電圧は、出力電圧の設定点を実現するために必要な値よりも約 1% 高い値に設定される。基準電圧はゼロからはスタートしません。
- 出力電圧が設定点の 40% 未満である場合のみ、ヒップアップが許可される。[セクション 7.3.11.3](#) で説明したように、このデバイスはドロップアウト動作時にヒップアップを禁止します。

- ドロップアウトからの回復中、FPWM モードが許可される。外部電源によって出力電圧が突然プルアップされた場合、コンバータは出力をプルダウンする場合があります。通常動作中に存在するすべての保護機能は作動しており、出力が高電圧またはグランドに短絡した場合にデバイスが保護されることに留意してください。

この機能はドロップアウトからの回復という名前ですが、出力電圧が出力の設定点よりも数 % 低くなると常にアクティブになります。この動作は主に、以下の条件で発生します。

- ドロップアウト: 目的の出力電圧を維持するのに十分な入力電圧がない場合。
- 過電流: ヒップルをトリガするほどの大きさではない過電流イベントが発生した場合



出力電圧の低下が、高負荷と低入力電圧のどちらによるものでも、出力が設定点を下回る原因となっている条件が解消された後、スタートアップ時と同じ速度で出力電圧が上昇します。ドロップアウトが原因でヒップルがトリガされなかった場合も、回復中に 64 クロック サイクルを超えて出力電圧が定点の 40% を下回った場合、原則としてヒップルがトリガされる可能性があります。

図 7-9. ドロップアウトからの回復

7.3.11 保護機能

LM656x0-Q1 には、包括的な安全機能セットがあります：

- 出力低電圧および過電圧の検出機能を備えたパワーグッド モニタ
- ヒップル モードによる過電流および出力短絡保護回路
- サーマル シャットダウン (TSD) 保護

7.3.11.1 パワーグッド モニタ (PG)

LM656x0-Q1 は、システムの電源シーケンシングと監視を簡素化するためのパワーグッド機能を備えています。パワーグッド機能を使用すると、LM656x0-Q1 から電源を供給されるダウンストリームの回路をイネーブルにしたり、負荷スイッチなどのダウンストリームの保護回路を制御したり、シーケンス電源を起動したりできます。

PG は、固定出力構成では BIAS を使用して、可変出力設定では FB を使用して、ウインドウ コンバレータにより出力電圧を監視します。PG は、出力電圧がレギュレーション状態のとき、高インピーダンスのオープンドレイン状態に切り替わります。出力電圧が電圧の設定点から $\pm 5\%$ の範囲を超えると、PG が Low に駆動され、出力の過電圧または低電圧状態をシステムに警告します。PG の立ち下りエッジにおける $130\mu\text{s}$ のグリッチ除去フィルタにより、遷移中の PG の誤トリップが防止されます。出力電圧がレギュレーション ウィンドウ内に戻ったとき、PG の立ち上がりエッジにある 2ms のフィルタにより、ダウンストリーム部品のための追加の処理時間が得られます。

TI は、PG ピンから 30V 未満の関連するレールへの $100\text{k}\Omega$ プルアップ抵抗を使用することを推奨します。ソフトスタート中および LM656x0-Q1 がディセーブルのとき、PG は Low にアサートされます。

7.3.11.2 過電流および短絡保護

LM656x0-Q1 は、ハイサイドとローサイドのパワー MOSFET の両方でサイクル毎に電流を制限することで、過電流状態から保護されます。

下限側 MOSFET 過電流保護機能は、ピーク電流のモード制御の性質を利用して実装されています。ハイサイド電流は、短いブランкиング時間の後でハイサイド MOSFET がオンになったときに検出されます。ハイサイド電流は、固定電流

設定点、または電圧レギュレーション ループの出力からスロープ補償を引いた値のうち、どちらか小さい方と、スイッチング サイクルごとに比較されます。

ローサイド MOSFET がオンになると、MOSFET を通過する電流も検出され、監視されます。ローサイド MOSFET は、ハイサイド MOSFET と同様に、電圧制御ループの指示に従ってオフになります。ローサイド デバイスでは、発振器が正常に新しいスイッチング サイクルを開始したとしても、電流制限を超えるとターンオフは禁止されます。また、ハイサイド デバイスと同様に、ターンオフ電流の振幅には限界があります。これはローサイド電流制限と呼ばれます。値については、「[電気的特性](#)」を参照してください。ローサイド電流制限が作動するとき、ローサイド MOSFET はオンのままで、ハイサイド MOSFET はオンになりません。ローサイド電流が制限値を下回った後で、ローサイド MOSFET がオフになります。ハイサイド MOSFET が最後にオンになってから 1 クロック周期以上が経過すると、ハイサイド MOSFET は再度オンになります。

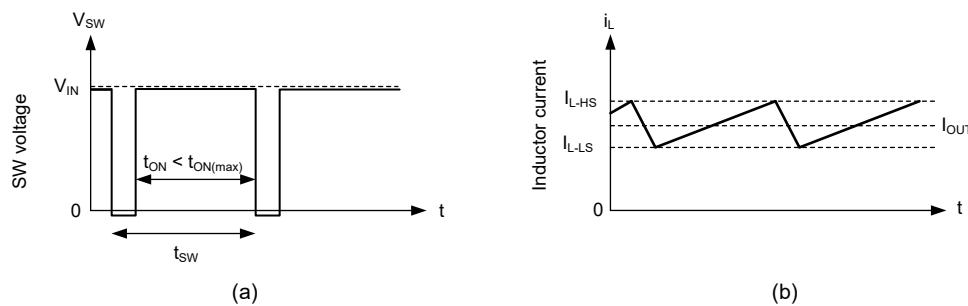


図 7-10. 電流制限波形：スイッチ電圧 (a)、インダクタ電流 (b)

ハイサイドおよびローサイド電流制限の動作による実質的な影響は、IC がヒステリシス制御で動作することです。電流波形は I_{L-HS} と I_{L-LS} との間の値をとるため、デューティサイクルが極めて高い場合を除き、出力電流はこれら 2 つの値の平均値に近くなります。電流制限での動作後、出力電圧がゼロに近づくにつれて、ヒステリシス制御が使用され、電流は増加しなくなります。

過負荷状態が解消されると、デバイスはソフトスタート中であるかのように回復します。[セクション 7.3.10.1](#) を参照してください。出力電圧が意図した出力電圧の約 0.4 倍を下回ると、ヒップがトリガされる可能性があることに注意してください。

7.3.11.3 ヒップモード保護

LM656x0-Q1 は、連続 64 クロック サイクル (ヒップモードのアクティベーション遅延 t_{HICDLY} に対応) にわたって、以下のすべての条件が満たされる場合、ヒップモード保護に入ります。

- ・ ソフトスタートの開始から 5.3ms を超える時間間隔が経過しました。[セクション 7.3.10.1](#) を参照。
- ・ 出力電圧が、出力電圧の設定点の約 40% を下回っている。
- ・ デバイスがドロップアウト (PWM オフ時間が COMP によって制御されている状態と定義される) で動作していない。

ヒップモードでは、デバイスはシャットダウンし、内部ソフトスタートを使用しているときは、約 48ms の遅延後に再起動を試みます。外部ソフトスタートを使用している場合、遅延時間はソフトスタート時間の 6 倍に増加します。ヒップモードは、極度の過電流や短絡状態の際にデバイスの消費電力を低減するのに役立ちます。

7.3.11.4 サーマルシャットダウン

サーマルシャットダウンは、IC の接合部温度が 165°C (標準値) を超えると内部スイッチをオフにすることで、LM656x0-Q1 の消費電力を制限します。サーマルシャットダウンは 155°C 未満ではトリガされません。サーマルシャットダウンが作動した後、ヒステリシスにより、接合部温度が約 9°C 低下するまで、デバイスのスイッチングは抑止されます。接合部温度が 156°C (標準値) を下回ると、LM656x0-Q1 はソフトスタートを試みます。

接合部の温度が高いために LM656x0-Q1 がシャットダウンしている場合でも、VCC は依然としてレギュレーション状態に維持されます。短絡による過熱が VCC に及ぶことを防止するため、デバイスがサーマルシャットダウンしている間は VCC バイアス電源サブレギュレータの電流制限が引き下げられます。VCC サブレギュレータがこのシャットダウン状態で供給できる電流は、わずか数ミリアンペアです。

7.3.12 2相、单一出力の動作

2つのLM656x0-Q1コンバータICを使用して、2相、单一出力の動作を実現します。附加的な位相を追加することはできません。[図7-11](#)に従って、1番目と2番目のデバイスをそれぞれプライマリおよびセカンダリとして設定します。この動作により、セカンダリICの帰還エラーアンプはディセーブルになり、帰還エラーアンプは高インピーダンス状態になります。[図7-11](#)に示すように、セカンダリデバイスのFBをVCCに接続します。さらに、プライマリとセカンダリのICのCOMPピンを、最短のパターン長で互いに接続します。プライマリデバイスの近くに外部補償回路を追加します。2相構成で動作する場合、内部補償機能は利用できません。

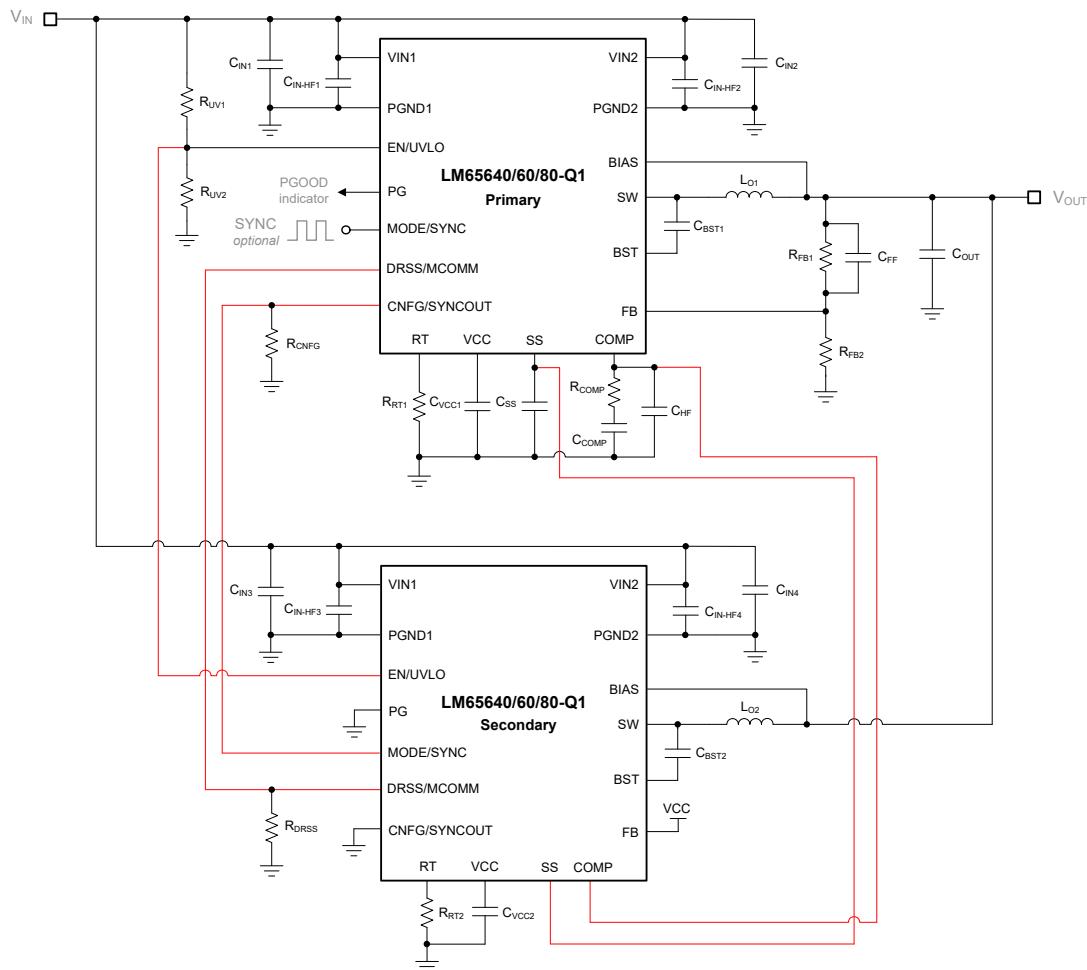


図 7-11. 単一出力二相動作の概略回路図

プライマリ デバイスの CNFG/SYNCOUT を、セカンダリ デバイスの MODE/SYNC に接続します。プライマリの SYNCOUT 信号は位相差 180° で、インターリーブ動作を容易にします。2 相構成で動作するときは、両方のデバイスを同時にイネーブルして起動します。

2 相動作に構成されているとき、DRSS/MCOMM はプライマリ デバイスからセカンダリ デバイスにモード情報を伝達します。プライマリからの MCOMM High 信号により、セカンダリは FPWM モードで動作します。逆に、プライマリからの MCOMM Low 信号により、セカンダリは PFM モードに設定されます。プライマリ デバイスとセカンダリ デバイスの MCOMM ピンは互いに接続する必要があります。フル通信を実現するには、プライマリ デバイスとセカンダリ デバイスの SS ピンを接続します。

『多相降圧コンバータの利点』[Analog Design Journal](#) および『多相降圧設計のすべて』[アプリケーション ノート](#)も参照してください。

7.4 デバイスの機能モード

7.4.1 シャットダウンモード

EN/UVLO ピンは、本デバイスの電気的オン / オフ制御に使用できます。EN/UVLO 電圧が 0.9V を下回ると、デバイスはシャットダウン モードになり、入力静止電流が 1 μ A 未満になります。

7.4.2 アクティブモード

LM656x0-Q1 は、次の条件が発生するとアクティブ モードになります：

- EN/UVLO が $V_{EN-TH(R)}$ を上回る。
- V_{IN} が $V_{IN_{UVLO(R)}}$ を上回る。
- 他のフォルト条件は存在しない。

保護機能については、[セクション 7.3.11](#) を参照してください。この動作を可能にする最も簡単な方法は、EN/UVLO を V_{IN} に接続することです。これにより、印加された入力電圧が最小 $V_{IN_{UVLO(R)}}$ である 3.4V (標準値) を超えるとスタートアップが可能になります。

アクティブ モードで、LM656x0-Q1 は負荷電流、入力電圧、出力電圧に応じて次のサブモード 6 つのいずれかになります。

- 固定スイッチング周波数とピーク電流モード動作による連続導通モード (CCM)
- 自動モードのときに負荷電流がインダクタのピークツーピークリップ電流の 1/2 未満である場合、不連続導通モード (DCM)。電流が減少し続けると、デバイスはパルス周波数変調 (PFM) に移行し、スイッチング周波数を減らしてレギュレーションを維持します (これによりスイッチング損失が減少し、軽負荷時の効率が向上します)。
- 要求された低デューティサイクルでの全周波数動作に必要なデバイスのオン時間が、 $t_{ON(min)}$ でサポートされていないとき、最小オン時間動作
- 強制パルス幅変調 (FPWM) は、固定スイッチング周波数の CCM と似ていますが、固定周波数の範囲が全負荷から無負荷まで拡張されます。
- 出力電圧が常に出力設定点の 40% を上回る、電流制限条件。
- ドロップアウトを最小限に抑えるためにスイッチング周波数が低下したときの、ドロップアウト モード。
- ドロップアウトからの回復は、他の動作モードと似ていますが、出力電圧の設定点が、プログラムされた設定点に達するまで徐々に上昇します。

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

LM656x0-Q1 は降圧コンバータのアミリで、比較的少ない数個の外部コンポーネントで広い範囲の入力電圧をレギュレートされた出力電圧に変換でき、最大 8A の出力電流を供給できます。包括的な [クイックスタート カリキュレータ](#)をダウンロードでき、LM656x0-Q1 ベースのレギュレータ回路の設計プロセスを促進して合理化できます。

8.1.1 パワートレイン コンポーネント

同期整流降圧レギュレータの設計を適切に完成させるには、レギュレータのパワートレイン部品を包括的に理解することが不可欠です。以下のセクションでは、インダクタ、入力および出力コンデンサ、EMI 入力フィルタについて説明します。

8.1.1.1 降圧インダクタ

多くのアプリケーションでは、公称入力電圧におけるインダクタのリップル電流 ΔI_L が最大 DC 出力電流の 30%~50% の間になるように降圧インダクタンスを選択します。式 8 に示されるピーク インダクタ電流に基づき、式 7 を使用してインダクタンスを選択します。

$$L_0 = \frac{V_{OUT}}{\Delta I_L \times F_{SW}} \times \left(1 - \frac{V_{OUT}}{V_{IN}}\right) \quad (7)$$

$$I_{L(pk)} = I_{OUT} + \frac{\Delta I_L}{2} \quad (8)$$

インダクタのデータシートをチェックし、インダクタの飽和電流が特定の設計におけるピーク インダクタ電流よりも大きいことを確認します。フェライトの設計はコア損失が非常に小さく、高スイッチング周波数で好まれます。そのため、設計の目標を銅での損失と飽和の防止に集中できます。低インダクタのコア損失は、無負荷の入力電流の低下と、軽負荷時の効率の向上により明らかです。ただし、フェライトのコア素材は飽和特性が高く、飽和電流を超過するとインダクタンスは急激に低下します。この動作の結果、インダクタのリップル電流は急激に増加し、出力電圧リップルも上昇するため、当然効率は低下し、信頼性も損なわれます。一般的に、インダクタの飽和電流はコア温度が上がるにつれて減少することに注意してください。もちろん、インダクタの飽和を防止するには正確な過電流保護が重要です。

8.1.1.2 出力コンデンサ

出力コンデンサ C_{OUT} はインダクタのリップル電流を導通し、ステップ負荷過渡イベントのために電荷を蓄積します。一般的に、セラミック コンデンサの ESR は非常に低いため、出力電圧リップルとノイズは低減されますが、ポリマー電解コンデンサは過渡負荷イベント用の比較的小さなフットプリントのものでも、バルク容量は非常に大きくなります。式 9 に、 ΔV_{OUT} で表されるピークツーピーク出力電圧リップルの、静的仕様に基づく出力キャパシタンスを示します。

$$C_{OUT} \geq \frac{\Delta I_L}{8 \times F_{SW} \sqrt{\Delta V_{OUT}^2 + (R_{ESR} \times \Delta I_L)^2}} \quad (9)$$

コンデンサのデータシートには、ESR が仕様として明記されているか、インピーダンスと周波数の関係の曲線によって暗黙的に記載されています。種類、サイズ、構造に応じて、電解コンデンサは $10\text{m}\Omega$ 以上の大きな ESR と、 10nH を超える比較的大きな ESL があります。PCB パターンは寄生抵抗とインダクタンスにも寄与します。セラミック出力コンデンサはスイッチング周波数における ESR と ESL への寄与が小さく、容量性インピーダンスの成分が優勢です。ただし、セラミックコンデンサのパッケージと電圧定格によっては、実効容量は印加された DC 電圧と動作温度で大幅に低下することがあります。

応答が小信号制限され、クロスオーバー周波数 f_C で設定されている場合、動的負荷電流の変化中に出力電圧制限を満たすための出力キャパシタンスの推定値を、式 10 に示します。

$$C_{OUT} \geq \frac{\Delta I_{OUT}}{2 \times \pi \times f_C \times \Delta V_{OUT}} \quad (10)$$

式 9 の ESR の項を無視すると、出力リップルの要件を満たすために必要な最小セラミック容量を簡単に見積もることができます。その後で、負荷過渡仕様を満たすために容量が必要かどうかを、式 10 で判定します。LM656x0-Q1 コンバータを使用して 5V 出力を供給する場合、2 ~ 4 個の 47 μ F、10V、X7R、1210 のセラミックコンデンサが一般的な選択です。12V 出力は、通常は 2 ~ 4 個の 22 μ F、25V、X7R、1210 コンデンサです。

8.1.1.3 入力コンデンサ

入力コンデンサは、 di/dt が大きいスイッチング電流により降圧電力段に発生する、入力リップル電圧を制限するために使用されます。TI は、幅広い温度範囲で低インピーダンスと高い RMS 電流定格を実現する、X7R 誘電体を使用した 1210 セラミックコンデンサの使用を推奨します。スイッチング電力ループの寄生インダクタンスを最小化するため、入力コンデンサを VIN および PGND ピンペアとできるだけ近く配置します。1 相降圧レギュレータの入力コンデンサの RMS 電流は、式 11 で計算されます。

$$I_{CIN(rms)} = \sqrt{D \times \left(I_{OUT}^2 \times (1 - D) + \frac{\Delta I_L^2}{12} \right)} \quad (11)$$

RMS 電流は、 $D = 0.5$ において $I_{OUT}/2$ の最大値に達します。理想的には、入力電圧源が入力電流の DC 成分を供給し、入力コンデンサが AC 成分を供給します。インダクタのリップル電流を無視すると、降圧レギュレータの入力コンデンサは、D 時間に振幅 ($I_{OUT} - I_{IN}$) の電流をソースし、1-D 時間に I_{IN} をシンクします。そのため、入力コンデンサは、出力電流に等しいピークツーピーク振幅の方形波電流を導通します。この結果、AC リップル電圧の合成容量成分は三角波になります。ESR 関連のリップル成分とともに、ピークツーピークリップ電圧の振幅が式 12 で計算されます。

$$\Delta V_{IN} = \frac{I_{OUT} \times D \times (1 - D)}{F_{SW} \times C_{IN}} + I_{OUT} \times R_{ESR} \quad (12)$$

ΔV_{IN} の入力電圧リップル仕様に基づいて、特定の負荷電流に必要な入力容量は、式 13 で計算されます。

$$C_{IN} \geq \frac{D \times (1 - D) \times I_{OUT}}{F_{SW} \times (\Delta V_{IN} - R_{ESR} \times I_{OUT})} \quad (13)$$

LM656x0-Q1 には、パッケージの両側に VIN ピンと PGND ピンが対称的に配置されています。これにより、入力コンデンサを分割して、内部パワー MOSFET に対して最適に配置し、入力のバイパスの効果を高めることができます。反対の電流ループは自己キャンセルフィールドを作成し、伝導と放射の両方のエミッションを低減します。ほとんどのアプリケーションでは、4 つの 4.7 μ F または 10 μ F のセラミックコンデンサで十分です。また、各入力ピンのペア [VIN1, PGND1] および [VIN2, PGND2] に、小さなケースサイズ (0402 または 0603) のセラミックコンデンサを配置し、高周波数における実効インピーダンスを低減します。

180° の位相差のあるインターリーブスイッチング付き 2 相レギュレータを使用すると、入力リップル電流をキャンセルして、入力コンデンサの電流ストレスを低減できます。上の式は、1 つの位相がディセーブルで、他の位相が全負荷状態のときに、有効な計算結果を表しています。

8.1.1.4 EMI フィルタ

スイッチングレギュレータは負の入力インピーダンス特性を示し、その値は最小入力電圧および最大負荷において最小になります。LC フィルタの減衰不足は、フィルタの共振周波数に対して出力インピーダンスが高いことを示しています。安定性のため、EMI フィルタの出力インピーダンスは、コンバータの入力インピーダンスの絶対値よりも小さくする必要があります。

$$Z_{IN} = \left| -\frac{V_{IN(min)}^2}{P_{IN}} \right| \quad (14)$$

図 8-1 の EMI フィルタを基礎とする設計手順は次のとおりです：

- EMI フィルタについて、スイッチング周波数で要求される減衰を計算します。ここで、 C_{IN} はコンバータの入力における既存の容量を表しています。
- 1 μ H ~ 10 μ H の範囲の入力フィルタインダクタ L_{IN} を選択します。大電流設計で DC 損失を低減するには、より小さい値を使用します。
- 入力側のフィルタ容量 C_F を計算します。

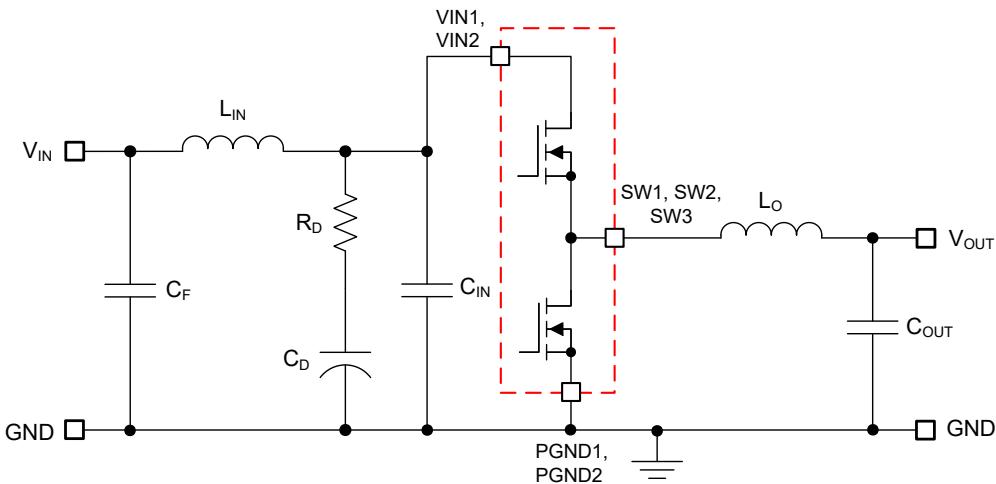


図 8-1. 降圧 レギュレータ用のパッシブ π 段 EMI フィルタ

入力電流波形のフーリエ級数から最初の高調波電流を計算し、その値に入力インピーダンス（インピーダンスは既存の入力コンデンサ C_{IN} で定義）を乗算します。スイッチング周波数で必要なフィルタ減衰は、式 15 で求められます

$$Attn = 20\log\left(\frac{I_{L(pk)}}{\pi^2 \times F_{SW} \times C_{IN}} \times \sin(\pi \times D_{MAX}) \times \frac{1}{1\mu V}\right) - V_{MAX} \quad (15)$$

ここで、

- V_{MAX} は、適用可能な伝導 EMI 標準、たとえば CISPR 25 Class 5 などで許容される放射レベル (dB μ V) です
- C_{IN} は、レギュレータの既存の入力容量です
- D_{MAX} は最大デューティサイクルです。
- $I_{L(pk)}$ はピークインダクタ電流です。

EMI フィルタ設計の観点では、入力時の電流を方形波としてモデル化します。式 16 を使用して、EMI フィルタの容量 C_F を決定します。

$$C_F = \frac{1}{L_{IN}} \left(\frac{10 \frac{|Attn|}{40}}{2\pi \times F_{SW}} \right)^2 \quad (16)$$

スイッチング レギュレータに入力フィルタを追加すると、制御から出力への伝達関数が変更されます。フィルタの出力インピーダンスは、入力フィルタがレギュレータのループゲインに大きな影響を与えないよう、十分に低くする必要があります。インピーダンスは、フィルタの共振周波数でピークになります。フィルタの共振周波数は、式 17 で計算されます。

$$f_{res} = \frac{1}{2\pi \times \sqrt{L_{IN} \times C_F}} \quad (17)$$

R_D の目的は、共振周波数におけるフィルタのピーク出力インピーダンスを低減することです。コンデンサ C_D は、入力電圧の DC 成分をブロックして、 R_D での過剰な電力消費を防止します。コンデンサ C_D は、入力コンデンサ C_{IN} より大きな容量で、共振周波数において R_D よりも低インピーダンスの必要があります。これにより、 C_{IN} がメイン フィルタのカットオフ周波数に干渉することを防ぎます。共振周波数におけるフィルタの出力インピーダンスが高い場合は、ダンピングを追加します (L_{IN} と C_{IN} で形成されるフィルタの Q 値が大きすぎる場合)。式 18 に示されている値でのダンピングには、電解コンデンサ C_D を使用してください。

$$C_D \geq 4 \times C_{IN} \quad (18)$$

式 19 を使用して、ダンピング抵抗 R_D を選択します。

$$R_D = \sqrt{\frac{L_{IN}}{C_{IN}}} \quad (19)$$

8.1.2 エラー アンプと補償

図 8-2 に、相互コンダクタンスのエラー アンプ (EA) を使用した Type-II 補償器を示します。式 20 に示すように、EA の開ループ ゲインの支配的な極は、EA 出力抵抗 R_{OEA} と、実効帯域幅制限容量 C_{BW} で設定されます。

$$G_{EA(openloop)}(s) = - \frac{g_m \times R_{OEA}}{1 + s \times R_{OEA} \times C_{BW}} \quad (20)$$

上の式では、EA の高周波ポールは無視されています。出力電圧から COMP までの補償器の伝達関数は、帰還分圧器からのゲインの寄与も含めて、式 21 で表現されます。

$$G_c(s) = \frac{\hat{v}_c(s)}{\hat{v}_{out}(s)} = - \frac{V_{REF}}{V_{OUT}} \times \frac{g_m \times R_{OEA} \times \left(1 + \frac{s}{\omega_{z1}}\right)}{\left(1 + \frac{s}{\omega_{p1}}\right) \times \left(1 + \frac{s}{\omega_{p2}}\right)} \quad (21)$$

ここで、

- V_{REF} は帰還電圧リファレンス
- g_m は EA 相互コンダクタンス
- R_{OEA} は EA 出力インピーダンス

$$\omega_{z1} = \frac{1}{R_{COMP} \times C_{COMP}} \quad (22)$$

$$\omega_{p1} = \frac{1}{R_{OEA} \times (C_{COMP} + C_{HF} + C_{BW})} \cong \frac{1}{R_{OEA} \times C_{COMP}} \quad (23)$$

$$\omega_{p2} = \frac{1}{R_{COMP} \times (C_{COMP} || (C_{HF} + C_{BW}))} \cong \frac{1}{R_{COMP} \times C_{HF}} \quad (24)$$

EA の補償部品は、原点近くの極、ゼロ、高周波極を生成します。通常、 $R_{COMP} \ll R_{OEA}$ 、かつ $C_{COMP} \gg C_{BW}$ および C_{HF} なので、近似値が有効です。図 8-2 ではポールを赤で囲み、ゼロを青で囲んでいます。

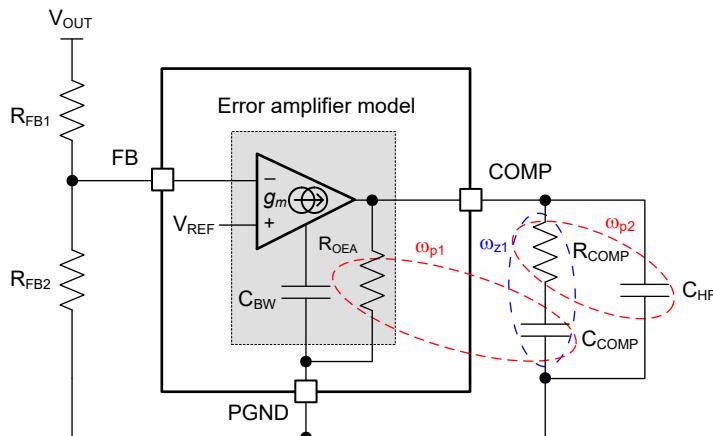


図 8-2. エラー アンプと補償ネットワーク

8.1.3 最大周囲温度

LM656x0-Q1 の接合部温度は、最大値が 150°C に規定されているため、消費電力、ひいては利用可能な負荷電流が制限されます。式 25 に、重要なパラメータ間の関係を示します。

$$I_{OUT(max)} = \frac{T_J - T_A}{R_{\theta JA}} \times \frac{\eta}{1 - \eta} \times \frac{1}{V_{OUT}} \quad (25)$$

ここで、

- η = コンバータの効率 (インダクタ損失を含まない)
- T_A = 周囲温度
- T_J = 接合部温度
- $R_{\theta JA}$ = 主に PCB を経由した、IC 接合部から周囲の環境への実効熱抵抗。

明らかに、 T_A と $R_{\theta JA}$ の値が大きいと、利用可能な出力電流は減少します。実効 $R_{\theta JA}$ は重要なパラメータで、多くの要因に依存します：

- IC の消費電力
- 気温とエアフロー
- PCB と銅製のヒートシンクの面積
- パッケージの下や近くにあるサーマルビアの数
- 隣接する部品の配置

LM656x0-Q1 のクイックスタート カリキュレータを使用して、IC の電力損失を推定します。または、求められるアプリケーション要件に合わせて評価基板を調整し、電力損失とそれに伴う温度上昇を測定します。セクション 6.4 表に報告されている $R_{\theta JA}$ の JEDEC 51-7 値は、実際のアプリケーションではめったに見られない、特定の一連の条件で測定されたものです。このため、この値は、実際のアプリケーションにおける IC の放熱性能を推定するためには役立ちません。

8.1.3.1 ディレーティング曲線

図 8-3 から図 8-6 までは、LM65680-Q1 降圧レギュレータ評価基板を使用して得られたディレーティング曲線です。 $R_{\theta JA}$ は約 18°C/W となります。特定のアプリケーションの実際の性能は、前述の要因によって異なります。PCB の熱設計と、特定のアプリケーション環境における $R_{\theta JA}$ を推定するためのガイドとして、[熱設計についてのリソース](#) を使用してください。

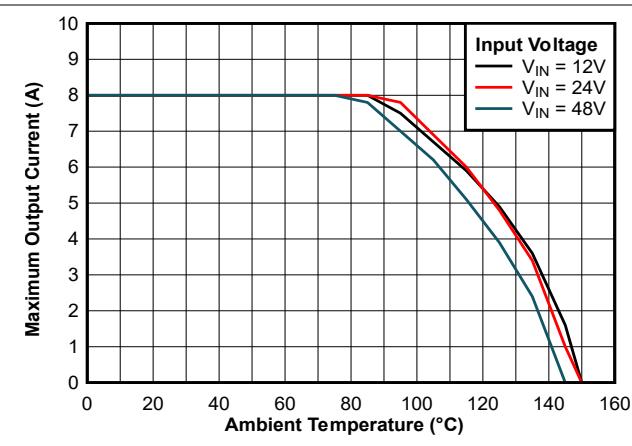


図 8-3. LM65680-Q1 の出力電流ディレーティングと周囲温度との関係 ($5V_{OUT}$ 、 $400kHz$)

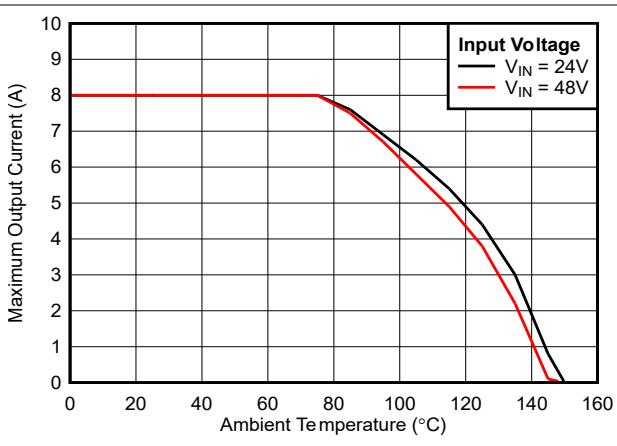


図 8-4. LM65680-Q1 の出力電流ディレーティングと周囲温度との関係 ($12V_{OUT}$ 、 $400kHz$)

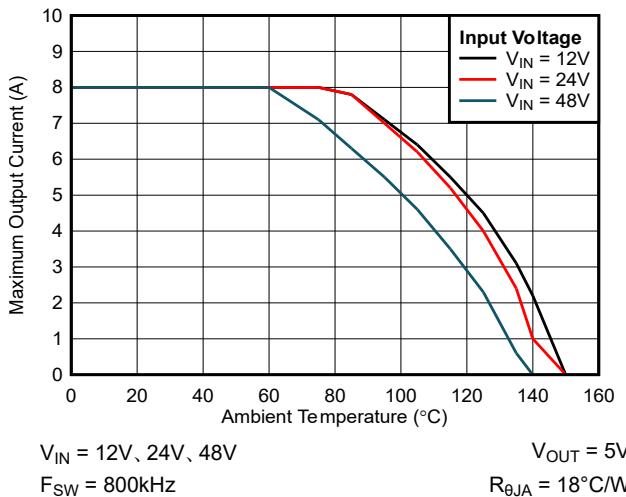


図 8-5. LM65680-Q1 の出力電流ディレーティングと周囲温度との関係 ($5V_{OUT}$ 、 $800kHz$)

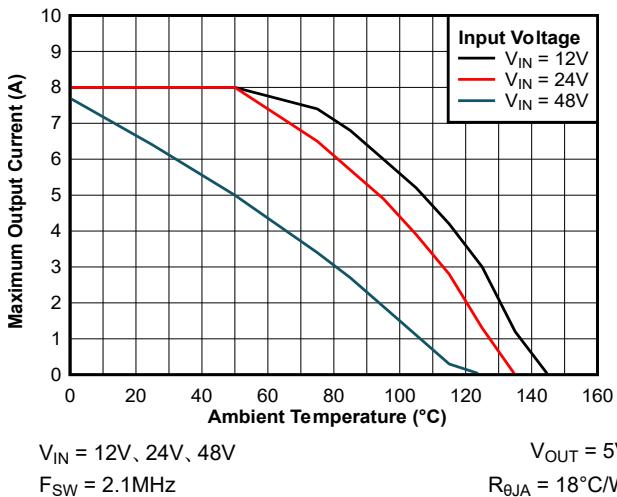


図 8-6. LM65680-Q1 の出力電流ディレーティングと周囲温度との関係 ($5V_{OUT}$ 、 $2.1MHz$)

8.2 代表的なアプリケーション

LM656x0-Q1 ファミリの同期整流降圧コンバータは、幅広い外付け部品とシステム パラメータで動作します。CNFG/ SYNCOUT を VCC に接続すると、コンバータが内部補償を使用するように設定されるため、COMP は開路のままでも PGND に接続してもかまいません。しかし、内部補償では、安定性のために最低限の出力容量が必要です。式 26 を使用して、出力容量に適切な値を求めるすることができます。

$$C_{OUT(INTCOMP)} = \frac{K_{INTCOMP}}{f_C \times V_{OUT}} \quad (26)$$

ここで、

- f_C は目的のループ クロスオーバー周波数で、スイッチング周波数の 10% ~ 15%、最高 100kHz に設定できます。
- LM65680-Q1、LM65660-Q1、LM65640-Q1 の $K_{INTCOMP}$ は、それぞれ 36.5、27.2、20.1 です。

クイック リファレンスとして、内部補償と 3.3V または 5V の固定出力設定を使用するときの、各種アプリケーション パラメータの標準的な部品の値を表 8-1 に示します。これに対して、表 8-2、表 8-3、表 8-4 は、帰還分圧器を使用して出力電圧を設定するとき、それぞれ 8A、6A、4A デバイスの標準的な部品の値を示します。

これらの表には、標準的な入力電圧 48V と、リファレンスの最小実効出力容量値（電圧と温度に応じてディレーティングされる）に対応する設計の概要が示されています。

表 8-1. 固定出力電圧 (3.3V または 5V) と内部補償の標準的な部品の値

出力電圧	スイッチング周波数	FB	LM65640-Q1、4A		LM65660-Q1、6A		LM65680-Q1、8A	
			L_o	C_{OUT}	L_o	C_{OUT}	L_o	C_{OUT}
3.3V	400kHz	GND	5.6 μ H	130 μ F	4.7 μ H	180 μ F	3.3 μ H	220 μ F
5V		VCC	8.2 μ H	80 μ F	5.6 μ H	120 μ F	3.9 μ H	150 μ F
3.3V	2.2MHz	GND	1 μ H	55 μ F	0.82 μ H	75 μ F	0.56 μ H	100 μ F
5V		VCC	1.5 μ H	40 μ F	1 μ H	50 μ F	0.82 μ H	70 μ F

表 8-2. 可変出力電圧と内部補償機能を備えた LM65680-Q1 8A デバイスの標準的な部品の値

出力電圧	スイッチング周波数	L_o	C_{OUT}	R_{FB1}	R_{FB2}	C_{FF}
3.3V	400kHz	3.3 μ H	220 μ F	78.7k Ω	24.9k Ω	10pF
5V		3.9 μ H	150 μ F		15k Ω	10pF
12V		8.2 μ H	60 μ F	210k Ω	15k Ω	3.3pF
3.3V	2.2MHz	0.56 μ H	100 μ F	78.7k Ω	24.9k Ω	2.2pF
5V		0.82 μ H	70 μ F		15k Ω	2.2pF
12V		1 μ H	30 μ F	210k Ω	15k Ω	–

表 8-3. 可変出力電圧と内部補償機能を備えた LM65660-Q1 6A デバイスの標準的な部品の値

出力電圧	スイッチング周波数	L_o	C_{OUT}	R_{FB1}	R_{FB2}	C_{FF}
3.3V	400kHz	4.7 μ H	150 μ F	78.7k Ω	24.9k Ω	10pF
5V		5.6 μ H	100 μ F		15k Ω	10pF
12V		10 μ H	44 μ F	210k Ω	15k Ω	2.2pF
3.3V	2.2MHz	0.82 μ H	75 μ F	78.7k Ω	24.9k Ω	4.7pF
5V		1 μ H	50 μ F		15k Ω	4.7pF
12V		2.2 μ H	22 μ F	210k Ω	15k Ω	–

表 8-4. 可変出力電圧と内部補償機能を備えた LM65640-Q1 4A デバイスの標準的な部品の値

出力電圧	スイッチング周波数	L_o	C_{OUT}	R_{FB1}	R_{FB2}	C_{FF}
3.3V	400kHz	6.8 μ H	120 μ F	78.7k Ω	24.9k Ω	10pF
5V		8.2 μ H	80 μ F		15k Ω	10pF
12V		15 μ H	35 μ F	210k Ω	15k Ω	3.3pF
3.3V	2.2MHz	1 μ H	50 μ F	78.7k Ω	24.9k Ω	4.7pF
5V		1.5 μ H	35 μ F		15k Ω	4.7pF
12V		3.3 μ H	15 μ F	210k Ω	15k Ω	–

注

LM656x0-Q1 で駆動される実装の詳細な設計手順、回路図、部品表、PCB ファイル、シミュレーション、テスト結果については、[TI Designs](#) のリファレンス デザイン ライブドリブリを参照してください。

8.2.1 設計 1 - 5V, 8A の同期整流降圧レギュレータ、広い入力電圧範囲に対応し、高効率を実現

図 8-7 に、LM65680-Q1 を使用した代表的な降圧レギュレータ回路を示します。この回路は、公称 48V の入力からレギュレートされた 5V の出力で 8A を供給します。

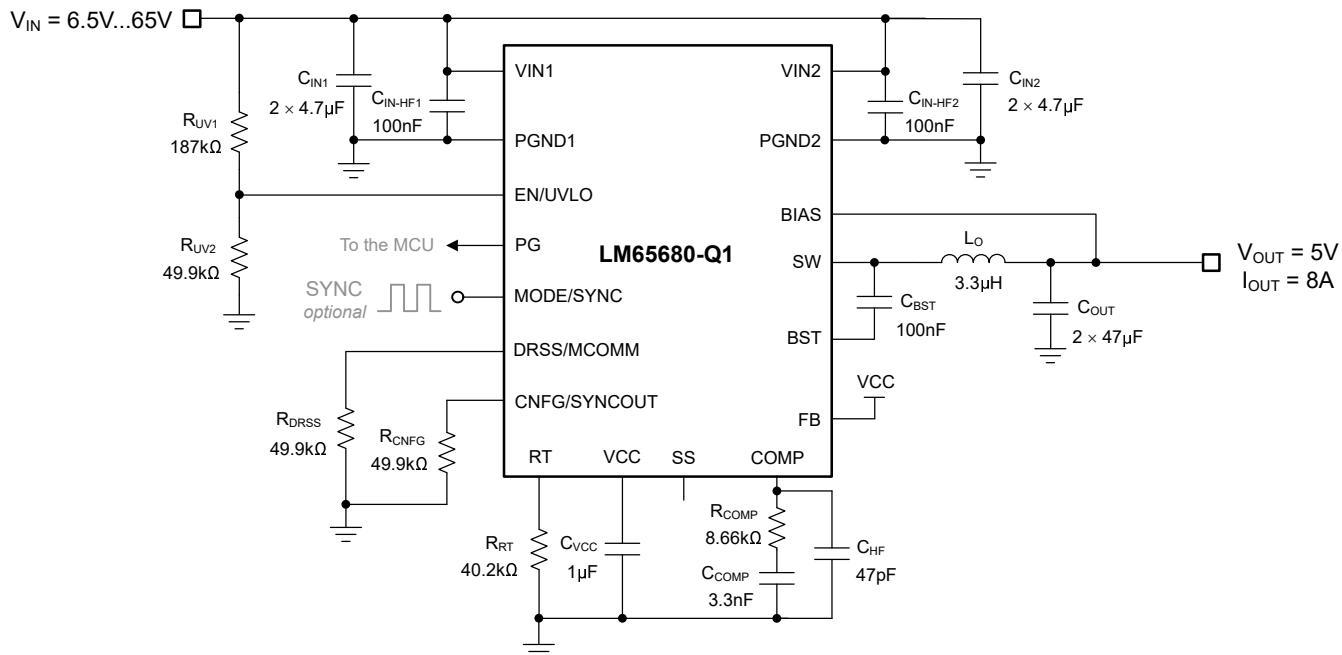


図 8-7. アプリケーション回路 1、LM65680-Q1 8A 降圧レギュレータを 400kHz で使用

注

これ以降の設計例では、いくつかの異なるアプリケーションにおける LM656x0-Q1 コンバータを紹介します。入力電源バスのソースインピーダンスによっては、特に低入力電圧と高出力電流の動作時条件における安定性を確保するために、入力に電解コンデンサが必要になることがあります。詳細については、[セクション 8.4](#) を参照してください。

8.2.1.1 設計要件

表 8-5 に、スイッチング周波数 400kHz の 5V、8A 降圧レギュレータの仕様を示します。この例では、9V ~ 60V の定常状態範囲にわたる公称入力電圧 48V に基づき、半負荷効率と全負荷効率の目標はそれぞれ 92% と 90% です。短期的な過渡は最低 6.5V、最高 70V です。

表 8-5. 詳細設計パラメータ

設計パラメータ	値
入力電圧レンジ (定常状態)	9V ~ 60V
最小過渡入力電圧 (コールド クランク)	6.5V
最大過渡入力電圧 (負荷ダンプ)	65V
入力 UVLO ターンオン スレッショルド	5.9V
出力電圧	5V
出力電流	0A ~ 8A
スイッチング周波数	400kHz
ソフト スタート時間	5.3ms (デフォルトの内部設定)
EMI 低減	DRSS オフ、スルーレート制御オン

表 8-5. 詳細設計パラメータ (続き)

設計パラメータ	値
周囲温度範囲	-40°C ~ 85°C

40.2kΩ の抵抗 R_{RT} により、フリーランニング スイッチング周波数が 400kHz に設定され、オプションの SYNC 入力信号を使用すると、この特定のアプリケーションでスイッチング周波数を 320kHz ~ 480kHz に調整できます。SS ピンをオープンのままにすると、ソフトスタート時間が固定の内部設定の 5.3ms に設定されます。制御ループ性能について、対象のループ クロスオーバー周波数は 50° 以上の位相マージンで 60kHz です。

表 8-6 は、選択した降圧レギュレータのパワートレイン部品を示します。ほとんどの部品は複数のベンダから入手可能です。この設計には、コンポジット コア素材を使用した低 DCR のインダクタと、全セラミックの出力コンデンサが実装されています。

表 8-6. アプリケーション回路 1 の部品表

リファレンス指定子	数量	仕様	メーカー ⁽¹⁾	部品番号
C_{IN1}, C_{IN2}	4	4.7μF、100V、X7S、1210、セラミック、AEC-Q200	Murata	GCM32DC72A475K
			TDK	CGA6M3X7S2A475K
C_{IN-HF1}, C_{IN-HF2}	2	100nF、100V、X7R、0603、セラミック、AEC-Q200	Murata	GCJ188R72A104M
C_{OUT}	2	47μF、10V、X7S、1210、セラミック、AEC-Q200	Murata	GCM32EC71A476K
			TDK	CNA6P1X7S1A476M
L_o	1	3.3μH、5.9mΩ、13.4A、6.71 × 6.51 × 6.1mm、AEC-Q200	Coilcraft	XGL6060-332MEC
		3.3μH、6mΩ、15.6A、6.6 × 6.4 × 6.1mm、AEC-Q200	Würth Elektronik	744393465033
		3.3μH、6.3mΩ、16A、6.6 × 6.4 × 6mm、AEC-Q200	XFMRS	XFHCL6060HC-3R3M
		3.3μH、8.4mΩ、18.6A、8.05 × 7.5 × 5.4mm、AEC-Q200	Cyntec	VCHD075D-3R3MS6
		4.7μH、5.7mΩ、26.5A、11.3 × 10 × 6mm、AEC-Q200	Würth Elektronik	744393665047
U_1	1	LM65680-Q1 65V、8V 同期整流降圧コンバータ、AEC-Q100	テキサス・インスツルメンツ	LM65680

(1) 「サード パーティー 製品に関する免責事項」をご覧ください。[セクション 9.1](#)

8.2.1.2 詳細な設計手順

以下の設計手順は、図 8-7 と表 8-5 に適用されます。

8.2.1.2.1 WEBENCH® ツールによるカスタム設計

ここをクリック すると、WEBENCH Power Designer により、LM656x0-Q1 デバイスを使用するカスタム設計を作成できます。

- 最初に、入力電圧 (V_{IN})、出力電圧 (V_{OUT})、出力電流 (I_{OUT}) の要件を入力します。
- オプティマイザのダイヤルを使用して、効率、占有面積、コストなどの主要なパラメータについて設計を最適化します。
- 生成された設計を、テキサス・インスツルメンツが提供する他の方式と比較します。

WEBENCH Power Designer では、カスタマイズされた回路図と部品リストを、リアルタイムの価格と部品の在庫情報と併せて参照できます。

通常、次の操作を実行可能です。

- 電気的なシミュレーションを実行し、重要な波形と回路の性能を確認する
- 熱シミュレーションを実行し、基板の熱特性を把握する
- カスタマイズされた回路図やレイアウトを、一般的な CAD フォーマットで出力する
- 設計のレポートを PDF で印刷し、設計を共有する

WEBENCH ツールの詳細は、www.ti.com/ja-jp/WEBENCH でご覧になります。

8.2.1.2.2 スイッチング周波数の選択

スイッチング周波数の選択は、変換効率と設計全体のサイズとのトレードオフとなります。スイッチング周波数を低くすると、スイッチング損失は減少し、一般的にシステム効率が高くなります。一方、スイッチング周波数を高くすると、電力段により小型のインダクタや出力コンデンサを使用できるようになりますため、よりコンパクトな設計が可能となります。このアプリケーション例では、40.2kΩ の標準抵抗値を RT から PGND に接続して、周波数を 400kHz に設定します。または、RT を PGND に接続します。[セクション 7.3.5](#) も参照してください。

$$R_{RT}[\text{k}\Omega] = \frac{16.4}{F_{SW}[\text{MHz}]} - 0.633 = \frac{16.4}{0.4} - 0.633 = 40.36\text{k}\Omega \quad (27)$$

8.2.1.2.3 降圧インダクタの選択

- 式 28 を使用して、コンバータの最大定格電流の 30% ~ 40% であるインダクタのピークツーピークリップル電流に基づいて、降圧インダクタンスを計算します。L_O = 3.3μH に対して、標準値の抵抗を選びます。

$$L_O = \frac{V_{OUT}}{F_{SW} \times \Delta I_{L0}} \times \left(1 - \frac{V_{OUT}}{V_{IN(\text{nom})}}\right) = \frac{5\text{V}}{400\text{kHz} \times 3.2\text{A}} \times \left(1 - \frac{5\text{V}}{48\text{V}}\right) = 3.5\mu\text{H} \quad (28)$$

- 最大定常状態の入力電圧におけるピークインダクタ電流を計算するには、式 29 を使用します。50% を超えるデューティサイクルでのピーク電流モード制御により、分数調波発振が発生します。設計を簡略化するため、LM65680-Q1 にはスイッチング周波数に比例した内部勾配補償ランプが内蔵されています。このランプは電流センス信号に追加され、分数調波振動が発生する性質を弱めます。

$$I_{L0(\text{pk})} = I_{OUT} + \frac{V_{OUT}}{2 \times F_{SW} \times L_O} \times \left(1 - \frac{V_{OUT}}{V_{IN(\text{max})}}\right) = 8\text{A} + \frac{5\text{V}}{2 \times 400\text{kHz} \times 3.3\mu\text{H}} \times \left(1 - \frac{5\text{V}}{65\text{V}}\right) = 9.75\text{A} \quad (29)$$

- 分数調波発振を防止するには、式 30 で与えられる値よりも大きい降圧インダクタンスを選択します。実効最大インダクタンスの値は、電流モード制御を正しく行うために必要な最小電流リップルの振幅を設定します。一般的なルールとして、インダクタの最小リップル電流は、公称条件におけるコンバータの最大定格電流の約 10% 以上とする必要があります。この制限は、あらゆる動作条件でスイッチのデューティサイクルが 50% 以上になるアプリケーションに適用されます。

$$L_{0,\text{min}} \geq M \times \frac{V_{OUT}}{F_{SW}} \quad (30)$$

ここで、

- LM65680-Q1、LM65660-Q1、LM65640-Q1 について、それぞれ M = 0.16、0.21、0.29 です。

8.2.1.2.4 入力コンデンサの選択

一般的に、スイッチング周波数における電源入力のソースインピーダンスは比較的高くなります。入力リップル電圧を制限するには、高品質な入力コンデンサが必要です。一般的に、リップル電流は、スイッチング周波数におけるコンデンサの相対インピーダンスに基づいて、入力コンデンサ間で分割されます。

- 十分な電圧と RMS リップル電流定格を持つ入力コンデンサを選択してください。式 31 を使用して、入力コンデンサの RMS 電流を計算します。ワーストケースの動作点は、50% のデューティサイクルに対応する 10V の入力電圧におけるものです。

$$I_{CIN(\text{rms})} = I_{OUT} \times \sqrt{D \times (1 - D)} = 8\text{A} \times \sqrt{0.5 \times (1 - 0.5)} = 4\text{A} \quad (31)$$

- 式 32 を使用して、48V から 5V への変換で約 10% のデューティサイクルを想定し、必要な入力キャパシタンスを求めます。

$$C_{IN} \geq \frac{D \times (1 - D) \times I_{OUT}}{F_{SW} \times (\Delta V_{IN} - R_{ESR,Cin} \times I_{OUT})} = \frac{0.1 \times (1 - 0.1) \times 8\text{A}}{400\text{kHz} \times (480\text{mV} - 2\text{m}\Omega \times 8\text{A})} = 4.8\mu\text{F} \quad (32)$$

ここで、

- ΔV_{IN} はピークツーピークの入力リップル電圧の仕様です。

- $R_{ESR,Cin}$ は入力コンデンサの実効 ESR です。
- 3. セラミックコンデンサの電圧係数から、4つの4.7μF、100V、X7R、1210セラミック入力コンデンサを選択します。各コンデンサの実容量の値は、48VDC時に約1.3μFです。これらのコンデンサは、入力ピンのペア[VIN1、PGND1]と[VIN2、PGND2]に隣接して配置します。
- 4. ピークツーピークのリップル電圧の振幅を計算するには、式33を使用します。

$$\Delta V_{IN} = \frac{I_{OUT} \times D \times (1 - D)}{C_{IN} \times F_{SW}} + R_{ESR,Cin} \times I_{OUT} = \frac{8A \times 0.1 \times (1 - 0.1)}{4.2\mu F \times 400kHz} + 2m\Omega \times 8A = 0.44V \quad (33)$$

- 5. スイッチング遷移時に di/dt の大きい電流を供給するため、100nF、100V、X7R、0603のセラミックコンデンサを[VIN1、PGND1]と[VIN2、PGND2]との間に直接接続します。このコンデンサにより、高い自己共振周波数(SRF)と100MHz以上での低実効インピーダンスが実現します。この結果、電源ループの寄生インダクタンスが小さくなり、スイッチノード電圧のオーバーシュートとリンギングは最小限に抑えられます。詳細については、セクション8.5.1を参照してください。

8.2.1.2.5 出力コンデンサ

- 1. 負荷過渡偏差仕様が4% V_{OUT} で、ループクロスオーバー周波数が60kHzの場合、式34を使用して、50%の負荷ステップに必要な出力容量を推定します。

$$C_{OUT} \geq \frac{\Delta I_{OUT}}{2\pi \times f_C \times \Delta V_{OUT}} = \frac{4A}{2\pi \times 60kHz \times 0.2} = 53\mu F \quad (34)$$

- 2. 印加された電圧で実効容量が大幅に減少するセラミックコンデンサの電圧係数を考慮して、2つの47μF、10V、X7S、1210セラミック出力コンデンサを選択し、実効容量は5VDCにおいて56μFになります。
- 3. 式35を使用して、公称入力電圧時におけるピークピーカー出力電圧リップルを見積ります。

$$\Delta V_{OUT} = \frac{\Delta I_{LO}}{8 \times C_{OUT} \times F_{SW}} + R_{ESR,Cout} \times \Delta I_{LO} = \frac{3.2A}{8 \times 56\mu F \times 400kHz} + 1m\Omega \times 3.2A = 21mV \quad (35)$$

ここで、

- ΔI_{LO} は、ピークツーピークのインダクタリップル電流です。この例では、40%のインダクタリップル電流は3.2Aに相当します。
- 56μFは、5Vでの合計実効(ディレーティングした)出力容量です。
- $R_{ESR,Cout}$ は 1mΩで、出力コンデンサの実効 ESR です。

8.2.1.2.6 出力電圧の設定ポイント

FBをVCCに接続することにより、LM65680-Q1で5Vの固定出力設定を確立します。ポイントオブロードでレギュレータ出力に直接接続することで、電圧センシングにBIASを使用します。ボード線図の測定は、帰還分圧器の上部に信号を注入する可変出力実装でのみ可能なことに注意してください。

8.2.1.2.7 補償部品

以下の手順に従って、安定した制御ループ用の補償部品を選択します。

- 1. クロスオーバー周波数は、スイッチング周波数の10%～20%の範囲内に設定します。この例で f_C を60kHzに指定し、実効出力キャパシタンスが56μF(5VDCの印加電圧に対してディレーティングされた2つの47μF、10Vセラミックコンデンサ)で、ESRを無視できると仮定し、式36を使用して R_{COMP} を計算します。 R_{COMP} の標準値8.66kΩを選択します。

$$R_{COMP} = 2\pi \times f_C \times \frac{V_{OUT}}{V_{REF}} \times \frac{C_{OUT}}{g_m \times G} = 2\pi \times 60kHz \times \frac{5V}{0.8V} \times \frac{56\mu F}{1mS \times 14.6A/V} = 9.04k\Omega \quad (36)$$

ここで、

- G は LM65680-Q1、LM65660-Q1、LM65640-Q1について、それぞれ 14.6A/V、10.9A/V、8.1A/V で、内部電流センスゲインに関係する係数です。

2. C_{COMP} を計算して、(1) クロスオーバー周波数の $1/10$ 、または (2) 負荷ポール、のうち大きいほうにゼロを作成します。 C_{COMP} の標準値として 3.3nF を選択します。

$$C_{COMP} = \frac{10}{2\pi \times f_C \times R_{COMP}} = \frac{10}{2 \times \pi \times 60\text{kHz} \times 8.66\text{k}\Omega} = 3.1\text{nF} \quad (37)$$

一般的に、負荷過渡後の出力電圧の高速セトリング時間を維持するため、 R_{COMP} および C_{COMP} の時定数を約 $25\mu\text{s}$ に設定します。

3. C_{HF} を計算して、ESR ゼロ周波数と、スイッチング周波数の半分とのうち、どちらか低いほうに極を作成します (出力から COMP への高周波ノイズ結合を減衰させるため)。 C_{BW} は、COMP におけるエラー アンプの寄生容量です。 C_{HF} の標準値として 47pF を選択します。

$$C_{HF} = \frac{1}{2\pi \times \frac{F_{SW}}{2} \times R_{COMP}} - C_{BW} = \frac{1}{2\pi \times \frac{400\text{kHz}}{2} \times 8.66\text{k}\Omega} - 40\text{pF} = 51\text{pF} \quad (38)$$

別の方法として、CNFG/SYNCOUT を VCC に接続して内部補償を使用します。COMP はオープンのままにするか、PGND に接続します。

注

外部補償を使用する場合、高い R_{COMP} と低い C_{COMP} 値で高速ループを設定し、ドロップアウト状態での動作から回復するときの応答を改善します (入力電圧が出力電圧の設定点よりも低く、COMP 電圧レールが High のとき)。

8.2.1.2.8 入力電圧 UVLO の設定

入力電圧ターンオン スレッショルドが 5.9V に指定されている場合に、図 8-7 で R_{UV1} と R_{UV2} と呼ばれている入力 UVLO 抵抗分圧器を計算します。最初に R_{UV2} の値として (一般的な範囲である $10\text{k}\Omega$ ~ $100\text{k}\Omega$ から) $49.9\text{k}\Omega$ を選択してから、式 39 および式 40 を使用して R_{UV1} と $V_{IN(off)}$ を計算します。

$$R_{UV1} = R_{UV2} \times \left(\frac{V_{IN(on)}}{V_{EN-TH(R)}} - 1 \right) = 49.9\text{k}\Omega \times \left(\frac{5.9\text{V}}{1.25\text{V}} - 1 \right) = 187\text{k}\Omega \quad (39)$$

$$V_{IN(off)} = V_{IN(on)} \times (1 - V_{EN-HYS\%}) = 5.9\text{V} \times (1 - 0.2) = 4.72\text{V} \quad (40)$$

ここで、 $V_{IN(on)}$ と $V_{IN(off)}$ は入力 UVLO のターンオンおよびターンオフ スレッショルド、 $V_{EN-TH(R)}$ と $V_{EN-HYS\%}$ は高精度イネーブル コンパレータの立ち上がりスレッショルドとヒステリシスです。

8.2.1.2.9 EMI 軽減、 R_{DRSS}

DRSS/MCOMM から PGND に $49.9\text{k}\Omega$ の抵抗を接続すると、スルーレート制御がイネーブルされ、DRSS がディセーブルされます。または、ピンをオープンのままにして両方の機能をイネーブルするか、GND に接続して両方の機能をディセーブルすることもできます。表 7-4 を参照してください。

8.2.1.2.10 ブートストラップコンデンサ、 C_{BST}

LM656x0-Q1 では、BST と SW の間にブートストラップ コンデンサを接続する必要があります。このコンデンサは、他の重要な制御回路と共に、ハイサイド パワー MOSFET のゲート ドライバに電力を供給するために使用するエネルギーを蓄積します。定格 10V 以上の 100nF の X7R セラミック コンデンサを使用します。

8.2.1.3 アプリケーション曲線

特に記述のない限り、 $V_{IN} = 48V$ 、 $V_{OUT} = 5V$ 、 $I_{OUT} = 8A$ 、 $F_{SW} = 400kHz$ 、 $T_A = 25^\circ C$ 、FPWM。

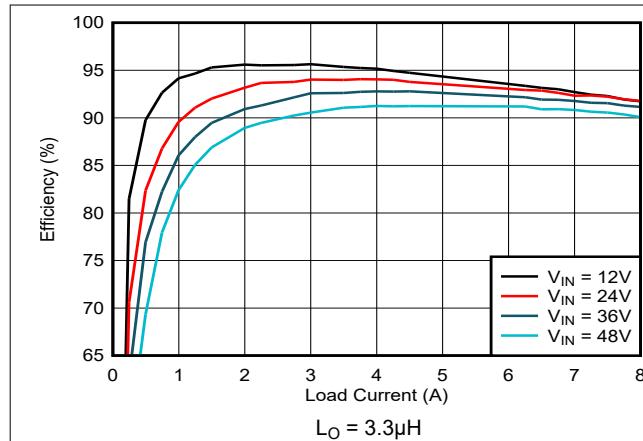


図 8-8. 効率と I_{OUT} との関係

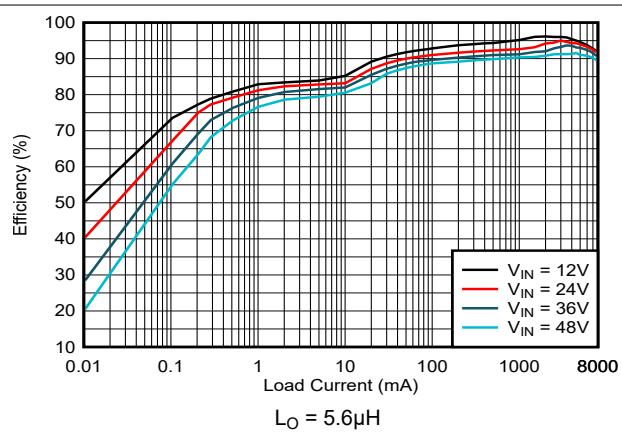


図 8-9. 効率と I_{OUT} との関係、自動

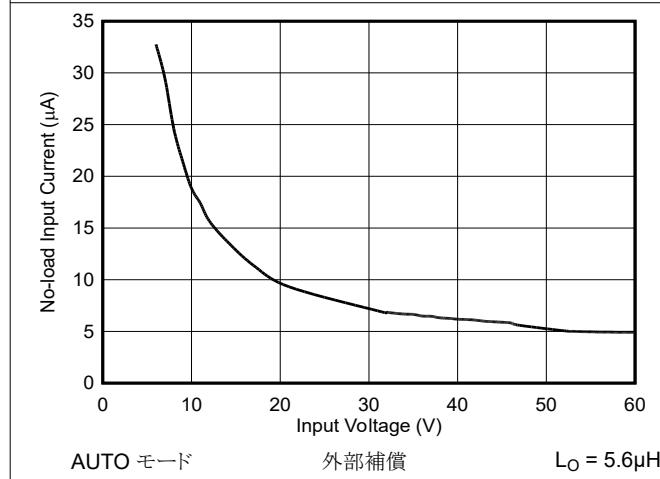


図 8-10. 無負荷時の入力電流

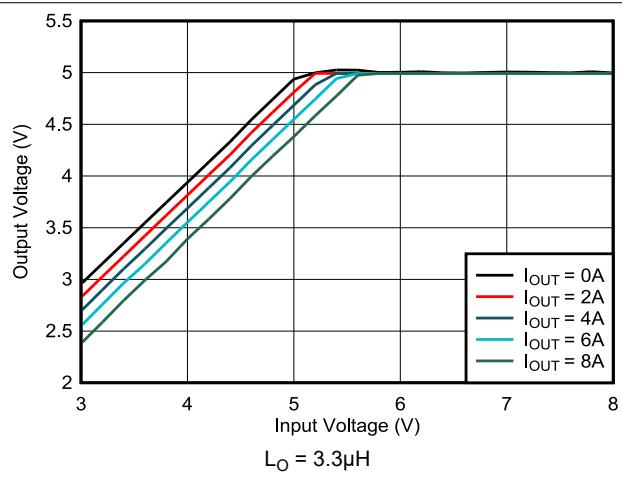


図 8-11. ドロップアウト時の出力電圧動作

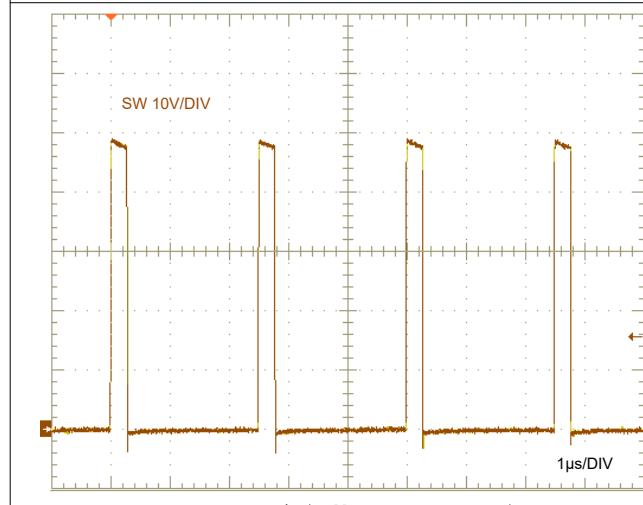


図 8-12. 全負荷スイッチング

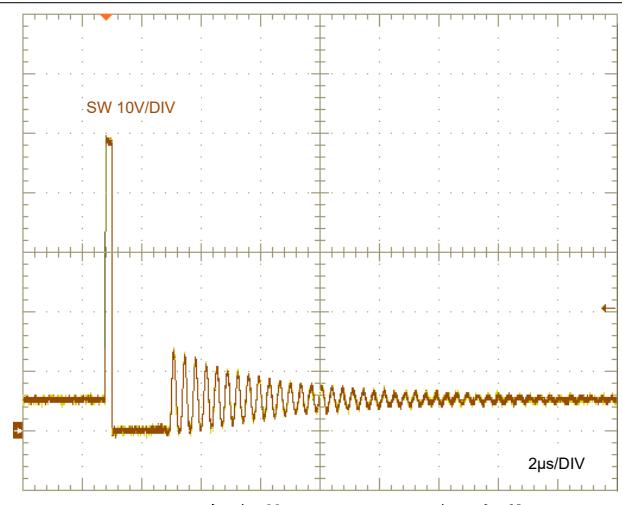


図 8-13. 無負荷スイッチング、自動

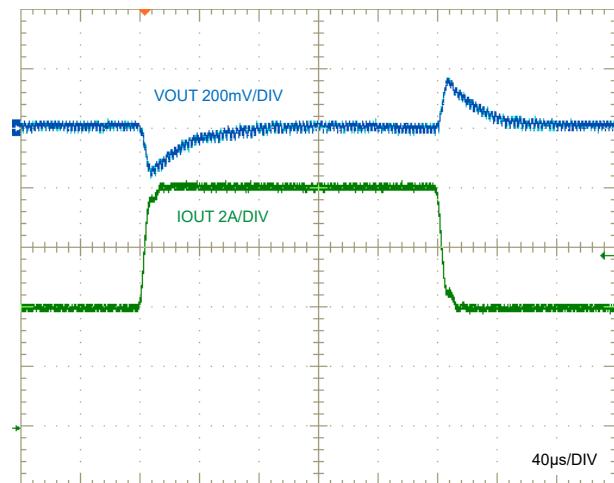


図 8-14. 4A から 8A への負荷過渡応答

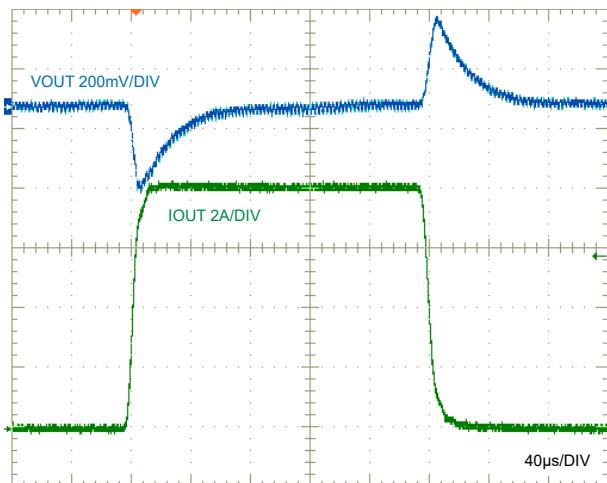
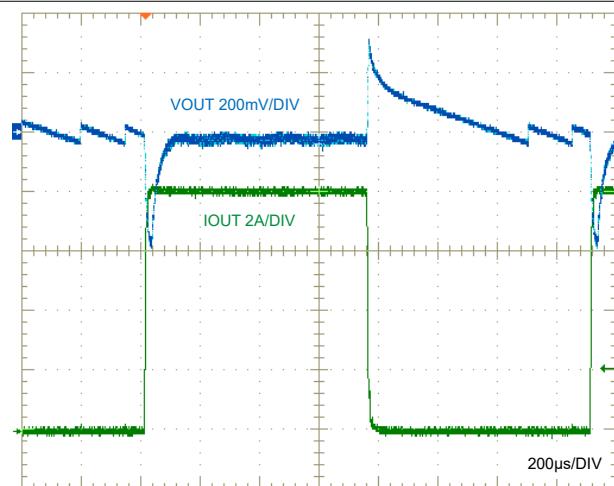
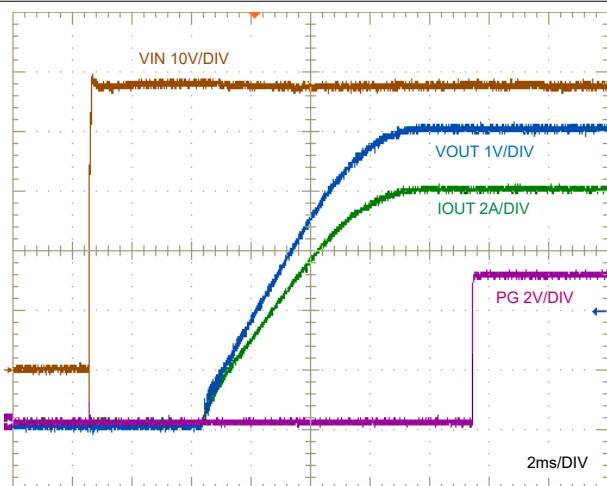


図 8-15. 0A から 8A への負荷過渡応答



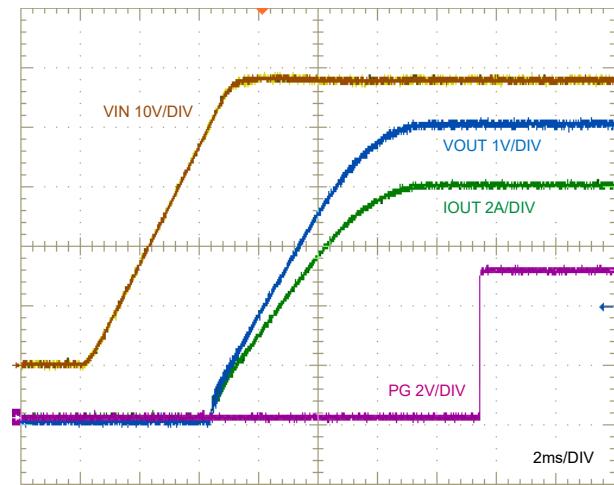
AUTO モード

図 8-16. 0A から 8A への負荷過渡応答



V_{IN} を 48V までステップ 0.62Ω の負荷

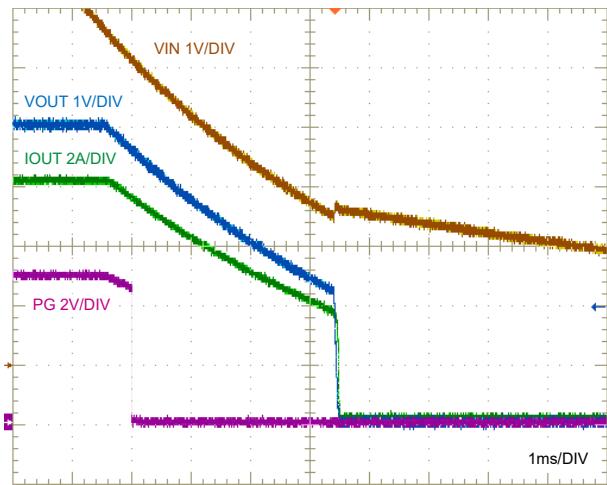
図 8-17. V_{IN} スタートアップ特性



V_{IN} を 10V/ms で上昇

0.62Ω の負荷

図 8-18. V_{IN} スタートアップ特性



0.62Ω の負荷

図 8-19. V_{IN} シャットダウン特性

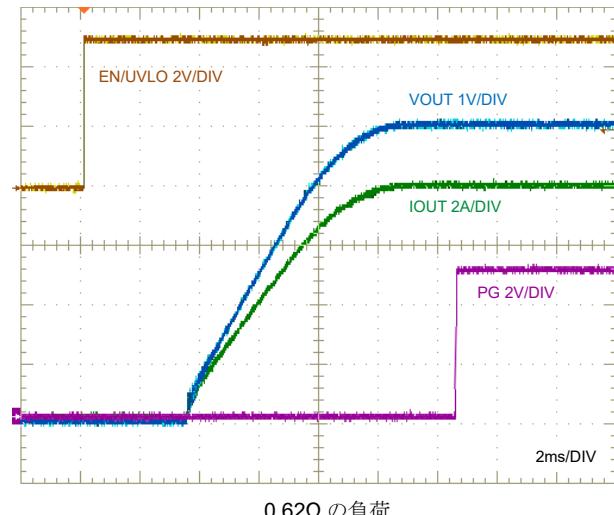


図 8-20. イネーブル オン特性

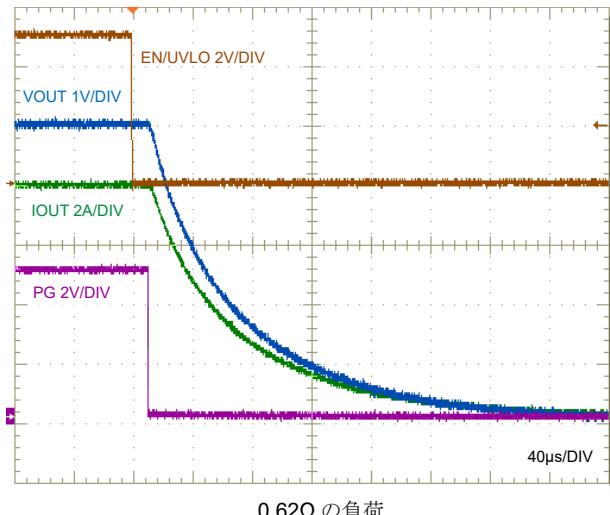


図 8-21. イネーブル オフ特性

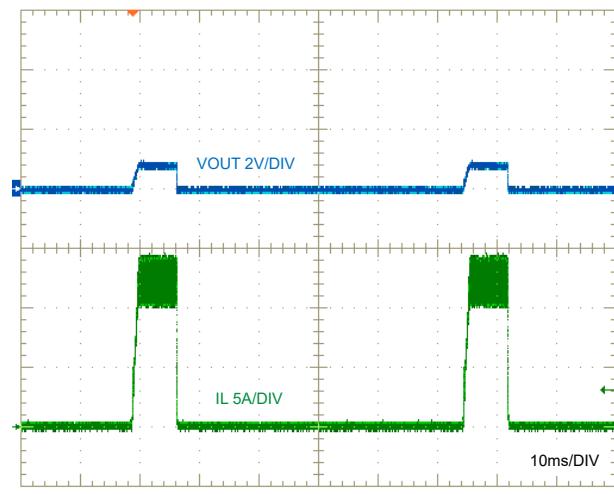


図 8-22. 過負荷状態でのヒップ

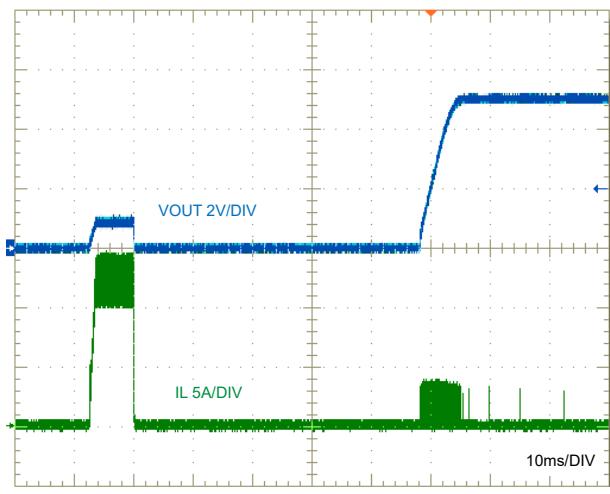
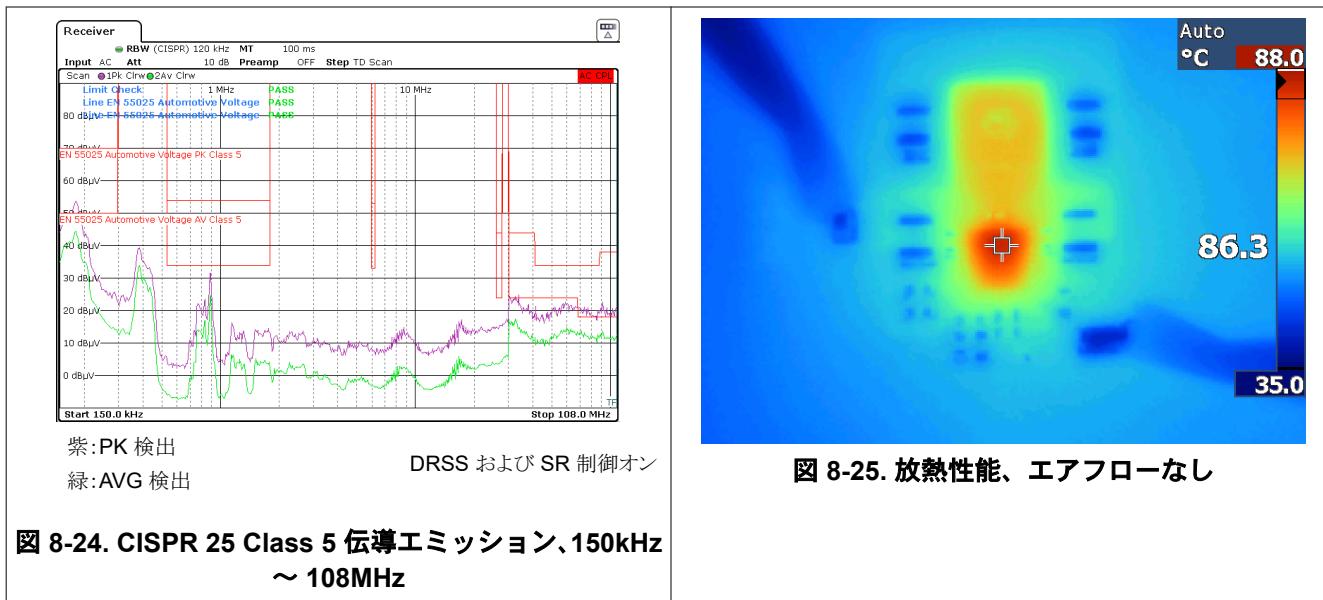


図 8-23. 過負荷状態からの回復



8.2.2 設計 2 — 高効率、48V ~ 12V、8A、400kHz 同期整流降圧レギュレータ

図 8-26 は、出力電圧 12V、定格負荷電流 8A の单一出力、同期整流降圧レギュレータの回路図を示しています。18V ~ 65V の範囲の公称入力電圧 48V に基づき、この例の全負荷効率の目標値は 95% です。

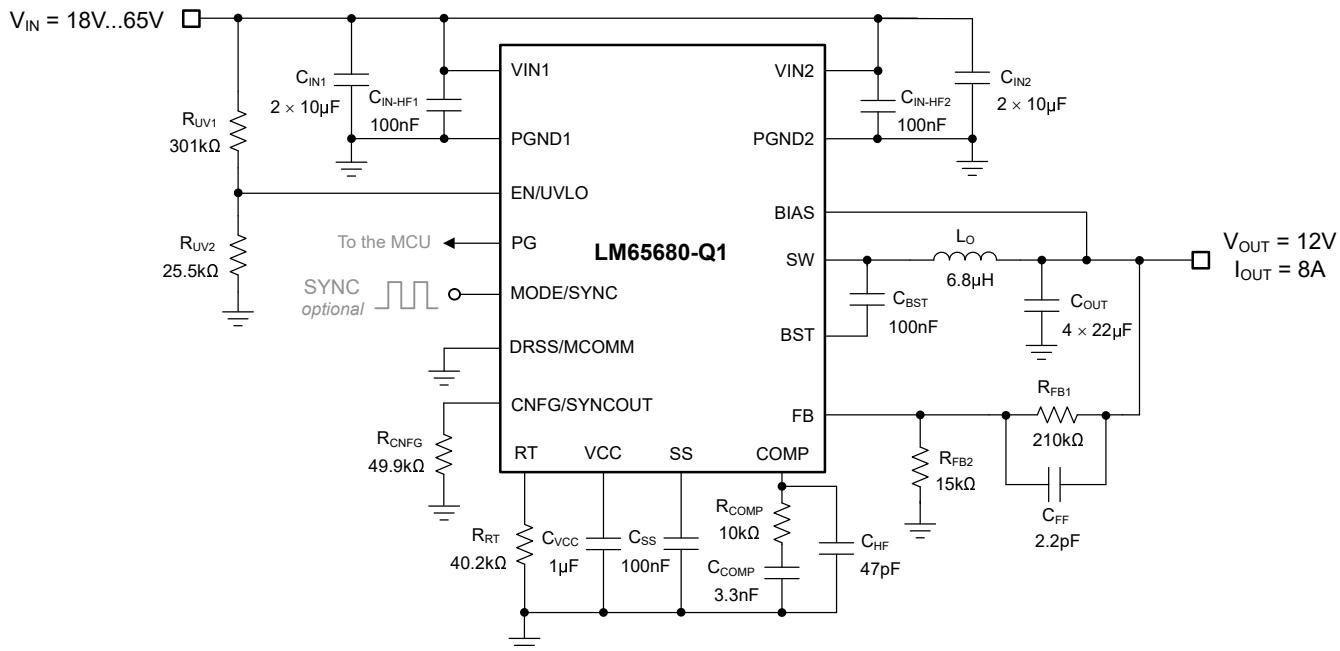


図 8-26. LM65680-Q1 を使用して 12V の出力電圧を供給するアプリケーション回路 2

8.2.2.1 設計要件

以下の例では、表 8-7 に示した仕様に基づく設計情報を示します。

表 8-7. 詳細設計パラメータ

設計パラメータ	値
入力電圧レンジ (定常状態)	24V ~ 60V
最小過渡入力電圧 (コールド クランク)	18V
最大過渡入力電圧 (負荷ダンプ)	65V
入力電圧 UVLO がオン	16V
出力電圧	12V
出力電流	0A ~ 8A
出力電圧レギュレーション	±1%
スイッチング周波数	400kHz
ループ クロスオーバー周波数、位相マージン	50kHz、55°
ソフト スタート時間	6ms

スイッチング周波数は、抵抗 R_{RT} により 400kHz に設定されます。制御ループ性能について、対象のループ クロスオーバー周波数は 55°以上の位相マージンで 50kHz です。

表 8-8 は、選択した降圧レギュレータのパワートレイン部品を示します。ほとんどの部品は複数のベンダから入手可能です。この設計には、コンポジット コア素材を使用した低 DCR のインダクタと、全セラミックの出力コンデンサが実装されています。

表 8-8. アプリケーション回路 2 の部品表

リファレンス指定子	数量	仕様	メーカー ⁽¹⁾	部品番号
C _{IN1} , C _{IN2}	4	10μF、100V、X7R、1210、セラミック、AEC-Q200	Murata	GCM32EC72A106KEC2
			TDK	CGA6P1X7R2A106K
C _{IN-HF1} , C _{IN-HF2}	2	100nF、100V、X7R、0603、セラミック、AEC-Q200	Murata	GCJ188R72A104M
C _{OUT}	4	22μF、25V、X7S、1210、セラミック、AEC-Q200	Murata	GCM32EC71E226KE36
		22μF、25V、X7R、1210、セラミック、AEC-Q200	TDK	CGA6P3X7R1E226M
L _O	1	6.8μH、12.5mΩ、10.9A、6.6 × 6.4 × 6.1mm、AEC-Q200	Würth Elektronik	744393465068
		6.8μH、12.7mΩ、10.5A、6.6 × 6.4 × 6mm、AEC-Q200	XFMRS	XFHCL6060HC-6R8M
		8.2μH、10.7mΩ、19.5A、11.3 × 10 × 6mm、AEC-Q200	Würth Elektronik	744393665082
U ₁	1	LM65680-Q1 65V、8V 同期整流降圧コンバータ、AEC-Q100	テキサス・インスツルメンツ	LM65680

(1) 「サードパーティ製品に関する免責事項」をご覧ください。[セクション 9.1](#)

8.2.2.2 詳細な設計手順

以下の設計手順は、[図 8-26](#) と [表 8-8](#) に適用されます。

8.2.2.2.1 降圧インダクタの選択

公称入力電圧における 40% のインダクタ リップル電流仕様に基づいて必要な降圧インダクタンスを計算するには、[式 41](#) を使用します。L_O = 6.8μH に対して、標準値の抵抗を選びます。

$$L_O = \frac{V_{OUT}}{F_{SW} \times \Delta I_{LO}} \times \left(1 - \frac{V_{OUT}}{V_{IN(nom)}}\right) = \frac{12V}{400kHz \times 3.2A} \times \left(1 - \frac{12V}{48V}\right) = 7\mu H \quad (41)$$

8.2.2.2.2 入力コンデンサの選択

1. 入力コンデンサを選択する場合は、十分な電圧と RMS リップル電流定格を持つものにしてください。[式 42](#) を使用して、入力コンデンサの RMS 電流を計算します。ワーストケースの動作点は 24V の入力電圧におけるもので、50% のデューティサイクルに対応します。

$$I_{CIN(rms)} = I_{OUT} \times \sqrt{D \times (1 - D)} = 8A \times \sqrt{0.5 \times (1 - 0.5)} = 4A \quad (42)$$

2. [式 43](#) を使用して、48V から 12V への変換について 25% デューティサイクルを想定し、必要な入力容量を求めます：

$$C_{IN} \geq \frac{D \times (1 - D) \times I_{OUT}}{F_{SW} \times (\Delta V_{IN} - R_{ESR,Cin} \times I_{OUT})} = \frac{0.25 \times (1 - 0.25) \times 8A}{400kHz \times (480mV - 2m\Omega \times 8A)} = 8.1\mu F \quad (43)$$

3. セラミックコンデンサの電圧係数から、4つの 10μF、100V、X7R、1210 セラミック入力コンデンサを選択します。各コンデンサの実効容量値は、48VDC で約 2.3μF です。これらのコンデンサは、入力ピンのペア [VIN1, PGND1] と [VIN2, PGND2] に隣接して配置します。

4. ピークツーピークのリップル電圧の振幅を計算するには、[式 44](#) を使用します。

$$\Delta V_{IN} = \frac{I_{OUT} \times D \times (1 - D)}{C_{IN} \times F_{SW}} + R_{ESR,Cin} \times I_{OUT} = \frac{8A \times 0.25 \times (1 - 0.25)}{9.2\mu F \times 400kHz} + 2m\Omega \times 8A = 0.42V \quad (44)$$

5. スイッチング遷移時に di/dt の大きい電流を供給するため、100nF、100V、X7R、0603 のセラミックコンデンサを [VIN1, PGND1] と [VIN2, PGND2] との間に直接接続します。

8.2.2.2.3 出力コンデンサ

1. 負荷過渡偏差仕様が 3% V_{OUT} で、ループクロスオーバー周波数が 50kHz の場合、[式 45](#) を使用して、50% の負荷ステップに必要な出力容量を推定します。

$$C_{\text{OUT}} \geq \frac{\Delta I_{\text{OUT}}}{2\pi \times f_C \times \Delta V_{\text{OUT}}} = \frac{4\text{A}}{2\pi \times 50\text{kHz} \times 0.36\text{V}} = 35\mu\text{F} \quad (45)$$

- 印加された電圧で実効容量が大幅に減少するセラミックコンデンサの電圧係数を考慮して、4つの22μF、25V、X7R、1210セラミック出力コンデンサを選択し、実効容量は12VDCにおいて32μFになります。
- 式46を使用して、公称入力電圧時におけるピークツーピーク出力電圧リップルを見積ります。

$$\Delta V_{\text{OUT}} = \frac{\Delta I_{\text{LO}}}{8 \times C_{\text{OUT}} \times f_{\text{SW}}} + R_{\text{ESR,Cout}} \times \Delta I_{\text{LO}} = \frac{3.2\text{A}}{8 \times 32\mu\text{F} \times 400\text{kHz}} + 1\text{m}\Omega \times 3.2\text{A} = 34.5\text{mV} \quad (46)$$

ここで、

- ΔI_{LO} はピークツーピークのインダクタリップル電流で、この例での40%は3.2Aに相当します。
- R_{ESR,Cout} は1mΩで、4つの並列出力コンデンサの実効ESRです。

8.2.2.2.4 出力電圧の設定ポイント

LM656x0-Q1の可変出力バージョンでは、帰還分圧回路を使用して出力電圧を設定します。分圧回路は、それぞれR_{FB1}およびR_{FB2}と呼ばれる上側と下側の帰還抵抗で構成されています。帰還分圧器の抵抗値は、過度のノイズ混入と静止電流の消費との折り合いを付けることで決定します。抵抗値を小さくすると、ノイズの感度は小さくなりますが、軽負荷効率にも影響します。R_{FB2}の推奨初期値は10kΩ(最大値は100kΩ)です。

式47で示すように、R_{FB1}とR_{FB2}の並列組み合わせは、4kΩより大きく、100kΩより小さい必要があります。出力電圧構成(固定または可変出力電圧の設定)を正しく確立するため、コンバータはスタートアップシーケンス中、FBの状態を確実に検出する必要があるのでこの制限が設定されます。

$$4\text{k}\Omega \leq R_{\text{FB1}} \| R_{\text{FB2}} \leq 100\text{k}\Omega \quad (47)$$

R_{FB1}とR_{FB2}の値としてそれぞれ210kΩと15kΩを設定すると、出力電圧設定点が正確に12Vに設定されます。

$$R_{\text{FB1}} = \left(\frac{V_{\text{OUT}}}{V_{\text{REF}}} - 1 \right) \times R_{\text{FB2}} = \left(\frac{12\text{V}}{0.8\text{V}} - 1 \right) \times 15\text{k}\Omega = 210\text{k}\Omega \quad (48)$$

8.2.2.2.5 補償部品

以下の手順を使用して、外部補償用の部品を選択します。

- クロスオーバー周波数は、スイッチング周波数の10%~20%の範囲内に設定します。この例でf_Cを50kHzに指定し、実効出力キャパシタンスが32μF(12VDCの印加電圧に対してディレーティングされた4つの22μF、25Vセラミックコンデンサ)で、ESRを無視できると仮定し、式49を使用してR_{COMP}を計算します

$$R_{\text{COMP}} = 2\pi \times f_C \times \frac{V_{\text{OUT}}}{V_{\text{REF}}} \times \frac{C_{\text{OUT}}}{g_m \times G} = 2\pi \times 50\text{kHz} \times \frac{12\text{V}}{0.8\text{V}} \times \frac{32\mu\text{F}}{1\text{m}\text{S} \times 14.6\text{S}} = 10.3\text{k}\Omega \quad (49)$$

ここで、

- GはLM65680-Q1、LM65660-Q1、LM65640-Q1について、それぞれ14.6A/V、10.9A/V、8.1A/Vで、内部電流センスゲインに関係する係数です。

R_{COMP}の標準値10kΩを選択します。

- C_{COMP}を計算して、(1)クロスオーバー周波数の1/10、または(2)負荷ポール、のうち大きいほうにゼロを作成します。C_{COMP}の標準値として3.3nFを選択します。

$$C_{\text{COMP}} = \frac{10}{2\pi \times f_C \times R_{\text{COMP}}} = \frac{10}{2\pi \times 50\text{kHz} \times 10\text{k}\Omega} = 3.18\text{nF} \quad (50)$$

一般的に、負荷過渡後の出力電圧の高速セトリング時間を維持するため、R_{COMP}およびC_{COMP}の時定数を約25μsに設定します。

- C_{HF}を計算して、ESRゼロ周波数と、スイッチング周波数の半分とのうち、どちらか低いほうに極を作成します(出力からCOMPへの高周波ノイズ結合を減衰させるため)。C_{HF}の標準値として47pFを選択します。

$$C_{HF} = \frac{1}{2\pi \times \frac{F_{SW}}{2} \times R_{COMP}} - C_{BW} = \frac{1}{2\pi \times \frac{400\text{kHz}}{2} \times 10\text{k}\Omega} - 40\text{pF} = 39\text{pF} \quad (51)$$

別の方針として、CNFG/SYNCOUT を VCC に接続して内部補償を使用します。COMP はオープンのままにするか、PGND に接続します。

8.2.2.2.6 フィードフォワード コンデンサ

フィードフォワード コンデンサ C_{FF} を追加しても、DC 周波数または低い周波数でのシステムの応答は変化しませんが、より高い周波数では V_{OUT} から FB へのインピーダンスを低減するのに役立ちます。(高速負荷過渡による) 出力電圧の高周波偏差が FB ノードに結合すると、エラー アンプが即座に応答できるようになります。

C_{FF} コンデンサを追加すると、周波数ドメインに追加のポールとゼロが作成されます。このゼロは、クロスオーバ時に位相ブーストに寄与し、位相マージンを改善します。一方、ポールは、クロスオーバを超えてゲインをロールオフし、ゲインマージンを大きくするのに役立ちます。[式 52](#) と [式 53](#) に、ゼロおよびポールの周波数を示します。

$$f_z = \frac{1}{2\pi \times R_{FB1} \times C_{FF}} \quad (52)$$

$$f_p = \frac{1}{2\pi \times (R_{FB1} || R_{FB2}) \times C_{FF}} \quad (53)$$

C_{FF} の値を最適化して、クロスオーバ時に最適な位相ブーストを実現します。 $f_{C, NO-FF}$ (フィードフォワードなしのクロスオーバ周波数) が、 C_{FF} によって生成されるゼロ周波数とポール周波数の間になるように、ゼロ周波数とポール周波数を [式 54](#) に従って配置します。

$$f_{C, NO-FF} = \sqrt{f_z \times f_p} \quad (54)$$

[式 52](#) と [式 53](#) を [式 54](#) に代入すると、[式 55](#) が得られます。これは R_{FB1} 、 R_{FB2} 、 $f_{C, NO-FF}$ の関数になります。

$$C_{FF, OPT} = \frac{\sqrt{R_{FB1} + R_{FB2}}}{2\pi \times f_{C, NO-FF} \times R_{FB1} \times \sqrt{R_{FB2}}} = \frac{\sqrt{\frac{V_{OUT}}{V_{REF}}}}{2\pi \times f_{C, NO-FF} \times R_{FB1}} \quad (55)$$

ここで、 $C_{FF, OPT}$ は最大の位相ブーストを提供するフィードフォワード容量です。

この設計では 10° の位相ブーストしか必要としないため、 C_{FF} の値は 2.2pF で十分です。[クイックスタート カリキュレータ](#) を使用してボード線図と安定性パラメータをチェックし、ベンチ評価時に最終的な設計を検証します。いずれにしても、設計の柔軟性を高めるため、 C_{FF} 用のプレースホルダを PCB レイアウトに配置することを推奨します。

8.2.2.7 ソフトスタート コンデンサ

LM656x0-Q1 のソフトスタート機能は、レギュレータを徐々に定常状態動作点へと到達させることで、起動時のストレスや突入電流を低減します。SS ピンがオープンのままの場合、ソフトスタート時間はデフォルトで 5.3ms になります。または、SS と PGND との間にコンデンサを接続して、ソフトスタート時間を 5.3ms より長く設定します。この例で指定されている 6ms の時間に対応する SS 容量を計算するには、[式 56](#) を使用します。 C_{SS} の標準値として 100nF を選択します。

$$C_{SS}[\text{nF}] = 16.7 \times t_{SS}[\text{ms}] = 16.7 \times 6\text{ms} = 100.2\text{nF} \quad (56)$$

8.2.2.3 アプリケーション曲線

特に記述のない限り、 $V_{IN} = 48V$ 、 $V_{OUT} = 12V$ 、 $I_{OUT} = 8A$ 、 $F_{SW} = 400kHz$ 、 $T_A = 25^{\circ}C$ 、FPWM。

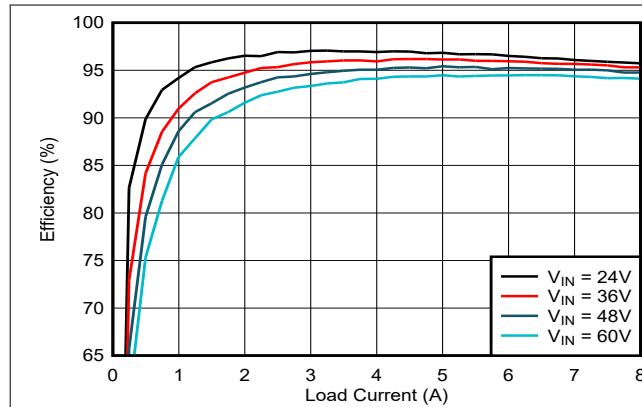


図 8-27. 効率と I_{OUT} との関係

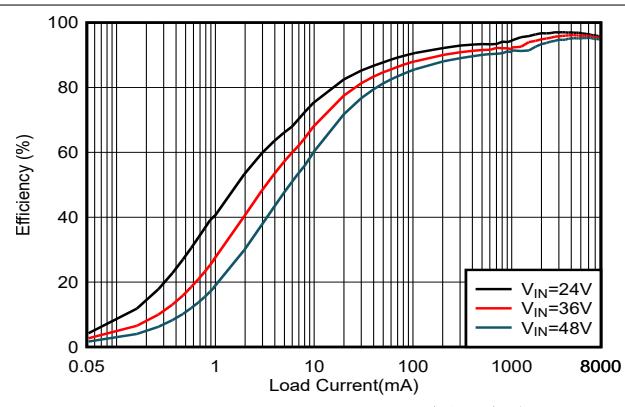


図 8-28. 効率と I_{OUT} との関係、自動

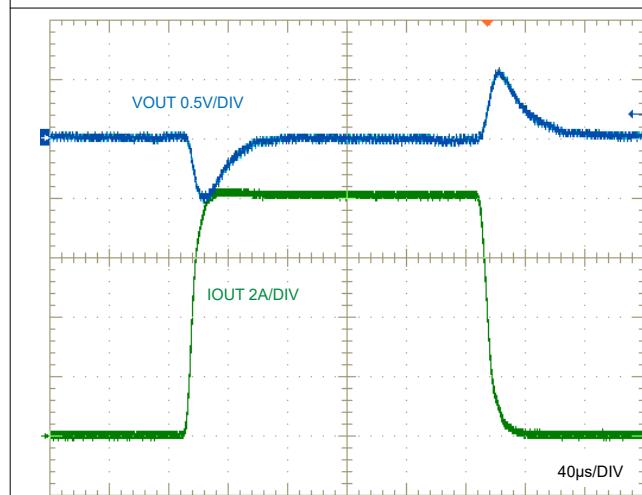


図 8-29. 0A から 8A への負荷過渡応答

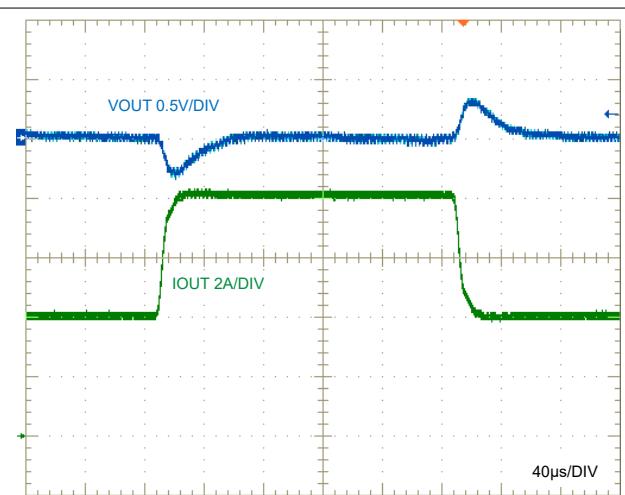


図 8-30. 4A から 8A への負荷過渡応答

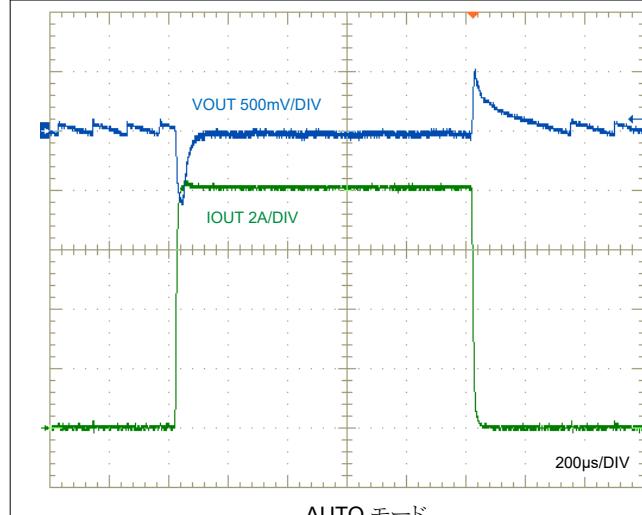


図 8-31. 0A から 8A への負荷過渡応答

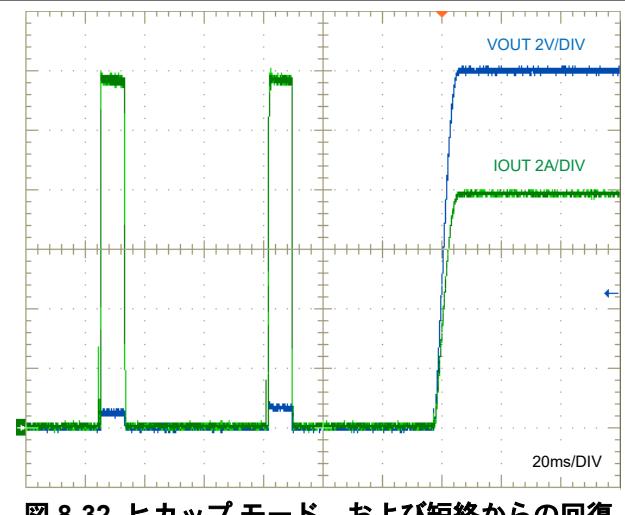


図 8-32. ヒップ モード、および短絡からの回復

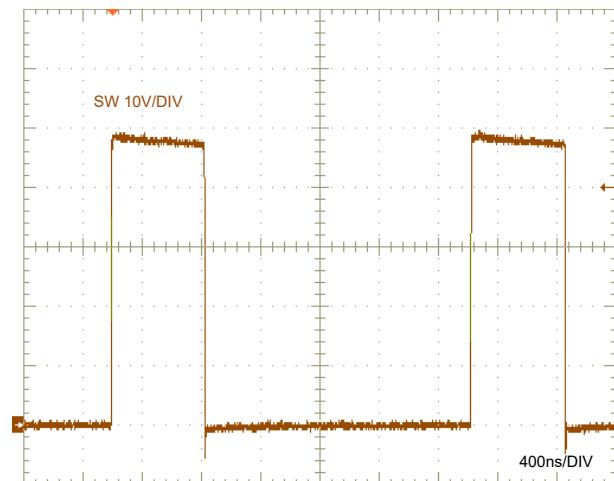


図 8-33. 全負荷スイッチング

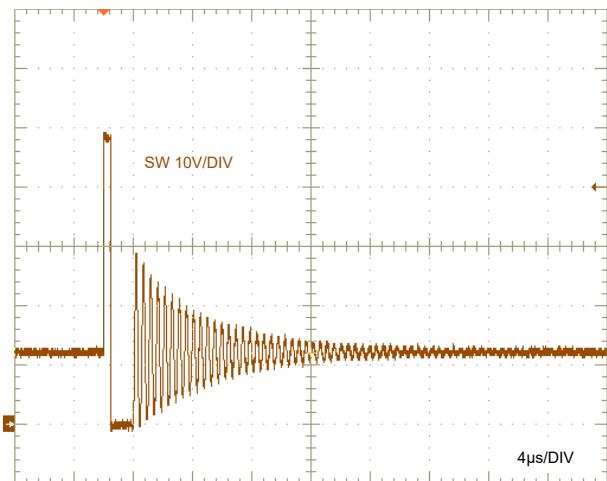


図 8-34. 無負荷スイッチング、自動

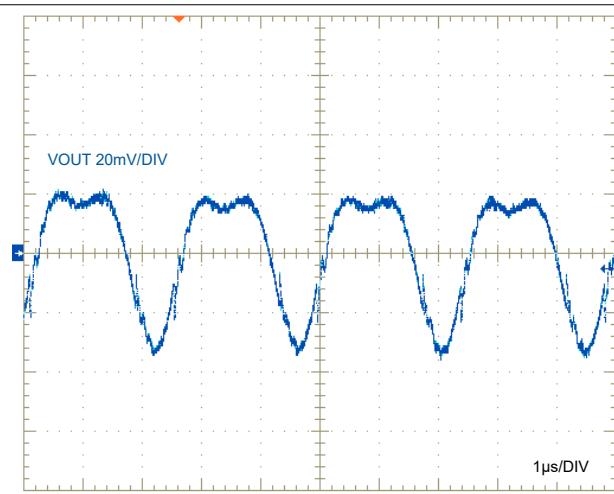


図 8-35. V_{OUT} リップル

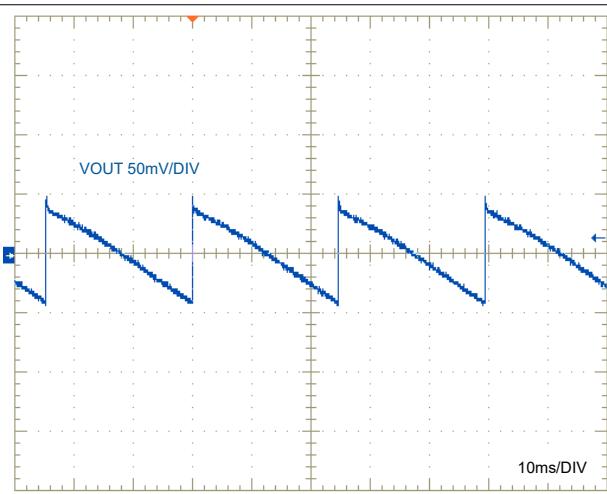
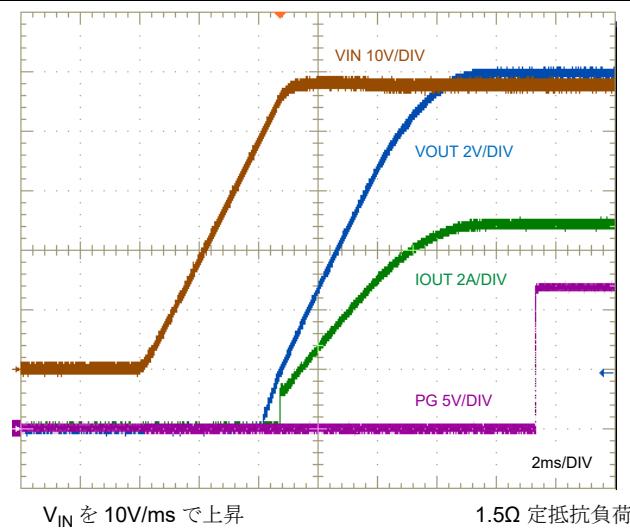


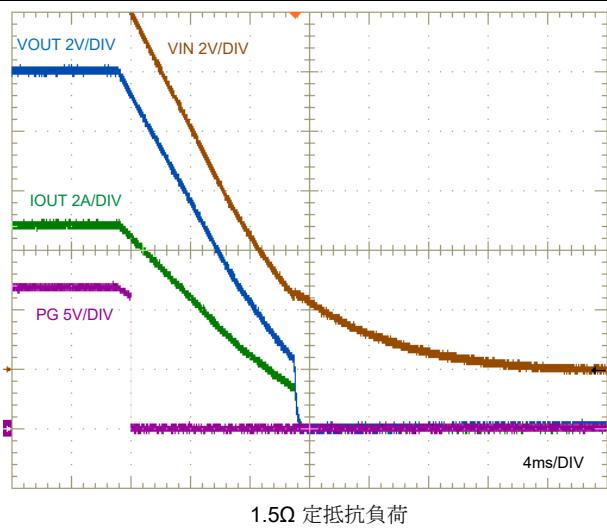
図 8-36. V_{OUT} リップル、無負荷、AUTO



V_{IN} を 10V/ms で上昇

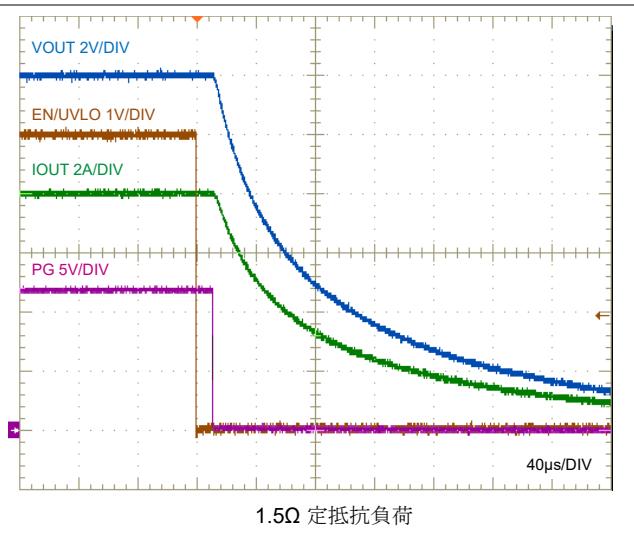
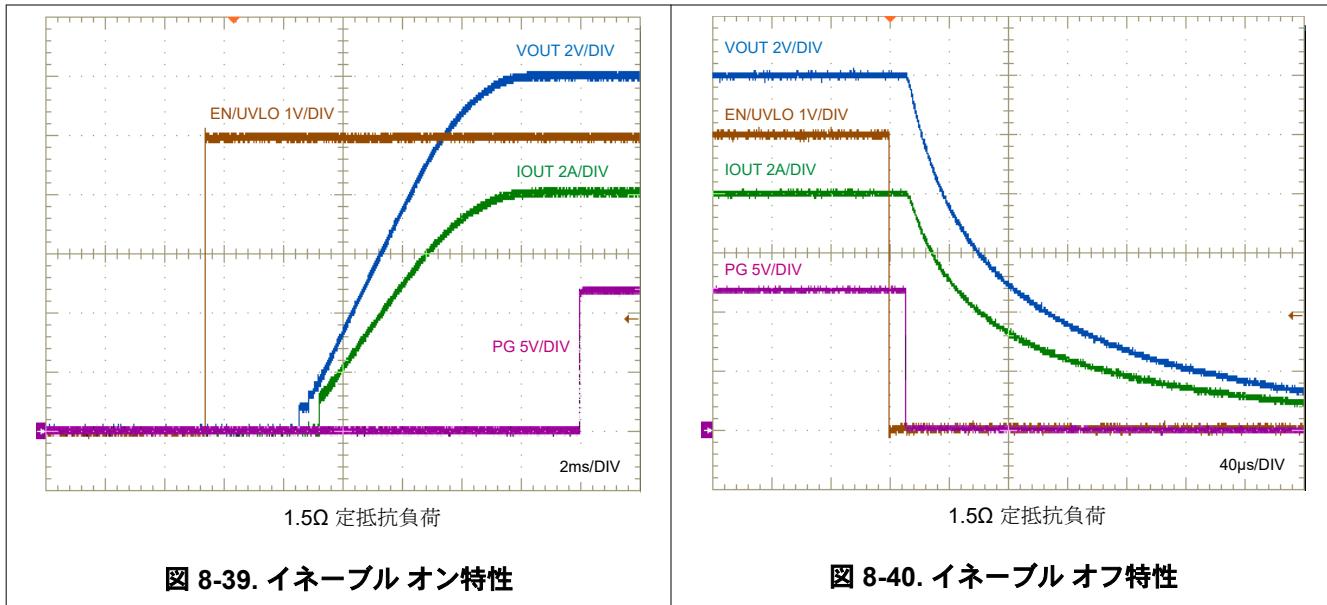
1.5Ω 定抵抗負荷

図 8-37. V_{IN} スタートアップ特性



1.5Ω 定抵抗負荷

図 8-38. V_{IN} シャットダウン特性



8.3 設計のベスト プラクティス

- **絶対最大定格** を超過してはなりません。
- **推奨動作条件** を超過してはなりません。
- **ESD 定格** を超過してはなりません。
- EN/UVLO ピンをオープンのままにしないでください。
- 設計を量産用に確定する前に、このデータシートに記載されているすべてのガイドラインと推奨事項に従ってください。テキサス・インスツルメンツのアプリケーション エンジニアが、設計および PCB レイアウトの評価をサポートして、プロジェクトの成功を支援します。

8.4 電源に関する推奨事項

入力電源は、負荷時のレギュレータに必要な入力電流を供給できる特性を持っている必要があります。平均入力電流は、次の式を使って見積もることができます。

$$I_{IN} = \frac{V_{OUT} \times I_{OUT}}{V_{IN} \times \eta} \quad (57)$$

ここで、

η は効率です。

レギュレータを長いワイヤや PCB パターンで入力電源に接続している場合は、良好な性能を実現するために特別な注意が必要です。入力ケーブルの寄生インダクタンスと抵抗は、レギュレータの動作に悪影響を及ぼすおそれがあります。寄生インダクタンスと低 ESR セラミック入力コンデンサを組み合わせることで、不足減衰共振回路を形成することが可能です。これにより、レギュレータへの入力で過電圧過渡が発生したり、UVLO のトリップが発生する可能性があります。ハーネスの寄生抵抗とインダクタンス、および電源の特性に応じて、負荷過渡が出力に発生したときに、電源電圧が低下する可能性があることを考慮してください。アプリケーションが最小入力電圧に近い値で動作している場合、この低下によってレギュレータが瞬間にシヤットダウンし、リセットされる可能性があります。この種の問題を解決する最善の方法は、入力電源からレギュレータまでの距離を短くすることです。さらに、セラミック入力コンデンサと並列にアルミニウム入力コンデンサを使用してください。中程度の ESR を持つこのタイプのコンデンサを使うことは、入力共振回路の振動を減衰させ、あらゆるオーバーシュートまたはアンダーシュートを低減するのに有効です。通常、入力ダンピングを行うには $22\mu F$ ~ $68\mu F$ の値で十分であり、大きな負荷過渡中も入力電圧を安定した状態に保持できます。

入力電圧は、出力電圧を下回ることはできません。この状況 (入力短絡テストなど) では、出力コンデンサは、本デバイスの VIN ピンと SW ピンとの間に見られる内部ボディダイオードを通じて放電されます。この状況では電流は制御できなくなる可能性があり、デバイスが損傷するおそれがあります。このシナリオが想定される場合は、出力と入力電源との間にショットキー ダイオードを使用します。

8.5 レイアウト

8.5.1 レイアウトのガイドライン

信頼性の高いデバイス動作と設計の堅牢性を実現するために、大電流、高速の（大電流で電圧スルーレートが大きい）スイッチング DC/DC レギュレータ回路では、適切な PCB 設計とレイアウトが重要です。さらに、レギュレータの EMI 性能は、PCB レイアウトによって大きく異なります。

図 8-41 は、LM656x0-Q1 電力段の高周波数スイッチング電力ループを示しています。降圧コンバータのトポロジカルアーキテクチャは、パワー MOSFET や入力コンデンサに di/dt が特に大きな電流が流れることを意味し、この実効電力ループ面積を最小化して、寄生インダクタンスを低減することが必須となります。IC パッケージのそれぞれの側に配置されている VIN ピンと PGND ピンに基づいて、入力コンデンサをデュアルの対称に配置します。高周波電流は 2 つに分割され、関連する磁界の寄与が互いに打ち消し合うように効果的に逆方向に流れ、EMI 性能が向上します。

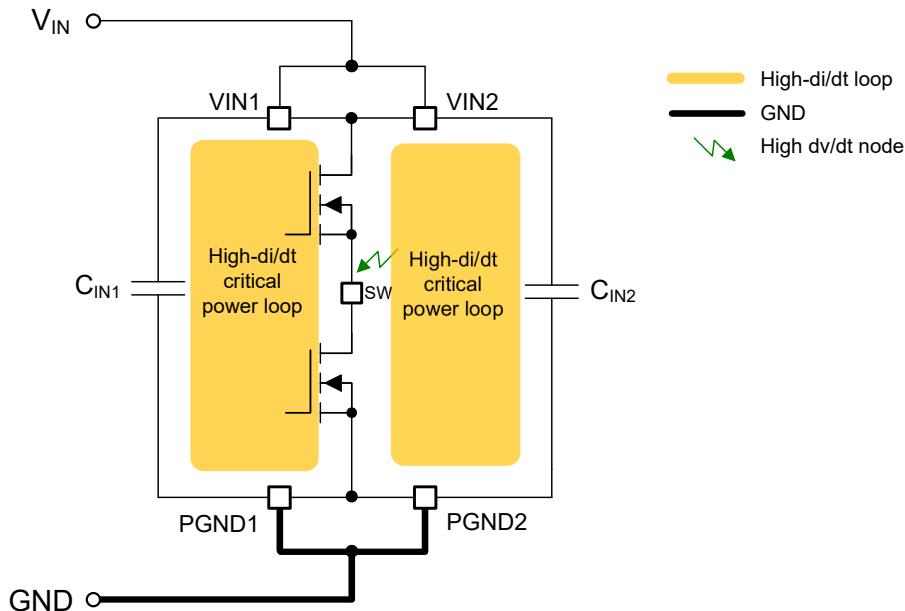


図 8-41. 降圧対称型電力ループ

次のリストは、熱および EMI のシグネチャを含めて DC/DC レギュレータの性能を最適化するための、PCB レイアウトと部品の配置に関する重要なガイドラインを要約したものです。図 8-42 に、LM656x0-Q1 の推奨レイアウトと、最適化された電力段および小信号部品の配置および配線を示します。

- 入力コンデンサは、入力ピンのペア [VIN1, PGND1] と [VIN2, PGND2] のできるだけ近くに配置します: それぞれの VIN ピンと PGND ピンのペアは互いに近接しているため（クリアランスを広げるため、中間に NC ピンが配置されています）、入力コンデンサを簡単に配置できます。eQFN パッケージは、パッケージのどちらの側にも VIN ピンと PGND ピンがあるため、スイッチングノイズと EMI を最小限に抑える対称的なレイアウトが可能です。
 - VIN1 と PGND1 の間、および VIN2 と PGND2 の間には、X7R または X7S 誘電体を使用した低 ESR のセラミックコンデンサを使用します。高周波バイパスのため、各ピンのペアの近くに 0603 コンデンサを配置します。バルク容量のため、それぞれの側に隣接して 1210 コンデンサを使用します。
 - 入力コンデンサと出力コンデンサのグランドリターンパスはいずれも、PGND1 ピンと PGND2 ピンに接続される局所的な最上面プレーンで構成される必要があります。
 - 下側の PCB 層で広いポリゴンプレーンを使用して、VIN1 と VIN2 を互いに接続し、入力電源に接続します。
- IC の上層の下にある PCB 層のソリッドグランドプレーンを使用します: このプレーンは、ノイズシールドと放熱経路として機能します。IC の直下にある PCB 層を使用すると、スイッチングループ内の電流に関連する磁界が最小化され、寄生インダクタンスと、スイッチ電圧のオーバーシュートとリンギングが低減されます。内部のグランドプレーンへのヒートシンクのため、PGND1 と PGND2 の近くに多数のサーマルビアを使用します。

- **VIN**、**VOUT**、および **GND** バスの接続は、できる限り広い幅にします: コンバータの入力または出力経路すべての電圧降下を低減し、効率を最大化するため、これらの配線はできるだけ広く、かつ直線的にする必要があります。
- 降圧インダクタは、**SW1**、**SW2**、**SW3** ピンの近くに配置します: コンバータの **SW** ピンからインダクタまでは、短く幅の広い接続パターンを使用します。同時に、この高 dv/dt 表面の長さ (と面積) を最小化して、容量性結合と放射 EMI を低減します。インダクタの点線付きの端子を **SW** ピンに接続します。
- **VCC** および **BOOT** コンデンサは対応するピンの近くに配置します: **VCC** およびブートストラップ コンデンサは、それぞれ内部のローサイドおよびハイサイド MOSFET ゲートドライバの電源を表し、高周波電流を伝送します。**C_{VCC}** は、**VCC** および **PGND2** ピンのできるだけ近くに配置します。**C_{BST}** は、**BST** および **SW3** ピンのできるだけ近くに接続します。
- 帰還分圧器は **FB** ピンのできるだけ近くに配置します: LM656x0-Q1 の可変出力バージョンでは、抵抗分圧器を負荷の近くではなく **FB** ピンの近くに配置することで、出力電圧帰還パスのノイズへの感度を低くします。この配置により、**FB** パターンの長さと、それに関連するノイズ結合が減少します。**FB** ピンは電圧ループ エラー アンプへの入力で、ノイズの影響を受けやすい高インピーダンス ノードを表します。**V_{OUT}** への接続は、多少長くなてもかまいません。ただし、この後者のパターンは、コンバータの帰還パスに静電容量結合する可能性がある、いかなるノイズ源 (スイッチ ノードなど) の近くにも配線しないでください。固定出力バージョンの場合、必要に応じて **FB** を **High** または **Low** に接続します。
- 適切な放熱のために十分な **PCB** 面積を確保します: 十分な銅面積を使用して、最大負荷電流および周囲温度条件に対応する低熱インピーダンスを実現します。接合部温度を **150°C** 未満に維持するため、LM656x0-Q1 には十分なヒートシンクを用意してください。全定格負荷で動作する場合、上面のグランド プレーンは重要な放熱面積になります。ヒートシンクビアのアレイを使用して、パッケージの露出したパッド (**GND**) を **PCB** グランド プレーンに接続します。**PCB** に複数の銅層がある場合は、これらのサーマルビアを内部層のグランド プレーンに接続します。**PCB** 層の上部と下部は **2** オンスの銅厚 (最低でも **1** オンス以上) を推奨します。

8.5.1.1 熱設計およびレイアウト

DC/DC レギュレータを特定の温度範囲で使用できるようにするには、パッケージは接合部温度を定格制限内に維持しながら、発生する熱を効率的に除去する必要があります。LM656x0-Q1 コンバータは、豊富なアプリケーション要件に対応する小型の **4.5mm × 4.5mm 26 ピン** の拡張 HotRod QFN パッケージで供給されます。セクション 6.4 の表には、このパッケージの熱指標と、『[半導体およびICパッケージの熱指標](#)』アプリケーション ノートに記載された関連する詳細情報が要約されています。

26 ピン eQFN パッケージでは、パッケージの底面にある露出した熱パッドを介して、半導体のダイから熱が除去されます。この露出したパッドは LM656x0-Q1 (グランド) のサブストレートに熱的に接続されています。これによって放熱が大幅に改善されますが、熱除去サブシステムを完成させるには、**PCB** の設計にサーマル ランド、サーマル ビア、1 つ以上のグランド プレーンを入れることが必須となります。LM656x0-Q1 の露出したパッドは、**PCB** 上でデバイスのパッケージの真下にある、グランドに接続された銅ランドに半田付けされているため、IC 熱抵抗を非常に小さい値まで低減します。

可能なら、すべての層に **2oz** の銅厚の **4** 層基板を使用して、低インピーダンス、適切なシールド、低い熱抵抗を実現することを推奨します。サーマル ランド (および、**PGND** ピンの周囲の部分) から内部と半田側のグランド プレーンに接続される直径 **0.3mm** の大量のビアは、熱伝導の促進に不可欠です。多層 **PCB** 設計では、電力段部品の下の **PCB** 層にソリッドなグランド プレーンを配置します。このプレーンの配置には、電力段の電流を流すためだけでなく、熱を生成するデバイスから熱伝導経路を離す役割もあります。

PGND と **VIN** ピンの近くに配置したビアを使用して、システムのグランド プレーンまたは **V_{IN}** ストラップ (どちらも熱を放散します) に接続することで、適切なデバイス ヒートシンクを形成することを推奨します。システムのグランド プレーンでは、最適な放熱を促す熱流を形成するために、最上および最下層に出来る限り多くの銅を使用し、プレーンの切れ目や熱の流れのボトルネックとなるところを作らないようにします。

8.5.2 レイアウト例

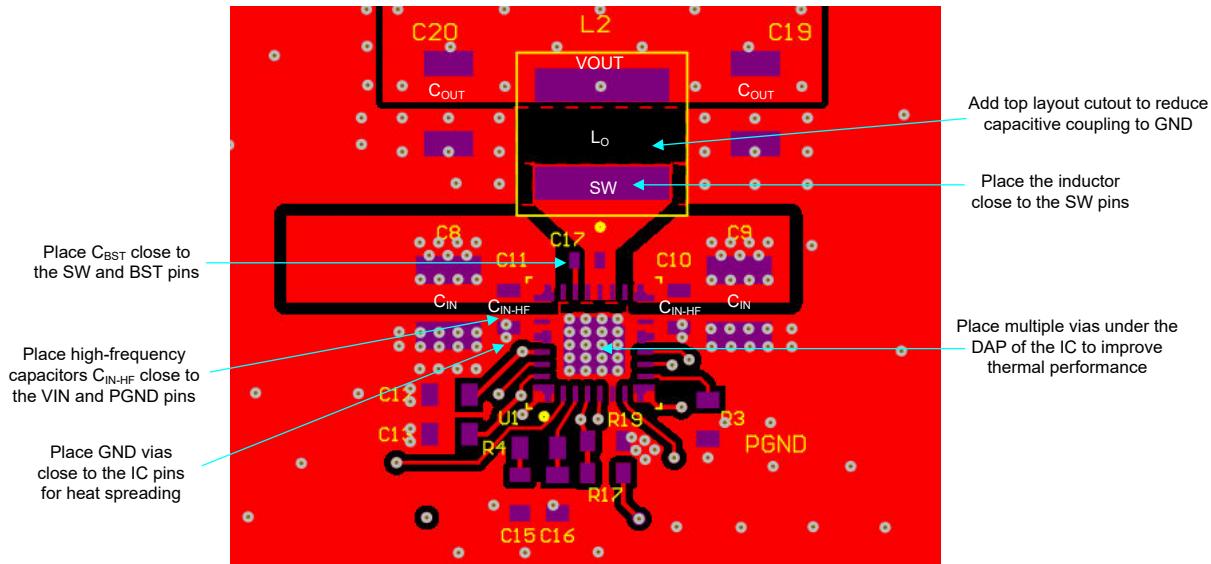


図 8-42. PCB の最上層 - 高密度、片面レイアウトの例

9 デバイスおよびドキュメントのサポート

9.1 デバイス サポート

9.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

9.1.2 開発サポート

開発サポートについては、以下を参照してください。

- LM656x0-Q1 クイックスタート カリキュレータ
- LM656x0-Q1 シミュレーション モデル
- テキサス・インスツルメンツのリファレンス デザイン ライブラリについては、[TI Designs](#) を参照してください。
- テキサス・インスツルメンツの **WEBENCH** 設計環境については、[WEBENCH® 設計センター](#)をご覧ください
- TI の [反転昇降圧ソリューション](#)を参照する
- EVM ユーザーズ ガイド:
 - [LM65680-Q1 65V_{IN}, 5V_{OUT}, 8A 同期整流降圧 DC/DC レギュレータの評価基板](#)
 - [LM67680-Q1 60V_{IN}, -12V_{OUT}, -6A 反転昇降圧 DC/DC レギュレータの評価基板](#)
- テキサス・インスツルメンツの設計:
 - 2つの 4Gbps クワッド デシリアライザを持つ ADAS 8 チャネル センサ フュージョン ハブのリファレンス デザイン
 - 車載向け EMI と放熱を最適化した同期整流降圧コンバータのリファレンス デザイン
 - 2.2MHz 動作、25W 車載スタート / ストップのリファレンス デザイン
 - 車載クラスタ向け同期整流降圧コンバータのリファレンス デザイン
 - 3.3V @ 12.0A、車載向け同期整流降圧のリファレンス デザイン
 - 車載向け同期整流降圧のリファレンス デザイン
 - [車載用の幅広い V_{IN}、デジタル コックピット処理ユニット向けのフロントエンド リファレンス デザイン](#)
- この製品の関連デバイスを参照するには、『[LM65645-Q1 65V、4.5A 同期整流降圧コンバータ](#)』を参照してください

9.1.2.1 WEBENCH® ツールによるカスタム設計

ここをクリック すると、WEBENCH Power Designer により、LM656x0-Q1 デバイスを使用するカスタム設計を作成できます。

1. 最初に、入力電圧 (V_{IN})、出力電圧 (V_{OUT})、出力電流 (I_{OUT}) の要件を入力します。
2. オプティマイザのダイヤルを使用して、効率、占有面積、コストなどの主要なパラメータについて設計を最適化します。
3. 生成された設計を、テキサス・インスツルメンツが提供する他の方式と比較します。

WEBENCH Power Designer では、カスタマイズされた回路図と部品リストを、リアルタイムの価格と部品の在庫情報と併せて参照できます。

通常、次の操作を実行可能です。

- 電気的なシミュレーションを実行し、重要な波形と回路の性能を確認する
- 熱シミュレーションを実行し、基板の熱特性を把握する
- カスタマイズされた回路図やレイアウトを、一般的な CAD フォーマットで出力する
- 設計のレポートを PDF で印刷し、設計を共有する

WEBENCH ツールの詳細は、www.ti.com/ja-jp/WEBENCH でご覧になれます。

9.2 ドキュメントのサポート

9.2.1 関連資料

9.2.1.1 低 EMI 設計リソース

- テキサスインスツルメンツ、『[低 EMI](#)』ランディングページ
- テキサスインスツルメンツ、『[EMI の問題の対応](#)』企業ブログ
- テキサスインスツルメンツ、『[DC/DC レギュレータの EMI エンジニアガイド](#)』e-book
- テキサスインスツルメンツ、『[低 EMI 電源の設計](#)』ビデオシリーズ
- ホワイトペーパー:
 - テキサス・インスツルメンツ、『[電源の伝導 EMI 仕様の概要](#)』
 - テキサス・インスツルメンツ、『[電源の放射 EMI 仕様の概要](#)』
 - テキサス・インスツルメンツ、『[電源における EMI 低減のための短時間でコスト効率の高いインバーション](#)』
 - テキサス・インスツルメンツ、『[コスト効率が高く要求品質の高いアプリケーション用の広範な V_{IN}、低 EMI 同期整流降圧回路の評価](#)』
- テキサスインスツルメンツ、[最適化された出力段レイアウトによる大電流 DC/DC レギュレータの EMI 性能向上アプリケーション概要](#)
- テキサスインスツルメンツ、[誘導性寄生の最小化による降圧コンバータの EMI と電圧ストレスの低減](#)アナログ デザインジャーナル

9.2.1.2 熱設計についてのリソース

- テキサスインスツルメンツ、[放熱強化パッケージによる高周囲温度環境での熱性能の改善](#)ホワイトペーパー
- アプリケーションノート:
 - テキサス・インスツルメンツ、『[過去ではなく、現在の議見による熱設計](#)』
 - テキサス・インスツルメンツ、『[AN-1520 露出パッケージで最良の熱抵抗を実現するための基板レイアウトガイド](#)』
 - テキサス・インスツルメンツ、『[半導体および IC パッケージの熱評価基準](#)』
 - テキサス・インスツルメンツ、『[放熱特性に優れた PowerPAD™ パッケージ](#)』
 - テキサス・インスツルメンツ、『[新しい熱評価基準の解説](#)』
- テキサス・インスツルメンツ、『[PowerPAD™ 入門](#)』アプリケーション ブリーフ

9.2.1.3 多相設計リソース

- アプリケーションノート:
 - テキサス・インスツルメンツ、『[多相降圧設計のすべて](#)』
- Analog Design Journal:
 - テキサス・インスツルメンツ、『[多相降圧コンバータの利点](#)』

9.2.1.4 PCB レイアウトについてのリソース

- LM65680-Q1 EVM [Altium](#) レイアウトソースファイル (降圧レギュレータ)
- LM67680-Q1 EVM [Altium](#) レイアウトソースファイル (IBB レギュレータ)
- テキサス・インスツルメンツ、[AN-1149 スイッチング電源のレイアウトのガイドライン](#)アプリケーションノート
- テキサス・インスツルメンツ、[最適化された出力段レイアウトによる大電流 DC/DC レギュレータの EMI 性能向上](#)アプリケーション ブリーフ
- テキサス・インスツルメンツ、[独自電源の構築 - レイアウトの考慮事項](#)セミナー

9.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.5 商標

HotRod™, PowerPAD™, and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

WEBENCH® is a registered trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.7 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

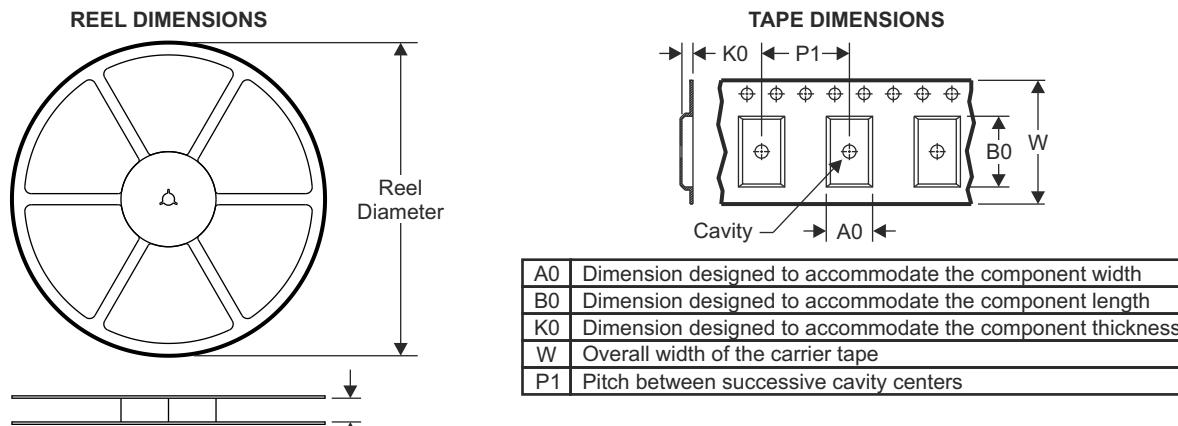
資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (October 2024) to Revision A (December 2025)	Page
• ドキュメントのタイトル、「特長」、「概要」セクションを、回路図および効率プロットも含めて更新 セクション 1 セクション 3	1
• 「ピン構成および機能」を更新してピン名を改訂: セクション 5DRSS/MCOMM および CNFG/SYNCOUT	5
• 更新「アプリケーションと実装」セクションを更新し、「設計 2 (高効率、48V ~ 12V、8A、400kHz 同期整流降圧レギュレータ」セクションを追加 セクション 8 セクション 8.2.2	31

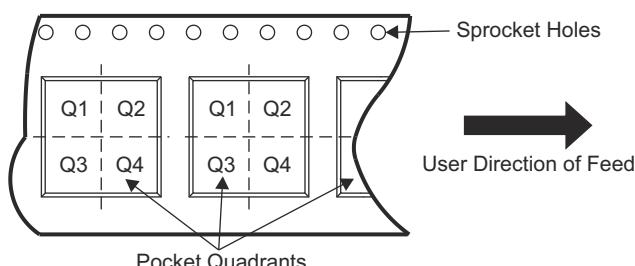
11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

11.1 テープおよびリール情報

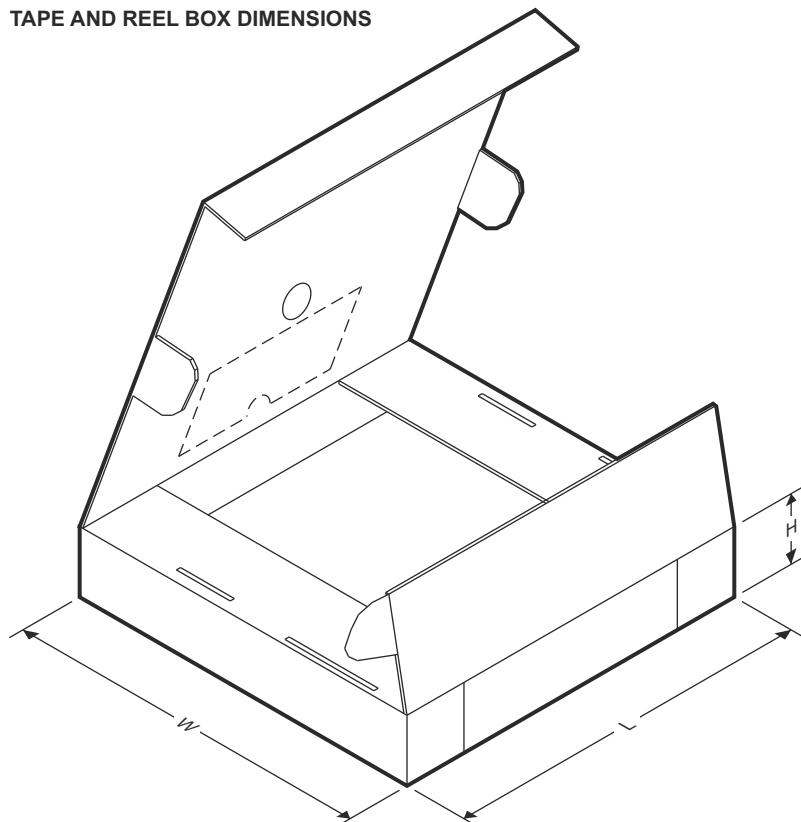


QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



デバイス	パッケージ タイプ	パッケージ 図	ピン	SPQ	リール 直径 (mm)	リール 幅 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	ピン 1 の 象限
PLM65680RZYRQ1	WQFN- FCRLF	RZY	26	2500	330	12.4	3.79	3.79	0.71	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



デバイス	パッケージタイプ	パッケージ図	ピン	SPQ	長さ (mm)	幅 (mm)	高さ (mm)
PLM65680RZYRQ1	WQFN-FCRLF	RZY	26	2500	367	367	35

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PLM65680RZYRQ1	Active	Preproduction	WQFN-FCRLF (RZY) 26	3000 LARGE T&R	-	Call TI	Call TI	-40 to 150	
PLM65680RZYRQ1.A	Active	Preproduction	WQFN-FCRLF (RZY) 26	3000 LARGE T&R	-	Call TI	Call TI	-40 to 150	

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF LM65680-Q1 :

-
- Catalog : [LM65680](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

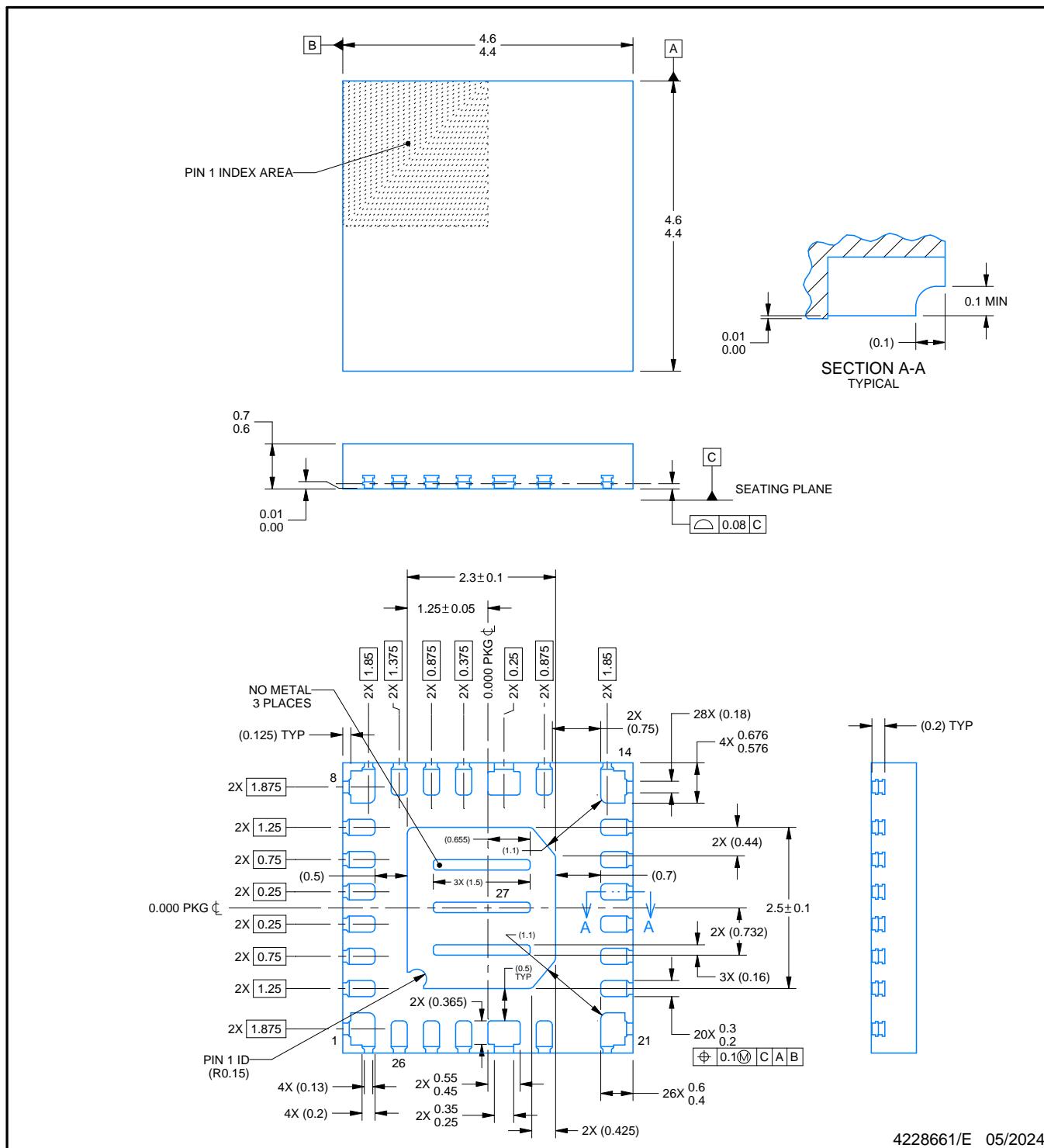
PACKAGE OUTLINE

RZY0026A



WQFN-FCRLF - 0.7 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



4228661/E 05/2024

NOTES:

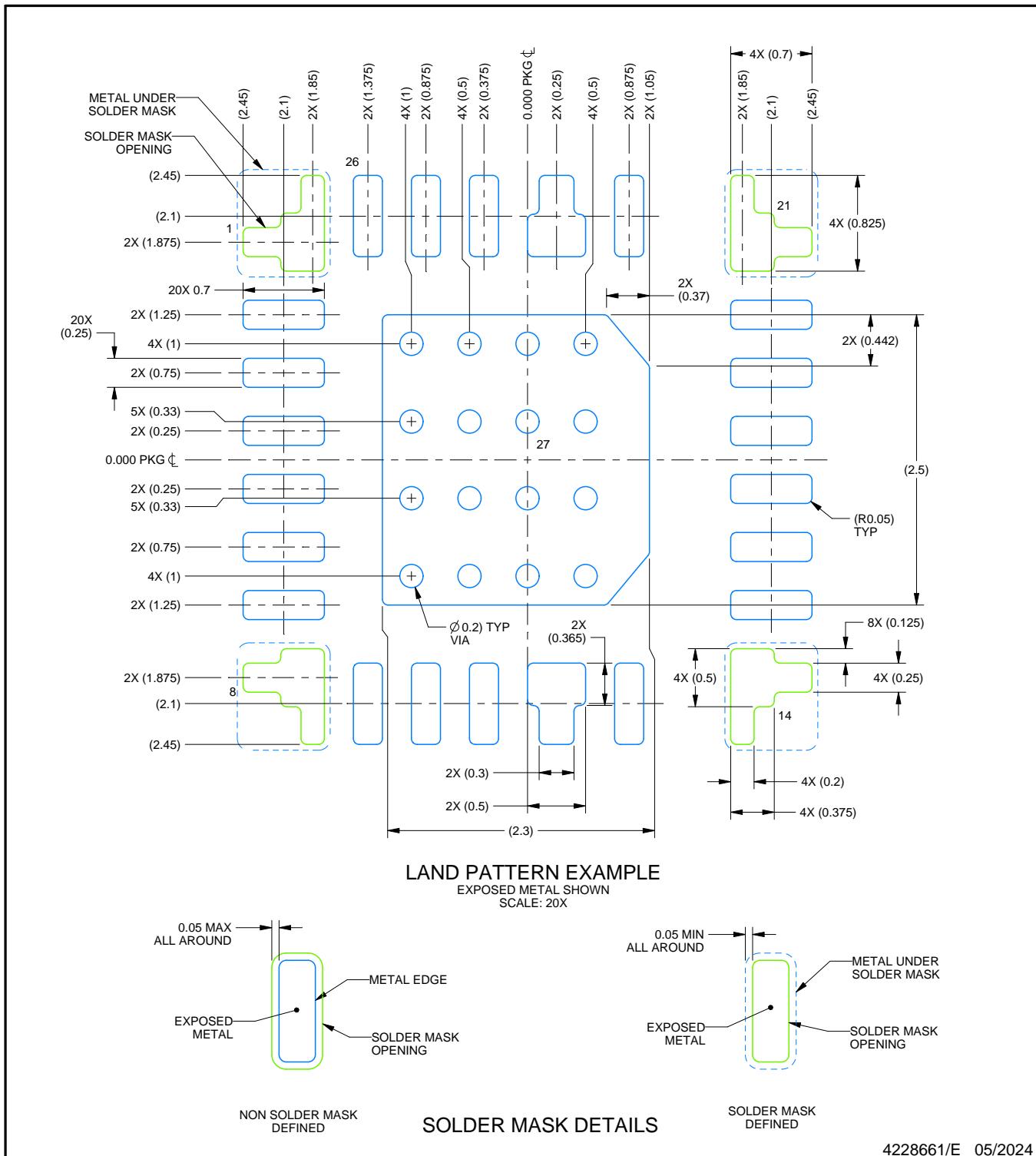
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
 2. This drawing is subject to change without notice.
 3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

RZY0026A

WQFN-FCRLF - 0.7 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

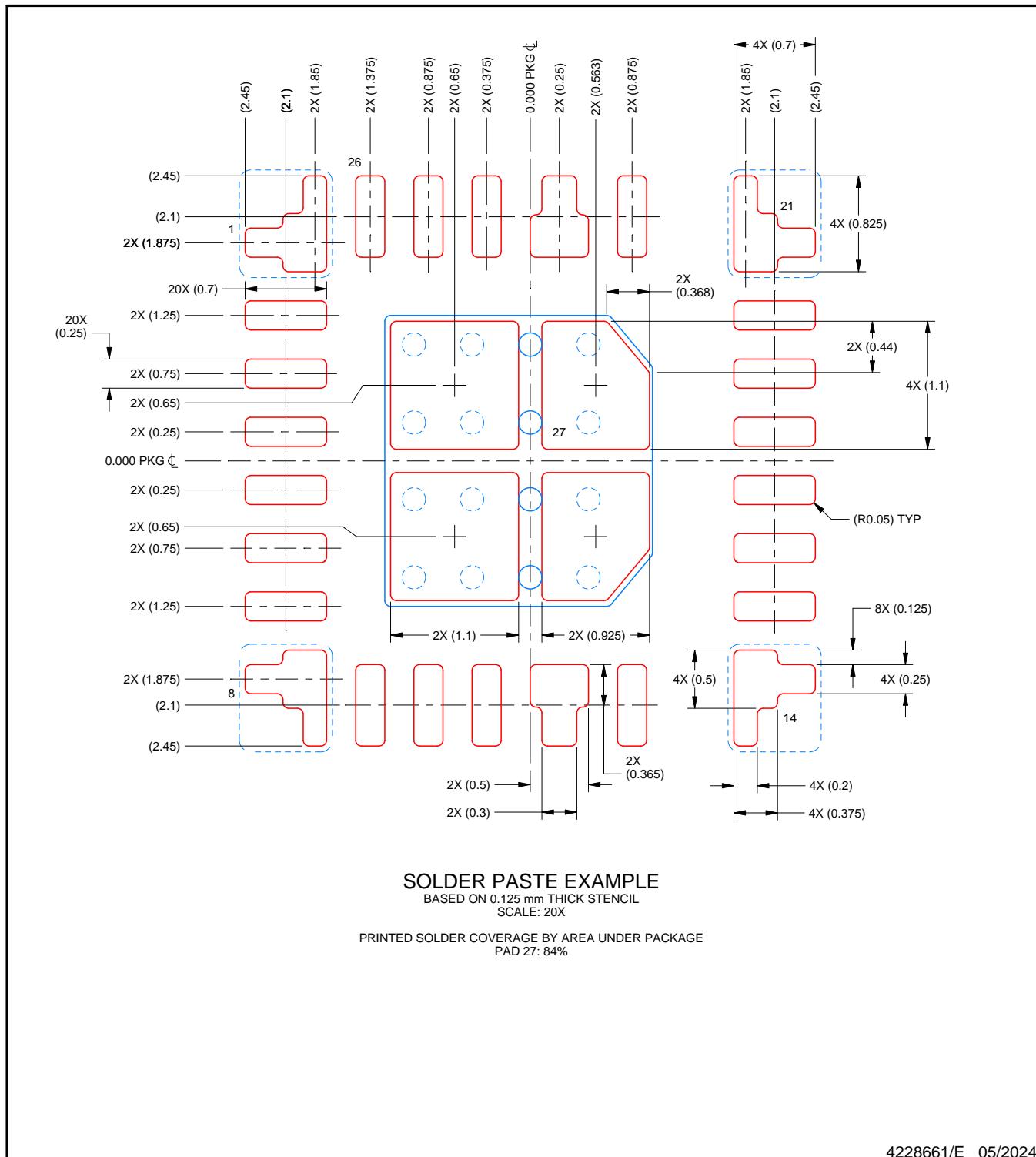
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RZY0026A

WQFN-FCRLF - 0.7 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月