

LM8262 デュアル RRIO 大出力電流、無制限の容量性負荷オペアンプ、VSSOP パッケージ

1 特長

- GBWP: 24MHz
- 広い電源電圧範囲: 2.7V ~ 32V
- スルーレート: 35V/μs
- 消費電流: 1.35mA
- 無制限の容量性負荷駆動能力
- 出力短絡電流: ±125mA
- レール ツー レール入出力 3V
- 入力電圧ノイズ: 12nV/√Hz
- 入力電流ノイズ: 1pA/√Hz
- THD+N < 0.00022%

2 アプリケーション

- TFT-LCD フラット パネル V_{COM} ドライバ
- A/D コンバータ バッファ
- ハイサイド / ローサイドのセンシング
- ヘッドホン アンプ

3 説明

LM8262 は、広い電源電圧範囲で動作可能な、レール ツー レール入出力オペアンプです。このデバイスは、大出力電流駆動であり、レール ツー レールの入力同相電圧範囲を超え、無制限の容量性負荷駆動能力があり、テスト済みの高速およびスルーレートを実現しています。このデバイスはフラット パネルである TFT パネルの V_{COM} ドライバアプリケーションの要件に対応しており、使いやすく既存のデバイスより高い性能が要求される、低消費電力で中速度のその他のアプリケーション向けに設計されています。

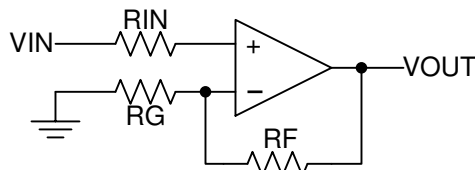
レール ツー レールの入力同相電圧範囲を超えた 90dB の同相除去により、多くのアプリケーションでは、範囲の超過や精度の低下を心配せずにハイサイドとローサイドのセンシングを実行できます。さらに、ほとんどのデバイスパラメータは電源変動による影響をあまり受けません。この拡張された設計は、使用を簡素化するためのさらなるステップです。出力段は歪みが小さく (0.00022% THD+N)、短絡出力電流が 125mA / チャネルと大きくなっています。

LM8262 は省スペースの VSSOP パッケージで供給されます。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)
LM8262	DGK (VSSOP, 8)	3.00mm × 4.90mm

- (1) 詳細については、[メカニカル](#)、[パッケージ](#)、および[注文情報](#)を参照してください。
- (2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



概略回路図



目次

1 特長	1	6.2 出力短絡電流および損失の問題.....	11
2 アプリケーション	1	6.3 その他のアプリケーション ヒント.....	12
3 説明	1	6.4 電源に関する推奨事項.....	12
4 ピン構成および機能	3	6.5 レイアウト.....	12
5 仕様	4	7 デバイスおよびドキュメントのサポート	13
5.1 絶対最大定格.....	4	7.1 デバイス サポート.....	13
5.2 ESD 定格.....	4	7.2 ドキュメントの更新通知を受け取る方法.....	13
5.3 推奨動作条件.....	4	7.3 サポート・リソース.....	13
5.4 熱に関する情報.....	4	7.4 商標.....	13
5.5 電気的特性.....	5	7.5 静電気放電に関する注意事項.....	13
5.6 代表的特性.....	6	7.6 用語集.....	13
5.7 古いダイと新しいダイの比較.....	10	8 改訂履歴	13
6 アプリケーションと実装	11	9 メカニカル、パッケージ、および注文情報	14
6.1 容量性負荷の駆動.....	11		

4 ピン構成および機能

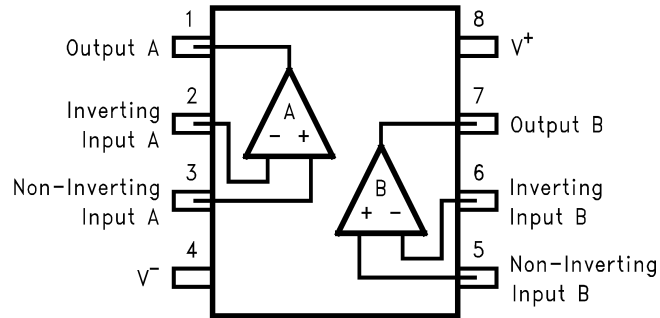


図 4-1. 8 ピン VSSOP 上面図

表 4-1. ピンの機能

ピン		タイプ ⁽¹⁾	説明
番号	名称		
1	OUT A	O	出力 A
2	-IN A	I	反転入力 A
3	+IN A	I	非反転入力 A
4	V-	I	負電源
5	+IN B	I	非反転入力 B
6	-IN B	I	反転入力 B
7	OUT B	O	出力 B
8	V+	I	正電源

(1) I = 入力および O = 出力

5 仕様

5.1 絶対最大定格

 動作時周囲温度範囲内 (特に記述のない限り)⁽¹⁾

		最小値	最大値	単位
電源電圧、 $V_S = (V+) - (V-)$		0	33	V
信号入力ピン	同相電圧 ⁽³⁾	$(V-) - 0.5$	$(V+) + 0.5$	V
	差動電圧 ⁽⁴⁾		±10	V
	電流 ⁽³⁾		±10	mA
出力短絡 ⁽²⁾		連続		
接合部温度、 T_J			150	°C
保管温度、 T_{stg}		-65	150	°C
はんだ付け情報	赤外線または対流式 (20 秒)		235	°C
	ウェーブ半田付け (10 秒)		260	°C

- (1) 「絶対最大定格」に示す定格を超えて本デバイスを動作させた場合、デバイスに永続的な損傷が発生します。これらはプロセスと設計の制約に基づくストレス定格に過ぎず、「推奨動作条件」に示された以外の条件で動作するにはこのデバイスは設計されていません。絶対最大定格条件を含め、「推奨動作条件」以外のいかなる条件にも長時間さらすと、デバイスの信頼性と性能に影響を及ぼす可能性があります。
- (2) グランドへの短絡、パッケージあたり 1 台のアンプ。短絡電流が長時間流れると、特に電源電圧が高い場合、過熱や最終的な破壊が発生する可能性があります。
- (3) 入力ピンは、電源レールに対してダイオード クランプされています。入力信号のスイングが 0.5V より大きく電源レールを超える可能性がある場合は、電流を 10mA 以下に制限する必要があります。
- (4) 入力保護のため、入力ピンは双方向ダイオードを介して接続します。差動入力電圧が 0.5V を超える場合は、入力電流が 10mA 以下に制限されます。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電 ⁽¹⁾	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、全ピン ⁽²⁾	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 ⁽³⁾	±1500	
		マシン モデル (MM) ⁽²⁾	±200	

- (1) 人体モデル、1.5kΩ と 100pF を直列に接続します。マシン モデル、0Ω と 200pF を直列に接続します。
- (2) JEDEC のドキュメント JEP155 に、2000V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
- (3) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	最大値	単位
電源電圧 ($V^+ - V^-$)		2.7	32	V
動作温度範囲 ⁽²⁾		-40	+85	°C

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		DGK	単位
		8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗 ⁽²⁾	169.6	°C/W

- (1) 従来および最新の熱評価基準の詳細については、「IC パッケージの熱評価基準」アプリケーション レポートをご覧ください。
- (2) 最大消費電力は、 $T_J(\max)$ 、 $R_{\theta JA}$ 、 T_A の関数です。最大許容消費電力と周囲温度の関係式は、 $P_D = (T_J(\max) - T_A) / R_{\theta JA}$ です。すべての数値は、プリント基板に直接はんだ付けしたパッケージに適用されます。

5.5 電気的特性

$V_S = (V+) - (V-) = 2.7V \sim 32V$ ($\pm 1.35V \sim \pm 16V$), $T_A = 25^\circ C$, $R_L = 10k\Omega$ を $V_S/2$ に接続、 $V_{CM} = V_S/2$, $V_{OUT} = V_S/2$ の場合 (特に記述のない限り)。(1)

パラメータ		テスト条件		最小値	標準値 ⁽²⁾	最大値 ⁽³⁾	単位
V_{OS}	入力オフセット電圧	$V_{CM} = V-$			± 0.7	± 7	mV
			$-40^\circ C \leq T_A \leq +125^\circ C$			± 9	
$TC V_{OS}$	入力オフセットの平均ドリフト	$V_{CM} = V-$	$-40^\circ C \leq T_A \leq +125^\circ C$		± 2		$\mu V/^\circ C$
I_B	入力バイアス電流				± 0.4	± 2	μA
			$-40^\circ C \leq T_A \leq +125^\circ C$			± 2.8	
I_{OS}	入力オフセット電流				30	275	nA
V_{CM}	入力同相電圧範囲			$V-$		$V+$	V
CMRR	同相除去比	$V- < V_{CM} < (V+) - 2V$	$-40^\circ C \leq T_A \leq +125^\circ C$	80	100		dB
PSRR	電源除去比	$V_{CM} = V-, V_S = 5V \sim 32V$	$-40^\circ C \leq T_A \leq +125^\circ C$		± 3.5	± 22	$\mu V/V$
A_{OL}	開ループ電圧ゲイン	$V_S = 32V, V_{CM} = V_S/2,$ $(V-) + 1V < V_O < (V+) - 1V$	$-40^\circ C \leq T_A \leq +125^\circ C$		85		dB
	レールに対する電圧出力スイング	正および負のレールのヘッド ルーム	$V_S = 32V, R_L = 10K\Omega$		15.94		V
			$V_S = 32V, R_L = 2K\Omega$		15.8		
			$V_S = 32V, R_L = 10K\Omega$		-15.94		V
			$V_S = 32V, R_L = 2K\Omega$		-15.8		
I_{SC}	出力短絡電流	$V_S = 32V$		± 62	± 125		mA
		$V_S = 5V^{(4)}$		± 50	± 85		
		$V_S = 2.7V^{(4)}$		± 30	± 60		
I_S	電源電流	$V_{CM} = V-, I_O = 0A$			1.30	1.93	mA
			$-40^\circ C \leq T_A \leq +125^\circ C$				
SR	スルーレート	$V_S = 32V, V_{STEP} = 10V, G = +1, C_L = 20pF$			35		V/ μs
GBW	ゲイン帯域幅積				24		MHz
Φ_{im}	位相マージン	$G = +1, R_L = 10k\Omega, C_L = 20pF$			50		°
e_n	入力電圧ノイズ密度	$f = 1kHz$			12		nV/ \sqrt{Hz}
i_n	入力電流ノイズ密度	$f = 1kHz$			1		pA/ \sqrt{Hz}
t_s	セトリングタイム	$T_O 0.1\%, V_S = 32V, V_{STEP} = 10V, G = +1, C_L = 50pF$			430		ns
THD+N	全高調波歪み + ノイズ	$V_S = 32V, V_O = 3V_{RMS}, G = 1, f = 1kHz, R_L = 10k\Omega$			113		dB

- (1) 電気的特性の値は、記載温度における工場出荷試験条件にのみ適用されます。
- (2) 標準値は、最も可能性の高いパラメータの標準値を表します。
- (3) すべての制限はテストまたは統計解析により規定されています。
- (4) 特性評価のみによって規定されています。

5.6 代表的特性

$T_A = 25^\circ\text{C}$ 、 $V_S = \pm 16\text{V}$ 、 $V_{CM} = V_S/2$ 、特に記述のない限り

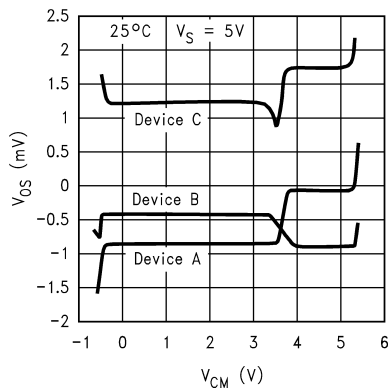


図 5-1. 従来のダイの 3 つの代表的なユニットの V_{OS} と V_{CM} との関係

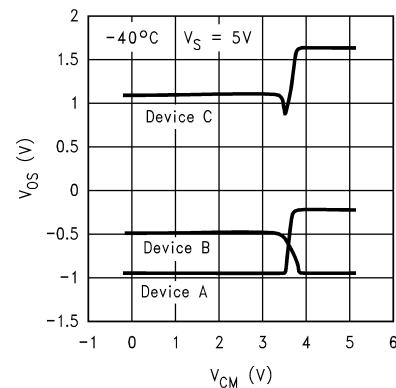


図 5-2. 従来のダイの 3 つの代表的なユニットの V_{OS} と V_{CM} との関係

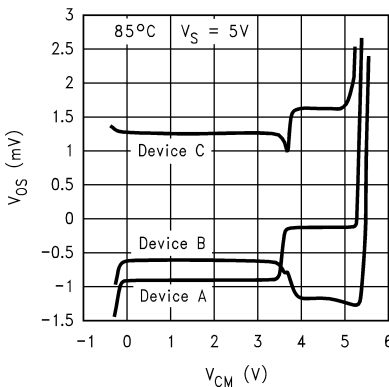


図 5-3. 従来のダイの 3 つの代表的なユニットの V_{OS} と V_{CM} との関係

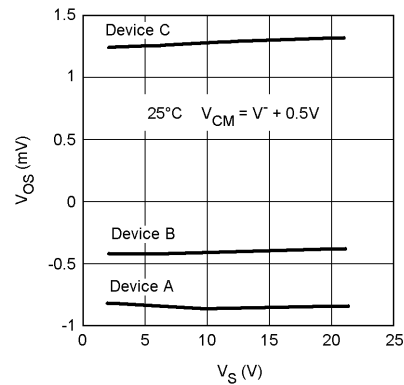


図 5-4. 従来のダイの 3 つの代表的なユニットの V_{OS} と V_S との関係

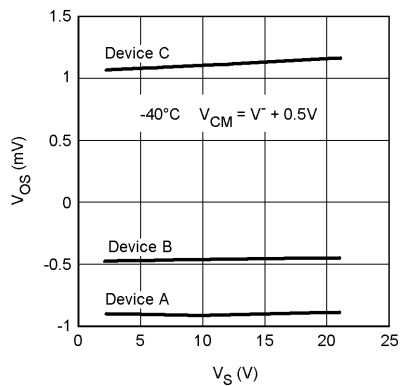


図 5-5. 従来のダイの 3 つの代表的なユニットの V_{OS} と V_S との関係

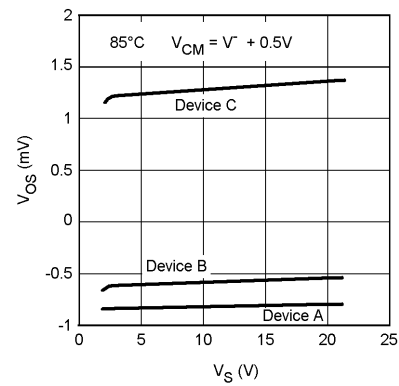


図 5-6. 従来のダイの 3 つの代表的なユニットの V_{OS} と V_S との関係

5.6 代表的特性 (続き)

$T_A = 25^\circ\text{C}$, $V_S = \pm 16\text{V}$, $V_{CM} = V_S/2$, 特に記述のない限り

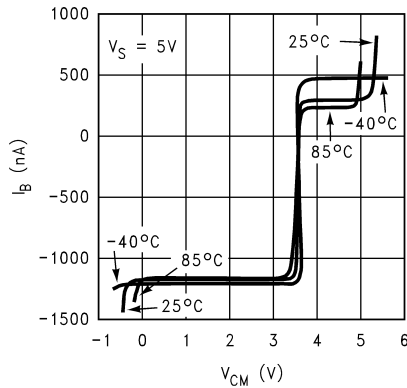


図 5-7. 従来のダイの I_B と V_{CM} との関係

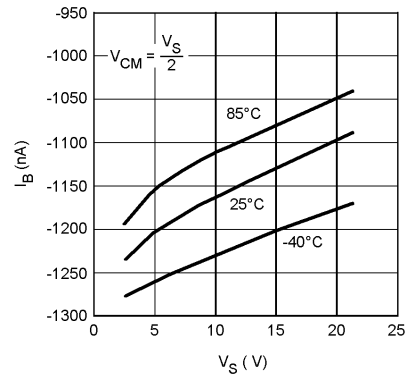


図 5-8. 従来のダイの I_B と V_S との関係

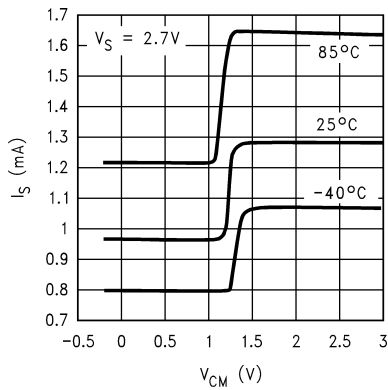


図 5-9. 従来のダイの I_S と V_{CM} との関係

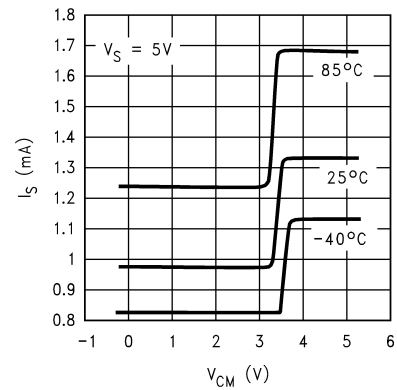


図 5-10. 従来のダイの I_S と V_{CM} との関係

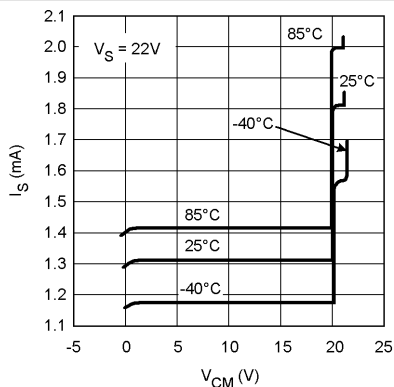


図 5-11. 従来のダイの I_S と V_{CM} との関係

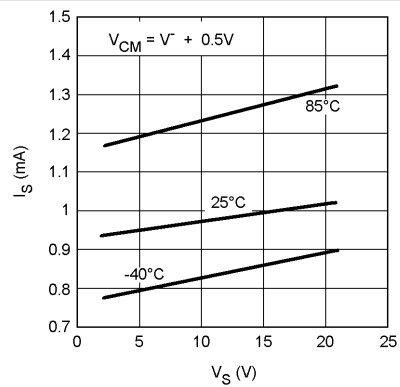


図 5-12. 従来のダイの I_S と V_S (PNP 側) との関係

5.6 代表的特性 (続き)

$T_A = 25^\circ\text{C}$, $V_S = \pm 16\text{V}$, $V_{CM} = V_S/2$, 特に記述のない限り

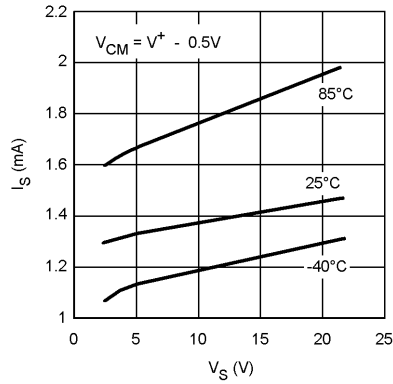


図 5-13. 従来のダイの I_S と V_S (NPN 側) との関係

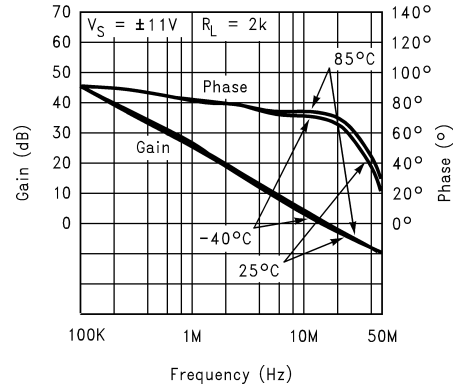


図 5-14. 従来のダイのゲイン / 位相と周波数との関係

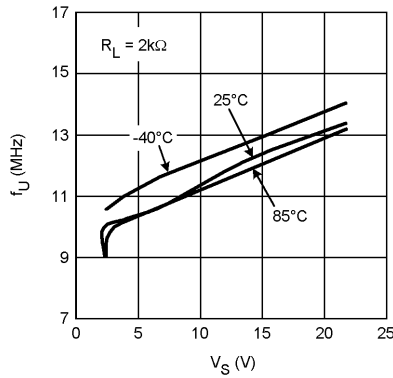


図 5-15. 従来のダイのユニティ ゲイン周波数と V_S との関係

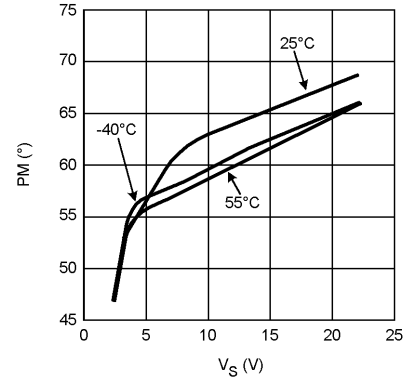


図 5-16. 従来のダイの位相マージンと V_S との関係

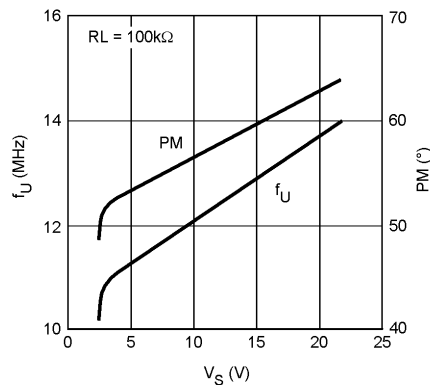


図 5-17. 従来のダイのユニティ ゲイン周波数および位相マージンと V_S との関係

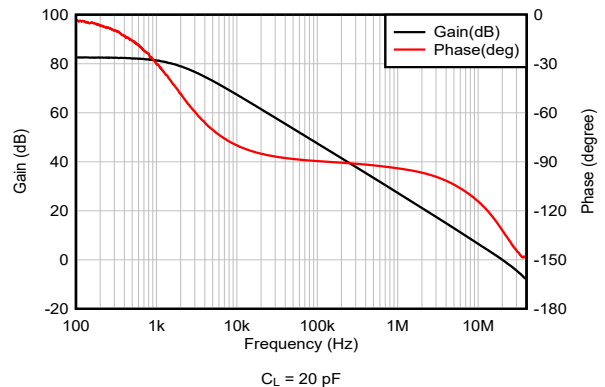


図 5-18. 開ループゲインおよび位相と周波数との関係、新しいダイ

5.6 代表的特性 (続き)

$T_A = 25^\circ\text{C}$, $V_S = \pm 16\text{V}$, $V_{CM} = V_S/2$, 特に記述のない限り

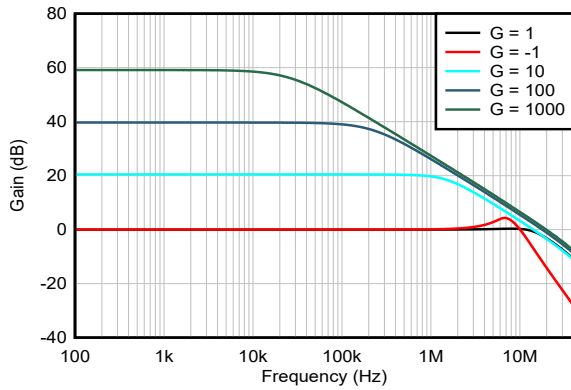


図 5-19. 開ループゲインと周波数との関係、新しいダイ

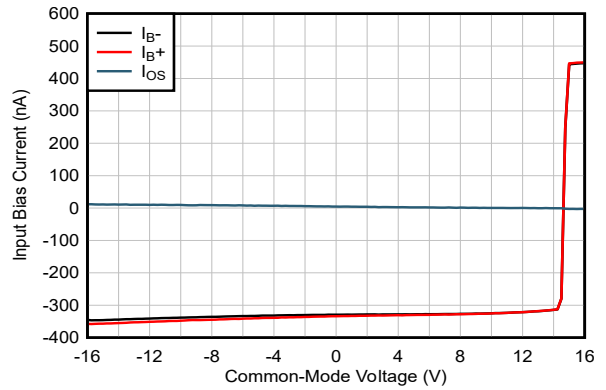


図 5-20. 入力バイアス電流およびオフセット電流と同相温度との関係、新しいダイ

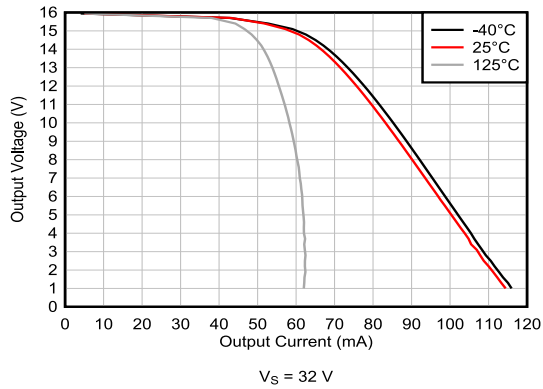


図 5-21. 出力電圧スイングと出力電流との関係 (ソース)、新しいダイ

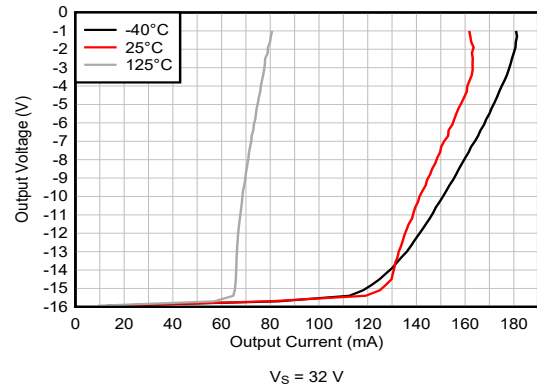


図 5-22. 出力電圧スイングと出力電流との関係 (シンク)、新しいダイ

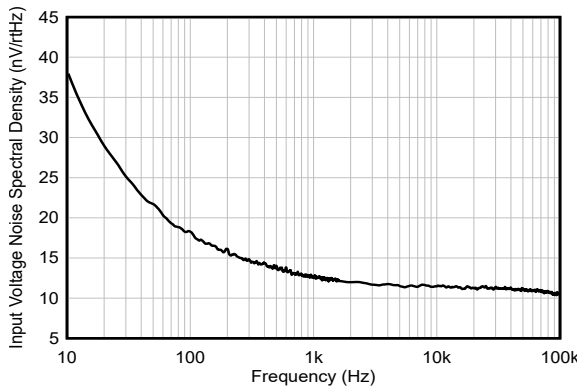


図 5-23. 入力電圧ノイズのスペクトル密度と周波数との関係、新しいダイ

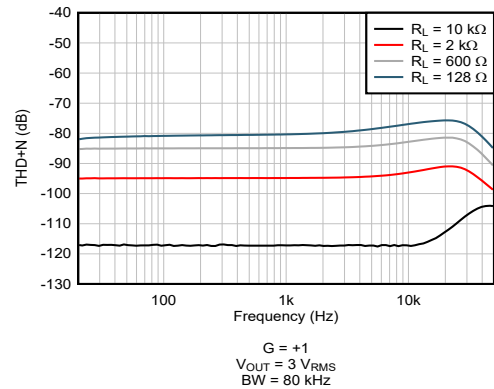


図 5-24. THD+N 比と周波数との関係、新しいダイ

5.6 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = \pm 16\text{V}$ 、 $V_{CM} = V_S/2$ 、特に記述のない限り

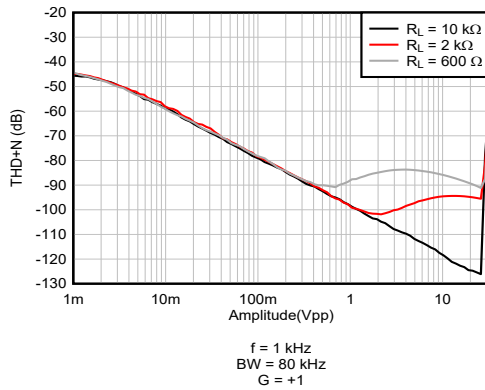


図 5-25. THD+N と出力振幅との関係、新しいダイ

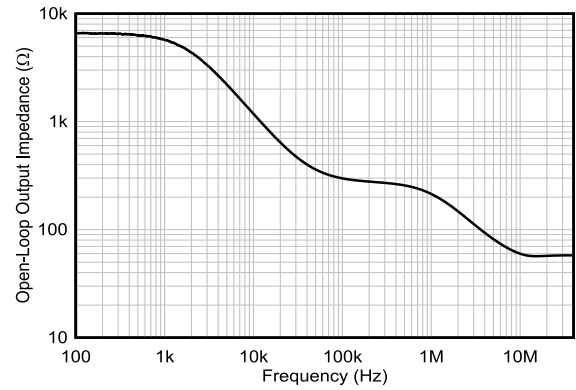


図 5-26. 開ループ出カインピーダンスと周波数の関係、新しいダイ

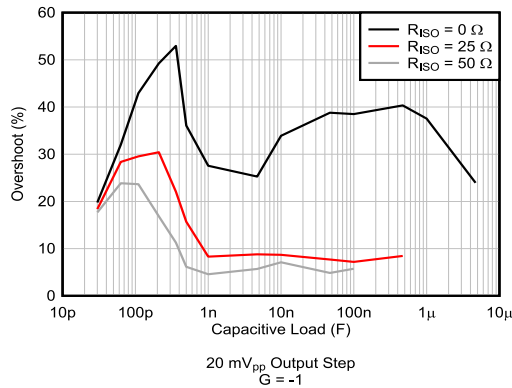


図 5-27. 小信号オーバーシュートと容量性負荷との関係、新しいダイ

5.7 古いダイと新しいダイの比較

このデータシートの改訂 H 版の発行時点で、テキサス インストルメンツは、LM8262 のダイの製造を最新の製造拠点に移動しました。このドキュメントでは、2 つの異なるダイを「古い」(以前の製造拠点) および「新しい」ダイと呼びます。ダイの原点は、配送情報の「チップ ソース オリジン」(CSO) パラメータから分離することができます。古いダイ CSO は「GF6」で、新しいダイ CSO は「RFB」です。古いダイの情報は配送情報の中にあります。古いダイ CSO は「GF6」で、新しいダイ CSO は「RFB」です。このデータシートでは、比較のため、古いダイの情報を保持していますが、新しい製造はすべて新しいダイに移行しています。

6 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

6.1 容量性負荷の駆動

LM8262 は特に発振なしで無制限の容量性負荷を駆動できるように設計されています。さらに、このデバイスの出力電流処理能力により、大きな容量性負荷でも良好なスルー特性が得られます。これらの機能を組み合わせた設計は、TFT フラットパネル バッファ、A/D コンバータ入力アンプなどのアプリケーション向けです。

ただし、大半のオペアンプと同様に、オペアンプと容量性負荷の間に直列絶縁抵抗を追加すると、セリングおよびオーバーシュートの性能が向上します。

6.2 出力短絡電流および損失の問題

LM8262 の出力段は最大出力電流能力を実現するように設計されています。出力が瞬間的にグラウンドに短絡しても、すべての動作電圧においていずれかの電源が許容されますが、短絡が長時間続く条件下では、特に電源電圧が高い場合に接合部温度がデバイスの絶対最大定格を超える可能性があります。

オペアンプを負荷に接続する場合、デバイスの消費電力には、負荷電流に起因する消費電力だけでなく、デバイスに流れる電源電流に起因する静止消費電力も含まれます。電力の負荷の一部には、平均値 (DC 負荷電流による) と AC 成分が含まれる可能性があります。出力電圧オフセットがある場合、出力 AC 平均電流がゼロでない場合、または出力が線形動作の範囲内のどこかで維持される単一電源アプリケーションでオペアンプが動作している場合、DC 負荷電流が流れます。したがって、次のようになります。

$$P_{TOTAL} = P_Q + P_{DC} + P_{AC} \quad (1)$$

オペアンプの静止消費電力:

$$P_Q = I_S \times V_S \quad (2)$$

DC 負荷電力:

$$P_{DC} = I_O \times [V_R - V_O] \quad (3)$$

表 6-1 に、AC 負荷電力 (P_{AC}) を示します。

ここで、

- I_S は消費電流です
- V_S は全電源電圧です ($V_+ - V_-$)
- I_O は平均負荷電流です
- V_O は平均出力電圧です
- V_R はソースでは V_+ 、シンク電流では V_-

表 6-1 は、標準的な正弦波、三角波、方形波における、オペアンプが消費する負荷電力の最大 AC 成分を示しています。

表 6-1. 標準波形における出力段で正規化された AC 消費電力

P _{AC} (W/ΩV ²)		
正弦波	三角波	方形波
50.7 × 10 ⁻³	46.9 × 10 ⁻³	62.5 × 10 ⁻³

表の項目は V_S^2/R_L に正規化されています。消費電力の AC 負荷電流成分を計算するには、出力波形に相当する表の項目を係数 V_S^2/R_L で乗算します。例えば、±15V 電源、600Ω 負荷、三角波の出力段の消費電力は次のように計算されます：

$$P_{AC} = 46.9 \times 10^{-3} \times \frac{30^2}{600} = 70.4\text{mW} \quad (4)$$

6.3 その他のアプリケーション ヒント

ほとんどのアプリケーションでは、電源デカップリングを使用する必要があります。大半の比較的高速 / 大出力電流のオペアンプと同様、最良の結果が得られるのは、各電源ラインが 2 つのコンデンサでデカップリングされているときです。大きな値のタンタルまたはアルミニウム (> 4.7μF) に加えて、電源リードのすぐ近くに小さな値のセラミック コンデンサ (約 0.01μF) を配置します。必要に応じて、大容量コンデンサを複数のデバイスで共有できます。小型のセラミック コンデンサは高周波で低い電源インピーダンスを維持し、大容量のコンデンサはオペアンプ出力で高速負荷電流スパイクの電荷「バケット」として機能します。これらのコンデンサを組み合わせると電源のデカップリングが可能になり、どのような負荷がある場合でもオペアンプの発振を防止できます。

6.4 電源に関する推奨事項

LM8262 は、シングル電源またはデュアル電源で動作可能です。部品の入力 CM 能力 (CMVR) により電源電圧範囲全体が拡張され、最高の柔軟性が得られます。電源は、デバイスピンから 0.5 インチ未満に接地する、低インダクタンス (多くの場合セラミック) のコンデンサでデカップリングします。グランドプレーンの使用を推奨します。また、ほとんどの高速デバイスと同様、入力などのデバイスの影響を受けやすいピンの近くのグランドプレーンを取り除いてください。

6.5 レイアウト

6.5.1 レイアウトのガイドライン

一般に、優れた高周波レイアウトでは、電源とグランドのパターンを反転入力や出力ピンから離して配置します。これらのノードからグランドへの寄生容量により、周波数応答ピークと回路発振を引き起こす可能性があります。一般的な高速の信号路レイアウトの提案を以下に示します。

- 長期間にわたりインピーダンスのパターンが一致している信号配線では、連続的なグランドプレーンが推奨されます。ただし、容量の影響を受けやすい入力と出力のデバイスピンの周囲では、グランドとパワープレーンの両方を開放してください。信号を抵抗に送信すると、寄生容量は帯域制限の問題になり、安定性の問題は低減されます。
- デバイスの電源ピンには、グランドプレーン上に良質な高周波デカップリングコンデンサ (0.1μF) を使用します。最高の高周波デカップリングを実現するために、標準コンデンサよりも非常に高い自己共振周波数を提供する X2Y 電源デカップリングコンデンサを使用します。
- 感知可能な距離で差動信号を配線する場合は、インピーダンスのパターンが一致しているマイクロストリップレイアウト技術を使用します。
- 入力加算結合部は寄生容量の影響を大きく受けます。したがって、抵抗のデバイスピン側にある加算結合部には最短のパターン長で Rf と Rg 素子を接続します。これらの素子の反対側は、ソースとグランドに必要な場合は、より長いパターン長を使用することができます。

7 デバイスおよびドキュメントのサポート

7.1 デバイス サポート

7.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

7.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

7.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

7.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

7.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

7.6 用語集

テキサス・インスツルメンツ用語集 この用語集には、用語や略語の一覧および定義が記載されています。

8 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision G (August 2015) to Revision H (June 2026)	Page
ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
新しいダイの仕様に合わせて「特長」セクションを更新	1
新しいダイの特性に合わせて表、仕様、説明のフォーマットを更新.....	1
新しいダイの仕様に従って「絶対最大定格」の表と脚注を更新.....	4
「ESD 定格」に電荷デバイス モデル情報を追加.....	4
表の脚注を更新.....	4
「推奨動作条件」の電源電圧の最小値を 2.5V から 2.7V に、最大値を 22V から 32V に変更.....	4
接合部周囲間の熱抵抗を 235°C/W から 169.6°C/W に変更.....	4
新しいダイの特性に合わせて「電気的特性」表を更新	5
「5V の電気的特性」および「+/-11V の電気的特性」セクションを削除	5

• 新しいダイの仕様に合わせて「代表的特性」線図を更新	6
• 図 5-27 に 図 5-18 を追加。	6
• 古いダイと新しいダイの比較 を追加.....	10
• 「アプリケーションと実装」セクションを追加	11

Changes from Revision F (August 2014) to Revision G (August 2015)

Page

• 「ピン機能」表のピン 5 を –IN B から +IN B 非反転入力 B に変更	3
• 「ピン機能」表のピン 6 を +IN B から –IN B 非反転入力 B に変更	3
• 「保存温度範囲」を次に移動: セクション 5.1	4
• 「取り扱い定格」を次のとおり変更: セクション 5.2	4

Changes from Revision E (April 2013) to Revision F (August 2014)

Page

• データシートの構造と構成を変更。以下のセクションを追加、更新、または名称変更:「デバイスおよびドキュメントのサポート」、「メカニカル、パッケージ、および注文情報」.....	1
• 「接合部温度範囲」を「動作温度範囲」に変更.....	4
• $T_j = 25^\circ\text{C}$ を削除、.....	5

9 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側のナビゲーションをご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LM8262MM/NOPB	Obsolete	Production	VSSOP (DGK) 8	-	-	Call TI	Call TI	-40 to 85	A46
LM8262MMX/NOPB	Active	Production	VSSOP (DGK) 8	3500 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	A46
LM8262MMX/NOPB.B	Active	Production	VSSOP (DGK) 8	3500 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	A46

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

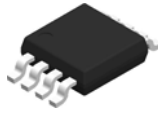
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LM8262MMX/NOPB	VSSOP	DGK	8	3500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LM8262MMX/NOPB	VSSOP	DGK	8	3500	330.0	12.4	5.25	3.35	1.25	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LM8262MMX/NOPB	VSSOP	DGK	8	3500	367.0	367.0	35.0
LM8262MMX/NOPB	VSSOP	DGK	8	3500	366.0	364.0	50.0

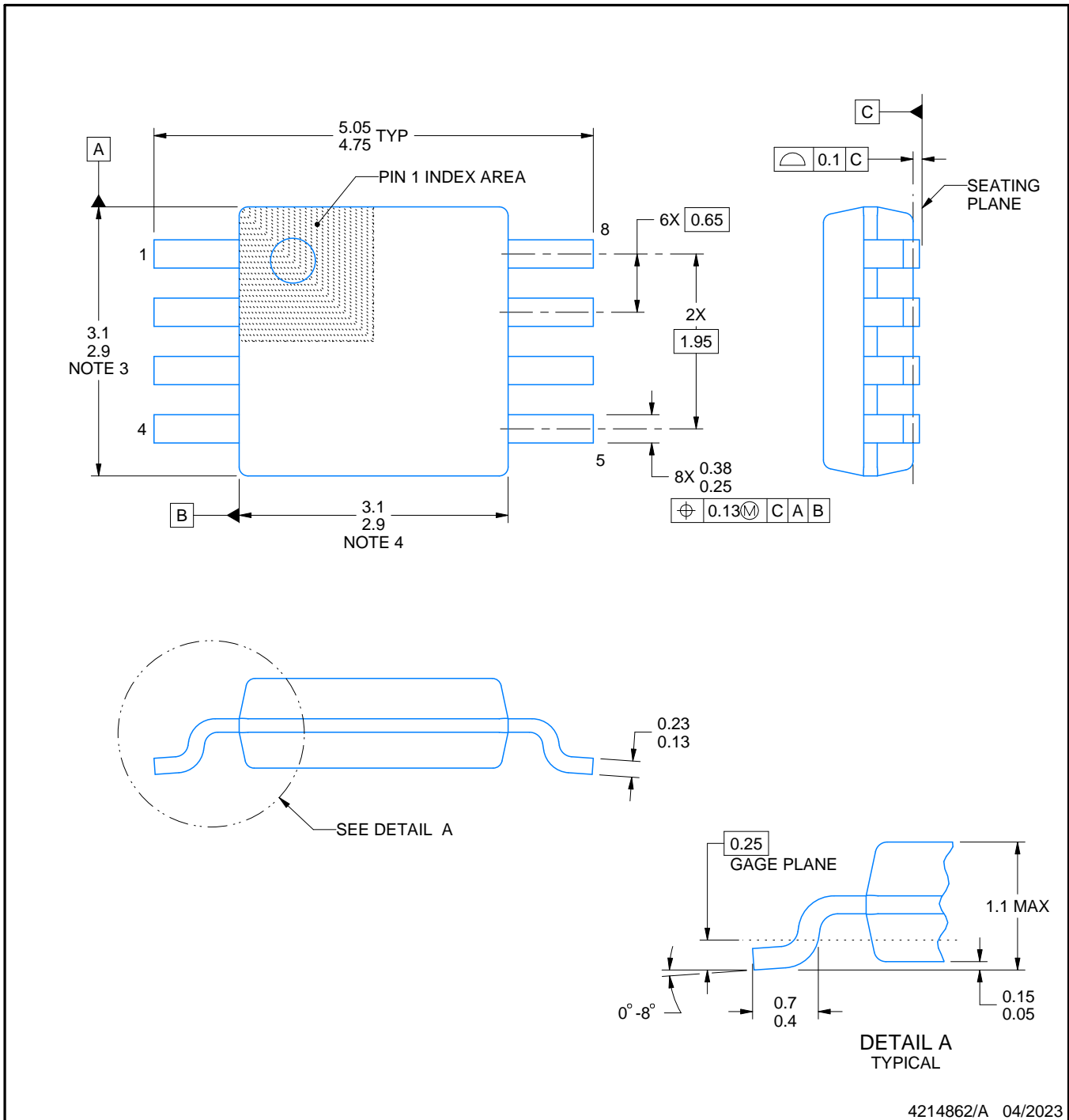
DGK0008A



PACKAGE OUTLINE

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



4214862/A 04/2023

NOTES:

PowerPAD is a trademark of Texas Instruments.

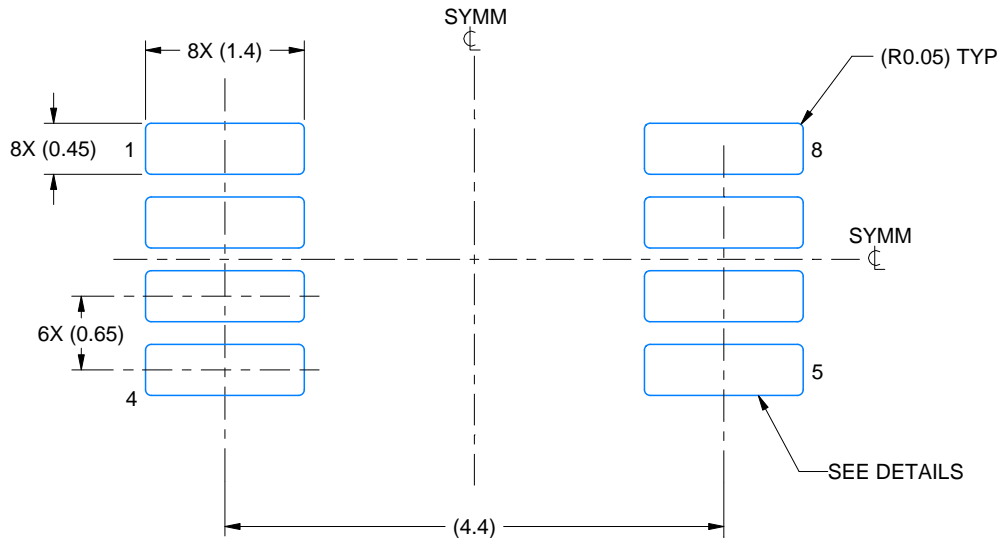
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.

EXAMPLE BOARD LAYOUT

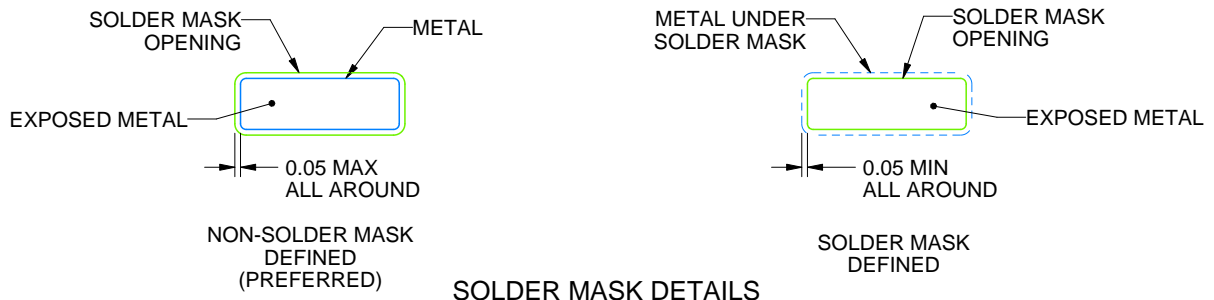
DGK0008A

™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



4214862/A 04/2023

NOTES: (continued)

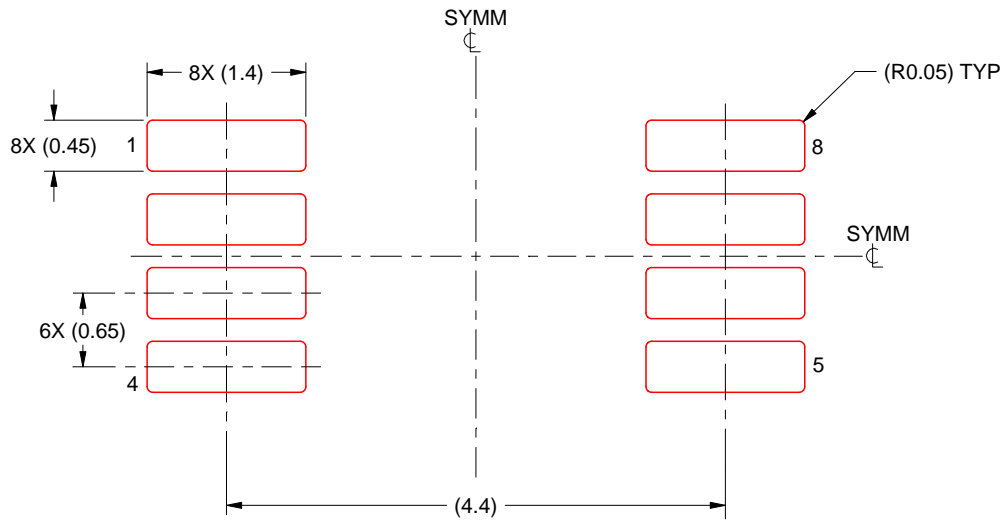
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGK0008A

TM VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月