

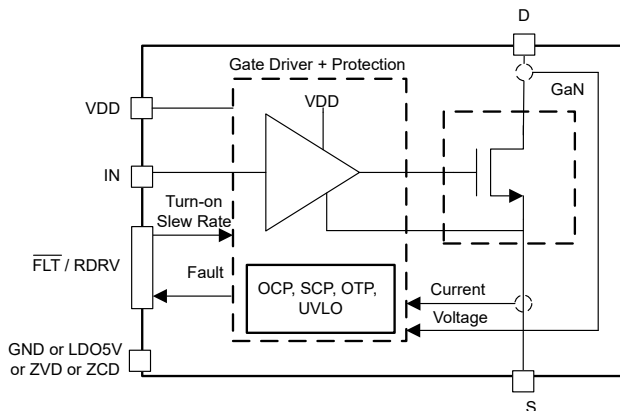
LMG367xR010 ドライバと保護機能を内蔵した 650V、10mΩ GaN FET

1 特長

- ゲートドライバ内蔵、650V、10mΩ の GaN 電力 FET
 - >200V/ns の FET ホールド オフ
 - 10V/ns から 80V/ns のスルーレートによるスイッチング性能の最適化と EMI の軽減
 - 電源ピンと入力ロジックピンの 9V から 26V の電圧範囲で動作します
- 堅牢な保護
 - サイクル単位の過電流保護と応答時間 300ns 未満のラッチ付き短絡保護
 - ハードスイッチング中のサージ耐性: 720V
 - 内部過熱および UVLO 監視機能による自己保護
- 高度なパワー マネージメント
 - LMG3676R010 は、ソフトスイッチング コンバータとを利用可能にするゼロ電圧検出機能 (ZVD) を備えています。
 - LMG3677R010 は、ソフトスイッチング コンバータとを利用可能にするゼロ電流検出機能 (ZCD) を備えています。
- トップサイド放熱の 9.9mm × 12.3mm スリム TOLT (STOLT) パッケージは、電気経路と熱経路を分離し、電流ループのインダクタンスを最小化します

2 アプリケーション

- オープンラック サーバー PSU
- 商用テレコム整流器
- 一般的な冗長電源
- 無停電電源
- ソーラー インバータと産業用モーター ドライブ



概略ブロック図

3 説明

統合型ドライバと保護機能を搭載した LMG367xR010 GaN FET は、スイッチ モード パワー コンバータを対象としています。このデバイスを使うと、設計者は新しいレベルの電力密度と効率を実現できます。

調整可能なゲートドライブ強度により、独立な有効化と最大限無効化スルーレートの制御が可能で、EMI のアクティブ制御とスイッチング性能の最適化に使用できます。ターンオンのスルーレートは 10V/ns から 80V/ns まで変化しますが、ターンオフのスルーレート、負荷電流の大きさに応じて 10V/ns から最大値に制限することができます。保護機能として、低電圧ロックアウト (UVLO)、サイクル単位の電流制限、短絡保護、および過熱保護が搭載されています。LMG3671R010 は、外部デジタル アイソレータに電源を供給するための 5V LDO 出力を LDO5V ピンに備えています。LMG3676R010 は、ゼロ電圧検出 (ZVD) 機能を備えており、ゼロ電圧スイッチングが発生したとき ZVD ピンからパルスを出力します。LMG3677R010 は、ドレイン-ソース間電流が負であり、ゼロクロスポイント検出時に Low に遷移すると ZCD ピンを High に設定するゼロ電流検出 (ZCD) 機能を備えています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
LMG367xR010	KLH (STOLT, 16)	9.9mm × 12.3mm

- 供給されているすべてのパッケージについては、[セクション 11](#) を参照してください。
- パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

製品情報

部品番号	LDO 5V 出力	ゼロ電圧検出機能	ゼロ電流検出機能
LMG3670R010	—	—	—
LMG3671R010 (1)	対応	—	—
LMG3676R010 (1)	—	対応	—
LMG3677R010 (1)	—	—	対応

- 製品プレビュー



目次

1 特長.....	1	7.2 機能ブロック図.....	13
2 アプリケーション.....	1	7.3 機能説明.....	16
3 説明.....	1	7.4 デバイスの機能モード.....	24
4 ピン構成および機能.....	3	8 アプリケーションと実装.....	25
5 仕様.....	5	8.1 使用上の注意.....	25
5.1 絶対最大定格.....	5	8.2 代表的なアプリケーション.....	26
5.2 ESD 定格.....	5	8.3 電源に関する推奨事項.....	29
5.3 推奨動作条件.....	5	9 デバイスおよびドキュメントのサポート.....	31
5.4 熱に関する情報.....	6	9.1 ドキュメントの更新通知を受け取る方法.....	31
5.5 電気的特性.....	6	9.2 サポート・リソース.....	31
5.6 スイッチング特性.....	7	9.3 商標.....	31
6 パラメータ測定情報.....	9	9.4 静電気放電に関する注意事項.....	31
6.1 スイッチング パラメータ.....	9	9.5 用語集.....	31
7 詳細説明.....	12	10 改訂履歴.....	31
7.1 概要.....	12	11 メカニカル、パッケージ、および注文情報.....	32

4 ピン構成および機能

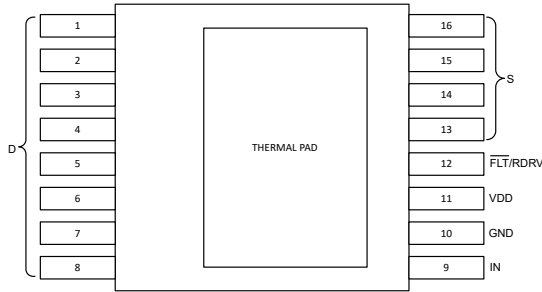


図 4-1. LMG3670R010、STOLT パッケージ (上面図)

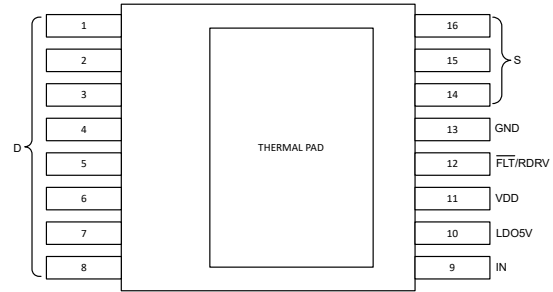


図 4-2. LMG3671R010、STOLT パッケージ (上面図)

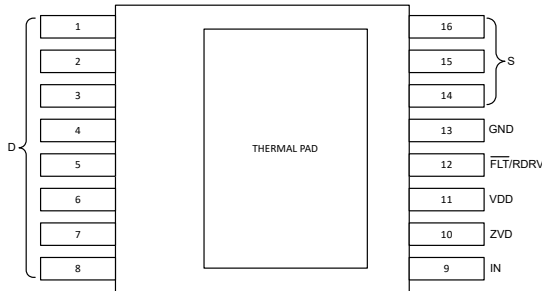


図 4-3. LMG3676R010、STOLT パッケージ (上面図)

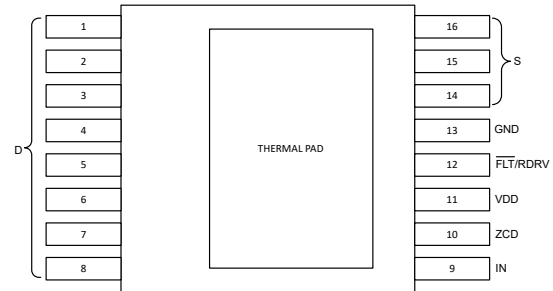


図 4-4. LMG3677R010、STOLT パッケージ (上面図)

表 4-1. ピンの機能

名称	ピン				タイプ (1)	説明
	LMG3670 R010	LMG3671 R010	LMG3676 R010	LMG3677 R010		
D	1 ~ 8	1 ~ 8	1 ~ 8	1 ~ 8	P	GaN FET のドレイン。
FLT/RDRV	12	12	12	12	O、I	故障監視およびターンオンドライブ強度選択ピン。ターンオン時のドライブ強度を設定するために、このピンから GND へ抵抗を接続します。スルーレートは電源投入時に 1 回設定され、このピンは故障監視に使用されます。
GND	10	13	13	13	G	信号グラウンド。内部で S とサーマルパッドに接続。
IN	9	9	9	9	I	FET のオン/オフ用に使用される CMOS 互換非反転入力
LDO5V	—	10	—	—	P	外部デジタルアイソレーター用の 5V LDO 出力。
S	13 ~ 16	14 ~ 16	14 ~ 16	14 ~ 16	P	GaN FET ソース
サーマルパッド	—	—	—	—	—	サーマルパッド。D に内部接続
VDD	11	11	11	11	P	デバイス入力電源
ZCD	—	—	—	10	O、I	ゼロ電流検出およびターンオフ駆動強度選択ピン。ターンオフ時のドライブ強度を設定するために、このピンから GND へ抵抗を接続します。スルーレートは電源投入時に一度だけ設定され、その後このピンはプッシュプルデジタル出力として使用されます。ドレインソース電流が負のときに ZCD ピンを high にし、ゼロを交差する点を検出すると low へ遷移します。

表 4-1. ピンの機能 (続き)

名称	ピン				タイプ (1)	説明
	LMG3670 R010	LMG3671 R010	LMG3676 R010	LMG3677 R010		
ZVD	—	—	10	—	O、I	ゼロ電圧検出およびターンオフ駆動強度選択ピン。ターンオフ時のドライブ強度を設定するために、このピンから GND へ抵抗を接続します。スルーレートは電源投入時に一度だけ設定され、その後このピンはプッシュプルデジタル出力として使用されます。デバイスが現在のスイッチング サイクルでゼロ電圧スイッチングを達成したかどうかを示すゼロ電圧検出信号を出力します。

(1) I = 入力、O = 出力、I/O = 入力または出力、G = グランド、P = 電源。

5 仕様

5.1 絶対最大定格

特に記述のない限り電圧は GND/S を基準にしています⁽¹⁾

		最小値	最大値	単位
V _{DS}	ドレインソース間電圧、FET オフ		650	V
V _{DS(surge)}	ドレイン ソース間電圧、サージ条件、FET オフ		720	V
V _{DS(tr)(surge)}	ドレイン ソース間の過渡リングングのピーク電圧、サージ条件、FET オフ		800	V
ピン電圧	VDD	-0.5	26	V
	IN	-5 ⁽²⁾	28	V
	FLT/RDRV、ZVD、ZCD	-0.5	5.5	V
	LDO5V		5.5	V
I _{D(cnts)}	ドレイン (D から S) 連続電流、FET オン。T _j = 25°C ⁽³⁾	-118	118	A
I _{D(cnts)}	ドレイン (D から S) 連続電流、FET オン。T _j = 150°C ⁽³⁾	-91	91	A
I _{D(pulse)}	パルスドレイン電流、FET オン、t _p < 10µs。T _j = 25°C ⁽³⁾		168	A
I _{S(cnts)}	ソース (S から D) 連続電流、FET オフ。T _j = 25°C		118	A
I _{S(cnts)}	ソース (S から D) 連続電流、FET オフ。T _j = 150°C		91	A
T _J	動作時接合部温度 ⁽⁴⁾	-40	175	°C
T _{stg}	保存温度	-65	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) IN ピン電圧は定常状態で最小 -0.5V に制限され、過渡的には 1µs 未満の期間で -5V まで許容されます。
- (3) 絶対最大定格は、デバイスの内部過電流保護機能によって制限されます。ただし、FET ドレイン固有の正のパルス電流定格 (t_p < 10µs) は接合部温度によって変動します。150°C では標準値 129A です。FET が自動的にシャットオフされないように、正のパルス電流は過電流スレッショルドを下回る必要があります。
- (4) 接合部温度のテスト条件については、「電気的およびスイッチング特性」表を参照してください。

5.2 ESD 定格

		値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠 ⁽¹⁾	±2000
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 ⁽²⁾	±500

- (1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
- (2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.3 推奨動作条件

特に記述のない限り電圧は GND/S を基準にしています

		最小値	公称値	最大値	単位
	電源電圧	VDD	9	24	V
	入力電圧	IN	0	26	V
I _{D(cnts)}	ドレイン (D から S) 連続電流、FET オン。T _j = 25°C			97	A
I _{D(cnts)}	ドレイン (D から S) 連続電流、FET オン。T _j = 150°C			74	A
	正のソース電流	LDO5V		25	mA

特に記述のない限り電圧は GND/S を基準にしています

		最小値	公称値	最大値	単位
RDRV _{on}	FLT/RDRV と GND の間の外部ターンオン スルーレート制御抵抗からの抵抗	29.4		オープン	kΩ
RDRV _{off}	外付けターンオフ スルーレート制御抵抗の抵抗値 (では ZVD と GND 間、では ZCD と GND 間)	32.4		オープン	kΩ

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		KLH(STOLT)		単位
		16 ピン		
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	0.1		°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

5.5 電気的特性

特に記載のない限り、電圧、抵抗、容量、インダクタンスは GND/S 基準で、 $-40^{\circ}\text{C} \leq T_J \leq 150^{\circ}\text{C}$ 、 $V_{DD} = 12\text{V}$ 、FLT/RDRV の抵抗 RDRV_{on} と RDRV_{off} はオープンです

パラメータ		テスト条件	最小値	標準値	最大値	単位
GaN パワー FET						
R _{DS(on)}	ドレインソース間オン抵抗	T _J = 25°C, I _L = 25A		10.2	11.6	mΩ
R _{DS(on)}	ドレインソース間オン抵抗	T _J = 150°C, I _L = 25A		20.4	23.3	mΩ
V _{SD}	ソースドレイン間第 3 象限電圧	T _J = 25°C, I _{SD} = 0.1A		1.4		V
V _{SD}	ソースドレイン間第 3 象限電圧	T _J = 150°C, I _{SD} = 0.1A		2.2		V
V _{SD}	ソースドレイン間第 3 象限電圧	T _J = 25°C, I _{SD} = 35A		4.4		V
V _{SD}	ソースドレイン間第 3 象限電圧	T _J = 150°C, I _{SD} = 35A		6.2		V
I _{DSS}	ドレイン リーク電流	T _J = 25°C, V _{DS} = 650V		未定		μA
I _{DSS}	ドレイン リーク電流	T _J = 150°C, V _{DS} = 650V		未定		μA
Q _{OSS}	出力電荷量	V _{DS} = 400V		348		nC
C _{OSS}	出力容量	V _{DS} = 400V		534		pF
E _{OSS}	出力キャパシタンスの蓄積エネルギー	V _{DS} = 400V		53		μJ
C _{OSS(tr)}	時間に関連した実効出力キャパシタンス	V _{DS} = 400V		874		pF
C _{OSS(er)}	エネルギーに関連した実効出力キャパシタンス	V _{DS} = 400V		627		pF
Q _{RR}	逆方向回復電荷			0		nC
過電流および短絡保護						
I _{T(OC)}	過電流故障 - スレッシュホールド電流	T _J = -40°C	108	120	132	A
		T _J = 25°C	97	107	118	A
		T _J = 150°C	74	83	91	A
V _{T(Idsat)}	飽和電流検出 - スレッシュホールド電圧		8.5	9	9.6	V
過熱保護						
T _{T+}	温度故障 - 正方向のスレッシュホールド温度			190		°C
T _{T(hyst)}	温度故障 - スレッシュホールド温度ヒステリシス			20		°C
IN						
V _{IN, IT+}	正方向入力スレッシュホールド電圧		1.6	2	2.45	V
V _{IN, IT-}	負方向入力スレッシュホールド電圧		0.6	0.9	1.3	V
V _{IN, IT(hyst)}	入力スレッシュホールド電圧のヒステリシス			1		V
R _{PDN}	プルダウン入力抵抗		115	150	185	kΩ

特に記載のない限り、電圧、抵抗、容量、インダクタンスは GND/S 基準で、 $-40^{\circ}\text{C} \leq T_J \leq 150^{\circ}\text{C}$ 、 $V_{DD} = 12\text{V}$ 、 $\overline{\text{FLT}}/\text{RDRV}$ の抵抗 RDRV_{on} と RDRV_{off} はオープンです

パラメータ		テスト条件	最小値	標準値	最大値	単位
FLT/RDRV						
V_{OL}	Low レベル出力電圧	出力シンク 8mA		0.2	0.4	V
V_{OH}	High レベル出力電圧	出力ソース 8mA	4.5	4.8		V
VDD						
$I_{\text{VDD(ON)}}$	パワ FET がオンの場合の静止電流	IN=1		1.2	16	mA
$I_{\text{VDD(OFF)}}$	パ FET がオフの場合の静止電流	IN=0		0.8	1.1	mA
$I_{\text{CC_op}}$	140kHz での動作電流	$f_{\text{sw}} = 140\text{kHz}$ 、 $V_{\text{bus}} = 400\text{V}$ 、ソフトスイッチング、デューティサイクル 50%。		8.2	11.6	mA
$V_{\text{VDD, T+ (UVLO)}}$	UVLO - 正方向のスレッシュホールド電圧		8.1	8.5	8.9	V
$V_{\text{VDD, T- (UVLO)}}$	UVLO - 負方向のスレッシュホールド電圧		7.6	8	8.4	V
$V_{\text{VDD, T(hyst)}}$	UVLO - スレッシュホールド電圧ヒステリシス		0.4	0.5	0.6	V

5.6 スイッチング特性

特に記載のない限り、電圧、抵抗、容量、インダクタンスは GND/S 基準で、 $-40^{\circ}\text{C} \leq T_J \leq 150^{\circ}\text{C}$ 、 $V_{\text{DD}} = 12\text{V}$ 、 $\overline{\text{FLT}}/\text{RDRV}$ の抵抗 RDRV_{on} と RDRV_{off} はオープンです

パラメータ		テスト条件	最小値	標準値	最大値	単位
スイッチング時間						
$t_{\text{d(on)}}$	ターンオン遅延時間	$V_{\text{IN}} > V_{\text{IN,IT+}}$ から $V_{\text{DS}} < 320\text{V}$ まで、 $V_{\text{BUS}} = 400\text{V}$ 、 I_{LHB} 電流 = 0A、80V/ns		45		ns
$t_{\text{ir(on)}}$	ターンオン電流の立ち上がり時間 + 遅延時間	$V_{\text{IN}} > V_{\text{IN,IT+}}$ から $V_{\text{DS}} < 320\text{V}$ まで、 $V_{\text{BUS}} = 400\text{V}$ 、 I_{LHB} 電流 = 24A、80V/ns		45		ns
$t_{\text{vf(on)}}$	ターンオン電圧の立ち下がり時間	$V_{\text{DS}} < 320\text{V}$ から $V_{\text{DS}} < 80\text{V}$ まで、 $V_{\text{BUS}} = 400\text{V}$ 、 I_{LHB} 電流 = 24A、80V/ns	1	3.5		ns
$t_{\text{vf_peak(on)}}$	ターンオンのスルーレート	$V_{\text{DS}} = 200\text{V}$ のときの dv/dt 、 $V_{\text{BUS}} = 400\text{V}$ 、 I_{LHB} 電流 = 24A、80V/ns	60	80		V/ns
	パルス幅歪み	80V/ns のスルーレート設定時、 I_{DS} は 150C で OCP の 80% (49A)			20	ns
	出力を L-H-L に変化させる最小入力パルス	SW が 200V を交差するように、スルーレートを 80V/ns に設定			50	ns
$t_{\text{d(off)}}$	最高速度でのターンオフ遅延時間	$V_{\text{IN}} < V_{\text{IN,IT-}}$ から $V_{\text{DS}} \geq 80\text{V}$ 。 $V_{\text{BUS}} = 400\text{V}$ 、 $I_{\text{L}} = 150\text{C}$ で OCP の 80% (66A)、最高速またはフルターンオフ速度。	18	30		ns
$t_{\text{vr(off)}}$	最高速度時のターンオフ電圧立ち上がり時間	$V_{\text{DS}} \geq 80\text{V}$ から $V_{\text{DS}} \geq 320\text{V}$ 。 $V_{\text{BUS}} = 400\text{V}$ 、 $I_{\text{L}} = 150\text{C}$ で OCP の 80% (66A)、最高速またはフルターンオフ速度。	3	5.5		ns
起動時間						
$T_{\text{DRV_START}}$	ドライバの起動遅延	ドライバ電源が UVLO を抜けてから、IN が high であればスイッチがオンになるまでの時間。	80	100	150	μs
故障時間						

特に記載のない限り、電圧、抵抗、容量、インダクタンスは GND/S 基準で、 $-40^{\circ}\text{C} \leq T_J \leq 150^{\circ}\text{C}$ 、 $V_{DD} = 12\text{V}$ 、 $\overline{\text{FLT}}/\text{RDRV}$ の抵抗 RDRV_{on} と RDRV_{off} はオープンです

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{\text{off(OC)}}$	過電流フォルト FET のターンオフ時間、過電流の前の FET オン	$I_D \geq I_{T(\text{OC})}$ から $V_{\text{ds}} > 10\text{V}$ 、 $di/dt = 100\text{A}/\mu\text{s}$ 、最高速のターンオフ速度		370	567	ns
$t_{\text{off(OC_ON)}}$	過電流の合計オン時間、過電流状態でのターンオン。	$V_{\text{ds}} \leq 10\text{V}$ から $V_{\text{ds}} \geq 10\text{V}$ 、OC レベルの 110% でターンオン、 $80\text{V}/\text{ns}$ のターンオン スルーレートで最高速のターンオフ速度。		420	634	ns
$t_{\text{off_cur(SC_ON)}}$	ドレイン電流で測定された SC オン時間	LS の V_{ds} が 10V を超え、ハーフブリッジ構成で $80\text{V}/\text{ns}$ のターンオン スルーレート時に、LS の I_{ds} が 50A 超から $I_{\text{ds}} 50\text{A}$ 未満になるまでを測定。	100	210	500	ns
$t_{\text{off_cur(SC)}}$	ソース電流測定による SC 応答時間	ハーフブリッジ構成で $80\text{V}/\text{ns}$ のターンオン スルーレート時、LS の V_{ds} が 9V 超から LS の I_{ds} が 50A 未満になるまでの時間。		155	300	ns
	ラッチ故障リセット時間	ラッチされた故障を解除するために、ゲートドライバ入力をローに保持しておく必要がある時間	300	380	450	μs
ゼロ電圧検出およびゼロ電流検出時間						
	ZCD 遅延	電流がゼロを下から上へ交差してから ZCD 出力パルスが出るまで: $di/dt = 0.03\text{A}/\text{ns}$	16	18	68	ns
$t_{\text{DL_ZVD}}$	ZVD 遅延	I_n 立ち上がりから ZVD 出力パルスまで。 $80\text{V}/\text{ns}$ のターンオン速度。	13	20	50	ns
$t_{\text{WD_ZVD}}$	ZVD パルス幅	$V_{\text{bus}} = 10\text{V}$ 、 $I_L = 5\text{A}$ 、ZVD パルス幅を測定	90	120	170	ns
	ZVD センシング時間	fet ターンオンまでのセンシング時間 ($80\text{V}/\text{ns}$)。 $I_L = 5\text{A}$		11	25	ns

6 パラメータ測定情報

6.1 スイッチング パラメータ

スイッチング パラメータの決定に使用する回路に、ほとんどのスイッチング パラメータの測定に使用する回路を示します。この回路の上部デバイスは、第 3 象限モードでのみインダクタ電流を再循環するために使用されます。下部デバイスはアクティブ・デバイスで、目的のテスト電流までインダクタ電流を増加させます。下側デバイスは、特定のインダクタ電流でスイッチング波形を生成するためにオフとオンを切り替えます。ドレイン電流 (ソース側) とドレイン ソース間電圧の両方が測定されます。伝搬遅延とスルーレートを決定するための測定値に、具体的なタイミング測定値を示します。TI は、ハーフブリッジをダブルパルス テスタとして使用することを推奨しています。過剰な第 3 象限動作により、上部デバイスが過熱する可能性があります。

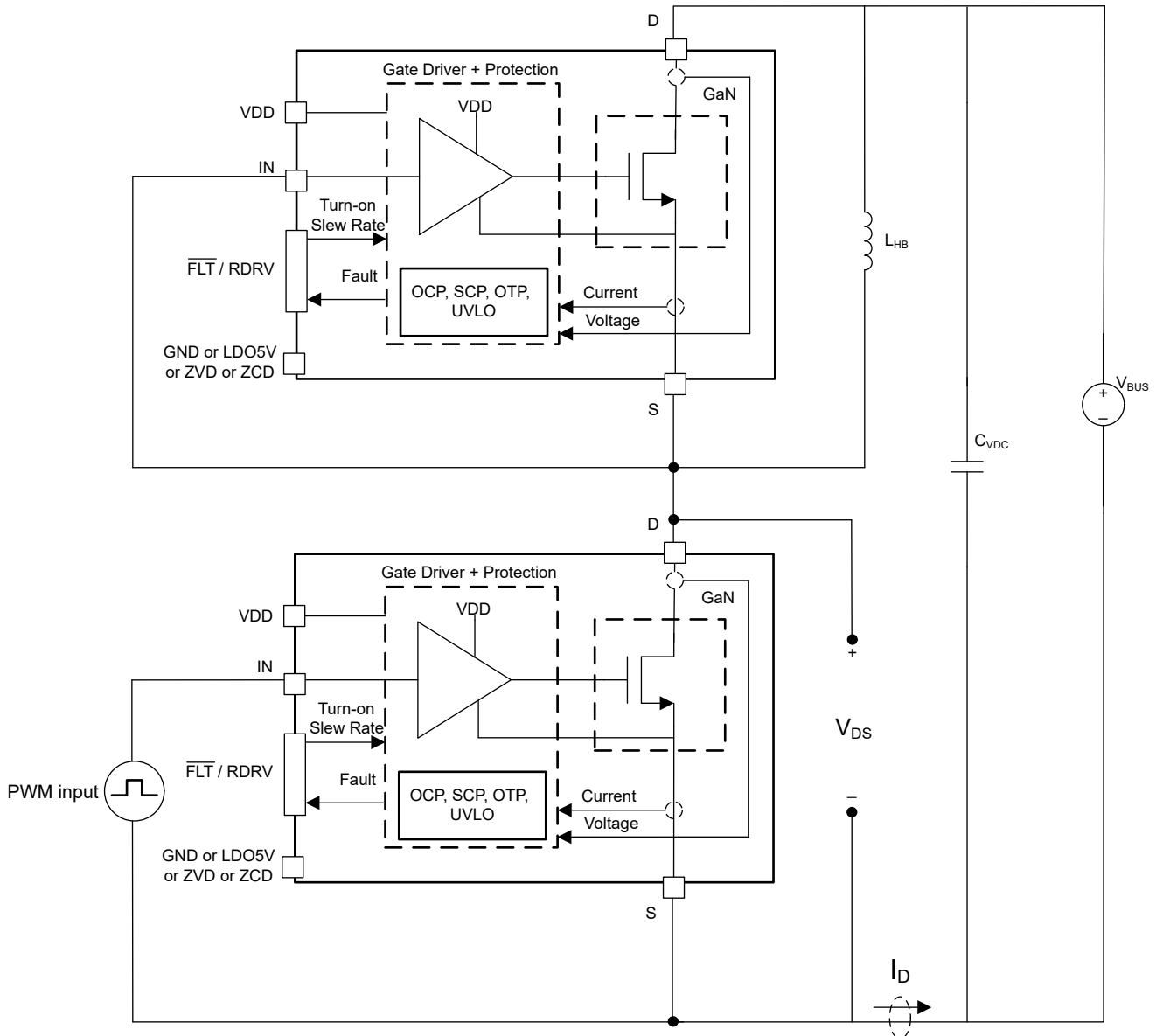


図 6-1. スイッチング・パラメータの決定に使用する回路

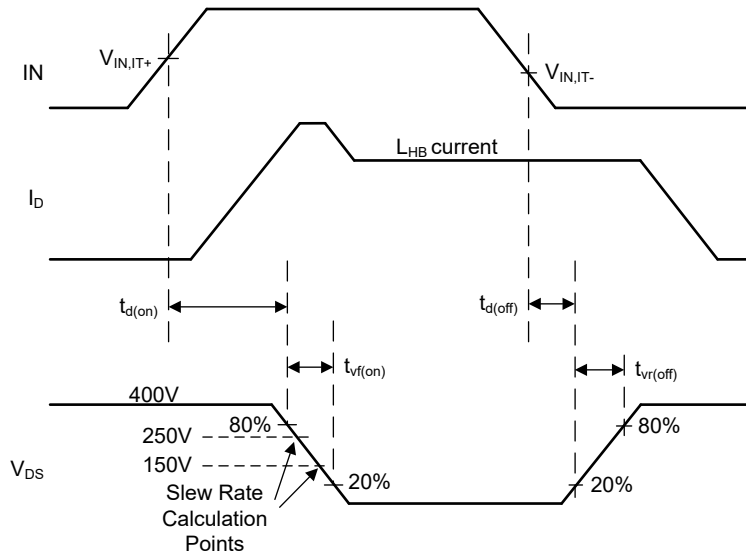


図 6-2. 伝搬遅延とスルーレートを決定するための測定値

6.1.1 ターンオン時間

ターンオン遷移には、ターンオン遅延時間とターンオン電圧降下時間という二つのタイミング要素があります。ターンオン遅延時間は、IN が High になってから、ドレインソース間電圧がバス電圧より 20% 低くなるまでの時間です。ターンオン電圧降下時間は、ドレインソース間電圧がバス電圧の 20% 低下に達してから、バス電圧の 80% 低下に達するまでの時間です。ターンオンのタイミング要素は、FLT/RDRV ピンに接続されたターンオン駆動力用抵抗 RDRV_{on} によって決まります。

6.1.2 ターンオフ時間

ターンオフ遷移には、ターンオフ遅延時間と、ターンオフの立ち下がり時間の 2 つのタイミング要素があります。ターンオフ遅延時間は、IN が LOW になってから、ドレインソース間電圧がバス電圧の 20% まで上昇するまでの時間です。ターンオフ時の電圧立ち上がり時間は、ドレインソース電圧がバス電圧の 20% から 80% へ上昇するまでの時間を指します。ターンオフタイミング要素は L_{HB} 負荷電流に依存しますが、LMG3676R010 および LMG3677R010 にはターンオフの駆動強度を制限する機能もあります。ドレインとソース間の電流が十分高く、ターンオフ駆動強度が制限される場合、タイミング要素は ZVD ピンまたは ZCD ピンに接続されたプログラミング抵抗 RDRV_{off} に依存します。

6.1.3 ドレインとソースの間のターンオンおよびターンオフスルーレート

ドレインソース間のターンオンとターンオフのスルーレートは、バス電圧の中間点付近で V_{DS} で測定します。単位はボルト / ナノ秒単位です。抵抗 RDRV_{on} は FLT/RDRV ピンに接続し、ターンオンスルーレートをプログラムします。LMG3676R010 の ZVD ピンまたは LMG3677R010 の ZCD ピンに接続する抵抗 RDRV_{off} により、ターンオフのスルーレートが制限されます。

6.1.4 ゼロ電圧検出時間 (LMG3676R010 のみ)

図 6-3 は、ゼロ電圧検出 (ZVD) ブロックに関連するスイッチングタイミングを定義しており、デバイスのドレインとソース間の電圧、IN ピン信号、および ZVD 出力信号を示しています。デバイスがゼロ電圧スイッチング (ZVS) に達すると、ZVD ピンは幅 T_{WD_ZVD} のパルス信号を出力し、IN ピンの立ち上がりエッジから ZVD パルスの立ち上がりエッジまでの遅延時間は T_{DL_ZVD} として定義されます。本デバイスがゼロ電圧スイッチングを検出できるようにするには、一定の第 3 象限導通時間が必要であり、T_{3rd_ZVD} はこのタイミングを示します。ZVD タイミングパラメータの詳細については、ゼロ電圧検出 (ZVD) (LMG3676R010 のみ) セクションを参照してください。

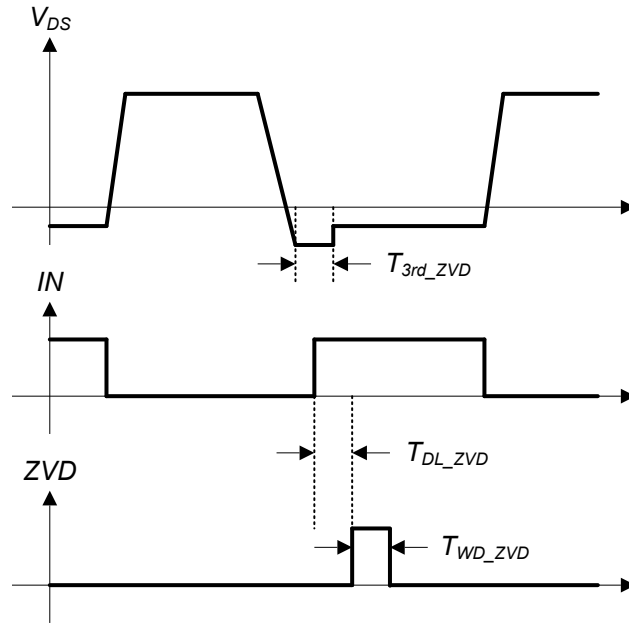


図 6-3. ZVD タイミング仕様

7 詳細説明

7.1 概要

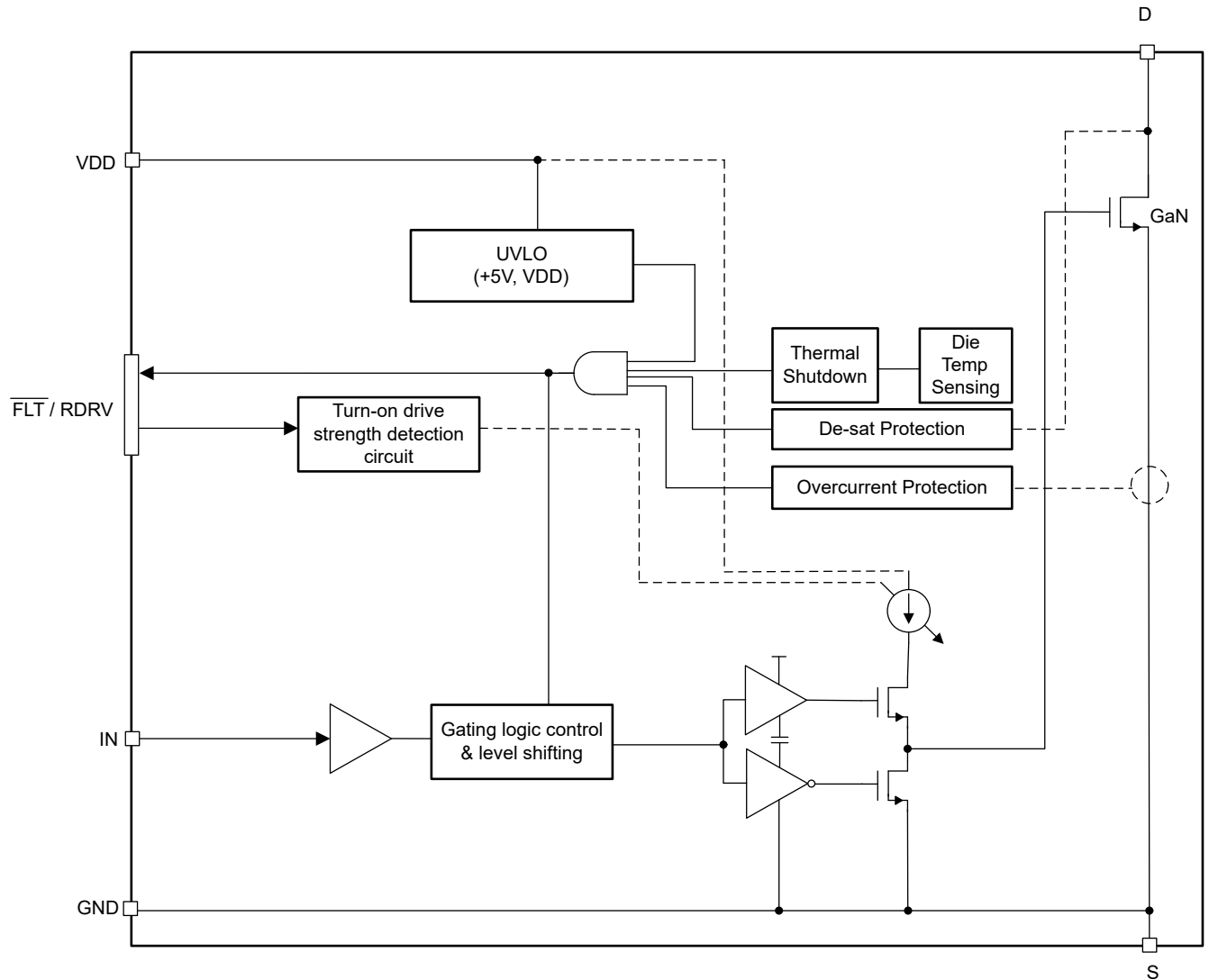
LMG367xR010 は、ゲートドライバが内蔵された高性能パワー GaN デバイスです。GaN デバイスはゼロ逆回復特性と超低出力容量を備えており、ブリッジ ベースのトポロジにおいて高効率を実現します。

内蔵ドライバにより、の高いドレイン スルーレートの場合にこのデバイスを確実にオフに維持できます。内蔵ドライバは、過電流、短絡、過温度、および VDD 低電圧から GaN デバイスを保護します。LMG3676R010 は、ゼロ電圧検出 (ZVD) 機能を備えており、ゼロ電圧スイッチング (ZVS) が発生したとき ZVD ピンからパルスを出力します。

Si MOSFET とは異なり、GaN デバイスにはソースからドレインへの p-n 接合がないため、逆方向回復電荷がありません。ただし、GaN デバイスは依然として、p-n 接合のボディ・ダイオードと同様にソースからドレインへ導通しますが、電圧降下が大きく、導通損失が大きくなります。したがって、LMG367xR010 GaN FET がオフの間、ソースドレイン間導通時間を最小限に抑える必要があります。

7.2 機能ブロック図

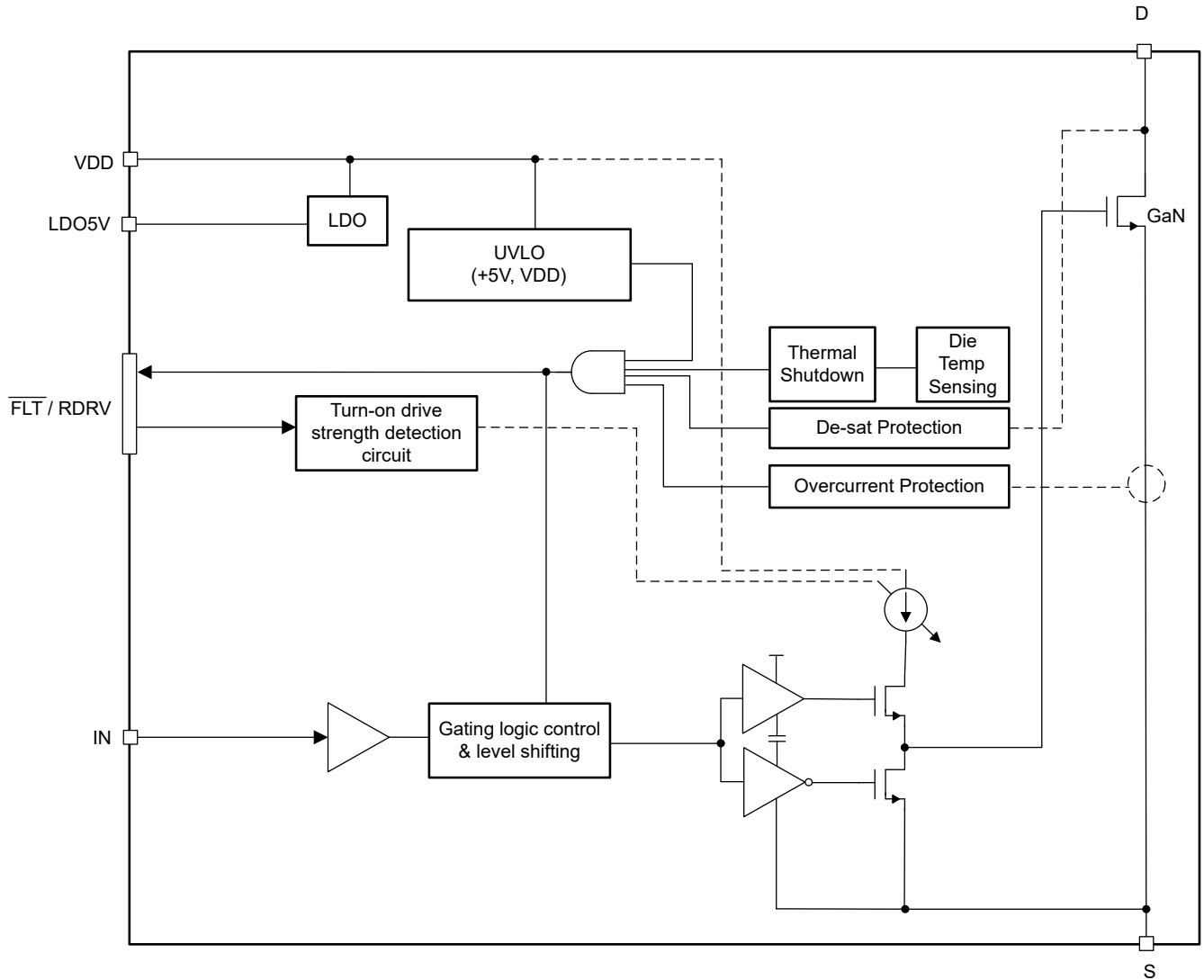
7.2.1 LMG3670R010 機能ブロック図



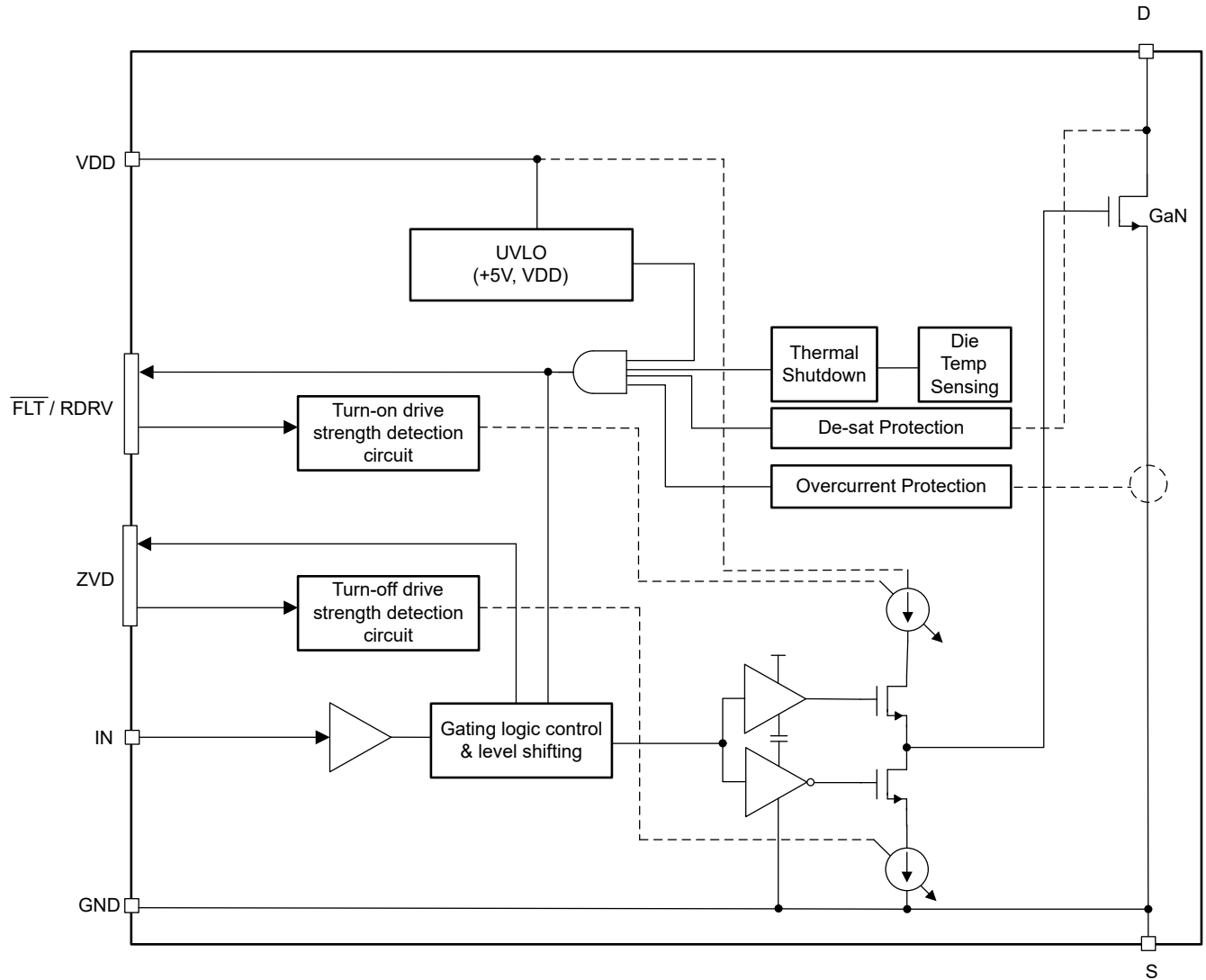
PRODUCT PREVIEW

7.2.2 LMG3671R010 機能ブロック図

PRODUCT PREVIEW



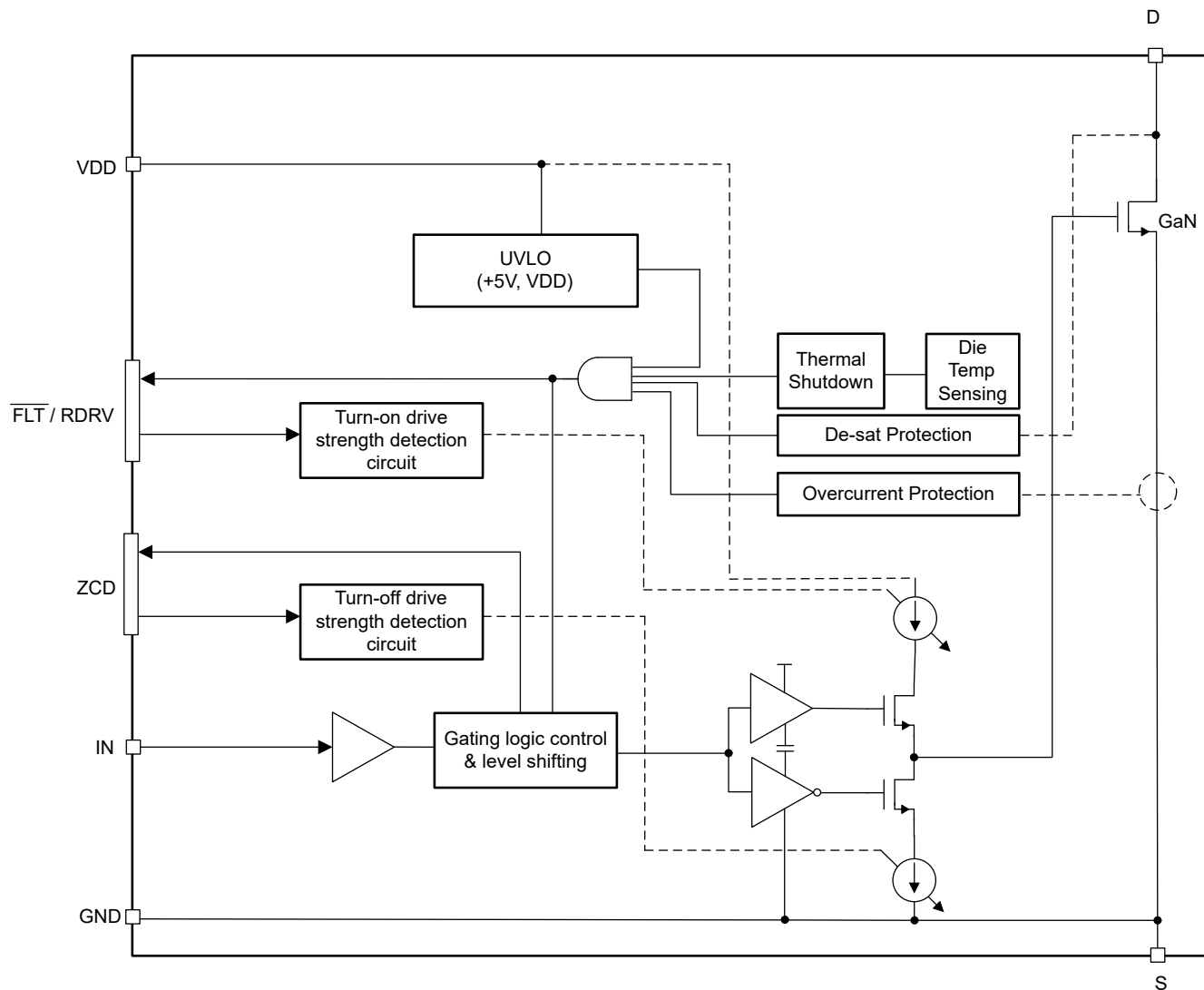
7.2.3 LMG3676R010 機能ブロック図



PRODUCT PREVIEW

7.2.4 LMG3677R010 機能ブロック図

PRODUCT PREVIEW



7.3 機能説明

7.3.1 ドライブ強度調整

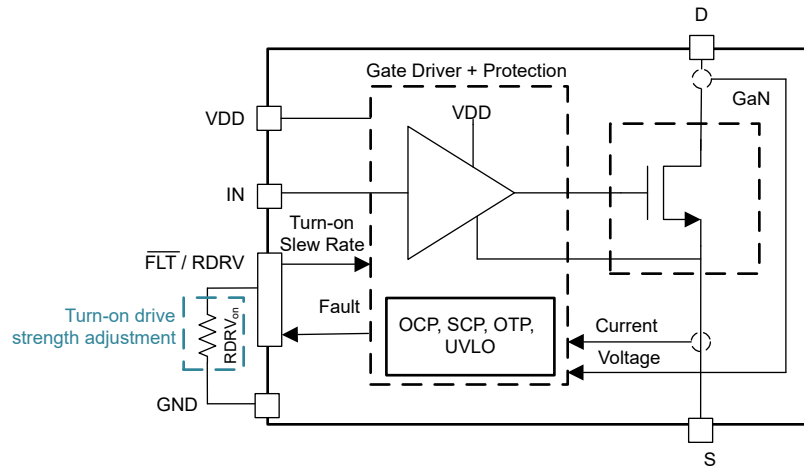


図 7-1. LMG3670R010 ドライブ強度調整回路

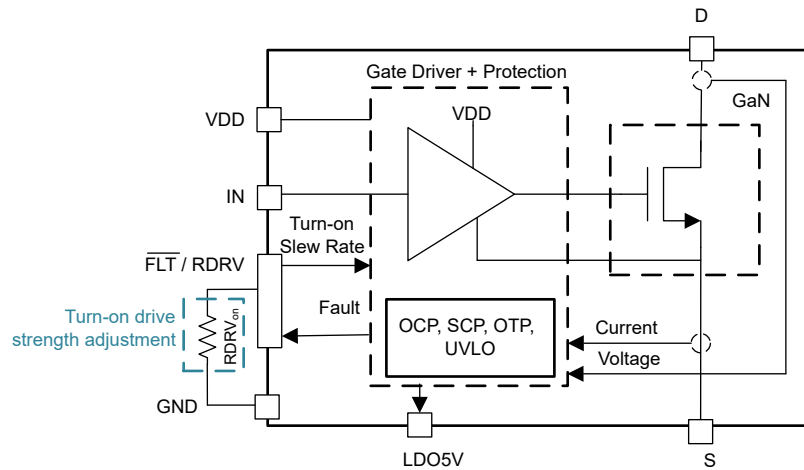


図 7-2. LMG3671R010 ドライブ強度調整回路

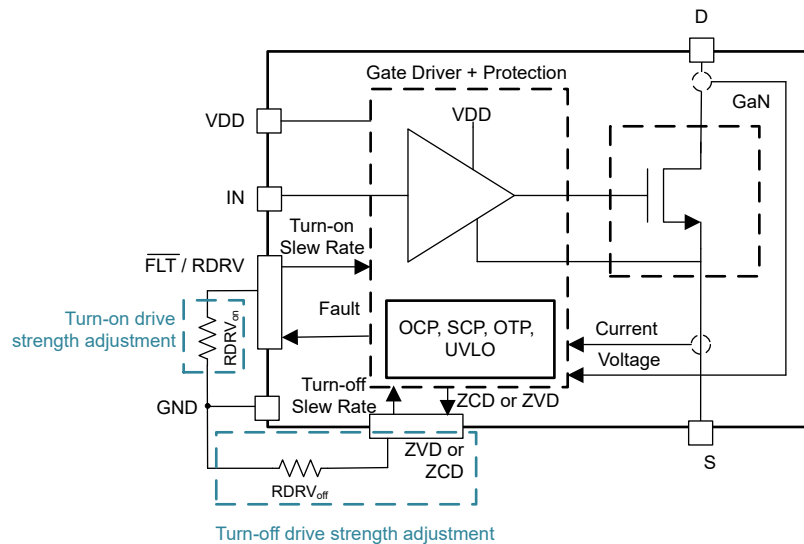


図 7-3. LMG3676R010 または LMG3677R010 ドライブ強度調整回路

LMG367xR010 は、ユーザーがデバイスのドライブ強度を調整して望ましいスルーレートを得られるようにし、スイッチング損失の最適化や EMI の低減を行う際の柔軟性を提供します。ターンオン スルーレートは、 $\overline{\text{FLT}}/\text{RDRV}$ ピンと GND ピン間の抵抗によって設定されます。ターンオンのスルーレート設定は電源オン時に一度決定され、**障害通知**に示すように、 $\overline{\text{FLT}}/\text{RDRV}$ ピンは故障監視用のプッシュプル 5V デジタル出力として使用されます。

ターンオン スルーレートの設定に、各ターンオン スルーレート設定に対して推奨される標準の抵抗プログラミング値を示します。

表 7-1. ターンオン スルーレートの設定

推奨標準プログラミング抵抗値 RDRV _{on} (kΩ)	標準ターンオン スルーレート (V/ns)
29.4	10
35.7	20
43.2	40
53.6	60
69.8	70
400 ⁽¹⁾	80

(1) プログラミング抵抗の開回路接続は許容されます。

ターンオフのスルーレート制御は LMG3676R010 と LMG3677R010 でのみ利用でき、ターンオフのスルーレートの最大値と標準的なターンオンのスルーレートは独立して制御できます。

LMG3676R010 の場合、ターンオフ スルーレート設定は電源投入時に一度だけ決まり、ZVD ピンと GND ピン間の抵抗で設定できます。その後、ZVD ピンはゼロ電圧検出用のプッシュプル 5V デジタル出力として使用されます **ゼロ電圧検出 (ZVD) (LMG3676R010 のみ)**

LMG3677R010 の場合、ターンオフ スルーレート設定は電源投入時に一度だけ決まり、ZCD ピンと GND ピン間の抵抗で設定できます。その後、ZCD ピンはゼロ電流検出用のプッシュプル 5V デジタル出力として使用されます。

ターンオフ スルーレートの設定に、各ターンオフ スルーレート設定に対して推奨される標準の抵抗プログラミング値を示します。

表 7-2. ターンオフ スルーレートの設定

推奨標準プログラミング抵抗 RDRV _{off} (kΩ)	最大ターンオフ スルーレート (V/ns)
32.4	10
48.7	20
80.6	40
287 ⁽¹⁾	フル スピード ⁽²⁾

(1) プログラミング抵抗の開回路接続は許容されます

(2) 出力容量を充電するドレインソース電流の大きさに完全に依存します

たとえば、RDRV_{on} = 53.6kΩ、RDRV_{off} = 48.7kΩ に設定すると、ターンオン スルーレートは 60V/ns、ターンオフのスルーレートは最大 20V/ns に制限されます。

7.3.2 GaN パワー FET のスイッチング機能

シリコン FET が長きにわたって支配的なパワースイッチ技術であったため、多くの設計者は、ドレインソース間電圧の銘板を、異なる技術のデバイスを比較する際の等価点として使用できないことを知りません。シリコン FET の銘板のドレインソース間電圧は、アバランシェ ブレークダウン電圧によって設定されます。GaN FET の銘板のドレインソース間電圧は、データシートの仕様への長期的な準拠によって設定されます。

シリコン FET の銘板のドレインソース間電圧を超えると、即座に永続的な損傷を引き起こすおそれがあります。一方、GaN FET のブレークダウン電圧は銘板のドレインソース間の見出し電圧よりもはるかに高くなっています。たとえば、

LMG367xR010 GaN パワー FET のブレイクダウンドレイン ソース間電圧は 800V を上回るため、LMG367xR010 は同じ銘柄の定格を持つシリコン FET を超える条件下で動作できます。

図 7-4 を使用して、LMG367xR010 GaN パワー FET のスイッチング機能を説明します。図に、スイッチング アプリケーション内のシングル スイッチ サイクルについて、LMG367xR010 GaN パワー FET のドレイン ソース間電圧と時間との関係を示します。スイッチング周波数またはデューティ・サイクルに関する請求は行われません。

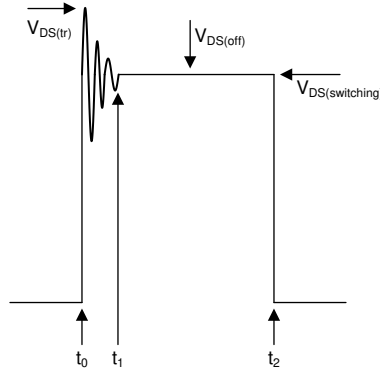


図 7-4. GaN パワー FET のスイッチング機能

波形は t_0 より先に開始し、FET がオン状態になります。 t_0 の時点で GaN FET はターンオフし、寄生素子によってドレインソース間電圧に高周波でリングングが生じます。高周波リングングは、 t_1 減衰します。 t_1 と t_2 の間の FET のドレインソース間電圧は、スイッチングアプリケーションの特性応答によって設定されます。特性はフラットライン (プラトー) として表示されますが、他の応答も可能です。 t_2 の時点で、GaN FET がオンになります。通常動作では、過渡リング電圧は 650V に制限され、プラトー電圧は 520V に制限されます。まれなサージ現象の場合、過渡リング電圧は 800V に制限され、プラトー電圧は 720V に制限されます。

7.3.3 VDD 電源

VDD は内部回路の入力電源です。VDD ピンは 9V から 24V までの広い電圧範囲に対応しています。

7.3.4 過電流および短絡保護

ドライバは、過電流と短絡という 2 種類の電流故障を検出します。

過電流保護 (OCP) 回路は、ドレイン電流を監視し、電流信号を内部で設定された制限値 $I_{T(OC)}$ と比較します。過電流を検出すると、LMG367xR010 は、**サイクル単位の過電流保護動作** に示すように、サイクル単位の保護を実行します。このモードでは、ドレイン電流が $I_{T(OC)}$ に遅延 $t_{off(OC)}$ を加えた値を超えると、GaN デバイスがシャットオフされますが、IN ピン信号が LOW になると過電流信号はクリアされます。

次のサイクルで、GaN デバイスは通常どおりオンにすることができます。サイクル単位の機能は、定常状態の動作電流が OCP レベルを下回っているが、過渡応答が依然として電流制限に達する可能性があり、回路の動作を一時停止できない場合に使用します。このサイクルごとの機能は、過電流によって生じる導通損失から GaN デバイスが過熱するのを防ぎます。さらに、OCP レベルは接合温度に応じて動的に調整され、内部で設定された限界値 $I_{T(OC)}$ は低温では高く、温度が上昇するにつれて低下します。これは仕様で定義されており、式 1 に基づきます。動的調整により、より低い温度で大電流を流すことができます。

$$\frac{I_{T(OC)150^{\circ}\text{C}}}{I_{T(OC)25^{\circ}\text{C}}} = 77\% \quad (1)$$

短絡保護は飽和 (de-sat) の検出に基づいています。この機能は、ドレイン ソース間電圧 V_{DS} を監視し、内部で設定された制限値 $V_T(I_{dsat})$ と電圧を比較します。飽和は GaN に損傷を与え、その条件で動作を継続した場合に故障を引き起こす可能性があります。飽和が検出されると、GaN デバイスはラッチオフされます。高電流でデバイスをオフすると、大きな電圧オーバーシュートが発生します。そのため、飽和状態からオフにするときは、オフ動作時のオーバーシュート電圧より

ングを低減するために、意図的に遅いドライバでデバイスをオフします。この高速応答回路により、急激な短絡状況が発生した場合でも GaN デバイスを保護できます。この保護では、GaN デバイスをシャットオフして、仕様で定義されている時間にわたって IN ピンを Low に保持するか、または VDD の電源をオフにすることによって、故障がリセットされるまで保持します。

安全面を考慮して、OCP はサイクルごとの動作を許可しますが、脱飽和はリセットされるまでデバイスをラッチオフします。どちらの障害も $\overline{\text{FLT}}/\text{RDRV}$ ピンで通知されます。

図 7-6 に、OC と脱飽和保護の動作を示します。最初の 2 サイクルでは、脱飽和が発動しないまま OC リミットがトリガされるため、サイクルごとの保護が働きます。3 番目のサイクルでは OC 制限がトリガされますが、 $t_{\text{off(OC)}}$ 内に V_{DS} が $V_{\text{T(Idsat)}}$ を上回ると、脱飽和保護がトリガされます。脱飽和保護がトリガされるため、ターンオフが遅くなり、ラッチ付き保護が発生します。

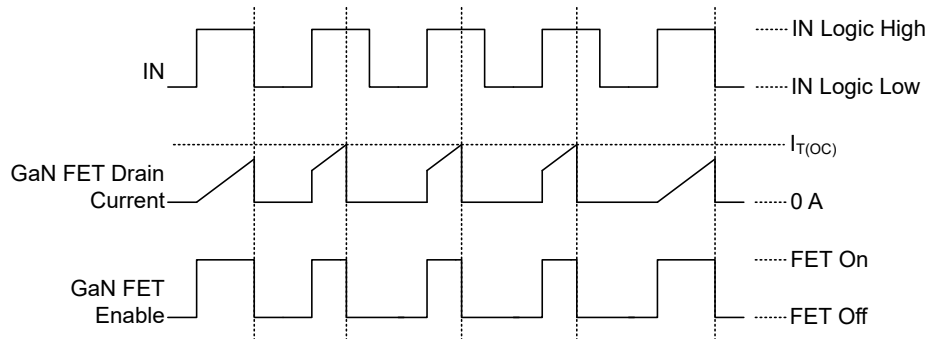


図 7-5. サイクル単位の過電流保護動作

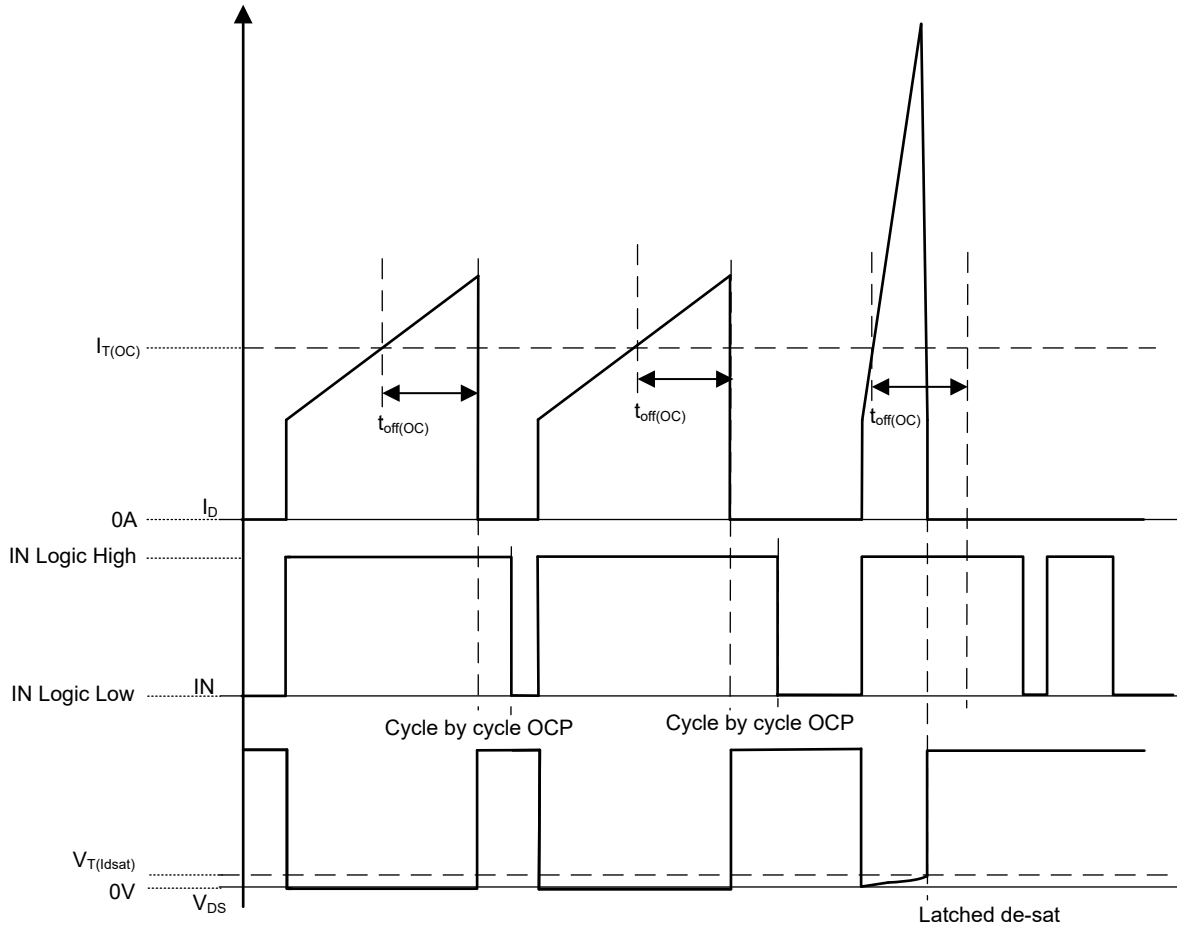


図 7-6. 過電流検出と短飽和検出との関係

7.3.5 過熱保護

過温度保護は GaN FET の温度を監視し、温度が過温度保護スレッシュホールドを超えた場合に GaN デバイスをオフ状態に保持します。過熱保護ヒステリシスにより、誤った熱サイクルが防止されます。過熱保護がアサートされると、 $\overline{FLT}/RDRV$ ピンで過熱故障が通知されます。デバイス温度が負方向のトリップポイントを下回ると、 $\overline{FLT}/RDRV$ はデアサートされ、デバイスは自動的に通常動作に戻ります。

7.3.6 UVLO 保護

LMG367xR010 は広い V_{DD} 電圧範囲に対応しています。しかし、 V_{DD} 電圧が V_{DD} UVLO スレッシュホールドを下回ると、GaN デバイスはスイッチングを停止し、オフ状態に保持されます。 V_{DD} UVLO 電圧 ヒステリシスは、UVLO 電圧トリップポイント付近でのオン/オフのチャタリングを防止します。UVLO を示すために、 $\overline{FLT}/RDRV$ ピンは low にプルダウンされます。

7.3.7 障害通知

すべての故障は $\overline{FLT}/RDRV$ ピンで通知され、入力ピンと出力ピンの両方として機能します。

ドライブ強度調整に示すように、 $\overline{FLT}/RDRV$ は、電源投入時に入力としてのみ構成され、ドライブ強度を調整できます。

$\overline{FLT}/RDRV$ はアクティブ Low のデジタル出力として使用され、その後の故障のステータスを示します。このピンはプッシュアップの 5V デジタル出力で、すべての故障がクリアされると high になります。つまり、このピンが high に強制されたとき、R1 を流れる静止電流が追加で発生することを意味します。

故障ピンに接続された外部デジタル受信器の入力スレッショルドのレベルによっては、電源投入時にこのピンへ強制される 1.2V のステップ関数が、High として解釈される場合と Low として解釈される場合があります。このため、TI は受信側には CMOS 互換入力で一般的なような高いスレッショルドを持つものを使用し、TTL 互換入力は使用しないことを推奨しています。故障ピンに接続された外部デジタル レシーバの最小入力スレッショルドが 1.2V 以下の場合、LMG367xR010 がスイッチングを開始する前に、電源オン時の 1.2V ステップ機能を high と解釈できます。

7.3.8 補助 LDO (LMG3671R010 のみ)

LMG367xR010 内部の 5V 電圧レギュレータは、ハイサイド駆動信号用のデジタル アイソレータなど、外部負荷に電源を供給するために使用されます。LMG367xR010 のデジタル出力は、この 5V レールを電源電圧として使用します。安定性のためにコンデンサは必須ではありませんが、外付けコンデンサを入れない場合、過渡応答は劣化します。アプリケーションで LDO5V ピンを外部回路への電源として使用する場合、過渡応答を改善するために、TI は 0.1 μ F 以上のコンデンサを使用することを推奨しています。さらに過渡応答を改善するには、より大容量のコンデンサを使用します。デカップリング コンデンサが低 ESR のセラミック タイプであることを確認します。0.47 μ F を超える容量は、5V レールの立ち上がり時間により、LMG367xR010 の起動時間を遅くします。

7.3.9 ゼロ電圧検出 (ZVD) (LMG3676R010 のみ)

ゼロ電圧スイッチング (ZVS) コンバータは、パワーコンバータの効率を改善するために広く使用されています。ただし、LLC や三角波電流モード (TCM) トーテムポール PFC などのソフトスイッチングトポロジでは、負荷条件、インダクタ、磁気パラメータ、制御手法によって ZVS が失われる可能性があり、システム効率に影響を及ぼします。ZVS を確実に実現するには、特定の設計マージンや追加回路が必要で、それによりコンバータの性能が低下し、部品が追加されます。

ソフトスイッチングコンバータのシステム設計を簡素化するため、LMG3676R010 部品には、ゼロ電圧検出 (ZVD) 回路が内蔵されており、電流スイッチングサイクル内で ZVS が達成されたかどうかを示すデジタル帰還信号を供給します。この回路図を、ゼロ電圧検出回路のブロック図の回路図に示します。IN ピン信号が high になると、ロジック回路はデバイスの V_{DS} が -1V を下回ったかどうかをチェックし、このスイッチング サイクルでデバイスがゼロ電圧スイッチングに成功したかどうかを判定します。ZVS が識別されると、ZVD タイミング仕様に示すように、 T_{DL_ZVD} の遅延時間後に T_{WD_ZVD} 幅のパルス出力が ZVD ピンから送信されます。本デバイスがゼロ電圧スイッチングを検出できるようにするには、一定の第 3 象限導通時間が必要であり、 T_{3rd_ZVD} はゲートドライバ強度の関数を参照)。

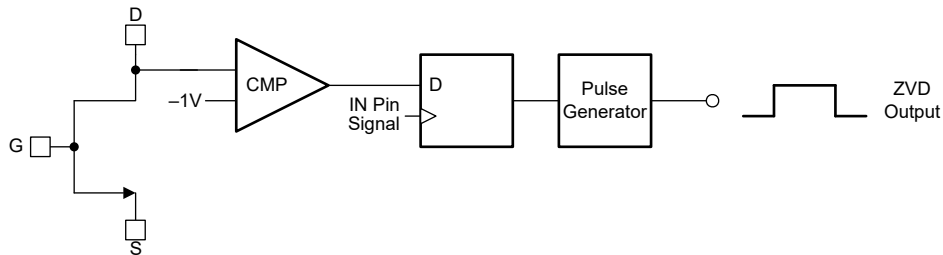


図 7-7. ゼロ電圧検出回路のブロック図

CCM 降圧コンバータの ZVD 機能に、連続導通モード降圧コンバータに対応する ZVD ピンの波形を示します。これらの波形は、ハード スwitching とソフト スwitching の両方において ZVD 機能がどのように動作するかを示しています。CCM 降圧コンバータ内の ZVD 機能の波形における I_L について、スイッチノードから外へ流れる負荷電流は正方向とみなされます。CCM 降圧動作では、ハイサイドのデバイスのハードスウィッチング デバイスが動作し、ローサイドのデバイスは適切なデッドタイムの設定によりゼロ電圧スイッチングを実現できます。ローサイド デバイスの IN ピンが上昇する最初のスイッチング サイクルでは、スイッチ ノード電圧 V_{DS} は 0 を下回り、 T_1 の期間にわたって第 3 象限導通を維持します。この第 3 象限導通時間 T_1 は、セクション 5.5 に規定されている検出時間 T_{3rd_ZVD} より大きいため、ゼロ電圧遷移が識別され、ZVD ピンはパルス信号を出力します。ZVD パルスのパルス幅は、電気的特性表で T_{WD} として定義されます。2 番目のスイッチングサイクルでは、本デバイスがより早くオンになり、第 3 象限導通時間 T_2 は T_{3rd_ZVD} より小さくなります。 T_2 は T_{3rd_ZVD} 未満であるため、デバイスが ZVS を達成していても、ZVD 信号は Low のままです。3 番目のスイッチングサイクルでは、IN ピン信号がより早く進み、デバイスは部分的にハードスウィッチングを行います。したがって、ZVS 遷移が発

生しないときは、ZVD 出力は Low のままです。なお、この CCM 降圧動作では、ハイサイド デバイスが常にハード スイッチングでターンオンするため、ハイサイドの ZVD 出力はロー レベルのままになります。

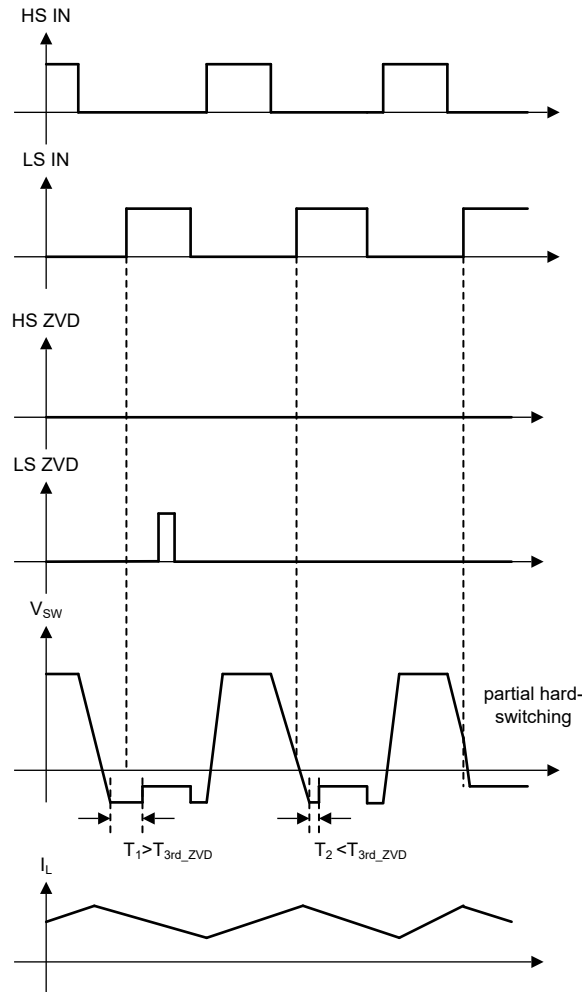


図 7-8. CCM 降圧コンバータでの ZVD 機能

ZVD 機能により、ソフト スイッチング トポロジでの制御が容易になります。TCM TP PFC コンバータの ZVD 機能は、TCM トーテムポール PFC で ZVD 波形が容易になることを示しています。この図は、 V_{IN} が V_{OUT} の半分を超えた場合の正のハーフ ラインサイクルを示しています。TCM TP PFC コンバータにおける ZVD 機能の負荷電流における波形の I_L は、スイッチ ノードに流入する電流は正と定義されます。最初のスイッチングサイクルでは、負荷電流によって十分な負電流が形成され、ローサイドデバイスが T_{3rd_DET} を超える明確な第 3 象限導通時間で ZVS を実現します。そのため、ZVD ピンはパルス信号を出力します。次の 2 つのスイッチング サイクルでは ZVD パルスが出ないのは、第 2 サイクルで第 3 象限の導通時間が短くなり、第 3 サイクルではデバイスが ZVS を失うためです。

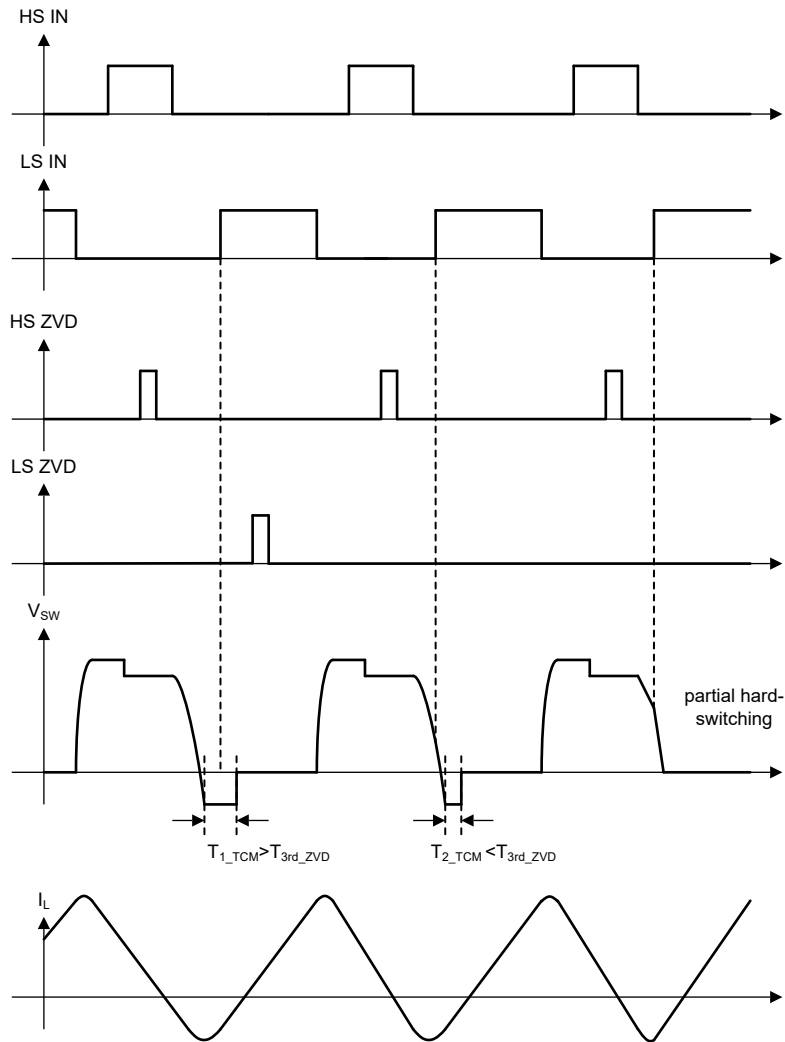


図 7-9. TCM TP PFC コンバータでの ZVD 機能

7.4 デバイスの機能モード

このデバイスでは、[推奨動作条件](#)の範囲内では、適用される動作モードは一つだけです。

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

LMG367xR010 は、最大 520V bus 電圧で動作するハード スイッチングおよびソフト スイッチングを行うアプリケーションを対象としたパワー IC です。GaN デバイスは逆回復電荷がゼロであり、トーマポール PFC などのアプリケーションで高周波のハード スイッチングを可能にします。GaN デバイスの低い Q_{oss} は、LLC や位相シフトフルブリッジ構成などのソフトスイッチング コンバータにも利点があります。ハーフブリッジ構成は、前述の 2 つのアプリケーションとその他多くのアプリケーションの基礎であるため、このセクションでは LMG367xR010 をハーフブリッジ構成で使用方法について説明します。

8.2 代表的なアプリケーション

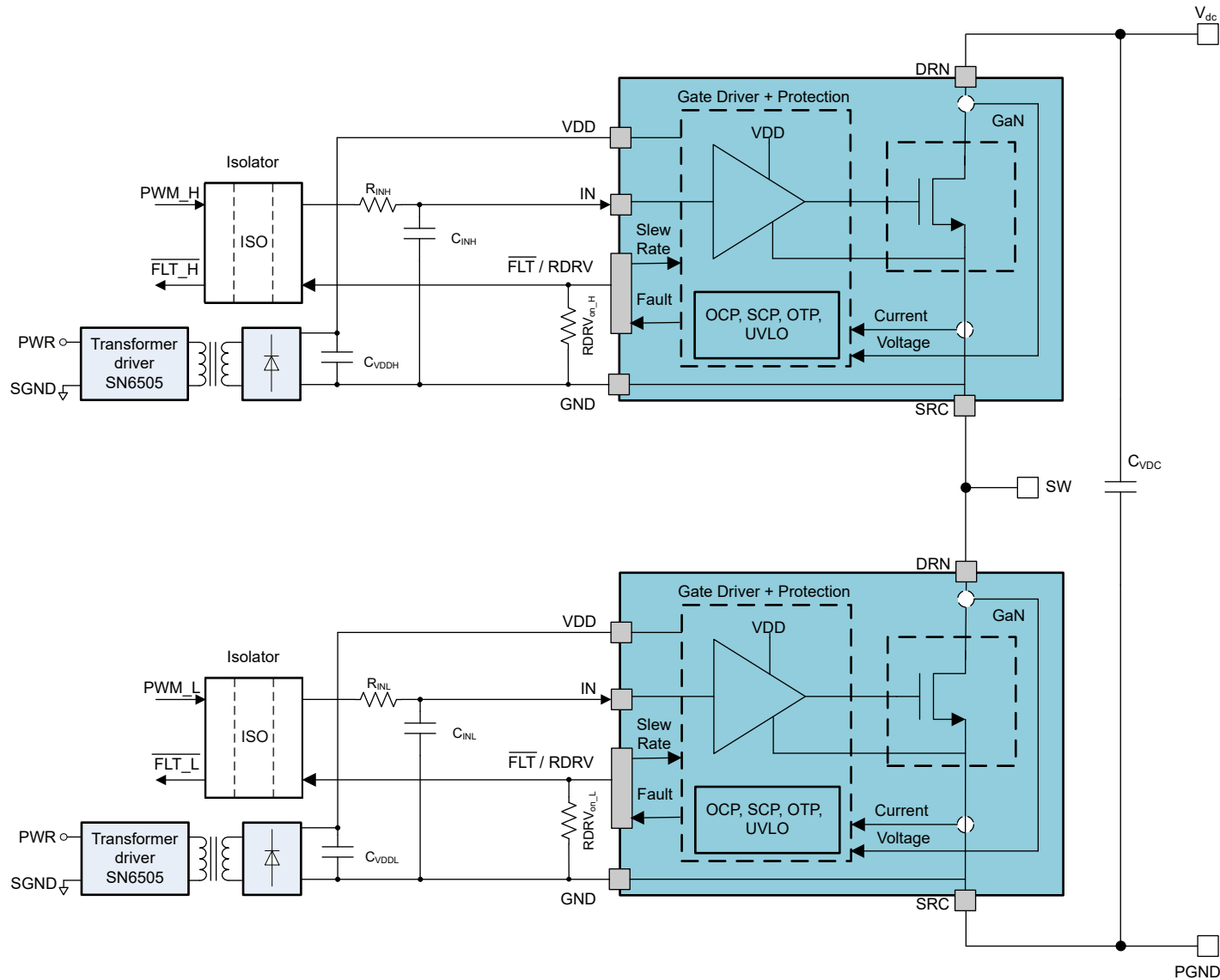


図 8-1. LMG3670R010 絶縁型電源を使用した標準的なハーフブリッジアプリケーション

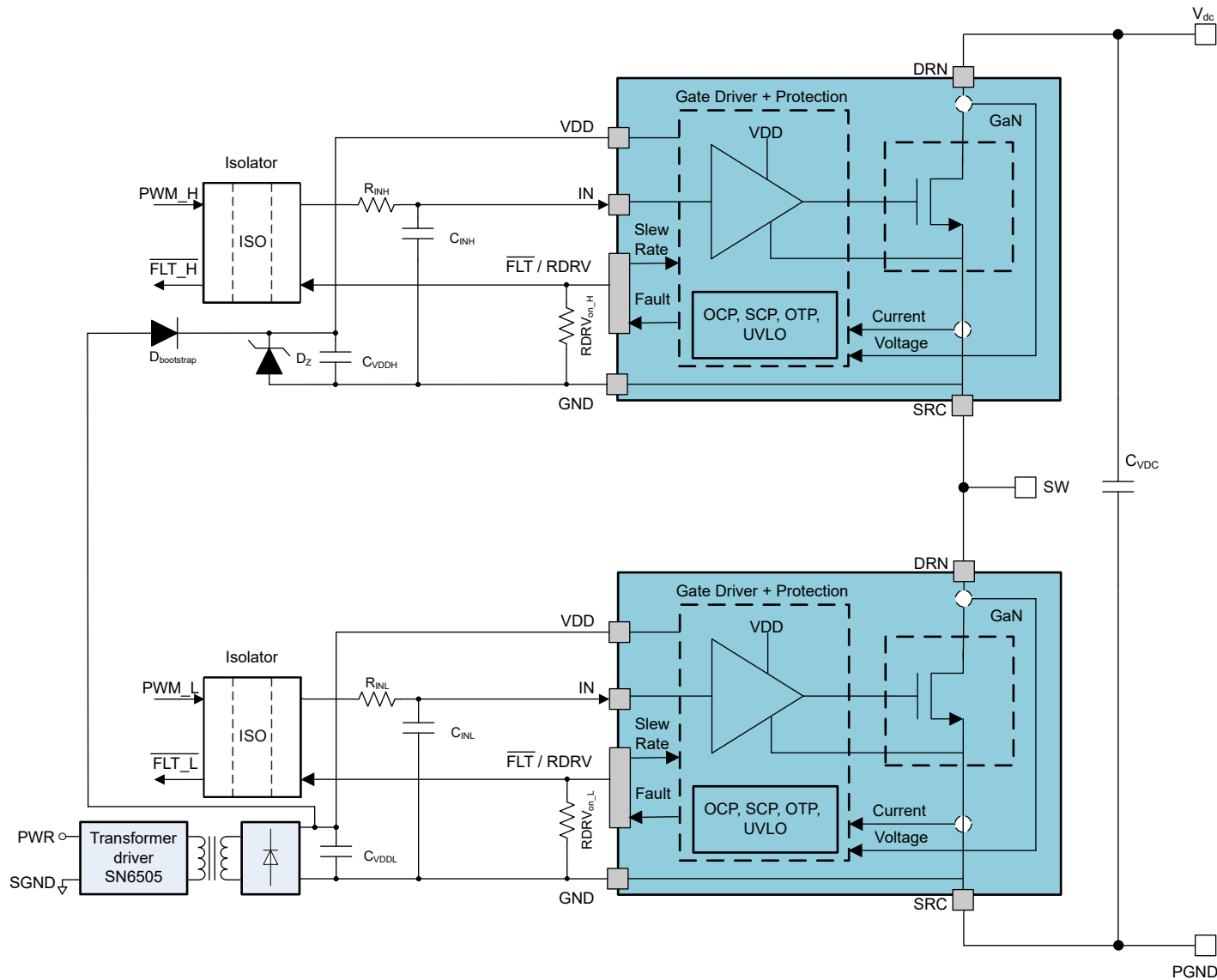


図 8-2. LMG3670R010 ブートストラップ付きの標準的なハーフブリッジアプリケーション

PRODUCT PREVIEW

8.2.1 設計要件

この設計例は、PFC アプリケーションを代表するハードスイッチ昇圧コンバータについて示しています。設計パラメータは、この設計のシステム パラメータを示します。

表 8-1. 設計パラメータ

パラメータ	値
入力電圧	200VDC
出力電圧	400VDC
入力 (インダクタ) 電流	20A
スイッチング周波数	100kHz

8.2.2 詳細な設計手順

高電圧パワーコンバータでは、高性能パワーコンバータには回路設計と PCB レイアウトが不可欠です。このデータシートでは、LMG367xR010 を使用するハーフブリッジの設計上の考慮事項を記載します。

8.2.2.1 スルーレートの選択

LMG367xR010 のターンオン スルーレートを約 10V/ns から 80V/ns に調整し、最大ターンオフ スルーレート制限を 10V/ns から無制限 (I_{ds} のみによって制御) に調整します。詳細については、セクション 7.3.1 を参照してください。

スルーレートは、GaN デバイスの性能に次の点で影響を及ぼします。

- スwitching 損失
- 電圧オーバーシュート
- ノイズ結合
- EMI (電磁干渉) 放出

一般に、スルーレートが高いとスイッチング損失は小さくなりますが、高いスルーレートは電圧オーバーシュート、ノイズ結合、および EMI 放射を増加させる可能性もあります。高いスルーレートによって生じる課題を軽減するため、このデータシートの設計推奨事項に従います。LMG367xR010 を使用すると、回路設計者がアプリケーションの性能を最大限に引き出すために、適切なスルーレートを柔軟に選択できます。

8.2.2.2 信号レベル・シフト

ハーフブリッジでは、ハイサイド デバイスと制御回路の間の信号パスを絶縁するために、高電圧レベル シフトまたはデジタル アイソレータを使用します。ローサイドデバイスでは、アイソレータを使用することもオプションです。しかし、アイソレータを使用することで、ハイサイドとローサイドの信号パスの間の伝搬遅延を均等化し、GaN デバイスとコントローラに異なるグラウンドを使用することができます。ローサイド デバイスでアイソレータを使用しない場合、制御グラウンドと電源グラウンドはデバイスで接続し、基板上の他の場所には接続しないようにします。高速スイッチングデバイスでは、アイソレータを使用しないと、コモン・グラウンド・インダクタンスがノイズ問題を引き起こす原因となりやすいです。

ノイズ耐性の向上には、レベルシフト用のデジタル アイソレータの選択が重要です。GaN デバイスは、ハードスイッチング アプリケーションで 50V/ns を超える高い dv/dt を容易に実現できるため、同相過渡耐性 (CMTI) が高く、バリア容量が小さいアイソレータを使用することを TI は強くお勧めします。CMTI が小さいアイソレータは容易に誤信号を発生させ、貫通電流を引き起こす可能性があります。バリア容量は信号グラウンドと電源グラウンドとの間の絶縁容量の一部で、この容量はスイッチング中に発生する同相電流と EMI 放射に正比例します。さらに、TI はエッジトリガではないアイソレータを選択することを強く推奨しています。エッジトリガアイソレータでは、高 dv/dt イベントが発生すると、アイソレータが動作状態を反転させ、回路の誤動作を引き起こす可能性があります。

一般的には、デフォルト出力が low の ON/OFF キー方式アイソレータが望まれます。デフォルトを low 状態にしておくことで、システムの立ち上げ時や故障復帰時にショートスルーが発生しないようにできます。高い CMTI イベントによって数ナノ秒程度の短い誤パルスが生じるため、TI はドライバ入力にローパス フィルタ (例えば 50Ω と 150pF の R-C) を配置して誤パルスを除去することを推奨しています。

8.3 電源に関する推奨事項

LMG367xR010 は、9V ~ 24V の非レギュレート VDD 電源のみが必要です。ローサイドの電源は、ローカルのコントローラ電源から取得します。ハイサイド デバイスの電源が、絶縁電源またはブートストラップ電源から供給されていることを確認します。

8.3.1 絶縁型電源の使用

ハイサイド デバイスを駆動するために絶縁型電源を使用する利点は、電力段のスイッチングやデューティ サイクルがどうであっても動作する点にあります。絶縁型電源を使用すれば、電力段のスイッチングが始まる前にハイサイド デバイスへ電力を供給でき、スムーズな立ち上がりが可能になります

絶縁電源は、プッシュプル コンバータ、フライバック コンバータ、FlyBuck™ コンバータ、または絶縁電源モジュールを用いて得ます。レギュレートされていない電源を使用する場合、LMG367xR010 の入力最大電源電圧を超えないようにします。24V TVS ダイオードを使用して、LMG367xR010 の VDD 電圧をクランプし、保護を強化できます。ハード・スイッチ・アプリケーションでスイッチング損失を低減するには、絶縁型電源またはトランスの巻線間容量を最小限に抑える必要があります。さらに、絶縁型バイアス電源の両端間にある容量は、LMG367xR010 の信号-グランドに大電流を注入し、グランドバウンス過渡が問題となる可能性があります。コモン・モード・チョークを使用すると、これらの問題のほとんどを軽減できます。

8.3.2 ブートストラップダイオードの使用

ハーフブリッジ構成では、ハイサイドデバイスにフローティング電源が必要になります。LMG367xR010 の性能を最大限に引き出すため、TI では、[絶縁電源を使用する](#)ことを強くお勧めします。ブートストラップ電源は、[ブートストラップダイオードの使用](#)の推奨事項に従って使用できます。

8.3.2.1 ダイオードの選択

LMG367xR010 は逆方向回復電荷がなく、出力電荷が非常に制限されています。また、LMG367xR010 を使用したハードスイッチング回路は、電圧の高スルーレートを実現します。互換のブートストラップダイオードは、高い出力電荷と逆方向回復電荷をもたらさないようにしてください。

GB01SLT06-214 などのシリコンカーバイドダイオードを使用して、逆方向回復効果を回避することができます。SiC ダイオードの出力電荷は 3nC です。その出力電荷には追加の損失がありますが、スイッチングステージの損失に支配されることはありません。

8.3.2.2 ブートストラップ電圧の管理

同期整流型の降圧コンバータや、ローサイド スイッチがときどき第 3 象限で動作するその他のコンバータでは、デッドタイム中にロー サイドの第 3 象限電圧ドロップ LMG367xR010 を含む経路を通してブートストラップ電源が充電されます ([ブートストラップダイオードの充電経路](#)に記載)。この第 3 象限での電圧降下は大きくなることもあり、条件によってはブートストラップ電源を過充電してしまう可能性があります。LMG367xR010 の V_{DD} 電源電圧が 26V 未満のままであることを確認します。

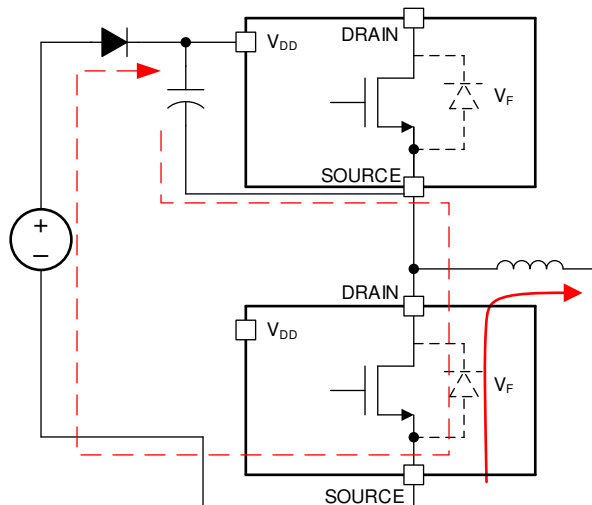


図 8-3. ブートストラップダイオードの充電パス

推奨ブートストラップ制御回路が示すように、推奨されるブートストラップ電源は、ブートストラップ ダイオード、直列抵抗、そして V_{DD} バイパス コンデンサと並列に配置された 24V の TVS またはツェナー ダイオードで構成されます。並列な配置により、ハイサイド LMG367xR010 への損傷を防止します。直列抵抗は、スタートアップ時とローサイドデバイスが第 3 象限モードで動作しているときの充電電流を制限します。この抵抗は、目的の動作周波数で LMG367xR010 を駆動するのに十分な電流が得られるよう選択します。100kHz で動作させる場合、TI は約 2Ω の値を推奨しています。より高い周波数では、十分な供給電流を確保するために、抵抗値を下げるか省略します。

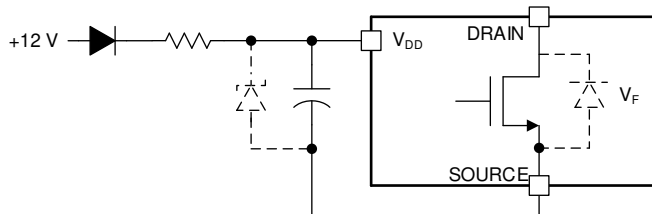


図 8-4. 推奨されるブートストラップ・レギュレータ回路

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介합니다。

9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.3 商標

FlyBuck™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

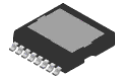
資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
March 2026	*	初版リリース

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PRODUCT PREVIEW

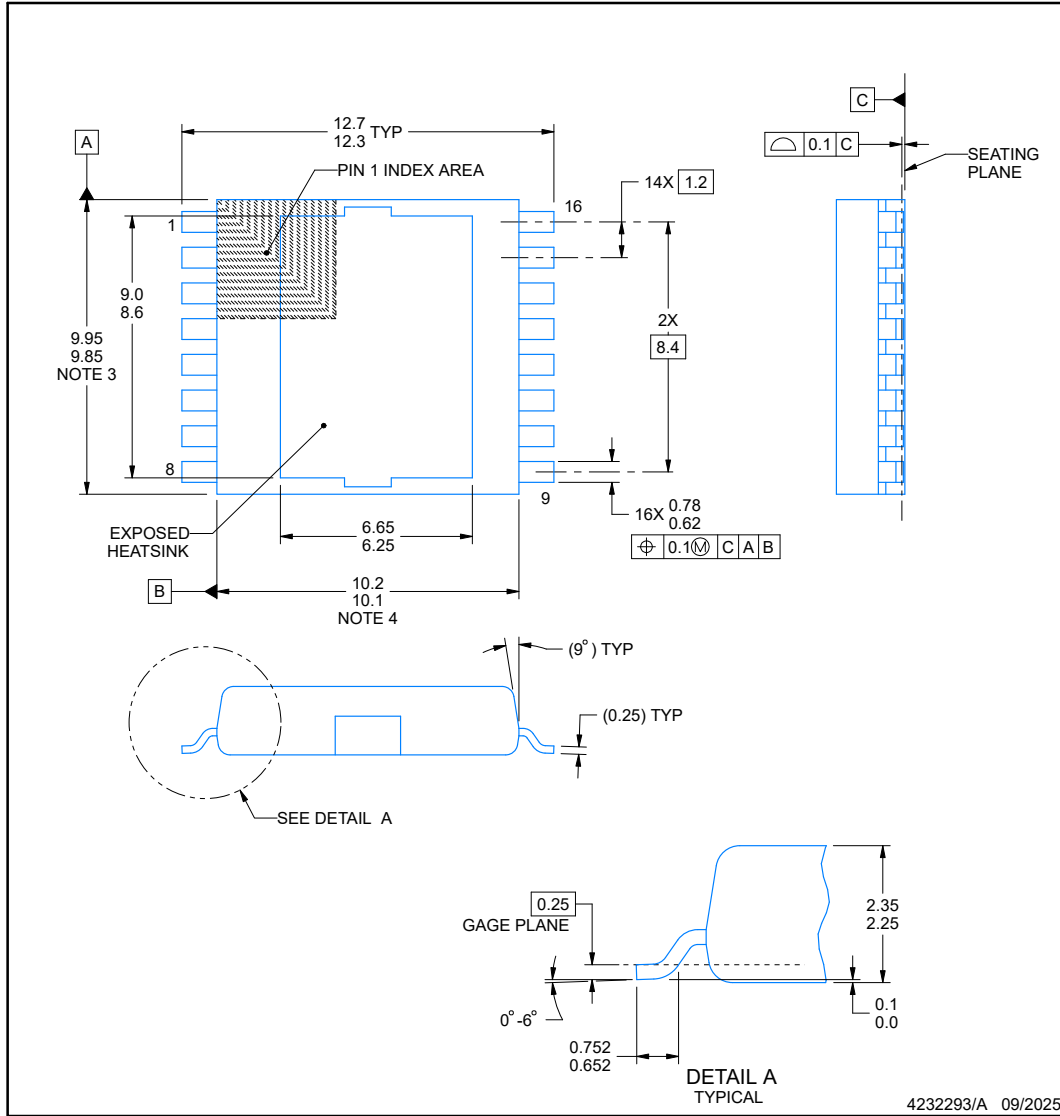


KLH0016A

PACKAGE OUTLINE

TO - 2.35 mm max height

TRANSISTOR OUTLINE



NOTES:

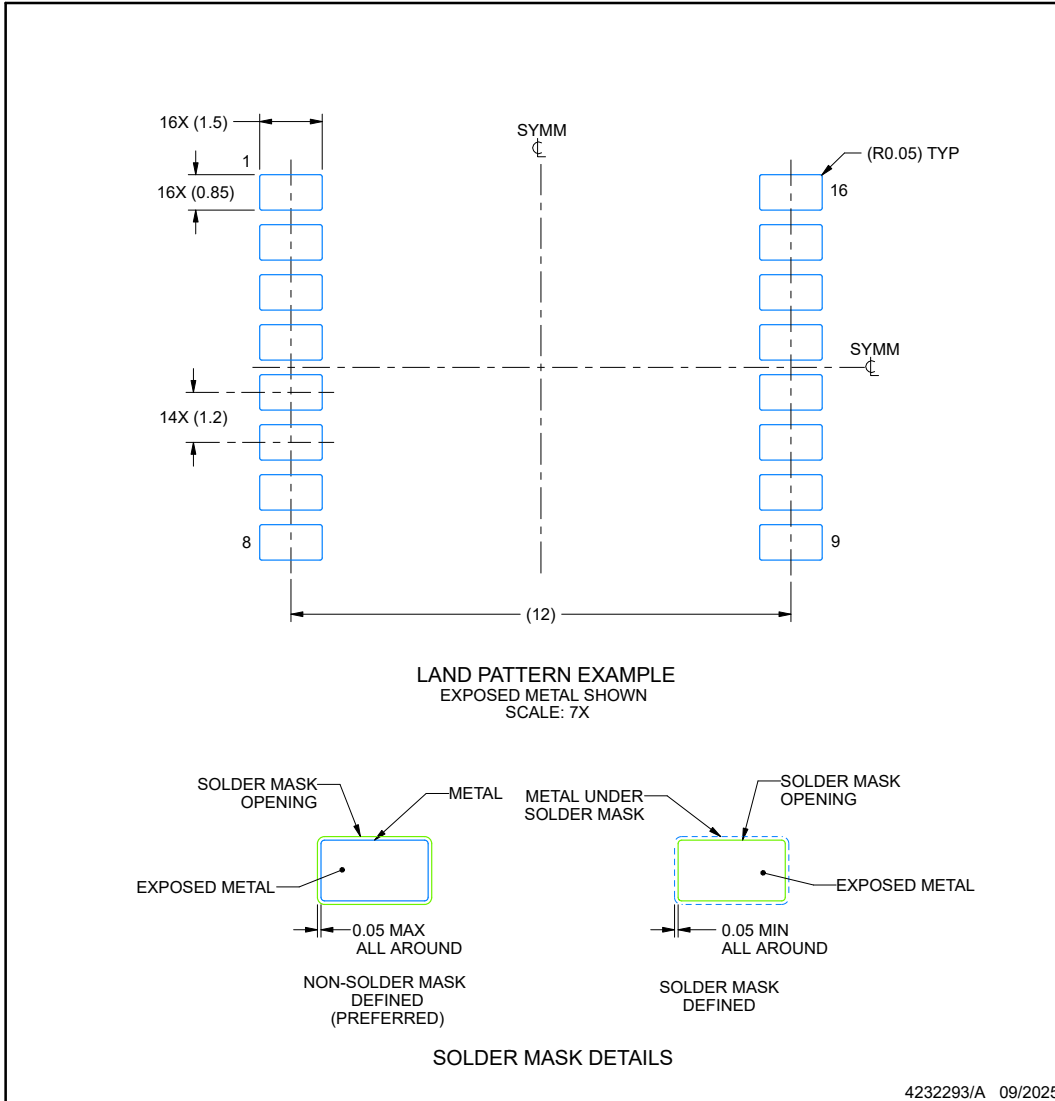
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.

EXAMPLE BOARD LAYOUT

KLH0016A

TO - 2.35 mm max height

TRANSISTOR OUTLINE



NOTES: (continued)

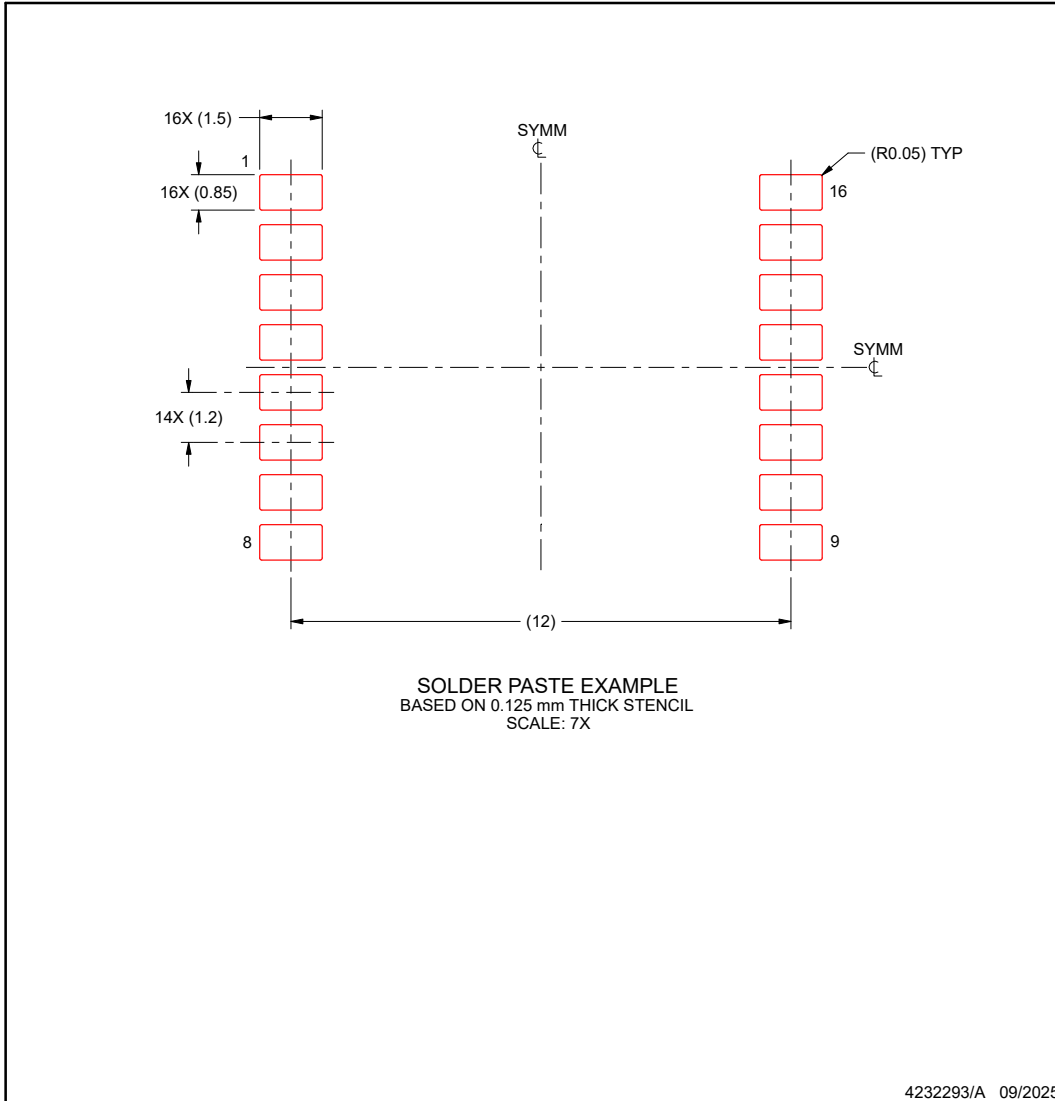
- 5. Publication IPC-7351 may have alternate designs.
- 6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

KLH0016A

TO - 2.35 mm max height

TRANSISTOR OUTLINE



NOTES: (continued)

- 7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
- 8. Board assembly site may have different recommendations for stencil design.

PRODUCT PREVIEW

重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月