

# LMH7322

*LMH7322 Dual 700 ps High Speed Comparator with RSPECL Outputs*



Literature Number: JAJSAJ2

## LMH7322

### RSPECL 出力対応デュアル 700ps 高速コンパレータ

#### 概要

LMH7322 は、伝搬遅延時間が 700ps、分散時間が 75ps と小さいデュアル・コンパレータで、入力電圧の範囲は  $V_{CC} - 1.5V \sim V_{EE}$  です。LMH7322 は 2.7V から 12V の広い電源電圧範囲で動作します。可変ヒステリシス機能により、フレキシビリティが向上し、発振が防止されます。LMH7322 の出力とラッチ入力は、どちらも RSPECL 互換です。2.5V の  $V_{CCO}$  電源で使用すると、LVDS 互換レベルの出力が得られます。

LMH7322 は 24 ピン LLP パッケージで提供されます。

#### 特長

( $V_{CC1} = +5V$ ,  $V_{CCO} = +5V$ )

伝搬遅延時間 700ps

オーバードライブ時の分散時間 20mV - 1V 75ps

高速立ち上がり/立ち下がり時間 160ps

広い動作電圧範囲 2.7V ~ 12V

同相入力の範囲は、負側レールから 200mV 低い電圧まで対応

調整可能なヒステリシス

(RS)PECL 出力 (アプリケーション・ノートを参照)

(RS)PECL ラッチ入力 (アプリケーション・ノートを参照)

#### アプリケーション

デジタル受信器

高速信号復元

ゼロ交差検出器

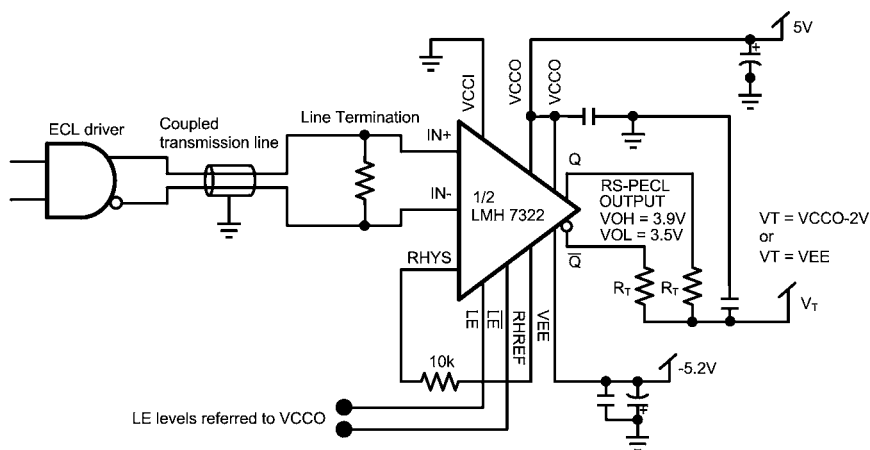
高速サンプリング

ウィンドウ・コンパレータ

高速信号トリガ

#### 代表的なアプリケーション

(RS)ECL to RSPECL Converter



## 絶対最大定格 (Note 1)

本データシートには軍用・航空宇宙用の規格は記載されていません。  
関連する電気的信頼性試験方法の規格を参照ください。

## ESD 耐圧 (Note 2)

人体モデル	2.5kV
マシン・モデル	250V
出力回路短絡時間	(Note 3、4)
電源電圧 ( $V_{CCx} - V_{EE}$ )	13.2V
入力ピンの電位差	$\pm 13V$
入力ピン電圧	$V_{EE} - 0.2V \sim V_{CCI} + 0.2V$
LE ピン電圧	$V_{EE} - 0.2V \sim V_{CCO} + 0.2V$
出力ピン電流	25mA

## ハンダ付け情報

赤外線または対流方式 (20 秒)	235
流動ハンダ付け (10 秒)	260
保存周囲温度範囲	- 65 ~ + 150
接合部温度 (Note 7)	+ 150
<b>動作定格 (Note 1)</b>	
電源電圧 ( $V_{CCx} - V_{EE}$ )	2.7V ~ 12V
動作温度範囲 (Note 5、6)	- 40 ~ + 125
パッケージ熱抵抗 (Note 5、6)	
24 ピン LLP	38 /W

## 12V DC 電気的特性

特記のない限り、すべてのリミット値は  $T_J = 25^\circ\text{C}$ 、 $V_{CCI} = V_{CCO} = 12V$ 、 $V_{EE} = 0V$ 、 $R_L = 50 \sim V_{CCO} - 2V$ 、 $V_{CM} = 300mV$ 、 $R_{HYS} = 1k\Omega$  に対して適用されます。太字のリミット値は全温度範囲に適用されます。

Symbol	Parameter	Conditions	Min (Note 8)	Typ (Note 7)	Max (Note 8)	Units
<b>INPUT CHARACTERISTICS</b>						
$I_B$	Input Bias Current	$V_{IN}$ Differential = 0V; $R_{HYS} = 8\text{ k}\Omega$ Biased at $V_{CM}$	-5	-2.9		$\mu\text{A}$
$I_{OS}$	Input Offset Current	$V_{IN}$ Differential = 0V	-250	40	+250	nA
TC $I_{OS}$	Input Offset Current TC	$V_{IN}$ Differential = 0V		0.2		nA/ $^\circ\text{C}$
$V_{OS}$	Input Offset Voltage		-8	-2	+8	mV
TC $V_{OS}$	Input Offset Voltage TC			12		$\mu\text{V}/^\circ\text{C}$
$V_{RI}$	Input Voltage Range	for CMRR $\geq 50\text{ dB}$	$V_{EE}-0.2$		$V_{CCI}-1.5$	V
$V_{RID}$	Input Differential Voltage Range		-1		+1	V
CMRR	Common Mode Rejection Ratio	$0V \leq V_{CM} \leq V_{CCI}-0.2$		80		dB
PSRR	Power Supply Rejection Ratio			80		dB
$A_V$	Active Gain			53		dB
Hyst	Hysteresis	$R_{HYS} = 0\Omega$		55	100	mV
<b>LATCH ENABLE CHARACTERISTICS</b>						
$I_{B-LE}$	Latch Enable Bias Current	Biased at RSPECL Level		3	10	$\mu\text{A}$
$V_{OS-LE}$	Latch Enable Offset Voltage	Biased at RSPECL Level		-5		mV
$V_{RI-LE}$	Latch Enable Voltage Range	for CMRR $\geq 50\text{ dB}$	$V_{EE}+1.4$		$V_{CCO}-0.8$	V
$V_{RID-LE}$	Latch Enable Differential Voltage Range			$\pm 0.4$		V
<b>OUTPUT CHARACTERISTICS</b>						
$V_{OH}$	Output Voltage High	$V_{IN}$ Differential = 50 mV		$V_{CCO}-1.1V$		mV
$V_{OL}$	Output Voltage Low	$V_{IN}$ Differential = 50 mV		$V_{CCO}-1.5V$		mV
$V_{OD}$	Output Voltage Differential	$V_{IN}$ Differential = 50 mV		360		mV
<b>POWER SUPPLIES</b>						
$I_{VCCI}$	$V_{CCI}$ Supply Current/ Channel			6.5	10 12	mA
$I_{VCCO}$	$V_{CCO}$ Supply Current/ Channel	Load Current Excluded		16.3	20 25	mA

## 12 AC 電気的特性

特記のない限り、すべてのリミット値は  $T_J = 25$ 、 $V_{CCI} = V_{CCO} = 12V$ 、 $V_{EE} = 0V$ 、 $R_L = 50 \sim V_{CCO} - 2V$ 、 $V_{CM} = 300mV$ 、 $R_{HYS} = \text{なし}$  に対して適用されます。太字のリミット値は全温度範囲に適用されます。

Symbol	Parameter	Conditions	Min (Note 8)	Typ (Note 7)	Max (Note 8)	Units
TR	Maximum Toggle Rate	Overdrive = $\pm 50$ mV; $C_L = 2$ pF @ 50% of Output Swing		4		Gb/s
	Minimum Pulse Width	Overdrive = $\pm 50$ mV; $C_L = 2$ pF @ 50% of Output Swing		255		ps
$t_{\text{jitter-RMS}}$	RMS Random Jitter	Overdrive = $\pm 100$ mV; $C_L = 2$ pF Center Frequency = 140 MHz Bandwidth = 10 Hz–20 MHz		702		fs
$t_{\text{PDH}}$	Propagation Delay. (see Figure 3 application note)	Overdrive 20 mV		818		ps
		Overdrive 50 mV		723		
	Input SR = Constant $V_{\text{IN Startvalue}} = V_{\text{REF}} - 100$ mV	Overdrive 100 mV		708		ps
	Overdrive 1V		703			
$t_{\text{OD-disp}}$	Input Overdrive Dispersion	$t_{\text{PDH}}$ @ Overdrive 20 mV $\leftrightarrow$ 100 mV		110		ps
		$t_{\text{PDH}}$ @ Overdrive 100 mV $\leftrightarrow$ 1V		5		
$t_{\text{SR-disp}}$	Input Slew Rate Dispersion	0.1 V/ns to 1 V/ns; Overdrive = 100 mV		48		ps
$t_{\text{CM-disp}}$	Input Common Mode Dispersion	SR = 1 V/ns; Overdrive = 100 mV; $0V \leq V_{\text{CM}} \leq V_{\text{CC1}} - 1.5V$		43		ps
$\Delta t_{\text{PDLH}}$	Q to $\bar{Q}$ Time Skew $ t_{\text{PDH}} - t_{\text{PDL}} $	Overdrive = 100 mV; $C_L = 2$ pF		24		ps
$\Delta t_{\text{PDHL}}$	Q to $\bar{Q}$ Time Skew $ t_{\text{PDL}} - t_{\text{PDH}} $	Overdrive = 100 mV; $C_L = 2$ pF		45		ps
$t_r$	Output Rise Time (20%–80%)	Overdrive = 100 mV; $C_L = 2$ pF		155		ps
$t_f$	Output Fall Time (20%–80%)	Overdrive = 100 mV; $C_L = 2$ pF		155		ps
$t_{\text{sLE}}$	Latch Setup Time			77		ps
$t_{\text{hLE}}$	Latch Hold Time			33		ps
$t_{\text{PD\_LE}}$	Latch to Output Delay Time			944		ps

## 5V DC 電気的特性

特記のない限り、すべてのリミット値は  $T_J = 25$ 、 $V_{CCI} = V_{CCO} = 5V$ 、 $V_{EE} = 0V$ 、 $R_L = 50 \sim V_{CCO} - 2V$ 、 $V_{CM} = 300mV$ 、 $R_{HYS} = 1k$  に対して適用されます。太字のリミット値は全温度範囲に適用されます。

Symbol	Parameter	Conditions	Min (Note 8)	Typ (Note 7)	Max (Note 8)	Units
<b>INPUT CHARACTERISTICS</b>						
$I_B$	Input Bias Current	$V_{\text{IN Differential}} = 0V$ ; $R_{\text{HYS}} = 8$ k $\Omega$ Biased at $V_{\text{CM}}$	-5	-2.6		$\mu\text{A}$
$I_{\text{OS}}$	Input Offset Current	$V_{\text{IN Differential}} = 0V$	-250	40	+250	nA
TC $I_{\text{OS}}$	Input Offset Current TC	$V_{\text{IN Differential}} = 0V$		0.3		nA/ $^{\circ}\text{C}$
$V_{\text{OS}}$	Input Offset Voltage		-8	-2	+8	mV
TC $V_{\text{OS}}$	Input Offset Voltage TC			12		$\mu\text{V}/^{\circ}\text{C}$
$V_{\text{RI}}$	Input Voltage Range	for CMRR $\geq 50$ dB	$V_{\text{EE}} - 0.2$		$V_{\text{CC1}} - 1.5$	V
$V_{\text{RID}}$	Input Differential Voltage Range		-1		+1	V
CMRR	Common Mode Rejection Ratio	$0V \leq V_{\text{CM}} \leq V_{\text{CC1}} - 0.2$		80		dB
PSRR	Power Supply Rejection Ratio			80		dB
$A_v$	Active Gain			53		dB
Hyst	Hysteresis	$R_{\text{HYS}} = 0\Omega$		55	100	mV
<b>LATCH ENABLE CHARACTERISTICS</b>						
$I_{\text{B-LE}}$	Latch Enable Bias Current	Biased at RSPECL Level		3	10	$\mu\text{A}$
$V_{\text{OS-LE}}$	Latch Enable Offset Voltage	Biased at RSPECL Level		+5		mV
$V_{\text{RI-LE}}$	Latch Enable Voltage Range	for CMRR $\geq 50$ dB	$V_{\text{EE}} + 1.4$		$V_{\text{CCO}} - 0.8$	V

## 5V DC 電気的特性 (つづき)

特記のない限り、すべてのリミット値は  $T_J = 25^\circ\text{C}$ 、 $V_{CCI} = V_{CCO} = 5\text{V}$ 、 $V_{EE} = 0\text{V}$ 、 $R_L = 50 \sim V_{CCO} - 2\text{V}$ 、 $V_{CM} = 300\text{mV}$ 、 $R_{HYS} = 1\text{k}\Omega$  に対して適用されます。太字のリミット値は全温度範囲に適用されます。

Symbol	Parameter	Conditions	Min (Note 8)	Typ (Note 7)	Max (Note 8)	Units
$V_{RID-LE}$	Latch Enable Differential Voltage Range			$\pm 0.4$		V
<b>OUTPUT CHARACTERISTICS</b>						
$V_{OH}$	Output Voltage High			$V_{CCO} - 1.1\text{V}$		mV
$V_{OL}$	Output Voltage Low			$V_{CCO} - 1.5\text{V}$		mV
$V_{OD}$	Output Voltage Differential			355		mV
<b>POWER SUPPLIES</b>						
$I_{VCCI}$	$V_{CCI}$ Supply Current/ Channel			6.3	10 <b>12</b>	mA
$I_{VCCO}$	$V_{CCO}$ Supply Current/ Channel	Load Current Excluded		15.8	20 <b>25</b>	mA

## 5V AC 電気的特性

特記のない限り、すべてのリミット値は  $T_J = 25^\circ\text{C}$ 、 $V_{CCI} = V_{CCO} = 5\text{V}$ 、 $V_{EE} = 0\text{V}$ 、 $R_L = 50 \sim V_{CCO} - 2\text{V}$ 、 $V_{CM} = 300\text{mV}$ 、 $R_{HYS}$  = なしに対して適用されます。太字のリミット値は全温度範囲に適用されます。

Symbol	Parameter	Conditions	Min (Note 8)	Typ (Note 7)	Max (Note 8)	Units
TR	Maximum Toggle Rate	Overdrive = $\pm 50\text{ mV}$ ; $C_L = 2\text{ pF}$ @ 50% of Output Swing		3.9		Gb/s
	Minimum Pulse Width	Overdrive = $\pm 50\text{ mV}$ ; $C_L = 2\text{ pF}$ @ 50% of Output Swing		260		ps
$t_{\text{jitter\_RMS}}$	RMS Random Jitter	Overdrive = $\pm 100\text{ mV}$ ; $C_L = 2\text{ pF}$ Center Frequency = 140 MHz Bandwidth = 10 Hz–20 MHz		572		fs
$t_{\text{PDLH}}$	Propagation Delay. (see Figure 3 application note)	Overdrive 20 mV		783		ps
		Overdrive 50 mV		718		
	Input SR = Constant $V_{IN}$ startvalue = $V_{REF} - 100\text{ mV}$	Overdrive 100 mV		708		ps
	Overdrive 1V		708			
$t_{\text{OD-disp}}$	Input Overdrive Dispersion	$t_{\text{PDH}}$ @ Overdrive 20 mV $\leftrightarrow$ 100 mV		75		ps
		$t_{\text{PDH}}$ @ Overdrive 100 mV $\leftrightarrow$ 1V		5		
$t_{\text{SR-disp}}$	Input Slew Rate Dispersion	0.1 V/ns to 1 V/ns; Overdrive = 100 mV		50		ps
$t_{\text{CM-disp}}$	Input Common Mode Dispersion	SR = 1 V/ns; Overdrive = 100 mV; $0\text{V} \leq V_{CM} \leq V_{CCI} - 1.5\text{V}$		24		ps
$\Delta t_{\text{PDLH}}$	Q to $\bar{Q}$ Time Skew $ t_{\text{PDH}} - t_{\text{PDL}} $	Overdrive = 100 mV; $C_L = 2\text{ pF}$		29		ps
$\Delta t_{\text{PDHL}}$	Q to $\bar{Q}$ Time Skew $ t_{\text{PDL}} - t_{\text{PDF}} $	Overdrive = 100 mV; $C_L = 2\text{ pF}$		47		ps
$t_r$	Output Rise Time (20%–80%)	Overdrive = 100 mV; $C_L = 2\text{ pF}$		160		ps
$t_f$	Output Fall Time (20%–80%)	Overdrive = 100 mV; $C_L = 2\text{ pF}$		160		ps
$t_{\text{sLE}}$	Latch Setup Time			95		ps
$t_{\text{hLE}}$	Latch Hold Time			29		ps
$t_{\text{PD\_LE}}$	Latch to Output Delay Time			893		ps

## 2.7V DC 電気的特性

特記のない限り、すべてのリミット値は  $T_J = 25^\circ\text{C}$ 、 $V_{CCI} = V_{CCO} = 2.7\text{V}$ 、 $V_{EE} = 0\text{V}$ 、 $R_L = 50 \sim V_{CCO} - 2\text{V}$ 、 $V_{CM} = 300\text{mV}$ 、 $R_{HYS} = 1\text{k}\Omega$  に対して適用されます。太字のリミット値は全温度範囲に適用されます。

Symbol	Parameter	Conditions	Min (Note 8)	Typ (Note 7)	Max (Note 8)	Units
<b>INPUT CHARACTERISTICS</b>						
$I_B$	Input Bias Current	$V_{IN}$ Differential = 0V; $R_{HYS} = 8\text{ k}\Omega$ Biased at $V_{CM}$	-5	-2.5		$\mu\text{A}$
$I_{OS}$	Input Offset Current	$V_{IN}$ Differential = 0V	-250	40	+250	nA
TC $I_{OS}$	Input Offset Current TC	$V_{IN}$ Differential = 0V		0.2		nA/ $^\circ\text{C}$

## 2.7V DC 電気的特性 (つづき)

特記のない限り、すべてのリミット値は  $T_J = 25$ 、 $V_{CCI} = V_{CCO} = 2.7V$ 、 $V_{EE} = 0V$ 、 $R_L = 50 \sim V_{CCO} - 2V$ 、 $V_{CM} = 300mV$ 、 $R_{HYS} = 1k$  に対して適用されます。太字のリミット値は全温度範囲に適用されます。

Symbol	Parameter	Conditions	Min (Note 8)	Typ (Note 7)	Max (Note 8)	Units
$V_{OS}$	Input Offset Voltage		-8	-2	+8	mV
TC $V_{OS}$	Input Offset Voltage TC			12		$\mu V/^\circ C$
$V_{RI}$	Input Voltage Range	for CMRR $\geq 50$ dB	$V_{EE}-0.2$		$V_{CCI}-1.5$	V
$V_{RID}$	Input Differential Voltage Range		-1		+1	V
CMRR	Common Mode Rejection Ratio	$0V \leq V_{CM} \leq V_{CCI}-2$		80		dB
PSRR	Power Supply Rejection Ratio			80		dB
$A_V$	Active Gain			53		dB
Hyst	Hysteresis	$R_{HYS} = 0\Omega$		55	100	mV

### LATCH ENABLE CHARACTERISTICS

$I_{B-LE}$	Latch Enable Bias Current	Biased at RSPECL Level		3	10	$\mu A$
$V_{OS-LE}$	Latch Enable Offset Voltage	Biased at RSPECL Level		-5		mV
$V_{RI-LE}$	Latch Enable Voltage Range	for CMRR $\geq 50$ dB	$V_{EE}+1.4$		$V_{CCO}-0.8$	V
$V_{RID-LE}$	Latch Enable Differential Voltage Range			$\pm 0.4$		V

### OUTPUT CHARACTERISTICS

$V_{OH}$	Output Voltage High			$V_{CCO}-1.1V$		mV
$V_{OL}$	Output Voltage Low			$V_{CCO}-1.5V$		mV
$V_{OD}$	Output Voltage Differential			350		mV

### POWER SUPPLIES

$I_{VCCI}$	$V_{CCI}$ Supply Current/ Channel			6.2	10 <b>12</b>	mA
$I_{VCCO}$	$V_{CCO}$ Supply Current/ Channel	Load Current Excluded		15.5	20 <b>25</b>	mA

## 2.7V AC 電気的特性

特記のない限り、すべてのリミット値は  $T_J = 25$ 、 $V_{CCI} = V_{CCO} = 2.7V$ 、 $V_{EE} = 0V$ 、 $R_L = 50 \sim V_{CCO} - 2V$ 、 $V_{CM} = 300mV$ 、 $R_{HYS} =$  なしに対して適用されます。太字のリミット値は全温度範囲に適用されます。

Symbol	Parameter	Conditions	Min (Note 8)	Typ (Note 7)	Max (Note 8)	Units
TR	Maximum Toggle Rate	Overdrive = $\pm 50$ mV; $C_L = 2$ pF @ 50% of Output Swing		3.8		Gb/s
	Minimum Pulse Width	Overdrive = $\pm 50$ mV; $C_L = 2$ pF @ 50% of Output Swing		265		ps
$t_{jitter\_RMS}$	RMS Random Jitter	Overdrive = $\pm 50$ mV; $C_L = 2$ pF Center Frequency = 140 MHz Bandwidth = 10 Hz–20 MHz		551		fs
$t_{PDH}$	Propagation Delay. (see Figure 3 application note)	Overdrive 20 mV		783		ps
		Overdrive 50 mV		728		
	Input SR = Constant $V_{IN}$ startvalue = $V_{REF} - 100$ mV	Overdrive 100 mV		713		ps
$t_{OD-disp}$	Input Overdrive Dispersion	$t_{PDH}$ @ Overdrive 20 mV $\leftrightarrow$ 100 mV		70		
		$t_{PDH}$ @ Overdrive 100 mV $\leftrightarrow$ 1V		5		
$t_{SR-disp}$	Input Slew Rate Dispersion	0.1 V/ns to 1 V/ns; Overdrive = 100 mV		54		ps
$t_{CM-disp}$	Input Common Mode Dispersion	SR = 1 V/ns; Overdrive = 100 mV; $0V \leq V_{CM} \leq V_{CCI} - 1.5V$		12		ps
$\Delta t_{PDLH}$	Q to $\bar{Q}$ Time Skew $ t_{PDH} - t_{PDL} $	Overdrive = 100 mV; $C_L = 2$ pF		35		ps
$\Delta t_{PDLH}$	Q to $\bar{Q}$ Time Skew $ t_{PDL} - t_{PDH} $	Overdrive = 100 mV; $C_L = 2$ pF		53		ps
$t_r$	Output Rise Time (20%–80%)	Overdrive = 100 mV; $C_L = 2$ pF		165		ps

## 2.7V AC 電気的特性 (つづき)

特記のない限り、すべてのリミット値は  $T_J = 25$ 、 $V_{CCI} = V_{CCO} = 2.7V$ 、 $V_{EE} = 0V$ 、 $R_L = 50 \sim V_{CCO} - 2V$ 、 $V_{CM} = 300mV$ 、 $R_{HYS} = \text{なし}$  に対して適用されます。太字のリミット値は全温度範囲に適用されます。

Symbol	Parameter	Conditions	Min (Note 8)	Typ (Note 7)	Max (Note 8)	Units
$t_f$	Output Fall Time (20%–80%)	Overdrive = 100 mV; $C_L = 2 \text{ pF}$		165		ps
$t_{sLE}$	Latch Setup Time			102		ps
$t_{hLE}$	Latch Hold Time			37		ps
$t_{PD\_LE}$	Latch to Output Delay Time			906		ps

**Note 1:** 絶対最大定格とは、デバイスに破壊が発生する可能性のあるリミット値をいいます。動作定格とはデバイスが機能する条件を示しますが、特定の性能を保証するものではありません。保証規格およびその試験条件については、「電気的特性」を参照してください。

**Note 2:** 人体モデル適用規格 MIL-STD-883、Method 3015.7  
マシン・モデル適用規格 JESD22-A115-A (ESD MM std. of JEDEC)  
電場 (界) 誘導帯電モデル適用規格 JESD22-C101-C (ESD FICDM std. of JEDEC)

**Note 3:** 単一電源や分割電源の両動作に対して適用されます。高周囲温度で短絡動作を続けると、150 の最大許容接合部温度を超えるおそれがあります。

**Note 4:** ショート試験は瞬間的な試験です。Note 5 を参照してください。

**Note 5:** 最大消費電力は、 $T_{J(MAX)}$ 、 $J_A$  の関数として求めることができます。任意の周囲温度での最大許容電力損失は、 $P_D = (T_{J(MAX)} - T_A) / J_A$  です。すべての数値は、プリント基板に直接ハンダ付けしたパッケージを対象とします。

**Note 6:** 「電気的特性」の値は、記載温度の工場出荷試験条件にのみ適用されます。工場試験条件で生じる自己発熱は、 $T_J = T_A$  となる程度にきわめてわずかです。「電気的特性」には、自己発熱により  $T_J > T_A$  となる条件下で保証されるパラメータ性能値は記載されていません。デバイスの温度ディレーティングについては「アプリケーション情報」を参照してください。

**Note 7:** 代表 (typ) 値は特性評価時におけるパラメータの標準値 (norm) を表します。実際の代表値は、経時的に変化するとともに、アプリケーションや構成にも依存します。この代表値はテストされた値ではなく、出荷済みの製品材料に対する保証値ではありません。

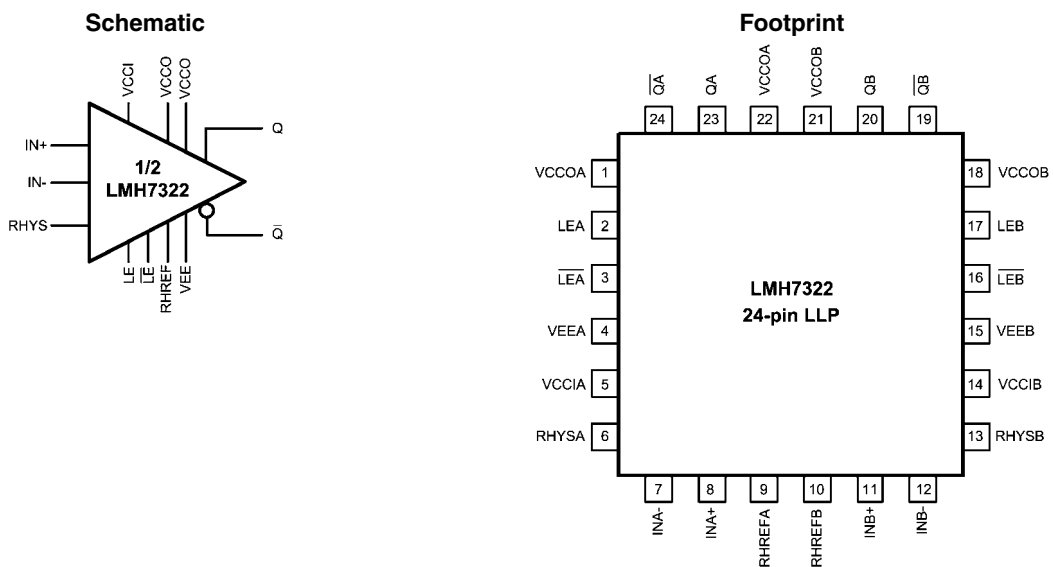
**Note 8:** リミット (Max および Min) 値はすべて試験または統計解析により保証されています。

**Note 9:** デバイスに向かって流れ込む電流を正方向の電流と定義しています。

**Note 10:** スルーレートは立ち上がりスルーレートと立ち下がりスルーレートとの平均値です。

**Note 11:** 温度ドリフト係数は、2 点の温度間で生じたパラメータの変化量を、2 点の温度間の温度差で除したものです。

## ピン配置図



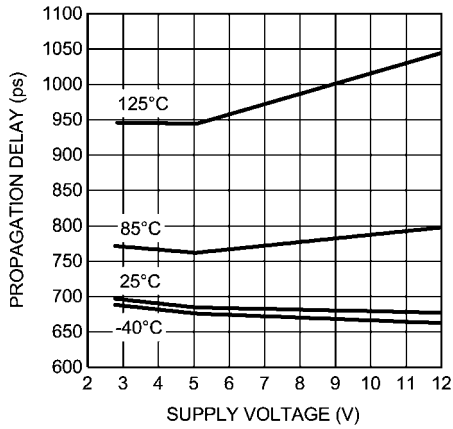
## 製品情報

Package	Part Number	Package Marking	Transport Media	NSC Drawing
24-Pin LLP NOPB	LMH7322SQ	L7322SQ	1k Units Tape and Reel	SQA24A
	LMH7322SQE		250 Units Tape and Reel	
	LMH7322SQX		4.5 Units Tape and Reel	

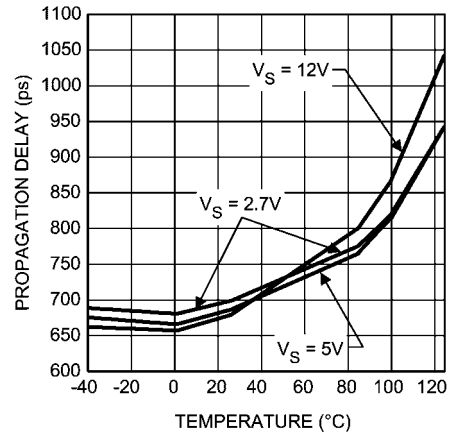
代表的な性能特性

特記のない限り、 $T_J = 25^\circ\text{C}$ 、 $V_{CC1} = +5\text{V}$ 、 $V_{CCO} = +3.3\text{V}$ 、 $V_{EE} = -5\text{V}$ 。

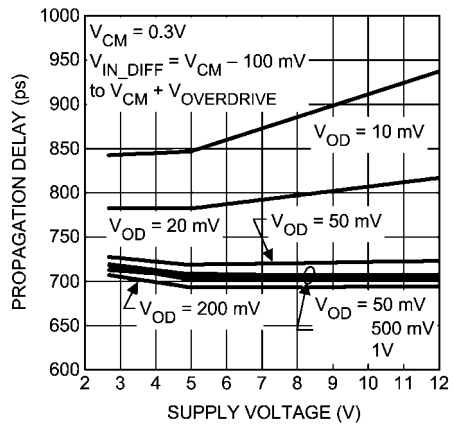
Propagation Delay vs. Supply Voltage



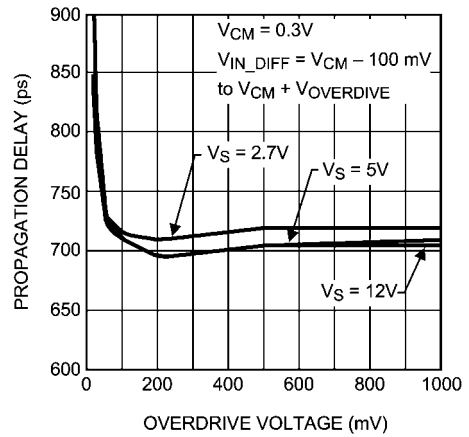
Propagation Delay vs. Temperature



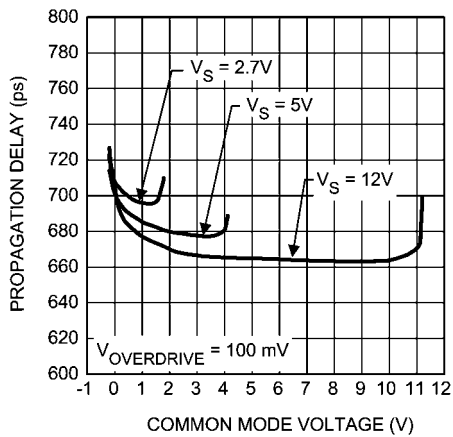
Propagation Delay vs. Supply Voltage



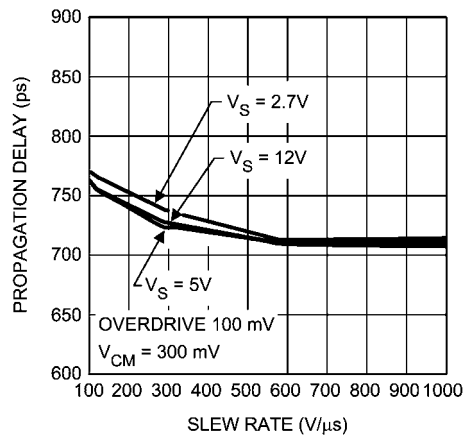
Propagation Delay vs. Overdrive Voltage



Propagation Delay vs. Common Mode Voltage



Propagation Delay vs. Slew Rate

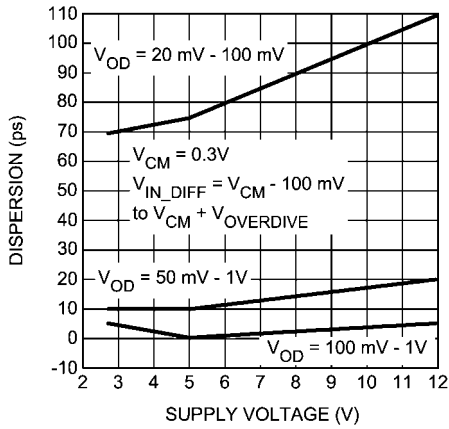




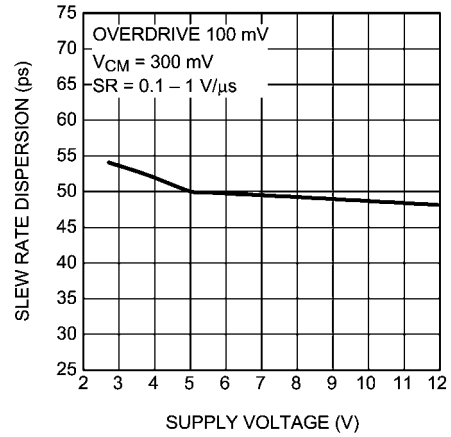
代表的な性能特性 (つづき)

特記のない限り、 $T_J = 25$ 、 $V_{CC1} = +5V$ 、 $V_{CC0} = +3.3V$ 、 $V_{EE} = -5V$ 。

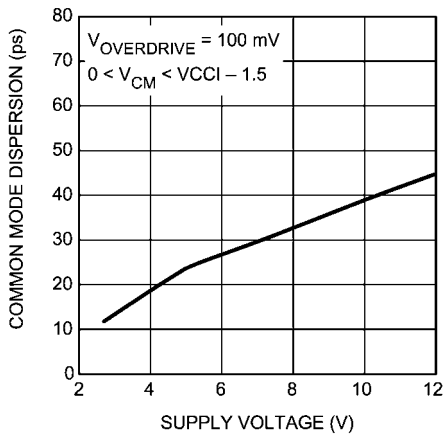
**$T_{PD}$  Dispersion vs. Supply Voltage**



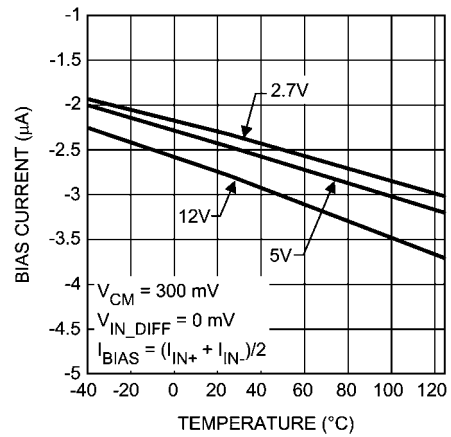
**Slew Rate Dispersion vs. Voltage Supply**



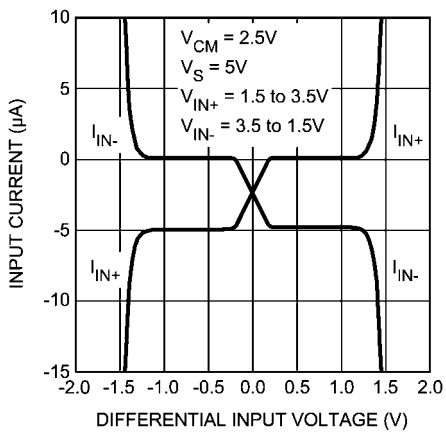
**Common Mode Dispersion vs. Supply Voltage**



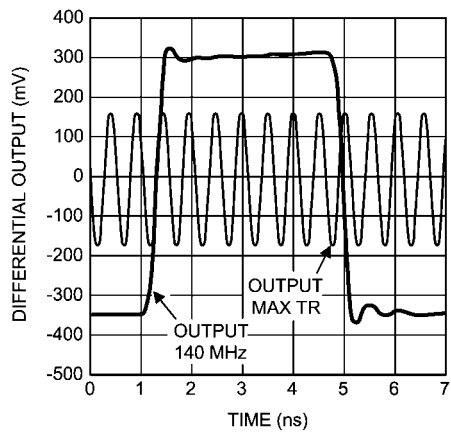
**Bias Current vs. Temperature**



**Input Current vs. Differential Input Voltage**

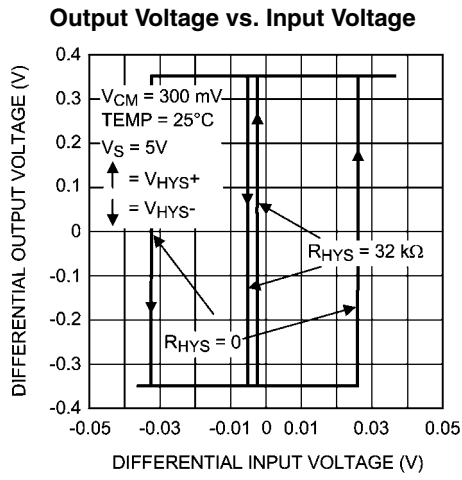


**Maximum Toggle Rate**

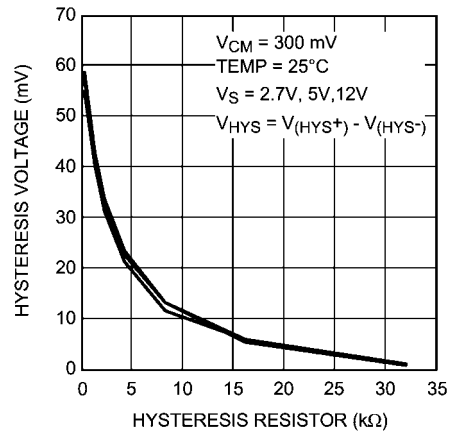


代表的な性能特性 (つづき)

特記のない限り、 $T_J = 25^\circ\text{C}$ 、 $V_{CC1} = +5\text{V}$ 、 $V_{CC0} = +3.3\text{V}$ 、 $V_{EE} = -5\text{V}$ 。



### Hysteresis Voltage vs. Hysteresis Resistor



## アプリケーション情報

## はじめに

LMH7322 は RS(P)ECL (Reduced Swing Positive Emitter Coupled Logic) 出力を持つ高速コンパレータで、 $V_{CC0}$  を 2.5V に設定した場合、LVDS (Low Voltage Differential Signaling) と互換です。相補出力を使用すると、同相ノイズが大幅に抑制されます。LMH7322 の立ち上がり/立ち下がり時間は非常に高速で、最大で数ギガビット / 秒 (Gbps) のデータ転送速度が可能です。LMH7322 の入力は、負の電源電圧より 200mV 低い電圧までカバーする同相電圧範囲を持ち、単一電源を使用した場合はグラウンド検出が可能です。LMH7322 の立ち上がり/立ち下がり時間は約 160ps、伝搬遅延時間は約 700ps です。LMH7322 は単一電源電圧または 2 電源電圧を使用し、電源電圧範囲 2.7V ~ 12V の全領域で動作可能です。このきわめて便利な特長により、複数の高速ロジック・ファミリ間の柔軟性の高いインタフェースとして利用できます。アプリケーション情報の「ロジック・ファミリ間のインタフェース」のセクションでいくつかの設定について説明します。出力の基準電圧は、正の  $V_{CC0}$  電源レールです。5V 動作時の消費電流は 23mA (コンパレータ 1 個あたり、負荷電流を除く) です。LMH7322 は 24ピン LLP パッケージで提供されます。

このセクションでは、次の項目について説明します。

- 入出力ポロジ
- 仕様の定義
- 伝搬遅延と分散
- ヒステリシスと発振
- 出力
- 伝送ラインの適用
- プリント基板レイアウト

## 入出力ポロジ

入出力ピンはすべて、ESD ダイオードにより過大電圧から保護されます。これらのダイオードは、負の電源と正の電源を導通します。Figure 1 に示すように、両方の入力がこれらのダイオードに接続されています。入力段の両方のベース間に接続した逆並列ダイオードの列と共に 250  $\Omega$  の 2 つの抵抗を使用すると、さらに入力が保護されます。抵抗とダイオードのこの組み合わせは、入力段の過大な入力電圧を低減しますが、出力信号へのスイッチング速度を維持するのに十分なレベルの低さです。

過大電源電圧に対する保護は、 $V_{CC}$  と GND の間のパワー Clamp によって行われます。

このデバイスを使用するときは、これらのダイオードが導通するレベルにまで差動入力電圧が上がるような状況に注意します。このような場合は、入力電流が両方の入力間のバイパス・ダイオード列を流れるので、入力電流がデータシート表に記載された通常値を大きく超えて上昇しています。

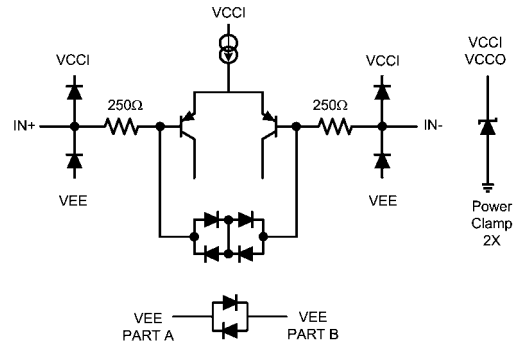


FIGURE 1. Equivalent Input Circuitry

LMH7322 の出力段はエミッタ・フォロワ 2 個で構成され、基準電圧は  $V_{CC0}$  です (Figure 2 を参照)。それぞれの出力トランジスタがアクティブになるのは、低い側の電源レールに接続した外付け出力抵抗に電流が流れているときです。出力構成は、実際にはすべてのほかの ECL デバイスと同じです。出力の動作は、 $V_{CC0} - 2V$  の終端電圧にエミッタを接続することにより行われます。この場合、50  $\Omega$  の終端抵抗が使用でき、50  $\Omega$  の伝送ラインを駆動できます。データシートの表に従ってエミッタ電流の適切な値を計算することにより、負の最大値を持つ電源に抵抗を介してエミッタを接続する方法もあります。どちらの方法も便利なので、どちらを使用するかはユーザー次第です。終端電圧に対して 50  $\Omega$  を使用すると、システムに余分な電源電圧を導入することになりますが、一方で負の電源で抵抗を使用するときは、50  $\Omega$  よりかなり大きな抵抗を使用することになり、出力段の一定出力電流がより大きくなります。次に、この差を計算で示します。この例では、2.5V の  $V_{CC0}$ 、 $V_{CC0} - 2V$  の  $V_T$ 、- 5V の負電源が使用されます。50  $\Omega$  抵抗を介して出力を  $V_T$  に接続するときは、High 状態と Low 状態の出力電流はそれぞれ 18mA と 10mA です。400  $\Omega$  抵抗を介して出力を - 5V 電源に接続するときは、High 状態と Low 状態の出力電流はそれぞれ 16mA と 15mA です。 $V_{EE}$  に対する抵抗値を高くすると、さらに消費電力が削減されますが、出力段での遷移が遅くなります。遷移の遅さが問題にならないアプリケーションでは、これは消費電力を抑える有効な方法です。

## アプリケーション情報 (つづき)

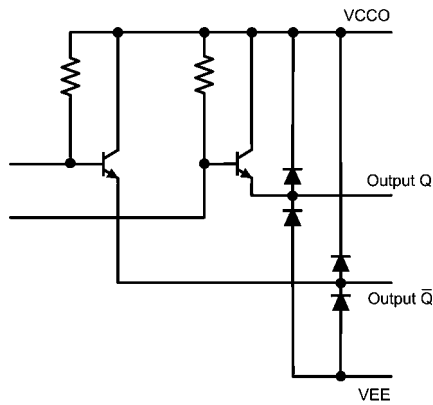


FIGURE 2. Equivalent Output Circuitry

"1"と"0"の出力電圧の差は約400mVであり、それぞれ $V_{CCO}$ より1.1V低い値("1"の場合)と1.5V低い値("0"の場合)です。この400mVの差はLVDS入力の駆動に十分であり、さらに適切な電源電圧(特に適切なレベルの $V_{CCO}$ )を選択した場合は、ECLやPECLの入力にも使用できます。

## 定義

記号	用語	説明
$I_B$	入力バイアス電流	両方の入力ピンを表に示す電圧 $V_{CM}$ にバイアスしたときに入力ピンに流入または流出する電流。
$I_{OS}$	入力オフセット電流	反転入力と非反転入力の入力バイアス電流の差。
$TC I_{OS}$	入力オフセット電流の平均ドリフト	$I_{OS}$ の温度ドリフト係数。
$V_{OS}$	入力オフセット電圧	出力レベルを変化させるために $IN+$ と $IN-$ に必要な電圧の差で、平均値がHからL、LからHへの遷移に使用されます。
$TC V_{OS}$	入力オフセット電圧の平均ドリフト	$V_{OS}$ の温度ドリフト係数。
$V_{RI}$	入力電圧範囲	通常動作を維持するために入力ピンに印加可能な電圧。
$V_{RID}$	差動入力電圧範囲	入力クランプが動作していないときの正と負の入力の差動電圧。電圧差は電源電圧と同じになる可能性があります、過大入力電流はクランプ・ダイオードと保護抵抗を流れます。
CMRR	同相信号除去比	入力オフセット電圧の変化量と同相入力電圧の変化量の比。
PSRR	電源電圧除去比	入力オフセット電圧の変化量と、電源電圧の変化量( $V_{S-MIN}$ と $V_{S-MAX}$ )の比。
$A_V$	アクティブ・ゲイン	回路全体のゲイン。
Hyst	ヒステリシス	スイッチング・ポイント"0"と"1"の差。
$I_{B-LE}$	ラッチ・イネーブル・バイアス電流	両方の入力ピンを通常のPECLレベルでバイアスしたときに入力ピンに流入または流出する電流。
$I_{OS-LE}$	ラッチ・イネーブル・オフセット電流	LEと $\overline{LE}$ ピンの入力バイアス電流の差。
$TC I_{OS-LE}$	ラッチ・イネーブル・オフセット電流の温度ドリフト係数	$I_{OS-LE}$ の温度ドリフト係数。
$V_{OS-LE}$	ラッチ・イネーブル・オフセット電圧	デバイスをラッチ状態またはトランスペアレント状態にするために必要なLEと $\overline{LE}$ 間の電位差。
$TC V_{OS-LE}$	ラッチ・イネーブル・オフセット電圧の温度ドリフト係数	$V_{OS-LE}$ の温度ドリフト係数。
$V_{RI-LE}$	ラッチ・イネーブル電圧範囲	デバイスを損傷せずにLE入力ピンに印加可能な電圧。
$V_{RID-LE}$	ラッチ・イネーブル差動電圧範囲	クランプが動作していないときのLEと $\overline{LE}$ の差動電圧。電圧差は電源電圧と同じになる可能性があります、過大入力電流はクランプ・ダイオードと保護抵抗を流れます。
$V_{OH}$	Highの出力電圧	Highレベルのシングルエンド出力電圧( $\overline{Q}$ またはQ)(Figure 17を参照)。

## アプリケーション情報 (つぎ)

記号	用語	説明
$V_{OL}$	Low の出力電圧	Low レベルのシングルエンド出力電圧 ( $\bar{Q}$ または Q) (Figure 17 を参照)。
$V_{OD}$	$V_{ODH}$ と $V_{ODL}$ の平均値	$(V_{ODH} + V_{ODL})/2$
$I_{VCCI}$	入力段消費電流	入力段の消費電流。
$I_{VCCO}$	出力段消費電流	出力段の消費電流 (負荷抵抗への電流は除く)。
$I_{VEE}$	$V_{EE}$ ピンの消費電流	負の電源ピンへ流れ入る電流。
TR	最大グル・レート	$V_{OH}$ と $V_{OL}$ の公称値間で出力の切り替えが可能な最大周波数。
PW	パルス幅	信号の立ち上がりエッジの 50% の位置から立ち下がりエッジの 50% の位置までの期間。
$t_{PDH}$ resp $t_{PDL}$	伝搬遅延時間	入力信号が L から H へのスイッチング・レベルを超える時点から、出力信号が Q 出力の立ち上がりエッジの 50% を超える時点 ( $t_{PDH}$ ) までの遅延時間、または入力信号が H から L へのスイッチング・レベルを超える時点から、出力信号が Q 出力の立ち下がりエッジの 50% を超える時点 ( $t_{PDL}$ ) までの遅延時間。
$t_{PDL}$ resp $t_{PDH}$		入力信号が L から H へのスイッチング・レベルを超える時点から、出力信号が $\bar{Q}$ 出力の立ち下がりエッジの 50% を超える時点 ( $t_{PDL}$ ) までの遅延時間、または入力信号が H から L へのスイッチング・レベルを超える時点から、出力信号が $\bar{Q}$ 出力の立ち上がりエッジの 50% を超える時点 ( $t_{PDH}$ ) までの遅延時間。
$t_{PDLH}$		$t_{PDH}$ と $t_{PDL}$ の平均値。
$t_{PDHL}$		$t_{PDL}$ と $t_{PDH}$ の平均値。
$t_{PD}$		$t_{PDLH}$ と $t_{PDHL}$ の平均値。
$t_{PDHd}$ resp $t_{PDLd}$		入力信号が L から H へのスイッチング・レベルを超える時点から、差動出力信号の立ち上がりエッジが 0 と交差する時点 ( $t_{PDHd}$ ) までの遅延時間、または入力信号が H から L へのスイッチング・レベルを超える時点から、差動出力信号の立ち下がりエッジが 0 と交差する時点 ( $t_{PDLd}$ ) までの遅延時間。
$t_{OD-disp}$		入力オーバードライブ時の分散時間
$t_{SR-disp}$	入力スルーレートによる分散	入力ピンのスルーレートが異なるときの $t_{PD}$ の変化。
$t_{CM-disp}$	同相入力による分散	入力ピンの同相電圧が異なるときの $t_{PD}$ の変化。
$t_{PDLH}$ resp $t_{PDHL}$	Q から $\bar{Q}$ の時間差	$\bar{Q}$ 出力の立ち上がりエッジの 50% レベルの時点から出力の立ち下がりエッジのレベルの時点までの時間差 ( $t_{PDLH}$ )、または Q 出力の立ち下がりエッジの 50% レベルの時点から $\bar{Q}$ 出力の立ち上がりエッジのレベルの時点までの時間差 ( $t_{PDHL}$ )。
$t_{PD}$	Q から $\bar{Q}$ の時間差の平均値	L から H、H から L への遷移についての $t_{PDLH}$ と $t_{PDHL}$ の平均値。
$t_{PDd}$	差動時間差の平均値	L から H、H から L への遷移についての $t_{PDHd}$ と $t_{PDLd}$ の平均値。
$t_r/t_{rd}$	出力立ち上がり時間 (20% ~ 80%)	(シングルエンドまたは差動) 出力電圧が公称値の 20% から 80% に変化するまでの所要時間。
$t_f/t_{fd}$	出力立ち下がり時間 (20% ~ 80%)	(シングルエンドまたは差動) 出力電圧が公称値の 80% から 20% に変化するまでの所要時間。
$t_{sLE}$	ラッチ・セットアップ時間	ラッチ機能がイネーブルになるまでに入力信号が安定していなければならない時間。
$t_{hLE}$	ラッチ・ホールド時間	ラッチ機能がイネーブルになった後で入力信号が安定していなければならない時間。
$t_{PD-LE}$	出力へのラッチ遅延時間	ラッチ入力が High から Low へのスイッチング・レベルを超える時点から、差動出力信号が 50% レベルを超える時点までの遅延時間。 注: ラッチがイネーブルになったとき、入力信号は出力信号の反対です。

アプリケーション情報 (つぎ)

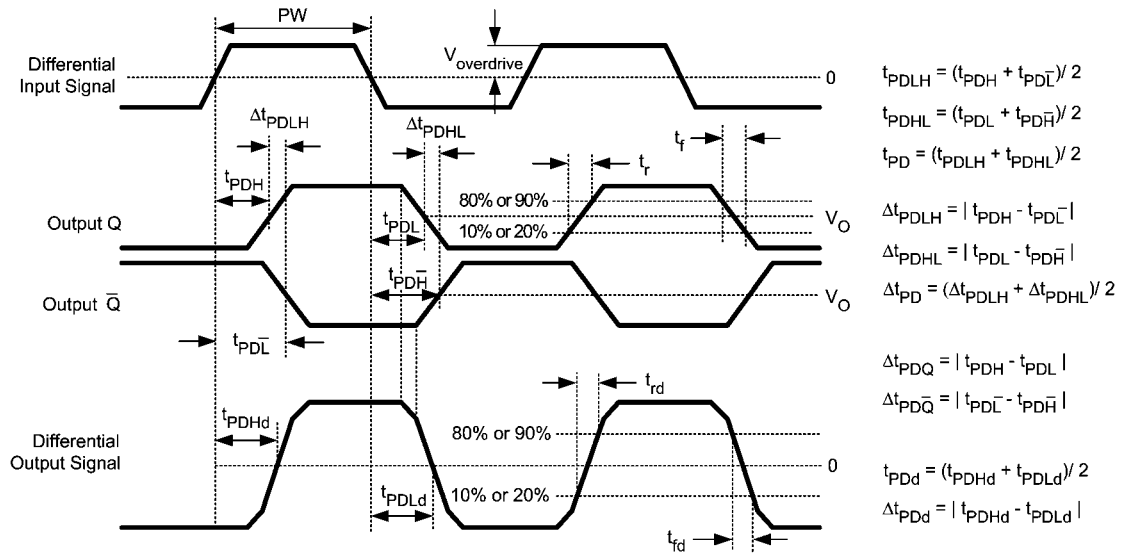


FIGURE 3. Timing Definitions

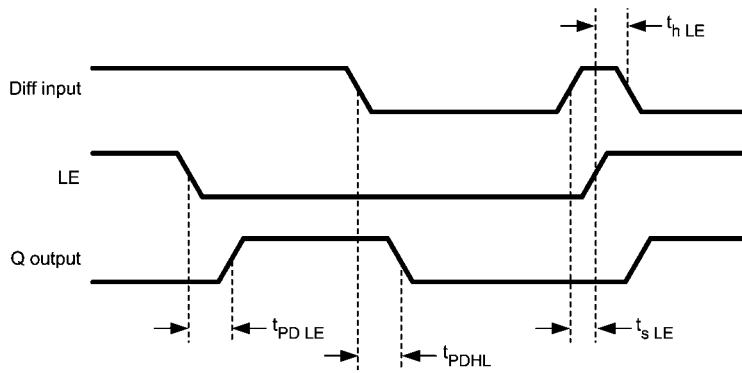


FIGURE 4. LE Timing

## ピン説明

ピン	記号	名称		説明
1.	VCCOA	出力段の正電源電圧	デバイスA	出力段の電源ピンは、入力ピンの電源ピンとは独立しています。これにより、異なるロジック・ファミリについて複数の出力レベルを使用できます。
2.	LEA	ラッチ・イネーブル入力	デバイスA	ロジック "1" で、デバイスをホールド状態に設定します。ロジック・レベルは RSPECL (Reduced Swing PECL) 互換です。
3.	$\overline{\text{LEA}}$	ラッチ・イネーブル入力なし	デバイスA	ロジック "0" で、デバイスをホールド状態に設定します。ロジック・レベルは RSPECL 互換です。
4.	VEEA	負電源電圧	デバイスA	負電源電圧の電源ピンは、2つの逆並列ダイオードの列を介して VEEB に接続されます (Figure 1 を参照)。
5.	VCCIA	入力段の正電源電圧	デバイスA	入力段の電源ピンは、出力段の電源とは独立しています。
6.	RHYSA	ヒステリシス抵抗	デバイスA	ヒステリシス電圧は、抵抗をこのピンから RHREFA に接続して決定します。
7.	INA -	負の入力電圧	デバイスA	VEEA より 200mV 低い電圧と VCCIA より 2V 低い電圧との間のアナログ電圧の入力。
8.	INA +	正の入力電圧	デバイスA	VEEA より 200mV 低い電圧と VCCIA より 2V 低い電圧との間のアナログ電圧の入力。
9.	RHREFA	基準電圧ヒステリシス抵抗	デバイスA	ヒステリシス電圧は、抵抗をこのピンから RHYSB に接続して決定します。
10.	RHREFB	基準電圧ヒステリシス抵抗	デバイスB	ヒステリシス電圧は、抵抗をこのピンから RHYSB に接続して決定します。
11.	INB +	正の入力電圧	デバイスB	VEEB より 200mV 低い電圧と VCCIB より 2V 低い電圧との間のアナログ電圧の入力。
12.	INB -	負の入力電圧	デバイスB	VEEB より 200mV 低い電圧と VCCIB より 2V 低い電圧との間のアナログ電圧の入力。
13.	RHYSB	ヒステリシス抵抗	デバイスB	ヒステリシス電圧は、抵抗をこのピンから RHREFB に接続して決定します。
14.	VCCIB	入力段の正電源電圧	デバイスB	入力段の電源ピンは、出力段の電源とは独立しています。
15.	VEEB	負電源電圧	デバイスB	負電源電圧の電源ピンは、2つの逆並列ダイオードの列を介して VEEA に接続されます (Figure 1 を参照)。
16.	$\overline{\text{LEB}}$	ラッチ・イネーブル入力なし	デバイスB	ロジック "0" で、デバイスをホールド状態に設定します。ロジック・レベルは RSPECL 互換です。
17.	LEB	ラッチ・イネーブル入力ロジック	デバイスB	"1" で、デバイスをホールド状態に設定します。ロジック・レベルは RSPECL 互換です。
18.	VCCOB	出力段の正電源電圧	デバイスB	出力段の電源ピンは、入力ピンの電源ピンとは独立しています。これにより、異なるロジック・ファミリについて複数の出力レベルを使用できます。
19.	$\overline{\text{QB}}$	反転出力	デバイスB	出力レベルは、選択した VCCOB によって決まります。
20.	QB	出力	デバイスB	出力レベルは、選択した VCCOB によって決まります。
21.	VCCOB	出力段の正電源電圧	デバイスB	他の VCCOB を参照してください。
22.	VCCOA	出力段の正電源電圧	デバイスA	他の VCCOA を参照してください。
23.	QA	出力	デバイスA	出力レベルは、選択した VCCOA によって決まります。
24.	$\overline{\text{QA}}$	反転出力	デバイスA	出力レベルは、選択した VCCOA によって決まります。
25.	DAP	パッケージ底面の中央パッド	A および B	このパッドは、VEE ピンに接続します。パッドの目的は、熱をデバイス外部に放散することです。

## ピン説明 (つづき)

### LMH7322を使用するときのヒントとテクニック

このセクションでは、LMH7322を使用するいくつかのアプリケーションの概要を示します。

LE機能、 $V_{EE}$ ピンと組み合わせたDAPの接続、およびこのデバイスをいくつかのロジック・ファミリ間のインタフェースとして使用する方法について説明します。

### ラッチ・イネーブル・ピン

ラッチ機能の目的は、デバイスによる両方の入力ピンの信号の比較を停止することです。ラッチ機能がイネーブルの場合は出力が凍結され、その時点で出力ピン上にあるロジック情報はラッチ機能がディスエーブルになるまでホールドされます。このプロセスのタイミングをFigure 4に示します。ラッチ・ピンの入力レベルは、RSPECLに適合していなければなりません、最小電源電圧 ( $V_{CC0} - V_{EE}$ ) が3.3V以上の場合、PECLタイプの信号によっても駆動できます。最小差動ラッチ入力電圧は100mVです。LE機能を安定状態に設定するには、抵抗を介してピンを電源に接続する方法もあります。LEピンを10kの抵抗を介して $V_{EE}$ に接続し、LE-notピンを10kの抵抗を介して $V_{CC0}$ ピンに接続した場合、デバイスは連続的にオンの状態になります。ラッチ入力段は $V_{CC0}$ を基準にするので、LE機能を設定する抵抗はこの電圧に接続する必要があります。この点は、 $V_{CCI}$ と $V_{CC0}$ で異なる電圧を使用するとき大変重要です。誤った電源に接続した場合、ラッチ機能は働きません。

### DAPと $V_{EE}$ ピン

両方の $V_{EE}$ ピンが同じ電圧で動作することを保証するには、どちらのピンもDAPに接続することにより、ボンディング・ワイヤを介して相互に接続されるようにします。その結果、DAPは $V_{EE}$ ピンと同じ電位になり、デバイスを最小電源電圧に接続するのに使用できます。内部のボンディング・ワイヤを介して間接的に接続するのではなく、2つの $V_{EE}$ ピンとDAPをすべてプリント基板の最小電圧電源に接続すると、さらにしっかりした $V_{EE}$ 接続が得られます。

取り扱い時と稼働時にデバイスを損傷から防ぐために、 $V_{EE}$ ピンの間に逆並列ダイオードが2個接続されています。通常の動作条件では、これらのダイオードはDAPを介して短絡されます。

DAP (ダイ・アタッチ・パッド) はヒート・シンクとして機能し、このパッドの下にあるビアを使用して、 $V_{EE}$ が接続されている銅箔パターンに熱を伝導できます。

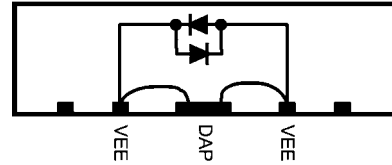


FIGURE 5. DAP Connection

### ロジック・ファミリ間のインタフェース

「標準的な回路図」(本データシートの最初の部分を参照)に示すように、LMH7322は異なるロジック・ファミリ間のインタフェースとして使用できます。これは、入力段と出力段が異なる正の電源ピンを使用していて、異なる電圧で使用できるという特長があるためです。両方の部位で、負の電源ピンは相互に接続されます。電源電圧の異なる複数の電源ピンを使用することにより、ロジック・ファミリ間での何通りかの変換を実現します。ECLなど負電圧レベルのロジックからREPECLやLVDSなど正電圧レベルのロジックへの変換、およびその逆の変換ができます。次の段落で示す図は、最初の出力抵抗のみ示しています。これは、わかりやすくするために単純化した図です。最初のページのECLからRSPECLへのコンバータ・アプリケーションの説明で示すように、すべての出力で、終端電圧または負側のレールに対する出力抵抗が必要です。

### ECLからRSPECLへのインタフェース

電源電圧ピン $V_{CCI}$ をグラウンドに接続できます。この理由は、RSPECLレベルを生成するには、入力レベルが負で、 $V_{CC0}$ が5Vで動作する必要があるからです(Figure 6を参照)。ECLを使用するときは、負の電源ピン( $V_{EE}$ )を-5.2V ECL電源電圧に接続できます。

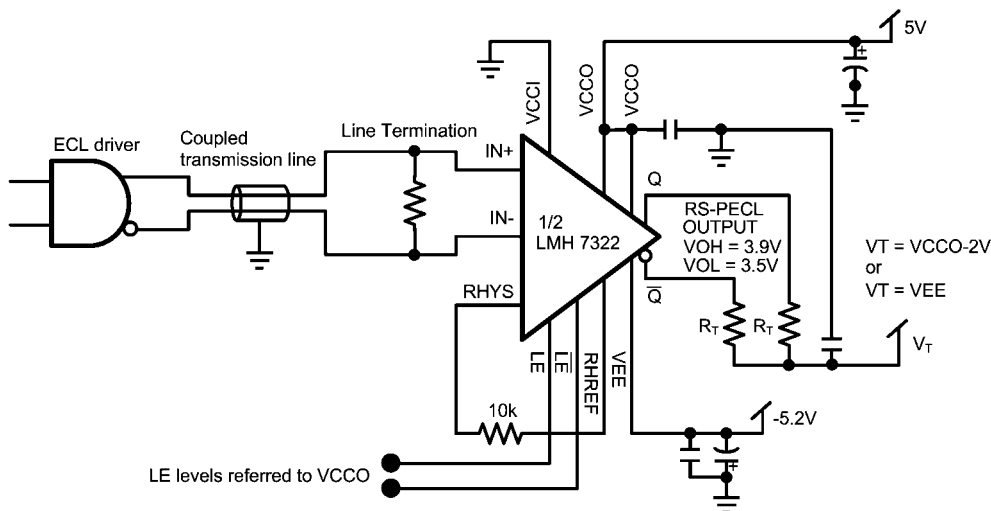


FIGURE 6. ECL TO RSPECL



ピン説明 (つづき)

PECL から (RS)ECL へのインタフェース

PECL から RS-ECL への変換は、 $V_{CCI}$  ピンを + 5V に接続しているときに可能です。この接続により、入力段でこれらの正のレベルを処理できるようになるからです。RSECL のレベルを得るには、 $V_{CCO}$  ピンはグラウンドに接続する必要があります。LMH7322

の出力の High レベルは通常  $V_{CCO}$  電源電圧より 1.1V 低く、Low レベルはこの電源電圧より 1.5V 低くなります。これにより、出力レベルはロジック "1" で - 1100mV、ロジック "0" で - 1500mV です (Figure 7 を参照)。同様に、 $V_{EE}$  は - 5.2V の ECL 電源電圧に接続できます。

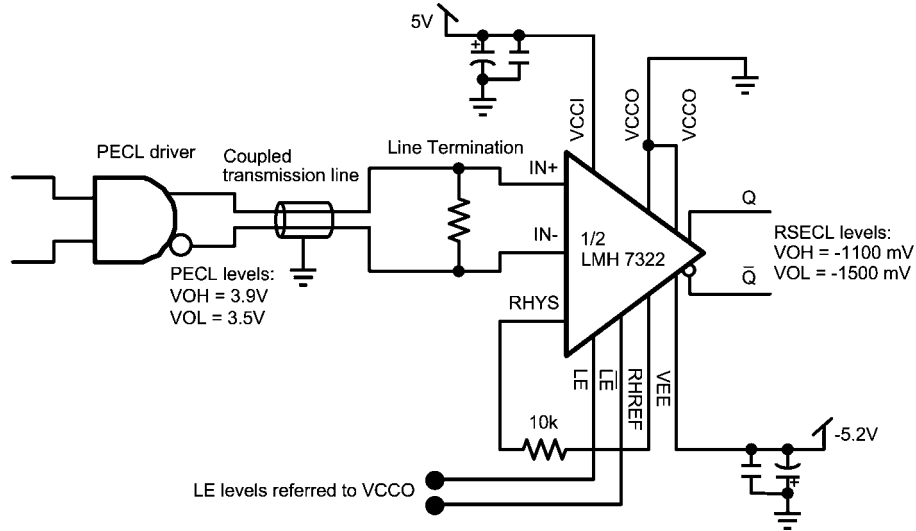


FIGURE 7. PECL TO RSECL

アナログから LVDS へのインタフェース

Figure 8 に示すように、LVDS レベルを出力するように LMH7322 を設定できます。このためには、 $V_{CCO}$  を 2.5V に接続します。前述したように、これで出力レベルはロジック "1" で  $V_{CCO} - 1.1V$ 、ロジック "0" で  $V_{CCO} - 1.5V$  になります。これらのレベルはそれぞれ 1000mV と 1400mV で、LVDS のレベルを満たします。この設定で示すように、伝送ラインを経由する AC 結合信号が使用されます。この信号は、50  $\Omega$  で終端されます。

$V_{EE}$  ピンがグラウンド・レベルに接続されています。 $V_{CCI}$  ピンが  $V_{CCO}$  ピンに接続されていますが、これは異なる正の電源電圧を使用する必要がないからです。入力信号は、正の入力に AC 結合されています。信頼性の高い結果を得るために、入力ピン  $IN+$  と  $IN-$  は、グラウンド側に 1k の抵抗、 $V_{CC}$  側に 2.5k の抵抗を使用する抵抗分圧器、およびデカップリング・コンデンサを 2 個追加することにより 1.4V でバイアスされます。両方の入力は、10k の抵抗を使用してバイアス・レベルに接続されます。この入力設定では、入力段は約 3V<sub>pp</sub> の信号で線形領域で動作できます (データ表の入力レベルの制限を参照)。

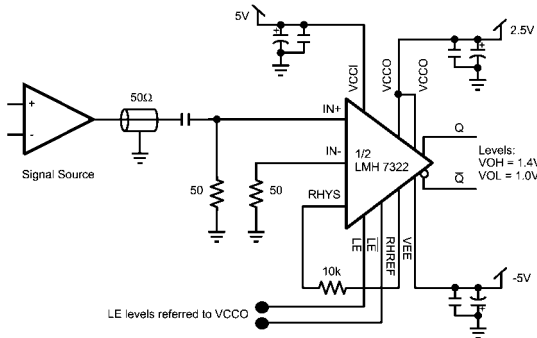


FIGURE 8. ANALOG TO LVDS

Figure 9 に、 $V_{CCO}$  電源電圧が + 5V で RSPECL のレベルを出力する標準的なコンパレータの設定を示します。この設定では、

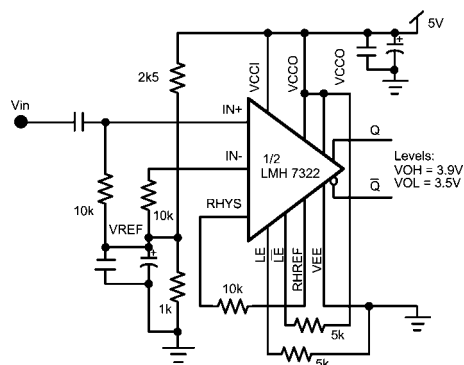


FIGURE 9. Standard Setup

## ピン説明 (つづき)

### 遅延と分散

コンパレータは、アナログの世界とデジタルの世界をつなぐものとして幅広く利用されています。コンパレータの精度は、オフセット電圧とヒステリシスなどの DC 特性、および立ち上がり/立ち下がり時間と遅延時間などのタイミング特性で決まります。低周波アプリケーションでは、多くのコンパレータの処理速度は処理対象のアナログ入力信号より非常に高速です。この場合、タイミング特性は入力スイッチング・レベルの精度ほど重要ではありません。周波数が高くなるほど、コンパレータのタイミング特性の重要性が高くなります。これは、コンパレータの応答によりタイム・フレームやデューティ・サイクルなどの重要なパラメータが大きく変わる可能性があるからです。設計時には、これらの影響を認識して対処する必要があります。出力信号の挙動を予測するために、コンパレータの動作を示すパラメータをいくつか定義しています。後続のセクションで説明するタイミング・パラメータを理解しやすくするために、簡単な説明とタイミング図をいくつか示します。

### 伝搬遅延時間

伝搬遅延時間パラメータについては、「定義」のセクションで説明しています。この定義に従うと、 $t_{PDH}$  と  $t_{PDL}$  の 2 つのパラメータがあります (Figure 10 を参照)。両方のパラメータが必ずしも同じ値になるわけではありません。内部回路の応答が異なることにより、差が生じることがあります。この影響を受けて、もう 1 つのパラメータが定義されます。  $t_{PD}$  です。このパラメータは、 $t_{PDH}$  と  $t_{PDL}$  の差の絶対値として定義されます。

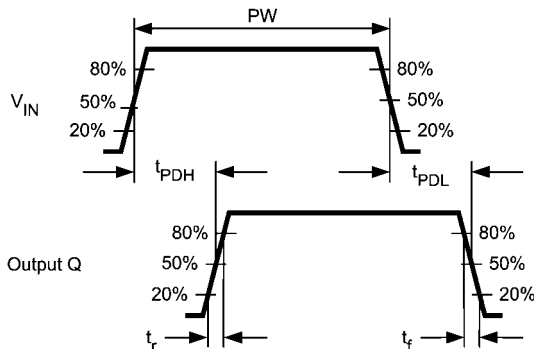


FIGURE 10. Propagation Delay

$t_{PD} = 0$  の場合、デューティ・サイクルの歪みが発生します。例えば、入力に対称波形 (正弦波など) を印加すると、コンパレータはデューティ・サイクル 50% の対称矩形波を出力すると予測されます。 $t_{PDH}$  と  $t_{PDL}$  が異なる場合、出力信号のデューティ・サイクルは 50% にならず、増加するか減少します。前述したシングルエンド出力の伝搬遅延時間パラメータに加えて、相補出力の場合には他のパラメータもあります。これらのパラメータは、入力から各出力までの遅延時間、および両方の遅延時間の差を示します (Figure 11 を参照)。差動入力信号が L から H への基準レベルと交差するときに、両方の出力はいくらかの遅延を伴って新しい状態に切り替わります。この遅延時間は、Q 出力では  $t_{PDH}$ 、 $\bar{Q}$  出力では  $t_{PDL}$  として定義されます。また、両方の信号の差は  $t_{PDLH}$  として定義されます。入力信号の立ち下がり勾配についての同様な定義は Figure 3 を参照してください。

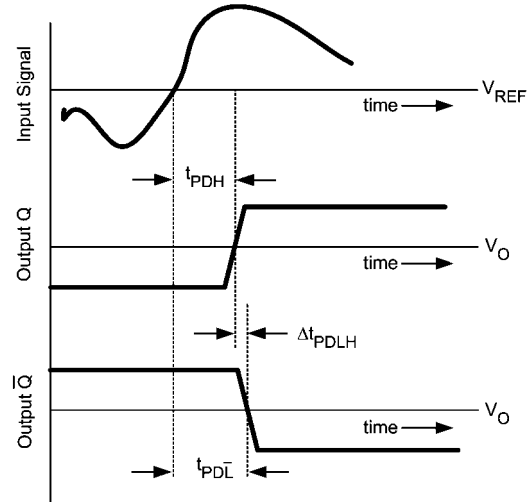


FIGURE 11.  $t_{PD}$  with Complementary Outputs

両方の出力回路は対称である必要があります。一方の出力が「オン」にスイッチングする時点で他方は「オフ」にスイッチングし、2 つの出力に時間差がないのが理想的です。LMH7322 の設計は、このタイミングの時間差が最小になるように最適化されています。伝搬遅延時間  $t_{PD}$  は、両方の勾配における両方の出力の平均遅延  $((t_{PDLH} + t_{PDHL})/2)$  として定義されます。

オーバードライブと開始点は両方とも、 $V_{REF}$  (絶対値) 近くで等分される必要があります。

### 分散

伝搬遅延時間が変動する状況がいくつかあります。この影響は分散と呼ばれます。

#### 振幅オーバードライブ時の分散

分散の原因となるパラメータの 1 つは、入力信号の振幅変動です。Figure 12 は、入力オーバードライブ電圧の変動による分散を示しています。オーバードライブは、入力に印加される「大幅な」差動電圧として定義されます。Figure 12 は、オーバードライブが 10mV から 100mV まで変化した場合の伝搬遅延時間に対する影響も示しています。このパラメータは、入力信号のスループレートを一定にして計測します。

## ピン説明 (つづき)

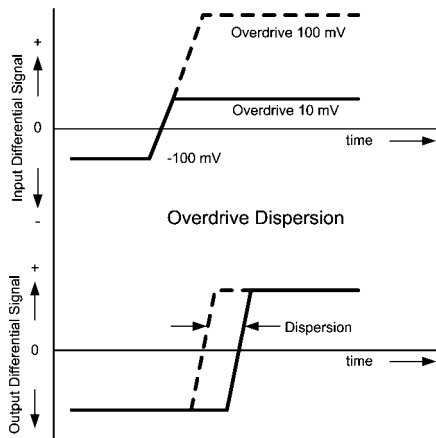


FIGURE 12. Overdrive Dispersion

オーバードライブ時の分散は、入力段のスイッチング電流が差動入力信号のレベルに依存することにより発生します。

## スルーレートによる分散

スルーレートは、伝搬遅延に影響するもう1つのパラメータです。入力スルーレートが高くなるほど、入力段のスイッチングが高速になります (Figure 13 を参照)。

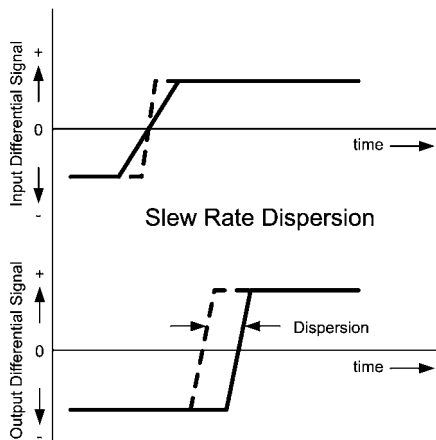


FIGURE 13. Slew Rate Dispersion

周波数が一定で振幅の異なる信号を印加すると、オーバードライブとスルーレートの組み合わせによる分散が発生します。振幅が小さいと単位時間あたりの電圧変化 ( $dV/dt$ ) は小さくなりますが、入力トランジスタの最大スイッチング電流 (オーバードライブ) も小さくなります。振幅が大きいと、 $dV/dt$  もオーバードライブも大きくなります。

## 同相による分散

入力信号の同相レベルが変化しても、分散が発生します (Figure 14 を参照)。 $V_{REF}$  が CMVR (同相電圧範囲) で変化すると、伝搬遅延時間が変動します。この変動は同相による分散と呼ばれます。

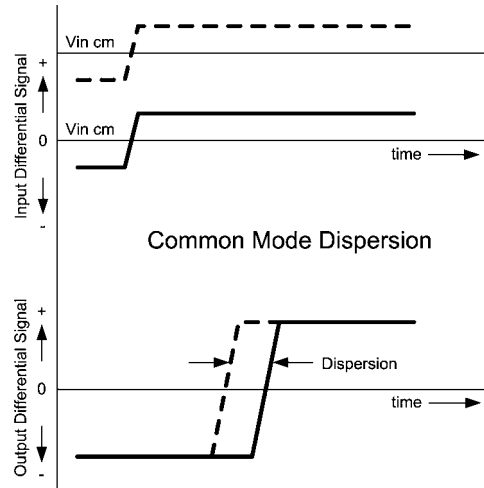


FIGURE 14. Common Mode Dispersion

前述したすべての分散が、伝搬遅延時間に影響します。実際に、分散は多くの場合、変化する複数のパラメータの組み合わせにより発生します。

## ヒステリシスと発振

オペアンプとは異なり、コンパレータの出力は、定義済みの状態 "0" または "1" の 2 つだけです。ただし、コンパレータのゲインは有限であるため、入力差動電圧の一部の範囲で出力が未定義の状態になります。勾配が大きい入力信号は、この範囲を非常に急速に問題なく通過します。しかし、小さい勾配では、不確かな範囲を通過するまでに比較的に長くかかることがあります。これにより、コンパレータの出力が 1 つの勾配で "0" と "1" の間を複数回スイッチングします。コンパレータは、入力ノイズ、グラウンド・バウンス (発振の可能性あり)、リンギングなどを起こします。入力信号に含まれるノイズも、これらの意図しないスイッチング動作の原因となります。後続のセクションでは、ヒステリシスを適用しない場合のこれらの現象と、ヒステリシスによりどのように改善する可能性があるかについて説明します。

## ヒステリシスを使用しない場合

Figure 15 に、スレッショルド  $V_{REF}$  のやや下からスレッショルドのやや上まで入力信号が立ち上がる時に発生する現象を示します。  $t = 0$  で、入力が  $V_{REF}$  のすぐ下の点線に到達する時点から、出力はトグル・オンによりノイズなどを発生します。  $t = 1$  で、入力信号が未定義領域を出ると、トグルは終了します。この例では、出力は 3 回トグルが発生する速度です。この挙動により、出力に接続されたデジタル回路はパルス数を不正にカウントします。これを防ぐ 1 つの方法は、入力状態が未定義となる期間に出力が "0" と "1" の間で複数回スイッチングしない、非常に低速のコンパレータを選択することです。

ピン説明 (つづき)

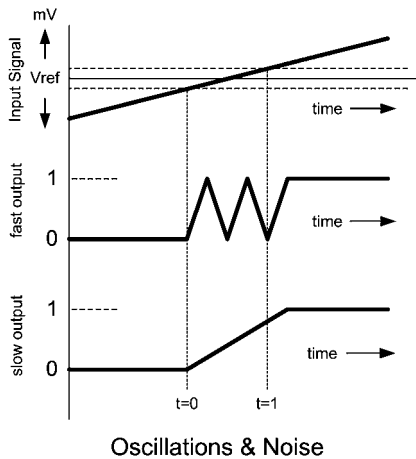


FIGURE 15. Oscillations on Output Signal

多くの場合、入力信号のスルーレートが変化するため、この方法は選択できません。

ヒステリシスを使用する場合

勾配が小さいときに発振とノイズを防ぐよい方法は、ヒステリシスを使用することです。このために、入力信号がこのレベルを超えた時点でスイッチング・レベルを強制的に新しいレベルに変化させます。これを Figure 16 に示します。

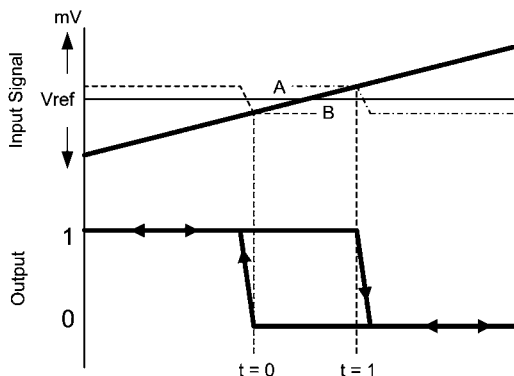


FIGURE 16. Hysteresis

この図には一点鎖線 A と点線 B の 2 本の線があり、両方の線がコンパレータの出力が切り替わるレベルを示しています。この状況で入力信号が負の入力、スイッチング・レベル ( $V_{REF}$ ) が正の入力に接続されていると仮定します。LMH7322 にはヒステリシス・ピンがあり、このピンに接続された抵抗が、出力の状態に応じて異なる  $V_{REF}$  レベルを決定します。ヒステリシス・ピンは、 $V_{EE}$  に接続する必要があり、また短絡状態から開放ピンの状態まで変化できます。 $V_{EE}$  に対する短絡状態では、最高のヒステリシス電圧変化が生じ、開放ピンの状態ではレベル変化はありません。Figure 16 の入力レベルは基準レベルよりかなり低い値から始まります。これは入力段の状態が非反転入力よりかなり低い反転入力として定義されていることを意味します。この結果、出力は High 状態になります。内部的に、スイッチング・レベルは A です。入力信号が上昇すると、 $t = 1$  で  $V_{IN}$  がレベル A と交差するまでこの状況は維持されます。ここで出力が切り替わり、内部のスイッチング・レベルがレベル B まで下降します。したがって、出力が

再度切り替わる前に、入力の差が十分大きくなり、再び安定した状態になります。入力信号が High から Low になるときは、 $t = 0$  でレベル B に達するまで状態は安定しています。 $t = 0$  の時点で出力が元の状態に切り替わり、回路は、反転入力为非反転入力よりかなり低いレベルにある開始時点の状態に戻ります。ヒステリシスのない状況では、出力は  $V_{REF}$  の時点で切り替わります。ヒステリシスを使用すると、Figure 16 に示すように、この切り替えは内部的に導入されたレベル A とレベル B で発生します。ヒステリシス抵抗を変えることによってレベル A と B を変えると、 $t = 0$  と  $t = 1$  のタイミングも変わります。回路の設計時には、この影響に注意する必要があります。ヒステリシスを導入すると、出力と入力の間で若干時間のずれ ( デューティ・サイクルの変動など ) が生じますが、意図しない出力のスイッチングを排除できます。

出力

出力スイングの特性

LMH7322 には差動出力があります。これは、逆方向に同じスイングを持つ 2 つの出力があるということです (Figure 17 を参照)。2 つの出力は、同相出力電圧 ( $V_O$ ) を中心にスイングします。この電圧は、各出力に接続した等価の抵抗 2 個の中間点で計測できます。2 つの電圧の差の絶対値を、 $V_{OD}$  と呼びます。出力はデジタルなので、 $V_O$  レベルに保持することはできません。出力がこのレベルと交差するのは遷移の間だけです。回路の構成が対称的なため、出力が "0" から "1" に変化するときも、"1" から "0" に変化するときも、2 つの出力電圧が  $V_O$  で交差します。

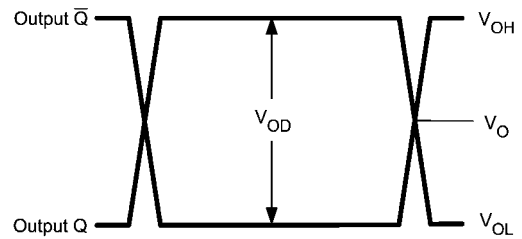


FIGURE 17. Output Swing

出力の負荷

$V_T$  に外付け接続された抵抗に電流が流れると、出力が両方ともアクティブになります。終端電圧は、 $V_{CC0} - 2V$  に設定する必要があります。これにより、各出力を 50  $\Omega$  で直接終端でき、必要に応じて同じインピーダンスを持つ伝送ラインで接続できます (Figure 18 を参照)。出力エミッタ・フォロワの抵抗が小さく、負荷抵抗が 50  $\Omega$  であるため、数 pF の容量性負荷では信号の速度と形状に大きな影響を与えません。ある出力から任意の入力に信号を伝送する場合、終端抵抗は伝送ラインに合わせる必要があります。容量性負荷 ( $C_p$ ) により受信信号が歪みます。この入力をプローブで計測するときには、プローブの一定の容量が終端抵抗と並列になります。合計容量が 10pF ほどに高くなることがあります。この場合、極は次の周波数にあります。

$$f = 1/(2 \times \text{ } \times C \times R)$$

$$f = 1e9/$$

$$f = 318\text{MHz}$$

### 出力 (つぎ)

この場合、電流  $I_p$  の値は終端抵抗を流れる電流と等しくなはず。つまり、入力での電圧降下と立ち上がり / 立ち下がり時間が、この部分に指定された数値と大幅に異なることです。

出力信号に影響する可能性があるもう 1 つの寄生容量は、2 つの出力の間に直接接続された容量  $C_{PAR}$  です (Figure 18 を参照)。LMH7322 には相補出力が 2 つあるので、出力信号が対称的な伝送ラインで送られる可能性があります。この場合、両方の出力経路はそれぞれ固有の寄生容量と結合したラインを構成し、両方の受信器の入力が伝送ラインと接続されます。実際には、ラインの終端は 100 程度で、直列の入力の容量は 100 の終端と並列です。入力信号を計測する最もよい方法は、差動プローブを直接、両方の入力の間で使用することです。このようなプローブは優れた高周波特性を持ち、寄生容量が小さいので、これらの高速信号を計測するのに非常に適しています。

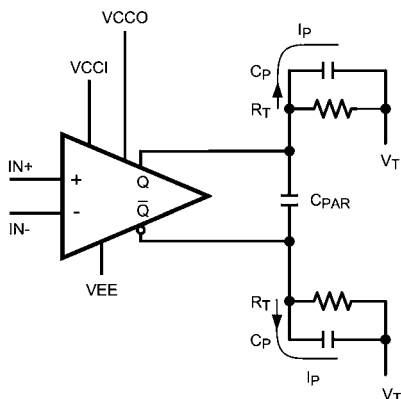


FIGURE 18. Parasitic Capacitance

### 伝送ラインと終端技術

LMH7322 は相補型 RSPECL 出力とエミッタ・フォロワを使用しているため、出力電流を高くでき、寄生容量に対する感度が低くなっています。RSPECL (Reduced Swing Positive Emitter Coupled Logic) を使用することで、電源電圧を最小限の値の 2.7V にまで小さくして、最大限の周波数応答を実現します。データレートを増やすには高速化が必要です。データの接続は、同じ PCB 基板上の IC 間だけでなく、多くの場合、ボード間、または装置間でも行われます。接続する距離が短い場合も長い場合も、消費電力が小さく、高速のデータレートを処理可能な信頼性の高い接続が必要となります。LMH7322 の相補出力により、対称的な伝送ラインを使用できます。シングルエンド信号伝送と比較した場合の利点は、LMH7322 は同相ノイズに対する耐性が高いことです。同相信号は両方のラインで同等に現れる信号であり、受信器は双方のラインの差のみを検知するので、同相ノイズは打ち消されます。

### 最大ビット・レート

最大トグル・レートは、公称出力信号の振幅の 50% の時点で定義されます。このトグル・レートは、デバイスの最大伝送速度の数値で、Hz または Bps の単位を使用します。信号を NRZ (Non Return to Zero) 形式で伝送する場合、1 周期に 2 ビットを伝送できるのでビットレートはこの周波数の 2 倍の値です。(Figure 19 を参照。) 高速回路では、立ち上がり / 立ち下がり時間は非常に重要な仕様です。実際、これらの時間によりデバイスの最大トグル・レートが決まります。立ち上がり / 立ち下がり時間は通常、信号の振幅の 20% と 80% の位置 (60% の差) で指定されます。50% の振幅のエッジがノコギリの歯のようにギザギザの場合、最大トグル・レートの計算ができて、楽観的すぎる値になります。実際には、エッジは直線状ではなく、パルス形状は正弦波に近い形です。

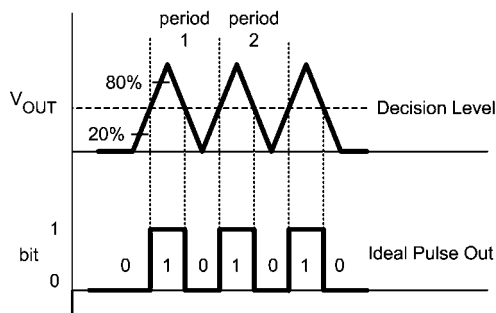


FIGURE 19. Bit Rates

### 伝送ラインの終端の必要性

1980 年代と 1990 年代に、ナショナル セミコンダクターは 100K ECL ロジック・ファミリを製造しました。立ち上がり / 立ち下がり時間の仕様が 0.75ns で、非常に高速と考えられています。伝送ラインの設計と正しい終端の選択に十分注意しない場合、デジタル回路にエラーが取り込まれます。旧来のプリント基板の技術で ECL を使用する設計者に役立つように、立ち上がり / 立ち下がり時間の仕様が 2ns の 10K ECL ファミリが導入されました。これは比較的低速で使いやすいファミリでした。LMH7322 の RSPECL 出力の遷移時間は、高速の ECL ファミリの機能を拡張します。伝送と終端に RF 技術を使用し、注意してプリント基板の設計を行う必要があります。伝送ラインを構成するには、いくつかの方法があります。最も一般的に使用されるタイプは、同軸ケーブルと電話線用のツイストペア・ケーブルです (Figure 20 を参照)。

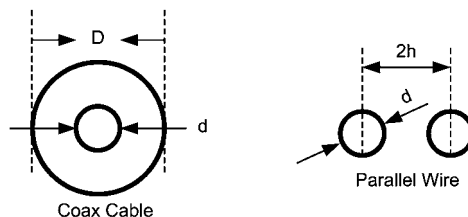


FIGURE 20. Cable Types

## 出力 (つぎ)

これらのケーブルの特性インピーダンスは、形状パラメータで決まります。同軸ケーブルで幅広く使用されているインピーダンスは、50 と 75 です。ツイストペア・ケーブルのインピーダンスは約 120 ~ 150 です。

伝送ラインの他のタイプとして、ストリップ・ラインとマイクロストリップ・ラインがあります。ストリップ・ラインとマイクロストリップ・ラインは、プリント基板で使用されます。これらの特性インピーダンスは、金属グラウンド・プレーン上に配置したトラックの物理的な寸法で決まります (Figure 21 を参照)。

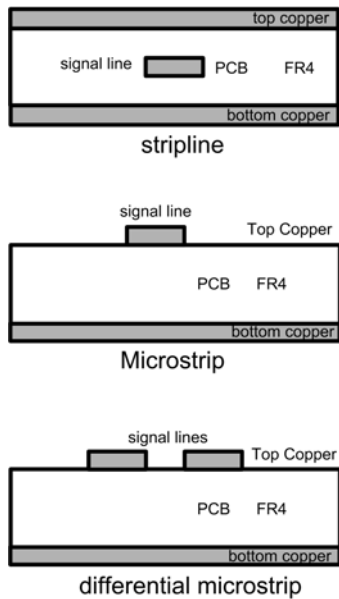


FIGURE 21. PCB Lines

### 差動マイクロストリップ・ライン

相補信号に理想的な伝送ラインは差動マイクロストリップ・ラインです。これは狭い間隔でマイクロストリップ・ラインが 2 本並んでいるものです。2 本のラインが強く結合し、これにより特性インピーダンスが決まります。マイクロストリップ・ラインが銅箔パターン上に配線されていることは、差動インピーダンスに影響せず、CM 容量が付加されるだけです。上の各構造は固有の形状パラメータを持つので、各構造について正しいインピーダンスを計算する式は異なります。これらの伝送ラインの計算方法については、ナショナル セミコンダクターのウェブサイトを参照するか、RAPIDESIGNER をご注文ください。

伝送ラインの端には、伝送ライン自体と同じインピーダンスを持つ終端が必要です。ラインのインピーダンスの大きさには関係ありません。負荷が同じ値の場合、反射は発生しません。伝送ラインを持つプリント基板を設計するときにはスペースが重要な要素となります。特に高密度基板の場合は重要さが増します。マイクロストリップ・ラインが 1 本の場合は、特定のインピーダンスと基板材質に対してライン幅は一定です。異なるライン幅を使用すると、インピーダンスが変化します。

### 差動マイクロストリップ・ラインの利点

伝送ラインのインピーダンスは、常にその形状パラメータで決まります。これは、差動マイクロストリップ・ラインにも当てはまります。この種の伝送ラインを使用する場合、トラックの距離によりインピーダンスが決まります。したがって、プリント基板のメーカーでトラック間隔が小さく信頼性の高い基板を製造可能な場合は、特定のインピーダンスに対するトラック幅も小さくなります。間隔が広がるほど、特定のインピーダンスを得るために必要なトラックも広くなります。例えば、幅 0.2mm で間隔 0.1mm のトラック 2 本は、幅 0.8mm で間隔 0.4mm のトラック 2 本と同じインピーダンスになります。ハイエンドのプリント基板プロセスでは、幅が非常に狭い差動マイクロストリップ伝送ラインを設計できます。このように幅の狭い差動マイクロストリップ・ラインを使用し、物理的な寸法に合わせて受信部品や終端抵抗に最適な接続を作成することを推奨します。コンパレータに示すように、終端抵抗はラインの遠い側面に接続する必要があります。終端抵抗の後のオープン接続 (受信器の入力への接続など) は、できる限り短くする必要があります。このような接続に許容される長さは、受信する遷移によって異なります。遷移が高速になるほど、信号劣化を防ぐためにオープン・ラインを短くする必要があります。

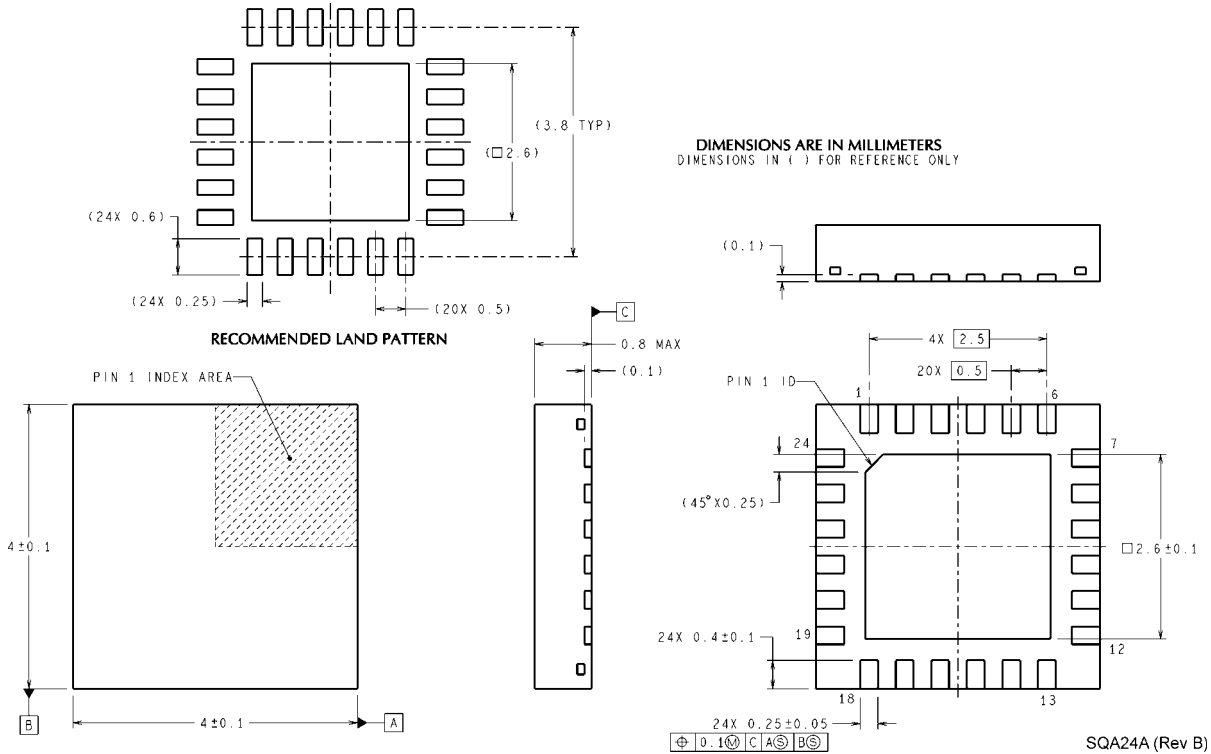
### プリント基板レイアウトの考慮事項と部品定数の選定

高周波回路の設計では、この用途に合わせて特別に設計された能動素子と受動素子を選択する必要があります。LMH7322 は、表面実装設計向けの 24 ピン LLP パッケージとして製造されています。信頼性の高い高速回路を設計するには、小型の表面実装受動素子を使用することを強く推奨します。理由は、パッケージにプリント基板接続用のリード線がないので、寄生容量とインダクタンスが低いからです。例えば、標準的なスルーホール抵抗を使用しても数百 MHz の周波数を扱うアンプ回路は構成できますが、この目的には表面実装デバイスのほうが適切です。また、プリント基板が、単に部品を搭載し部品を接続するための媒体ではない点も重要です。基板は、それ自体が部品の 1 つであり、その結果基板が持つ高周波特性によって回路全体の性能が左右されます。各デカップリング・コンデンサやその他のグラウンド接続に低インピーダンスのパスを与える目的で、高周波回路に少なくとも 1 層のグラウンド・プレーンを設けることが優れた設計方法です。基板上の伝送ラインのインピーダンスが、接続するケーブルと同じになるように、特に注意する必要があります。多くのシングルエンド・アプリケーションのインピーダンスは 50 (ビデオとケーブル TV は 75) です。このように低インピーダンスのシングルエンド・マイクロストリップ伝送ラインには、標準的な両面基板では通常より先かなり広い配線 (2 ~ 3mm) を使用します。さらに、入力と出力が互いから「見えない」ようにすることも重要です。基板上に入力と出力のトラックを微小間隔で並行に配線すると、特に信号レベルの差が大きい場合に問題が発生します。さらに部品は、プリント基板の表面に平坦に、かつできるだけ低く配置してください。高周波では、長いリード線はコイル、コンデンサ、またはアンテナとして働くことがあります。ペアのリード線は変圧器になります。十分な注意を払ってプリント基板を設計することにより、共振、リングング、その他の好ましくない挙動を低減できます。超高周波回路では表面実装部品のみが性能的に許容されます (詳細は「アプリケーション・ノート OA-15」を参照してください)。

ナショナル セミコンダクターでは、高周波レイアウトのガイドラインとして、また ULV94V-0 のデバイス・テストの評価用として、次の評価用ボードの使用を推奨しています。

551013148-001 Rev A

外形寸法図 単位は millimeters



DIMENSIONS ARE IN MILLIMETERS  
DIMENSIONS IN ( ) FOR REFERENCE ONLY

24-Pin LLP Package  
NS Package Number SQA24A

SQA24A (Rev B)

このドキュメントの内容はナショナル セミコンダクター社製品の関連情報として提供されます。ナショナル セミコンダクター社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナル セミコンダクター社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター社との取引条件で規定される場合を除き、ナショナル セミコンダクター社は一切の義務を負わないものとし、また、ナショナル セミコンダクター社の製品の販売が使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

#### 生命維持装置への使用について

ナショナル セミコンダクター社の製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2009 National Semiconductor Corporation

製品の最新情報については [www.national.com](http://www.national.com) をご覧ください。

## ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

[www.national.com/jpn/](http://www.national.com/jpn/)



# ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
    - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
  4. 機械的衝撃
    - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
  5. 熱衝撃
    - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
  6. 汚染
    - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
    - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上