

LMK1D210x 低付加ジッタ LVDS バッファ

1 特長

- 高性能 LVDS クロック バッファ ファミリ: 最大 2GHz
 - デュアル 1:2 差動バッファ
 - デュアル 1:4 差動バッファ
- 電源電圧: 1.71V ~ 3.465V
- フェイルセーフ入力動作
- 小さい付加ジッタ: 156.25MHz 時、12kHz ~ 20MHz の範囲で 60fs RMS 未満 (最大値)
 - 非常に小さい位相ノイズフロア: -164dBc/Hz (標準値)
- 非常に小さい伝播遅延: 575ps 未満 (最大値)
- 出力スキュー: 20ps (最大値)
- ユニバーサル入力は LVDS、LVPECL、LVCMOS、HCSL、CML の信号レベルを受け入れ可能
- LVDS リファレンス電圧 V_{AC_REF} を容量性結合入力に使用可能
- 産業用温度範囲: -40°C ~ 105°C
- 以下に示すパッケージで供給
 - LMK1D2102: 3mm × 3mm、16 ピン VQFN
 - LMK1D2104: 5mm × 5mm、28 ピン VQFN

2 アプリケーション

- テレコミュニケーションおよびネットワーク機器
- 医療用画像処理
- 試験 / 測定機器
- ワイヤレス・インフラ
- 業務用オーディオ、ビデオ、サイネージ

3 説明

LMK1D210x クロック バッファは、2 つのクロック入力 (IN0 および IN1) を、合計で最大 8 ペアの差動 LVDS クロック出力 (OUT0、OUT7) に分配します。このとき、クロック分配のスキューを最小限に抑えます。各バッファ ブロックは 1 つの入力と最大 4 つの LVDS 出力で構成されています。入力は LVDS、LVPECL、HCSL、CML、LVCMOS のいずれかに対応可能です。

LMK1D210x は、50Ω の伝送経路の駆動に特化して設計されています。シングルエンド モードで入力を駆動する場合には、「[LMK1D210x 入力に接続した 1.8V、2.5V、3.3V LVCMOS クロック ドライバ](#)」に示す適切なバイアス電圧を未使用の負入力ピンに印加する必要があります。

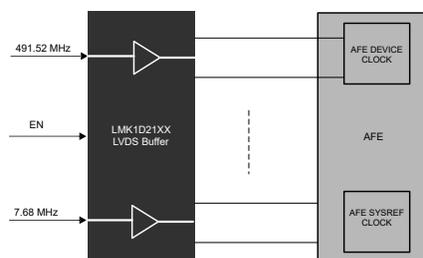
制御ピン (EN) を使用して、出力バンクをイネーブルまたはディセーブルできます。このピンが未接続の場合、すべての出力に対する 2 つのバッファがイネーブルになり、ロジック「0」に切り替える場合は、すべての出力に対する両方のバンクがディセーブル (静的ロジック「0」) になります。ロジック「1」に切り替える場合は、一方のバンクとその出力がディセーブルになりますが、他のバンクとその出力はイネーブルになります。このデバイスは、フェイルセーフ機能をサポートしています。さらに、このデバイスは入力ヒステリシスを備えており、入力信号が存在しないときに出力がランダムに発振することを防止します。

このデバイスは、1.8V、2.5V、または 3.3V 電源の環境で動作し、-40°C ~ 105°C (周囲温度) で仕様が規定されています。LMK1D210x のパッケージ バリエーションを以下の表に示します:

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
LMK1D2102	RGT (VQFN, 16)	3.00mm × 3.00mm
LMK1D2104	RHD (VQFN, 28)	5.00mm × 5.00mm

- 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
- パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



アプリケーションの例



目次

1 特長	1	8.3 機能説明	13
2 アプリケーション	1	8.4 デバイスの機能モード	13
3 説明	1	9 アプリケーションと実装	16
4 デバイスの比較	3	9.1 使用上の注意.....	16
5 ピン構成および機能	4	9.2 代表的なアプリケーション.....	16
6 仕様	5	9.3 電源に関する推奨事項.....	19
6.1 絶対最大定格.....	5	9.4 レイアウト.....	20
6.2 ESD 定格.....	5	10 デバイスおよびドキュメントのサポート	21
6.3 推奨動作条件.....	5	10.1 ドキュメントのサポート.....	21
6.4 熱に関する情報.....	6	10.2 ドキュメントの更新通知を受け取る方法.....	21
6.5 熱に関する情報.....	6	10.3 サポート・リソース.....	21
6.6 電気的特性.....	6	10.4 商標.....	21
6.7 代表的特性.....	10	10.5 静電気放電に関する注意事項.....	21
7 パラメータ測定情報	11	10.6 用語集.....	21
8 詳細説明	13	11 改訂履歴	21
8.1 概要.....	13	12 メカニカル、パッケージ、および注文情報	22
8.2 機能ブロック図.....	13		

4 デバイスの比較

表 4-1. デバイスの比較

デバイス	デバイスタイプ	特長	出力スイング	出力同相モード	パッケージ	本体サイズ
LMK1D2108M	デュアル 1:8	ピン制御によるグローバル出力イネーブルおよびスイング制御	350mV	1.2V	VQFN (48)	7.00mm × 7.00mm
			500mV	1V		
LMK1D2106M	デュアル 1:6	ピン制御によるグローバル出力イネーブルおよびスイング制御	350mV	1.2V	VQFN (40)	6.00mm × 6.00mm
			500mV	1V		
LMK1D2104M	デュアル 1:4	ピン制御によるグローバル出力イネーブルおよびスイング制御	350mV	1.2V	VQFN (28)	5.00mm × 5.00mm
			500mV			
LMK1D2102M	デュアル 1:2	ピン制御によるグローバル出力イネーブルおよびスイング制御	350mV	1.2V	VQFN (16)	3.00mm × 3.00mm
			500mV			
LMK1D1216M	02:16	ピン制御によるグローバル出力イネーブル制御	350mV	1.2V	VQFN (48)	7.00mm × 7.00mm
			500mV	1V		
LMK1D1212M	02:12	ピン制御によるグローバル出力イネーブル制御	350mV	1.2V	VQFN (40)	6.00mm × 6.00mm
			500mV	1V		
LMK1D1208PM	2:8	ピン制御による個別出力イネーブル制御	350mV	1.2V	VQFN (40)	6.00mm × 6.00mm
			500mV	1V		
LMK1D1208M	2:8	ピン制御によるグローバル出力イネーブル制御	350mV	1.2V	VQFN (28)	5.00mm × 5.00mm
LMK1D1204PM	2:4	ピン制御による個別出力イネーブル制御	350mV	1.2V	VQFN (28)	5.00mm × 5.00mm
LMK1D1204M	2:4	ピン制御によるグローバル出力イネーブル制御	350mV	1.2V	VQFN (16)	3.00mm × 3.00mm

5 ピン構成および機能

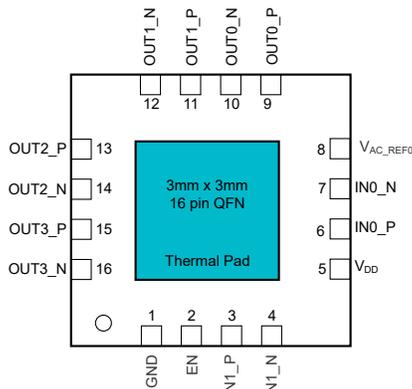


図 5-1. LMK1D2102 : RGT パッケージ 16 ピン VQFN
上面図

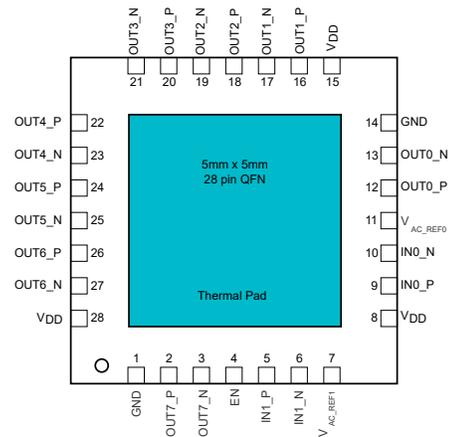


図 5-2. LMK1D2104 : RHD パッケージ 28 ピン VQFN
上面図

表 5-1. ピンの機能

名称	ピン		タイプ ⁽¹⁾	説明
	LMK1D2102	LMK1D2104		
差動クロック入力/シングルエンド クロック入力				
IN0_P, IN0_N	6, 7	9, 10	I	1 次側: 差動入力ペアまたはシングルエンド入力
IN1_P, IN1_N	3, 4	5, 6	I	2 次側: 差動入力ペアまたはシングルエンド入力。 IN0_P, IN0_N は IN0_P, IN0_N と区別されずに使用されることに注意してください。
出力バンク制御				
EN	2	4	I	内部 500kΩ プルアップと 320kΩ プルダウンで出力バンクのイネーブル/ディスエーブルを選択すると、入力ポートが選択されます (表 8-1 を参照)
バイアス電圧出力				
V _{AC_REF0} , V _{AC_REF1}	8	11, 7	O	容量性結合入力用のバイアス電圧出力。使用する場合、TI ではこのピンの GND に 0.1μF コンデンサを使用することを推奨しています。
差動クロック出力				
OUT0_P, OUT0_N	9, 10	12, 13	O	差動 LVDS 出力ペア番号 0
OUT1_P, OUT1_N	11, 12	16, 17	O	差動 LVDS 出力ペア番号 1
OUT2_P, OUT2_N	13, 14	18, 19	O	差動 LVDS 出力ペア番号 2
OUT3_P, OUT3_N	15, 16	20, 21	O	差動 LVDS 出力ペア番号 3
OUT4_P, OUT4_N		22, 23	O	差動 LVDS 出力ペア番号 4
OUT5_P, OUT5_N		24, 25	O	差動 LVDS 出力ペア番号 5
OUT6_P, OUT6_N		26, 27	O	差動 LVDS 出力ペア番号 6
OUT7_P, OUT7_N		2, 3	O	差動 LVDS 出力ペア番号 7
電源電圧				
V _{DD}	5	8, 15, 28	P	デバイス電源 (1.8V、2.5V または 3.3V)
グラウンド				
GND	1	1, 14	G	グラウンド
DAP	DAP	DAP	G	ダイ取り付けパッド。放熱のため、PCB グラウンド プレーンに接続します。

(1) G=グラウンド、I=入力、O=出力、P=電源

6 仕様

6.1 絶対最大定格

自由空気での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
V _{DD}	電源電圧	-0.3	3.6	V
V _{IN}	入力電圧	-0.3	3.6	V
V _O	出力電圧	-0.3	V _{DD} + 0.3	V
I _{IN}	入力電流	-20	20	mA
I _O	連続出力電流	-50	50	mA
T _J	接合部温度		135	°C
T _{stg}	保存温度 ⁽²⁾	-65	150	°C

- (1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) デバイスの電源はオフ

6.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン ⁽¹⁾	±3000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22C101 に準拠、すべてのピン ⁽²⁾	±1000	

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
V _{DD}	コア電源電圧	3.3V 電源	3.135	3.3	3.465	V
		2.5V 電源	2.375	2.5	2.625	
		1.8V 電源	1.71	1.8	1.89	
電源ランブ	電源電圧ランブ	単調ランブ (V _{DD} の 10% ~ 90%) が必要	0.1		20	ms
T _A	外気温度での動作時		-40		105	°C
T _J	動作時接合部温度		-40		135	°C

6.4 熱に関する情報

熱評価基準 ⁽¹⁾		LMK1D1204PM	LMK1D1208PM	単位
		VQFN	VQFN	
		28 ピン	40 ピン	
R _{θJA}	接合部から周囲への熱抵抗	38.9	30.3	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	32.1	21.6	°C/W
R _{θJB}	接合部から基板への熱抵抗	18.7	13.1	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	1	0.4	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	18.7	13	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	8.2	4.5	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。

6.5 熱に関する情報

熱評価基準 ⁽¹⁾		LMK1D1208PM	単位
		VQFN	
		40 ピン	
R _{θJA}	接合部から周囲への熱抵抗	30.3	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	21.6	°C/W
R _{θJB}	接合部から基板への熱抵抗	13.1	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	0.4	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	13	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	4.5	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。

6.6 電気的特性

V_{DD} = 1.8V, 2.5V, 3.3V ± 5%, -40°C ≤ T_A ≤ 105°C。標準値は、V_{DD} = 1.8V, 2.5V, 3.3V, 25°C のときです (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源特性						
I _{DDSTAT}	LMK1D1204PM	すべての出力がイネーブルかつ未 終端、f = 0Hz (AMP_SEL = 1)		50		mA
I _{DDSTAT}	LMK1D1208PM	すべての出力がイネーブルかつ未 終端、f = 0Hz		75		mA
I _{DD100M}	LMK1D1204PM	すべての出力がイネーブル、R _L = 100Ω、f = 100MHz (AMP_SEL = 0、デフォルト)		60	72	mA
I _{DD100M}	LMK1D1208PM	すべての出力がイネーブル、R _L = 100Ω、f = 100MHz		87	110	mA
出力バンク制御 (EN) 入力特性 (V_{DD} = 1.8V±5%、2.5V±5%、3.3V±5% に適用)						
V _{dI3}	3-state 入力	オープン		0.4 × V _{CC}		V
V _{IH}	入力 High 電圧	論理「1」状態の最小入力電圧	0.7 × V _{CC}		V _{CC} + 0.3	V
V _{IL}	入力 Low 電圧	論理「0」状態の最大入力電圧	-0.3		0.3 × V _{CC}	V
I _{IH}	高入力電流	V _{DD} は、V _{IH} = V _{DD} の条件で 1.8V/ 2.5V/3.3V が可能			30	μA
I _{IL}	入力 Low 電流	V _{DD} は、V _{IH} = V _{DD} の条件で 1.8V/ 2.5V/3.3V が可能	-30			μA
R _{pull-up(EN)}	入力プルアップ抵抗			500		kΩ

VDD = 1.8V, 2.5V, 3.3V ± 5%, -40°C ≤ TA ≤ 105°C。標準値は、VDD = 1.8V, 2.5V, 3.3V, 25°C のときです (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位	
R _{pull-down(EN)}	入力プルダウン抵抗			320		kΩ	
シングルエンド LVCMOS/LVTTL クロック入力 (V_{DD} = 1.8V±5%、2.5V±5%、3.3V±5% に適用)							
f _{IN}	入力周波数	クロック入力	DC		250	MHz	
V _{IN,S-E}	シングルエンド入力電圧スイング	2 レベルの方形波入力を想定	0.4		3.465	V	
dV _{IN} /dt	入力スルー レート (振幅の 20% ~ 80%)		0.05			V/ns	
I _{IH}	高入力電流	V _{DD} = 3.465V, V _{IH} = 3.465V			50	μA	
I _{IL}	入力 Low 電流	V _{DD} = 3.465V, V _{IL} = 0V	-30			μA	
C _{IN,SE}	入力容量	25°C で		3.5		pF	
差動クロック入力 (V_{DD} = 1.8V±5%、2.5V±5%、3.3V±5% に適用)							
f _{IN}	入力周波数	クロック入力			2	GHz	
V _{IN,DIFF(P-P)}	差動入力電圧ピーク ツー ピーク {2x (V _{INP} -V _{INN})}	V _{ICM} = 1V (V _{DD} = 1.8V)	0.3		2.4	V _{pp}	
		V _{ICM} = 1.25V (V _{DD} = 2.5V/3.3V)	0.3		2.4		
V _{ICM}	入力同相電圧	V _{IN,DIFF(P-P)} > 0.4V (V _{DD} = 1.8V/2.5/3.3V)	0.25		2.3	V	
I _{IH}	高入力電流	V _{DD} = 3.465V, V _{INP} = 2.4V, V _{INN} = 1.2V			30	μA	
I _{IL}	入力 Low 電流	V _{DD} = 3.465V, V _{INP} = 0V, V _{INN} = 1.2V	-30			μA	
C _{IN,S-E}	入力容量 (シングルエンド)	25°C で		3.5		pF	
LVDS DC 出力特性							
VOD	差動出力電圧の振幅	V _{OUTP} - V _{OUTN}	V _{IN,DIFF(P-P)} = 0.3V, R _{LOAD} = 100Ω, AMP_SEL = 0	250	350	450	mV
VOD	差動出力電圧の振幅	V _{OUTP} - V _{OUTN}	V _{IN,DIFF(P-P)} = 0.3V, R _{LOAD} = 100Ω	250	350	450	mV
VOD	差動出力電圧の振幅	V _{OUTP} - V _{OUTN}	V _{IN,DIFF(P-P)} = 0.3V, R _{LOAD} = 100Ω, AMP_SEL = 1	400	500	650	mV
ΔVOD	差動出力電圧振幅の変化。出力ごとに、ロジック "High"/"Low" 状態における VOD の差として定義。		V _{IN,DIFF(P-P)} = 0.3V, R _{LOAD} = 100Ω, AMP_SEL = 0	-15		15	mV
ΔVOD	差動出力電圧振幅の変化。出力ごとに、ロジック "High"/"Low" 状態における VOD の差として定義。		V _{IN,DIFF(P-P)} = 0.3V, R _{LOAD} = 100Ω	-15		15	mV
ΔVOD	差動出力電圧振幅の変化		V _{IN,DIFF(P-P)} = 0.3V, R _{LOAD} = 100Ω, AMP_SEL = 1	-20		20	mV
V _{OC(SS)}	定常同相出力電圧		V _{IN,DIFF(P-P)} = 0.3V, R _{LOAD} = 100Ω (V _{DD} = 1.8V)	1		1.2	V
			V _{IN,DIFF(P-P)} = 0.3V, R _{LOAD} = 100Ω (V _{DD} = 2.5V/3.3V)	1.1		1.375	
ΔV _{OC(SS)}	定常同相出力電圧の変化。出力ごとに、ロジック "High"/"Low" 状態における VOC の差として定義。		V _{IN,DIFF(P-P)} = 0.3V, R _{LOAD} = 100Ω	-15		15	mV
LVDS AC 出力特性							
V _{ring}	出力オーバーシュートおよびアンダーシュート		V _{IN,DIFF(P-P)} = 0.3V, R _{LOAD} = 100Ω, f _{OUT} = 491.52MHz	-0.1		0.1	V _{OD}
V _{OS}	出力 AC 同相モード		V _{IN,DIFF(P-P)} = 0.3V, R _{LOAD} = 100Ω		50	100	mV _{pp}
I _{OS}	短絡出力電流 (差動)	V _{OUTP} = V _{OUTN}		-12		12	mA
I _{OS(cm)}	短絡出力電流 (同相モード)	V _{OUTP} = V _{OUTN} = 0		-24		24	mA

LMK1D2102, LMK1D2104

JAJSMZ1C – SEPTEMBER 2021 – REVISED FEBRUARY 2026

VDD = 1.8V, 2.5V, 3.3V ± 5%, -40°C ≤ TA ≤ 105°C。標準値は、VDD = 1.8V, 2.5V, 3.3V、25°C のときです (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t _{PD}	伝搬遅延	V _{IN,DIFF(P-P)} = 0.3V、R _{LOAD} = 100Ω (1)	0.3		0.575	ns
t _{SK, O}	出力スキュー	同じ負荷条件 (4 および 8 チャンネル) における出力間のスキュー (2)			20	ps
t _{SK, b}	出力バンク スキュー	同じバンク (2102/2104) 内の出力間のスキュー (3)			15	ps
t _{SK, PP}	部品間スキュー	同じ入力負荷および出力負荷で同じ動作条件にさらされた異なる部品の出力間のスキュー。			250	ps
t _{SK, P}	パルス スキュー	50% デューティサイクル入力、クロスポイント間の歪み (3)	-20		20	ps
t _{RJIT(ADD)}	ランダム付加ジッタ (rms)	f _{IN} = 156.25MHz (50% デューティサイクル)、入力スルー レート = 1.5V/ns、積分範囲 = 12kHz ~ 20MHz、出力負荷 R _{LOAD} = 100Ω 付き		50	60	fs, RMS
位相ノイズ	156.25MHz で 50% デューティサイクルのキャリア周波数の位相ノイズ、出力負荷 R _{LOAD} = 100Ω での入力スルーレート = 1.5V/ns	PN _{1kHz}		-143		dBc/Hz
		PN _{10kHz}		-152		
		PN _{100kHz}		-157		
		PN _{1MHz}		-160		
		PN _{floor}		-164		

VDD = 1.8V, 2.5V, 3.3V ± 5%, -40°C ≤ TA ≤ 105°C。標準値は、VDD = 1.8V, 2.5V, 3.3V、25°C のときです (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
MUX _{ISO}	マルチプレクサ絶縁	f _{IN} = 156.25MHz。選択したクロックがアクティブであり選択されていないクロックが静的である場合と、選択したクロックが非アクティブであり選択されていないクロックがアクティブである場合の、f _{IN} でのパワーレベルの差。		80		dB
SPUR	デュアルバンク間のスプリアス抑制	F _{IN0} = 491.52MHz、F _{IN1} = 61.44MHz での差動入力、隣接出力間で測定		-60		dB
		F _{IN0} = 491.52MHz、F _{IN1} = 15.36MHz での差動入力、隣接出力間で測定		-70		
ODC	出力デューティサイクル	50% デューティサイクル入力	45		55	%
t _R /t _F	出力の立ち上がりおよび立ち下がり時間	R _{LOAD} = 100Ω の場合の 20% ~ 80%			300	ps
V _{AC_REF}	リファレンス出力電圧	VDD = 2.5V、I _{LOAD} = 100μA	0.9	1.25	1.375	V
電源ノイズ除去 (PSNR)、V_{DD} = 2.5V/3.3V						
PSNR	電源ノイズ除去 (f _{carrier} = 156.25MHz)	10kHz、V _{DD} に 100mVpp のリップルを注入		-70		dBc
		1MHz、V _{DD} に 100mVpp のリップルを注入		-50		

- (1) シングルエンド / 差動入力のクロスポイントと差動出力のクロスポイントとの間で測定されます。
- (2) デュアルバンクデバイスの場合、入力は位相整合され、デューティサイクルは 50% です。
- (3) 出力における "High" から "Low" と "Low" から "High" への伝搬遅延時間の時間差の大きさとして定義されます。

6.7 代表的特性

図 6-1 は、入力周波数と電源電圧による LMK1D2104M の電流消費の変動を示しています。LMK1D2102 も同様の傾向を示します。図 6-2 は、全周波数範囲で掃引された差動出力電圧 (VOD) の変動を示しています。この結果は LMK1D2102 にも適用されます。

図 6-1 および 図 6-2 は、LMK1D210x でサポートされる動作周波数範囲で想定される内容のガイドとなることに注意してください。これらのグラフでは限られた数の周波数と荷重条件でプロットされており、必ずしもお客様のシステムを表すとは限らないことに注意してください。

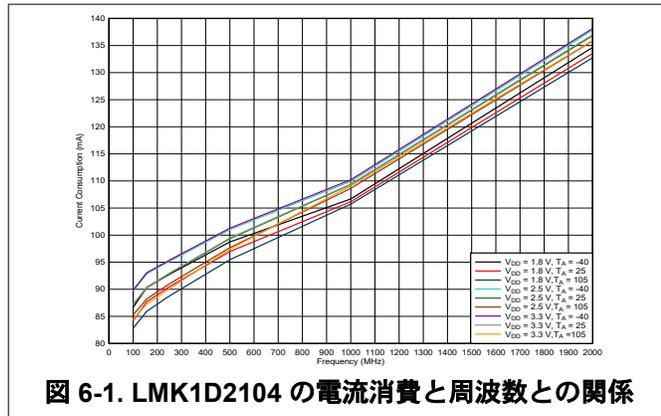


図 6-1. LMK1D2104 の電流消費と周波数との関係



図 6-2. LMK1D2104 の VOD と周波数との関係

7 パラメータ測定情報

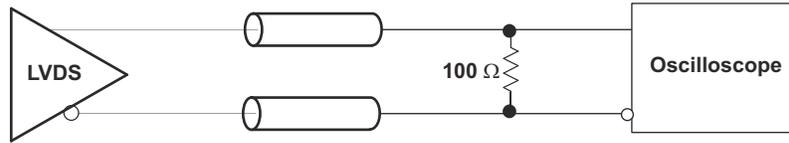


図 7-1. デバイス テスト時の LVDS 出力 DC 構成

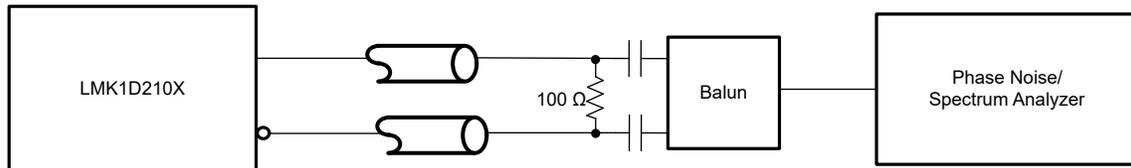


図 7-2. デバイス テスト時の LVDS 出力 AC 構成

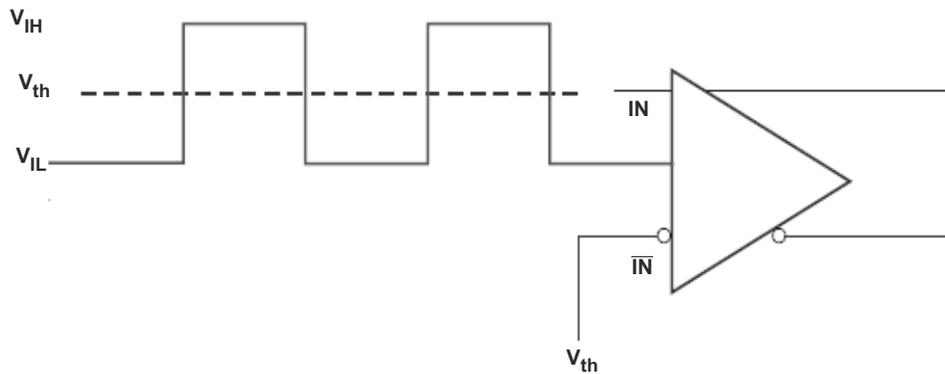


図 7-3. デバイス テスト時の DC 結合 LVCMOS 入力

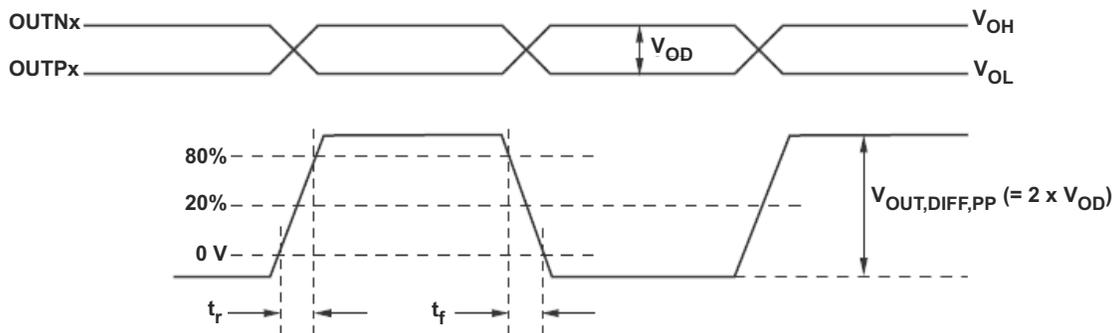
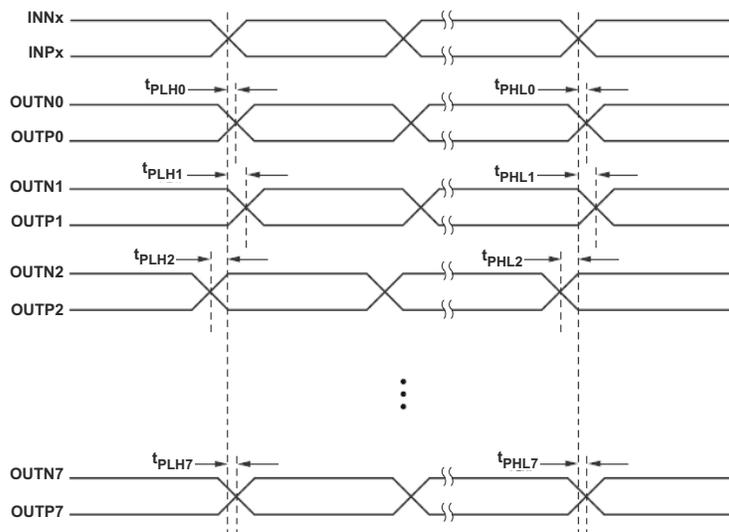


図 7-4. 出力電圧と立ち上がり / 立ち下がり時間



- A. 出力スキューは、最高速と最低速の t_{PLHn} の差、または最高速と最低速の t_{PHLn} ($n = 0, 1, 2, \dots, 7$) の差のうち、大きい方として計算されます
- B. 部品間スキューは、複数のデバイスにおける最高速と最低速の t_{PLHn} の差、または最高速と最低速の t_{PHLn} ($n = 0, 1, 2, \dots, 7$) の差のうち、大きい方として計算されます

図 7-5. 出力スキューおよび部品間スキュー

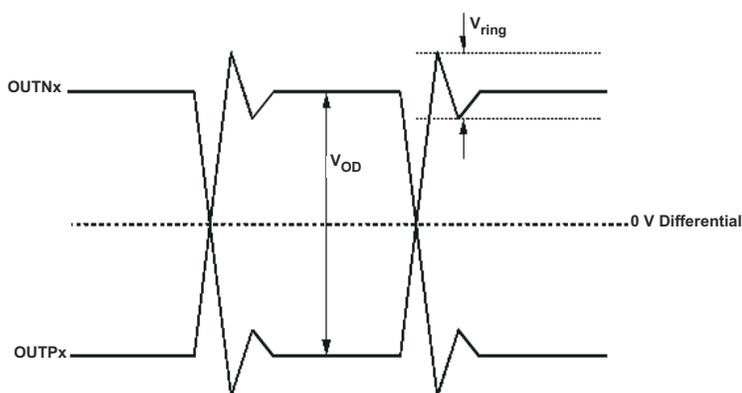


図 7-6. 出力のオーバーシュートとアンダーシュート

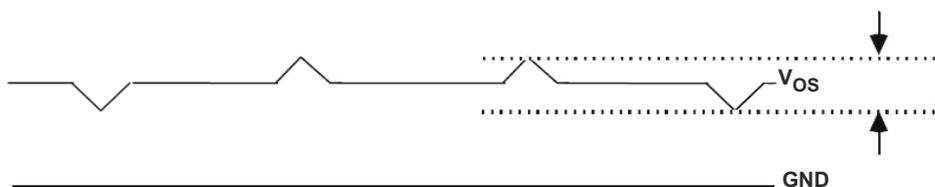


図 7-7. 出力 AC 同相モード

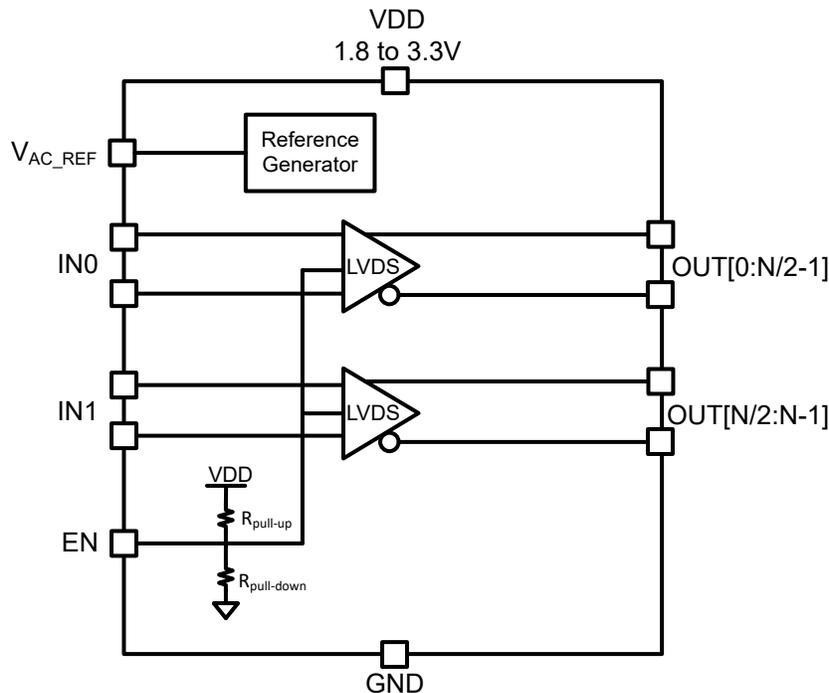
8 詳細説明

8.1 概要

LMK1D210x LVDS ドライバは CMOS トランジスタを使用して出力電流を制御します。そのため、デバイスが正しく動作してシグナル インテグリティが最大化されることを確認するには、適切なバイアスと終端が必要です。

2 つの 50Ω 経路でのシグナル インテグリティに適した LVDS 終端は、レシーバ側の出力間で 100Ω です。LVDS 出力には、DC 結合終端と AC 結合終端のいずれかを使用できます。TI では終端抵抗をレシーバの近くに配置することを推奨しています。レシーバが内部で LMK1D210x の出力同相電圧と異なる電圧にバイアスされている場合は、AC 結合を使用する必要があります。LVDS レシーバに 100Ω 終端が内蔵されている場合は、外部終端を省略する必要があります。

8.2 機能ブロック図



8.3 機能説明

LMK1D210x は低付加ジッタの LVDS ファンアウト バッファであり、各バンクで LVPECL、LVDS、LVCMOS のいずれかであるシングル入力のコピーを最大 4 つ生成できます。デバイスには 2 つのバンクがあるため、合計 8 ペアの出力 (LMK1D2104) になります。リファレンス クロック周波数は最大 2GHz に設定できます。

非常に小さい付加ジッタと小さい出力スキューを実現する以外に、LMK1D210x には、出力バンクのイネーブル/ディスエーブルを制御する制御ピン (EN) があります。

8.3.1 フェイルセーフ入力

LMK1D210x ファミリのデバイスは、フェイルセーフ入力動作をサポートするよう設計されています。この機能により、VDD が印加される前に、デバイスを損傷することなくデバイス入力を駆動できます。デバイスでサポートされている最大入力の詳細については、[セクション 6.1](#) を参照してください。このデバイスには入力ヒステリシスも組み込まれており、入力信号が存在しない場合にランダムな発振を防止し、入力ピンをオープンのままにできます。

8.4 デバイスの機能モード

LMK1D2102 の出力バンクは制御ピンで選択できます ([表 8-1](#) を参照)。未使用の入力と出力はフローティングのままにして、全体的な部品コストを削減できます。AC 結合と DC 結合両方の手法を LMK1D2102 と組み合わせて使用することで、システムの柔軟性を高めることができます。

表 8-1. 出力制御表

EN	クロック出力
0	すべての出力がディスエーブル (静的「0」)
1	OUT0, OUT1...OUT[(N/2)-1] がイネーブルで、OUT[N/2]...OUT[-1] がディスエーブルです。例: LMK1D2102 (OUT0, OUT1 イネーブル、OUT2, OUT3 ディスエーブル)
オープン	すべての出力がイネーブル

8.4.1 LVDS 出力の終端

最適な性能を得るため、TI では未使用の出力も 100Ω の抵抗で差動終端することを推奨しています。未終端の出力でも問題ありませんが、使用する出力で性能がわずかに低下します (出力 AC 同相モード Vos)。

LMK1D210x は、図 8-1 および 図 8-2 (それぞれ) に示すように、DC 結合と AC 結合を使用する LVDS レシーバ入力に接続できます。

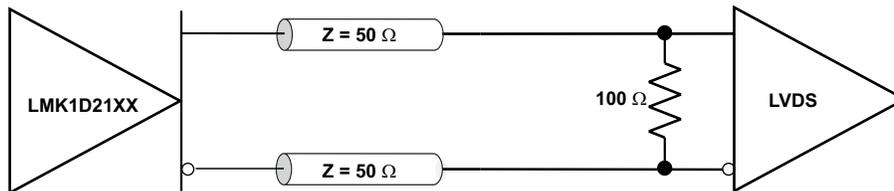


図 8-1. 出力 DC 終端

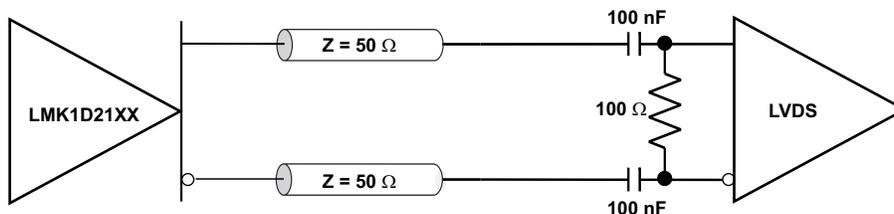


図 8-2. 出力 AC 終端 (レシーバ内部バイアス付き)

8.4.2 入力の終端

LMK1D210x 入力は、LVDS、LVPECL、HCSL、または LVCMOS ドライバと接続できます。

LVDS ドライバは、図 8-3 および 図 8-4 (それぞれ) に示すように、DC 結合と AC 結合で LMK1D210x 入力に接続できます。

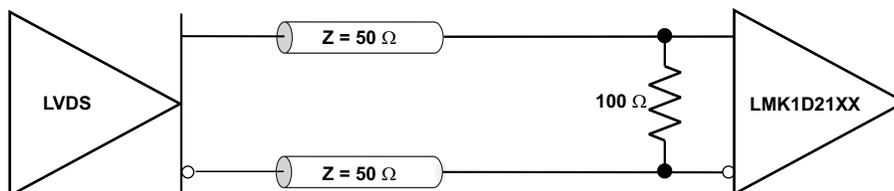


図 8-3. LMK1D210x 入力に接続した LVDS クロック ドライバ (DC 結合)

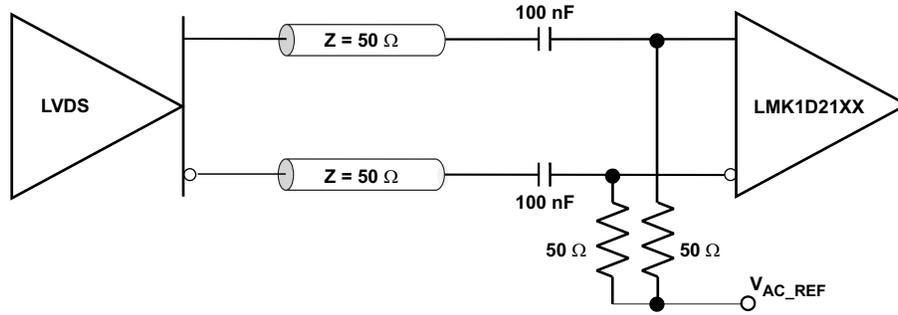


図 8-4. LMK1D210x 入力に接続した LVDS クロック ドライバ (AC 結合)

図 8-5 は、LMK1D210x に LVPECL 入力を接続する方法を示しています。信号振幅が 1.6V_{pp} を超える場合は、LVPECL 信号スイングを低減するための直列抵抗が必要です。

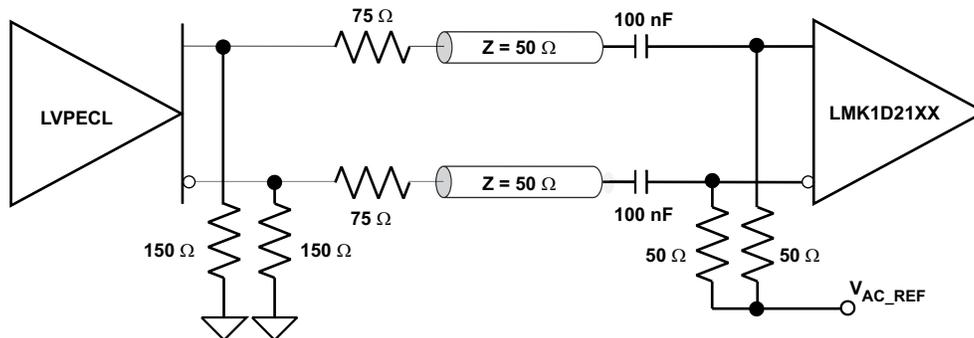


図 8-5. LMK1D210x 入力に接続した LVPECL クロック ドライバ

図 8-6 は、LVCMOS クロック入力を LMK1D210x に直接結合する方法を示しています。

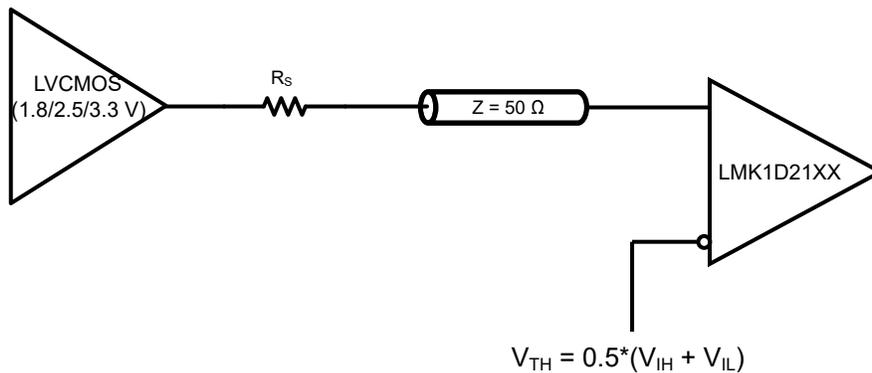


図 8-6. LMK1D210x 入力に接続した 1.8V、2.5V、3.3V LVCMOS クロック ドライバ

未使用の入力をフローティングのままにすると、追加部品の必要性が少なくなります。

9 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 使用上の注意

LMK1D210x は、デュアル出力バンクにファンアウトするデュアル入力を持つ LVDS ファンアウトに対する、低付加ジッタユニバーサルです。各入力は、最大 4 つの出力にファンアウトできます (LMK1D2104)。このデバイスは小型パッケージ、1.8V 電源動作、小さい出力スキュー、小さい付加ジッタを実現しており、低消費電力およびスペースの制約が厳しいアプリケーションに加えて、高性能クロック分配を必要とするアプリケーション向けに設計されています。

9.2 代表的なアプリケーション

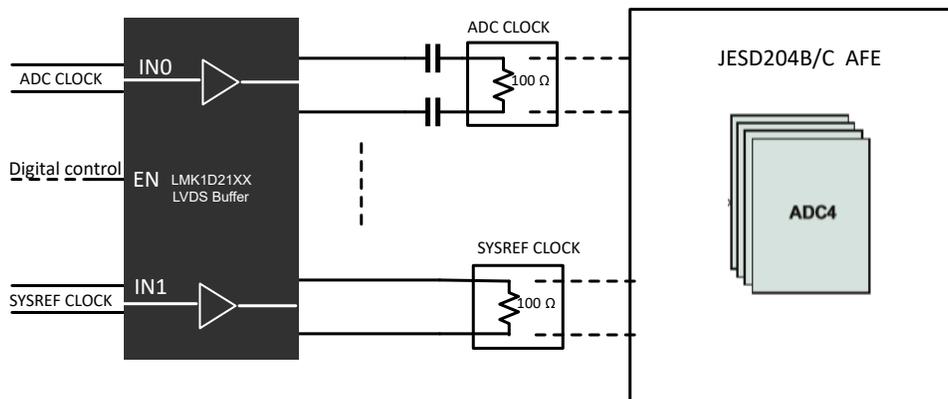


図 9-1. ADC デバイス クロックおよび SYSREF 分布用ファンアウトバッファ

9.2.1 設計要件

図 9-1 に示す LMK1D210x は、JESD204B/C ADC を利用するシステム向けに、最初の出力バンクの ADC クロックと 2 番目の出力バンクの SYSREF クロックをファンアウトするように構成されています。出力間スキューが小さく、付加ジッタが非常に小さく、デュアル バンク間のスプリアス抑制が優れている LMK1D210x は、各種クロックを JESD204B/C AFE システムに分配するためのシンプル、堅牢、低コスト向けの設計です。この構成例では、以下の特性の JESD204B/C レシーバに対して最大 4 つの ADC クロックと 4 つの SYSREF クロックを駆動できます：

- ADC クロック レシーバ モジュールでは、ドライバとレシーバの間に同相モードが異なるため、通常、LMK1D210x などの LVDS ドライバと AC 結合されます。レシーバに応じて 100Ω の内部差動終端を選択できます。この場合、LMK1D210x では外部終端が必要ありません。
- SYSREF クロック レシーバ モジュールは通常、LMK1D210x 出力の同相モード電圧がレシーバと一致する条件では DC 結合されます。レシーバの内部終端を使用する場合、外部終端は必ずしも必要ありません。
- 最適な性能を得るため、LMK1D デバイスの未使用出力は 100Ω 抵抗で差動終端されます。

9.2.2 詳細な設計手順

シングルエンドまたは差動入力における適切な入力終端については、「[セクション 8.4.2](#)」を参照してください。

レシーバ アプリケーションにおける出力終端方式については、「[セクション 8.4.1](#)」を参照してください。

最適な性能を得るため、TI では未使用の出力も 100Ω の抵抗で差動終端することを推奨しています。未終端の出力でも問題ありませんが、使用する出力で性能がわずかに低下します (出力 AC 同相モード V_{OS})。

前のセクション「[図 9-1](#)」で説明したアプリケーション例では、ADC クロックと SYSREF クロックに異なる出力インターフェイス方式が必要です。低ノイズ アプリケーションでは、電源のフィルタリングとバイパスが重要です。

LMK1D210x の出力電圧とレシーバ間に同相不整合がある場合、AC 結合を使用して不整合を回避できます。ただし、特定のアプリケーションでは、この AC 結合ネットワーク (ハイパス フィルタ) に関連するセトリング時間のため、LMK1D210x 出力をレシーバに AC 結合することができません。そのため、初期過渡時に不確実な動作が発生する可能性があります。このようなアプリケーションでは、出力に DC 結合が必要であり、ドライバとレシーバの同相間の本質的な不整合を克服可能な手法が必要になります。

アプリケーション ノート『[サブ LVDS レシーバを使用した LVDS ドライバのインターフェイス](#)』では、LVDS ドライバとサブ LVDS レシーバ間のインターフェイス方法について説明しています。LMK1D210x 出力を低同相モードのレシーバと接続する際に同じ概念を適用できます。

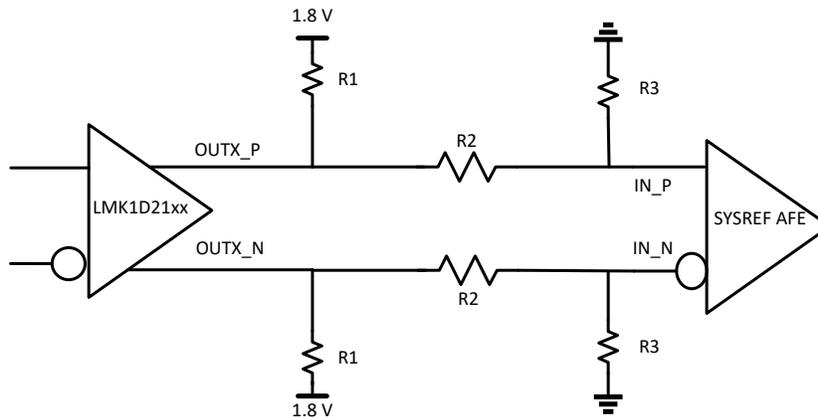


図 9-2. 低同相レシーバを使用した DC 結合 LMK1D210x の回路図

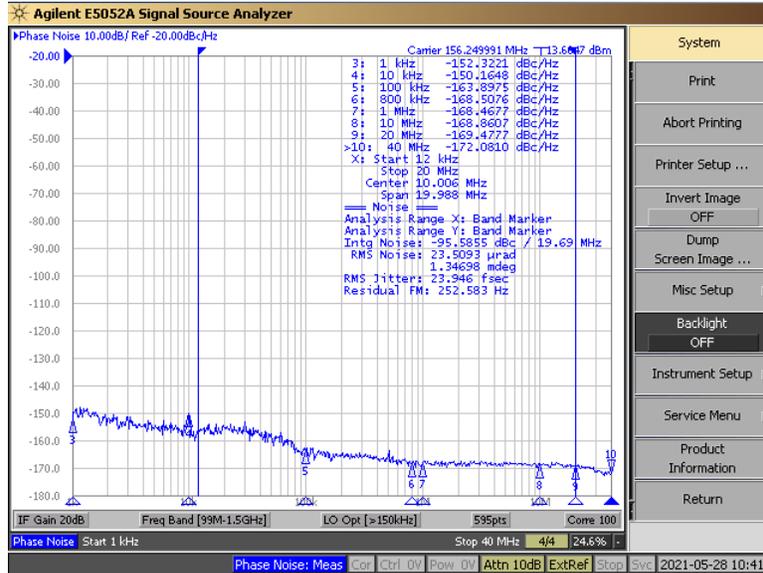
[図 9-2](#) は、言及済みのアプリケーション ノートで説明されているように、同相モードを降圧するための抵抗デバインド回路を示しています。抵抗 R1、R2、R3 はレシーバの入力同相モード要件に応じて選択します。すでに強調したように、低減されたスイングがレシーバの要件を満たせることを確認する必要があります。

LMK1D2102, LMK1D2104

JAJSMZ1C – SEPTEMBER 2021 – REVISED FEBRUARY 2026

9.2.3 アプリケーション曲線

以下の曲線は、LMK1D2104 の付加ノイズが小さいことを示しています。図 9-3 に示す RMS ジッタが 24fs の低ノイズ 156.25MHz ソースで LMK1D2104 を駆動すると、12kHz ~ 20MHz で積分した結果は 46.4fs RMS になります (図 9-4)。この構成では、結果として生じる付加ジッタは 39.7fs RMS という低い値になります。この結果は LMK1D2102 デバイスにも当てはまることに注意してください。



A. リファレンス信号は低ノイズの Rohde および Schwarz SMA100B です

図 9-3. LMK1D2104 リファレンス位相ノイズ、156.25MHz、24fs RMS (12kHz ~ 20MHz)

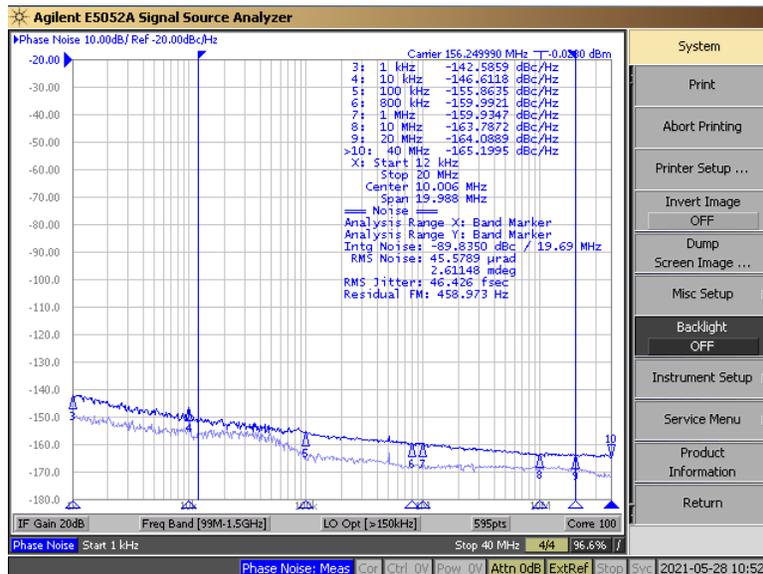


図 9-4. LMK1D2104 出力位相ノイズ、156.25MHz、46.4fs RMS (12kHz ~ 20MHz)

図 9-5 は LMK1D2104 デバイスの低近接位相ノイズをキャプチャします。LMK1D2102 と LMK1D2104 は、プロセス技術と設計により優れたフリッカー ノイズ特性を達成しています。これにより、超低近接位相ノイズクロックを必要とするレーダー システムや医療用画像処理システムなどでクロック分布に使用できます。

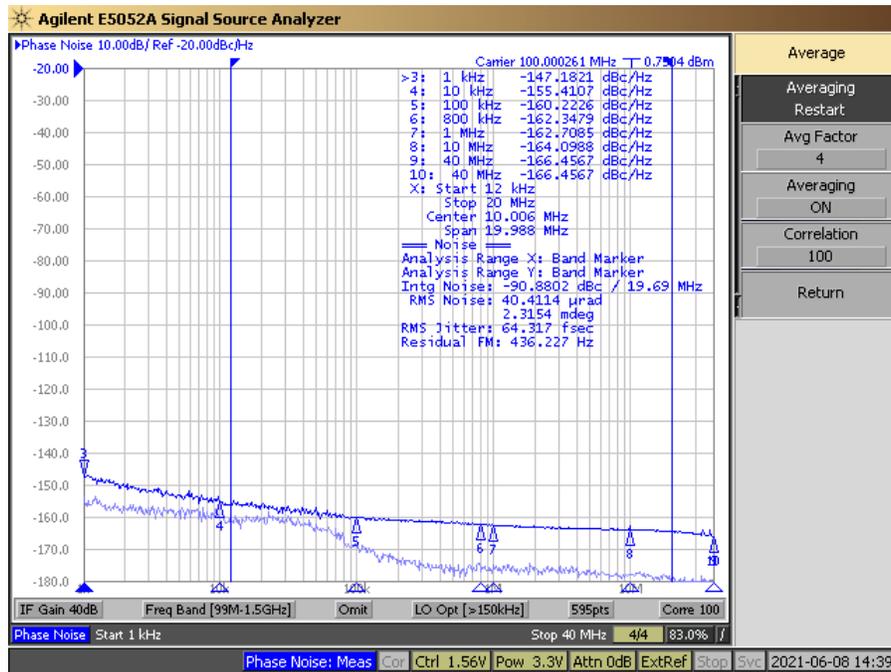


図 9-5. LMK1D2104 出力位相ノイズ、100MHz、1kHz オフセット : -147dBc/Hz

9.3 電源に関する推奨事項

高性能クロック バッファは、電源のノイズに敏感であり、バッファの付加ジッタが大幅に増加する可能性があります。したがって、特にジッタまたは位相ノイズがアプリケーションにとって重要な場合には、システムの電源からのノイズを低減することが不可欠です。

フィルタ コンデンサを使用して、電源からの低周波数ノイズを除去すると、バイパス コンデンサが高周波ノイズに対する低いインピーダンスパスとして機能し、電源システムを誘導性の変動から保護できます。これらのバイパス コンデンサは、デバイスの必要に応じて瞬間的な電流サージを発生させます。またバイパス コンデンサの等価直列抵抗 (ESR) を小さくする必要があります。バイパス コンデンサを適切に使用するには、電源ピンの近くに配置し、インダクタンスを最小限に抑えるために短いループでレイアウトする必要があります。TI では、パッケージの電源ピンと同じ数の高周波バイパス コンデンサ (0.1µF 等) を追加することを推奨しています。TI では基板電源とチップ電源の間にフェライト ビーズを挿入し、クロックドライバが生成する高周波スイッチング ノイズを絶縁することを推奨していますが、これは必須ではありません。これらのビーズは、スイッチング ノイズが基板の電源に漏れるのを防止します。基板電源とチップ電源を適切に絶縁し、適切な動作に必要な最小電圧を上回る電源ピンの電圧を維持するため、DC 抵抗が小さく適切なフェライト ビーズを選定してください。

図 9-6 に、この推奨される電源デカップリング方法を示します。

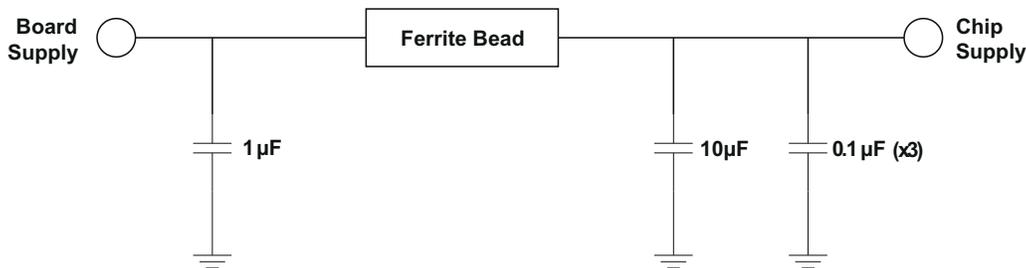


図 9-6. 電源のデカップリング

9.4 レイアウト

9.4.1 レイアウトのガイドライン

信頼性と性能の理由から、ダイの温度は最大値の 135°C に制限する必要があります。

このデバイス パッケージには露出パッドがあり、これがプリント基板 (PCB) への主な熱除去パスとなります。パッケージからの放熱を最大化するには、グラウンド プレーンとのビアが複数あるサーマル ランド パターンをパッケージのフットプリント内で PCB に組み込む必要があります。パッケージが十分放熱できるようにするには、サーマル パッドを半田付けする必要があります。図 9-7 は、16 ピンパッケージ (LMK1D2102) の推奨ランドおよびビア パターンを示しています。

9.4.2 レイアウト例

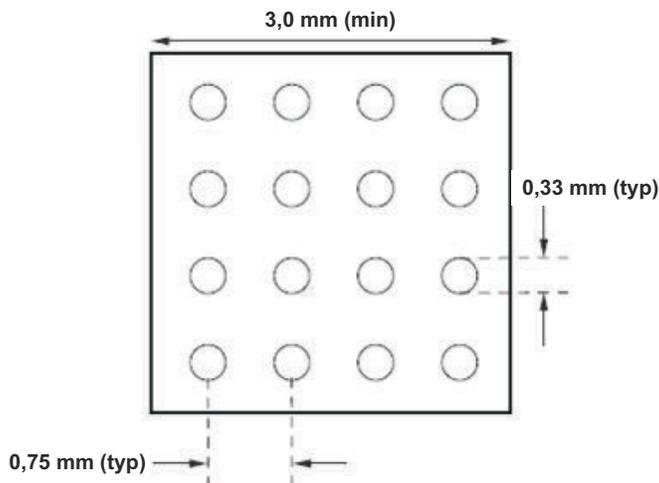


図 9-7. 推奨される PCB レイアウト

10 デバイスおよびドキュメントのサポート

10.1 ドキュメントのサポート

10.1.1 関連資料

関連資料については、以下を参照してください。

- 『低付加ジッタ、4 個の LVDS 出力クロックバッファ評価ボード』(SCAU043)
- 『LVPECL および LVDS の消費電力』(SLYT127)
- 『半導体および IC パッケージの熱評価基準』(SPRA953)
- 『アナログ デバイス用の熱計算ツールを使用する』(SLUA556)

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

10.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (June 2023) to Revision C (February 2026)	Page
• 仕様に「熱に関する情報」表を追加	5

Changes from Revision A (February 2022) to Revision B (June 2023)	Page
• 「製品情報」表を「パッケージ情報」に変更	1
• LMK1Dxxxx バッファ デバイス ファミリーに「デバイス比較」表を追加	3
• 「電源に関する推奨事項」および「レイアウト」セクションを「アプリケーションと実装」セクションに移動	19

Changes from Revision * (September 2021) to Revision A (February 2022)	Page
• 「特長」にフェイルセーフ入力の箇条書き項目を追加.....	1
• 「ピン機能」表内の出力ピンの入力指定子を削除。.....	4
• 「フェイルセーフ入力」セクションを追加.....	13

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMK1D2102RGTR	Active	Production	VQFN (RGT) 16	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	LD2102
LMK1D2102RGTR.B	Active	Production	VQFN (RGT) 16	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	LD2102
LMK1D2102RGTRG4	Active	Production	VQFN (RGT) 16	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	LD2102
LMK1D2102RGTRG4.B	Active	Production	VQFN (RGT) 16	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	LD2102
LMK1D2102RGTT	Active	Production	VQFN (RGT) 16	250 SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 105	LD2102
LMK1D2102RGTT.B	Active	Production	VQFN (RGT) 16	250 SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 105	LD2102
LMK1D2104RHDR	Active	Production	VQFN (RHD) 28	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	LMK1D 2104
LMK1D2104RHDR.B	Active	Production	VQFN (RHD) 28	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	LMK1D 2104
LMK1D2104RHDRG4	Active	Production	VQFN (RHD) 28	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	LMK1D 2104
LMK1D2104RHDRG4.B	Active	Production	VQFN (RHD) 28	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	LMK1D 2104
LMK1D2104RHDT	Active	Production	VQFN (RHD) 28	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	LMK1D 2104
LMK1D2104RHDT.B	Active	Production	VQFN (RHD) 28	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	LMK1D 2104

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

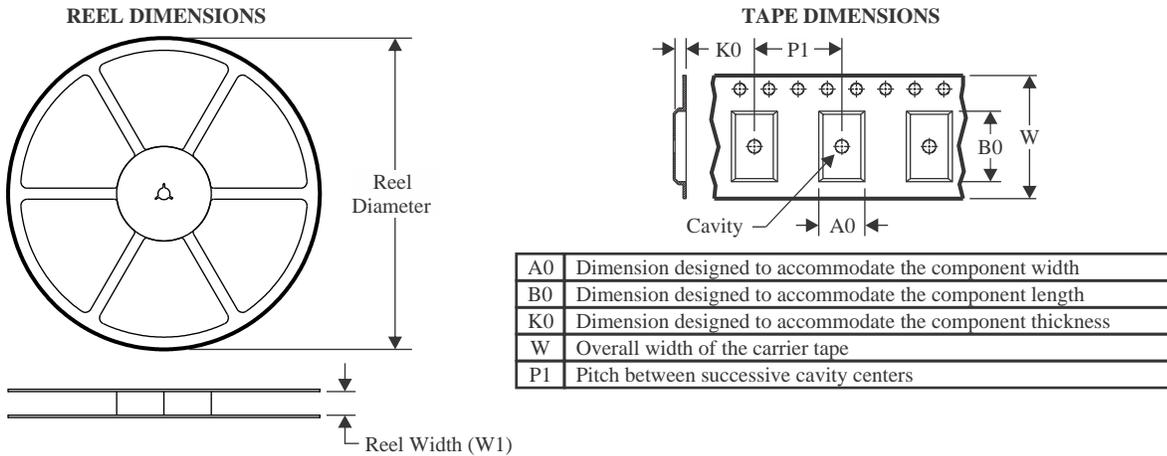
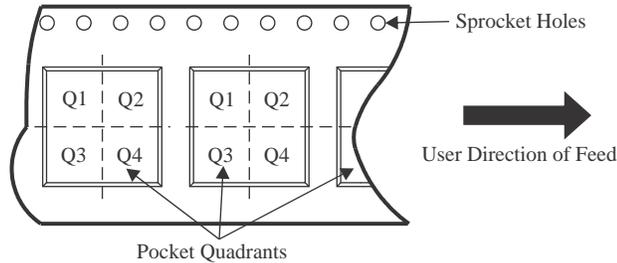
(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) Part marking: There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMK1D2102RGTR	VQFN	RGT	16	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
LMK1D2102RGTRG4	VQFN	RGT	16	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
LMK1D2102RGTT	VQFN	RGT	16	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
LMK1D2104RHDR	VQFN	RHD	28	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
LMK1D2104RHDRG4	VQFN	RHD	28	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
LMK1D2104RHDT	VQFN	RHD	28	250	180.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMK1D2102RGTR	VQFN	RGT	16	3000	367.0	367.0	35.0
LMK1D2102RGTRG4	VQFN	RGT	16	3000	367.0	367.0	35.0
LMK1D2102RGTT	VQFN	RGT	16	250	210.0	185.0	35.0
LMK1D2104RHDR	VQFN	RHD	28	3000	367.0	367.0	35.0
LMK1D2104RHDRG4	VQFN	RHD	28	3000	367.0	367.0	35.0
LMK1D2104RHDT	VQFN	RHD	28	250	210.0	185.0	35.0

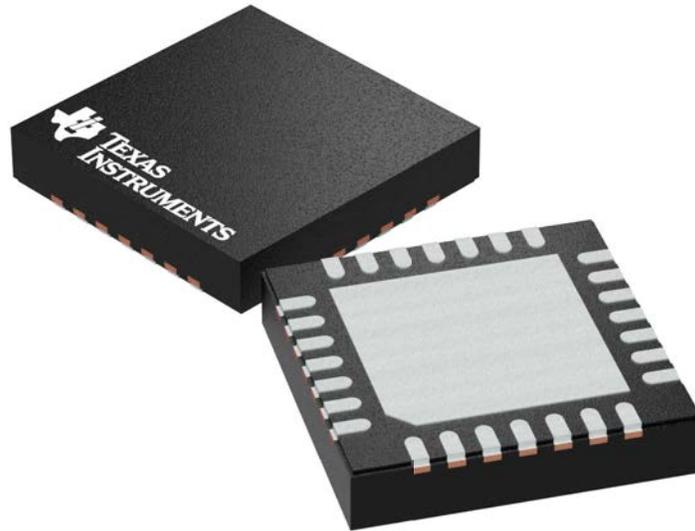
GENERIC PACKAGE VIEW

RHD 28

VQFN - 1 mm max height

5 x 5 mm, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

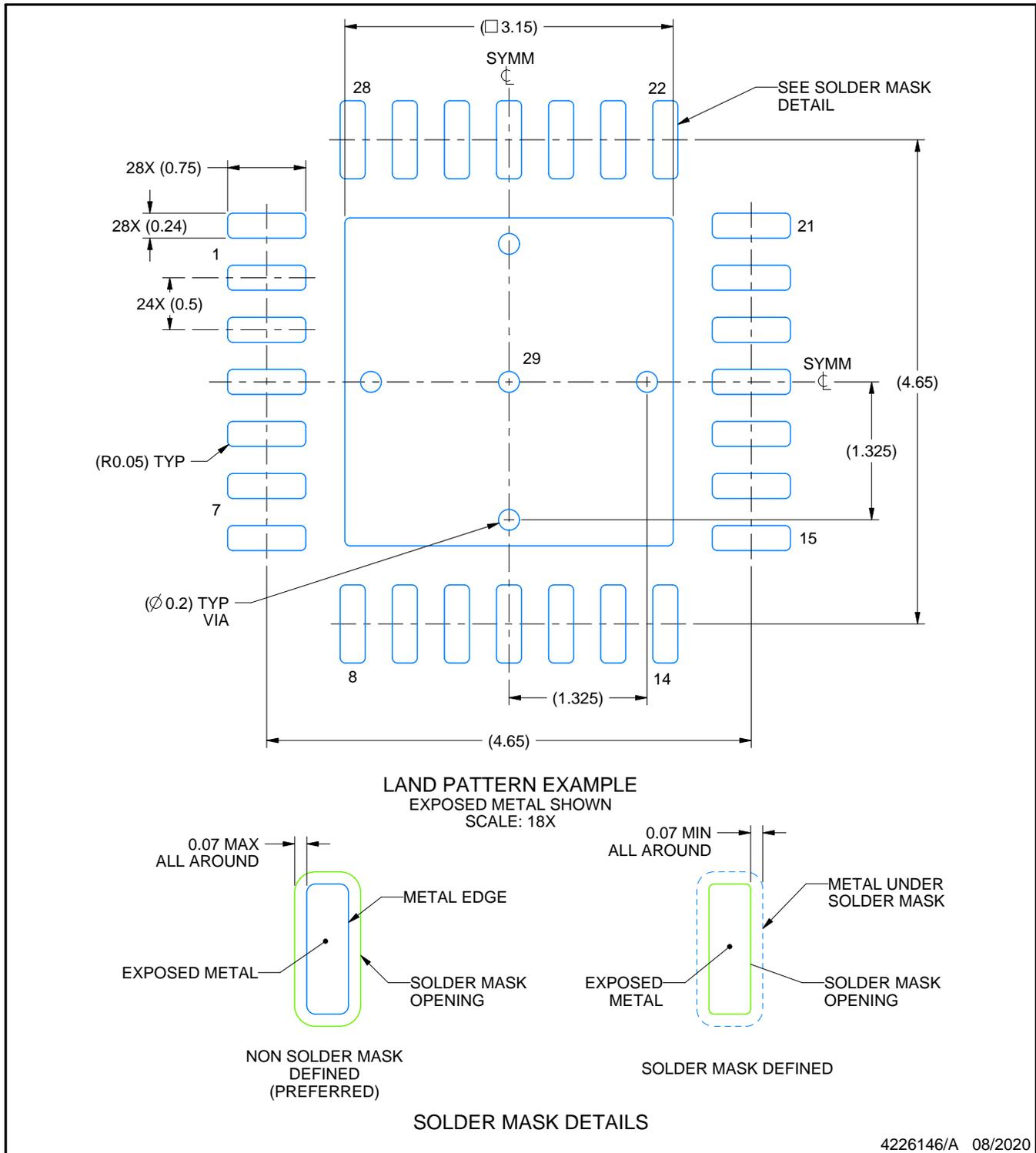
4204400/G

EXAMPLE BOARD LAYOUT

RHD0028B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

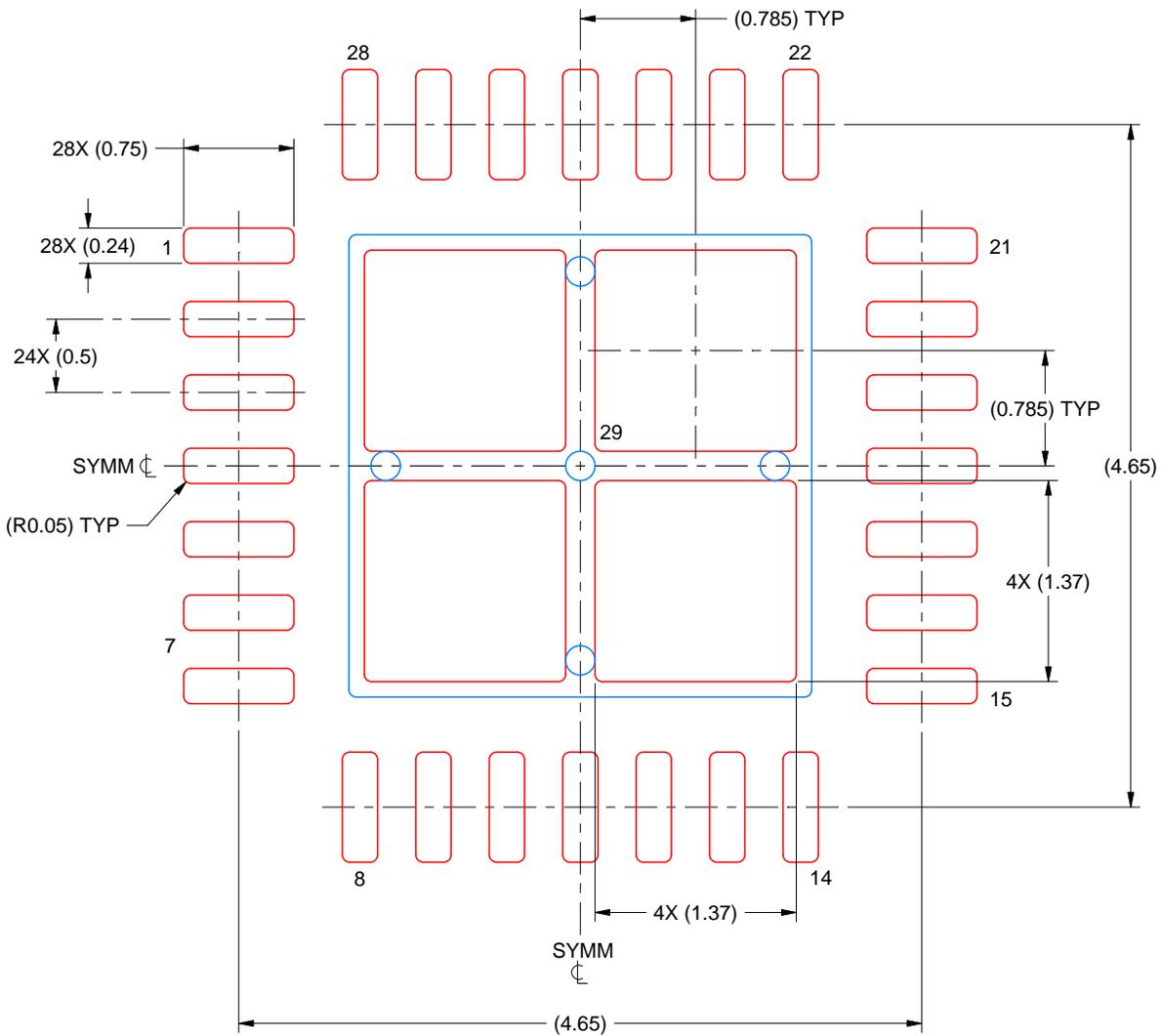
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RHD0028B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 20X

EXPOSED PAD 29
76% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4226146/A 08/2020

NOTES: (continued)

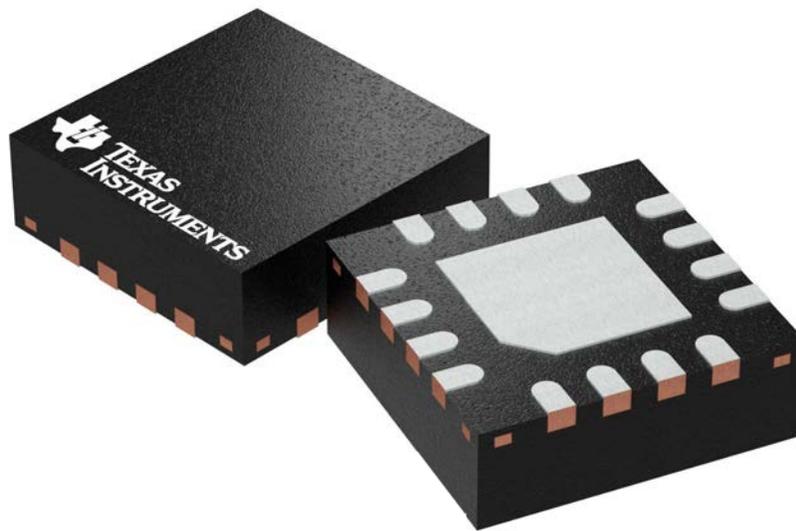
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

RGT 16

GENERIC PACKAGE VIEW

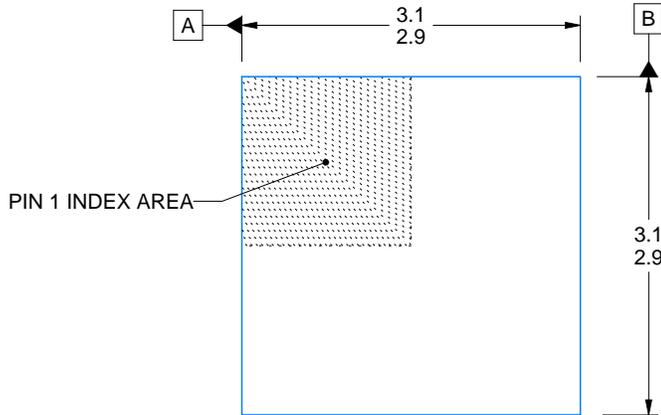
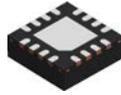
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

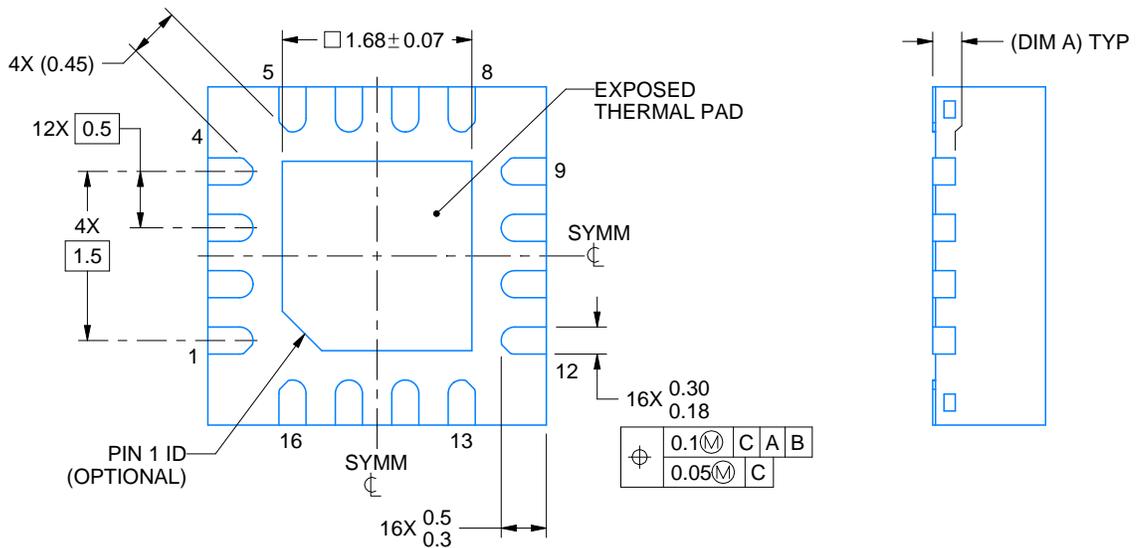
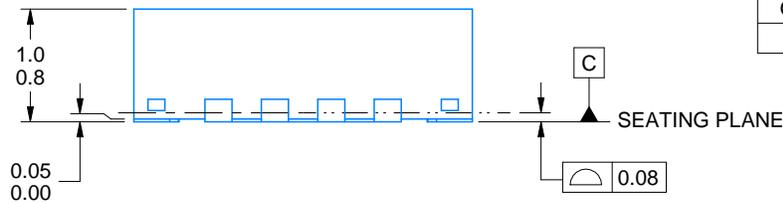


Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4203495/1



SIDE WALL METAL THICKNESS DIM A	
OPTION 1	OPTION 2
0.1	0.2



4222419/E 07/2025

NOTES:

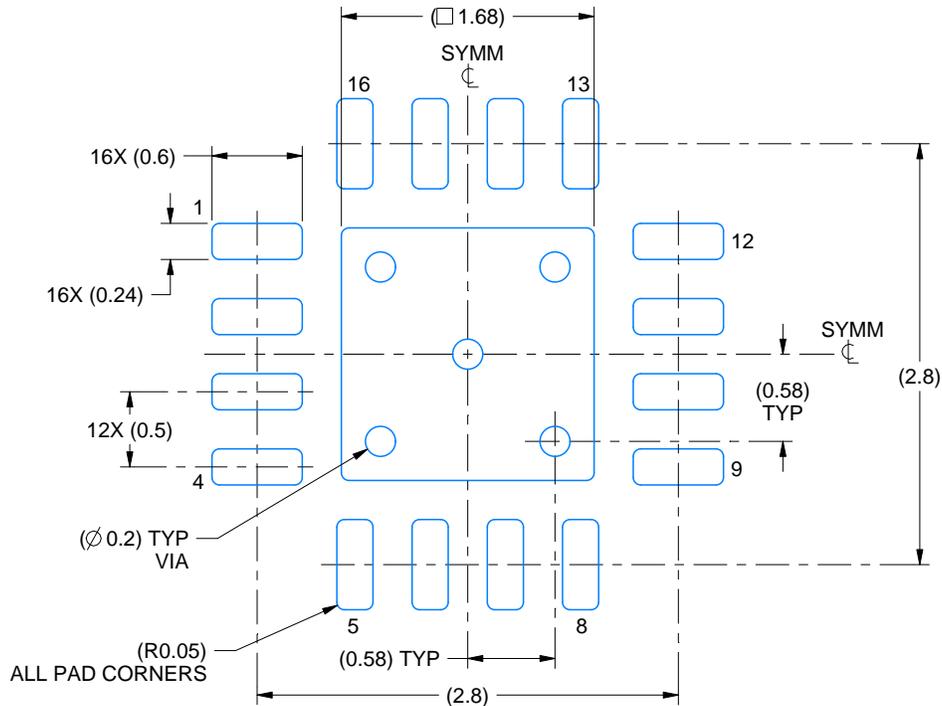
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

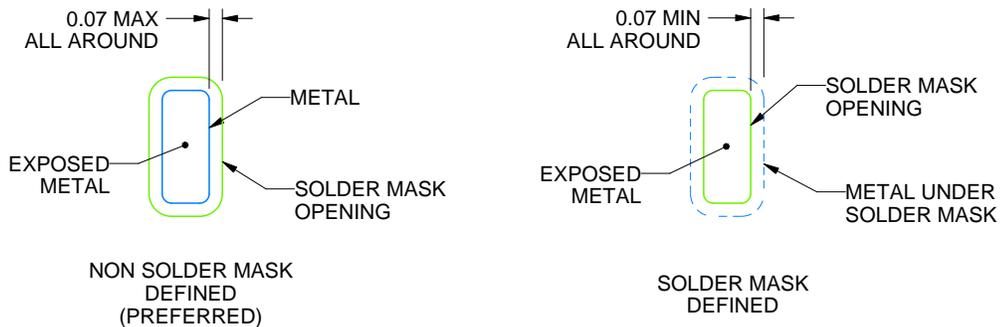
RGT0016C

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X



SOLDER MASK DETAILS

4222419/E 07/2025

NOTES: (continued)

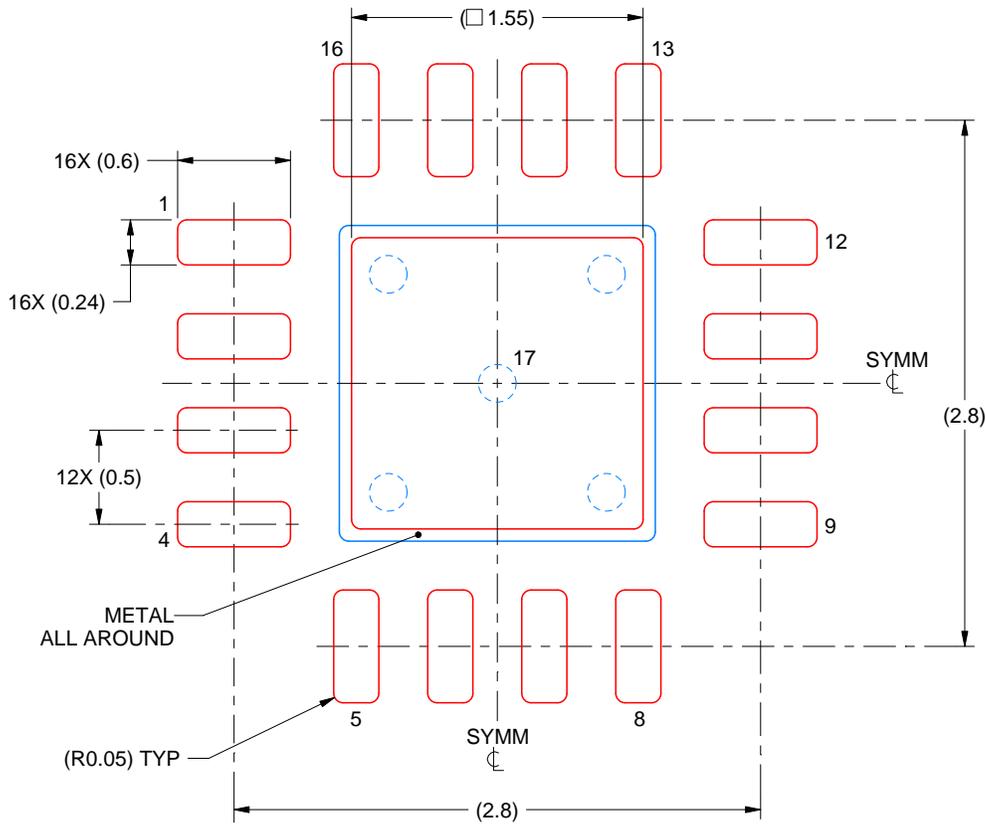
- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RGT0016C

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 17:
85% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4222419/E 07/2025

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月