

# LMK3H0102 リファレンスレス 2 差動または 5 シングルエンド出力 PCIe Gen 1 ~7 準拠 プログラマブル BAW クロック ジェネレータ

## 1 特長

- BAW 共振器を内蔵、外部リファレンスは不要
- フレキシブルな周波数生成:
  - 2 チャネル分圧器: 2.5MHz~400MHz の範囲で最大 3 つの異なる出力周波数
  - 最大 200MHz までの LVCMOS 出力をサポート: 1.8V、2.5V、または 3.3V
  - OUT0 ピンおよび OUT1 ピン上で AC-LVDS、DC-LVDS、LP-HCSL、LVCMOS の組み合わせ
  - 追加の LVCMOS 出力により最大 5 つの LVCMOS クロックを生成可能
- 総出力周波数安定性:  $\pm 25\text{ppm}$
- 2 つの機能モード:  $I^2C$  または事前にプログラムされた OTP
  - 完全に構成可能な  $I^2C$  アドレス
- PCIe Gen 1~Gen 7 準拠: 共通クロック (SSC、SRNS、SRIS あり/なし)
- 非常に小さい PCIe ジッタ (SSC あり):
  - PCIe Gen 3 の共通クロックのジッタ: 135.3fs 以下 (PCIe の上限は 1ps)
  - PCIe Gen 4 の共通クロックのジッタ: 135.3fs 以下 (PCIe の上限は 500fs)
  - PCIe Gen 5 の共通クロックのジッタ: 57.5fs 以下 (PCIe の上限は 150fs)
  - PCIe Gen 6 の共通クロックのジッタ: 34.5fs 以下 (PCIe の上限は 100fs)
  - PCIe Gen 7 の共通クロックのジッタ: 29.6fs 以下 (PCIe の上限は 67fs)
- プログラム可能な SSC 変調深度
  - 事前プログラム済み:  $-0.1\%$ 、 $-0.25\%$ 、 $-0.3\%$ 、および  $-0.5\%$  のダウン スプレッド (200MHz FOD 周波数)
  - 抵抗によるプログラミングが可能:  $-0.1\%$ ~ $-3\%$  のダウン スプレッド、または  $\pm 0.05\%$ ~ $\pm 1.5\%$  のセンター スプレッド
- 電源電圧: 1.8V~3.3V
- LP-HCSL 出力において、500kHz のスイッチング ノイズで  $-93.1\text{dBc}$  の PSNR を提供する内蔵 LDO
- スタートアップ時間:  $<1.5\text{ms}$
- 出力間スキュー:  $<50\text{ps}$
- フェイルセーフ デジタル入力ピン

## 2 アプリケーション

- PCIe Gen 1~Gen 7 のクロック生成
- サーバー マザーボード
- NIC、SmartNIC
- ハードウェア アクセラレータ
- マルチファンクション プリンタ
- PCIe SSD
- アドイン カード、PCIe 拡張カード

## 3 説明

LMK3H0102 は、スペクトラム拡散クロック (SSC) をサポートする、2 出力 PCIe Gen 1~Gen 7 準拠のリファレンスレス クロック ジェネレータです。このデバイスは、テキサス・インスツルメンツ独自のバルク弾性波 (BAW) 技術に基づいており、水晶振動子や外部クロックリファレンスを用いることなく、 $\pm 25\text{ppm}$  のクロック出力を供給します。このデバイスは、2 つの SSC クロック、2 つの非 SSC クロック、または 1 つの SSC クロックと 1 つの非 SSC クロックを同時に供給できます。このデバイスは、SSC ありまたは SSC なしの共通クロック、SRNS (Separate Reference No Spread)、SRIS (Separate Reference Independent Spread) など、Gen 1 から Gen 7 までの PCIe に完全準拠しています。

このデバイスは、ピンや  $I^2C$  インターフェイスを介して簡単に構成できます。デバイスへの電力供給には、外付けの DC/DC 回路を使用できます。電源のフィルタ処理と DC/DC 回路からの電源供給に関する詳細なガイドラインについては、「[電源に関する推奨事項](#)」を参照してください。

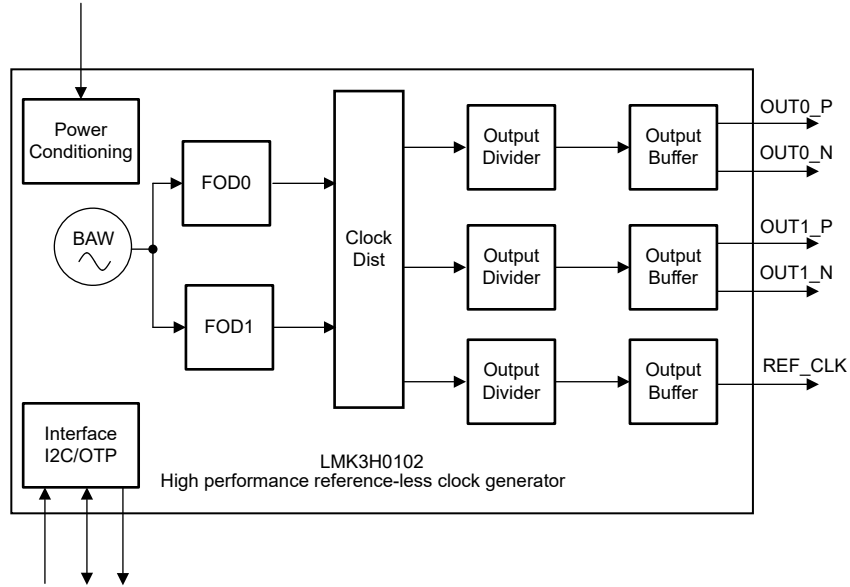
それぞれの LMK3H0102Axxx 構成の OTP のデフォルト設定については、『[LMK3H0102 構成ガイド](#)』を参照してください。

### パッケージ情報

部品番号	パッケージ <sup>(1)</sup>	パッケージ サイズ <sup>(2)</sup>
LMK3H0102	RER (TQFN, 16)	3.0mm × 3.0mm

- (1) 利用可能なすべてのパッケージについては、「[メカニカル、パッケージ、および注文情報](#)」を参照してください。
- (2) パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。





概略ブロック図

## 目次

<b>1 特長</b> .....	1	7.4 デバイスの機能モード.....	23
<b>2 アプリケーション</b> .....	1	7.5 プログラミング	31
<b>3 説明</b> .....	1	<b>8 デバイスのレジスタ</b> .....	34
<b>4 ピン構成および機能</b> .....	4	8.1 レジスタ マップ	34
<b>5 仕様</b> .....	6	<b>9 アプリケーションと実装</b> .....	45
5.1 絶対最大定格	6	9.1 アプリケーション情報	45
5.2 ESD 定格	6	9.2 代表的なアプリケーション	45
5.3 推奨動作条件	6	9.3 電源に関する推奨事項	55
5.4 熱に関する情報	7	9.4 レイアウト	56
5.5 電気的特性	7	<b>10 デバイスおよびドキュメントのサポート</b> .....	57
5.6 I <sup>2</sup> C インターフェイス仕様	13	10.1 ドキュメントのサポート	57
<b>6 パラメータ測定情報</b> .....	15	10.2 ドキュメントの更新通知を受け取る方法	57
6.1 出力フォーマットの構成	15	10.3 サポート・リソース	57
6.2 差動電圧測定に関する用語	16	10.4 商標	57
<b>7 詳細説明</b> .....	17	10.5 静電気放電に関する注意事項	57
7.1 概要	17	10.6 用語集	57
7.2 機能ブロック図	18	<b>11 改訂履歴</b> .....	57
7.3 機能説明	18	<b>12 メカニカル、パッケージ、および注文情報</b> .....	59

## 4 ピン構成および機能

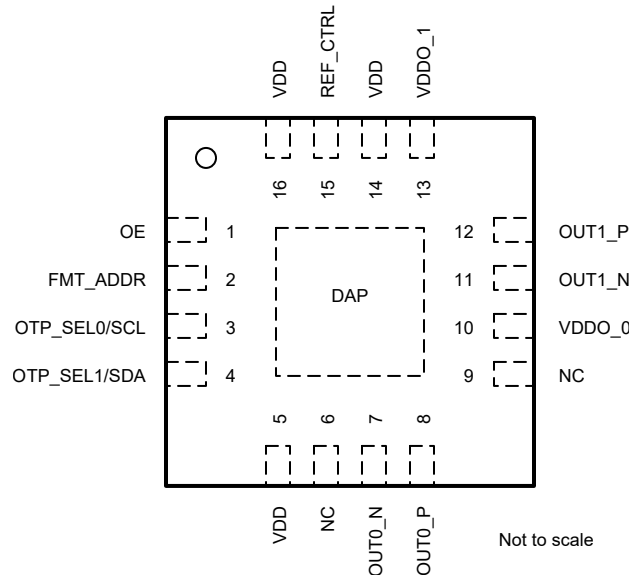


図 4-1. LMK3H0102 16 ピン TQFN (上面図)

表 4-1. ピンの機能

ピン		タイプ <sup>(1)</sup>	説明
名称	番号		
OUT0_P, OUT0_N	8, 7	O	クロック出力 0。LP-HCSL (85Ω または 100Ω)、LVDS または 1.8V、2.5V、または 3.3V LVCMOS をサポートしています。
OUT1_P, OUT1_N	12, 11	O	クロック出力 1。LP-HCSL (85Ω または 100Ω)、LVDS または 1.8V、2.5V、または 3.3V LVCMOS をサポートしています。
REF_CTRL (REF_CLK)	15	I/O	多機能ピン。パワーアップ時、このピンの状態がラッチされて、ピン 2、ピン 3、ピン 4 の機能が選択されます。パワーアップ前、I2C モードの場合は Low またはフローティングのままにし、OTP モードの場合は High にします。パワーアップ後、このピンは、追加の LVCMOS 出力 (REF_CLK)、アクティブ High の CLK_READY 信号、または ディスエーブルとしてプログラムできます。 詳細については、「REF_CTRL の動作」を参照してください。 このピンには、880kΩ の内部プルダウン抵抗があります。
OE	1	I	出力イネーブル。アクティブ Low。2 ステート ロジック入力ピン。 このピンには 75kΩ の内部プルダウン抵抗があります。 このピンは、OUT0 のみ、または OUT0 と OUT1 の両方を制御できます。詳細については、「出力イネーブル」を参照してください。 <ul style="list-style-type: none"> <li>Low / フローティング: OUT0 および OUT1 はイネーブル</li> <li>High: OUT0 および OUT1 はディスエーブル</li> </ul>

**表 4-1. ピンの機能 (続き)**

ピン		タイプ <sup>(1)</sup>	説明
名称	番号		
FMT_ADDR	2	I	<p>多機能ピン。機能は、パワーアップ時に REF_CTRL (ピン 15) によって決定されます。詳細については、「<a href="#">OTP モード</a>」と「<a href="#">I2C モード</a>」を参照してください。</p> <p>このピンには、880kΩ の内部プルダウン抵抗があります。</p> <ul style="list-style-type: none"> <li>I2C モード: このピンでは、I2C アドレス、OUT1 の出力イネーブルとしての機能、または機能なしの、いずれかが選択可能です。</li> <li>OTP モード: このピンでは、出力フォーマット、OUT1 の出力イネーブルとしての機能、または機能なしの、いずれかが設定可能です。</li> </ul>
OTP_SELO/SCL、 OTP_SEL1/SDA	3, 4	I, I/O	<p>多機能ピン。機能は、パワーアップ時に REF_CTRL (ピン 15) によって決定されます。詳細については、「<a href="#">OTP モード</a>」と「<a href="#">I2C モード</a>」を参照してください。これらのピンには、880kΩ の内部プルダウン抵抗があります。</p> <ul style="list-style-type: none"> <li>I2C モード: これらのピンは、I2C クロックとデータの接続です。</li> <li>OTP モード: これらのピンは OTP ページを選択します。</li> </ul>
VDD	5, 14, 16	P	1.8V、2.5V、または 3.3V のデバイス電源。0.1μF コンデンサは、このピンのできるだけ近くに配置する必要があります。LMK3H0102V18 の場合、このピンには 1.8V のみを供給します。
VDDO_0、VDDO_1	10, 13	P	1.8V、2.5V、または 3.3V の OUT0 と OUT1 電源。VDD が 1.8V または 2.5V の場合、VDDO ピンは VDD と同じ電圧でなければなりません。0.1μF コンデンサは、このピンのできるだけ近くに配置する必要があります。分割電源を使用する場合の適切な実装については、 <a href="#">パワーアップ シーケンシング</a> を参照してください。
NC	6, 9	該当なし	接続なし。ピンは GND または VDD に接続するか、「 <a href="#">絶対最大定格</a> 」に記載されている電源電圧範囲内で任意の電位に接続することができます。
DAP	17	G	GND

(1) I = 入力、O = 出力、I/O = 入力または出力、G = グランド、P = 電源。

## 5 仕様

### 5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) <sup>(1)</sup>

		最小値	最大値	単位
V <sub>DD</sub>	デバイス電源電圧	-0.3	3.9	V
V <sub>DDO</sub>	出力電源電圧	-0.3	3.9	V
V <sub>IN</sub>	ロジック入力電圧 (V <sub>DD</sub> = V <sub>DDO</sub> = -0.3V~-3.9V)	-0.3	3.9	V
V <sub>OUT</sub>	OUT <sub>x_P</sub> ピンと OUT <sub>x_N</sub> ピンに印加される電圧 (出力が High または Low の場合)	-0.3	V <sub>DDO_x</sub> + 0.3	V
	OUT <sub>x_P</sub> ピンと OUT <sub>x_N</sub> ピンに印加される電圧 (出力が LVCMOS トライステートの場合)	-0.3	1.89	V
	OUT <sub>x_P</sub> ピンと OUT <sub>x_N</sub> ピンに印加される電圧 (出力が LP-HCSL または LVDS トライステートの場合)	-0.3	1.5	V
T <sub>J</sub>	接合部温度		105	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

### 5.2 ESD 定格

			値	単位
V <sub>(ESD)</sub>	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン <sup>(1)</sup>	±2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JS-002 に準拠、すべてのピン <sup>(2)</sup>	±500	

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。  
 (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

### 5.3 推奨動作条件

V<sub>DD</sub> = V<sub>DDO</sub> = 1.8V、2.5V、または 3.3V ± 5%、T<sub>A</sub> = T<sub>A,min</sub> ~ T<sub>A,max</sub>

		最小値	公称値	最大値	単位
V <sub>DD</sub>	デバイス電源電圧	1.71	1.8	1.89	V
		2.375	2.5	2.625	V
		3.135	3.3	3.465	V
V <sub>DDO</sub>	出力電源電圧	1.71	1.8	1.89	V
		2.375	2.5	2.625	V
		3.135	3.3	3.465	V
T <sub>A</sub>	周囲温度	-40		85	°C
T <sub>J</sub>	接合部温度	-40		105	°C
t <sub>ramp</sub>	電源ランプ時間。V <sub>DD</sub> = 1.8V	0.05		5	ms
t <sub>ramp</sub>	電源ランプ時間。V <sub>DD</sub> = 2.5V または 3.3V	0.05		5	ms

## 5.4 熱に関する情報

熱評価基準 <sup>(1)</sup>		LMK3H0102	単位
		RER (QFN)	
		16ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	69.8	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	56.5	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	38.6	°C/W
$\Psi_{JT}$	接合部から上面への特性パラメータ	2.1	°C/W
$\Psi_{JB}$	接合部から基板への特性パラメータ	38.5	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	10.3	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC の熱評価基準](#)』アプリケーション ノートを参照してください。

## 5.5 電気的特性

$V_{DD} = V_{DDO} = 1.8V, 2.5V$ , または  $3.3V \pm 5\%$ ,  $T_A = T_{A,min} \sim T_{A,max}$

パラメータ		テスト条件	最小値	標準値	最大値	単位
<b>周波数安定性</b>						
$\Delta f_{total}$	総合的な周波数安定性	温度変化、25°C での 10 年の経年劣化、半田付けによる変動、ヒステリシス、初期周波数精度など、すべての要因を含む	-25		25	ppm
<b>LP-HCSL クロック出力特性</b>						
$f_{out}$	出力周波数		2.5		400	MHz
$V_{min}$	出力 Low 電圧 (アンダーシュートを含む)		-60		25	mV
$V_{overshoot}$	オーバーシュート電圧。 $V_{max} - V_{OH}$				150	mV
$V_{OH,2.5/3.3}$	出力 High 電圧 $V_{DD} = 2.5V$ または $3.3V$	コード = 0	563	625	688	mV
		コード = 1	582	647	712	mV
		コード = 2	601	668	735	mV
		コード = 3	621	690	759	mV
		コード = 4	641	712	783	mV
		コード = 5	660	733	806	mV
		コード = 6 (デフォルト)	680	755	831	mV
		コード = 7	699	777	855	mV
		コード = 8	718	798	878	mV
		コード = 9	738	820	902	mV
		コード = 10	758	842	926	mV
		コード = 11	777	863	949	mV
		コード = 12	797	885	974	mV
		コード = 13	816	907	998	mV
		コード = 14	835	928	1021	mV
コード = 15	855	950	1045	mV		

**LMK3H0102**

JAJSS15E – NOVEMBER 2023 – REVISED OCTOBER 2025

$$V_{DD} = V_{DDO} = 1.8V, 2.5V, \text{または } 3.3V \pm 5\%, T_A = T_{A,min} \sim T_{A,max}$$

パラメータ	テスト条件	最小値	標準値	最大値	単位	
V <sub>OH,1.8</sub>	出力 High 電圧 VDD = 1.8V	コード = 0	563	625	688	mV
		コード = 1	582	647	712	mV
		コード = 2	601	668	735	mV
		コード = 3	621	690	759	mV
		コード = 4	641	712	783	mV
		コード = 5	660	733	806	mV
		コード = 6 (デフォルト)	680	755	831	mV
		コード = 7	699	777	855	mV
		コード = 8	718	798	878	mV
		コード = 9	738	820	902	mV
		コード = 10	758	842	926	mV
		コード = 11	777	863	949	mV
		コード = 12	797	885	974	mV
		コード = 13	816	907	998	mV
		コード = 14	835	928	1021	mV
コード = 15	855	950	1045	mV		
Z <sub>diff</sub>	LP-HCSL 静的差動インピーダンス		80.75	85	91.25	Ω
			95	100	105	Ω
dV/dt	出力スループレート (立ち上がりおよび立ち下がりエッジ)	ゼロ交差点を中心に、差動波形の -150mV ~ +150mV で測定されます。 OUTx_SLEW_RATE = 0 <sup>(1)</sup>	2.1		3.1	V/ns
		ゼロ交差点を中心に、差動波形の -150mV ~ +150mV で測定されます。 OUTx_SLEW_RATE = 0	2.3		3.5	V/ns
		ゼロ交差点を中心に、差動波形の -150mV ~ +150mV で測定されます。 OUTx_SLEW_RATE = 1	2		3.2	V/ns
		ゼロ交差点を中心に、差動波形の -150mV ~ +150mV で測定されます。 OUTx_SLEW_RATE = 2	1.7		2.8	V/ns
		ゼロ交差点を中心に、差動波形の -150mV ~ +150mV で測定されます。 OUTx_SLEW_RATE = 3	1.4		2.7	V/ns
ΔdV/dt	立ち上がりエッジレートと立ち下がりエッジレートの一致	<sup>(1)</sup> を参照		3	%	
ODC	出力デューティ サイクル	<sup>(1)</sup> を参照	47		53	%
		f <sub>out</sub> ≤ 325MHz	47		53	%
		325MHz < f <sub>out</sub> ≤ 400MHz	47		53	%
t <sub>skew</sub>	出力間スキュー	同じ FOD、LP-HCSL 出力		50	ps	
V <sub>cross</sub>	絶対交差点電圧	<sup>(1)</sup> を参照	280		480	mV
ΔV <sub>cross</sub>	クロック エッジ全体における V <sub>cross</sub> の変動	<sup>(1)</sup> を参照		30	mV	
V <sub>RB</sub>	リング バック電圧の絶対値	<sup>(1)</sup> を参照	100		mV	
t <sub>stable</sub>	V <sub>RB</sub> が許容されるまでの時間	<sup>(1)</sup> を参照	500		ps	
J <sub>cycle-to-cycle</sub>	サイクル間ジッタ、共通クロック、SSC なし	<sup>(1)</sup> を参照		20	ps	
J <sub>cycle-to-cycle</sub>	サイクル間ジッタ、共通クロック、-0.5% SSC	<sup>(1)</sup> を参照		25	ps	

$V_{DD} = V_{DDO} = 1.8V, 2.5V, \text{または } 3.3V \pm 5\%, T_A = T_{A,min} \sim T_{A,max}$ 

パラメータ	テスト条件	最小値	標準値	最大値	単位	
$t_{period\_abs}$	ジッタと SSC を含む絶対周期	(1) を参照	9.949	10	10.101	ns
$t_{period\_avg\_CC}$	平均クロック周期精度、共通クロック	(1) を参照	-100		2600	ppm
$t_{period\_avg\_SRIS}$	平均クロック周期精度、SRIS	(1) を参照	-100		1600	ppm
<b>LVDS クロック出力特性</b>						
$f_{out}$	出力周波数		2.5		400	MHz
$ V_{OD} $	差動出力電圧の定常状態の振幅 $ V_{OUTP} - V_{OUTN} $	100 $\Omega$ 外部終端	250	350	450	mV
$\Delta V_{pp-diff}$	相補出力状態間の差動出力電圧スイングの変化	100 $\Omega$ 外部終端			50	mV
$V_{OS}$	出力オフセット電圧 (同相電圧)	$V_{DDO} = 3.3V, 100\Omega$ 外部終端	1.12	1.2	1.365	V
		$V_{DDO} = 2.5V, 100\Omega$ 外部終端	1.1	1.2	1.345	V
		$V_{DDO} = 1.8V, 100\Omega$ 外部終端	0.8		0.97	V
$\Delta V_{OS}$	相補出力状態間の $V_{OS}$ の変化				50	mV
$I_{SA}, I_{SB}$	短絡電流。ジェネレータ出力端子がジェネレータ回路の共通端子に短絡されたときの電流の大きさ		-24		24	mA
$I_{SAB}$	短絡電流。ジェネレータ出力端子が互いに短絡されたときの電流の大きさ		-12		12	mA
$t_R, t_F$	20%~80% の差動立ち上がり / 立ち下がり時間	OUTx_SLEW_RATE = 0	195		323	ps
		OUTx_SLEW_RATE = 1	250		454	ps
		OUTx_SLEW_RATE = 2	270		635	ps
		OUTx_SLEW_RATE = 3	280		792	ps
$t_{skew}$	出力間スキュー	同じ FOD、LVDS 出力			50	ps
ODC	出力デューティサイクル		47		53	%
<b>LVC MOS クロック 出力特性</b>						
$f_{out}$	出力周波数		2.5		200	MHz
$dV/dt$	出力スルーレート	$V_{DDO} = 3.3V \pm 5\%, 20\% \sim 80\%$ で測定、負荷 4.7pF	2.6		4.7	V/ns
		$V_{DDO} = 2.5V \pm 5\%, 20\% \sim 80\%$ で測定、負荷 4.7pF	2.6		3.7	V/ns
		$V_{DDO} = 1.8V \pm 5\%, 20\% \sim 80\%$ で測定、負荷 4.7pF	1.5		3.2	V/ns
$V_{OH}$	出力 HIGH 電圧	$I_{OH} = -15mA, 3.3V$ 時	0.8 x $V_{DDO}$		$V_{DDO}$	V
		$I_{OH} = -12mA, 2.5V$ 時				
		$I_{OH} = -8mA, 1.8V$ 時				
$V_{OL}$	出力 LOW 電圧	$I_{OL} = 15mA, 3.3V$ 時			0.4	V
		$I_{OL} = 12mA, 2.5V$ 時				
		$I_{OL} = 8mA, 1.8V$ 時				
$I_{leak}$	出力リーク電流	トライステート出力。 $V_{DD} = V_{DDO} = 3.465V$	-5	0	5	$\mu A$
$R_{out}$	出力インピーダンス			17		$\Omega$
ODC	出力デューティサイクル	$f_{out} \leq 156.25MHz$	45		55	%
		$f_{out} > 156.25MHz$	40		60	%
$t_{skew}$	出力間スキュー	同じ FOD、LVC MOS 出力			50	ps
$C_{load}$	最大負荷容量				15	pF

**LMK3H0102**

JAJSS15E – NOVEMBER 2023 – REVISED OCTOBER 2025

$$V_{DD} = V_{DDO} = 1.8V, 2.5V, \text{または } 3.3V \pm 5\%, T_A = T_{A,\min} \sim T_{A,\max}$$

パラメータ		テスト条件	最小値	標準値	最大値	単位
<b>LVC MOS REFCLK 特性</b>						
$f_{out}$	出力周波数	(2) を参照	12.5 <sup>(3)</sup>		200	MHz
$dV/dt$	出力スルーレート	$V_{DDO} = 3.3V \pm 5\%$ 、20%~80% で測定、負荷 4.7pF <sup>(2)</sup>	2.6		6.7	V/ns
		$V_{DDO} = 2.5V \pm 5\%$ 、20%~80% で測定、負荷 4.7pF <sup>(2)</sup>	1.8		4.5	V/ns
		$V_{DDO} = 1.8V \pm 5\%$ 、20%~80% で測定、負荷 4.7pF <sup>(2)</sup>	1		3.2	V/ns
$I_{leak}$	出力リーク電流	トリステスト条件時の出力。 $V_{DD} = V_{DDO} = 3.465V$ <sup>(2)</sup>	-5		5	μA
$R_{out}$	出力インピーダンス			17		Ω
ODC	出力デューティサイクル	$f_{out} \leq 156.25MHz$ (2)	45		55	%
ODC	出力デューティサイクル	$f_{out} > 156.25MHz$ (2)	40		60	%
$C_{load}$	最大負荷容量	(2) を参照			15	pF
RJ	ランダム ジッタ	50MHz での 12kHz~20MHz の総合ジッタ (2)			0.5	ps
<b>SSC 特性</b>						
$f_{out}$	SSC をサポートする出力周波数範囲 (任意の出力フォーマット)		2.5		200	MHz
$f_{SSC}$	SSC 変調周波数		30	31.5	33	kHz
$f_{SSC\text{-}deviation}$	SSC 偏差 (変調深度)	ダウン スプレッド (プログラマブル)	-3		-0.1	%
		センター スプレッド (プログラマブル)	±0.05		±1.5	%
$f_{SSC\text{-}deviation\text{-}accuracy}$	SSC 偏差精度	$f_{out} \leq 100MHz$ 、ダウン スプレッド	0		0.01	%
		$100MHz < f_{out} \leq 200MHz$ 、ダウン スプレッド	0		0.05	%
		$f_{out} \leq 100MHz$ 、センター スプレッド	0		0.01	%
		$100MHz < f_{out} \leq 200MHz$ 、センター スプレッド	0		0.05	%
$df/dt$	SSC 最大周波数スルーレート	$0 < f_{SSC\text{-}deviation} \leq -0.5\%$			1250	ppm/μs
<b>ジッタ特性</b>						
$J_{PCle1\text{-}cc\text{-}SSC\text{-}off}$	PCIe Gen 1 共通クロックのジッタ、SSC はオフ (ジッタ制限 = 86ps)	両方の出力で SSC ディスエーブル			0.8	ps
$J_{PCle1\text{-}cc\text{-}SSC\text{-}on}$	PCIe Gen 1 共通クロックのジッタ、 $-0.5\% \leq SSC < 0\%$ (ジッタ制限 = 86ps)	両方の出力で SSC イネーブル			1.4	ps
$J_{PCle2\text{-}cc\text{-}SSC\text{-}off}$	PCIe Gen 2 共通クロックのジッタ、SSC はオフ (ジッタ制限 = 3ps)	両方の出力で SSC ディスエーブル		0.2	0.3	ps
$J_{PCle2\text{-}cc\text{-}SSC\text{-}on}$	PCIe Gen 2 共通クロックのジッタ、 $-0.5\% \leq SSC < 0\%$ (ジッタ制限 = 3ps)	両方の出力で SSC イネーブル		0.3	0.5	ps
$J_{PCle2\text{-}SRNS}$	PCIe Gen 2 の SRNS ジッタ	両方の出力で SSC ディスエーブル		0.2	0.3	ps
$J_{PCle2\text{-}SRIS}$	PCIe Gen 2 の SRIS ジッタ、 $-0.3\% \leq SSC < 0\%$	両方の出力で SSC イネーブル		0.3	0.5	ps
$J_{PCle3\text{-}cc\text{-}SSC\text{-}off}$	PCIe Gen 3 共通クロックのジッタ、SSC はオフ (ジッタ制限 = 1ps)	両方の出力で SSC ディスエーブル		42.8	84.2	fs
$J_{PCle3\text{-}cc\text{-}SSC\text{-}on}$	PCIe Gen 3 共通クロックのジッタ、 $-0.5\% \leq SSC < 0\%$ (ジッタ制限 = 1ps)	両方の出力で SSC イネーブル		63.1	135.3	fs
$J_{PCle3\text{-}SRNS}$	PCIe Gen 3 の SRNS ジッタ	両方の出力で SSC ディスエーブル		48.8	97.5	fs

$V_{DD} = V_{DDO} = 1.8V, 2.5V, \text{または } 3.3V \pm 5\%, T_A = T_{A,min} \sim T_{A,max}$ 

パラメータ		テスト条件	最小値	標準値	最大値	単位
JpC1e3-SRIS	PCIe Gen 3 の SRIS ジッタ、 $-0.3\% \leq \text{SSC} < 0\%$	両方の出力で SSC イネーブル		194.1	418.5	fs
JpC1e4-cc-SSC_off	PCIe Gen 4 共通クロックのジッタ、SSC はオフ (ジッタ制限 = 500fs)	両方の出力で SSC ディスエーブル		42.8	84.2	fs
JpC1e4-cc-SSC_on	PCIe Gen 4 共通クロックのジッタ、 $-0.5\% \leq \text{SSC} < 0\%$ (ジッタ制限 = 500fs)	両方の出力で SSC イネーブル		63.1	135.3	fs
JpC1e4-SRNS	PCIe Gen 4 の SRNS ジッタ	両方の出力で SSC ディスエーブル		48.8	97.5	fs
JpC1e4-SRIS	PCIe Gen 4 の SRIS ジッタ、 $-0.3\% \leq \text{SSC} < 0\%$	両方の出力で SSC イネーブル		98.5	205.4	fs
JpC1e5-cc-SSC_off	PCIe Gen 5 共通クロックのジッタ、SSC はオフ (ジッタ制限 = 150fs)	両方の出力で SSC ディスエーブル		17.8	35.6	fs
JpC1e5-cc-SSC_on	PCIe Gen 5 共通クロックのジッタ、 $-0.5\% \leq \text{SSC} < 0\%$ (ジッタ制限 = 150fs)	両方の出力で SSC イネーブル		26.4	57.5	fs
JpC1e5-SRNS	PCIe Gen 5 の SRNS ジッタ	両方の出力で SSC ディスエーブル		19.8	39	fs
JpC1e5-SRIS	PCIe Gen 5 の SRIS ジッタ、 $-0.3\% \leq \text{SSC} < 0\%$	両方の出力で SSC イネーブル		30.2	63.9	fs
JpC1e6-cc-SSC_off	PCIe Gen 6 共通クロックのジッタ、SSC はオフ (ジッタ制限 = 100fs)	両方の出力で SSC ディスエーブル		11	22	fs
JpC1e6-cc-SSC_on	PCIe Gen 6 共通クロックのジッタ、 $-0.5\% \leq \text{SSC} < 0\%$ (ジッタ制限 = 100fs)	両方の出力で SSC イネーブル		16	34.5	fs
JpC1e6-SRNS	PCIe Gen 6 の SRNS ジッタ	両方の出力で SSC ディスエーブル		14.8	27.9	fs
JpC1e6-SRIS	PCIe Gen 6 の SRIS ジッタ、 $-0.3\% \leq \text{SSC} < 0\%$	両方の出力で SSC イネーブル		22.2	45.9	fs
JpC1e7-cc-SSC_off	PCIe Gen 7 共通クロックのジッタ、SSC はオフ (ジッタ制限 = 67fs)	両方の出力で SSC ディスエーブル		7.7	15.4	fs
JpC1e7-cc-SSC_on	PCIe Gen 7 共通クロックのジッタ、 $-0.5\% \leq \text{SSC} < 0\%$ (ジッタ制限 = 67fs)	両方の出力で SSC イネーブル		12.1	29.6	fs
JpC1e7-SRNS	PCIe Gen 7 の SRNS ジッタ	両方の出力で SSC ディスエーブル		10.4	19.6	fs
JpC1e7-SRIS	PCIe Gen 7 の SRIS ジッタ、 $-0.1\% \leq \text{SSC} < 0\%$	両方の出力で SSC イネーブル		12.2	25.5	fs
RjRMS	12kHz ~ 20MHz RMS ジッタ	$f_{out} = 156.25\text{MHz}$		105	144	fs
<b>タイミング特性</b>						
t <sub>startup</sub>	起動時間	V <sub>DD</sub> = 2.5V または 3.3V。すべての V <sub>DD</sub> ピンが 2.1V に達してから最初の出力クロックの立ち上がりエッジまでの経過時間。出力クロックは常に仕様の範囲内です。			1	ms
		V <sub>DD</sub> = 1.8V。すべての V <sub>DD</sub> ピンが 1.6V に達してから最初の出力クロックの立ち上がりエッジまでの経過時間。出力クロックは常に仕様の範囲内です。			1.5	ms
t <sub>OE</sub>	出力イネーブル時間	CLOCK_READY ステータスが 1 になった後、OE アサートから最初の出力クロックの立ち上がりエッジまでの経過時間。ディスエーブル時には出力はトライステートされません。			7	出力クロックサイクル
t <sub>OD</sub>	出力ディスエーブル時間	OE デアサートから最後の出力クロックの立ち下がりエッジまでの経過時間。			7	出力クロックサイクル
<b>消費電力特性</b>						

$V_{DD} = V_{DDO} = 1.8V, 2.5V, \text{または } 3.3V \pm 5\%, T_A = T_{A,min} \sim T_{A,max}$

パラメータ		テスト条件	最小値	標準値	最大値	単位
I <sub>DD</sub>	コア電源電流、出力ドライバは含まない	1つの FOD がイネーブル、100MHz ≤ f <sub>FOD</sub> ≤ 200MHz		57.5	79.9	mA
		1つの FOD がイネーブル、200MHz < f <sub>FOD</sub> ≤ 400MHz		67	90.7	mA
		2つの FOD がイネーブル、100MHz ≤ f <sub>FOD</sub> ≤ 200MHz		81.1	105.8	mA
		2つの FOD がイネーブル、200MHz < f <sub>FOD</sub> ≤ 400MHz		97.8	125.8	mA
I <sub>DDO</sub>	出力チャンネルごとの出力電源電流	LP-HCSL <sub>o</sub> f <sub>out</sub> ≤ 100MHz		10.1	10.8	mA
		LP-HCSL <sub>o</sub> 100MHz < f <sub>out</sub> ≤ 200MHz		13.2	14.1	mA
		LP-HCSL <sub>o</sub> 200MHz < f <sub>out</sub> ≤ 300MHz		13.7	15.1	mA
		LP-HCSL <sub>o</sub> 300MHz < f <sub>out</sub> ≤ 400MHz		14.4	16.4	mA
		LVDS <sub>o</sub> f <sub>out</sub> ≤ 100MHz		6	8	mA
		LVDS <sub>o</sub> 100MHz < f <sub>out</sub> ≤ 200MHz		6.8	9.2	mA
		LVDS <sub>o</sub> 200MHz < f <sub>out</sub> ≤ 300MHz		7.6	10.2	mA
		LVDS <sub>o</sub> 300MHz < f <sub>out</sub> ≤ 400MHz		8.4	11.3	mA
		1.8V LVCMOS <sub>o</sub> f <sub>out</sub> = 50MHz <sup>(4)</sup>		4.2	5	mA
		1.8V LVCMOS <sub>o</sub> f <sub>out</sub> = 200MHz <sup>(4)</sup>		11.7	13.4	mA
		2.5V LVCMOS <sub>o</sub> f <sub>out</sub> = 50MHz <sup>(4)</sup>		5.6	6.4	mA
		2.5V LVCMOS <sub>o</sub> f <sub>out</sub> = 200MHz <sup>(4)</sup>		15.3	17.3	mA
		3.3V LVCMOS <sub>o</sub> f <sub>out</sub> = 50MHz <sup>(4)</sup>		6.8	7.7	mA
3.3V LVCMOS <sub>o</sub> f <sub>out</sub> = 200MHz <sup>(4)</sup>		19.2	21.7	mA		
I <sub>DDREF</sub>	REFCLK 電源電流	1.8V LVCMOS <sub>o</sub> f <sub>out</sub> = 50MHz <sup>(4)</sup>		3.4	3.9	mA
		1.8V LVCMOS <sub>o</sub> f <sub>out</sub> = 200MHz <sup>(4)</sup>		9.5	11.7	mA
		2.5V LVCMOS <sub>o</sub> f <sub>out</sub> = 50MHz <sup>(4)</sup>		4.7	5.3	mA
		2.5V LVCMOS <sub>o</sub> f <sub>out</sub> = 200MHz <sup>(4)</sup>		12.8	15.8	mA
		3.3V LVCMOS <sub>o</sub> f <sub>out</sub> = 50MHz <sup>(4)</sup>		5.9	6.6	mA
		3.3V LVCMOS <sub>o</sub> f <sub>out</sub> = 200MHz <sup>(4)</sup>		16.6	20.2	mA
<b>PSNR 特性</b>						
PSNR <sub>LVC MOS</sub>	LVCMOS 出力の電源ノイズ除去 <sup>(5)</sup>	10kHz		-76.7	-58.1	dBc
		50kHz		-80.9	-57.9	dBc
		100kHz		-81.8	-57	dBc
		500kHz		-84.3	-61.7	dBc
		1MHz		-97.6	-78.1	dBc
		5MHz		-104.3	-79	dBc
PSNR <sub>LVDS</sub>	LVDS 出力の電源ノイズ除去 <sup>(5)</sup>	10kHz		-79.5	-70.9	dBc
		50kHz		-83.5	-73.2	dBc
		100kHz		-83	-71.6	dBc
		500kHz		-88.3	-79	dBc
		1MHz		-123.4	-101.4	dBc
		5MHz		-115	-87.7	dBc
		10MHz		-123.7	-103.5	dBc

$V_{DD} = V_{DDO} = 1.8V, 2.5V$ , または  $3.3V \pm 5\%$ ,  $T_A = T_{A,min} \sim T_{A,max}$

パラメータ		テスト条件	最小値	標準値	最大値	単位
PSNR <sub>LP-HCSL</sub>	LP-HCSL 出力の電源ノイズ除去 (5)	10kHz		-80.1	-70.8	dBc
		50kHz		-84.7	-72.9	dBc
		100kHz		-84.6	-70.1	dBc
		500kHz		-93.1	-78.8	dBc
		1MHz		-124.6	-101.5	dBc
		5MHz		-114.3	-88.3	dBc
		10MHz		-123	-103.7	dBc

## 2 ステート ロジック入力特性

$V_{IH-Pin2}$	ピン 2 の入力 High 電圧		$0.7 \times V_{DD}$		$V_{DD} + 0.3$	V
$V_{IL-Pin2}$	ピン 2 の入力 Low 電圧		$GND - 0.3$		$0.3 \times V_{DD}$	V
$V_{IH-Pin1}$	ピン 1 の入力 High 電圧		1.15		$V_{DD} + 0.3$	V
$V_{IL-Pin1}$	ピン 1 の入力 Low 電圧		-0.3		0.65	V
$V_{IH-Pin3,4}$	OTP_SEL[1:0] の入力 High 電圧		$0.7 \times V_{DD}$		$V_{DD} + 0.3$	V
$V_{IL-Pin3,4}$	OTP_SEL[1:0] の入力 Low 電圧		$GND - 0.3$		0.8	V
$V_{IH-Pin15}$	ピン 15 の入力 High 電圧		$0.65 \times V_{DD}$		$V_{DD} + 0.3$	V
$V_{IL-Pin15}$	ピン 15 の入力 Low 電圧		-0.3		0.4	V
$R_{ext-up/down-Pin1,2}$	ピン 1、2 の推奨外部プルアップ抵抗またはプルダウン抵抗		0	1	10	kΩ
$R_{ext-up/down-Pin3,4,15}$	ピン 3、4、15 の推奨外部プルアップ抵抗またはプルダウン抵抗		0	10	60	kΩ
$t_R/t_F$	OE 信号の立ち上がり時間または立ち下がり時間				10	ns
$C_{in}$	入力容量				3	pF

- (1) PCIe テスト負荷、4GHz で 15dB 損失、 $f_{out} = 100MHz$ ,  $Z_{diff} = 100\Omega$
- (2) 10kΩ 外部プルアップ抵抗またはプルダウン抵抗でテスト
- (3) REFCLK は FOD0 または FOD1 のどちらからでも /2、/4、/8 に設定できます。どちらの FOD も 100~400MHz をサポートしています。
- (4) 5 インチのパターンで 4.7pF の容量性負荷
- (5) 電源ピンはすべて接続されています。0.1μF コンデンサは各電源ピンの近くに配置されています。50mVpp のリップルを印加し、クロック出力でスプリアス レベルを測定します。

## 5.6 I<sup>2</sup>C インターフェイス仕様

すべてのタイミング要件は、 $V_{IH-min}$  と  $V_{IL-max}$  を基準としています。チップの  $V_{DD} = I^2C V_{DD}$  となります。

パラメータ	テスト条件	スタンダード モード		ファスト モード		単位
		最小値	最大値	最小値	最大値	
$V_{IL}$	入力 Low 電圧	-0.3	$0.3 \times V_{DD}$	-0.3	$0.3 \times V_{DD}$	V
$V_{IH}$	入力 High 電圧	$0.7 \times V_{DD}$	$V_{DD} + 0.3$	$0.7 \times V_{DD}$	$V_{DD} + 0.3$	V
$V_{hys}$	シュミットトリガ入力のヒステリシス			$0.05 \times V_{DD}$		V
$V_{OL1}$	Low レベル出力電圧 1	3mA のシンク電流の場合 $V_{DD} > 2V$		0	0.4	V
$V_{OL2}$	Low レベル出力電圧 2	2mA のシンク電流の場合 $V_{DD} \leq 2V$		0 $0.2 \times V_{DD}$		V

すべてのタイミング要件は、 $V_{IH-min}$  と  $V_{IL-max}$  を基準としています。チップの  $V_{DD} = I^2C V_{DD}$  となります。

パラメータ		テスト条件	スタンダード モード		ファスト モード		単位
			最小値	最大値	最小値	最大値	
$I_{OL}$	Low レベル出力電流	$V_{OL} = 0.4 V$	3		3		mA
		$V_{OL} = 0.6 V$			6		mA
$t_{OF}$	$V_{IHmin}$ から $V_{ILmax}$ への出力立ち下がり時間			250	$20 \times (V_{DD} / 5.5 V)$	250	ns
$t_{SP}$	入力フィルタにより抑制されるスパイクのパルス幅				0	50	ns
$I_i$	各 I/O ピンの入力電流	$0.1 \times V_{DD} < V_{IN} < 0.9 \times V_{DDmax}$	-10	10	-10	10	$\mu A$
$C_i$	各 I/O ピンの静電容量			10		10	pF
$f_{SCL}$	SCL クロック周波数		0	100	0	400	kHz
$t_{HD-STA}$	(繰り返し) START 条件のホールド時間	この時間が経過すると、最初のクロックパルスが生成されます	4		0.6		$\mu s$
$t_{low}$	SCL クロックの Low 期間		4.7		1.3		$\mu s$
$t_{high}$	SCL クロックの High 期間		4		0.6		$\mu s$
$t_{SU-STA}$	繰り返し START 条件のセットアップ時間		4.7		0.6		$\mu s$
$t_{HD-DAT}$	データ ホールド時間	I <sup>2</sup> C バス デバイス	0		0		$\mu s$
$t_{SU-DAT}$	データ セットアップ時間		0.25		0.1		$\mu s$
$t_R$	SDA 信号と SCL 信号の両方の立ち上がり時間 (1)			300	20	300	ns
$t_F$	SDA 信号と SCL 信号の両方の立ち下がり時間 (1)			300	$20 \times (V_{DD} / 5.5 V)$	300	ns
$t_{SU-STO}$	STOP 条件のセットアップ時間		4		0.6		$\mu s$
$t_{BUF}$	STOP 条件と START 条件の間のバスフリー時間		4.7		1.3		$\mu s$
$C_B$	各バスラインの容量性負荷			400		400	pF
$t_{VD-DAT}$	データ有効時間			3.45		0.9	$\mu s$
$t_{VD-ACK}$	データ有効アクノリッジ時間			3.45		0.9	$\mu s$
$V_{NL}$	Low レベルでのノイズ マージン	ヒステリシスを含む、接続された各デバイスについて	$0.1 \times V_{DD}$		$0.1 \times V_{DD}$		V
$V_{NH}$	High レベルでのノイズ マージン	ヒステリシスを含む、接続された各デバイスについて	$0.2 \times V_{DD}$		$0.2 \times V_{DD}$		V

(1) 立ち上がり時間と立ち下がり時間のパラメータは、IO ドライバの特性、プルアップ抵抗値、パターンの総容量によって異なります。

## 6 パラメータ測定情報

### 6.1 出力フォーマットの構成

このセクションでは、LMK3H0102 の各出力フォーマット オプションの特性テストの設定について説明します。

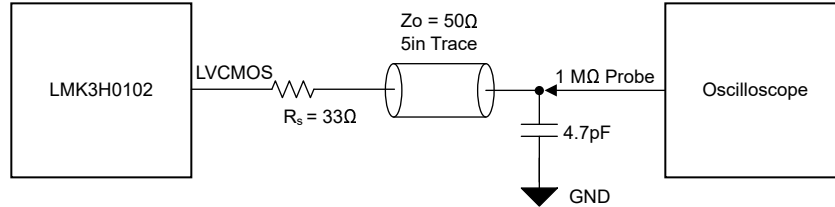


図 6-1. デバイス テスト時の LVC MOS 出力の構成

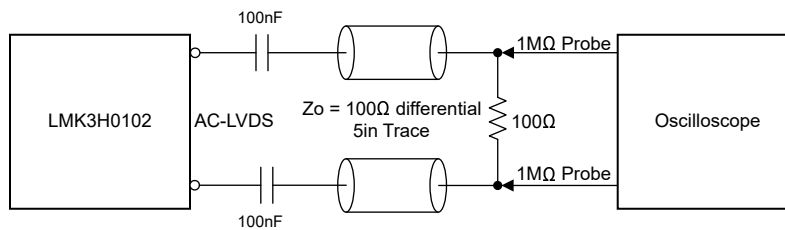


図 6-2. デバイス テスト時の AC-LVDS 出力の構成

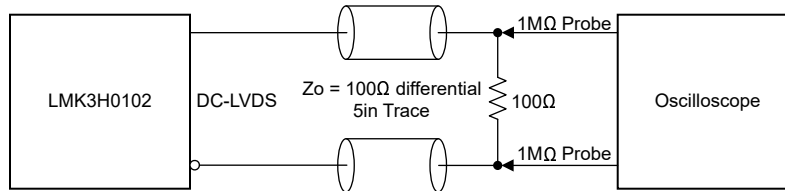


図 6-3. デバイス テスト時の DC-LVDS 出力の構成

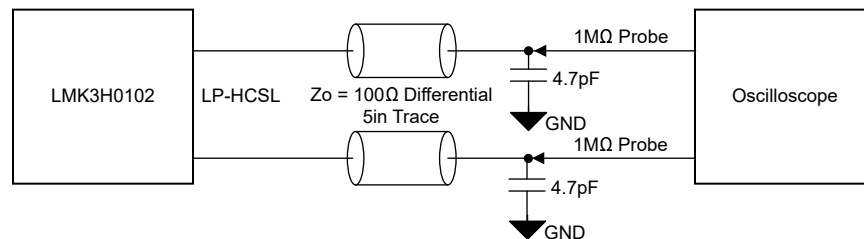


図 6-4. 非 PCIe デバイス テスト時の LP-HCSL 出力の構成

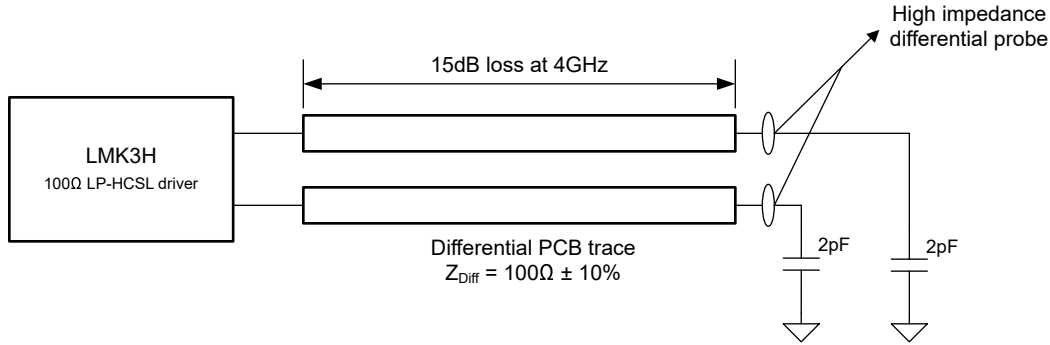


図 6-5. PCIe デバイス テスト時の LP-HCSL 出力の構成

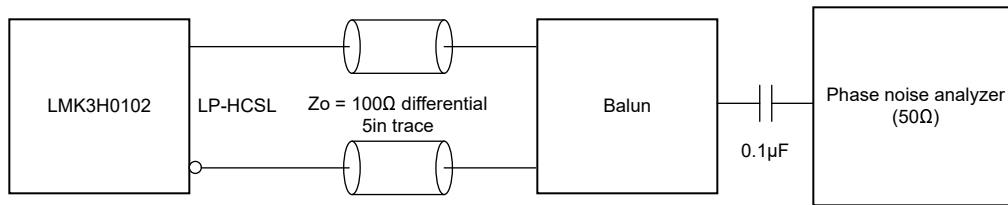


図 6-6. 位相ノイズアナライザを使用した PCIe テストの構成

## 6.2 差動電圧測定に関する用語

差動信号の差動電圧は 2 つの異なる定義で説明されるため、データシートを読んだり、他のエンジニアとコミュニケーションを取ったりする際に混乱を招くことがあります。このセクションでは、差動信号の測定と説明について取り上げており、この 2 つの異なる定義を理解し、使用時に区別できるようにします。

差動信号の説明における 1 つ目の定義は、反転信号と非反転信号との間の電圧電位の絶対値です。この 1 つ目の測定の記号は、入力電圧または出力電圧を表すかによって、通常は  $V_{ID}$  または  $V_{OD}$  となります。

差動信号の説明における 2 つ目の定義は、反転信号に対する非反転信号の電位を測定することです。この 2 つ目の測定の記号は  $V_{SS}$  であり、算出されたパラメータです。この信号は IC 内のどの場所でもグラウンドに対して存在せず、常に差動ペア基準でのみ存在しています。 $V_{SS}$  は、フローティングリファレンスを備えたオシロスコープで直接測定できます。それ以外の場合は、最初の説明で述べたように、 $V_{OD}$  の 2 倍の値として計算できます。

図 6-7 は入力信号の 2 つの異なる定義を並べて示し、図 6-8 は出力信号の 2 つの異なる定義を並べて示しています。 $V_{ID}$  と  $V_{OD}$  の定義では、非反転信号と反転信号がグラウンドに対して切り替わる  $V_A$  と  $V_B$  の DC レベルを示しています。 $V_{SS}$  の入力と出力の定義から、反転信号を電圧電位リファレンスとして考えると、非反転信号の電圧電位は非反転リファレンスを上下に推移しながら増加と減少を繰り返すことがわかります。これにより、差動信号のピークツーピーク電圧を測定できます。

$V_{ID}$  と  $V_{OD}$  は多くの場合ボルト (V) と定義され、 $V_{SS}$  はボルトのピークツーピーク ( $V_{PP}$ ) と定義されます。

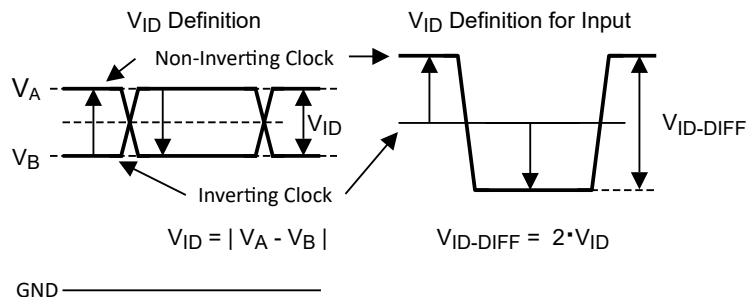


図 6-7. 差動入力信号の 2 つの異なる定義

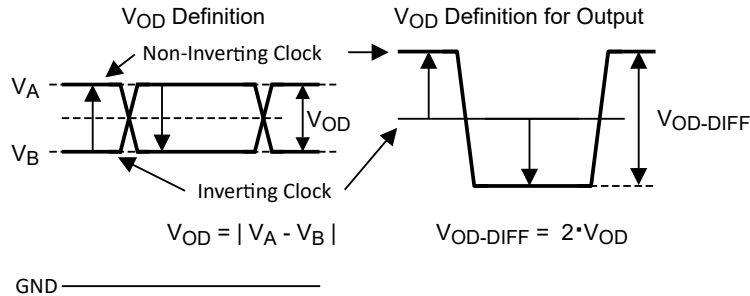


図 6-8. 差動出力信号の 2 つの異なる定義

## 7 詳細説明

### 7.1 概要

LMK3H0102 は、主に PCIe Gen 1～Gen 7 のクロック生成に使用されるデュアルチャネル クロック ジェネレータで、拡散スペクトラム クロック処理 (SSC) を用いる場合でも用いない場合でも対応できます。このデバイスにはバルク弾性波 (BAW) 共振器が内蔵されており、外部水晶振動子やクロック リファレンスは必要ありません。このデバイスには、OTP ページと呼ばれる 4 つの選択可能なメモリ ページがあります。メモリ内にあるこれらのページの集合は EFUSE と呼ばれます。

デフォルトの出力構成は、それぞれ 100Ω の LP-HCSL 出力フォーマットである 2 つの 100MHz クロックで、起動時にはどちらも ディスエーブルになっています。LMK3H0102 は、100Ω LP-HCSL、85Ω LP-HCSL、LVDS、および 1.8V、2.5V、3.3V の LVC MOS 出力フォーマットをサポートしており、シングルエンド出力の場合は最大 200MHz、差動出力の場合は最大 400MHz の プログラマブル出力周波数に対応しています。The LMK3H0102V33 は、3.3V の電源電圧のデフォルト構成の型番です。The LMK3H0102LMK3H0102V18 は、1.8V の電源電圧のデフォルト構成の型番です。追加の構成の型番は LMK3H0102Axxx (xxx は構成番号を示します) と ます。『LMK3H0102 構成ガイド』には、LMK3H0102Axxx OTP の構成ごとに、重要なデバイス設定とデフォルトのレジスタ設定の詳細が記載されています。

LMK3H0102 は、パワーアップ時に REF\_CTRL ピンで決定される 2 つの機能モードをサポートしています。ワンタイムプログラミング (OTP) モードと I<sup>2</sup>C モードです。

1. OTP モードでは、OTP\_SEL0 ピンと OTP\_SEL1 ピンによって、4 つの OTP ページのうちの 1 つが選択されます。すべての OTP ページのデフォルトの出力周波数は 100MHz です。
2. I<sup>2</sup>C モードでは、アクティブなレジスタを変更することで LMK3H0102 が構成されます。デフォルト動作以外の構成が求められる場合は、起動時に毎回レジスタの書き込みが必要です。

デバイス ピンの詳細な説明については、「[ピン構成および機能](#)」を参照してください。

LMK3H0102 には、次のような柔軟な SSC 構成が備えられています。

1. 両方の出力で SSC ディスエーブル
2. 両方の出力で SSC イネーブル
3. 単一出力で SSC がイネーブル

SSC 仕様とジッタ性能は、PCIe Gen 1～Gen 7 に完全準拠しています。SSC とジッタ性能の詳細については、「[拡散スペクトラム クロック処理](#)」を参照してください。

## 7.2 機能ブロック図

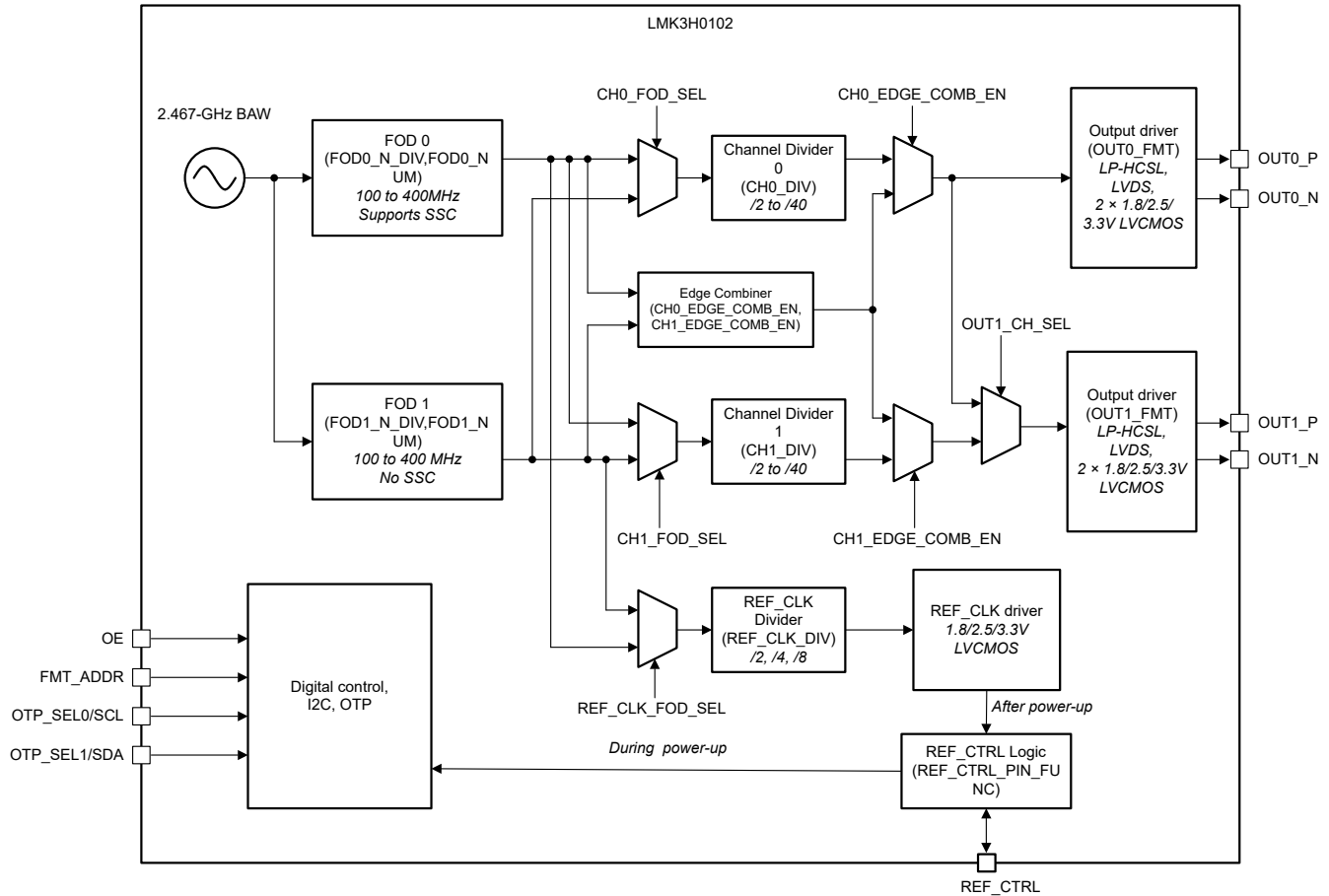


図 7-1. LMK3H0102 の機能ブロック図

## 7.3 機能説明

### 7.3.1 デバイス ブロック レベルの説明

LMK3H0102 は、BAW 発振器を内蔵したリファレンスレス クロック ジェネレータです。BAW 周波数 (公称 2467MHz) は 2 つの分数出力分周器 (FOD) によって分周され、それぞれ 100MHz~400MHz の周波数を生成できます。各 FOD は 2 つのチャンネル分周器のいずれかに配線でき、これによって FOD 周波数を分周して、2.5MHz~200MHz の周波数を生成します。200MHz より高い周波数を生成するには、両方の FOD を利用するエッジ コンバイナを使用する必要があります。この場合、チャンネル分周器はバイパスされて、200MHz~400MHz の周波数が生成されます。VDD に対応する電圧の追加の LVCMOS クロックは、オプションとして REF\_CTRL ピンで生成できます。

### 7.3.2 デバイス構成の制御

図 7-2 に、デバイスの状態、構成ピン、デバイスの初期化、デバイスの動作モードの関係を示します。OTP モードは、起動時に REF\_CTRL ピンが High になると開始されます。I<sup>2</sup>C モードは、起動時に REF\_CTRL ピンが Low になると開始されます。OTP モードでは、OTP\_SEL0/SCL ピンと OTP\_SEL1/SDA ピンの状態によって、アクティブレジスタにロードされる OTP ページが決まります。このデバイスはワンタイム プログラマブルであり、内部 EFUSE に保存されているレジスタ設定は変更できません。REF\_CTRL ピンの状態を変更して、VDD をいったん Low にしてから再度 High にしてデバイスのパワー サイクルをトリガすると、デバイスは OTP モードから I<sup>2</sup>C モード、またはその逆に移行できます。OTP モードでは、REF\_CTRL ピンを High に保持した状態で、OTP\_SEL0 ピンまたは OTP\_SEL1 ピンのレベルを変更すると、ア

クティブな OTP ページが動的に変化します。デバイスは、新しい OTP ページをロードする前に、OTP\_SEL0 ピンと OTP\_SEL1 ピンが安定するまで 350 $\mu$ s 間待機します。

I<sup>2</sup>C モードでは、FMT\_ADDR ピンの状態によってデバイスの I<sup>2</sup>C アドレスが判定され、OTP\_SEL0/SCL ピンと OTP\_SEL1/SDA ピンはそれぞれ I<sup>2</sup>C クロックピンとデータピンとして転用されます。I<sup>2</sup>C モードでは、ホストはアクティブなデバイスレジスタを更新できます。プログラムされた構成とは異なる構成を使用する場合、各パワー サイクルの後にレジスタを書き込む必要があります。

PDN ビット (R10[1]) を 1 に設定すると、デバイスを低消費電力状態にできます。PDN ビットをクリアすると、デバイスは低消費電力状態から復帰します。DEV\_IDLE\_STATE\_SEL ビット (R10[4]) が 0 で、出力がディスエーブルの場合、デバイスは低消費電力状態に移行します。低消費電力状態への移行は、チャンネル 0 で使用される FOD の周波数の変更、SSC 構成の変更、出力フォーマットの変更を行うために必要です。テキサス・インスツルメンツでは、この低消費電力状態でのレジスタへの書き込みを推奨しています。OTP\_AUTOLOAD\_DIS (R10[2]) ビットを 1 に設定し、PDN を 0 に設定する前に OTP ページ 0 が自動的にロードされないようにします。

低消費電力状態から復帰したときのデバイスの状態を判定するフィールドは 2 つあります。PIN\_RESAMPLE\_DIS (R10[3]) は、低消費電力状態から復帰したときに FMT\_ADDR ピン、OTP\_SEL0/SCL ピン、OTP\_SEL1/SDA ピン、REF\_CTRL ピンが再サンプリングされるかどうかを制御します。これらのピンが再サンプリングされる場合、REF\_CTRL ピンが High になるとデバイスは OTP モードに移行できます。このビットを 1 に設定すると、この機能がディスエーブルになります。OTP\_AUTOLOAD\_DIS は、低消費電力状態から復帰するときに OTP ページ 0 の内容がデバイスレジスタにロードされるかどうかを制御します。OTP\_AUTOLOAD\_DIS ビットが 1 で PIN\_RESAMPLE\_DIS が 1 の場合、レジスタの内容は変更されません。OTP\_AUTOLOAD\_DIS ビットが 0 で PIN\_RESAMPLE\_DIS が 1 の場合、OTP ページ 0 の内容がレジスタにロードされます。PIN\_RESAMPLE\_DIS が 0 で、REF\_CTRL が High になると、デバイスは OTP モードに移行します。この場合、OTP\_SEL0/SCL および OTP\_SEL1/SDA が、デバイスレジスタにロードされた OTP ページを制御します。

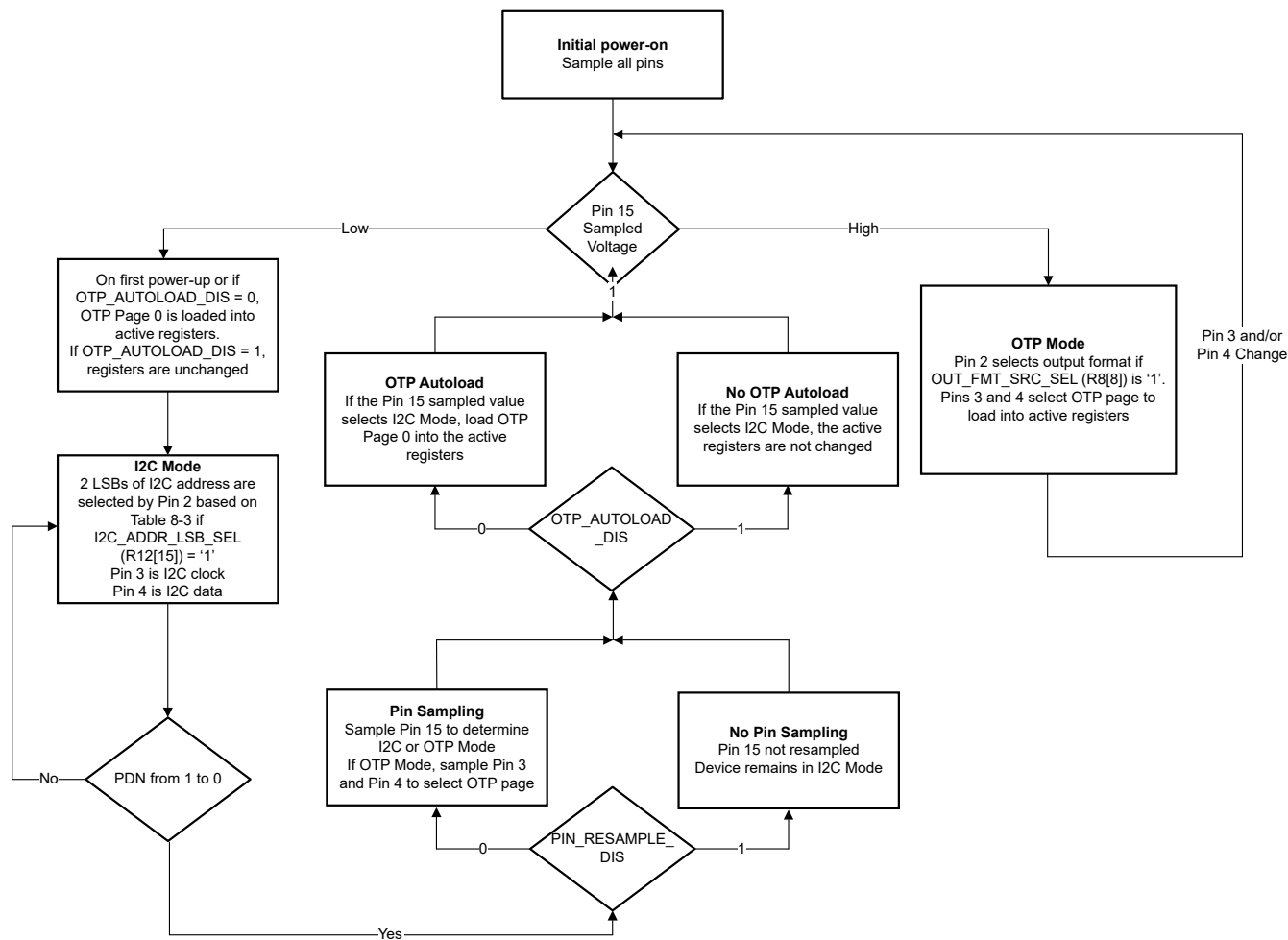


図 7-2. LMK3H0102 デバイスのモード図

I<sup>2</sup>C モードでは、デバイスレジスタは OTP ページ 0 の内容で構成されます。OTP モードでは、これらの値は 4 つの OTP ページのいずれかから供給され、起動時の OTP\_SELx ピンの状態に基づいて選択できます。図 7-3 に、LMK3H0102 内のインターフェイスと制御ブロックを示しており、矢印はさまざまな組込みメモリからの読み取りおよび書き込みアクセスを示しています。

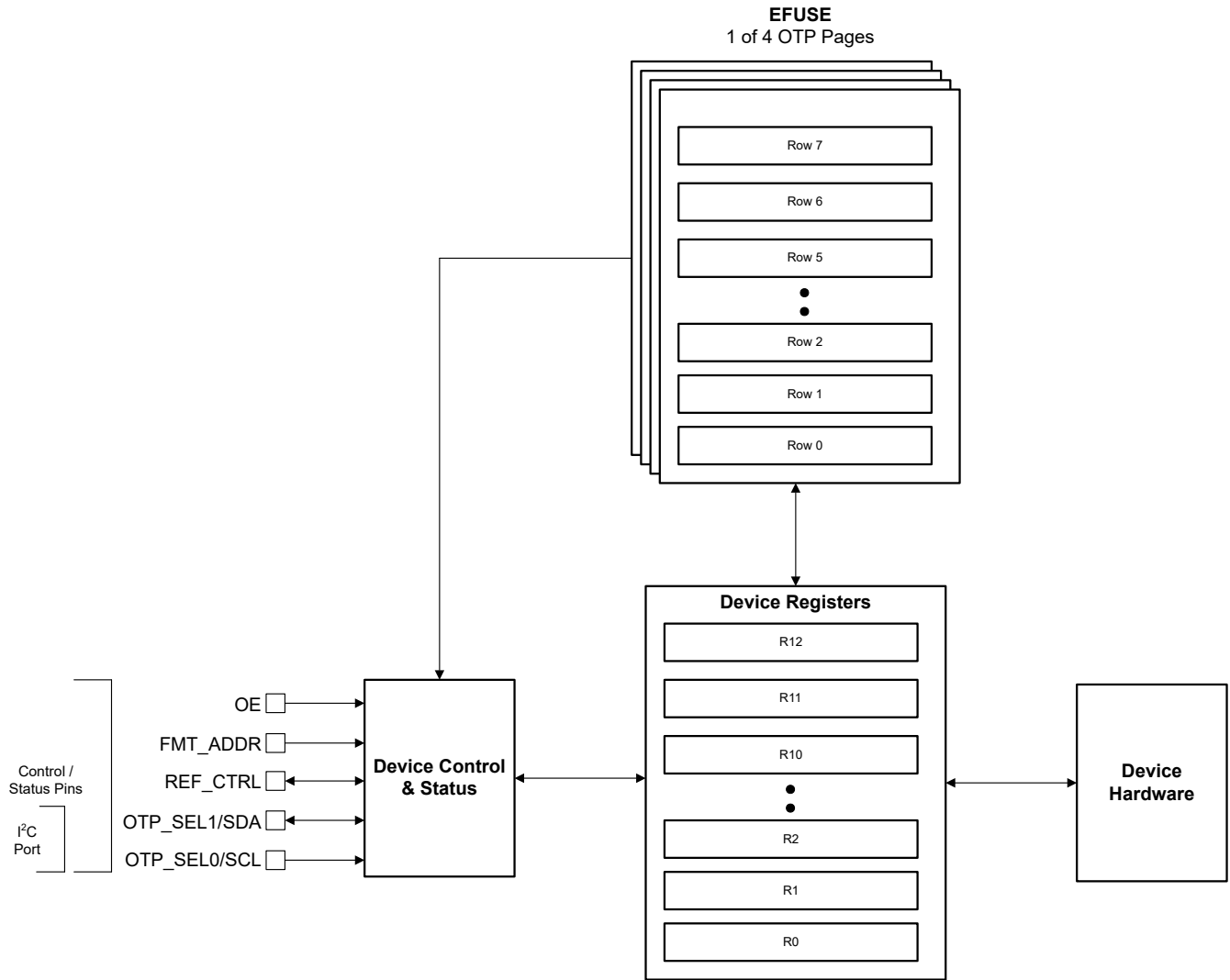


図 7-3. LMK3H0102 のインターフェイスと制御ブロック

### 7.3.3 OTP モード

このモードでは、構成ピンで 4 つのワンタイム プログラマブル (OTP) ページのいずれかを選択したり、出力フォーマットを選択したりできます。このモードでは、I<sup>2</sup>C ピンが OTP ページ選択に転用されるため、I<sup>2</sup>C はイネーブルになりません。表 7-1 に、OTP\_SEL0 ピンと OTP\_SEL1 ピンの状態に基づいて選択された OTP ページを示します。

表 7-1. OTP モードにおける OTP ページ選択

OTP_SEL1 ピン	OTP_SEL0 ピン	OTP ページ
Low	Low	0
Low	High	1
High	Low	2
High	High	3

デバイスの EFUSE は永続的にプログラムされており、OTP\_BURNT(R0[0]) = 1 です。新しい構成が必要な場合、各起動時に I<sup>2</sup>C を介して構成をロードする必要があります。OTP 構成は、TICS Pro のウィザードを使用して作成できます。カスタムの OTP 構成の注文可能な型番については、テキサス・インスツルメンツまでお問い合わせください。

以下のフィールドは、4 つの OTP ページで一意にすることができます。他のすべてのレジスタ設定は、OTP ページで共有されます。

- SSC\_EN: SSC のイネーブルまたはディスエーブル。
- OE\_0: OUT0 のイネーブルまたはディスエーブル。
- OE\_1: OUT1 のイネーブルまたはディスエーブル。
- OP\_TYPE\_CH0: OUT0 出力フォーマットタイプ。「出力フォーマットタイプ」を参照してください。
- OP\_TYPE\_CH1: OUT1 出力フォーマットタイプ。「出力フォーマットタイプ」を参照してください。
- SSC\_SETTING: SSC 変調タイプ。「拡散スペクトラム クロック処理」を参照してください。

OTP\_SEL1 ピンまたは OTP\_SEL0 ピンの状態が変化すると、デバイスは自動的にパワー サイクルを行い、新しい OTP ページをリロードします。新しい OTP において、ピン 3 とピン 4 が安定状態に移行するまでの時間は 1.5ms 以内です。

### 7.3.4 I<sup>2</sup>C モード

このモードでは、I<sup>2</sup>C がイネーブルで、SCA ピンと SDL ピンはそれぞれ I<sup>2</sup>C クロック ピンと I<sup>2</sup>C データ ピンとして機能します。表 7-2 に、FMT\_ADDR ピンで選択可能な 4 つのデフォルト I<sup>2</sup>C アドレスを示します。I<sup>2</sup>C アドレスの最上位 5 ビットは、I2C\_ADDR (R12[14:8]) の上位 5 ビットに設定されます。

I2C\_ADDR\_LSB\_SEL (R12[15]) = 0 の場合、FMT\_ADDR ピンは無視されて、I<sup>2</sup>C アドレスは I2C\_ADDR によってのみ決定されます。FMT\_ADDR ピンを I<sup>2</sup>C LSB 選択に使用する場合、このピンは個別の出力イネーブル制御用に構成することはできません。

表 7-2. I<sup>2</sup>C アドレスの選択

REF_CTRL ピン <sup>(1)</sup>	FMT_ADDR ピン	I <sup>2</sup> C アドレス <sup>(2)</sup>
High	X	該当なし (I2C ディスエーブル)
Low	0	0x68 / 0xD0
Low	1	0x69 / 0xD2
Low	SDA に接続	0x6A / 0xD4
Low	SCL に接続	0x6B / 0xD8

- (1) これは、パワーアップ時の REF\_CTRL ピンの状態であり、実際に動作しているときのピンの状態ではありません。
- (2) 0xD0、0xD2、0xD4、0xD8 の各アドレスは、R/W ビットが 0 に設定されています。

デバイスのレジスタを変更するときは、まず PDN を 1 に設定し、デバイスのレジスタに書き込んだ後で、PDN を 0 に設定します。図 7-4 にこのプロセスを示します。

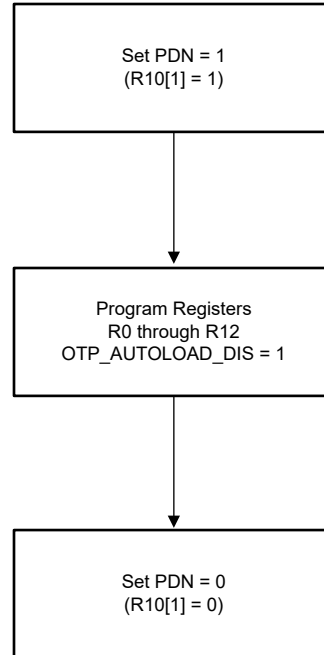


図 7-4. LMK3H0102 のプログラミング シーケンス

## 7.4 デバイスの機能モード

### 7.4.1 フェイルセーフ入力

LMK3H0102 のデジタル入力ピンは、REF\_CTRL ピンを除き、フェイルセーフ入力動作をサポートするように設計されています。この機能により、VDD が印加される前に、デバイスを損傷することなくデジタル入力を駆動できます。デバイスでサポートされている最大入力電圧の詳細については、[絶対最大定格](#) を参照してください。

### 7.4.2 分数出力分周器

LMK3H0102 には、2 つの分数出力分周器が搭載されています。単一の FOD ですべての出力が生成可能な場合、テキサス・インスツルメンツでは、消費電力を節約し性能を向上させるために、FOD1 をディスエーブルにすることを推奨しています。FOD1 を選択している出力チャンネルがない場合、FOD1 は ディスエーブルになります。

#### 7.4.2.1 FOD 動作

内部 BAW 共振器は、1 つまたは 2 つの分数出力分周器 (FOD) によって分周されます。FOD0 には SSC ジェネレータが搭載されていますが、FOD1 には SSC ジェネレータがありません。OUT0 と OUT1 の両方を SSC クロックにする必要がある場合、この 2 つのクロックは FOD0 をソースとしている必要があります。1 つの SSC クロックと 1 つの非 SSC クロックが同時に必要である場合、SSC クロック用に FOD0 がイネーブルに、非 SSC クロック用に FOD1 がイネーブルにされます。どちらの出力クロックも SSC を必要としない場合、どちらの FOD も使用できます。

#### 注

テキサス・インスツルメンツでは、アプリケーションで FOD が 1 つだけ必要な場合は、FOD0 をデフォルトの FOD として使用することを推奨しています。両方の FOD が使用されている場合は、テキサス・インスツルメンツは OUT0 を FOD0 に、OUT1 を FOD1 に使用することを推奨します。

最小チャンネル分周器値が 2 であるため、単一の FOD によってクロック出力で生成可能な最大周波数は 200MHz です。200MHz を超える出力を生成するには、チャンネル分周器をバイパスして、エッジ コンバイナを使用します。これには、両方の FOD がイネーブルで、同じ整数分周器値と分数分子値、さらには同じゲイン較正值を持っている必要があります。一方の出力が 200MHz を超えると、もう一方の出力は、チャンネル分周器値のいずれかで共有 FOD 周波数を分周したも

の、または FOD 周波数そのものを選択することしかできません。200MHz 未満では、OUT0 と OUT1 に異なる周波数を設定できるように、2 つの FOD を個別に構成できます。テキサス・インスツルメンツでは、OUT0 と OUT1 に決定論的な位相関係を持たせるために、可能な限り単一の FOD をソースとすることを推奨しています。

LMK3H0102 の FOD は、I<sup>2</sup>C プログラミング、またはプログラミングが行われない場合にはワンタイム プログラミング (OTP) 設定により、さまざまな出力周波数に対応するように構成できます。FOD は、整数 (FODx\_N\_DIV) と分数 (FODx\_NUM) の分周値を設定することで構成できます。表 7-3 に、各 FOD のこれらのフィールドのレジスタ位置を示します。

**表 7-3. FOD の整数分周および分子分周の位置**

フィールド	登録
FOD0_N_DIV	R0[9:3]
FOD0_NUM[23:16]	R1[15:8]
FOD0_NUM[15:0]	R2[15:0]
FOD1_N_DIV	R3[15:9]
FOD1_NUM[23:16]	R6[12:5]
FOD1_NUM[15:0]	R8[15:0]

整数分周値と分子分周値の設定方法の例を、式 1 と式 2 に示します。

$$FODx\_N\_DIV = \text{floor}\left(\frac{F_{BAW}}{F_{FOD}}\right) \quad (1)$$

ここで

- FODx\_N\_DIV: FOD 分周値の整数部分 (7 ビット、6~24)
- F<sub>BAW</sub>: BAW 周波数、2467MHz + オフセット、詳細は以下参照
- F<sub>FOD</sub>: 目標とする FOD 周波数 (100MHz~400MHz)

$$FODx\_NUM = \text{int}\left(\left(\frac{F_{BAW}}{F_{FOD}}\right) - FODx\_N\_DIV\right) \times 2^{24} \quad (2)$$

ここで、FODx\_NUM は FOD 分周値の分数部分 (24 ビット、0~16777215) です。

出力周波数 (F<sub>OUT</sub>) は、式 3 で示されているように、FOD 周波数に関連しており、エッジ コンバイナがイネーブルである場合は FOD 周波数に等しくなります。OUTDIV は 2、4、6、8、10、20、40 のいずれかです。

$$F_{OUT} = \frac{F_{FOD}}{OUTDIV} \quad (3)$$

式 4 を使用して、デバイスの BAW 周波数の実際の値を計算します。BAWFREQ\_OFFSET\_FIXEDLUT の値は、符号付き 16 ビット値である R238 を読み取ることで求めることができます。

$$F_{BAW} = 2467\text{MHz} \times (1 + (\text{BAWFREQ\_OFFSET\_FIXEDLUT} \times 128E - 9)) \quad (4)$$

#### 7.4.2.2 エッジ コンバイナ

エッジ コンバイナを使用して、200MHz を超える出力周波数を生成します。エッジ コンバイナを使用するには、CH0\_EDGE\_COMB\_EN (R3[3]) または CH1\_EDGE\_COMB\_EN (R3[7]) を 1 に設定します。エッジ コンバイナを使用する場合、両方の FOD が同じ周波数で動作する必要があります (つまり、分周値が一致している必要があります)。いずれかの CHx\_EDGE\_COMB\_EN ビットが 1 に設定されているときに、デバイスでは、FOD0 から FOD1 に分周器値を自動的にロードすることで、これに対応しています。エッジ コンバイナを使用している場合は FOD0 の SSC はサポートされないため、イネーブルにしないでください。いずれの FOD も引き続き LVCMOS REF\_CLK 出力を生成できます。

エッジ コンバイナを適切に動作させるためには、以下の条件を満たす必要があります。

- 両方の FOD のゲイン キャリブレーション コードを平均化する必要があります。たとえば、DTC1\_GAIN\_RT = 200、DTC2\_GAIN\_RT = 220 の場合、両方のフィールドには 210 を書き込む必要があります。ゲイン キャリブレーション コードは、保護されたレジスタ領域にあります。R12[7:0] = 0x5B を使用して保護されたレジスタをロック解除し、平均化されたゲイン キャリブレーション コードのみを書き込み、R12[7:0] = 0x00 に設定することによって保護されたレジスタをロックします。詳細については、R146、R147、および R148 を参照してください。
- エッジコンバイナが OUT1 のみに使用される場合、OUT0 のディスエーブル状態にかかわらず、CH0\_FOD\_SEL (R3[4]) は常に 0 (FOD0) に設定する必要があります。

#### 7.4.2.3 デジタル ステート マシン

LMK3H0102 のデジタル ステート マシンには、FOD のいずれかに基づくクロックが搭載されています。CH0\_FOD\_SEL (R3[4]) で選択された FOD は、ステート マシンのクロック分周器への入力を提供します。総合的な分周値は、DIG\_CLK\_N\_DIV (R0[9:3]) フィールドに 2 を加算した値になります。DIG\_CLK\_N\_DIV を設定して、FOD 周波数をステート マシンの総合的なクロック分周値で除算した値が 40MHz~50MHz になるようにします。このクロックの設定に使用される分周器値は、保存されている値と等しくなります。たとえば、FOD0 の周波数が 200MHz で、CH0\_FOD\_SEL が 0 の場合、200MHz を 4 で分周すると 50MHz になるため、DIG\_CLK\_N\_DIV は 2 に設定する必要があります。

#### 7.4.2.4 拡散スペクトラム クロック処理

FOD0 は、拡散スペクトラム クロック処理 (SSC) をサポートしています。SSC は、出力周波数を変調することで、放射エミッションのピークを抑制するために使用できます。SSC\_EN (R4[0]) = 1 のとき、FOD0 がソースのすべての出力には SSC が適用されます。SSC\_MOD\_TYPE (R4[1]) は、ダウン スプレッド変調 (SSC\_MOD\_TYPE = 0) またはセンター スプレッド変調 (SSC\_MOD\_TYPE = 1) のいずれかを選択します。LMK3H0102 には、4 つのダウン スプレッド SSC オプションと 1 つのカスタム SSC オプションが内蔵されています。SSC\_CONFIG\_SEL (R9[11:9]) は、カスタム オプションまたは事前設定済みオプションを選択します。事前設定済みオプションは、FOD0 からの 200MHz 出力用に最適化されます。表 7-4 に、事前設定済み SSC オプションのレジスタ設定の詳細を示します。事前設定済み SSC オプションは、FOD0 からの 200MHz 出力用に最適化されます。エッジコンバイナを使用する場合、スペクトラム拡散クロック処理をディスエーブルにする必要があります。

表 7-4. 事前設定済み SSC の構成

SSC_CONFIG_SEL	ダウン スプレッド SSC 深度
0x0	カスタム、SSC_STEPS と SSC_STEP_SIZE に基づく
0x1	-0.10%
0x2	-0.25%
0x3	-0.30%
0x4	-0.50%
その他すべての値	予約済み

カスタム SSC が選択された場合、SSC\_STEPS (R4[14:2]) と SSC\_STEP\_SIZE (R5) を構成して、変調深度を設定する必要があります。式 5 と式 6 を使用して SSC\_STEPS (R4[14:2]) レジスタの設定を決定し、式 7 または式 8 を使用して SSC\_STEP\_SIZE (R5) の設定を決定します。式 7 はダウン スプレッド SSC 用で、式 8 はセンター スプレッド SSC 用です。

$$\text{Down – spread: } \text{SSC\_STEPS} = \text{int}\left(\left(\frac{F_{\text{FOD0}}}{F_{\text{MOD}}}\right) \div 2\right) \quad (5)$$

$$\text{Center – spread: } \text{SSC\_STEPS} = \text{int}\left(\left(\frac{F_{\text{FOD0}}}{F_{\text{MOD}}}\right) \div 4\right) \quad (6)$$

ここで

- $F_{\text{FOD0}}$ : FOD0 周波数

- $F_{MOD}$ : 変調周波数。PCIe アプリケーションでは 31.5kHz を使用してください。

$$SSC\_STEP\_SIZE = \text{floor} \left( \frac{\left( \left( \frac{F_{BAW}}{F_{FOD0}} \right) \times \left( \frac{1}{1 - SSC\_DEPTH} \right) - 1 \right)}{SSC\_STEPS \times DEN} \right) \quad (7)$$

$$SSC\_STEP\_SIZE = \text{floor} \left( \frac{\left( \left( \frac{F_{BAW}}{F_{FOD}} \right) \times \left( \frac{1}{1 - SSC\_DEPTH} \right) - \left( \frac{1}{1 + SSC\_DEPTH} \right) \right)}{2 \times SSC\_STEPS \times DEN} \right) \quad (8)$$

ここで

- $SSC\_STEP\_SIZE$ : SSC のステップごとの分子インクリメント値
- $F_{BAW}$ : BAW 周波数、2467MHz。  $F_{BAW}$  値はデバイスごとに異なります。
- $SSC\_DEPTH$ : 変調深度、正の値で表されます。深度  $-0.5\%$  を使用する場合、この値は 0.005 になります。
- $SSC\_STEPS$ : ダウン スプレッドの場合は式 5、センター スプレッドの場合は式 6 から求めた結果
- $DEN$ : 分数分母、 $2^4$

SSC を使用する出力と使用しない出力が混在する場合、2 つの出力間にクロストークが発生する可能性があります。SSC を単一出力にのみ適用するよう構成する場合、テキサス・インスツルメンツに特定の構成の測定データをリクエストしてください。

SSC 設定を変更するときは、他の SSC 設定が構成されるまで、 $SSC\_EN$  を 1 に設定しないでください。SSC を構成する際は、次の手順を実行します。

1. PDN を 1 に設定します。
2.  $OTP\_AUTOLOAD\_DIS$  を 1 に設定します。
3. 必要に応じて、 $SSC\_MOD\_TYPE$ 、 $SSC\_STEP\_SIZE$ 、 $SSC\_STEPS$  を変更します。
4.  $SSC\_EN$  を 1 に設定します。
5. PDN を 0 に設定します。

#### 7.4.2.5 整数境界スプリアス

FOD の分周値の小数部分が整数境界に近い場合、整数境界スプリアスが発生することがあります。一般的に、この「整数境界」とは、小数部分が  $0.9 \sim 1$  または  $0 \sim 0.1$  である場合です。たとえば、BAW 周波数が 2467MHz、出力が 122.88MHz である場合、FOD は 245.76MHz で動作する必要があります。2467MHz を 245.76MHz で割った値は約 10.038 になります。分周値の小数部分は 0.038 で、 $0 \sim 0.1$  の範囲です。これは、122.88MHz 出力が生成されると、出力クロックに 12kHz~20MHz 帯域のスプリアスが発生する可能性があることを意味します。場合によっては、適切な周波数プランニングを行うことで、FOD 周波数とチャネル分周器値を増加させ、この点に対処できます。特定の周波数計画における整数境界スプリアスについてご不明な点がございましたら、テキサス・インスツルメンツにお問い合わせください。

### 7.4.3 出力動作

#### 7.4.3.1 出力フォーマットの選択

このデバイスは、LP-HCSL (85Ω と 100Ω の両方の内部終端)、LVDS、LVCMOS をサポートしています。LVCMOS 出力では、VDD が 3.3V の場合、VDDO は 1.8V、2.5V、または 3.3V にすることができます。それ以外の場合は、VDDO は VDD と同じ電圧でなければなりません。OUT0 と OUT1 が異なるフォーマットを使用する場合、DC-LVDS と差動 LVCMOS は、他のすべてのフォーマットと  $180^\circ$  の位相差があります。

表 7-5. レジスタを使用した出力フォーマット

OUT0_FMT / OUT1_FMT	説明
0x0	LP-HCSL の 100Ω 終端
0x1	LP-HCSL の 85Ω 終端

表 7-5. レジスタを使用した出力フォーマット (続き)

OUT0_FMT / OUT1_FMT	説明
0x2	AC 結合 LVDS
0x3	DC 結合 LVDS
0x4	OUTx_P で LVCMOS イネーブル OUTx_N で LVCMOS ディスエーブル
0x5	OUTx_P で LVCMOS ディスエーブル OUTx_N で LVCMOS イネーブル
0x6	OUTx_P で LVCMOS イネーブル OUTx_N で LVCMOS イネーブル 位相差 180° (1)
0x7	OUTx_P で LVCMOS イネーブル OUTx_N で LVCMOS イネーブル OUTx_P と OUTx_N 同相

- (1) 最高の出力性能を得るには、テキサス・インスツルメンツでは、OUTx\_P と OUTx\_N の両方のパターンが必要な場合は、位相差 180° の LVCMOS を使用することを推奨しています。

OTP モードでは、FMT\_ADDR ピンの機能は OUT\_FMT\_SRC\_SEL (R9[8]) によって決定できます。表 7-6 に、OUT\_FMT\_SRC\_SEL フィールドで使用できる出力フォーマットの設定を示します。出力フォーマットの選択に FMT\_ADDR ピンを使用する場合、このピンを個別の出力イネーブルに構成することはできません。

表 7-6. FMT\_ADDR の出力フォーマット オプション

OUT_FMT_SR C_SEL	FMT_ADDR ピ ン	出力フォーマット
0	X	OUT0_FMT (R6[2:0]) / OUT1_FMT (R7[4:2]) で設定しま す。
1	GND	LP-HCSL の 100Ω 終端
1	VDD	LP-HCSL の 85Ω 終端

#### 7.4.3.1.1 出力フォーマットのタイプ

図 7-5～図 7-8 に、選択された出力フォーマットに基づいた LMK3H0102 出力の接続方法を示します。

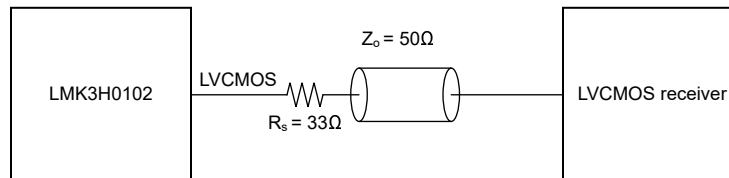


図 7-5. LMK3H0102 の LVC MOS 出力と LVC MOS レシーバのインターフェイス

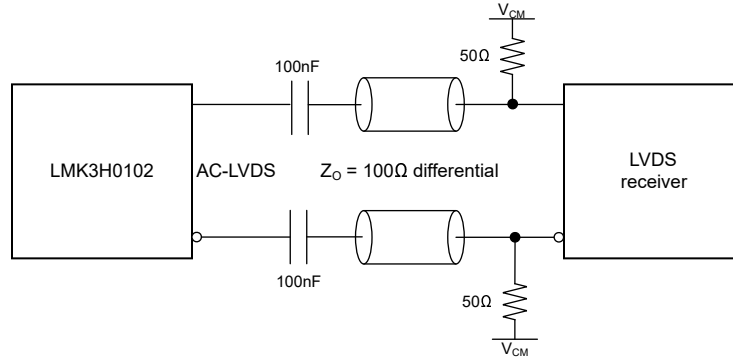


図 7-6. LMK3H0102 の LVCMOS 出力と AC-LVDS レシーバのインターフェイス

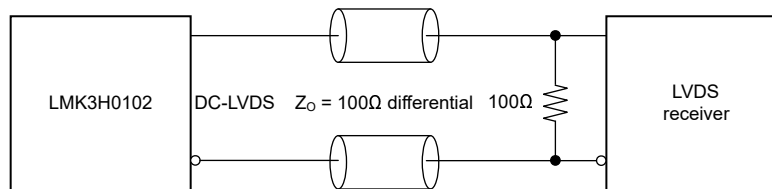


図 7-7. LMK3H0102 の LVCMOS 出力と DC-LVDS レシーバのインターフェイス

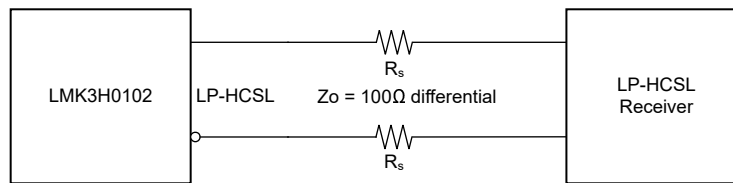


図 7-8. LMK3H0102 の LVCMOS 出力と LP-HCSL レシーバのインターフェイス

#### 7.4.3.1.1 LP-HCSL の終端

LP-HCSL 出力の場合、LMK3H0102 は内部の 50Ω 終端抵抗を使用して GND への終端を行います。外部の終端抵抗は必要ありません。

#### 7.4.3.2 出力スルーレート制御

すべての LVDS 出力と LP-HCSL 出力について、スルーレートを構成できます。OUT0\_SLEW\_RATE (R6[4:3]) と OUT1\_SLEW\_RATE (R7[6:5]) を使用すると、出力スルーレートを遅くして、OUT0 と OUT1 の EMI をそれぞれ低減することができます。表 7-7 に、使用可能なスルーレートのオプションを示します。

表 7-7. スルーレートの設定

OUT0_SLEW_RATE OUT1_SLEW_RATE	スルーレート
0x0	2.3V/ns~3.5V/ns
0x1	2.0V/ns~3.2V/ns
0x2	1.7V/ns~2.8V/ns
0x3	1.4V/ns~2.7V/ns

#### 7.4.3.3 REF\_CTRL の動作

起動時、REF\_CTRL ピンは、Low のときは I<sup>2</sup>C モードを選択し、High のときは OTP モードを選択します。起動後、LVCMOS REF\_CLK を出力するように REF\_CTRL をプログラムできます。これは、FOD0 または FOD1 のいずれかから生成され、その後整数分周器 (1/2、1/4、1/8) によって分周されます。または、このピンをディスエーブルしたり、「クロックレ

ディ「信号として機能させたりすることもできます。REF\_CTRL\_PIN\_FUNC (R7[14:13]) は REF\_CTRL ピンの機能を制御します。表 7-8 に、これらの オプションを示します。

表 7-8. 起動後の REF\_CTRL の機能

REF_CTRL_PIN_FUNC	REF_CTRL の機能
0x0	ディスエーブル、強制的に Low
0x1	ディスエーブル、トライステート
0x2	REF_CLK LVCMOS 出力
0x3	CLK_READY 出力

## 7.4.4 出カインェーブル

### 7.4.4.1 出カインェーブルの制御

このデバイスは、同期出カインェーブル (OE) をサポートしています。同期 OE とは、OE 信号がアサートまたはデアサートされたときに、出力にグリッチが発生しないことです。

次の表に、ピン構成と I<sup>2</sup>C を介した出カインェーブルと出力ディセーブルを示します。出力をアクティブにするには、OE ピンが Low でかつ OE ビットが 1 でなければなりません。出カインェーブルのビットは、OUT0\_EN (R7[1]) と OUT1\_EN (R7[8]) です。

表 7-9. OE 機能

OE ピン	OE ピンの極性	ソフトウェア出カインェーブル OUTx_EN	OUTx
High	アクティブ Low	0	オフ
High	アクティブ Low	1	オフ
Low	アクティブ Low	0	オフ
Low	アクティブ Low	1	ランニング
High	アクティブ High	0	オフ
High	アクティブ High	1	ランニング
Low	アクティブ High	0	オフ
Low	アクティブ High	1	オフ

### 7.4.4.2 出カインェーブルの極性

OE ピンの極性はプログラム可能です。OE ピンがアクティブ Low のとき、内部プルダウン抵抗は自動的にイネーブルになり、内部プルアップ抵抗はディスエーブルになります。OE ピンがアクティブ High のとき、内部プルアップ抵抗は自動的にイネーブルになり、内部プルダウン抵抗はディスエーブルになります。デフォルトでは、OE ピンがフローティングのとき、クロック出力がイネーブルになります。OE ピンの極性は OE\_PIN\_POLARITY (R7[0]) で、アクティブ Low (デフォルト) の場合は 1、アクティブ High の場合は 0 に設定されます。

### 7.4.4.3 個別の出カインェーブル

FMT\_ADDR ピンは、2 番目の出カインェーブル ピンとして再構成できます。この機能をイネーブルにするには、SEPARATE\_OE\_EN (R11[14]) を設定します。このビットは OTP でプログラム可能です。FMT\_ADDR を出カインェーブル ピンとして使用する場合、OE ピンは OUT0 を制御し、FMT\_ADDR ピンは OUT1 を制御します。OE\_PIN\_POLARITY (R7[0]) ビットは、この場合、OE ピンと FMT\_ADDR ピンに適用されます。FMT\_ADDR ピンを個別の出カインェーブル制御に使用する場合、このピンは I<sup>2</sup>C LSB 選択用または出力フォーマット選択用に構成しないでください。

#### 7.4.4.4 出力ディスエーブルの動作

出力がディスエーブルのとき、出力はトライステート条件に設定されるか、表 7-10 のレベルに設定されます。OUT0 の場合は OUT0\_DISABLE\_STATE (R3[5])、OUT1 の場合は OUT1\_DISABLE\_STATE (R3[6]) によって決定されます。

表 7-10. 出力ディスエーブルの動作

出力フォーマット	OUTx_P	OUTx_N
LP-HCSL	Low	Low
AC-LVDS <sup>(1)</sup>	該当なし	該当なし
DC-LVDS <sup>(2)</sup>	High	Low
LVC MOS、P のみ	Low	Low
LVC MOS、N のみ	Low	Low
LVC MOS、逆相	High	Low
LVC MOS、同相	Low	Low

(1) DC-LVDS は、出力が 100Ω で DC 終端されていることを想定しています。

#### 7.4.5 デバイスのデフォルト設定

表 7-11 は、LMK3H0102V33 および LMK3H0102V18 の 4 つの OTP ページについて起動時のデフォルト設定を要約したものです。I<sup>2</sup>C モードでは、ページ 0 の設定がロードされます。デフォルトの各レジスタ設定の一覧については、「デバイスのレジスタ」を参照してください。

表 7-11. LMK3H0102 の起動時の設定

パラメータ	OTP ページ 0	OTP ページ 1	OTP ページ 2	OTP ページ 3
VDD 電源	3.3V (LMK3H0102V33) 1.8V (LMK3H0102V18)			
OUT0 周波数	100MHz	100MHz	100MHz	100MHz
OUT0 出力フォーマット	I <sup>2</sup> C モードでは 100Ω LP-HCSL。 OTP モードではピン 2 で設定: • ピン 2 = Low: 100Ω LP-HCSL • ピン 2 = High: 85Ω LP-HCSL	ピン 2 で設定: • ピン 2 = Low: 100Ω LP-HCSL • ピン 2 = High: 85Ω LP-HCSL	ピン 2 で設定: • ピン 2 = Low: 100Ω LP-HCSL • ピン 2 = High: 85Ω LP-HCSL	ピン 2 で設定: • ピン 2 = Low: 100Ω LP-HCSL • ピン 2 = High: 85Ω LP-HCSL
OUT0 対応	イネーブル	イネーブル	イネーブル	イネーブル
OUT0 差動スルー レート	2.3V/ns~3.5V/ns	2.3V/ns~3.5V/ns	2.3V/ns~3.5V/ns	2.3V/ns~3.5V/ns
OUT0 LP-HCSL 振幅	755mV (標準値)	755mV (標準値)	755mV (標準値)	755mV (標準値)
OUT0_P/N ディスエーブル動作	Low/Low	Low/Low	Low/Low	Low/Low
OUT1 周波数	100MHz	100MHz	100MHz	100MHz
OUT1 出力フォーマット	I <sup>2</sup> C モードでは 100Ω LP-HCSL。 OTP モードではピン 2 で設定: • ピン 2 = Low: 100Ω LP-HCSL • ピン 2 = High: 85Ω LP-HCSL	ピン 2 で設定: • ピン 2 = Low: 100Ω LP-HCSL • ピン 2 = High: 85Ω LP-HCSL	ピン 2 で設定: • ピン 2 = Low: 100Ω LP-HCSL • ピン 2 = High: 85Ω LP-HCSL	ピン 2 で設定: • ピン 2 = Low: 100Ω LP-HCSL • ピン 2 = High: 85Ω LP-HCSL
OUT1 対応	イネーブル	イネーブル	イネーブル	イネーブル
OUT1 差動スルー レート	2.3V/ns~3.5V/ns	2.3V/ns~3.5V/ns	2.3V/ns~3.5V/ns	2.3V/ns~3.5V/ns

表 7-11. LMK3H0102 の起動時の設定 (続き)

パラメータ	OTP ページ 0	OTP ページ 1	OTP ページ 2	OTP ページ 3
OUT1 LP-HCSL 振幅	755mV (標準値)	755mV (標準値)	755mV (標準値)	755mV (標準値)
OUT1_P/N ディスエーブル動作	Low/Low	Low/Low	Low/Low	Low/Low
REF_CTRL 動作	CLK_READY	CLK_READY	CLK_READY	CLK_READY
FOD0 周波数	200MHz	200MHz	200MHz	200MHz
FOD1 周波数	200MHz	200MHz	200MHz	200MHz
SSC イネーブル	無効	イネーブル	イネーブル	イネーブル
SSC 変調タイプ	該当なし	ダウン スプレッド	ダウン スプレッド	ダウン スプレッド
SSC 変調深度	該当なし	-0.1%	-0.3%	-0.5%
ピン 2 の機能	I2C アドレス LSB 選択 (I2C モードのみ) 出力フォーマット選択 (OTP モードのみ)	I2C アドレス LSB 選択 (I2C モードのみ) 出力フォーマット選択 (OTP モードのみ)	I2C アドレス LSB 選択 (I2C モードのみ) 出力フォーマット選択 (OTP モードのみ)	I2C アドレス LSB 選択 (I2C モードのみ) 出力フォーマット選択 (OTP モードのみ)

## 7.5 プログラミング

ホスト (DSP、マイクロコントローラ、FPGA など) は、I<sup>2</sup>C ポートを介して LMK3H0102 の設定および監視を行います。ホストは、レジスタセットと呼ばれる制御ビットの集合に対して読み取りと書き込みを行います。デバイスブロックの制御や監視は、レジスタ領域内に配置された特定のビットグループを介して行うことができます。ホストが存在しないときは、REF\_CTRL ピンと OTP\_SELx ピンの状態に応じて、LMK3H0102 は、内部 EFUSE に保存された 4 つのオンチップ OTP ページのいずれかから OTP モードで動作するように構成できます。EFUSE は、テキサス・インスツルメンツによって一度だけプログラムされたもので、書き換えはできません。つまり、起動時に EFUSE から自動的にロードされるレジスタの値はカスタマイズできないということです。ただし、I<sup>2</sup>C レジスタ インターフェイスを介して、レジスタの値はその後変更することはできます。デバイスレジスタ内には、読み取り / 書き込みアクセスが可能な特定のビットが存在します。その他のビットは読み取り専用です (読み取り専用ビットに書き込みを試みても、ビットの状態は変更されません)。特定のデバイスレジスタとビットは予約済みであり、フィールドはデフォルトのリセット状態から変更できません。

### 7.5.1 I<sup>2</sup>C シリアルインターフェイス

LMK3H0102 の I<sup>2</sup>C ポートは、ペリフェラル デバイスとして機能し、100kHz のスタンダード モード動作と 400kHz のファスト モード動作の両方をサポートしています。ファスト モードでは、制御信号にグリッチ耐性の要件が課されます。このため、入力レシーバは持続時間 50ns 未満のパルスを無視します。I<sup>2</sup>C のタイミング要件は、「I<sup>2</sup>C インターフェイス仕様」に規定されています。図 7-9 に、タイミング図を示します。

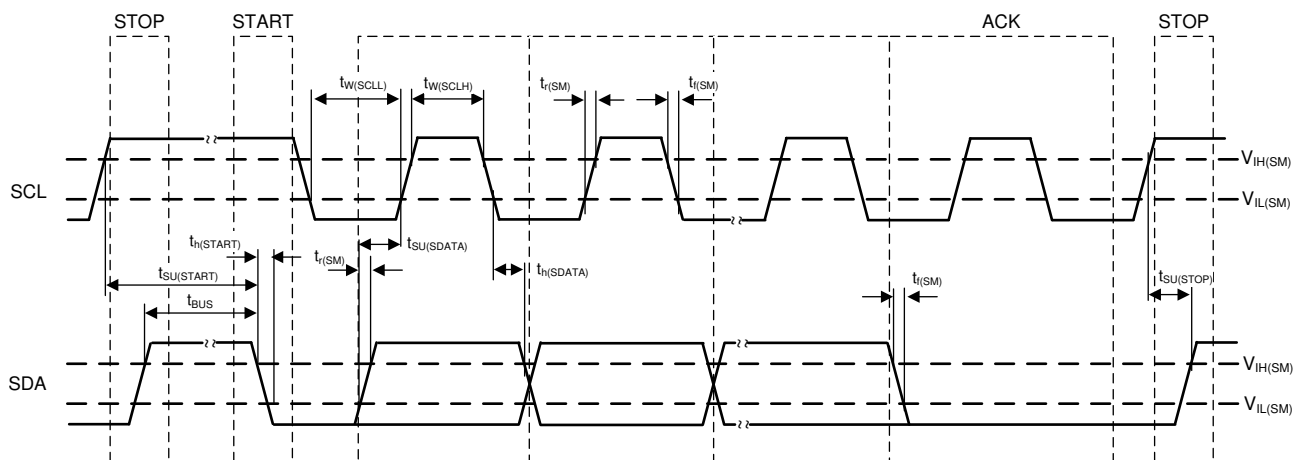


図 7-9. I<sup>2</sup>C のタイミング図

LMK3H0102 は、I<sup>2</sup>C パケットの一部として送信される 7 ビットのペリフェラル アドレスを介してアクセスされます。一致するペリフェラル アドレスを持つデバイスのみが、その後の I<sup>2</sup>C コマンドに応答します。I<sup>2</sup>C モードでは、LMK3H0102 は FMT\_ADDR のピンストラップ (VDD、GND、SDA、SCL に接続) に基づいて、最大 4 つの独自のペリフェラル デバイスが I<sup>2</sup>C バスを占有できるようにします。デフォルトでは、デバイスのペリフェラル アドレスは 0b11010xx です (2 つの LSB は FMT\_ADDR ピンで決定)。完全なアドレスは I<sup>2</sup>C を介して構成可能です。

I<sup>2</sup>C インターフェイスを介したデータ転送中には、転送されるデータ ビットごとに 1 つのクロック パルスが生成されます。SDA ラインのデータは、クロックの High 期間中は安定している必要があります。データ ラインの High または Low の状態は、SCL ラインのクロック信号が Low のときのみ変化します。データ転送の開始条件は、SCL が High のときに SDA ラインが High から Low に遷移することによって特定されます。データ転送の終了条件は、SCL が High のときに SDA ラインが Low から High に遷移することによって特定されます。開始条件と終了条件は、常にコントローラによって開始されます。SDA ラインの各バイトは 8 ビット長でなければなりません。各バイトの後にはアクノリッジ ビットが続き、バイトは MSB から送信されます。LMK3H0102 には、8 ビットのレジスタ アドレスと、それに続く 16 ビットのデータワードがあります。

アクノリッジビット (A) または非アクノリッジ ビット (A') は、8 ビットのデータ バイトに付随する 9 番目のビットであり、常にレシーバによって生成され、バイトが受信された (A = 0) または受信されなかった (A' = 0) ことをトランスミッタに通知します。A = 0 は、9 回目のクロック パルスの間に SDA ラインを Low にすることで実行され、A' = 0 は、9 回目のクロック パルスの間に SDA ラインを High のままにすることで実行されます。

I<sup>2</sup>C コントローラは、シリアル バスに接続されているすべてのペリフェラル デバイスからの応答を開始する開始条件をアサートすることで、データ転送を開始します。コントローラが SDA ラインを介して送信した 8 ビットのアドレス バイト (7 ビットのペリフェラル アドレス (MSB ファースト) と R/W' ビットで構成) に基づき、送信されたアドレスに対応するアドレスを持つデバイスが、アクノリッジ ビットを送信することで応答します。バス上の他のすべてのデバイスは、選択されたデバイスがコントローラとのデータ転送を待機している間、アイドル状態のままです。

データ転送が行われると、終了条件が確立されます。書き込みモードでは、コントローラは、ペリフェラルからの最後のデータ バイトのアクノリッジビットに続く、10 回目のクロック パルスの間に、データ転送を終了するための終了条件をアサートします。読み取りモードでは、コントローラはペリフェラルから最後のデータバイトを受信しますが、9 回目のクロック パルスの間は SDA を Low にしません。これは非アクノリッジ ビットとして周知されています。非アクノリッジ ビットを受信することで、ペリフェラルはデータ転送が終了したことを把握して、アイドル モードに移行します。次に、コントローラは 10 回目のクロック パルスの前の Low 期間中にデータラインを Low にし、10 回目のクロック パルスの間に High にして終了条件をアサートします。図 7-10 と図 7-11 に、LMK3H0102 を使用したブロック書き込みとブロック読み取りのシーケンスをそれぞれ示します。

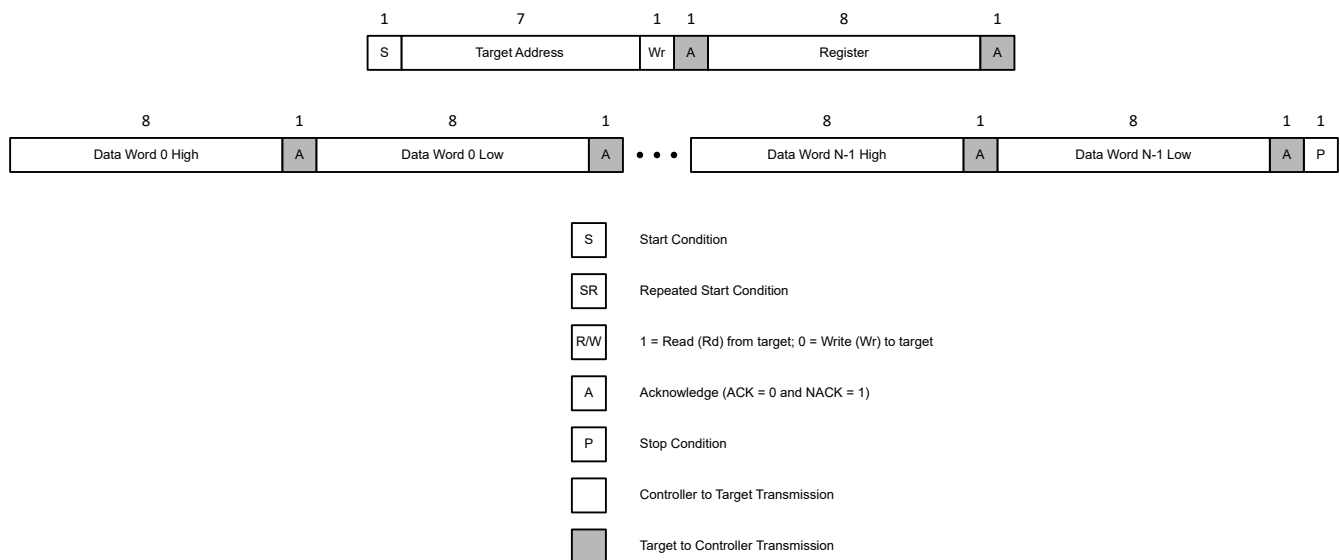


図 7-10. ブロック書き込みの汎用シーケンス

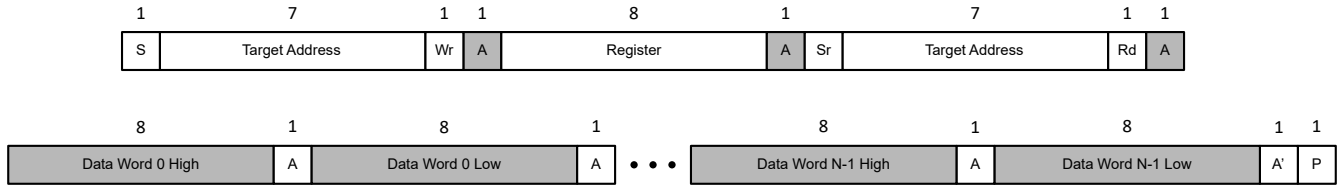


図 7-11. ブロック読み取りの汎用シーケンス

### 7.5.2 ワンタイム プログラミング シーケンス

上位レジスタ領域には、R13 以降のすべてのレジスタと I2C\_ADDR (R12[15:8]) が含まれています。上位レジスタ領域のロック解除は、UNLOCK\_PROTECTED\_REG (R12[7:0]) に 0x5B を書き込み、I2C\_ADDR は変更せずそのままにすることで実行されます。エッジ コンバイナを使用する場合は、R146、R147、R148 を変更する前に、まずロック解除を行う必要があります。

デバイスの起動時にロードされる EFUSE ページに応じて、異なる値を持つ 6 つのフィールドがあります。

- OUT0 出力フォーマット
- OUT0 イネーブル
- OUT1 出力フォーマット
- OUT1 イネーブル
- SSC イネーブル
- SSC 構成 (事前設定またはカスタム)

他のすべてのフィールドは、4 つの EFUSE ページすべてで同じ値を保持します。カスタム構成を生成する際は、テキサス・インスツルメンツにお問い合わせください。

## 8 デバイスのレジスタ

### 8.1 レジスタ マップ

表 8-1 に、LMK3H0102 デバイスのレジスタを示します。表 8-1 にないレジスタ オフセット アドレスはすべて予約済みと想定され、レジスタの内容は変更できません。

表 8-1. LMK3H0102 レジスタ

アドレス	略称	セクション
0x0	R0	表示
0x1	R1	表示
0x2	R2	表示
0x3	R3	表示
0x4	R4	表示
0x5	R5	表示
0x6	R6	表示
0x7	R7	表示
0x8	R8	表示
0x9	R9	表示
0xA	R10	表示
0xB	R11	表示
0xC	R12	表示
0x92	R146	表示
0x93	R147	表示
0x94	R148	表示
0xEE	R238	表示

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-2 に、このセクションでアクセスタイプに使用しているコードを示します。

表 8-2. LMK3H0102 のアクセス タイプ コード

アクセス タイプ	表記	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
WL	W L	書き込み ロックされている場合、 ロック解除して書き込み を正常に行うには、 UNLOCK_PROTECT ED_REG (R12[7:0]) = 0x5B が必要です。

#### 8.1.1 R0 レジスタ (アドレス = 0x0) [リセット = 0x0861/0x0863]

R0 を表 8-3 に示します。

[概略表](#)に戻ります。

表 8-3. R0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:10	DIG_CLK_N_DIV	R/W	0x02	デジタル ステート マシンのクロックレート。CH0_FOD_SEL マルチプレクサがソースの FOD 周波数から導出されます。目標周波数は最大 50MHz です。実際の分周値は、DIG_CLK_N_DIV の値に 2 を加えた値になります。このフィールドは EFUSE に保存されます。
9:3	FOD0_N_DIV	R/W	0x0C	BAW 周波数と FOD0 周波数の整数比。このフィールドは EFUSE に保存されます。
2:1	SUP_LVL_SEL	R/W	0x0 (V33) 0x1 (V18)	コア電源 LDO の動作電圧。このフィールドは工場出荷時にプログラム済みのため、プログラムされた値と異なる値で書き込みしてはなりません。VDD ピンと VDDO ピンの電源電圧は、選択された電圧値 + 10% を超えてはなりません。 0: 3.3V 1: 1.8V 2: 2.5V
0	OTP_BURNT	R/WL	0x1	EFUSE がプログラム済みであることを示します。このフィールドが 1 の場合、EFUSE がプログラムされています。

### 8.1.2 R1 レジスタ (アドレス = 0x1) [リセット = 0x5599]

R1 を表 8-4 に示します。

[概略表](#)に戻ります。

表 8-4. R1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	FOD0_NUM[23:16]	R/W	0x55	FOD0 分数分周値の上位バイト。このフィールドの値はデバイスによって異なります。このフィールドは EFUSE に保存されます。
7:0	ADC_CLK_N_DIV	R/W	0x99	BAW から直接生成される ADC クロック周波数 (MHz)。デフォルトは、 $\text{ceil}(2467 / 16) - 2 = 0x99$ です。このフィールドは EFUSE に保存されます。 テキサス・インスツルメンツでは、このフィールドの値の変更は推奨していません。

### 8.1.3 R2 レジスタ (アドレス = 0x2) [リセット = 0xC28F]

R2 を表 8-5 に示します。

[概略表](#)に戻ります。

表 8-5. R2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15:0	FOD0_NUM[15:0]	R/W	0xC28F	FOD0 分数分周値の下部 2 バイト。このフィールドの値はデバイスによって異なります。このフィールドは EFUSE に保存されます。

### 8.1.4 R3 レジスタ (アドレス = 0x3) [リセット = 0x1801]

R3 を表 8-6 に示します。

[概略表](#)に戻ります。

表 8-6. R3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:9	FOD1_N_DIV	R/W	0x0C	BAW 周波数と FOD1 周波数の整数比。このフィールドは EFUSE に保存されます。
8	CH1_FOD_SEL	R/W	0x0	チャンネル分周器 1 の入力ソースとして使用する FOD を選択します。このフィールドは EFUSE に保存されます。 0h: FOD0 の詳細を示します。 1h: FOD1 の詳細を示します。

表 8-6. R3 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
7	CH1_EDGE_COMB_EN	R/W	0x0	出力ドライバー 1 の入力ソースとして、チャンネル分周器 1 を使用するか、エッジ コンバイナを使用するかを選択します。このフィールドは EFUSE に保存されます。 0h: チャンネル分周器 1 入力 1h: エッジ コンバイナ入力
6	OUT1_DISABLE_STATE	R/W	0x0	OUT1 がディスエーブルの場合、このビットは OUT1_P ピンと OUT1_N ピンを強制的に GND に接続するか、トライステート条件にするかを選択します。このフィールドは EFUSE に保存されます。 0h: ディスエーブルで強制的に GND に接続 1h: ディスエーブル時にトライステート条件になります。
5	OUT0_DISABLE_STATE	R/W	0x0	OUT0 がディスエーブルの場合、このビットは OUT0_P ピンと OUT0_N ピンを強制的に GND に接続するか、トライステート条件にするかを選択します。このフィールドは EFUSE に保存されます。 0h: ディスエーブルで強制的に GND に接続 1h: ディスエーブル時にトライステート条件になります。
4	CH0_FOD_SEL	R/W	0x0	チャンネル分周器 0 の入力ソースとして使用する FOD を選択します。このフィールドは EFUSE に保存されます。 0h: FOD0 の詳細を示します。 1h: FOD1 の詳細を示します。
3	CH0_EDGE_COMB_EN	R/W	0x0	出力ドライバー 0 の入力ソースとして、チャンネル分周器 0 を使用するか、エッジ コンバイナを使用するかを選択します。このフィールドは EFUSE に保存されます。 0h: チャンネル分周器 0 入力 1h: エッジ コンバイナ入力
2:0	CH0_DIV	R/W	0x1	チャンネル分周器 0 の分周器値。このフィールドは EFUSE に保存されます。 0h: チャンネル分周器ディスエーブル。OUT0 にエッジ コンバイナを使用する場合、CH0_DIV を 0 に設定します。 1h: FOD / 2 2h: FOD / 4 3h: FOD / 6 4h: FOD / 8 5h: FOD / 10 6h: FOD / 20 7h: FOD / 40

### 8.1.5 R4 レジスタ (アドレス = 0x4) [リセット = 0x0000]

R4 を表 8-7 に示します。

概略表に戻ります。

表 8-7. R4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	予約済み	R	該当なし	予約済み。このフィールドに書き込まないでください。
14:2	SSC_STEPS	R/W	0x0000	SSC の三角波プロファイルの各セグメントにおけるステップ数。この値の計算手順については、「 <a href="#">拡散スペクトラム クロック処理</a> 」を参照してください。このフィールドは EFUSE に保存されます。

表 8-7. R4 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	概要
1	SSC_MOD_TYPE	R/W	0x0	カスタムの SSC 構成で、ダウン スプレッド変調とセンター スプレッド変調のいずれかを選択します。このフィールドは EFUSE に保存されます。 0h: ダウン スプレッド変調 1h: センター スプレッド変調
0	SSC_EN	R/W	0x0	SSC をイネーブルにします。このフィールドは EFUSE に保存されます。 0h: SSC がディスエーブル。 1h: SSC がイネーブル。

### 8.1.6 R5 レジスタ (アドレス = 0x5) [リセット = 0x0000]

R5 を表 8-8 に示します。

[概略表](#)に戻ります。

表 8-8. R5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15:0	SSC_STEP_SIZE	R/W	0x0000	SSC のステップごとの分子インクリメント値。この値の計算手順については、「 <a href="#">拡散スペクトラム クロック処理</a> 」を参照してください。このフィールドは EFUSE に保存されます。

### 8.1.7 R6 レジスタ (アドレス = 0x6) [リセット = 0x0AA0]

R6 を表 8-9 に示します。

[概略表](#)に戻ります。

表 8-9. R6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:13	CH1_DIV	R/W	0x0	チャンネル分周器 1 の分周器値。このフィールドは EFUSE に保存されます。 0h: チャンネル分周器ディスエーブル。OUT1 にエッジ コンパイナを使用する場合、CH1_DIV を 0 に設定します。 1h: FOD / 2 2h: FOD / 4 3h: FOD / 6 4h: FOD / 8 5h: FOD / 10 6h: FOD / 20 7h: FOD / 40
12:5	FOD1_NUM[23:16]	R/W	0x55	FOD1 分数分周値の上位バイト。このフィールドの値はデバイスによって異なります。このフィールドは EFUSE に保存されます。
4:3	OUT0_SLEW_RATE	R/W	0x0	OUT0 のスルーレート制御。このフィールドは EFUSE に保存されます。差動出力フォーマットにのみ適用されます。 0h: 2.3V/ns ~ 3.5V/ns 1h: 2.0V/ns ~ 3.2V/ns 2h: 1.7V/ns ~ 2.8V/ns 3h: 1.4V/ns ~ 2.7V/ns

表 8-9. R6 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2:0	OUT0_FMT	R/W	0x0	OUT0 の出力フォーマットを選択します。このフィールドは EFUSE に保存されます。 0h: LP-HCSL の 100Ω 終端 1h: LP-HCSL の 85Ω 終端 2h: AC 結合 LVDS 3h: DC 結合 LVDS 4h: LVCMOS、OUTx_P イネーブル、OUTx_N ディスエーブル 5h: LVCMOS、OUTx_P ディスエーブル、OUTx_N イネーブル 6h: LVCMOS、OUTx_P イネーブル、OUTx_N イネーブル、位相差 180° 7h: LVCMOS、OUTx_P イネーブル、OUTx_N イネーブル、OUTx_P と OUTx_N 同相

### 8.1.8 R7 レジスタ (アドレス = 0x7) [リセット = 0x6503]

R7 を表 8-10 に示します。

[概略表](#)に戻ります。

表 8-10. R7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	該当なし	0x0	予約済み。このフィールドに書き込まないでください。
14:13	REF_CTRL_PIN_F UNC	R/W	0x3	REF_CTRL ピンの機能を設定します。このフィールドは EFUSE に保存されます。 0h: REF_CTRL ピンはディスエーブル、GND にプルされている。 1h: REF_CTRL ピンはディセーブル、強制的にトリステート条件になります。 2h: REF_CTRL ピンは追加の LVCMOS REF_CLK 出力として機能する。 3h: REF_CTRL ピンはクロックレディ信号として機能する。
12:11	REF_CLK_DIV	R/W	0x0	REF_CTRL が REF_CLK として使用されている場合の REF_CLK 出力分周器値。このフィールドは EFUSE に保存されます。 0h: REF_CLK はディスエーブル。 1h: FOD/2 2h: FOD/4 3h: FOD/8
10	予約済み	R/W	0x1	予約済み。このフィールドには 1 以外の値を書き込まないでください。
9	REF_CLK_FOD_S EL	R/W	0x0	REF_CLK 出力の生成に使用する FOD を選択します。このフィールドは EFUSE に保存されます。 0h: FOD0 の詳細を示します。 1h: FOD1 の詳細を示します。
8	OUT1_EN	R/W	0x1	OUT1 の出力イネーブルビット。このフィールドは EFUSE に保存されます。 0h: OUT1 はディスエーブル。 1h: OUT1 はイネーブル。
7	OUT1_CH_SEL	R/W	0x0	OUT1 のソースを選択します。エッジコンバイナがイネーブルである場合、このビットは無視されます。このフィールドは EFUSE に保存されます。 0h: OUT1 は、CH0_EDGE_COMB_EN が 0 の場合はチャンネル分周器 0 がソースとなり、CH0_EDGE_COMB_EN が 1 の場合はエッジコンバイナがソースとなります。 1h: OUT1 は、CH1_EDGE_COMB_EN が 0 の場合はチャンネル分周器 1 がソースとなり、CH1_EDGE_COMB_EN が 1 の場合はエッジコンバイナがソースとなります。

表 8-10. R7 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6:5	OUT1_SLEW_RATE	R/W	0x0	OUT1 のスルーレート制御。このフィールドは EFUSE に保存されます。 差動出力フォーマットにのみ適用されます。 0h: 2.3V/ns ~ 3.5V/ns 1h: 2.0V/ns ~ 3.2V/ns 2h: 1.7V/ns ~ 2.8V/ns 3h: 1.4V/ns ~ 2.7V/ns
4:2	OUT1_FMT	R/W	0x0	OUT1 の出力フォーマットを選択します。このフィールドは EFUSE に保存されます。 0h: LP-HCSL の 100Ω 終端 1h: LP-HCSL の 85Ω 終端 2h: AC 結合 LVDS 3h: DC 結合 LVDS 4h: LVCMOS、OUTx_P イネーブル、OUTx_N デisable 5h: LVCMOS、OUTx_P デisable、OUTx_N イネーブル 6h: LVCMOS、OUTx_P イネーブル、OUTx_N イネーブル、位相差 180° 7h: LVCMOS、OUTx_P イネーブル、OUTx_N イネーブル、OUTx_P と OUTx_N 同相
1	OUT0_EN	R/W	0x1	OUT0 の出力イネーブルビット。このフィールドは EFUSE に保存されます。 0h: OUT0 はデisable。 1h: OUT0 はイネーブル。
0	OE_PIN_POLARITY	R/W	0x1	OE ピンの極性選択。このビットは OUTx_EN ビットの極性には影響せず、OE ピンのみに影響します。このフィールドは EFUSE に保存されます。 0h: OE はアクティブ High (OE を VDD に接続すると出力がイネーブルになる)。 1h: OE はアクティブ Low (OE を GND に接続すると出力がイネーブルになる)。

### 8.1.9 R8 レジスタ (アドレス = 0x8) [リセット = 0xC28F]

R8 を表 8-11 に示します。

[概略表](#)に戻ります。

表 8-11. R8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15:0	FOD1_NUM[15:0]	R/W	0xC28F	FOD1 分数分周値の下位 2 バイト。このフィールドの値はデバイスによって異なります。このフィールドは EFUSE に保存されます。

### 8.1.10 R9 レジスタ (アドレス = 0x9) [リセット = 0x3166]

R9 を表 8-12 に示します。

[概略表](#)に戻ります。

表 8-12. R9 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:12	OTP_ID	R/W	0x3 (V33) 0x1 (V18)	OTP 構成を識別するための構成可能フィールド。I2C モードで、4 ビットの予備フィールドとして使用可能。このフィールドは EFUSE に保存されます。

表 8-12. R9 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
11:9	SSC_CONFIG_SEL	R/W	0x0	<p>SSC 変調構成。センター スプレッド変調が望ましい場合は、カスタム SSC 構成が必要です。4 つの事前設定済みダウンスプレッド変調の深度も使用可能です。その他の変調深度はカスタム SSC 構成が必要です。このフィールドは EFUSE に保存されます。</p> <p>事前設定済みの SSC オプションは、特に 100MHz クロック出力用です。その他の出力周波数については、テキサス・インスツルメンツではカスタム SSC 構成の作成を推奨しています。</p> <p>0h: カスタム SSC 構成設定 - カスタム構成作成の詳細については、「<a href="#">拡散スペクトラム クロック処理</a>」を参照してください。</p> <p>1h: -0.10% の事前設定済みダウンスプレッド</p> <p>2h: -0.25% の事前設定済みダウンスプレッド</p> <p>3h: -0.30% の事前設定済みダウンスプレッド</p> <p>4h: -0.50% の事前設定済みダウンスプレッド</p> <p>その他すべての値: 予約済み</p>
8	OUT_FMT_SRC_SEL	R/W	0x1	<p>OTP モードでは、FMT_ADDR ピンが出力フォーマットレジスタ設定を強制的にオーバーライドします。I2C モードでは、FMT_ADDR ピンはこの目的では使用されません。このフィールドは EFUSE に保存されます。</p> <p>0h: OTP モードで出力フォーマットを選択する場合、FMT_ADDR ピンは無視されます。</p> <p>1h: FMT_ADDR ピンは OTP モードにおけるレジスタ設定をオーバーライドします。出力フォーマットは LP-HCSL であり、終端抵抗値は起動時の FMT_ADDR ピンの状態に基づいています。</p>
7:4	OUT1_LPHSCL_A MP_SEL	R/W	0x6	<p>LP-HCSL 出力フォーマット使用時の OUT1 出力スイング レベル。このフィールドは EFUSE に保存されます。</p> <p>0h: 625mV</p> <p>1h: 647mV</p> <p>2h: 668mV</p> <p>3h: 690mV</p> <p>4h: 712mV</p> <p>5h: 733mV</p> <p>6h: 755mV</p> <p>7h: 777mV</p> <p>8h: 798mV</p> <p>9h: 820mV</p> <p>Ah: 842mV</p> <p>Bh: 863mV</p> <p>Ch: 885mV</p> <p>Dh: 907mV</p> <p>Eh: 928mV</p> <p>Fh: 950mV</p>

**表 8-12. R9 レジスタのフィールドの説明 (続き)**

ビット	フィールド	タイプ	リセット	説明
3:0	OUT0_LPHSCL_A MP_SEL	R/W	0x6	LP-HCSL 出力フォーマット使用時の OUT0 出力スイング レベル。このフィールドは EFUSE に保存されます。 0h: 625mV 1h: 647mV 2h: 668mV 3h: 690mV 4h: 712mV 5h: 733mV 6h: 755mV 7h: 777mV 8h: 798mV 9h: 820mV Ah: 842mV Bh: 863mV Ch: 885mV Dh: 907mV Eh: 928mV Fh: 950mV

**8.1.11 R10 レジスタ (アドレス = 0xA) [リセット = 0x0010]**

R10 を表 8-13 に示します。

概略表に戻ります。

**表 8-13. R10 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R/W	0x0	予約済み。このビットには 0 だけを書き込んでください。
14:11	PROD_REVID	R	該当なし	製品リビジョン識別子
10	CLK_READY	R	該当なし	CLK_READY ステータス。REF_CTRL ピンは、クロックレディ信号として機能する場合、このステータス信号をミラーリングします。
9	予約済み	R	該当なし	予約済み。このフィールドに書き込まないでください。
8	RB_PIN_15	R	該当なし	REF_CTRL ピンの読み戻し。
7	RB_PIN_4	R	該当なし	OTP_SEL1/SDA ピンの読み戻し。
6	RB_PIN_3	R	該当なし	OTP_SEL0/SCL ピンの読み戻し。
5	RB_PIN_2	R	該当なし	FMT_ADDR ピンの読み戻し。
4	DEV_IDLE_STATE_SEL	R/W	0x1	このビットは、両方の出力がディスエーブルのときにデバイスの動作を制御します。クロックを再度イネーブルにするまでの時間が延長されるため、PCIe アプリケーションではデバイスを低消費電力状態にすることは推奨されません。このフィールドは EFUSE に保存されます。 0h: 両方の出力がディスエーブルのとき、出力はミュートされ、デバイスは低消費電力状態になります。 1h: 両方の出力がディスエーブルのとき、出力はミュートされます。デバイスは低消費電力状態にはなりません。

表 8-13. R10 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3	PIN_RESAMPLE_DIS	R/W	0x0	このビットは、低消費電力モードを終了するときにデバイス ピンの再サンプリングを制御します。低消費電力モードの間にこのビットを書き込んでください。テキサス・インスツルメンツでは、この機能が具体的に必要な場合を除いて、このビットを 1 のままにしておくことを推奨しています。 0h:ピンの再サンプリングがイネーブルです。低消費電力モードを終了するとき、FMT_ADDR ピン、OTP_SEL0/SCL ピン、OTP_SEL1/SDA ピン、FMT_ADDR ピンが再サンプリングされます。FMT_ADDR が High の場合、本デバイスは OTP モードに入ります。 1h:ピンの再サンプリングがディスエーブルです。低消費電力モードを終了するとき、FMT_ADDR ピン、OTP_SEL0/SCL ピン、OTP_SEL1/SDA ピン、FMT_ADDR ピンは再サンプリングされません。デバイスは I2C モードのままです。
2	OTP_AUTOLOAD_DIS	R/W	0x0	このビットは、低消費電力モードを終了するときにデバイスの動作を制御します。低消費電力モードの間にこのビットを書き込んでください。テキサス・インスツルメンツでは、この機能が具体的に必要な場合を除いて、このビットを 1 のままにしておくことを推奨しています。 0h:OTP 自動ロードがイネーブルです。低消費電力モードを終了するとき、OTP ページ 0 の内容がデバイスのレジスタに書き込まれます。 1h:OTP 自動ロードがディスエーブルです。低消費電力モードを終了するとき、OTP ページ 0 の内容はデバイスのレジスタに書き込まれません。
1	PDN	R/W	0x0	このビットに 1 を書き込むと、デバイスは低消費電力状態になります。
0	予約済み	R/W	0x0	予約済み。このビットには 0 だけを書き込んでください。

## 8.1.12 R11 レジスタ (アドレス = 0xB) [リセット = 0x0000]

R11 を表 8-14 に示します。

概略表に戻ります。

表 8-14. R11 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R/W	0x0	予約済み。このビットには 0 だけを書き込んでください。
14	SEPARATE_OE_EN	R/W	0x0	このビットにより、デバイスの個別の出カイネーブル機能がイネーブルになります。このビットが 1 の場合、OUT_FMT_SRC_SEL と I2C_ADDR_LSB_SEL を 0 に設定する必要があります。このフィールドは EFUSE に保存されます。 0h:ピン 1 は OUT0 および OUT1 の出カイネーブルです。 1h:ピン 1 は OUT0 の出カイネーブルで、ピン 2 は OUT1 の出カイネーブルです。
13:0	予約済み	R/W	0x0000	予約済み。このフィールドに書き込まないでください。

## 8.1.13 R12 レジスタ (アドレス = 0xC) [リセット = 0xE800]

R12 を表 8-15 に示します。

概略表に戻ります。

表 8-15. R12 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	I2C_ADDR_LSB_SEL	R/WL	0x1	I2C のペリフェラル アドレス ソース。このビットが 1 の場合、SEPARATE_OE_EN は 0 でなければなりません。このフィールドは EFUSE に保存されます。 0h:I2C のペリフェラル アドレスは、すべて I2C_ADDR フィールドから取得されます。 1h:I2C のペリフェラル アドレスの最下位 2 ビットは FMT_ADDR ピンから、その他のビットはすべて R12[14:10] から取得されます。

表 8-15. R12 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
14:8	I2C_ADDR	R/WL	0x68	I2C のペリフェラル アドレス。このフィールドへの書き込み後、デバイスは新しい I2C アドレスに応答します。このフィールドは EFUSE に保存されます。
7:0	UNLOCK_PROTECTED_REG	R/W	0x00	このフィールドは、R12[15:8] に加え、R13 以降のすべてのレジスタをロックします。レジスタ R13 以降は、主にデバイス キャリブレーション レジスタであり、本書に記載されていない場合は内容が変更されます。これらのレジスタは、ロック解除ステータスに関係なく、通常、読み取りが可能です。 5Bh:R12[15:8] 以上のレジスタ書き込みのロックを解除します。 その他の値:R12[15:8] 以上では、すべての書き込みを無視します。

#### 8.1.14 R146 レジスタ (アドレス = 0x92) [リセット = 0x0000]

R146 を表 8-16 に示します。

概略表に戻ります。

表 8-16. R146 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15:13	予約済み	R/WL	0x0	予約済み。このフィールドに書き込まないでください。
12:5	DTC1_GAIN_RT	R/WL	0x00	FOD0 の室温ゲイン キャリブレーション コード。このフィールドの値はデバイスによって異なります。エッジ コンパイナを使用する場合、DTC2_GAIN_RT で平均化する必要があります。このフィールドは EFUSE に保存されます。
4:0	DTC1_GAIN_DELTA_CT	R/WL	0x00	FOD0 の低温ゲイン キャリブレーション コード。このフィールドの値はデバイスによって異なります。エッジ コンパイナを使用する場合、DTC2_GAIN_DELTA_CT で平均化する必要があります。このフィールドは EFUSE に保存されます。

#### 8.1.15 R147 レジスタ (アドレス = 0x93) [リセット = 0x0000]

R147 を表 8-17 に示します。

概略表に戻ります。

表 8-17. R147 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15:11	予約済み	R/WL	0x00	予約済み。このフィールドに書き込まないでください。
13:8	DTC2_GAIN_DELTA_CT	R/WL	0x00	FOD1 の低温ゲイン キャリブレーション コード。このフィールドの値はデバイスによって異なります。エッジ コンパイナを使用する場合、DTC1_GAIN_DELTA_CT で平均化する必要があります。このフィールドは EFUSE に保存されます。
7:0	DTC1_GAIN_DELTA_HT	R/WL	0x00	FOD0 の高温ゲイン キャリブレーション コード。このフィールドの値はデバイスによって異なります。エッジ コンパイナを使用する場合、DTC2_GAIN_DELTA_HT で平均化する必要があります。このフィールドは EFUSE に保存されます。

#### 8.1.16 R148 レジスタ (アドレス = 0x94) [リセット = 0x0000]

R148 を表 8-18 に示します。

概略表に戻ります。

表 8-18. R148 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15:14	予約済み	R/WL	0x0	予約済み。このフィールドに書き込まないでください。
13:8	DTC2_GAIN_DELTA_HT	R/WL	0x00	FOD1 の高温ゲイン キャリブレーション コード。このフィールドの値はデバイスによって異なります。エッジ コンパイナを使用する場合、DTC1_GAIN_DELTA_HT で平均化する必要があります。このフィールドは EFUSE に保存されます。

表 8-18. R148 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	概要
7:0	DTC2_GAIN_RT	R/WL	0x00	FOD1 の室温ゲイン キャリブレーションコード。このフィールドの値はデバイスによって異なります。エッジコンパインを使用する場合、DTC1_GAIN_RT で平均化する必要があります。このフィールドは EFUSE に保存されます。

## 8.1.17 R238 レジスタ (アドレス = 0xEE) [リセット = 0x0000]

R246 を表 8-19 に示します。

[概略表](#)に戻ります。

表 8-19. R246 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:0	BAWFREQ_OFFSE T_FIXEDLUT	R/WL	0x0000	BAW 周波数の 2467MHz からのオフセット値。符号付き 16 ビット整数値。このフィールドは EFUSE に保存されます。 このフィールドの各ビットは、周波数偏差 128ppm に対応しています。このフィールドは部品によって異なります。 このフィールドは計算のみを目的としており、デバイスがこのレジスタを内部計算に使用することはありません。このフィールドには書き込まないでください。

## 9 アプリケーションと実装

### 注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 9.1 アプリケーション情報

LMK3H0102 はリファレンスレス BAW ベースのクロック ジェネレータで、PCIe リファレンス クロックや XTAL/XO の置き換えなど、さまざまなアプリケーションにリファレンス クロックを供給できます。

### 9.2 代表的なアプリケーション

#### 9.2.1 アプリケーションのブロック図の例

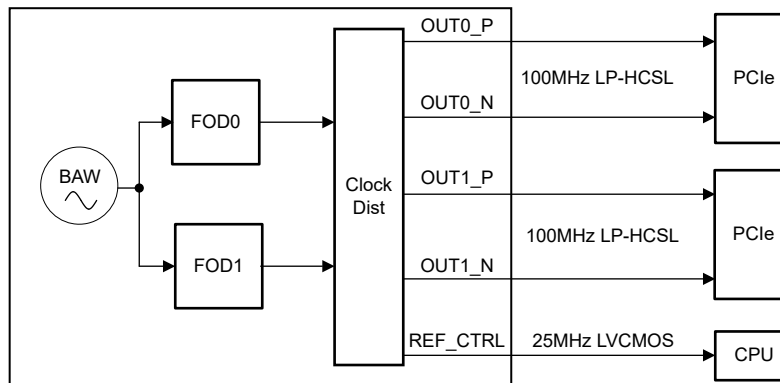


図 9-1. PCIe アプリケーション

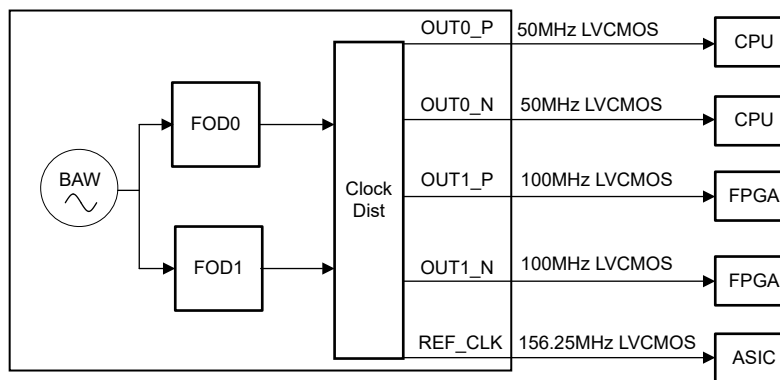


図 9-2. 5 つの XO を置き換え

#### 9.2.2 設計要件

代表的な PCIe アプリケーションを想定してください。このようなシステムでは、追加のデバイス レベルのプログラミングを必要とせず、要求に応じてクロックが利用可能であることが期待されます。このアプリケーションにおける代表的な出力クロック要件は、2 つの 100MHz LP-HCSL クロックです。REF\_CLK 出力の構成方法も示すために、25MHz クロックが追加されています。以下のセクションでは、LMK3H0102 を使用して、上記の PCIe シナリオに必要な出力周波数を生成するための詳細な設計手順について説明します。

### 9.2.3 詳細な設計手順

LMK3H0102 では、あらゆる側面の設計がわかりやすく、周波数プランニングや部品プログラミングを支援するソフトウェアサポートが利用できます。この設計手順では、プロセスの概要をわかりやすく説明しています。

#### 1. 周波数プランニング

- a. LMK3H0102 の構成を設計する第一歩は、必要な出力周波数を生成するために求められる FOD 周波数を決定することです。プロセスは次のとおりです。
  - i. 出力周波数が 200MHz を超える場合、周波数は両方同じでなければならず、SSC を使用することはできません。周波数が異なる場合、または SSC が必要な場合は、この周波数計画はデバイスではサポートできません。
    - 200MHz を超える同じ周波数が 2 つある場合、エッジ コンバイナをイネーブルにし、FOD 分周器値を一致させる必要があります、REF\_CLK を使用する場合は、いずれかの FOD をソースとすることができます。
  - ii. 両方の出力周波数が同じで、SSC 設定も同じ場合 (つまり、両方とも SSC を使用しているか、両方とも SSC を使用していない場合)、1 つの FOD だけが必要です。
  - iii. 両方の出力周波数が異なる場合でも、SSC 設定が同じであれば、両出力を FOD で共有し、電流を節約できます。両方の周波数が、単一の有効な FOD 周波数をチャンネル分周器オプションで分周することで生成できる場合、2 番目の FOD は デイスエーブルにできます。それ以外の場合は、両方の FOD を使用する必要があります。両方の出力で SSC が必要な場合は、この周波数計画は LMK3H0102 デバイスではサポートできません。
  - iv. 一方の出力で SSC が必要で、もう一方の出力で SSC が不要な場合、SSC 出力は FOD0 を使用し、非 SSC 出力は FOD1 を使用する必要があります。
- b. SSC が使用されている場合、アプリケーションに事前設定済みダウンスプレッド変調、カスタムのダウンスプレッド変調、センター スプレッド変調が必要かどうかを決定します。カスタム構成が必要な場合は、「[拡散スペクトラムクロック処理](#)」に規制されているステップに従ってください。
- c. デジタル クロック周波数ができるだけ 50MHz に近い値になるように、デジタル クロック分周器を設定します。
- d. REF\_CTRL ピンの機能を決定します。追加の LVCMOS リファレンス クロックとして使用する場合は、REF\_CLK 出力の分周器の範囲が /2、/4、または /8 のいずれかに限られているため、FOD0 と FOD1 の周波数に基づいて目標とする周波数が生成できることを確認します。
  - i. FOD0 で SSC を使用し、REF\_CLK ソースが FOD0 である場合、この出力にも SSC が含まれることに注意してください。

#### 2. 出力フォーマットの設定

- a. 必要な出力フォーマットは、システムで必要とされるクロック フォーマットに基づいています。PCIe アプリケーションでは、これはほとんどの場合 100MHz LP-HCSL クロックです。内部終端抵抗の値は、インピーダンスがレシーバの入力インピーダンスと一致するように選択される必要があります。AC-LVDS と DC-LVDS では終端方法が異なることに注意してください。AC-LVDS レシーバには、LMK3H0102 からの AC-LVDS 出力が必要です。
- b. 差動出力の場合、スルーレートは最も遅い範囲 (1.4V/ns~2.7V/ns) から最も速い範囲 (2.3V/ns~3.5V/ns) まで選択できます。
- c. どちらの終端方式の LP-HCSL 出力の場合も、振幅は 625mV~950mV の範囲で選択できます。
- d. LVCMOS 出力の場合、P 位相と N 位相は同相、逆位相、または個別にイネーブルまたは デイスエーブルにできます。これにより、OUT0、OUT1、および REF\_CTRL ピンの間に最大 5 つの LVCMOS クロックを生成できます。
  - i. LVCMOS 出力の場合、VDDO\_x 電圧は、VDD が 1.8V または 2.5V のときは、VDD 電圧と一致している必要があります。

#### 3. 出力イネーブル動作

- a. 出力イネーブル ピンはデフォルトではアクティブ Low で、GND への内部プルダウン抵抗が備わっています。この機能が不要な場合は、OE\_PIN\_POLARITY を 0 に設定して、OE ピンの動作をアクティブ High に変更できます。これを行うと、内部プルダウンはデイスエーブルになり、VDD への内部プルアップが使用されます。

- b. 両方の出力がディスエーブルになっていることが、デバイスが低消費電力モードに移行していることを意味するかどうかを判定します。これによって電流は節約できますが、PCIe 向けのクロック処理など、クロックを素早くオンに戻さなければならないアプリケーションについては、低消費電力モードは推奨されません。

PCIe の例では、次の設定が必要です。

1. 1 つの FOD を使用して、両方の LP-HCSL 出力を生成できます。したがって、FOD0 は出力周波数が 200MHz に、チャンネル分周器 0 は 2 分周に設定できます。または、FOD0 は 4 分周で 400MHz に設定することもできます。どちらの構成も有効です。両方の出力ドライバはチャンネル分周器 0 を選択し、両方とも LP-HCSL に設定されます。
  - a. ステートマシンのクロックを適切に設定するには、DIG\_CLK\_N\_DIV を 2 に設定する必要があります。ステートマシンのクロックは、この周波数を超えない範囲で、できるだけ 50MHz に近い値にする必要があります。式 9 に、デジタルステートマシンの周波数、CH0\_FOD\_SEL マルチプレクサで選択された周波数、DIG\_CLK\_N\_DIV フィールドの関係を示します。デバイスが低電力状態にある場合にのみ、DIG\_CLK\_N\_DIV フィールドを書き込みます。
2. FOD0 を使用すると、25MHz の LVCMOS クロック (200MHz/8 = 25MHz) を生成できます。REF\_CLK 分周器のオプションは、2 分周、4 分周、8 分周です。したがって、8 分周するには、REF\_CLK\_DIV を 3 に設定する必要があります。

$$F_{\text{DIG}} = \frac{F_{\text{CH0\_FOD\_SEL}}}{2 + \text{DIG\_CLK\_N\_DIV}} \quad (9)$$

ここで、 $F_{\text{DIG}}$  はデジタルステートマシンクロック周波数、 $F_{\text{CH0\_FOD\_SEL}}$  は CH0\_FOD\_SEL マルチプレクサによって選択された周波数です。

#### 9.2.4 例：出力周波数の変更

OUT0 と OUT1 の 100MHz LP-HCSL 出力を 24MHz 差動 LVCMOS クロックに変更し、REF\_CTRL ピンに LVCMOS クロックを追加する場合、この例での BAWFREQ\_OFFSET\_FIXEDLUT フィールドの値は 0x3701 です。周波数の変更ステップは次のとおりです。

1. デバイスの BAW 周波数を決定します。これは、その後のすべての計算に重要です。式 4 から、BAWFREQ\_OFFSET\_FIXEDLUT が 0x3701 の場合、このデバイスの BAW 周波数は約 2471.446441856 となります。
2. チャンネル分周器の設定と必要な FOD 周波数を決定します。出力周波数が 24MHz で、FOD の範囲が 100MHz ~ 400MHz の場合、出力の生成には、チャンネル分周器の値として少なくとも 5 が必要です。5 で分周するオプションがなく、REF\_CLK にクロックが必要であるため (CH0\_DIV、CH1\_DIV、REF\_CLK\_DIV を参照)、8 で分周する必要があります。これにより、24MHz × 8 で、FOD 出力周波数は 192MHz となります。OUT1 が異なる周波数の場合、両方の周波数を同じ FOD 周波数から分周して生成できない場合は FOD1 を使用する必要があります。
3. FOD 分周値を設定します。式 1 を使用して整数分周値を計算します。FOD0\_N\_DIV = floor(2471.446441856/192) = 12 となります。式 2 から分子分周値を計算します。FOD0\_NUM = int(((2471.446441856/192) - 12) × 2<sup>24</sup>) = 14631693 となります。
4. デバイスのレジスタに設定を書き込みます。これには、上述の分周の設定と、出力ドライバの設定が含まれます。図 7-4 に示す手順を行います。
  - a. PDN = 1 を設定します。
  - b. FOD0\_N\_DIV = 12、FOD0\_NUM = 14631693 を設定します。
  - c. CH0\_DIV と REF\_CLK\_DIV を 8 分周に設定します (デフォルトでは、OUT1\_CH\_SEL はチャンネル分周器 0 を選択するように設定されています)。
  - d. 出力フォーマットとして差動 LVCMOS を選択するように OUT0\_FMT と OUT1\_FMT を設定します。
  - e. REF\_CLK を出力するように REF\_CTRL\_PIN\_FUNC を設定します。
  - f. OTP\_AUTOLOAD\_DIS を 1 に設定します (OTP ページ 0 の自動ロード機能をディスエーブルにします)。
  - g. DIG\_CLK\_N\_DIV = 2 を設定して、式 9 に基づいてデジタルステートマシンクロックを 48MHz に設定します。

h. PDN = 0 を設定します

周波数の変更が有効になるまでには、PDN = 0 の発行から、出力クロックが希望する周波数で開始されるまで、通常 1ms 程度が必要です。

### 9.2.5 クロストーク

LMK3H0102 では、異なる周波数で出力が動作しているときに、デバイスのクロストークにより性能が低下する可能性があります。表 9-1 に、一般的な LVCMOS 周波数における LMK3H0102 の出力性能を示します。クロストークが出力性能に及ぼす影響に関して、その他の組み合わせの測定については、テキサス・インスツルメンツにお問い合わせください。

**表 9-1. LMK3H0102 LVCMOS 出力クロストーク <sup>(1)</sup>**

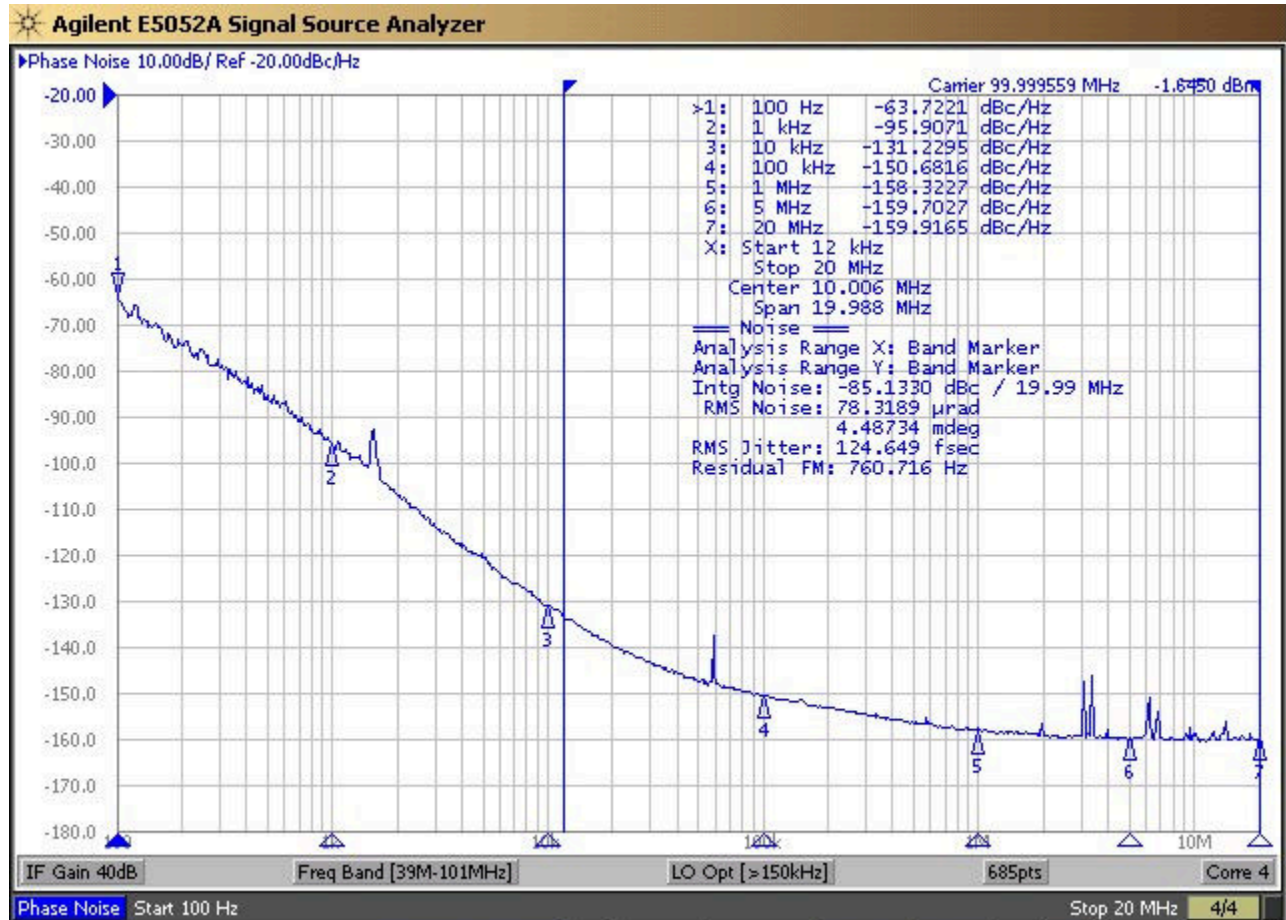
FOD0 周波数 (MHz)	FOD1 周波数 (MHz)	OUT0 周波数 (MHz) <sup>(2)</sup>	OUT1 周波数 (MHz) <sup>(2)</sup>	標準的な OUT0 RMS ジッタ (fs) <sup>(3)</sup>	標準的な OUT1 RMS ジッタ (fs) <sup>(3)</sup>
240	250	24	25	852	716
240	270	24	27	457	371
240	200	24	50	832	779
250	240	25	24	784	717
250	270	25	27	757	787
270	240	27	24	429	367
270	250	27	25	913	641
270	200	27	50	865	930
200	240	50	24	806	548
200	270	50	27	913	704

(1) VDD = VDDO\_x = 3.3V、SSC なし、差動 LVCMOS 出力フォーマットを使用して 25°C ~ 105°C で測定。

(2) OUT0 と OUT1 はそれぞれ FOD0 と FOD1 を使用して生成。

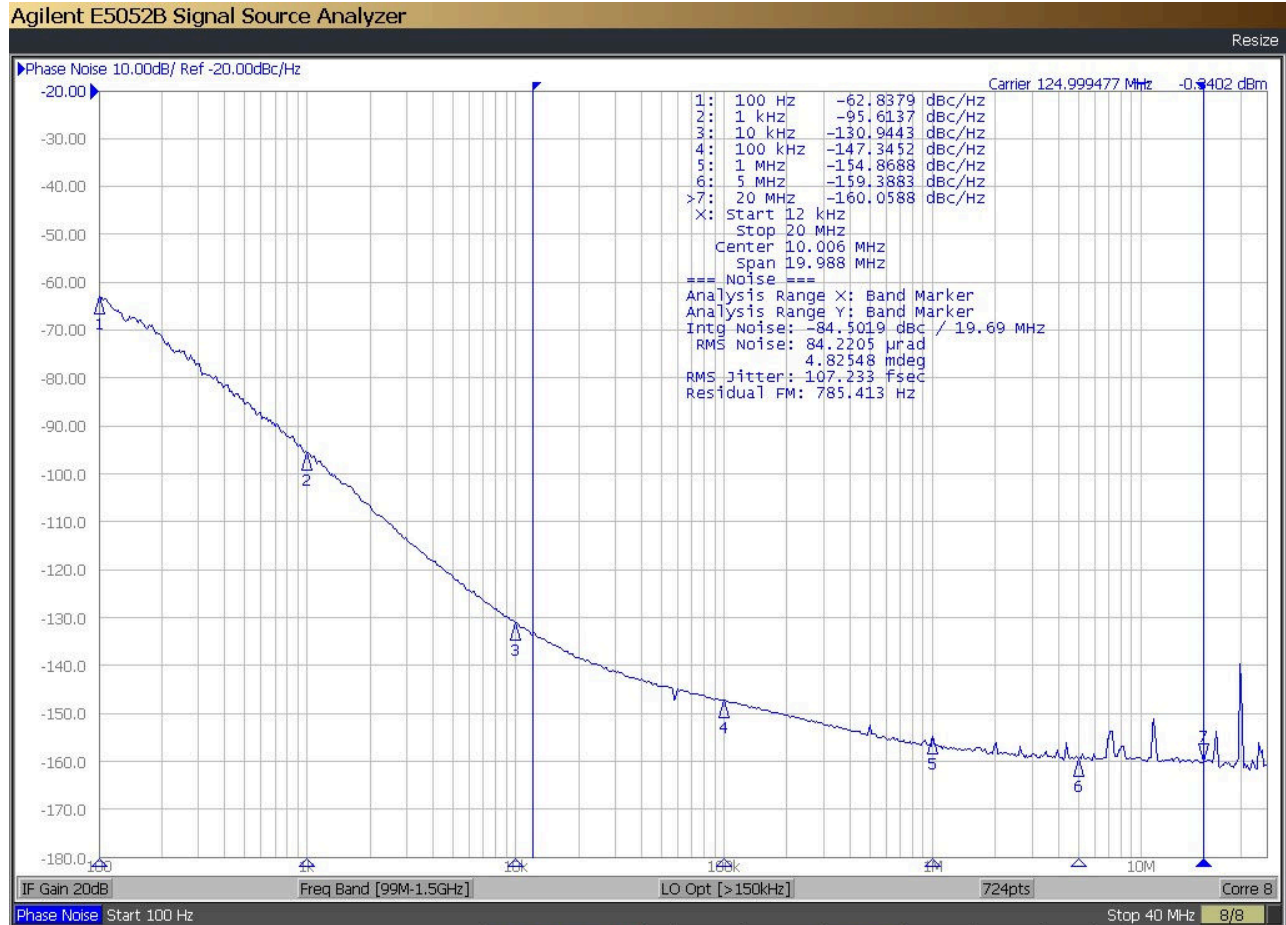
(3) RMS ジッタは、積分帯域幅 12kHz ~ 5MHz の範囲で測定。

### 9.2.6 アプリケーション曲線



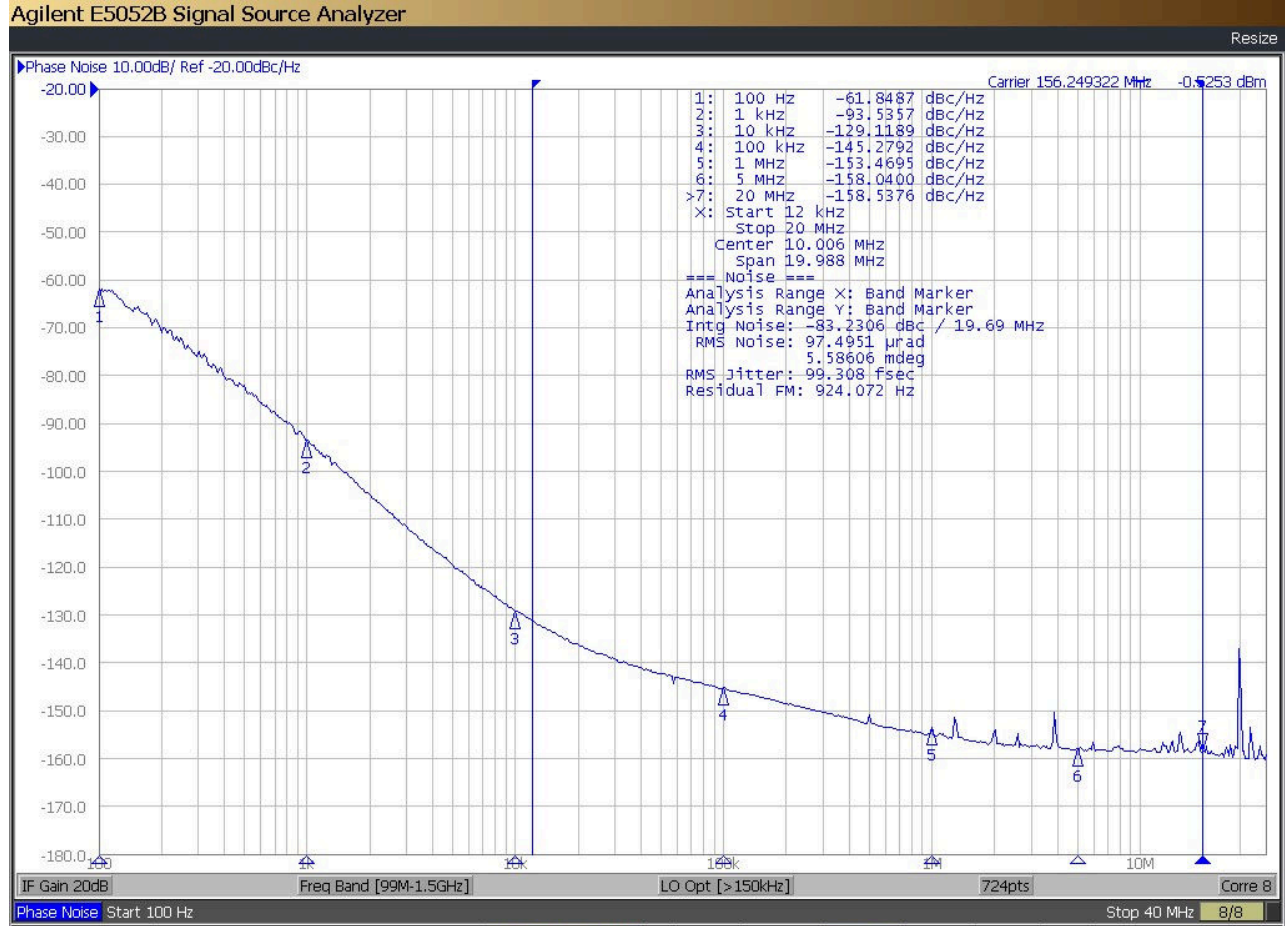
OUT0: 100 MHz LP-HCSL  
 OUT1: 100 MHz LP-HCSL  
 Temperature: 25 °C  
 12k – 20M RMS Jitter: 125 fs

図 9-3. PCIe アプリケーション向け 100MHz LP-HCSL 出力、OUT0 で測定



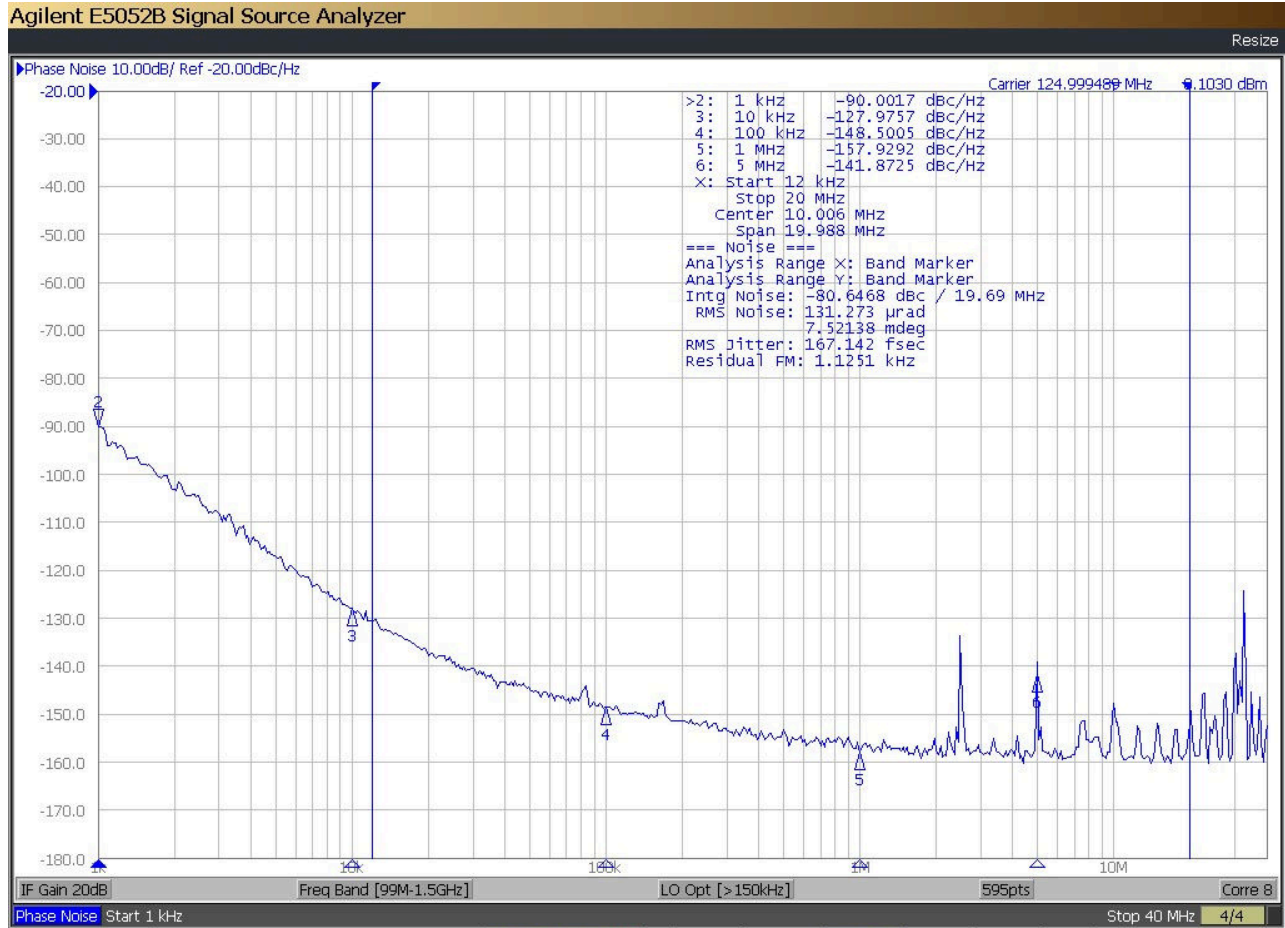
OUT0: 125 MHz LP-HCSL  
 OUT1: 125 MHz LP-HCSL  
 Temperature: 25 °C  
 12k – 20M RMS Jitter: 107 fs

図 9-4. 125MHz LP-HCSL 出力、OUT0 で測定



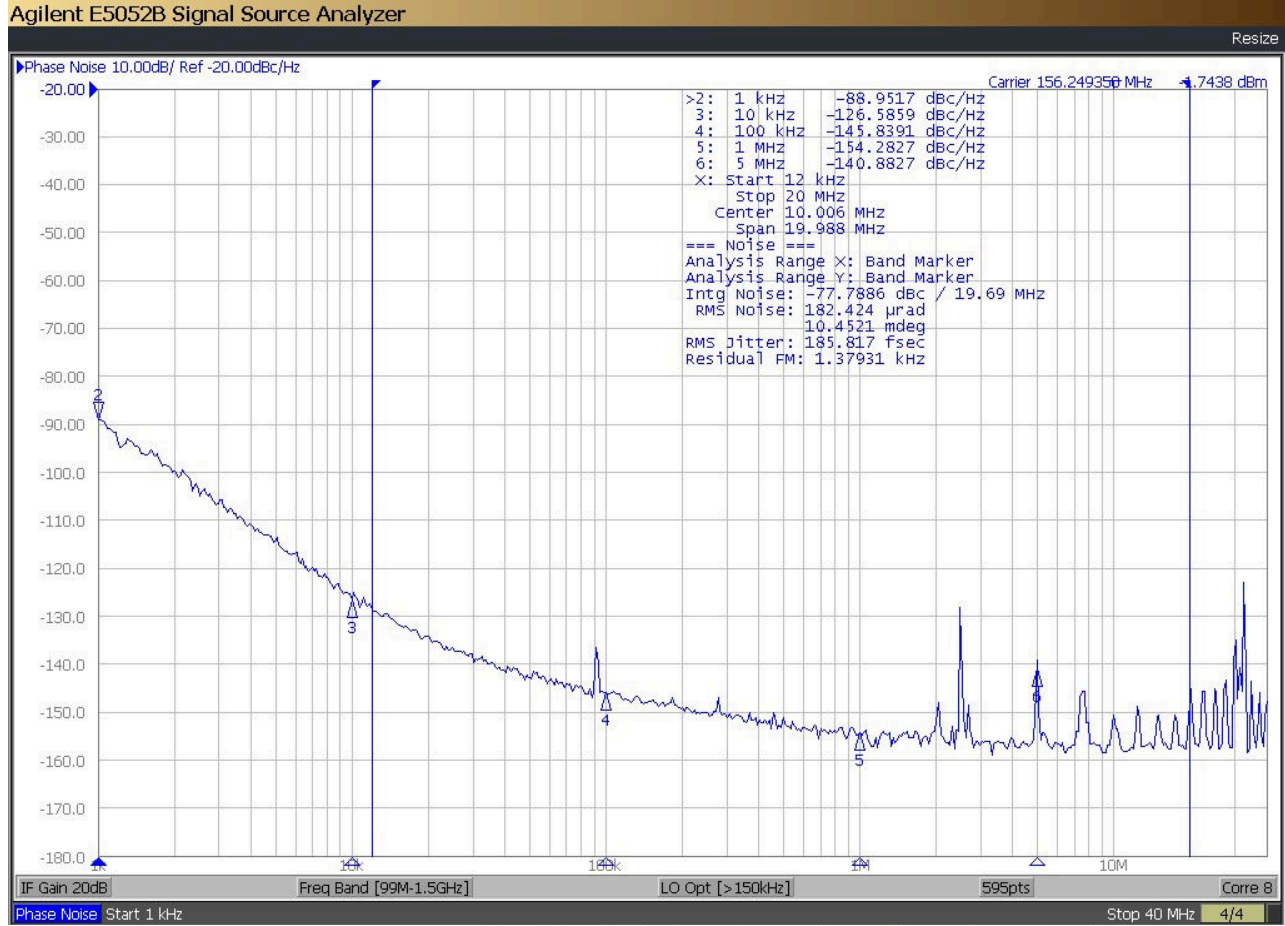
OUT0: 156.25 MHz LP-HCSL  
 OUT1: 156.25 MHz LP-HCSL  
 Temperature: 25 °C  
 12k – 20M RMS Jitter: 99 fs

**図 9-5. 156.25MHz LP-HCSL 出力、OUT0 で測定**



OUT0: 125 MHz LP-HCSL  
OUT1: 156.25 MHz LP-HCSL  
Temperature: 25 °C  
12k – 20M RMS Jitter: 167 fs

図 9-6. OUT0 に 125MHz LP-HCSL、OUT1 に 156.25MHz LP-HCSL



OUT0: 125 MHz LP-HCSL  
 OUT1: 156.25 MHz LP-HCSL  
 Temperature: 25 °C  
 12k – 20M RMS Jitter: 186 fs

 9-7. OUT1 に 156.25MHz LP-HCSL、OUT0 に 125MHz LP-HCSL

PPM over Aging, 1.8V Supply

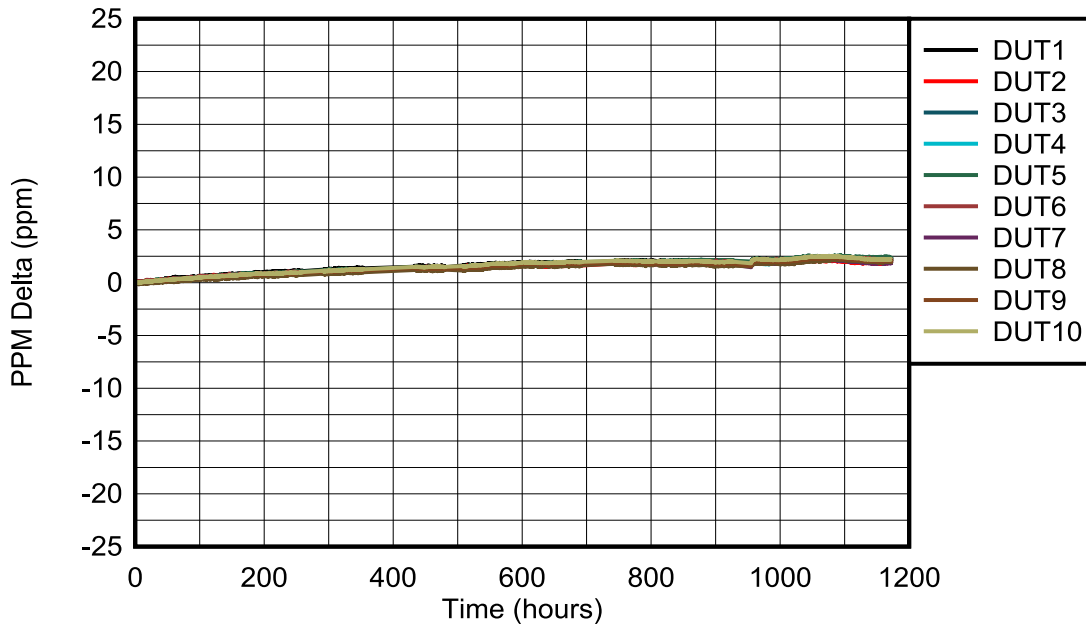


図 9-8. 時間経過に伴う周波数安定性 - 1.8V 電源電圧

PPM over Aging, 3.3V Supply

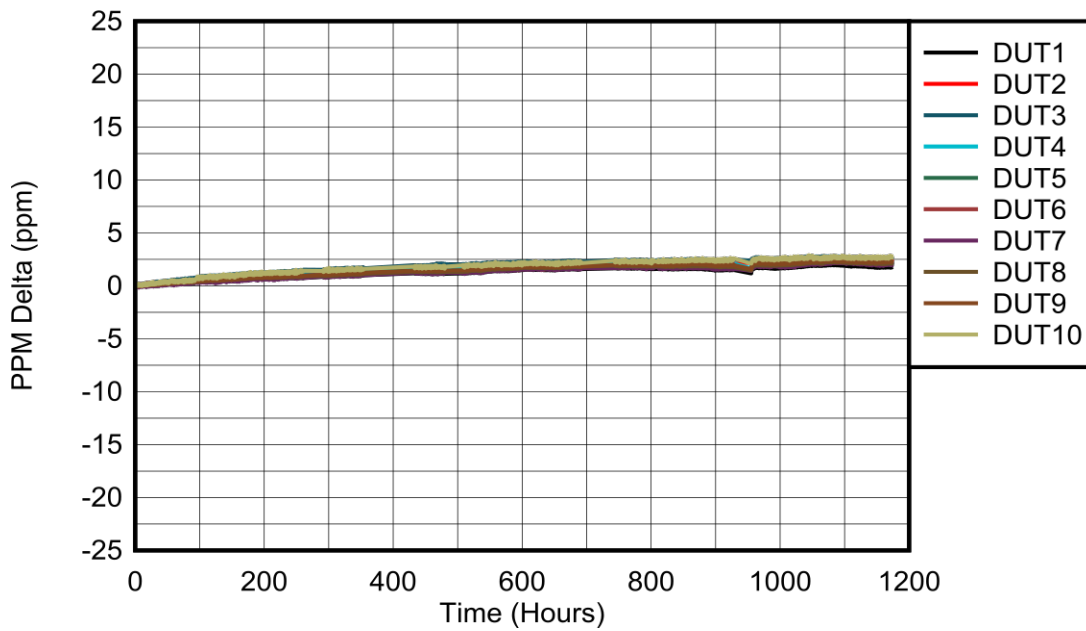


図 9-9. 時間経過に伴う周波数安定性 - 3.3V 電源電圧

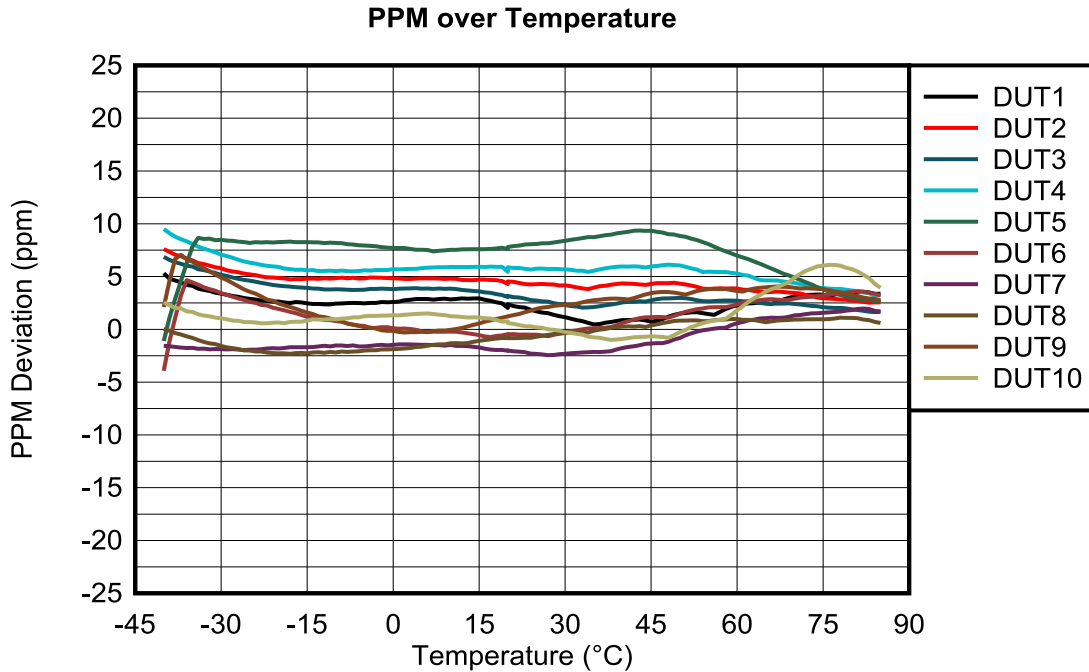


図 9-10. 温度に対する周波数安定性

## 9.3 電源に関する推奨事項

### 9.3.1 パワーアップシーケンシング

LMK3H0102 は、複数の電源ピンを備えています。各電源は、1.8V、2.5V、または 3.3V をサポートしています。内蔵の低ドロップアウトレギュレータ (LDO) は、内部ブロックのソースとなり、各ピンに個別の電源電圧を供給できます。VDD ピンは、制御ピン、シリアル インターフェイス、REF\_CTRL ピンに電源を供給します。したがって、プルアップ抵抗は VDD と同じドメインに接続する必要があります。

出力が使用されていない場合、対応する VDDO\_x レールを VDD レールに接続します。VDD レールと VDDO\_x レールの電圧が同じである場合、テキサス・インスツルメンツではこれらを直接接続することを推奨しています。VDD レールと VDDO\_x レールの電圧が異なる場合、VDD が最初に上昇し、VDDO\_x はそれから 5ms 以内に上昇する必要があります。

2.5V または 1.8V の VDD を使用する場合、VDDO\_x は VDD と一致する必要があります。3.3V VDD を使用する場合、LP-HCSL 出力には 1.8V、2.5V、3.3V の VDDO\_x が使用できます。LVDS 出力の場合、VDD と VDDO\_x の間に不一致があると、同相電圧が、電気的特性の表に規定されている値よりも低くなる可能性があります。LVCMOS 出力の場合、VDD とは異なる VDDO\_x を使用することは推奨されていません。LVCMOS 出力で VDD と VDDO\_x の電圧が異なる場合、ドライバの出力インピーダンスは 17Ω よりも大きくなる可能性があります。シングルエンド LVCMOS および差動 LVCMOS の場合、33Ω 直列抵抗の代わりに 20Ω または 25Ω の直列抵抗を使用して、50Ω のインピーダンス一致を維持します。VDDO\_x が VDD と一致しない場合は、位相内 LVCMOS を使用しないでください。

### 9.3.2 電源入力のデカップリング

VDD ピンと VDDO ピンをグラウンドに接続しないでください。VDD 電源と VDDO 電源の分離には、個別のフェライトビーズを使用してください。OUT0 と OUT1 の周波数が異なる場合は、VDDO 電源ごとに個別のフェライトビーズを使用する必要があります。各電源電圧ピンについては、0.1μF または 1μF のコンデンサをピンのすぐ近くに配置する必要があります。

## 9.4 レイアウト

### 9.4.1 レイアウトのガイドライン

この例では、以下のガイドラインに従ってください。

- GND シールドを使用して、出力を分離します。すべての出力を差動ペアとして配線します。
- 複数の周波数を生成するときは、出力を隣接出力と分離します。
- 可能な場合は、ファンインおよびファンアウト領域でインピーダンスのジャンプを回避するようにします。
- 5 つのビアを使用して、サーマル パッドをソリッドな GND プレーンに接続します。フルスルー ビアが推奨されます。
- 電源ピンに非常に近い場所に、容量値の小さいデカップリング コンデンサを配置します。デカップリング コンデンサは、同じ層またはデバイスの直下の最下層に配置します。値がより大きい場合は、さらに遠くに配置できます。異なる出力電源と VDD 電源の分離には、フェライト ビーズが推奨されます。
- 複数のビアを使用して、幅広の供給パターンをそれぞれの電源プレーンに接続します。

### 9.4.2 レイアウト例

以下は、熱設計手法のアプリケーションと、デバイスの DAP と PCB 間の低インダクタンスのグラウンド接続を示すプリント基板 (PCB) レイアウトの例です。

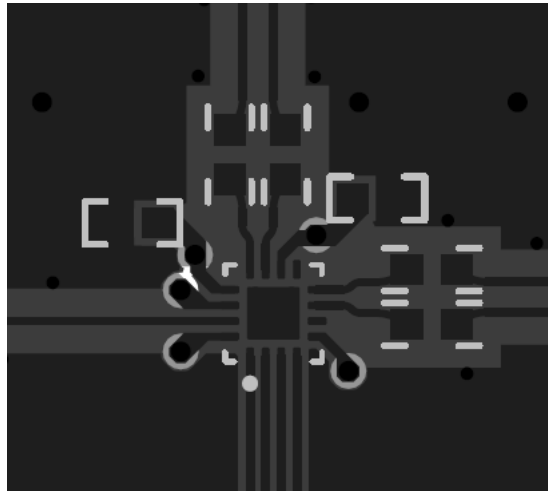


図 9-11. LMK3H0102 の PCB レイアウト例、最上層

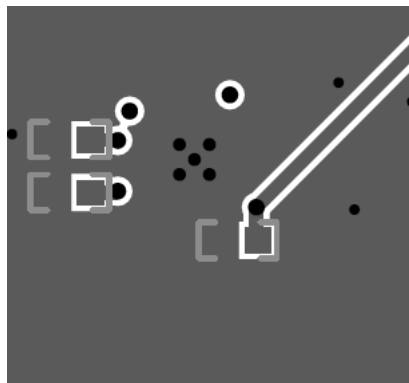


図 9-12. LMK3H0102 の PCB レイアウト例、最下層

## 10 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介합니다。

### 10.1 ドキュメントのサポート

#### 10.1.1 関連資料

この評価基板の関連資料については、『[LMK3H0102EVM ユーザー ガイド](#)』を参照してください。

LMK3H0102Axxx デバイス構成の詳細に関するドキュメントについては、『[LMK3H0102 構成ガイド](#)』を参照してください。

### 10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 10.3 サポート・リソース

テキサス・インスツルメンツ [E2E™ サポート・フォーラム](#) は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

### 10.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.  
すべての商標は、それぞれの所有者に帰属します。

### 10.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 10.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

## 11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision D (March 2025) to Revision E (October 2025)	Page
分割電圧電源に関して、 <a href="#">ピン構成および機能</a> の VDDO_x ピンの説明を更新.....	4
LVC MOS 出力の供給電流負荷条件を明確にするため、表に注記を追加しました。.....	6
<a href="#">アプリケーション曲線</a> に PPM データを追加.....	49
分割電源電圧に関して <a href="#">パワーアップ シーケンシング</a> を更新.....	55

<b>Changes from Revision C (October 2024) to Revision D (March 2025)</b>	<b>Page</b>
• PCIe Gen 7 を追加.....	1
• PCIe Gen 6 から PCIe Gen 7 に更新.....	1
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• 『LMK3H0102 構成ガイド』への参照を追加.....	1
• ドキュメント全体で、PCIe 準拠を Gen 7 に更新.....	1
• 次の仕様にマージンを追加しました。LP-HCSL High レベル (2.5V/3.3V) は $\pm 5\% \sim \pm 10\%$ 、LP-HCSL デューティサイクルは 100MHz で 49.9%~50.3%、 $f \leq 325\text{MHz}$ で 48.8%~50.8%、 $325\text{MHz} < f \leq 400\text{MHz}$ で 48.6%~51.8%、すべてのケースで 47%~53%、LVDS デューティサイクルで: 49%~51.1% から 47%~53% に変更、LVDS の 20%~80% 差動立ち上がり/立ち下がり時間の最大値を 5% 増加、PSNR 最大制限値を 5% 増加。SSC なしのサイクル間の最大ジッタは、150ps から 20ps に低減されました。LVDS の立ち上がり/立ち下がり時間のため、PADCAP_x から OUTx_SLEW_RATE に更新しました。.....	6
• 正しいデバイス名を反映するように、PCIe テスト中の LP-HCSL 構成の画像を更新.....	15
• 『LMK3H0102 構成ガイド』への参照を追加、最新の規格に合わせて単位を更新、PCIe Gen 7 のサポートを追加しました。.....	17
• OTP モードでの OTP ページの切り替え動作を明確化.....	18
• テキサス・インスツルメンツからの OTP 構成の要件についての説明を追加.....	21
• プログラミングシーケンスの画像を更新し、OTP_AUTOLOAD_DIS = 0 に代えて OTP_AUTOLOAD_DIS = 1 を反映しました。.....	22
• ADC_CLK_N_DIV の説明について、0x9B から 0x99 に記載を訂正しました。.....	35
• OUT0_SLEW_RATE のデフォルト値を 0x3 から 0x0 に更新。R6 のリセット値を 0x2AA0 から 0x0AA0 に更新... ..	37
• REF_CTRL_PIN_FUNC のデフォルト値を 0x1 から 0x3 に更新。OUT0_EN のデフォルト値を 0x0 から 0x1 に更新。OUT1_EN のデフォルト値を 0x0 から 0x1 に更新。.....	38
• OUT1_LPHSCL_AMP_SEL のデフォルト値を 0x3 から 0x6 に更新。OUT_FMT_SRC_SEL の説明から余分なピリオドを削除しました。V18 構成で、OTP_ID は 1 である旨の注記を追加しました。.....	39
• R12 のデフォルト値を 0x6800 から 0xE800 に更新。I2C_ADDR_LSB_SEL のデフォルト値を 0x0 から 0x1 に更新。.....	42
• ピン名に合わせるため、REF_CLK のインスタンスを REF_CTRL に更新、.....	45
• 図に合わせ、REF_CLK の周波数を 33MHz から 25MHz に変更.....	45
• CHO_FOD_SEL のインスタンスを CHO_FOD_SEL に更新しました。計算例について、REF_CLK を 33MHz から 25MHz に更新しました。.....	46
• 「より速く」を「さらに速く」に変更.....	56
• 『LMK3H0102 構成ガイド』への参照を追加.....	57

<b>Changes from Revision B (June 2024) to Revision C (October 2024)</b>	<b>Page</b>
• データシート ステータスを「事前情報」から「量産データ」に変更.....	1
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新。.....	1

<b>Changes from Revision A (December 2023) to Revision B (June 2024)</b>	<b>Page</b>
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新。.....	1

<b>Changes from Revision * (November 2023) to Revision A (December 2023)</b>	<b>Page</b>
• 事前構成済み SSC オプションを明確化、機能安全のリンクを修正.....	1
• ピンの動作を明確化.....	1

- ドキュメント全体にわたって表、図、相互参照の採番方法を更新。..... 1
- 

## 12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

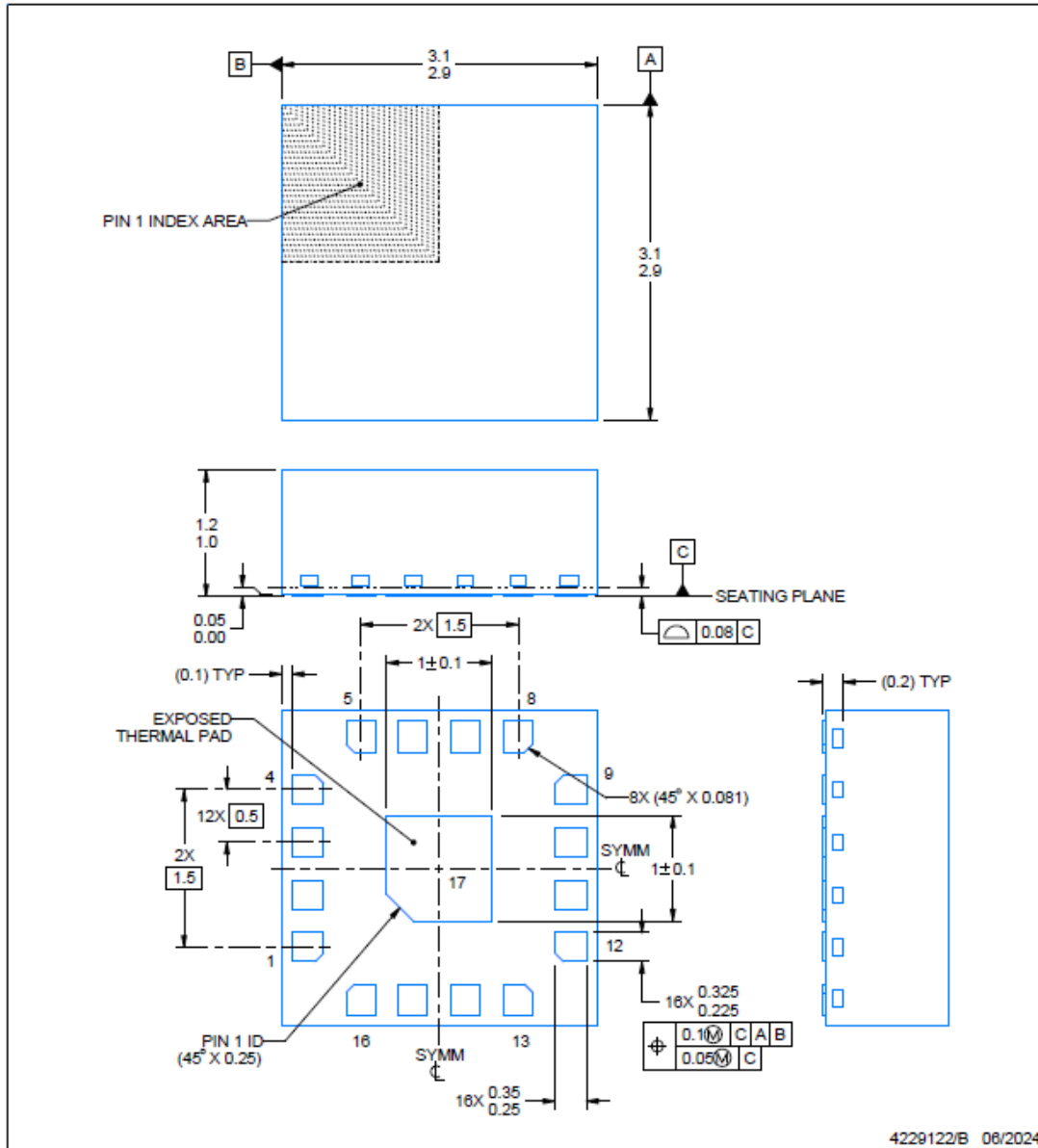


**RER0016A**

**PACKAGE OUTLINE**

**TQFN - 1.2 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



**NOTES:**

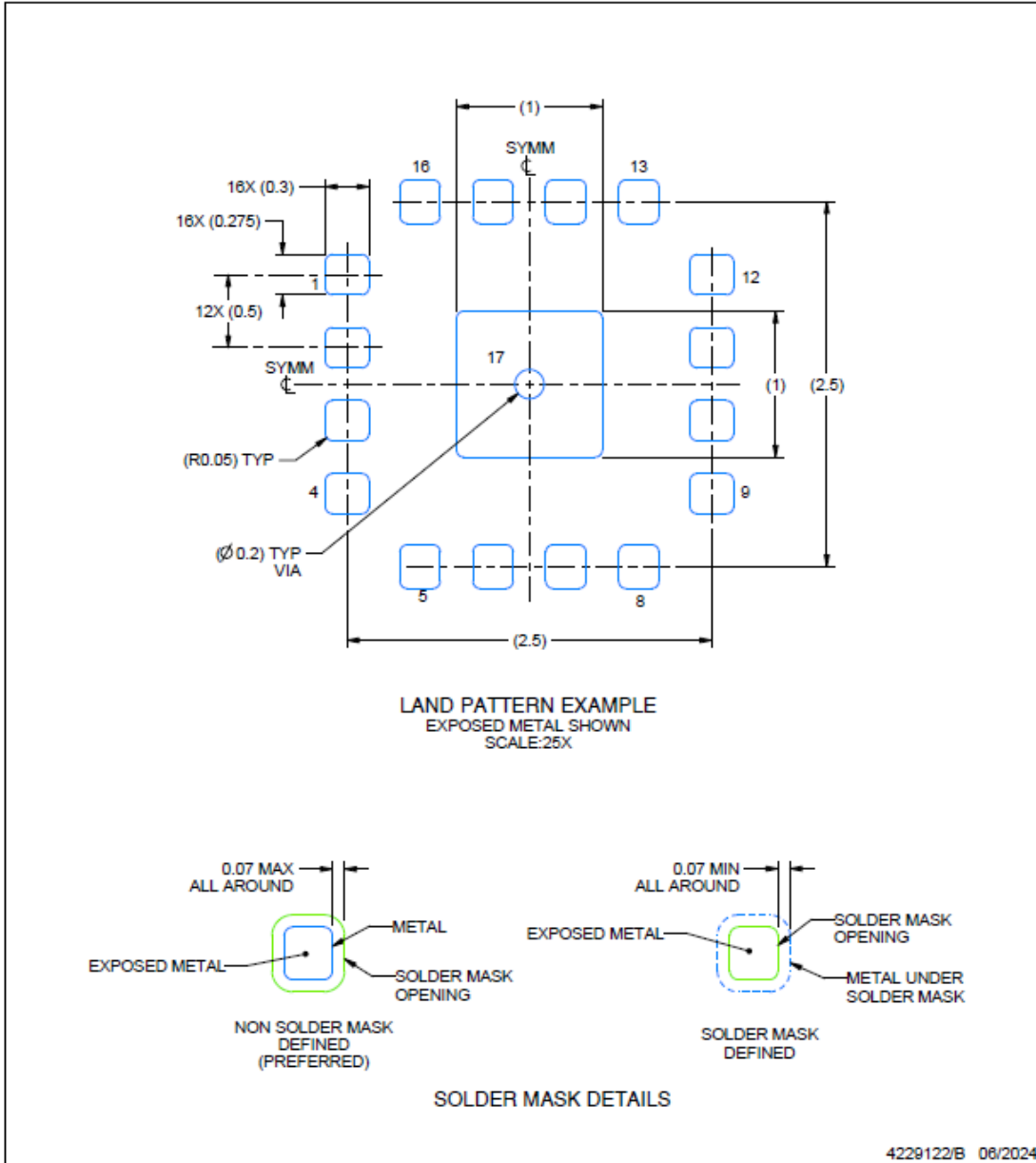
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.

## EXAMPLE BOARD LAYOUT

**RER0016A**

**TQFN - 1.2 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

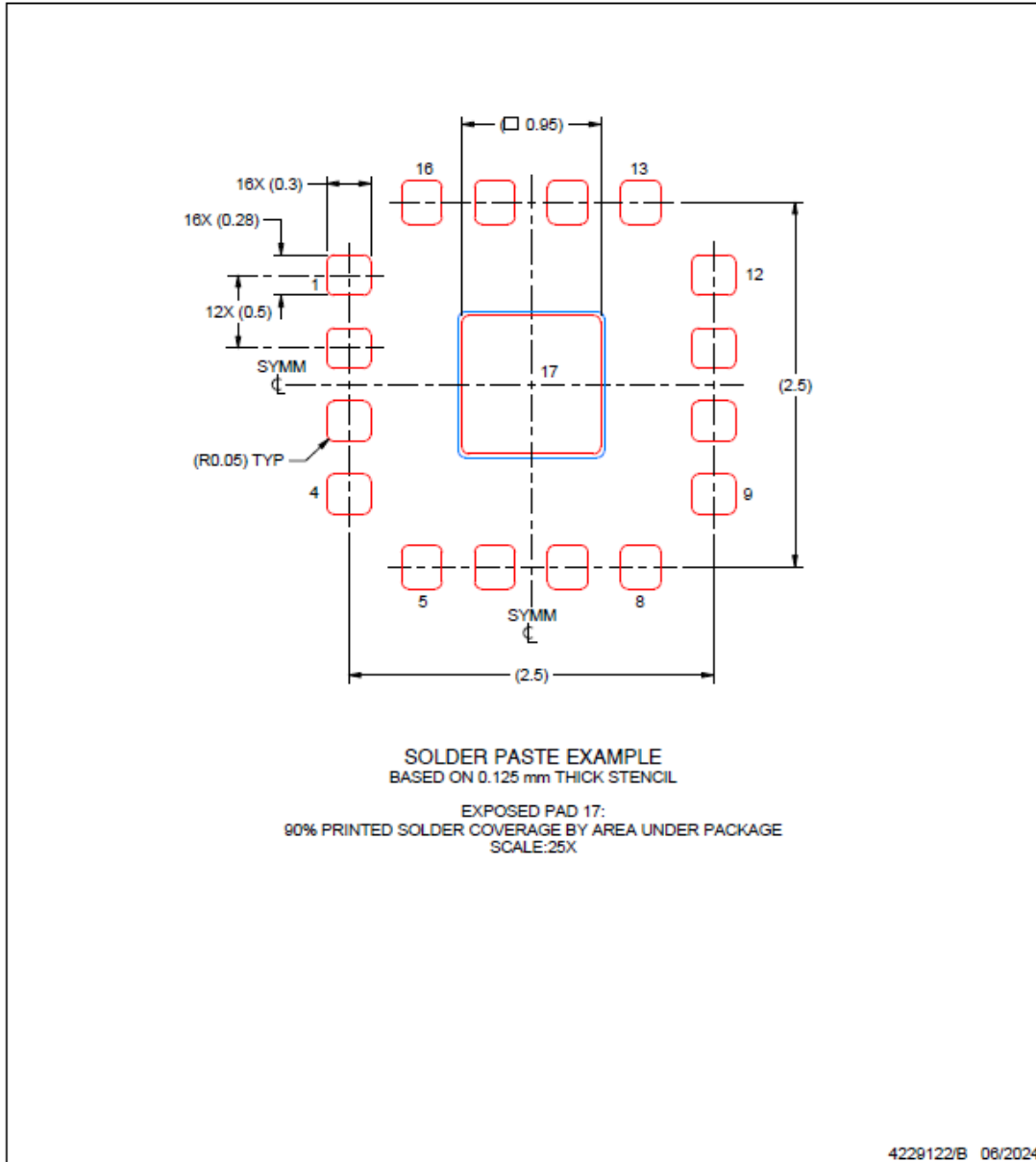
- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/sluea271](http://www.ti.com/lit/sluea271)).
- Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

**EXAMPLE STENCIL DESIGN**

**RER0016A**

**TQFN - 1.2 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

- 6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

**PACKAGING INFORMATION**

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
<a href="#">LMK3H0102A001RERR</a>	Active	Production	TQFN (RER)   16	3000   LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 85	3HA001
LMK3H0102A001RERR.A	Active	Production	TQFN (RER)   16	3000   LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 85	3HA001
<a href="#">LMK3H0102A002RERR</a>	Active	Production	TQFN (RER)   16	3000   LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 85	3HA002
<a href="#">LMK3H0102A006RERR</a>	Active	Production	TQFN (RER)   16	3000   LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 85	3HA006
LMK3H0102A006RERR.A	Active	Production	TQFN (RER)   16	3000   LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 85	3HA006
<a href="#">LMK3H0102A014RERR</a>	Active	Production	TQFN (RER)   16	3000   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	3HA014
LMK3H0102A014RERR.A	Active	Production	TQFN (RER)   16	3000   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	3HA014
<a href="#">LMK3H0102A015RERR</a>	Active	Production	TQFN (RER)   16	3000   LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 85	3HA015
LMK3H0102A015RERR.A	Active	Production	TQFN (RER)   16	3000   LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 85	3HA015
<a href="#">LMK3H0102A016RERR</a>	Active	Production	TQFN (RER)   16	3000   LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 85	3HA016
<a href="#">LMK3H0102A018RERR</a>	Active	Production	TQFN (RER)   16	3000   LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 85	3HA018
<a href="#">LMK3H0102A01DRERR</a>	Active	Production	TQFN (RER)   16	3000   LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 85	3HA01D
<a href="#">LMK3H0102A01ERERR</a>	Active	Production	TQFN (RER)   16	3000   LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 85	3HA01E
<a href="#">LMK3H0102A022RERR</a>	Active	Production	TQFN (RER)   16	3000   LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 85	3HA022
<a href="#">LMK3H0102A023RERR</a>	Active	Production	TQFN (RER)   16	3000   LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 85	3HA023
<a href="#">LMK3H0102V18RERR</a>	Active	Production	TQFN (RER)   16	3000   LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 85	3HV18
LMK3H0102V18RERR.A	Active	Production	TQFN (RER)   16	3000   LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 85	3HV18
<a href="#">LMK3H0102V33RERR</a>	Active	Production	TQFN (RER)   16	3000   LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 85	3HV33
LMK3H0102V33RERR.A	Active	Production	TQFN (RER)   16	3000   LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 85	3HV33

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

<sup>(5)</sup> **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

<sup>(6)</sup> **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

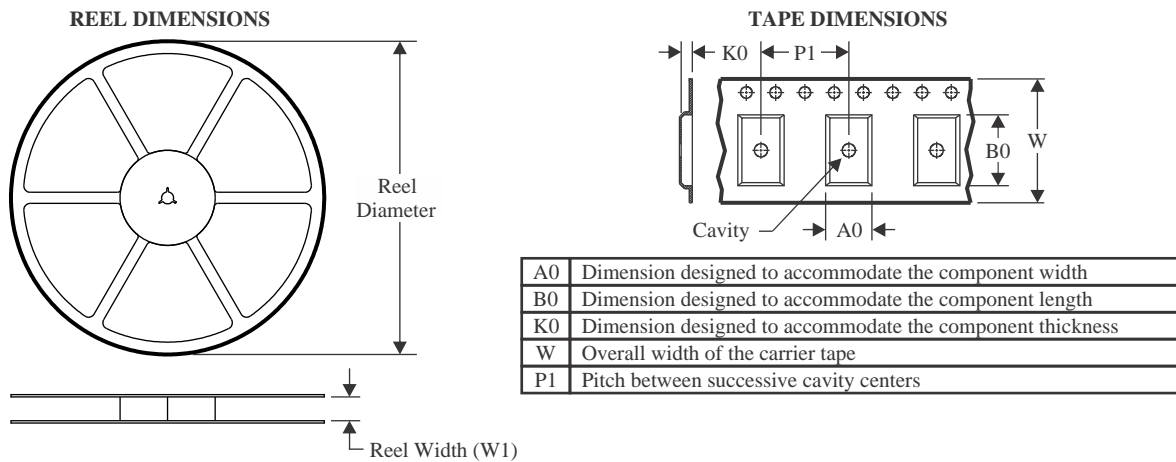
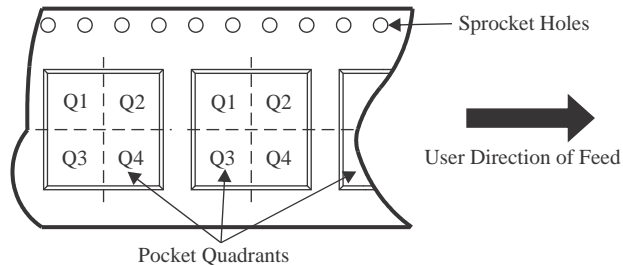
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

**OTHER QUALIFIED VERSIONS OF LMK3H0102 :**

- Automotive : [LMK3H0102-Q1](#)

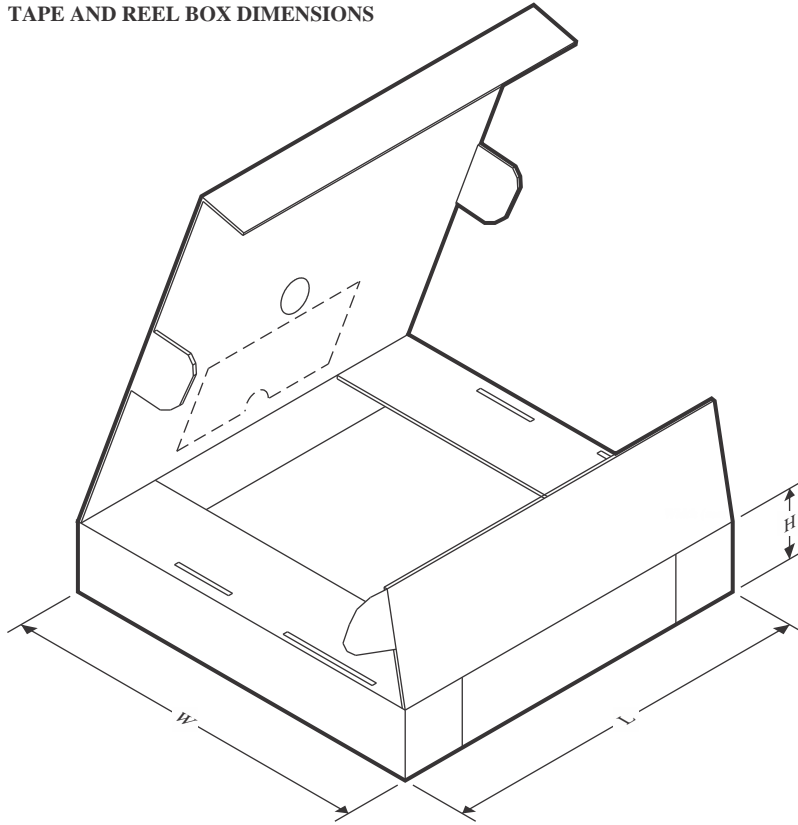
NOTE: Qualified Version Definitions:

- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

**TAPE AND REEL INFORMATION**

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMK3H0102A001RERR	TQFN	RER	16	3000	330.0	12.4	3.3	3.3	1.35	8.0	12.0	Q1
LMK3H0102A002RERR	TQFN	RER	16	3000	330.0	12.4	3.3	3.3	1.35	8.0	12.0	Q1
LMK3H0102A006RERR	TQFN	RER	16	3000	330.0	12.4	3.3	3.3	1.35	8.0	12.0	Q1
LMK3H0102A014RERR	TQFN	RER	16	3000	330.0	12.4	3.3	3.3	1.35	8.0	12.0	Q1
LMK3H0102A015RERR	TQFN	RER	16	3000	330.0	12.4	3.3	3.3	1.35	8.0	12.0	Q1
LMK3H0102A016RERR	TQFN	RER	16	3000	330.0	12.4	3.3	3.3	1.35	8.0	12.0	Q1
LMK3H0102A018RERR	TQFN	RER	16	3000	330.0	12.4	3.3	3.3	1.35	8.0	12.0	Q1
LMK3H0102A01DRERR	TQFN	RER	16	3000	330.0	12.4	3.3	3.3	1.35	8.0	12.0	Q1
LMK3H0102A01ERERR	TQFN	RER	16	3000	330.0	12.4	3.3	3.3	1.35	8.0	12.0	Q1
LMK3H0102A022RERR	TQFN	RER	16	3000	330.0	12.4	3.3	3.3	1.35	8.0	12.0	Q1
LMK3H0102A023RERR	TQFN	RER	16	3000	330.0	12.4	3.3	3.3	1.35	8.0	12.0	Q1
LMK3H0102V18RERR	TQFN	RER	16	3000	330.0	12.4	3.3	3.3	1.35	8.0	12.0	Q1
LMK3H0102V33RERR	TQFN	RER	16	3000	330.0	12.4	3.3	3.3	1.35	8.0	12.0	Q1

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMK3H0102A001RERR	TQFN	RER	16	3000	346.0	346.0	33.0
LMK3H0102A002RERR	TQFN	RER	16	3000	346.0	346.0	33.0
LMK3H0102A006RERR	TQFN	RER	16	3000	346.0	346.0	33.0
LMK3H0102A014RERR	TQFN	RER	16	3000	346.0	346.0	33.0
LMK3H0102A015RERR	TQFN	RER	16	3000	346.0	346.0	33.0
LMK3H0102A016RERR	TQFN	RER	16	3000	346.0	346.0	33.0
LMK3H0102A018RERR	TQFN	RER	16	3000	346.0	346.0	33.0
LMK3H0102A01DRERR	TQFN	RER	16	3000	346.0	346.0	33.0
LMK3H0102A01ERERR	TQFN	RER	16	3000	346.0	346.0	33.0
LMK3H0102A022RERR	TQFN	RER	16	3000	346.0	346.0	33.0
LMK3H0102A023RERR	TQFN	RER	16	3000	346.0	346.0	33.0
LMK3H0102V18RERR	TQFN	RER	16	3000	346.0	346.0	33.0
LMK3H0102V33RERR	TQFN	RER	16	3000	346.0	346.0	33.0

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月