

# LMK5B12212 BAW VCO 搭載 イーサネット ベースのネットワーク アプリケーション用、1 DPLL、2 APLL、2 入力、12 出力、ネットワーク シンクロナイザ

## 1 特長

- 超低ジッタ BAW VCO ベースのイーサネット クロック
  - 4MHz 1 次ハイパス フィルタ (HPF) を使用した 625MHz で 13fs の RMS ジッタ (標準値)
  - 4MHz 1 次 HPF を使用した 312.5MHz で 24fs の RMS ジッタ (標準値)
  - 312.5MHz での RMS ジッタ 42fs (標準値) / 60fs (最大値)
  - 156.25MHz での RMS ジッタ 47fs (標準値) / 65fs (最大値)
- 2 つのアナログ位相ロック ループ (APLL) による 1 つの高性能デジタル位相ロック ループ (DPLL)
  - 1mHz~4kHz にプログラム可能な DPLL ループ フィルタの帯域幅
  - 1ppt 未満の DCO 周波数調整ステップ サイズ
- 2 差動またはシングルエンド DPLL 入力
  - 入力周波数: 1Hz (1PPS) ~ 800MHz
  - デジタル ホールドオーバー および ヒットレス スイッチング
- プログラム可能な HSDS、AC-LVPECL、LVDS、HSCL 形式による、12 の差動出力
  - 最大 16 つの合計周波数出力 (OUT0\_P/N、OUT1\_P/N、GPIO1、GPIO2 の 6 つの LVCMOS 周波数出力と、OUT2\_P/N から OUT11\_P/N までの 10 つの差動出力で構成した場合)
  - プログラム可能なシングおよび同相モードによる 1Hz (1PPS)~1250MHz の出力周波数
  - PCIe Gen 1~6 準拠
- I<sup>2</sup>C または 3 線式 / 4 線式 SPI

## 2 アプリケーション

- 有線ネットワーク
  - データセンター間 / データセンター内相互接続
  - タイミング カード、ライン カード、固定カード (ピザボックス)
- SyncE (G.8262)、SONET/SDH (Stratum 3/3E、G.813、GR-1244、GR-253)、IEEE 1588 PTP セカンダリ クロック
- 112G/224G PAM-4 SerDes 用ジッタ クリーニング、ワンド減衰、基準クロック生成
- 100G~800G データセンター スイッチ、コア ルータ、エッジ ルータ、WLAN
- データ センターおよびエンタープライズ コンピューティング
  - スマート ネットワーク インターフェイス カード (NIC)

- 光伝送ネットワーク (OTN G.709)
- ブロードバンド固定回線アクセス
- 産業用
  - 試験および測定機器
  - 医療用画像処理

## 3 説明

LMK5B12212 は、タイミング精度が 5ns 未満 (クラス D) のイーサネット ベースのネットワーク アプリケーションの厳しい要件を満たすように設計された、高性能ネットワーク シンクロナイザおよびジッタ クリーナです。

ネットワーク シンクロナイザは、ループ帯域幅 (LBW) がプログラム可能で外部ループ フィルタを使用しないヒットレス スイッチングとジッタ減衰を実現するために、DPLL を内蔵しており、最大限の柔軟性と使いやすさを備えています。DPLL は、提供されたリファレンス入力に対して内蔵 APLL の位相をロックします。

APLL1 は、TI 独自のバルク音響波 (BAW) 技術を用いた超高性能 PLL (BAW APLL) を搭載しており、DPLL のリファレンス入力周波数やジッタ特性に関係なく、42fs (代表値)/60fs (最大値) の RMS ジッタで 312.5MHz の出力クロックを生成できます。APLL2 には、2 番目の周波数および/または同期ドメインのオプションがあります。

リファレンス検証回路は、DPLL 基準クロックを監視し、スイッチオーバー イベントを検出すると入力間でヒットレス スイッチングを実行します。ゼロ遅延モード (ZDM) と位相キャンセルを有効にすることで、入力と出力の位相関係を制御できます。

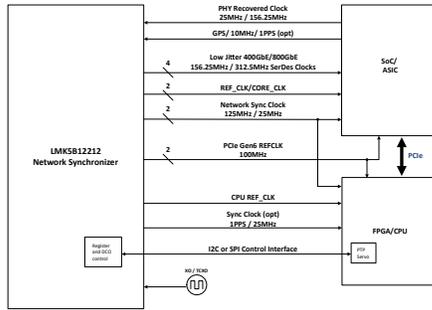
本デバイスは、I<sup>2</sup>C または SPI インターフェイスを介して完全にプログラム可能です。内蔵 EEPROM を使用して、システムの起動クロックをカスタマイズできます。また、このデバイスには出荷時デフォルトの ROM プロファイルもフォールバック オプションとして用意されています。

### パッケージ情報

部品番号	パッケージ <sup>(1)</sup>	パッケージ サイズ <sup>(2)</sup>
LMK5B12212	VQFN (64)	9.00mm × 9.00mm

- 供給されているすべてのパッケージについては、[セクション 12](#) を参照してください。
- パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンを含みます。





LMK5B12212 代表的なシステム ブロック図

## 目次

<b>1 特長</b> .....	1	<b>8.2 機能ブロック図</b> .....	29
<b>2 アプリケーション</b> .....	1	<b>8.3 機能説明</b> .....	33
<b>3 説明</b> .....	1	<b>8.4 デバイスの機能モード</b> .....	63
<b>4 デバイスの比較</b> .....	4	<b>9 アプリケーションと実装</b> .....	80
<b>5 ピン構成および機能</b> .....	5	<b>9.1 アプリケーション情報</b> .....	80
<b>6 仕様</b> .....	8	<b>9.2 代表的なアプリケーション</b> .....	84
6.1 絶対最大定格.....	8	<b>9.3 設計のベスト プラクティス</b> .....	89
6.2 ESD 定格.....	8	<b>9.4 電源に関する推奨事項</b> .....	89
6.3 推奨動作条件.....	8	<b>9.5 レイアウト</b> .....	90
6.4 熱に関する情報.....	9	<b>10 デバイスおよびドキュメントのサポート</b> .....	93
6.5 電气的特性.....	9	<b>10.1 ドキュメントのサポート</b> .....	93
6.6 タイミング図.....	19	<b>10.2 ドキュメントの更新通知を受け取る方法</b> .....	93
6.7 代表的特性.....	22	<b>10.3 サポート・リソース</b> .....	94
<b>7 パラメータ測定情報</b> .....	25	<b>10.4 商標</b> .....	94
7.1 差動電圧測定に関する用語.....	25	<b>10.5 用語集</b> .....	94
7.2 出力クロックのテスト構成.....	26	<b>10.6 静電気放電に関する注意事項</b> .....	94
<b>8 詳細説明</b> .....	28	<b>11 改訂履歴</b> .....	94
8.1 概要.....	28	<b>12 メカニカル、パッケージ、および注文情報</b> .....	94

## 4 デバイスの比較

表 4-1. デバイス比較表

新しい部品番号	IN	OUT	DPLL	APLL	VCBO 周波数 [MHz]
LMK5C33216A	2	16	3	3	2457.6
LMK5C33414A	4	14	3	3	2457.6
LMK5C22212A	2	12	2	2	2457.6
LMK5B33216	2	16	3	3	2500
LMK5B33414	4	14	3	3	2500
LMK5B12212	2	12	1	2	2500

## 5 ピン構成および機能

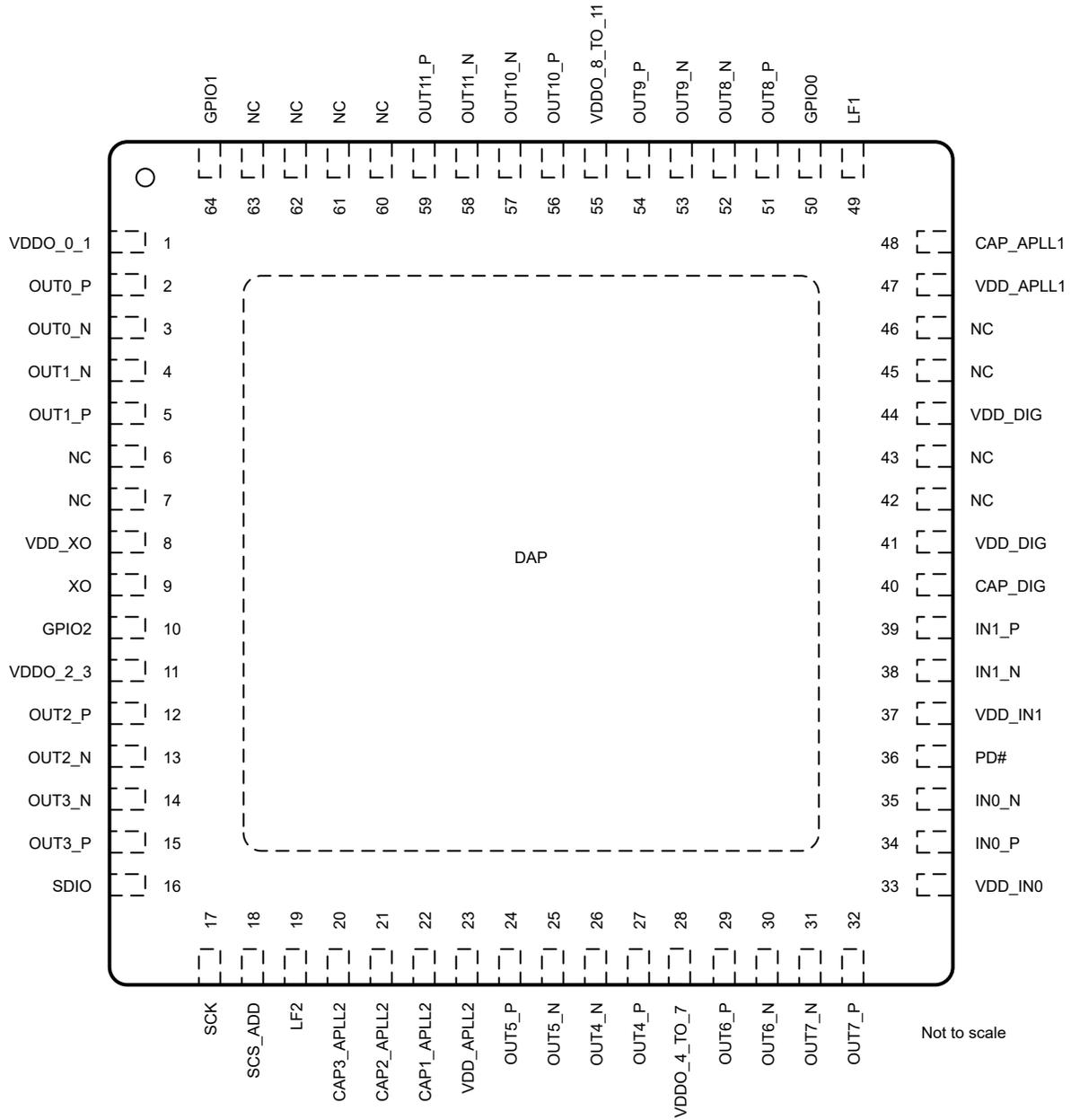


図 5-1. LMK5B12212 RGC パッケージ、64 ピン VQFN 上面図

表 5-1. LMK5B12212 ピンの機能

ピン		タイプ <sup>(1)</sup>	説明
名称	番号		
<b>電源</b>			
VDDO_0_1	1	P	OUT0 および OUT1 の電源。電源に接続します。フローティングのままにしたり、GND に接続したりしないでください。
VDD_XO	8	P	XO の電源。電源に接続します。フローティングのままにしたり、GND に接続したりしないでください。
VDDO_2_3	11	P	OUT2 および OUT3 の電源。電源に接続します。フローティングのままにしたり、GND に接続したりしないでください。

表 5-1. LMK5B12212 ピンの機能 (続き)

ピン		タイプ <sup>(1)</sup>	説明
名称	番号		
VDD_APLL2	23	P	APLL2 の電源
VDDO_4_To_7	28	P	OUT4 から OUT7 までの電源
VDD_IN0	33	P	IN0 DPPLL リファレンスの電源
VDD_IN1	37	P	IN1 DPPLL リファレンスの電源
VDD_DIG	41	P	デジタルの電源
VDD_DIG	44	p	デジタルの電源。通常はピン 41 に接続されます。
VDD_APLL1	47	P	APLL1 の電源。電源に接続します。フローティングのままにしたり、GND に接続したりしないでください。
VDDO_8_TO_11	55	P	OUT8 から OUT11 までの電源。
DAP	該当なし	G	グラウンド
LF2	19	A	APLL2 (100nF) 用の外部ループ フィルタ用コンデンサは、詳細については <a href="#">APLL のループ フィルタ (LF1、LF2)</a> を参照してください。
CAP3_APLL2	20	A	APLL2 VCO に対する内部バイアス用のバイパス コンデンサ (10μF)
CAP2_APLL2	21	A	APLL2 VCO に対する内部バイアス用のバイパス コンデンサ (10μF)
CAP1_APLL2	22	A	APLL2 VCO 用 LDO バイパス コンデンサ (10μF)
CAP_DIG	40	A	デジタル コア ロジック用 LDO バイパス コンデンサ (100nF)
CAP_APLL1	48	A	APLL1 用の内部バイアス バイパス コンデンサ (10μF)
LF1	49	A	APLL1 (470nF) 用の外部ループ フィルタ用コンデンサは、詳細については <a href="#">APLL のループ フィルタ (LF1、LF2)</a> を参照してください。
XO	9	I	XO/TCXO/OCXO 入力ピン。内部 XO 入力終端の構成については <a href="#">発振器入力 (XO)</a> を参照してください。
IN0_P	34	I	DPPLLx へのリファレンス入力、または OUT0 または OUT1 にバッファされます。内部リファレンス入力終端の設定については、 <a href="#">リファレンス入力</a> を参照してください。
IN0_N	35	I	
IN1_P	39	I	DPPLLx へのリファレンス入力、または OUT0 または OUT1 にバッファされます。内部リファレンス入力終端の設定については、 <a href="#">リファレンス入力</a> を参照してください。
IN1_N	38	I	
OUT0_P	2	O	クロック出力 0。DPPLL リファレンス入力、XO、またはすべての VCO ポスト分周器からのソース。SYSREF/1-PPS 出力をサポート。プログラム可能な形式: AC-LVPECL、LVDS、HSDS、HCSL、1.8V LVCMOS、2.65V LVCMOS のいずれかです。出力の設定と終端の詳細については、 <a href="#">クロック出力</a> を参照してください。
OUT0_N	3	O	
OUT1_N	4	O	クロック出力 1。DPPLL リファレンス入力、XO、またはすべての VCO ポスト分周器からのソース。SYSREF/1-PPS 出力をサポート。プログラム可能な形式: AC-LVPECL、LVDS、HSDS、HCSL、1.8V LVCMOS、2.65V LVCMOS のいずれかです。出力の設定と終端の詳細については、 <a href="#">クロック出力</a> を参照してください。
OUT1_P	5	O	
OUT2_P	12	O	クロック出力 2。APLL1 と APLL2 から生成されたソース。プログラム可能な形式: AC-LVPECL、LVDS、HSDS または HCSL。出力の設定と終端の詳細については、 <a href="#">クロック出力</a> を参照してください。
OUT2_N	13	O	
OUT3_N	14	O	クロック出力 3。APLL1 と APLL2 から生成されたソース。プログラム可能な形式: AC-LVPECL、LVDS、HSDS または HCSL。出力の設定と終端の詳細については、 <a href="#">クロック出力</a> を参照してください。
OUT3_P	15	O	
OUT4_P	26	O	クロック出力 4。APLL1 または APLL2 から生成されたソース。SYSREF/1-PPS 出力をサポート。プログラム可能な形式: AC-LVPECL、LVDS、HSDS または HCSL。出力の設定と終端の詳細については、 <a href="#">クロック出力</a> を参照してください。
OUT4_N	27	O	
OUT5_P	24	O	クロック出力 5。APLL1 または APLL2 から生成されたソース。SYSREF/1-PPS 出力をサポート。プログラム可能な形式: AC-LVPECL、LVDS、HSDS または HCSL。出力の設定と終端の詳細については、 <a href="#">クロック出力</a> を参照してください。
OUT5_N	25	O	
OUT6_P	29	O	クロック出力 6。APLL1 または APLL2 から生成されたソース。SYSREF/1-PPS 出力をサポート。プログラム可能な形式: AC-LVPECL、LVDS、HSDS または HCSL。出力の設定と終端の詳細については、 <a href="#">クロック出力</a> を参照してください。
OUT6_N	30	O	

表 5-1. LMK5B12212 ピンの機能 (続き)

ピン		タイプ <sup>(1)</sup>	説明
名称	番号		
OUT7_N	31	O	クロック出力 7。APLL1 または APLL2 から生成されたソース。SYSREF/1-PPS 出力をサポート。プログラム可能な形式:AC-LVPECL、LVDS、HSDS または HCSL。出力の設定と終端の詳細については、 <a href="#">クロック出力</a> を参照してください。
OUT7_P	32	O	
OUT8_P	51	O	クロック出力 8。APLL1 または APLL2 から生成されたソース。SYSREF/1-PPS 出力をサポート。プログラム可能な形式:AC-LVPECL、LVDS、HSDS または HCSL。出力の設定と終端の詳細については、 <a href="#">クロック出力</a> を参照してください。
OUT8_N	52	O	
OUT9_N	53	O	クロック出力 9。APLL1 または APLL2 から生成されたソース。SYSREF/1-PPS 出力をサポート。プログラム可能な形式:AC-LVPECL、LVDS、HSDS または HCSL。出力の設定と終端の詳細については、 <a href="#">クロック出力</a> を参照してください。
OUT9_P	54	O	
OUT10_P	56	O	クロック出力 10。APLL1 または APLL2 から生成されたソース。SYSREF/1-PPS 出力をサポート。プログラム可能な形式:AC-LVPECL、LVDS、HSDS または HCSL。出力の設定と終端の詳細については、 <a href="#">クロック出力</a> を参照してください。
OUT10_N	57	O	
OUT11_N	58	O	クロック出力 11。APLL1 または APLL2 から生成されたソース。SYSREF/1-PPS 出力をサポート。プログラム可能な形式:AC-LVPECL、LVDS、HSDS または HCSL。出力の設定と終端の詳細については、 <a href="#">クロック出力</a> を参照してください。
OUT11_P	59	O	
GPIO2 <sup>(2)</sup>	10	I/O, S	POR:ROM ページの選択 通常動作:を参照してください GPIO 入出力
SDIO <sup>(3)</sup>	16	I/O	SPI または I <sup>2</sup> C データ (SDA)
SCK <sup>(3)</sup>	17	I	SPI または I <sup>2</sup> C クロック (SCL)
SCS_ADD <sup>(2)</sup>	18	I, S	POR:I <sup>2</sup> C アドレス セレクト (GPIO1 および SCS_ADD 機能 および I <sup>2</sup> C シリアル インターフェイス) 通常動作:を参照してください SPI チップ セレクト (2 状態)
PD#	36	I	デバイスの電源オフ (アクティブ Low)、V <sub>CC</sub> への内部 200kΩ プルアップ
GPIO0 <sup>(2)</sup>	50	I/O, S	POR:ROM ページの選択 通常動作:を参照してください GPIO 入出力
GPIO1 <sup>(2)</sup>	64	I/O, S	POR:GPIO1 および SCS_ADD 機能 通常動作:を参照してください GPIO 入出力
NC	6	-	接続なし。フローティングのままにし、GND に接続しないでください。
NC	7	-	
NC	60	-	
NC	61	-	
NC	62	-	
NC	63	-	接続なし。フローティングのままにするか、GND に接続します。
NC	42	-	
NC	43	-	
NC	45	-	
NC	46	-	

- (1) P = 電源、G = グランド、I = 入力、O = 出力、I/O = 入力または出力、A = アナログ、S = 構成。  
(2) 電源ランプ中または PD GND# が Low の場合、3 レベルモードが有効の場合:555kΩ から V<sub>CC</sub> へ、201kΩ から GND への内部デバイダ。2 レベル入力モードが有効化されている場合:GND に内部 408kΩ プルダウン。  
(3) 内部 2.6V LDO への 670kΩ プルアップ。

## 6 仕様

### 6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) <sup>(1)</sup>

		最小値	最大値	単位
VDD <sup>(2)</sup>	コア電源電圧	-0.3	3.6	V
VDDO <sup>(3)</sup>	出力電源電圧	-0.3	3.6	V
V <sub>IN</sub>	クロックおよびロジック入力の入力電圧範囲	-0.3	VDD+0.3	V
V <sub>OUT_LOGIC</sub>	ロジック出力の出力電圧範囲	-0.3	VDD+0.3	V
V <sub>OUT</sub>	クロック出力の出力電圧範囲	-0.3	VDDO+0.3	V
T <sub>J</sub>	接合部温度		150	°C
T <sub>stg</sub>	保管温度範囲	-65	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) VDD はすべてのコア電源ピンまたは電圧を指します。PD# が High に引き上げられて内部パワーオンリセット (POR) がトリガされる前に、すべての VDD コア電源をオンにする必要があります。
- (3) VDDO はすべての出力電源ピンまたは電圧を指します。VDDO\_x は、特定の出力チャンネルの出力電源を表します。ここで、X はチャンネルインデックスを表します。

### 6.2 ESD 定格

			値	単位
V <sub>(ESD)</sub>	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン <sup>(1)</sup>	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠、すべてのピン <sup>(2)</sup>	±750	

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

### 6.3 推奨動作条件

自由空気での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
VDD <sup>(1)</sup>	コア電源電圧	3.135	3.3	3.465	V
VDDO_x <sup>(2)</sup>	出力電源電圧 <sup>(3)</sup>	3.135	3.3	3.465	V
VDD <sub>OD</sub>	オープンドレイン出力の出力電圧範囲	1.71		3.465	V
T <sub>A</sub>	動作時周囲温度範囲	-40		85	°C
T <sub>J</sub>	接合部温度			135	°C
T <sub>CONT-LOCK</sub>	全温度範囲に対して連続ロック - VCO の再キャリブレーションは不要			125	°C
t <sub>VDD</sub>	電源ランプ時間 <sup>(4)</sup>	0.01		100	ms

- (1) VDD はすべてのコア電源ピンまたは電圧を指します。内部パワーオンリセット (POR) の前に、すべての VDD コア電源をオンにする必要があります。
- (2) VDDO はすべての出力電源ピンまたは電圧を指します。VDDO\_x は、特定の出力チャンネルの出力電源を表します。ここで、X はチャンネルインデックスを表します。
- (3) CMOS 出力電圧レベルは、1.8V または 2.65V をサポートする CMOS 出力 LDO の内部プログラミングによって決定されます。
- (4) 内部パワーオンリセットが適切に行われるために、VDD が 2.7V を超えて単調に上昇するのにかかる時間。より遅い、または単調ではない VDD ランプの場合は、VDD 電圧が有効になるまで PD# を低く維持します。

## 6.4 熱に関する情報

熱評価基準 <sup>(1) (2) (3)</sup>		LMK5B12212	単位
		RGC (VQFN)	
		64 ピン	
R <sub>θJA</sub>	接合部から周囲への熱抵抗	21.8	°C/W
R <sub>θJC(top)</sub>	接合部からケース (上面) への熱抵抗	11.1	°C/W
R <sub>θJB</sub>	接合部から基板への熱抵抗	6.5	°C/W
R <sub>θJC(bot)</sub>	接合部からケース (底面) への熱抵抗	0.8	°C/W
Ψ <sub>JT</sub>	接合部から上面への特性パラメータ	0.3	°C/W
Ψ <sub>JB</sub>	接合部から基板への特性パラメータ	6.3	°C/W

- (1) 従来および最新の熱評価基準の詳細については、[半導体および IC パッケージの熱評価基準アプリケーション ノート](#)を参照してください。  
(2) 熱情報は、49 個のサーマルビア (7mm x 7mm パターン、0.3mm のホール) を備えた 10 層 200mm x 250mm ボードに基づいています。  
(3) Ψ<sub>JB</sub> を使用すると、システム設計者はファインゲージ熱電対を使用してボード温度 (T<sub>PCB</sub>) を測定し、デバイスの接合部温度 T<sub>J</sub> = T<sub>PCB</sub> + (Ψ<sub>JB</sub> × 電力) を逆計算できます。Ψ<sub>JB</sub> の測定は JESD51-6 で定義されています。

## 6.5 電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
<b>消費電流特性</b>						
I <sub>DD-TOT</sub>	指定された構成での総消費電流	OUT0 ~ OUT11 LVDS 出力までの 156.25MHz、BAW APLL ポストデバイダ = 8、チャンネルデバイダおよび APLL2 は無効。		650		mA
		OUT0 ~ OUT11 までの 156.25MHz HSUS 出力、BAW APLL ポストデバイダはバイパスされ、チャンネルデバイダは有効、APLL2 は無効。		800		mA
I <sub>DD-XO</sub>	XO 入力電流消費	XO		3.5		mA
I <sub>DD-XO2X</sub>	XO ダブラあたりの消費電流	XO ダブラ <sup>(1)</sup>		0.3		mA
I <sub>DD-INX</sub>	DPLL リファレンス入力ブロックあたりのコア電流消費	IN0		3.6		mA
		IN1		3.1		mA
I <sub>DD-DPLL</sub>	DPLL あたりの電流消費	DPLL <sup>(2)</sup>		55		mA
I <sub>DD-APLL2</sub>	APLL2 電流消費	APLL2		160		mA
I <sub>DD-APLL1</sub>	APLL1 電流消費	APLL1		120		mA
I <sub>DD-ANA</sub>	アナログ バイアス電流消費	VDD_XO 電源ピンから供給されるアナログ回路。デバイスが有効のときは常時オン。		42		mA
I <sub>DD-DIG</sub>	デジタル制御電流消費	デバイスが有効のとき、VDD_DIG 電源ピンからのデジタル制御回路は常にオン。		34		mA
I <sub>DDO-CHDIV</sub>	チャンネル デバイダ ブロックあたりの電流消費	12 ビット チャンネル デバイダ		20		mA
I <sub>DDO-1PPSDIV</sub>	1PPS/SYSREF デバイダ ブロックあたりの電流消費	20 ビットの 1PPS/SYSREF デバイダ		12		mA
I <sub>DDO-DELAY</sub>	1PPS/SYSREF アナログ遅延ブロックあたりの電流消費	アナログ遅延機能有効		10		mA

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
I <sub>DDO-HSDS</sub>	出力ドライバごとの HSDS 電流消費	HSDS バッファ (V <sub>cm</sub> レベル= s1、I <sub>OUT</sub> = 4mA、100 Ω 終端)		19		mA
		HSDS バッファ (V <sub>cm</sub> レベル= s1、I <sub>OUT</sub> = 7mA、100 Ω 終端)		22		mA
		HSDS バッファ (V <sub>cm</sub> レベル= s1、I <sub>OUT</sub> = 10mA、100 Ω 終端)		25		mA
I <sub>DDO-HCSL</sub>	出力ドライバごとの HCSL 電流消費	HCSL 出力 (片側 50Ω 終端)		30.5		mA
I <sub>DD_PD</sub>	パワーダウン電流消費	デバイスのパワーダウン、PD #= Low		90	110	mA
<b>リファレンス入力特性 (INx)</b>						
f <sub>IN</sub>	INx 周波数範囲	シングル エンド入力	0.5E-6		200	MHz
		差動入力	5		800	
V <sub>IH</sub>	シングルエンド入力 High 電圧	DC 結合入力モード (3)	1.2		VDD + 0.3	V
V <sub>IL</sub>	シングルエンド入力 Low 電圧		0.5			V
V <sub>IN-SE-PP</sub>	シングルエンド入力電圧スイング	AC 結合入力モード (4)	0.4		2	V <sub>pp</sub>
V <sub>IN-DIFF-PP</sub>	差動入力電圧スイング	AC 結合または DC 結合の入力 (5)	0.4		2	V <sub>pp</sub>
V <sub>ICM</sub>	入力共通モード	DC 結合差動入力 (6)	0.1		2	V
dV/dt	入力スルーレート	シングル エンド入力	0.2	0.5		V/ns
		差動入力	0.2	0.5		V/ns
IDC	入力クロック デューティ サイクル	非 1PPS 信号	40		60	%
t <sub>PULSE-1PPS</sub>	入力用 1PPS パルス幅	1PPS またはパルス信号	100			ns
I <sub>IN-DC</sub>	DC の入力リーク電流	シングルピン INx_P または INx_N、50Ω および 100Ω 内部終端は無効、AC 結合モードは有効または無効	-350		350	μA
C <sub>IN</sub>	入力容量	シングルエンド、各ピン		2		pF
<b>XO/TCXO 入力特性 (XO)</b>						
f <sub>CLK</sub>	XO 入力周波数範囲(7)		10		156.25	MHz
V <sub>IH</sub>	LVC MOS 高入力電圧	DC 結合入力モード (8)	1.4		VDD + 0.3	V
V <sub>IL</sub>	LVC MOS 入力低電圧		0.8			V
V <sub>IN-SE</sub>	シングルエンド入力電圧スイング	AC 結合入力モード (9)	0.4		VDD + 0.3	V <sub>pp</sub>
dV/dt	入力スルーレート		0.2	0.5		V/ns
IDC	入力デューティ サイクル		40		60	%
I <sub>IN-DC</sub>	DC の入力リーク電流	シングルピン XO_P、50Ω および 100Ω の内部終端は無効	-350		350	μA
C <sub>IN</sub>	各ピンの入力容量			1		pF
C <sub>EXT</sub>	外部 AC カップリング キャップ			10		nF
<b>APLL/VCO 特性</b>						
f <sub>PFD</sub>	PFD 周波数範囲	BAW APLL 分周フィードバック デバイダ			110	MHz
		APLL2 分周フィードバック デバイダ			125	MHz
f <sub>VCO2</sub>	VCO2 周波数範囲		5595		5950	MHz
f <sub>VCBO</sub>	VCBO 周波数範囲		2499.75	2500	2500.25	MHz
t <sub>APLL2-LOCK</sub>	APLL2 ロック時間	ソフトリセットまたはハードリセットと安定した APLL2 出力までの時間。		350	460	ms
t <sub>BAW APLL-LOCK</sub>	BAW APLL ロック時間	ソフトリセットまたはハードリセットと安定した BAW APLL 出力までの時間。		12.5	13	ms

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
<b>HSDS 出力特性 (OUTx)</b>						
$f_{OUT}$	出力周波数範囲		1E-6		1250	MHz
$V_{OUT-DIFF}$	差動出力スイング			$2 \times V_{OD-HSDS}$		mVpp
$V_{OD-HSDS}$	HSDS 出力電圧スイング	$f_{out} < 100\text{MHz}$ , $I_{out} = 4\text{mA}$	350	400	440	mV
		$f_{out} < 100\text{MHz}$ , $I_{out} = 7\text{mA}$	625	700	750	mV
		$f_{out} < 100\text{MHz}$ , $I_{out} = 10\text{mA}$	900	975	1050	mV
		$100\text{MHz} \leq f_{out} \leq 325\text{MHz}$ , $I_{out} = 4\text{mA}$	335	400	445	mV
		$100\text{MHz} \leq f_{out} \leq 325\text{MHz}$ , $I_{out} = 5\text{mA}$	425	500	575	mV
		$100\text{MHz} \leq f_{out} \leq 325\text{MHz}$ , $I_{out} = 6\text{mA}$	510	600	690	mV
		$100\text{MHz} \leq f_{out} \leq 325\text{MHz}$ , $I_{out} = 7\text{mA}$	595	700	805	mV
		$100\text{MHz} \leq f_{out} \leq 325\text{MHz}$ , $I_{out} = 8\text{mA}$	680	800	920	mV
		$100\text{MHz} \leq f_{out} \leq 325\text{MHz}$ , $I_{out} = 9\text{mA}$	765	900	1035	mV
		$100\text{MHz} \leq f_{out} \leq 325\text{MHz}$ , $I_{out} = 10\text{mA}$	850	1000	1150	mV
		$325\text{MHz} < f_{out} \leq 800\text{MHz}$ , $I_{out} = 4\text{mA}$	300	350	400	mV
		$325\text{MHz} < f_{out} \leq 800\text{MHz}$ , $I_{out} = 7\text{mA}$	580	640	700	mV
		$325\text{MHz} < f_{out} \leq 800\text{MHz}$ , $I_{out} = 10\text{mA}$	800	865	940	mV
		$800\text{MHz} < f_{out} \leq 1250\text{MHz}$ , $I_{out} = 4\text{mA}$	235	320	400	mV
$800\text{MHz} < f_{out} \leq 1250\text{MHz}$ , $I_{out} = 7\text{mA}$	480	625	740	mV		
$800\text{MHz} < f_{out} \leq 1250\text{MHz}$ , $I_{out} = 10\text{mA}$	600	800	1000	mV		
$V_{OH}$	出力電圧 High			$V_{OL} + V_{OD}$		mVpp
$V_{OL}$	出力電圧 Low	VCM レベル = s1	50	150	250	mV
		VCM レベル = s2+3	300	470	720	mV
$V_{CM}$	出力同相電圧	VCM レベル = s1 または s2+3		$\frac{V_{OL} + V_{OD}}{2}$		V
		VCM レベル = s2, $I_{out} = 4\text{mA}$	0.6	0.7	0.8	V
		VCM レベル = s3, $I_{out} = 4\text{mA}$	1.125	1.25	1.375	V
$t_{SKEW}$	出力スキュー(13)	同じ APLL、同じポスト・デバイダとチャネル・デバイダの値、同じバンク			50	ps
		バンク間には、同じ APLL、同じポスト・デバイダとチャネル・デバイダの値			80	ps
$t_R/t_F$	立ち上がり / 立ち下がり時間	$f_{OUT} < 100\text{MHz}$ , 20% ~ 80%、 $OUT\_X\_CAP\_EN = 0$ , $C_L = 2\text{pF}$	200	250	350	ps
		$100\text{MHz} \leq f_{OUT} \leq 325\text{MHz}$ , 20% ~ 80%、 $I_{out} \geq 8\text{mA}$ , $OUT\_X\_CAP\_EN = 0$ , $C_L = 2\text{pF}$	165	225	260	ps
		$100\text{MHz} \leq f_{OUT} \leq 325\text{MHz}$ , 20% ~ 80%、 $OUT\_X\_CAP\_EN = 0$ , $C_L = 2\text{pF}$	175	230	300	ps
		$325\text{MHz} < f_{OUT} \leq 800\text{MHz}$ , 20% ~ 80%、 $OUT\_X\_CAP\_EN = 0$ , $C_L = 2\text{pF}$	150	215	285	ps
		$800\text{MHz} < f_{OUT} \leq 1250\text{MHz}$ , 20% ~ 80%、 $OUT\_X\_CAP\_EN = 0$ , $C_L = 2\text{pF}$	120	205	250	ps
ODC	出力デューティサイクル		48		52	%
<b>HCSSL 出力特性 (OUTx)</b>						
$f_{OUT}$	出力周波数範囲	HCSSL 出力モード	25	100	650	MHz
$V_{OL}$	出力電圧 Low		-150	0	150	mV

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V <sub>OH</sub>	出力電圧 High		600	750	900	mV
V <sub>MIN</sub>	出力電圧 (最小値)	アンダーシュートを含む	-300	0	150	mV
V <sub>MAX</sub>	出力電圧 (最大)	オーバーシュートを含む	600	750	1150	mV
dV/dt	差動出力スルーレート	中心点の周囲 ±150mV、 OUT_x_CAP_EN = 1、C <sub>L</sub> = 2pF	2		4	V/ns
dV/dt	差動出力スルーレート	中心点の周囲 ±150mV、 OUT_x_CAP_EN = 0、C <sub>L</sub> = 2pF	3		5	V/ns
t <sub>SKEW</sub>	出力スキュー <sup>(13)</sup>	同じ APLL、同じポスト・デバイダとチャンネル・デバイダの値、同じバンク			50	ps
		バンク間は、同じ APLL、同じポスト・デバイダとチャンネル・デバイダの値			80	ps
V <sub>CROSS</sub>	絶対電圧交差ポイント	f <sub>OUT</sub> = 100MHz	300		500	mV
ΔV <sub>CROSS</sub>	電圧交差ポイントの変動	f <sub>OUT</sub> = 100MHz			75	mV
ODC	出力デューティ サイクル		45		55	%
<b>1.8V LVCMOS 出力特性 (OUT0、OUT1)</b>						
f <sub>OUT</sub>	出力周波数範囲		1E-6		200	MHz
V <sub>OH</sub>	出力 HIGH 電圧	I <sub>OH</sub> = -2mA	1.5			V
V <sub>OL</sub>	出力 LOW 電圧	I <sub>OL</sub> = 2mA			0.2	V
t <sub>R</sub> /t <sub>F</sub>	出力立ち上がり / 立ち下がり時間	20%~80%		150		ps
t <sub>SK</sub>	出力間スキュー	同じ極性、同じ APLL ポスト デバイダおよび出力デバイダの値を持つ OUT0_P、OUT0_N、OUT1_P、OUT1_N。同じ極性と出力タイプ (LVCMOS)			60	ps
		同じ APLL、同じポスト デバイダと出力 デバイダの値。LVCMOS 出力と差動出力間のスキュー	0.7	1	1.3	ns
ODC	出力デューティ サイクル		45		55	%
R <sub>OUT</sub>	出力インピーダンス		54	64	75	Ω
<b>2.65V LVCMOS 出力特性 (OUT0、OUT1)</b>						
f <sub>OUT</sub>	出力周波数範囲		1E-6		200	MHz
V <sub>OH</sub>	出力 HIGH 電圧	I <sub>OH</sub> = -2mA	2.3			V
V <sub>OL</sub>	出力 LOW 電圧	I <sub>OL</sub> = 2mA			0.2	V
t <sub>R</sub> /t <sub>F</sub>	出力立ち上がり / 立ち下がり時間	20%~80%		150		ps
t <sub>SK</sub>	出力間スキュー	同じ極性、同じ APLL ポスト デバイダおよび出力デバイダの値を持つ OUT_P、OUT0_N、OUT1_P、OUT1_N。同じ極性と出力タイプ (LVCMOS)			60	ps
		同じ APLL、同じポスト デバイダと出力 デバイダの値。LVCMOS 出力と差動出力間のスキュー	0.7	1.0	1.3	ns
PN <sub>FLOOR</sub>	出力位相ノイズ フロア (f <sub>OFFSET</sub> > 10MHz)	25MHz		-155		dBc/Hz
ODC	出力デューティ サイクル		45		55	%
R <sub>OUT</sub>	出力インピーダンス		40	50	65	Ω
<b>3.3V LVCMOS GPIO クロック 出力特性 (GPIO0、GPIO1、GPIO2)</b>						
f <sub>OUT</sub>	最高出力周波数	GPIO1、GPIO2			25	MHz
V <sub>OH</sub>	出力 HIGH 電圧	I <sub>OH</sub> = 2mA	2.4			V

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{OL}$	出力 LOW 電圧	$I_{OL} = 2\text{mA}$			0.4	V
$I_{IH}$	入力 High 電流	$V_{IN} = V_{DD}$			100	$\mu\text{A}$
$I_{IL}$	出力 LOW 電流	$V_{IN} = 0\text{V}$	-100			$\mu\text{A}$
$t_R/t_F$	出力立ち上がり / 立ち下がり時間	20% ~ 80%、1k $\Omega$ ~ GND	0.5	1.3	2.6	ns
$t_{SK}$	出力間スキュー	OUT0_P、OUT0_N、OUT1_P、OUT1_N CMOS 出力と比較した GPIO1、GPIO2 出力スキュー。 GPIOx_SEL = 115 f <sub>out</sub> = 100kHz		7.5	11	ns
ODC	出力デューティサイクル		45		55	%
R <sub>OUT</sub>	出力インピーダンス		35	42	50	$\Omega$
<b>PLL 出力クロックノイズ特性</b>						
R <sub>JBAW APLL</sub>	BAW APLL 出力に対する、12kHz ~ 20MHz の積分型 RMS ジッタ	XO = 48MHz、f <sub>out</sub> = 625MHz、HSDS 出力、すべての VOD レベル、すべての出力が有効、4MHz HPF フィルタ適用 <sup>(18)</sup>		13		fs
R <sub>JBAW APLL</sub>	BAW APLL 出力に対する、12kHz ~ 20MHz の積分型 RMS ジッタ	XO = 48MHz、f <sub>out</sub> = 312.5MHz、HSDS 出力 VOD $\geq 800\text{mV}$ 、すべての出力が有効、4MHz HPF フィルタ適用 <sup>(18)</sup>		24		fs
R <sub>JBAW APLL</sub>	BAW APLL 出力に対する、12kHz ~ 20MHz の積分型 RMS ジッタ	XO = 48MHz、f <sub>out</sub> = 156.25MHz、HSDS 出力 VOD $\geq 800\text{mV}$ 、すべての出力が有効、4MHz HPF フィルタ適用 <sup>(18)</sup>		30		fs
R <sub>JBAW APLL</sub>	BAW APLL 出力に対する、12kHz ~ 20MHz の積分型 RMS ジッタ	XO = 48MHz、f <sub>out</sub> = 1250MHz、ポスト デバイダ P1 <sub>APLL1</sub> = 2、HSDS 出力 VOD $\geq 800\text{mV}$ <sup>(10)</sup>			45	fs
		XO = 48MHz、f <sub>out</sub> = 625MHz、ポスト デバイダ P1 <sub>APLL1</sub> = 4、HSDS 出力 VOD $\geq 800\text{mV}$ <sup>(10)</sup>		35	50	fs
		XO = 48MHz、f <sub>out</sub> = 500MHz、ポスト デバイダ P1 <sub>APLL1</sub> = 5、HSDS 出力 VOD $\geq 800\text{mV}$ <sup>(10)</sup>			50	fs
		XO = 48MHz、f <sub>out</sub> = 312.5MHz、ポスト デバイダ P1 <sub>APLL1</sub> = 8、HSDS 出力 VOD $\geq 800\text{mV}$ <sup>(10)</sup>		42	60	fs
		XO = 48MHz、f <sub>out</sub> = 156.25MHz、ポスト デバイダ P1 <sub>APLL1</sub> = 16、HSDS 出力 VOD $\geq 800\text{mV}$ <sup>(10)</sup>		47	65	fs
		XO = 48MHz、f <sub>out</sub> = 156.25MHz、バイパスポスト デバイダ P1 <sub>APLL1</sub> = 1、HSDS 出力 VOD $\geq 800\text{mV}$ <sup>(11)</sup>		55	73	fs
		XO = 48MHz、f <sub>out</sub> = 312.5MHz、HSDS 出力、すべての VOD レベル		50	80	fs
		XO = 48MHz、f <sub>out</sub> = 312.5MHz、HSDS 出力、すべての VOD レベル		50	80	fs
		XO = 48MHz、f <sub>out</sub> = 156.25MHz、HSDS 出力、すべての VOD レベル		60	90	fs

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
RJ <sub>APLL2</sub>	APLL2 出力に対する、12kHz ~ 20MHz の積分型 RMS ジッタ	XO = 48MHz、 $f_{out} = 161.1328125\text{MHz}$ または $322.265625\text{MHz}$ (VCO2 = 5800.78125MHz)、または APLL2 から 212.5MHz (VCO2 = 5950MHz)。HSDS 出力、OUT4、OUT5、OUT6、OUT7 からの VOD $\geq 800\text{mV}$ 。他のすべての出力バンクの BAW APLL 出力からの 156.25MHz。		110	150	fs
		XO = 48MHz、 $f_{out} = 153.6\text{MHz}$ (VCO2 = 5836.8MHz)、155.52MHz (VCO2 = 5598.72MHz)、174.703084MHz (VCO2 = 5765.2MHz)、または 184.32MHz (VCO2 = 5898.24MHz) (APLL2 から)。HSDS 出力、OUT4、OUT5、OUT6、OUT7 または OUT2 および OUT3 からの VOD $\geq 800\text{mV}$ 。他のすべての出力バンクの BAW APLL 出力からの 156.25MHz。		110	150	fs
		XO = 48MHz、 $f_{out} = 156.25\text{MHz}$ または 125MHz (VCO2 = 5625MHz)、または APLL2 から 100MHz (VCO2 = 5600MHz)。HSDS 出力、OUT4、OUT5、OUT6、OUT7 または OUT2 および OUT3 からの VOD $\geq 800\text{mV}$ 。他のすべての出力バンクの BAW APLL 出力からの 156.25MHz。		110	150	fs
		XO = 48MHz、 $f_{out} = 245.76\text{MHz}$ または APLL2 から 122.88MHz (VCO2 = 5898.24MHz)。HSDS 出力、OUT4、OUT5、OUT6、OUT7 または OUT2 および OUT3 からの VOD $\geq 800\text{mV}$ 。他のすべての出力バンクの BAW APLL 出力からの 156.25MHz。		110	150	fs
PSNR <sub>VDDO_0_1</sub>	電源ノイズ除去 VDD_0_1	VCC=3.3V、 $V_N = 50\text{mVpp}$ 、HSDS、LVDS、または AC-LVPECL 出力。(12)		-105		dBc
PSNR <sub>VDDO_2_3</sub>	電源ノイズ除去 VDD_2_3	VCC=3.3V、 $V_N = 50\text{mVpp}$ 、HSDS、LVDS、または AC-LVPECL 出力。(12)		-105		dBc
PSNR <sub>VDDO_4_7</sub>	電源ノイズ除去 VDDO_4_7	VCC=3.3V、 $V_N = 50\text{mVpp}$ 、HSDS、LVDS、または AC-LVPECL 出力。(12)		-110		dBc
PSNR <sub>VDDO_8_11</sub>	電源ノイズ除去 VDDO_8_11	VCC=3.3V、 $V_N = 50\text{mVpp}$ 、HSDS、LVDS、または AC-LVPECL 出力。(12)		-110		dBc
PSNR <sub>VDD_XO</sub>	電源ノイズ除去 VDD_XO	VCC=3.3V、 $V_N = 50\text{mVpp}$ 、HSDS、LVDS、または AC-LVPECL 出力。(12)		-100		dBc
PSNR <sub>VDD_APLL2</sub>	電源ノイズ除去 VDD_APLL2	VCC=3.3V、 $V_N = 50\text{mVpp}$ 、HSDS、LVDS、または AC-LVPECL 出力。(12)		-105		dBc
PSNR <sub>VDD_APLL1</sub>	電源ノイズ除去 VDD_APLL1	VCC=3.3V、 $V_N = 50\text{mVpp}$ 、HSDS、LVDS、または AC-LVPECL 出力。(12)		-105		dBc
PSNR <sub>VDD_DIG</sub>	電源ノイズ除去 VDD_DIG	VCC=3.3V、 $V_N = 50\text{mVpp}$ 、HSDS、LVDS、または AC-LVPECL 出力。(12)		-120		dBc
<b>PCIe ジッタ特性</b>						
J <sub>PCIe-Gen1-CC</sub>	PCIe Gen 1 (2.5 GT/s) 共通クロックのジッタ	APLL2 または APLL1 出力、3 倍のノイズ折りたたみ		0.8	5	ps p-p
J <sub>PCIe-Gen2-CC</sub>	PCIe Gen 2 (5.0 GT/s) 共通クロックのジッタ	APLL2 または APLL1 出力、3 倍のノイズ折りたたみ		85	250	fs RMS

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
J <sub>PCle-Gen3-CC</sub>	PCIe Gen 3 (8 GT/s) 共通クロックジッタ	APLL2 または APLL1 出力、3 倍のノイズ折りたたみ		25	100	fs RMS
J <sub>PCle-Gen4-CC</sub>	PCIe Gen 4 (16 GT/s) 共通クロックジッタ	APLL2 または APLL1 出力、3 倍のノイズ折りたたみ		25	100	fs RMS
J <sub>PCle-Gen5-CC</sub>	PCIe Gen 5 (64 GT/s) 共通クロックジッタ	APLL2 または APLL1 出力、3 倍のノイズ折りたたみ		9	50	fs RMS
J <sub>PCle-Gen6-CC</sub>	PCIe Gen 6 (32 GT/s) 共通クロックジッタ	APLL2 または APLL1 出力、3 倍のノイズ折りたたみ		6	40	fs RMS
<b>DPLL の特性</b>						
f <sub>TDC</sub>	DPLLx の TDC レート範囲		1E-6		26	MHz
dφ/dt	スイッチオーバー中の位相スルー	プログラマブルな範囲		695		ns/s
DPLL-BW	DPLL ループ帯域幅	プログラム可能なループ帯域幅 <sup>(17)</sup>	1E-3		4000	Hz
J <sub>PK</sub>	DPLL 閉ループ ジッタのピーク			0.1		dB
J <sub>TOL</sub>	ジッタの許容範囲	G.8262 Options 1 と 2 に準拠。ジッタ変調 = 10Hz、25.78152Gbps ラインレート		6455		UI p-p
<b>DCO の特性</b>						
f <sub>DCO-DPLL</sub>	DPLL DCO の周波数チューニング範囲	DPLLx	-200		200	ppm
f <sub>DCO-APLL</sub>	DCO 周波数のチューニング範囲	ホールドオーバー状態の BAW APLL または APLL のみの動作。	-200		200	ppm
		APLL2、は、ホールドオーバー状態または APLL 単独動作モードでも動作可能。	-1000		1000	ppm
<b>ゼロ遅延モード (ZDM) 特性</b>						
f <sub>OUT-ZDM</sub>	ZDM を有効にした場合の出力周波数範囲	DPLL1:OUT0 または OUT10	1E-6		1250	MHz
t <sub>DLY-ZDM</sub>	ZDM を有効にした場合の入力から出力への伝播遅延	OUT0、f <sub>IN</sub> ≤ f <sub>TDC_MAX</sub> 、f <sub>OUT</sub> ≤ f <sub>TDC_MAX</sub> 、DPLLx_PH_OFFSET = 172500		150		ps
t <sub>DLY-VAR-ZDM</sub>	ZDM を有効にした場合の入力から出力への伝播遅延の変化	OUT0、f <sub>IN</sub> ≤ f <sub>TDC_MAX</sub> 、f <sub>OUT</sub> ≤ f <sub>TDC_MAX</sub> 、DPLLx_PH_OFFSET = 0			65	±ps
<b>1PPS れふえレンス特性</b>						
t <sub>DPLL_FL</sub>	1PPS リファレンスによる DPLL 周波数ロック時間	XO = 48Mhz、初期誤差 = ±25pb、-180° ≤ θ ≤ 180°。DPLL LBW = 10MHz、周波数ロック Δf <sub>out</sub> ≤ ±4.6ppm		5	6	s
t <sub>DPLL_PL</sub>	1PPS リファレンスによる DPLL フェーズのロック時間	XO = 48Mhz、初期誤差 = ±25pb、-180° ≤ θ ≤ 180°。DPLL LBW = 10MHz、DPLL LBW = 10Mhz、フェーズロック ≤ ±100ns		34	38	s
<b>ヒットレス スイッチング特性</b>						
t <sub>HIT</sub>	スイッチオーバー中の位相遷移	INx = 1Hz、INy = 1Hz、周波数はロック。Inx と INY の相対位相オフセット-180° ≤ θ ≤ 180°。DPLL LBW = 10MHz。		4		± ps
		INx = 8kHz、INy = 8kHz、周波数はロック。Inx と INY の相対位相オフセット-180° ≤ θ ≤ 180°。DPLL LBW = 1Hz		19		± ps
		Nx = 25MHz、INy = 25MHz、周波数はロックされています。Inx と INY の相対位相オフセット-180° ≤ θ ≤ 180°。DPLL LBW = 1Hz		1.8		± ps

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
f <sub>HIT</sub>	スイッチオーバー中の周波数遷移	INx = 1Hz, INy = 1Hz, 周波数はロック。 Inx と INY の相対位相オフセット- 180° ≤ ∅ ≤ 180°。DPLL LBW = 10MHz		0.85		± ppb
		INx = 8kHz, INy = 8kHz, 周波数はロック。 Inx と INY の相対位相オフセット- 180° ≤ ∅ ≤ 180°。DPLL LBW = 1Hz		0.45		± ppb
		INx = 25MHz, INy = 25MHz, 周波数は ロック。Inx と INY の相対位相オフセット- 180° ≤ ∅ ≤ 180°。DPLL LBW = 1Hz		0.63		± ppb
プログラム可能出力遅延特性						
t <sub>ANA-DLY</sub>	アナログ遅延のステップサイズ <sup>(14)</sup>	BAW APLL = 2500.0MHz VCO ポスト デ バイダ = 2、0.5x 範囲スケール、1Hz ≤ OUTx ≤ 156.25MHz、 ANA_DELAY_LINEARITY_CODE = 2		12.9		ps
		BAW APLL = 2500.0MHz、VCO ポスト デバイダ = 1、2x 範囲スケール、1Hz ≤ OUTx ≤ 156.25MHz、 ANA_DELAY_LINEARITY_CODE = 5		25.8		ps
		APLL2 = 5625.0MHz、VCO ポスト デバ イダ = 3、1x 範囲スケール、1Hz ≤ OUTx ≤ 156.25MHz、 ANA_DELAY_LINEARITY_CODE = 3		17.2		ps
		APLL2 = 5625.0MHz、VCO ポスト デバ イダ = 4、1x 範囲;1Hz ≤ OUTx ≤ 156.25MHz、 ANA_DELAY_LINEARITY_CODE = 4		22.9		ps
t <sub>ANA-DLY-ERR</sub>	アナログ遅延ステップサイズ誤差	BAW APLL = 2500.0MHz、VCO ポスト デバイダ = 2、0.5x 範囲スケール、1Hz ≤ OUTx ≤ 156.25MHz、 ANA_DELAY_LINEARITY_CODE = 2	-6.5		6.5	ps
		BAW APLL = 2500.0MHz、VCO ポスト デバイダ = 1、2x 範囲スケール、1Hz ≤ OUTx ≤ 156.25MHz、 ANA_DELAY_LINEARITY_CODE = 5	-12.9		12.9	ps
		APLL2 = 5625.0MHz、VCO ポスト デバ イダ = 3、1x 範囲スケール、1Hz ≤ OUTx ≤ 156.25MHz、 ANA_DELAY_LINEARITY_CODE = 3	-8.6		8.6	ps
		APLL2 = 5625.0MHz、VCO ポスト デバ イダ = 4、1x 範囲;1Hz ≤ OUTx ≤ 156.25MHz、 ANA_DELAY_LINEARITY_CODE = 4	-11.45		11.45	ps
t <sub>ANA-DLY-RANGE</sub>	アナログ遅延範囲		31 × t <sub>ANA-DLY</sub>			ps
t <sub>ANA-DLY-ACC</sub>	アナログ遅延の精度	アナログ遅延範囲全体にわたる任意設定 N = 0 ~ 31 のアナログ遅延の絶対精度。 期待値に対する実際の値の最悪ケースの 誤差 N × t <sub>ANA-DLY- STEP</sub> for ANA_DELAY_LINEARITY_CO DE = 3, 4, 5	-25		25	ps
t <sub>ANA-DLY-LIN</sub>	アナログ遅延の直線性 <sup>(15)</sup>	ANA_DELAY_LINEARITY_CODE = 2	333		450	ps
		ANA_DELAY_LINEARITY_CODE = 3	450		600	ps
		ANA_DELAY_LINEARITY_CODE = 4	600		750	ps
		ANA_DELAY_LINEARITY_CODE = 5	750		1050	ps

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t <sub>DIG-DLY</sub>	デジタル遅延のステップサイズ	VCO ポスト デバイダ周波数出力 = 2500MHz、ハーフステップ設定		200		ps
		VCO ポスト デバイダ周波数出力 = 1250MHz、フルステップ設定		800		ps
<b>3 レベル ロジック入力特性 (GPIO0、GPIO1、GPIO2、SCS_ADD)</b>						
V <sub>IH</sub>	入力 High 電圧		1.4			V
V <sub>IM</sub>	入力 MID 電圧		0.6		0.95	V
V <sub>IM</sub>	入力 MID 電圧自己バイアス	内部バイアスと PD# が Low にプルされた入力フローティング	0.7		0.9	V
R <sub>IM-PD</sub>	MID レベルの自己バイアス用の内部プルダウン抵抗 <sup>(16)</sup>		145	163	180	kΩ
R <sub>IM-PU</sub>	中間レベルの自己バイアス用の内部プルアップ <sup>(16)</sup>		470	526	580	kΩ
V <sub>IL</sub>	入力 Low 電圧				0.4	V
I <sub>IH</sub>	入力 High 電流	V <sub>IH</sub> = VDD	-40		40	μA
I <sub>IL</sub>	入力 Low 電流	V <sub>IL</sub> = GND	-40		40	μA
C <sub>IN</sub>	入力容量			2		pF
<b>2 レベルロジック入力特性 (PD#, SCK, SDIO, SCS_ADD、電源投入後の GPIO0、GPIO1、GPIO2)</b>						
V <sub>IH</sub>	入力 High 電圧		1.2			V
V <sub>IL</sub>	入力 Low 電圧				0.4	V
I <sub>IH</sub>	入力 High 電流	V <sub>IH</sub> = VDD (PD# を除く)	-40		40	μA
I <sub>IL</sub>	入力 Low 電流	V <sub>IL</sub> = GND (PD# を除く)	-40		40	μA
I <sub>IH</sub>	入力 High 電流	V <sub>IH</sub> = VDD、PD# (内部 200kΩ プルアップ)	-57		24	μA
I <sub>IL</sub>	入力 Low 電流	V <sub>IL</sub> = GND、PD# (内部 200kΩ プルアップ)	-57		24	μA
t <sub>WIDTH</sub>	GPIO SYNC、SYSREF 要求、TEC トリガ、DPLL 入力選択、FDEV トリガ、FDEV_dir の入力パルス幅	モニタニック エッジ	200			ns
C <sub>IN</sub>	入力容量			2		pF
<b>ロジック出力特性 (GPIO0、GPIO1、GPIO2、SDIO)</b>						
V <sub>OH</sub>	出力 HIGH 電圧	I <sub>OH</sub> = 1mA	2.4			V
V <sub>OL</sub>	出力 LOW 電圧	I <sub>OL</sub> = 1mA			0.4	V
t <sub>R</sub> /t <sub>F</sub>	出力立ち上がり / 立ち下がり時間	20% ~ 80%、LVCMOS モード、1kΩ から GND へ		500		ps
<b>オープンドレイン出力 (GPIO0、GPIO1、GPIO2、SDA)</b>						
V <sub>OL</sub>	出力 Low レベル	I <sub>OL</sub> = 3mA			0.3	V
		I <sub>OL</sub> = 6mA			0.6	V
I <sub>OH</sub>	出力リーク電流		-15		15	μA
<b>SPI タイミング要件 (SDIO、SCK、SCS_ADD)</b>						
f <sub>SCK</sub>	SPI クロック レート				20	MHz
	SPI クロックレート、SRAM の読み取りおよび書き込み動作中			5	10	MHz
t <sub>1</sub>	SCS から SCK までのセットアップ時間 (通信サイクル開始)		10			ns

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t <sub>2</sub>	SDI から SCK までのセットアップ時間		10			ns
t <sub>3</sub>	SDI から SCK までのホールド時間		10			ns
t <sub>4</sub>	SCK High 時間		25			ns
t <sub>5</sub>	SCK Low 時間		25			ns
t <sub>6</sub>	SCK から SDO への有効なリードバック データ				20	ns
t <sub>7</sub>	SCS パルス幅		20			ns
t <sub>8</sub>	SCK から SCS までのセットアップ時間 (通信サイクル終了)		10			ns
<b>I<sup>2</sup>C タイミング要件 (SDA, SCL)</b>						
V <sub>IH</sub>	入力 High 電圧		1.2			V
V <sub>IL</sub>	入力 Low 電圧				0.5	V
I <sub>IH</sub>	入力リーク電流		-15		15	μA
C <sub>IN</sub>	入力容量			2		pF
V <sub>OL</sub>	出力 LOW 電圧	I <sub>OL</sub> = 3mA			0.3	V
V <sub>OL</sub>	出力 LOW 電圧	I <sub>OL</sub> = 6mA			0.6	V
f <sub>SCL</sub>	I <sup>2</sup> C クロック レート	標準 ファスト モード			100 400	kHz
t <sub>SU(START)</sub>	START 条件のセットアップ時間	SCL が High になってから SDA が Low になる	0.6			μs
t <sub>H(START)</sub>	START 条件のホールド時間	SDA が Low になってから SDA が High になる	0.6			μs
t <sub>W(SCLH)</sub>	SCL パルス幅 High		0.6			μs
t <sub>W(SCLL)</sub>	SCL パルス幅 Low		1.3			μs
t <sub>SU(SDA)</sub>	SDA のセットアップ時間		100			ns
t <sub>H(SDA)</sub>	SDA のホールド時間	SCL が Low になってから SDA が有効になる	0		0.9	μs
t <sub>R(IN)</sub>	SDA/SCL 入力立ち上がり時間				300	ns
t <sub>F(IN)</sub>	SDA/SCL 入力立ち下がり時間				300	ns
t <sub>F(OUT)</sub>	SDA 出力立ち下がり時間	C <sub>BUS</sub> ≤ 400pF			300	ns
t <sub>SU(STOP)</sub>	ストップ条件のセットアップ時間		0.6			μs
t <sub>BUS</sub>	STOP と START 間のバス解放時間		1.3			μs
t <sub>VD-DAT</sub>	データ有効時間				0.9	μs
t <sub>VD-ACK</sub>	データ有効アクノリッジ時間				0.9	μs
<b>EEPROM の特性</b>						
η <sub>EE-CYC</sub>	EEPROM プログラミング サイクル				100	サイクル
t <sub>SRAM-RW</sub>	バイト間の EEPROM SRAM 読み取り書き込み時間遅延		0			ms

- (1) これは 1 つの XO ダブラの電流消費量です。すべての XO ダブラは同量の電流を消費します。
- (2) これは 1 つの DPPLL の電流消費量です。各 DPPLL は同量の電流を消費します。
- (3) REF<sub>X</sub>\_ITYPE = 8 または 12。
- (4) REF<sub>X</sub>\_ITYPE = 1, 3, または 5、非駆動入力 は GND に直接接続、コンデンサは GND に、または 50Ω は GND に接続。
- (5) REF<sub>X</sub>\_ITYPE = 1, 3, または 5。
- (6) 同相電圧と DC 結合された異なる入力電圧の組み合わせは、絶対最大定格を超えないようにしてください。

- (7) XO 入力周波数が APLL 位相検出器でサポートされる最大比較周波数を上回っている場合は、APLL の R デバイダを 2 分周の最小値に設定する必要があります。
- (8) レジスタ XO\_ITYPE = 8 または 12。
- (9) レジスタ XO\_ITYPE = 1、3、または 5
- (10) OUT0~ (または OUT11) は、または APLL1 のポスト デバイダをソースとして供給されます。
- (11) および APLL1 のポスト デバイダは、P1<sub>APLL1</sub> = 1 に設定することでバイパスされます。OUT0~OUT11 まで、チャンネル分圧器から供給されます。
- (12) PSNR は、振幅  $V_N$  および周波数 100kHz ~ 10MHz の正弦波ノイズが 1.0 $\mu$ F のデカップリング容量を持つ VDD および VDDO ピンに注入されたときに dBc で測定される単側波帯スプリアスレベルです。
- (13) 出力 デバイダは同期されています。パワーアップまたは SYNC\_SW から取得された同期ステータス。
- (14) 標準的なアナログ遅延ステップ サイズは、APLL ポスト デバイダ出力周期を 31 で割り、アナログ遅延範囲スケール値 0.5、1、または 2 を掛けた値に基づきます。
- (15) アナログ遅延の直線性は通常、アナログ遅延範囲の周期  $t_{ANA-DLY-RANGE}$  に基づいて選択されます。
- (16) 内部プルアップ抵抗の変化はプルダウン抵抗の変化を追跡し、一貫した中間電圧自己バイアス比を維持します。
- (17) DPPLL ループ帯域幅は、TDC 周波数の 1/100 未満、APLL ループ帯域幅の 1/10 未満である必要があります。
- (18) RMS ジッタは、RMS ジッタ データを 1 次ハイパス ベッセル フィルタで後処理することによって計算されます。

## 6.6 タイミング図

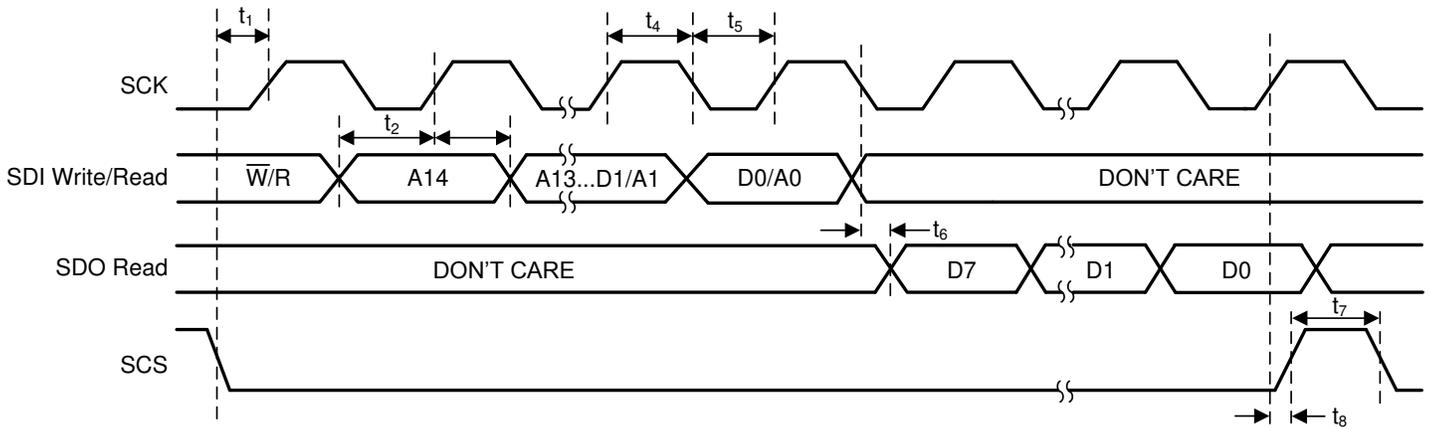


図 6-1. SPI 書き込みタイミング図

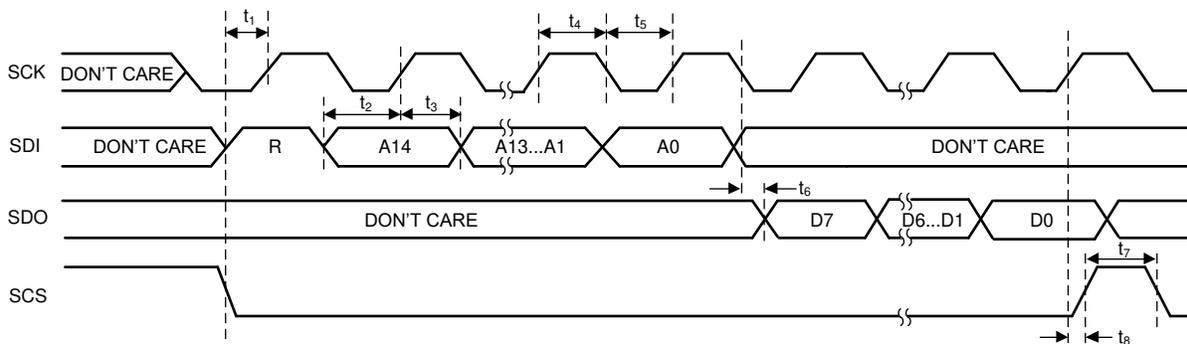


図 6-2. SPI 4 線式読み出しタイミング図

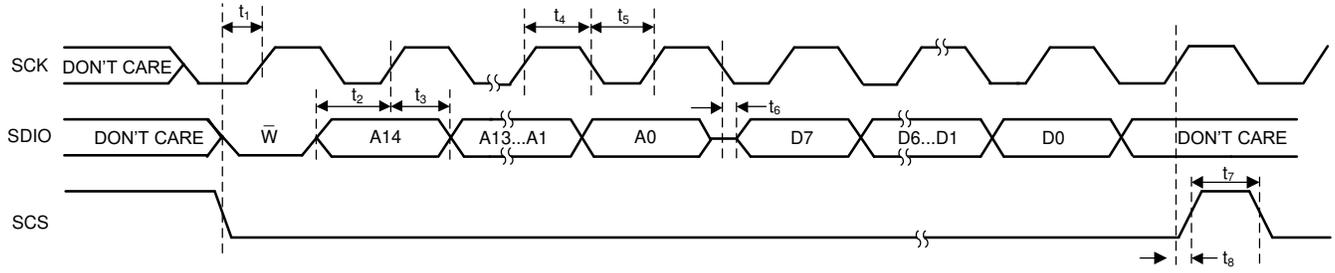


図 6-3. SPI 3 線式読み出しタイミング図

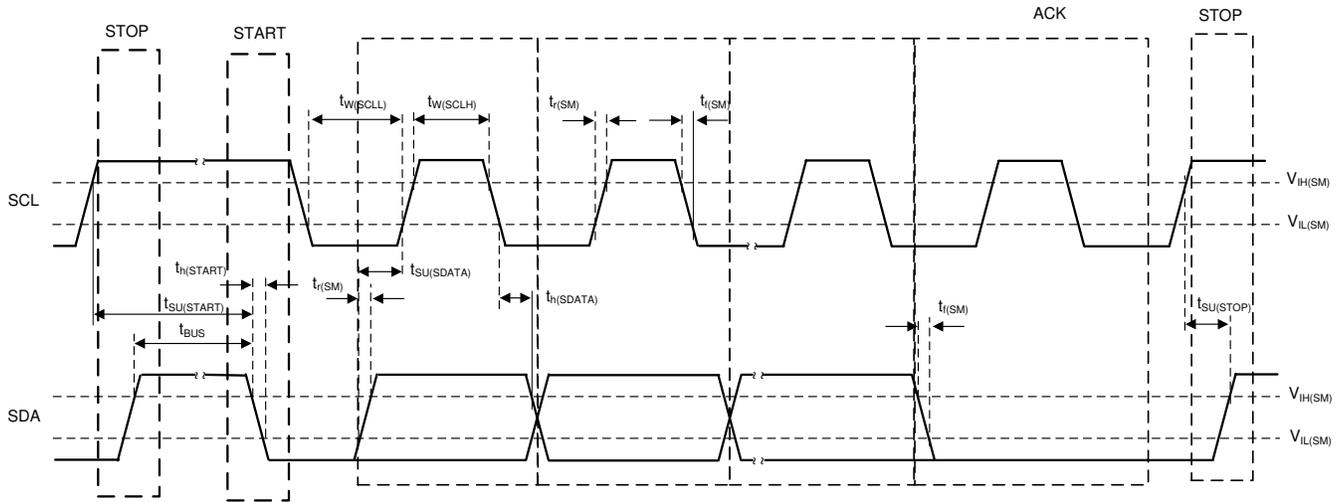


図 6-4. I<sup>2</sup>C のタイミング図

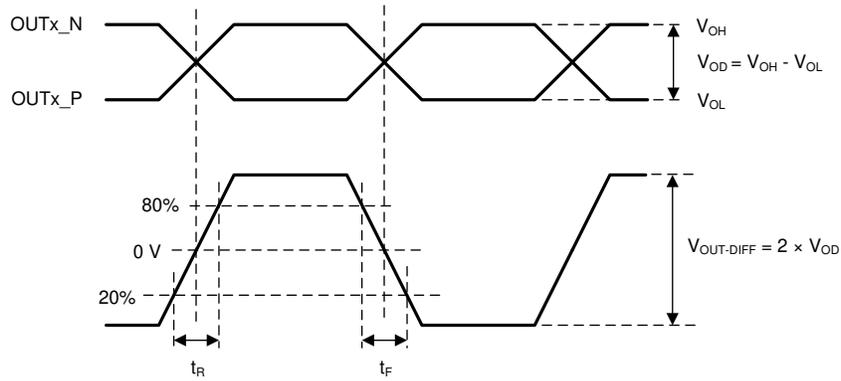


図 6-5. 差動出力電圧と立ち上がり / 立ち下がり時間

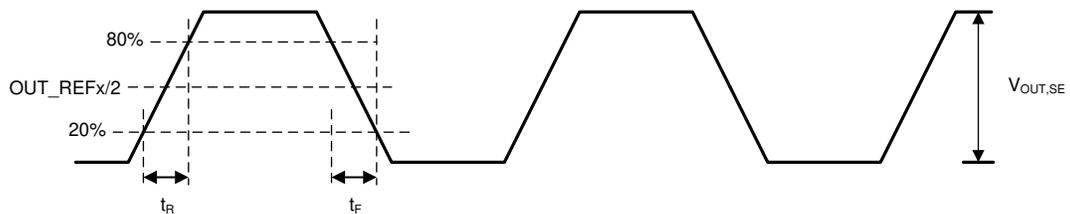


図 6-6. シングルエンド出力電圧と立ち上がり / 立ち下がり時間

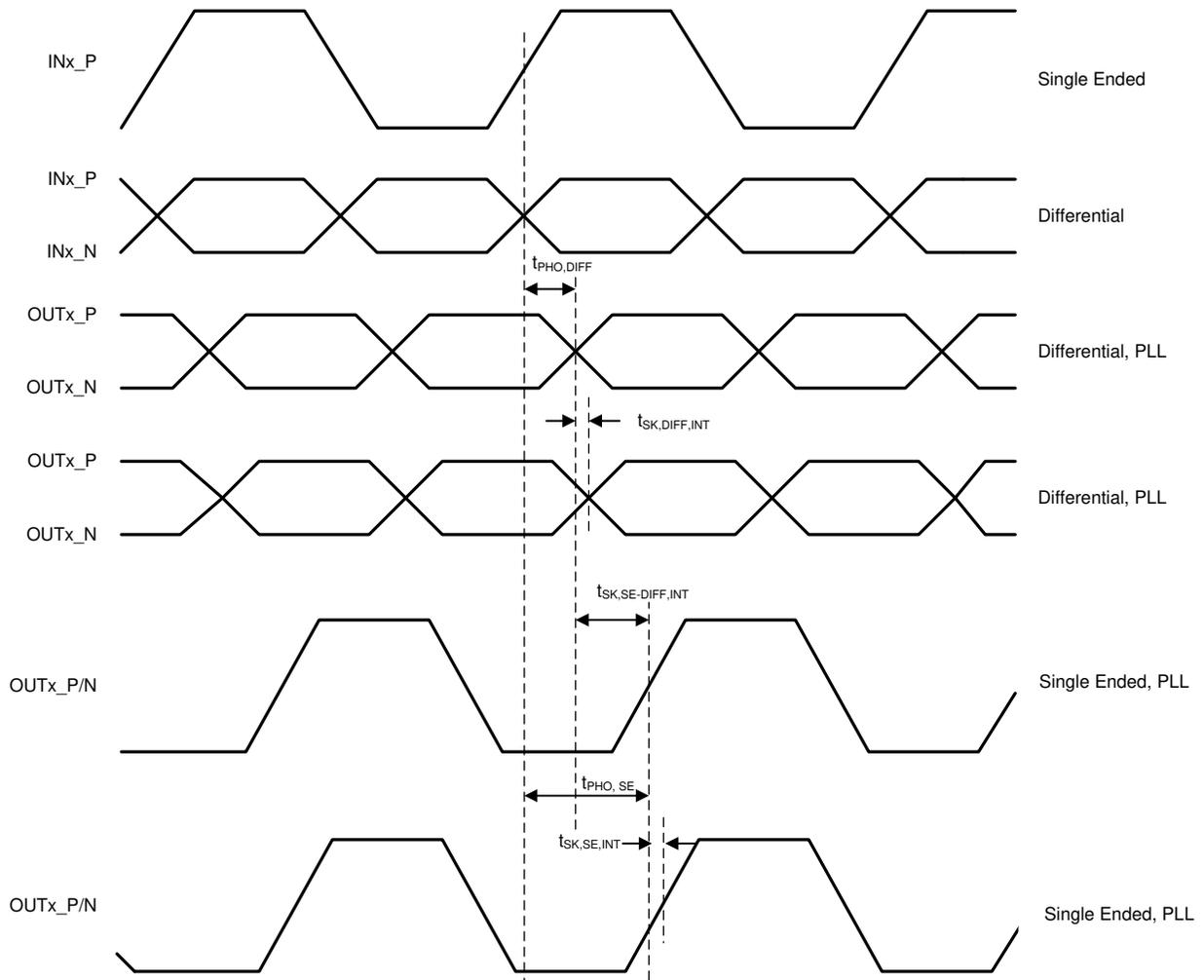
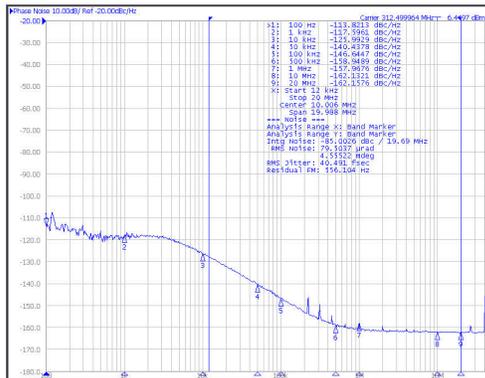


図 6-7. 差動およびシングルエンド出力スキューと位相オフセット

## 6.7 代表的特性



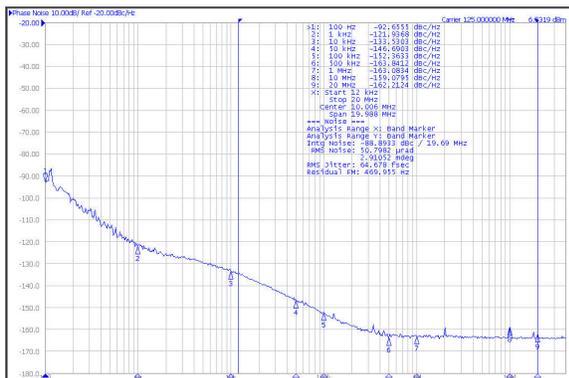
ジッタ = 41fs RMS (12kHz ~ 20MHz)  
 $f_{APLL1} = 2500\text{MHz}$  (APLL1 ポスト分周器 = 8)

図 6-8. APLL1 BAW からの 312.5MHz HS DS 出力



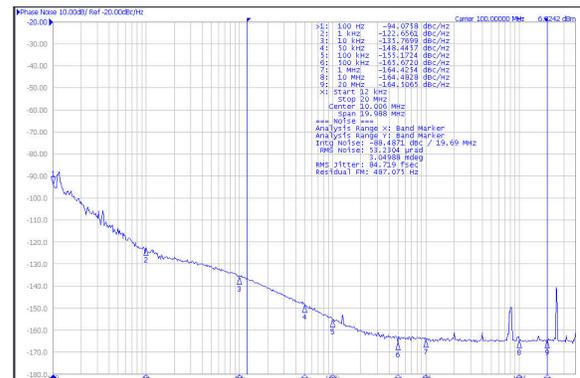
ジッタ = 47fs RMS (12kHz ~ 20MHz)  
 $f_{APLL1} = 2500\text{MHz}$  (APLL1 ポスト分周器 = 8、div2 を有効化)

図 6-9. APLL1 BAW からの 156.25MHz HS DS 出力



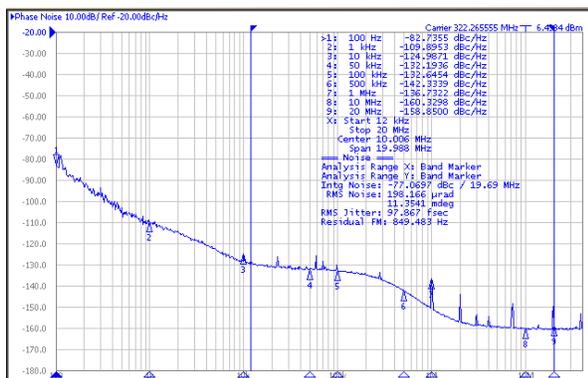
ジッタ = 65fs RMS (12kHz ~ 20MHz)  
 $f = 2500\text{MHz}$  (APLL1 ポスト分周器 = 5、チャンネル分周器 = 4)

図 6-10. APLL1 BAW からの 125MHz HS DS 出力



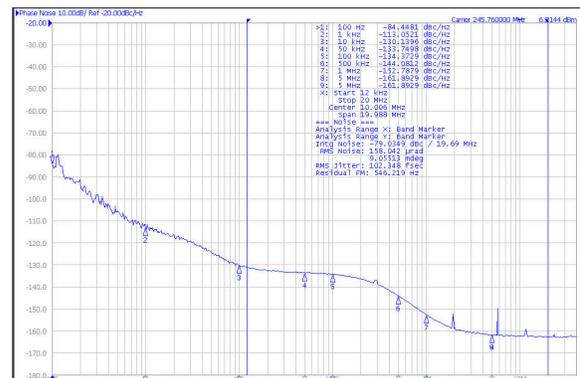
ジッタ = 85fs RMS (12kHz ~ 20MHz)  
 $f = 2500\text{MHz}$  (APLL1 ポスト分周器 = 5、チャンネル分周器 = 5)

図 6-11. APLL1 BAW からの 100MHz HS DS 出力



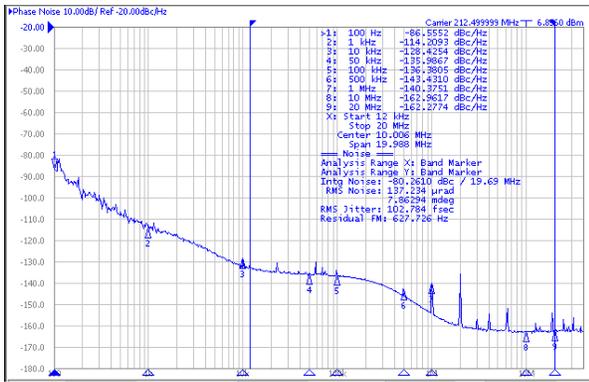
ジッタ = 98fs RMS (12kHz ~ 20MHz)  
 $f_{APLL2} = 5800.78125\text{MHz}$

図 6-12. APLL2 からの 322.265625MHz HS DS 出力



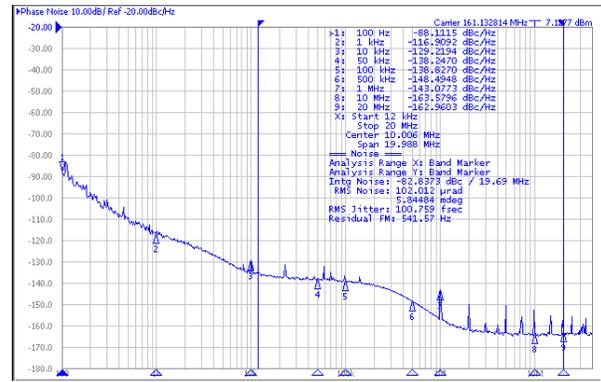
ジッタ = 102fs RMS (12kHz ~ 20MHz)  
 $f_{APLL2} = 5898.24\text{MHz}$

図 6-13. APLL2 からの 245.76MHz HS DS 出力



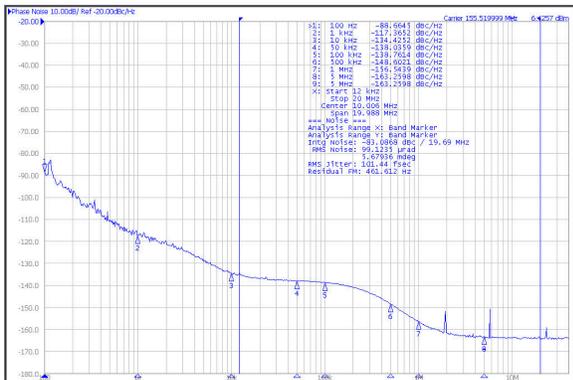
ジッタ = 103fs RMS (12kHz ~ 20MHz)  
 $f_{APLL2} = 5950\text{MHz}$

図 6-14. APLL2 からの 212.5MHz HSDS 出力



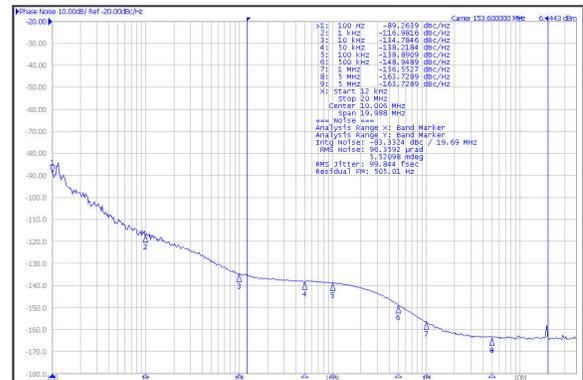
ジッタ = 101fs RMS (12kHz ~ 20MHz)  
 $f_{APLL2} = 5800.78125\text{MHz}$

図 6-15. APLL2 からの 161.1328125MHz HSDS 出力



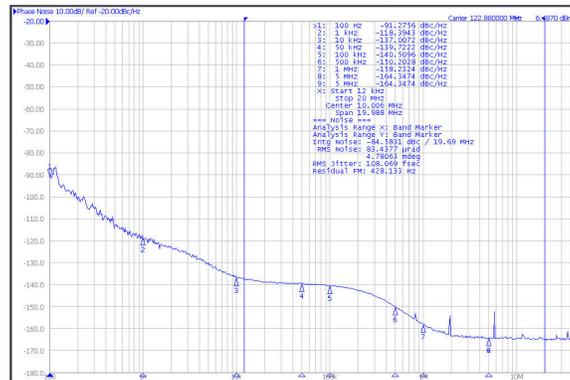
ジッタ = 101fs RMS (12kHz ~ 20MHz)  
 $f_{APLL2} = 5598.72\text{MHz}$

図 6-16. APLL2 からの 155.52MHz HSDS 出力



ジッタ = 100fs RMS (12kHz ~ 20MHz)  
 $f_{APLL2} = 5836.8\text{MHz}$

図 6-17. APLL2 からの 153.6MHz HSDS 出力



ジッタ = 108fs RMS (12kHz ~ 20MHz)  
 $f_{APLL2} = 5898.24\text{MHz}$

図 6-18. APLL2 からの 122.88MHz HSDS 出力

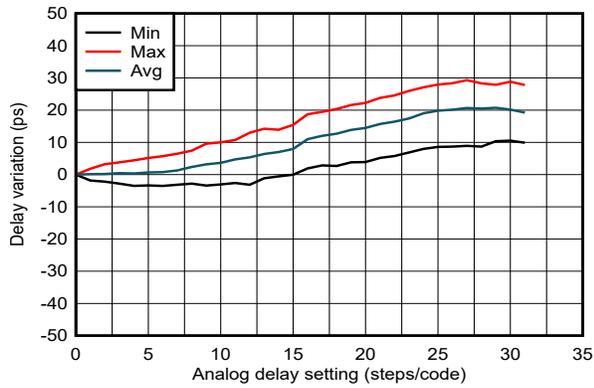


図 6-19. SYSREF/1PPS 遅延の直線性とアナログ遅延コード 2 の関係

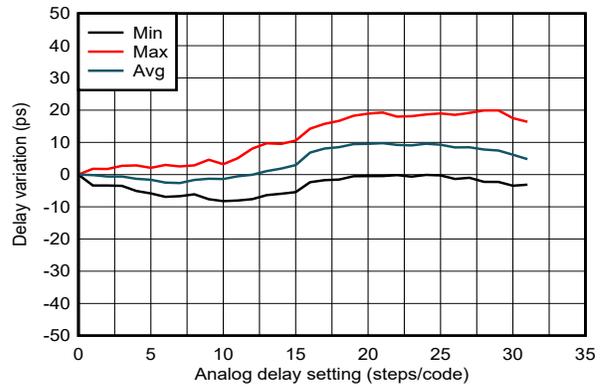


図 6-20. SYSREF/1PPS 遅延の直線性とアナログ遅延コード 3 の関係

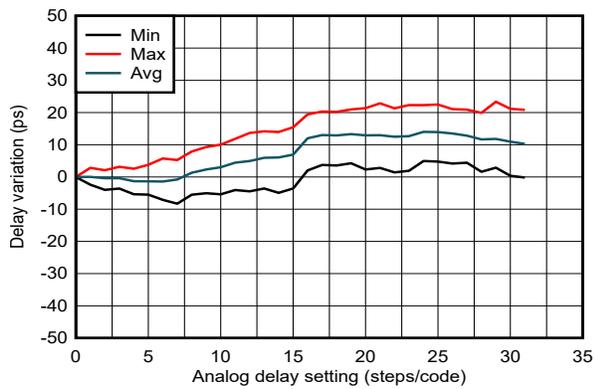


図 6-21. SYSREF/1PPS 遅延の直線性とアナログ遅延コード 4 の関係

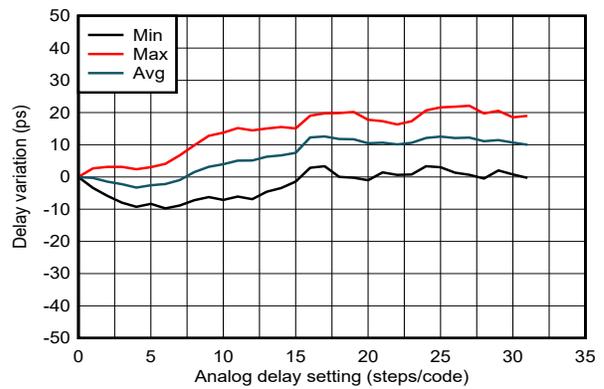


図 6-22. SYSREF/1PPS 遅延の直線性とアナログ遅延コード 5 の関係

## 7 パラメータ測定情報

### 7.1 差動電圧測定に関する用語

差動信号の差動電圧は 2 つの異なる定義で説明されるため、データシートを読んだり、他のエンジニアとコミュニケーションを取ったりする際に混乱を招くことがあります。このセクションでは、差動信号の測定と説明について取り上げており、この 2 つの異なる定義を理解し、使用時に区別できるようにします。

差動信号の説明における 1 つ目の定義は、反転信号と非反転信号との間の電圧電位の絶対値です。この 1 つ目の測定の記号は、入力電圧または出力電圧を表すかによって、通常は  $V_{ID}$  または  $V_{OD}$  となります。

差動信号の説明における 2 つ目の定義は、反転信号に対する非反転信号の電位を測定することです。この 2 つ目の測定の記号は  $V_{SS}$  であり、算出されたパラメータです。この信号は IC 内のどの場所でもグラウンドに対して存在せず、常に差動ペア基準でのみ存在しています。 $V_{SS}$  は、フローティング リファレンスを備えたオシロスコープで直接測定できます。それ以外の場合は、最初の説明で述べたように、 $V_{OD}$  の 2 倍の値として計算できます。

図 7-1 は入力信号の 2 つの異なる定義を並べて示し、図 7-2 は出力信号の 2 つの異なる定義を並べて示しています。 $V_{ID}$  と  $V_{OD}$  の定義では、非反転信号と反転信号がグラウンドに対して切り替わる  $V_A$  と  $V_B$  の DC レベルを示しています。 $V_{SS}$  の入力と出力の定義から、反転信号を電圧電位リファレンスとして考えると、非反転信号の電圧電位は非反転リファレンスを上下に推移しながら増加と減少を繰り返すことがわかります。これにより、差動信号のピークツーピーク電圧を測定できます。

$V_{ID}$  と  $V_{OD}$  は多くの場合ボルト (V) と定義され、 $V_{SS}$  はボルトのピークツーピーク ( $V_{PP}$ ) と定義されます。

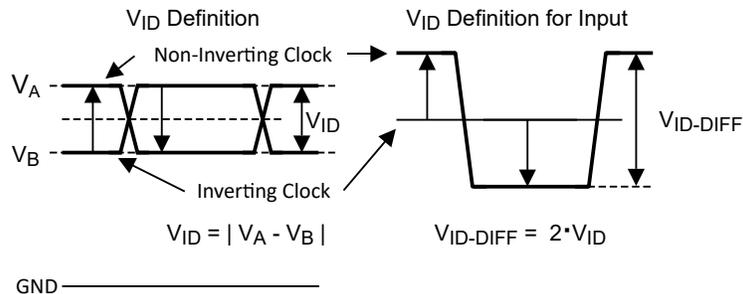


図 7-1. 差動入力信号の 2 つの異なる定義

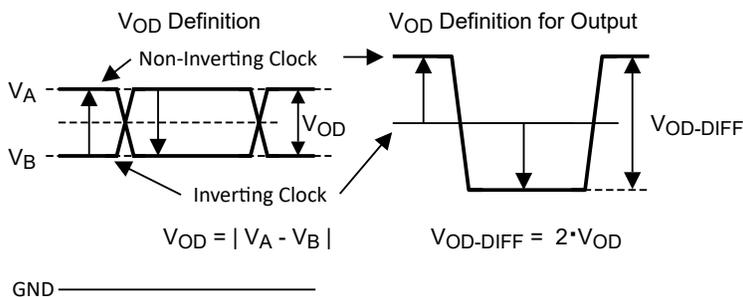


図 7-2. 差動出力信号の 2 つの異なる定義

## 7.2 出力クロックのテスト構成

このセクションでは、さまざまな出力形式の特性テストのセットアップについて説明します。

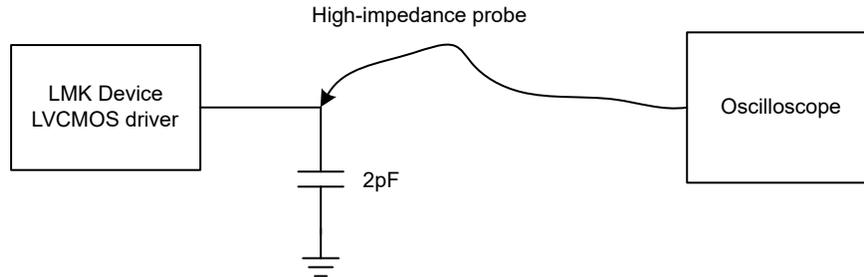


図 7-3. LVC MOS 出力時間ドメインテスト構成

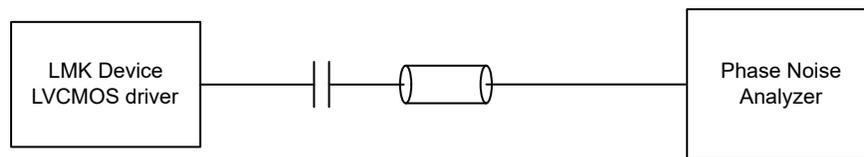


図 7-4. LVC MOS 出力位相ドメインテスト構成

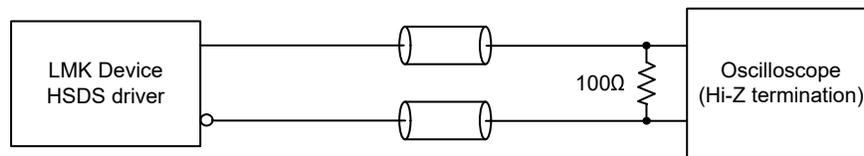


図 7-5. HSDS 出力時間ドメインテスト構成

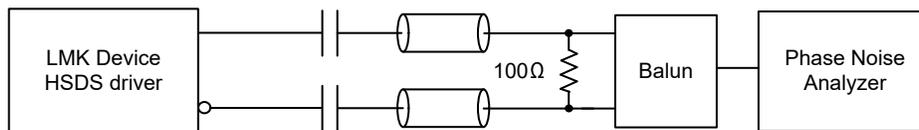


図 7-6. HSDS 出力位相ドメインテスト構成

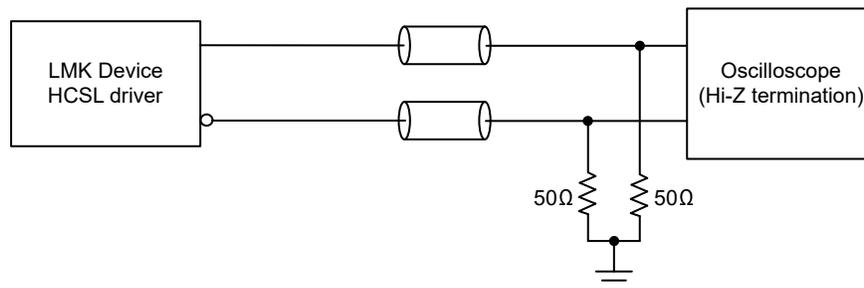


図 7-7. HCSL 出力時間ドメインテスト構成

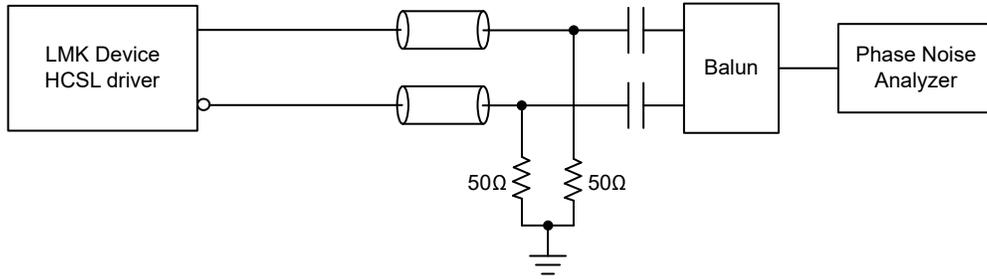
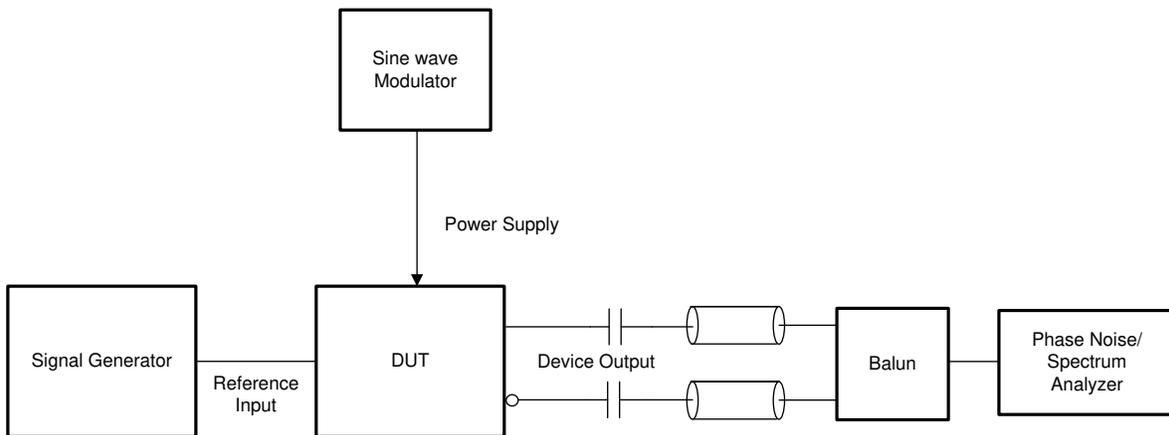


図 7-8. HCSL 出力位相ドメインテスト構成



デバイスの電源に注入された既知のノイズ振幅と周波数で dBc 単位で測定された単側波帯スプリアスレベル。

図 7-9. 電源ノイズ除去 (PSNR)テスト構成

## 8 詳細説明

### 8.1 概要

LMK5B12212 には 2 つのリファレンス入力、1 つのデジタル PLL、(DPLL)、2 つの統合型 VCO を備えた 2 つのアナログ PLL (APLL)、および 12 系統の出力クロックがあります。APLL1 は、非常に選択度が高い超高性能 BAW VCO (VCBO) を使用しているため、外部発振器 (XO) 入力クロックの位相ノイズや周波数への依存性を最小限に抑えられます。TI の VCBO テクノロジーは、フリーラン/ホールドオーバー周波数安定性要件を満たすため、全体的なソリューションコストを削減することができます。システムのホールドオーバー時の安定性要件に応じて、XO、TCXO、または OCXO のいずれかを選択する必要があります。APLL1 は対応する DPLL1 によって制御可能であり、これにより APLL1 ドメインは DPLL1 のリファレンス入力にロックされ、同期したクロック生成が可能になります。各 APLL は、XO ポート、または別の APLL 分周クロックからの基準電圧を選択できます。DPLL は、リファレンス入力 INx から同期入力リファレンスを選択したり、カスケード デバイダからのフィードバックを選択して別の APLL ドメインに揃えることができます。

DPLL リファレンス入力 MUX は、優先順位とリファレンス信号監視基準に基づいた自動入力選択をサポートします。ソフトウェアまたはピン制御による手動入力選択も可能です。このデバイスは、優れた位相過渡性能を実現するために、独自の位相キャンセルおよび位相スルー制御機能を備えたリファレンス ソース間の切り替え機能 **ヒットレス スイッチング** を提供します。**リファレンス入力監視** ブロックはクロック入力を監視し、リファレンス損失 (LOR) が検出されるとヒットレス スイッチオーバーまたはホールドオーバーを実行します。入力モニタに設定されたしきい値制限に違反すると、LOR 状態が検出されます。入力モニタには、周波数、欠落パルスおよび早期パルス、ラントパルス、1PPS (パルス/秒) 検出器が含まれます。各入力検出器のスレッシュホールド制限は、リファレンス クロック入力ごとに設定および有効化できます。**調整ワード履歴** モニタ機能は、ロック時の履歴平均周波数に基づいてホールドオーバーに入るときの初期出力周波数精度を決定し、LOR 状態中の周波数と位相の乱れを最小限に抑えます。

LMK5B12212 には、プログラム可能な出力ドライバ タイプを備えた 12 個の出力があり、最大 12 個の差動クロック、または差動クロックとシングルエンド クロックの組み合わせが可能です。最大 4 つのシングルエンド 1.8V または 2.65V の LVCMOS 出力クロック (OUT0 と OUT1 からの **\_P** および **\_N** 出力) を、10 個の差動出力クロックで構成できます。各出力クロックは、出力マルチプレクサを介して、2 つの APLL/VCO ドメインの 1 つから生成されます。出力 0 (OUT0) と出力 1 (OUT1) は最もフレキシブルで、XO、リファレンス入力、または APLL ドメインからソースを選択できます。CMOS 1PPS 出力は、出力 0 (OUT0) および出力 1 (OUT1) でサポートされています。出力デバイダには SYNC 機能があり、複数の出力を位相整列できます。**ゼロ遅延モード (ZDM)** は、OUT0 に出力される DPLL1 からのクロックと、選択されたリファレンス入力との間で決定論的な位相整合を実現することも可能です。DPLL1 用には OUT10、に、代替の ZDM フィードバックパスが用意されています。

IEEE 1588 PTP セカンダリ クロックまたはその他のクロック ステアリング アプリケーションをサポートするために、DPLL は、ソフトウェアまたはピン制御による正確な周波数と位相の調整のために 1ppt (1 兆分の 1) 未満の周波数分解能を備えた DCO モードをサポートします。

このデバイスは、I<sup>2</sup>C または SPI を介して完全にプログラム可能で、工場ですべてプログラムされた内部 ROM ページによる起動周波数の構成をサポートします。APLL および出力構成に関連するレジスタの POR 構成を可能にするプログラム可能な **EEPROM オーバーレイ** により、柔軟なパワーアップ出力クロックが提供されます。DPLL 構成は EEPROM 値によって設定されず、**ROM ページの選択** に基づいて初期化され、シリアル制御インターフェイスを使用して完全にプログラム可能です。内蔵 LDO レギュレータは、優れた PSNR を提供し、電力供給ネットワークのコストと複雑さを低減します。クロック入力および PLL 監視ステータスは、GPIO ステータス ピンと割り込みレジスタの読み戻しにより確認できるため、完全な診断が可能です。

## 8.2 機能ブロック図

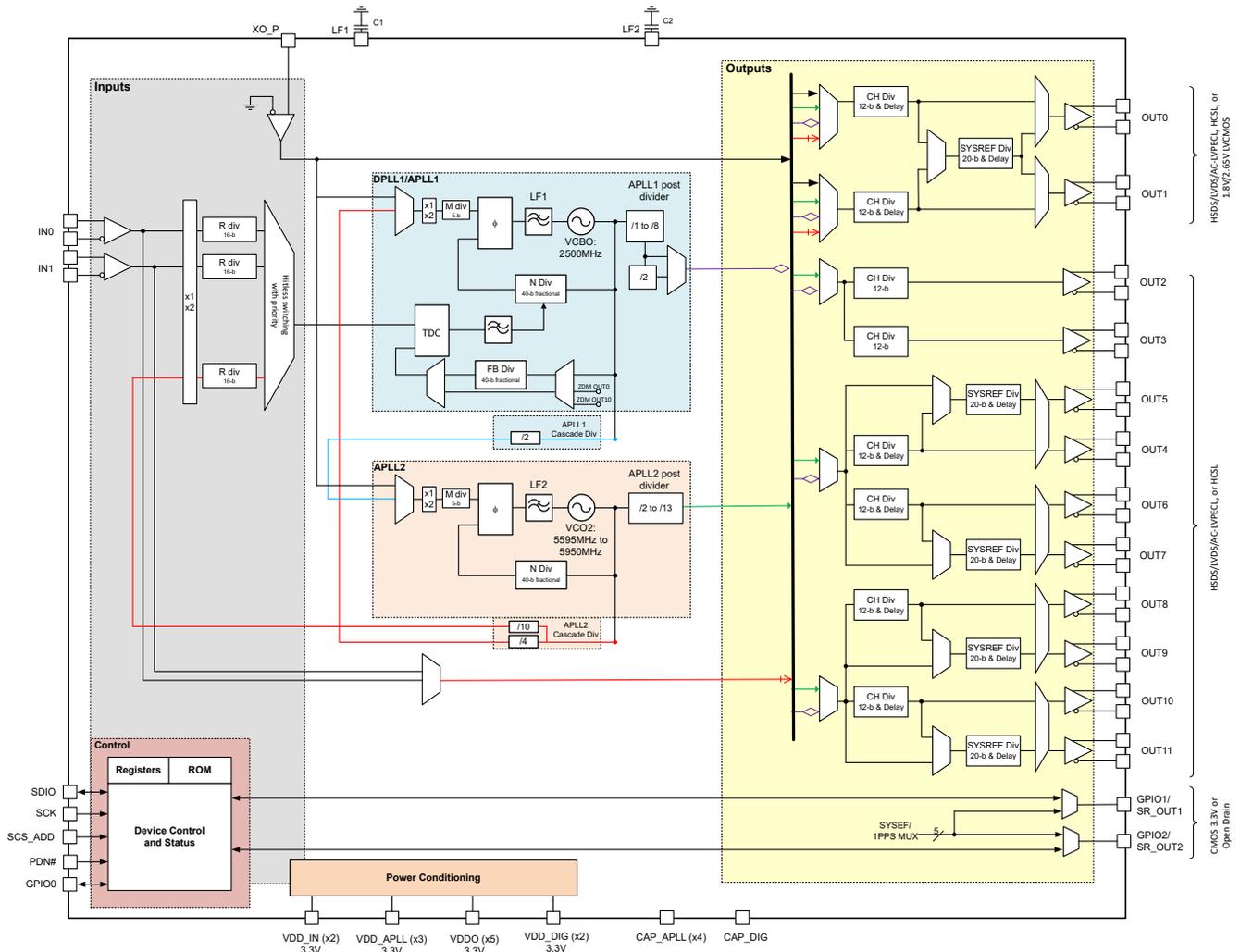


図 8-1. LMK5B12212 最上位ブロック図

### 8.2.1 PLL アーキテクチャの概要

図 8-2 は、LMK5B12212 に実装された PLL アーキテクチャを示しています。プライマリ チャネルは、デジタル PLL (DPPLL1) とアナログ PLL (APLL1)、および統合型 BAW VCO (VCO1) で構成されています。統合型 LC VCO (VCO2) を備えた APLL2 は、2 番目の周波数ドメインを生成することができます。

DPPLL は、時間デジタル コンバータ (TDC)、デジタル ループ フィルタ (DLF)、およびシグマ デルタ モジュレータ (SDM) を備えたプログラム可能な 40 ビット分数フィードバック (FB) デバイダで構成されています。APLL は、リファレンス (R) デバイダ、位相周波数検出器 (PFD)、ループ フィルタ (LF)、SDM 付きフラクショナル フィードバック (N) デバイダ、および VCO で構成されています。

DPPLL にはリファレンス選択用のマルチプレクサがあり、DPPLL を APLL の別の VCO ドメインにロックする (DPPLL カスケード) ことも、リファレンス入力に直接ロックする (非カスケード) ことも可能です。これにより、複数のクロックドメインにわたって周波数および位相制御の柔軟性が得られます。

各 APLL にはリファレンス選択用のマルチプレクサが備わっており、他の APLL の VCO ドメインにロックする (APLL カスケード) ことも、XO 入力にロックする (非カスケード) ことも可能です。

1 つの VCO 出力を同じ DPLL/APLL ペアの DPLL リファレンスと APLL リファレンスの両方にカスケード接続しないでください。

各 APLL には、DPLL から制御できる固定 40 ビットの分母が存在します。DPLL を使用せずに APLL を動作させる場合でも、プログラム可能な 24 ビットの分母が利用可能であり、これにより APLL は 0ppm の周波数誤差で異なる周波数ドメイン間をカスケード接続することが可能になります。

電力を節約するために、使用されていない DPLL または APLL を無効にする (電源をオフにする) 必要があります。APLL の各 VCO は、それぞれの VCO ポスト ディバイダを使用してクロック分配ブロックを駆動します。VCO1 のポストディバイダ設定が 1 の場合、ポスト ディバイダはバイパスされ、VCO1 の出力は直接クロック分配ブロックに供給されます。

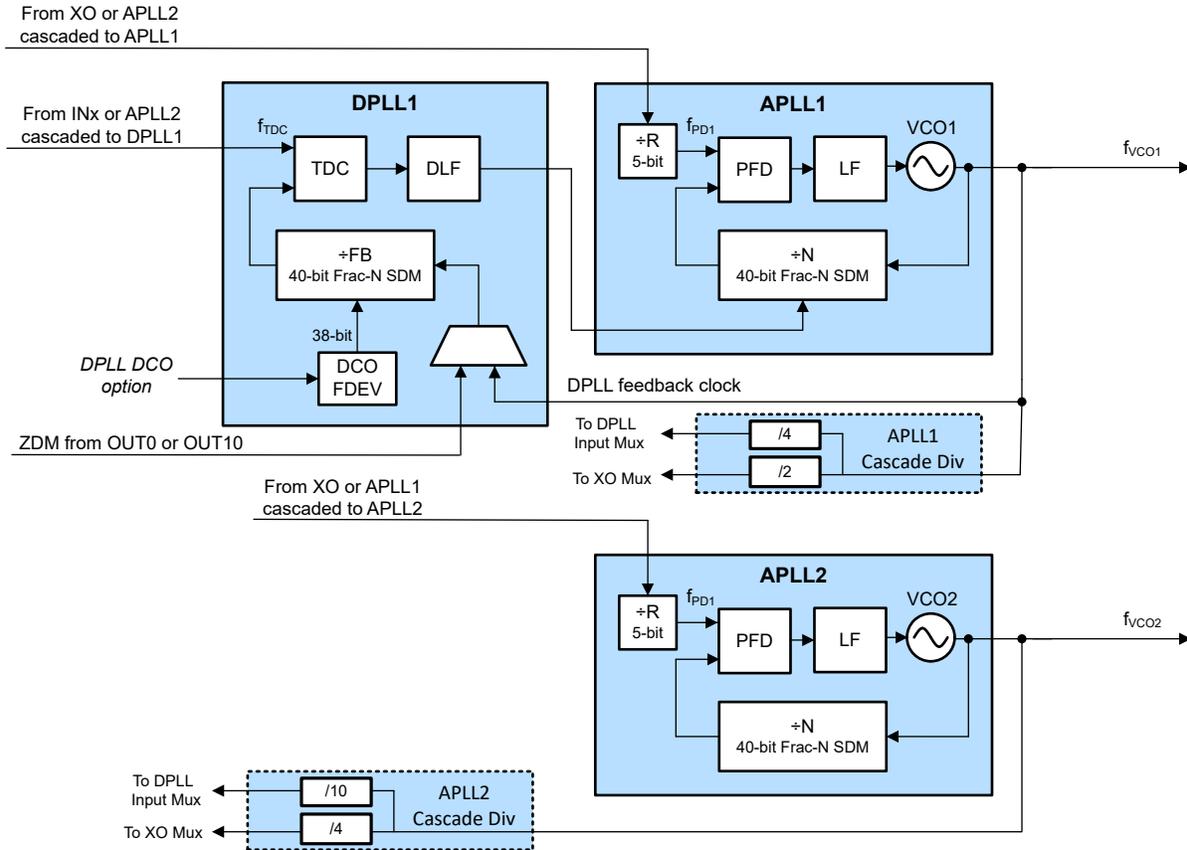


図 8-2. PLL アーキテクチャ

次のセクションでは、DPLL および APLL 動作の基本原理について説明します。ホールドオーバーを含む PLL 動作モードの詳細については、[DPLL 動作状態](#)を参照してください。

### 8.2.2 DPLL

DPLL 動作が有効な場合、XO ピンのクロック ソースが、出力クロックのフリーランおよびホールドオーバー時の周波数安定性と精度を決定します。VCBO は、XO ピン入力の周波数とジッタに関係なく、12kHz ~ 20MHz の統合帯域にわたって BAW APLL 出力クロックの位相ノイズとジッタ性能を決定します。リファレンス ノイズの劣化に対する耐性が強化されたため、BAW APLL は、SyncE および PTP 同期アプリケーションに必要な標準準拠の周波数安定性と低いループ帯域幅 ( $\leq 10$  Hz) を維持しながら、コスト効率の高い低周波数 TCXO または OCXO を外部 XO 入力として使用できます。他の APLL は従来型の LC 型 VCO を搭載しており、クリーンなリファレンスと高い位相検出器の周波数を使用して広いループ帯域幅を設定することで、DC ~ 100kHz の積分帯域で最良のジッタ性能となるよう最適化できます。XO 周波数または位相ノイズに起因するシステム性能の制限に遭遇した場合、LC APLL にクリーンな高周波リファレンスを提供するた

めの独自のカスケード オプションがあります。LMK5B12212 を使用すると、ユーザーは VCBO (BAW APLL カスケード) からの分周出力を選択できるため、LC APLL 出力 RMS ジッターを大幅に削減できます。

DPLL で DCO モードが有効になっている場合、周波数偏差ステップ値 (FDEV) をプログラムして、DPLL の FB デバイダ分子を調整 (増分または減分) するために使用できます。DCO 周波数調整は、APLL ドメインを介して出力クロックおよびカスケード接続された APLL ドメインに効果的に伝播します。

プログラムされた DPLL ループ帯域幅 ( $BW_{DPLL}$ ) は、次のすべてよりも低くなければなりません。

1. DPLL TDC レートの 1/100。
2. APLL のループ帯域幅の 1/10。
3. DPLL の最大帯域幅設定は 4kHz です。

### 8.2.2.1 独立 DPLL 動作

独立 DPLL 動作においては、DPLL は優先するリファレンス入力 ( $IN_x$ ) を選択できます。起動時に、各 APLL は初期化後に XO 入力にロックし、フリーラン モードで動作します。有効な DPLL リファレンス入力が見つされると、DPLL はリファレンス優先順位設定に基づいてロックの取得を開始します。DPLL の TDC は、選択されたリファレンス入力クロックとそれぞれの VCO からの FB 分周クロック間の位相を比較し、位相誤差に対応するデジタル補正ワードを生成します。補正ワードはデジタル ループ フィルタ (DLF) によってフィルタリングされ、DLF 出力は APLL デバイダ分子を調整して、VCO 周波数をリファレンス入力にロックします。

XO 周波数を選択する場合、スプリアス ノイズを最小限に抑えるために、比率が整数または半整数の境界に近づかないようにすることを TI は推奨しています。XO 周波数を選ぶ際には、APLL の分数 N デバイダ比 (NUM/DEN) が 0.125 ~ 0.45 または 0.55 ~ 0.875 の範囲内になるようにするのが最適です。ジッタ性能を向上させるには、高周波の XO を使用の方が効果的であり、特に APLL2 の出力に対してはその効果が顕著です。XO 周波数や位相ノイズ性能が APLL2 にとって不十分な場合は、APLL1 を APLL2 のリファレンスとして使用するカスケード モードを採用することで補うことができます。

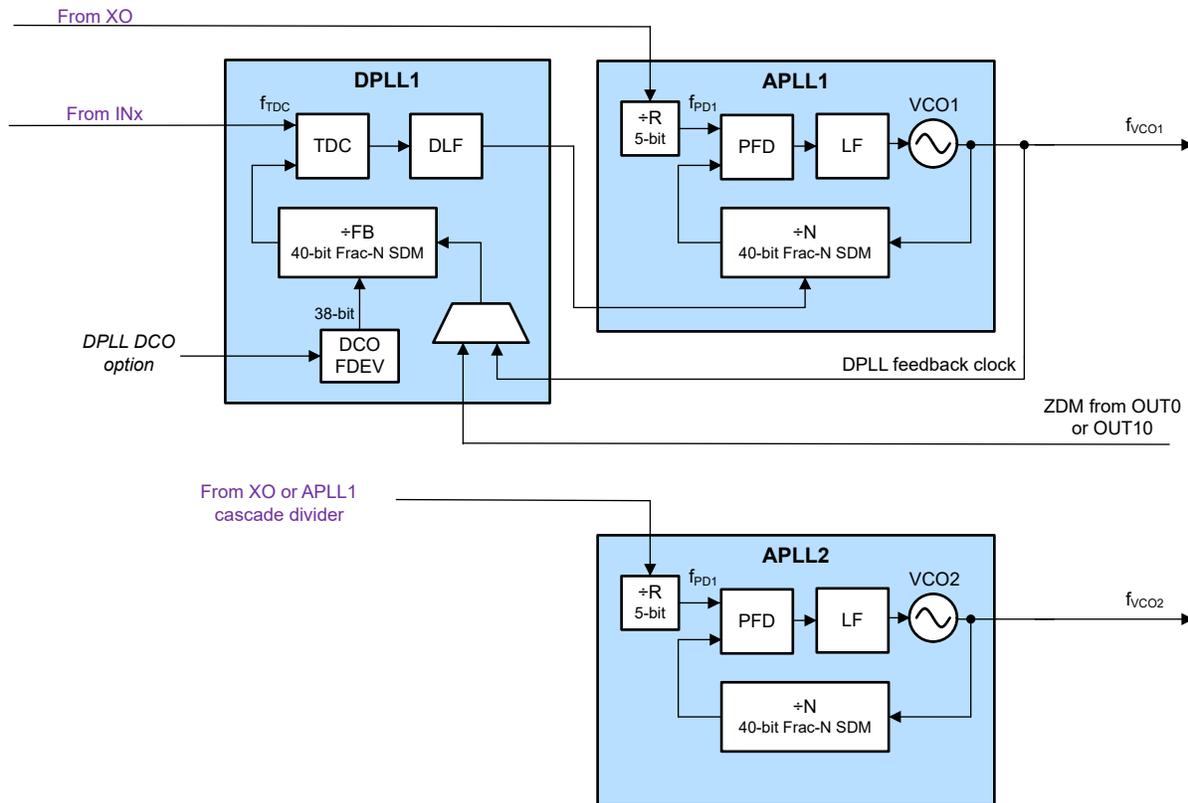


図 8-3. DPLL 動作

### 8.2.2.2 APLL を DPLL とカスケード接続

図 8-4 に、APLL1 からのカスケード モードの APLL2 を示します。APLL2 がロックを取得する間、VCO1 は公称中心周波数である 2500MHz に近い に維持されます。その後、APLL1 は VCO1 の周波数を外部の XO 入力にロックし、フリーラン モードで動作します。カスケード接続された PLL はソース VCO から分周された周波数にロックされます有効な DPLL リファレンス入力 が最小有効時間を 超えて検出されると、DPLL はロック アクイジションを開始します。各 DPLL TDC は、選択したリファレンス入力クロックと各 VCO からの FB デバイダ クロックの位相を比較し、位相誤差に対応するデジタル補正ワードを生成します。当初、TDC はフィルタリング補正ワードなしで位相誤差をキャンセルするだけです。後続の補正ワードは DLF によってフィルタリングされ、DLF 出力は APLL N デバイダ分子を調整して、VCO 周波数をリファレンス入力にロックします。

VCBO を APLL2 へのカスケード ソースとして使用すると、APLL に高周波、超低ジッタのリファレンス クロックが提供されます。この独自のカスケード機能により、XO/TCXO/OCXO の周波数が低い場合や位相ノイズ性能が悪い場合に、近接位相ノイズ性能が向上します。

上記の例では、APLL1 がアップストリーム PLL、APLL2 がダウンストリーム PLL です。クロック シーケンスに関するシステム起動要件がある場合は、APLL2 をアップストリーム PLL としても構成することもできます。

この場合、VCO2 は DPLL1 のロック取得中およびロック状態において VCO1 のドメインを追跡できるため、APLL2 のクロックドメインを DPLL1 のリファレンス入力に同期させることが可能になります。

1 つの VCO 出力を同じ DPLL/APLL ペアの DPLL リファレンスと APLL リファレンスの両方にカスケード接続しないでください。

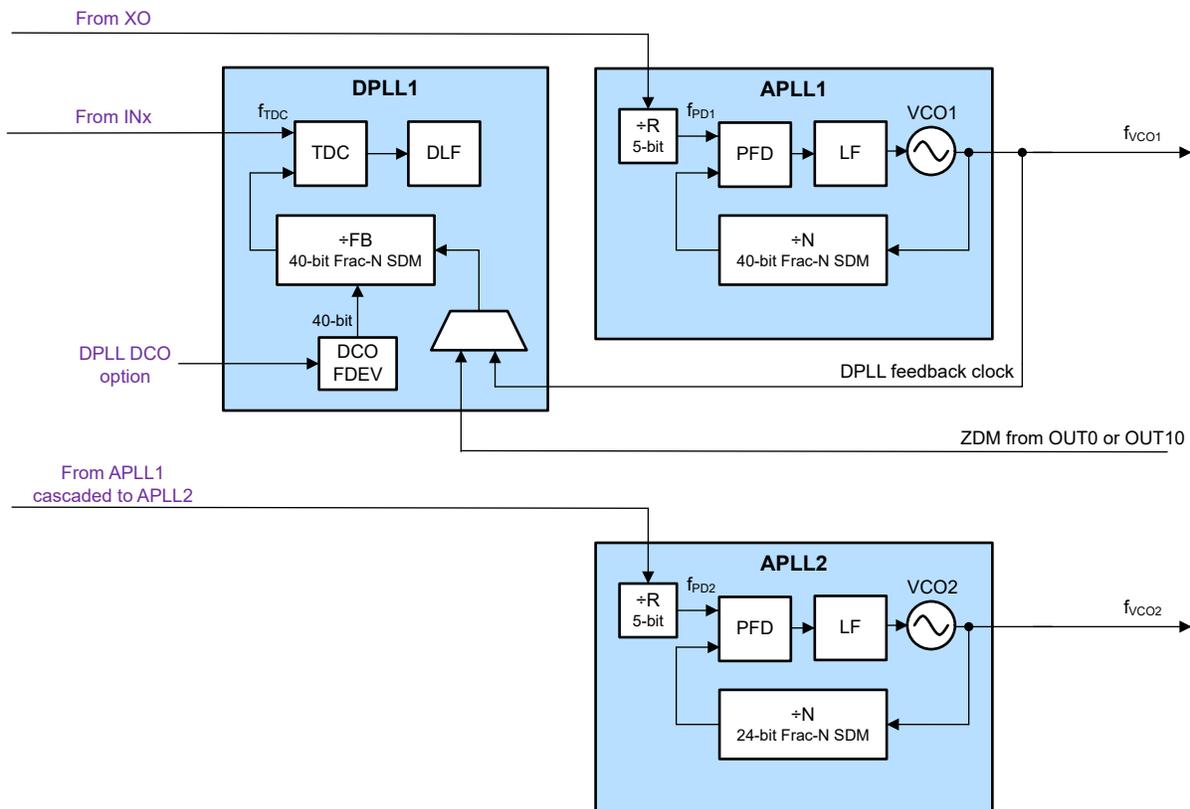


図 8-4. DPLL を APLL カスケード接続の例

### 8.2.3 APLL のみモード

APLL 専用モードでは、外部 XO 入力ソースによって、出力クロックのフリーラン周波数の安定性と精度が決まります。DPLL ブロックは使用されず、APLL に影響を与えません。APLL は、カスケード モードおよび非カスケード モードの両方で動作可能であり、さらに制御レジスタの書き込みによって DCO オプションも利用できます。

パワーオン リセットおよび初期化後の APLL 専用モードの動作原理は次のとおりです。図 8-4 に示されているように APLL2 がカスケード モードで動作しており、かつ DPLL1 が使用されていない場合、VCO2 は VCO1 ドメインを追跡します。APLL はビットを使用して APLL 優先順位をロックします。APLLx\_STRT\_PRTY。APLL2 を VCO1 からカスケード接続することで、高周波かつ超低ジッタのリファレンス クロックが提供され、性能の低い XO/TCXO/OCXO を使用した場合に発生する APLL2 のインバンド位相ノイズ/ジッタの劣化を最小限に抑えることができます。

図 8-5 に示すように APLL2 がカスケード接続されていない場合、VCO2 は初期化後に APLLx\_STRT\_PRTY の順序で XO 入力にロックし、APLL1 ドメインとは独立して動作します。

周波数精度を高めるために、APLL のみで動作する場合は、固定の 40 ビット分母 (PLLx\_MODE = 1) を使用するのではなく、24 ビットの分子とプログラム可能な 24 ビットの分母 (PLLx\_MODE = 0) を使用することが推奨されます。

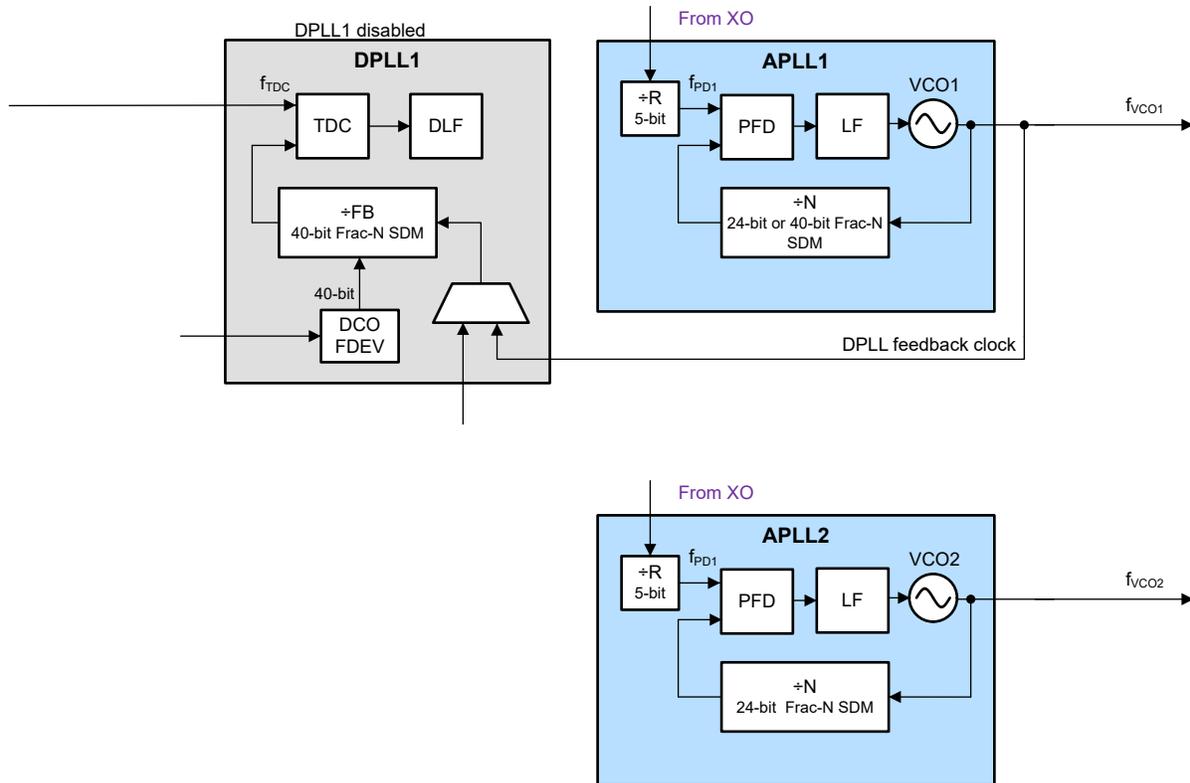


図 8-5. APLL 専用独立モード

## 8.3 機能説明

以降のセクションでは、LMK5B12212 の機能および機能ブロックについて説明します。

### 8.3.1 発振器入力 (XO)

APLL がカスケード モードで使用されていない場合、XO 入力は分数 N APLL のリファレンス クロックになります。XO 入力により、フリーランまたはホールド オーバー モードでの出力周波数精度と安定性が決まります。

DPLL が適切に動作するには、XO 周波数が VCO 周波数と**非整数関係**にある必要があり、そのためそれぞれの APLL N デバイダは分数分周比を持ちます。APLL 専用モードの場合、XO 周波数は VCO 周波数と整数または分数の関係を持つことができます。

SyncE や eCPRI 用の PTP/IEEE-1588 などの DPLL 機能を必要とするアプリケーションの場合、XO 入力は、該当する同期規格で要求される周波数精度とホールドオーバー安定性に準拠する TCXO、OCXO、または外部の追跡可能なクロックによって駆動できます。12.8MHz、13MHz、14.4MHz、19.2MHz、19.44MHz、24MHz、27MHz、38.88MHz、48MHz、49.152MHz、および 54MHz の TCXO および OCXO 周波数は、一般的に利用可能でコスト効率の高いオプションであり、BAW APLL が 2500MHz の VCBO 周波数の分数モードで動作できるようにします。

低周波数または高位相ジッタ/ノイズフロアを持つ XO/TCXO/OCXO ソースは、12kHz ~ 20MHz の統合帯域幅にわたってジッタと位相ノイズを VCBO が決定するため、BAW APLL 出力ジッタ性能に影響を与えません。PFD 周波数を上げる XO ダブレーション機能を各 APLL に対して有効にすることで、近接位相ノイズ性能をさらに最適化できます。

XO 入力バッファには、**図 8-6** に示すように、プログラム可能な入力オンチップ終端と AC 結合入力バイアス構成があります。バッファ付き XO パスは入力監視ブロックも駆動します。

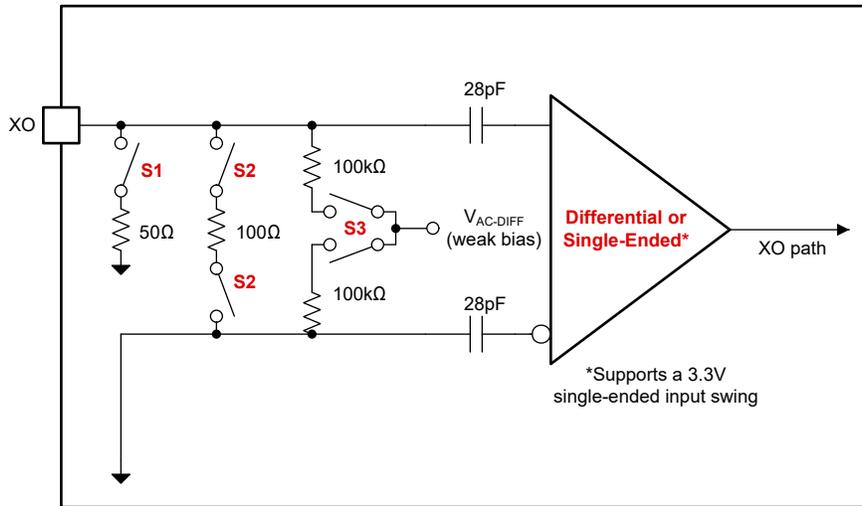


図 8-6. XO 入力バッファ

表 8-1 に、一般的なクロック インターフェイス タイプの標準的な XO 入力バッファ構成を示します。

表 8-1. XO 入力バッファ モード

XO_TYPE	入力タイプ	内部スイッチの設定	
		内部終端 (S1, S2) <sup>(1)</sup>	内部バイアス (S3) <sup>(2)</sup>
0x00	DC (外部終端)	OFF	OFF
0x01	AC (外部終端)	OFF	ON (1.3V)
0x03	AC (内部 GND に対し 100Ω)	100 Ω	ON (1.3V)
0x04	DC (内部 GND に対し 50Ω)	50 Ω	OFF
0x05	AC (内部 GND に対し 50Ω)	50 Ω	ON (1.3V)
0x08	LVC MOS	OFF	OFF
0x0C	LVC MOS (内部 GND に対し 50Ω)	50 Ω	OFF

- (1) S1, S2: OFF = 外部終端を想定しています。  
 (2) S3: OFF = 外部入力バイアスまたは DC 結合を想定しています。

### 8.3.2 リファレンス入力

リファレンス入力 (IN0 および IN1) は、差動クロックまたはシングルエンド クロックを受け入れることができます。図 8-7 に示すように、各入力には、プログラム可能な入力タイプ、終端、DC 結合または AC 結合の入力バイアス構成があります。各入力バッファは、DPLL ブロックのリファレンス入力マルチプレクサを駆動します。DPLL 入力マルチプレクサは、任意のリファレンス入力から選択できます。DPLL は、DPLL R デバイダを使用して周波数を共通周波数に分周できる場合、異なる周波数の入力間でスイッチングできます。また、リファレンス入力パスは、リファレンス入力の監視と検証のためのさまざまな検出器ブロックも駆動します。DC パス スイッチは、内部の AC カップリング コンデンサをバイパスすることで、低周波数入力を確実に動作させることができます。

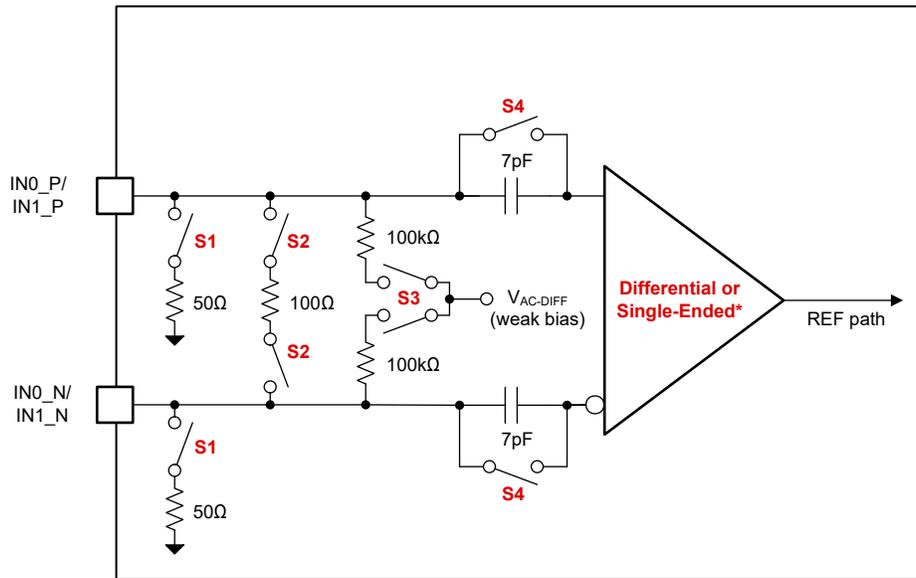


図 8-7. リファレンス入力バッファ

表 8-2 に、一般的なクロック インターフェイス タイプのリファレンス入力バッファ構成を示します。

表 8-2. リファレンス入力バッファ モード

REFx_ITYPE、 R68/R67	入力タイプ	内部のレジスタとスイッチの設定					
		ヒステリシス、 R68[5]	Ac コンデンサ バイ パス、 R68[4]、S4 <sup>(1)</sup>	シングルエンド選択 、R68[3]	シングルエンド終 端、 R68[2]、S1 <sup>(2)</sup>	差動終端、 R68[1]、S2 <sup>(2)</sup>	弱いバイアス (1.3V) R68[0]、S3 <sup>(3)</sup>
0x00	差動、 外部 DC 結合、 外部終端	0	0	0	0	0	0
0x01	差動、 外部 AC 結合、 外部終端	0	0	0	0	0	1
0x02	差動、 外部 DC 結合 、内部 100Ω 差動 終端、 LVDS/HSDS	0	0	0	0	1	0
0x03	差動、 外部 AC 結合 、内部 100Ω 差動 終端、 LVDS/HSDS	0	0	0	0	1	1
0x04	差動、 外部 DC 結合 、内部 50Ω ~ GND HCSL	0	0	0	1	0	0

表 8-2. リファレンス入力バッファ モード (続き)

REFx_ITYPE、 R68/R67	入力タイプ	内部のレジスタとスイッチの設定					
		ヒステリシス、 R68[5]	Ac コンデンサ パイ パス、 R68[4]、S4 <sup>(1)</sup>	シングルエンド選択 、R68[3]	シングルエンド終 端、 R68[2]、S1 <sup>(2)</sup>	差動終端、 R68[1]、S2 <sup>(2)</sup>	弱いバイアス (1.3V) R68[0]、S3 <sup>(3)</sup>
0x05	差動、 外部 AC 結合 、内部 GND に対し 50Ω、 HCSL	0	0	0	1	0	1
0x08	シングルエンド、 外部 DC 結合、 内部 AC 結合 70mV スレッショルド、 LVCMOS	0	0	1	0	0	0
0x0C	シングルエンド、 外部 DC 結合 、内部 AC 結合 、内部 GND に対し 50Ω、 70mV スレッショルド	0	0	1	1	0	0
0x18	シングルエンド、 外部 DC 結合 、内部 DC 結合 150mV ヒステリシ ス、 LVCMOS	0	1	1	0	0	0
0x28	シングルエンド、 外部 DC 結合 、内部 AC 結合 210mV ヒステリシ ス、 LVCMOS	1	0	1	0	0	0
0x38	シングルエンド、 外部 DC 結合 、内部 DC 結合 0mV ヒステリシス、 LVCMOS	1	1	1	0	0	0

- (1) S4:0 = 差動入力振幅検出器は、LVCMOS またはシングルエンドを除くすべての入力タイプに使用できます。  
 (2) S1、S2:0 = 外部終端を想定しています。  
 (3) S3:0 = 外部入力バイアスまたは DC 結合を想定しています。

### 8.3.3 クロック入力インターフェイスおよび終端

図 8-8 から 図 8-12 は、推奨される入力インターフェイスおよび終端回路を示しています。使用されていないクロック入力は、フローティングのままにするか、プルダウンすることができます。

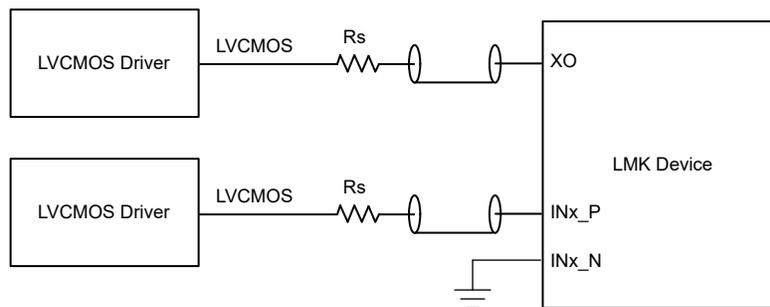


図 8-8. シングル エンド LVCMOS (1.8V、2.5V、3.3V) からリファレンス (INx\_P) または XO 入力 (XO)

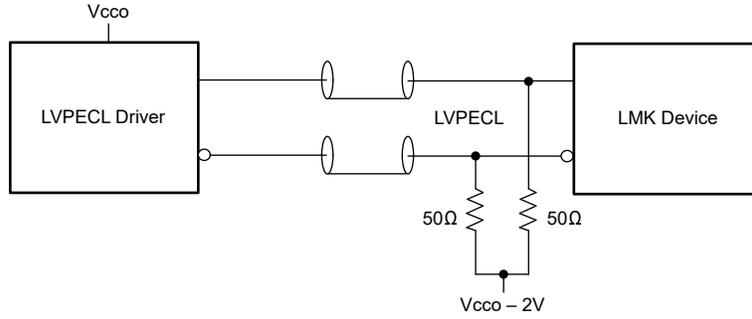


図 8-9. DC 結合 LVPECL からリファレンス (INx)

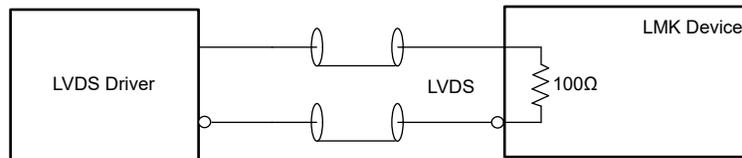


図 8-10. DC 結合 HSDS/LVDS からリファレンス (INx)

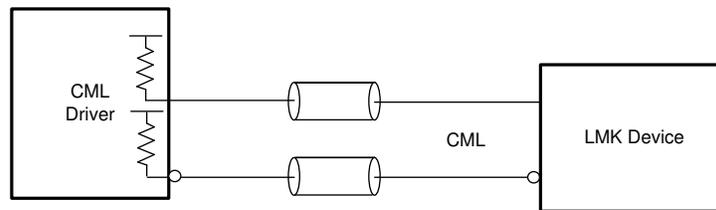


図 8-11. DC 結合 CML (ソース終端) からリファレンス (INx) へ

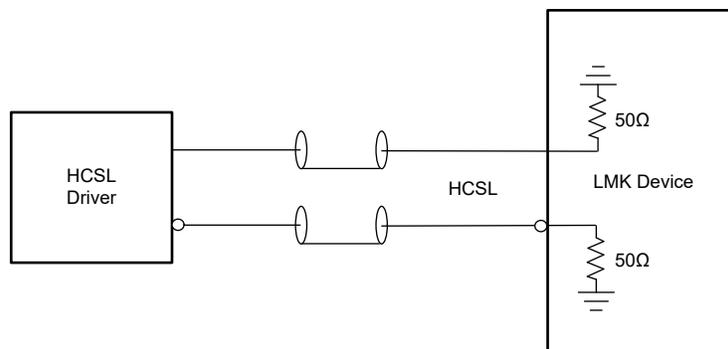


図 8-12. HCSSL (負荷終端) からレファレンス (INx)

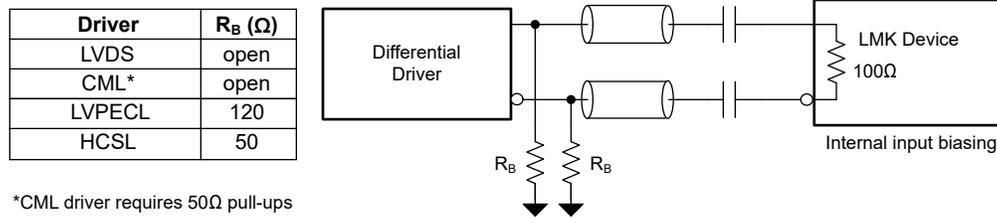


図 8-13. AC 結合差動リファレンス (INx)

### 8.3.4 リファレンス入力マルチプレクサの選択

DPLL ブロックの場合、リファレンス入力マルチプレクサの選択は、設定可能な入力優先順位スキームを備えた内部ステートマシンを使用して自動的にを行うか、ソフトウェアレジスタ制御またはハードウェアピン制御によって手動で行うことができます。入力マルチプレクサでは、LMK5B12212 の IN0 または IN1 を選択できます。すべての入力の優先順位はレジスタを通じて割り当てることができます。優先度の範囲は 0 から 7 までで、0 は無視 (選択しない)、1 は第 1 優先、2 は第 2 優先、7 は第 7 優先です。入力と同じ優先度に設定されている場合、番号が小さい INx (IN0 → IN1) が優先されます。選択された入力は、ステータスピンまたはレジスタを通じて監視できます。

#### 8.3.4.1 自動入力選択

レジスタで設定できる自動入力選択モードは 2 つあります。自動リバーティブと自動非リバーティブ。自動復帰と自動非復帰。

- **自動復帰:**このモードでは、DPLL は設定された優先度が最も高い有効な入力を自動的に選択します。優先度の高いクロックが有効になった場合、DPLL は直ちにそのクロックに自動的に切り替わります。
- **自動非復帰:**このモードでは、DPLL は有効な最も優先度の高い入力を自動的に選択します。より優先度の高い入力が有効である場合、現在選択されている入力が無効になるまで DPLL は切り替わりません。

#### 8.3.4.2 手動入力選択

レジスタで設定できる手動入力選択モードは 2 つあります。自動フォールバックによる手動と自動ホールドオーバーによる手動。どちらの手動モードでも、入力の選択はレジスタ制御 (DPLLx\_MAN\_REF\_SEL レジスタを) またはハードウェアピン制御 (GPIO) によって行うことができます。

- **自動フォールバックによる手動モード:**このモードでは、手動で選択されたリファレンスは、リファレンスが無効になるまでアクティブなリファレンスになります。リファレンスが無効になった場合、DPLL は自動的に、有効または適格な最高優先度の入力にフォールバックします。優先入力が有効でない場合、DPLL はホールドオーバーモード (チューニングワード履歴が有効な場合) またはフリーランモードに入ります。選択された入力が有効になると、DPLL はホールドオーバーモードを終了します。
- **自動ホールドオーバーを使用した手動モード:**このモードでは、手動で選択されたリファレンスは、リファレンスが無効になるまでアクティブなリファレンスになります。リファレンスが無効になると、DPLL は自動的にホールドオーバーモード (チューニングワード履歴が有効な場合) またはフリーランモードになります。選択された入力が有効になると、DPLL はホールドオーバーモードを終了します。

リファレンス入力選択フローチャートを [図 8-14](#) に示します。

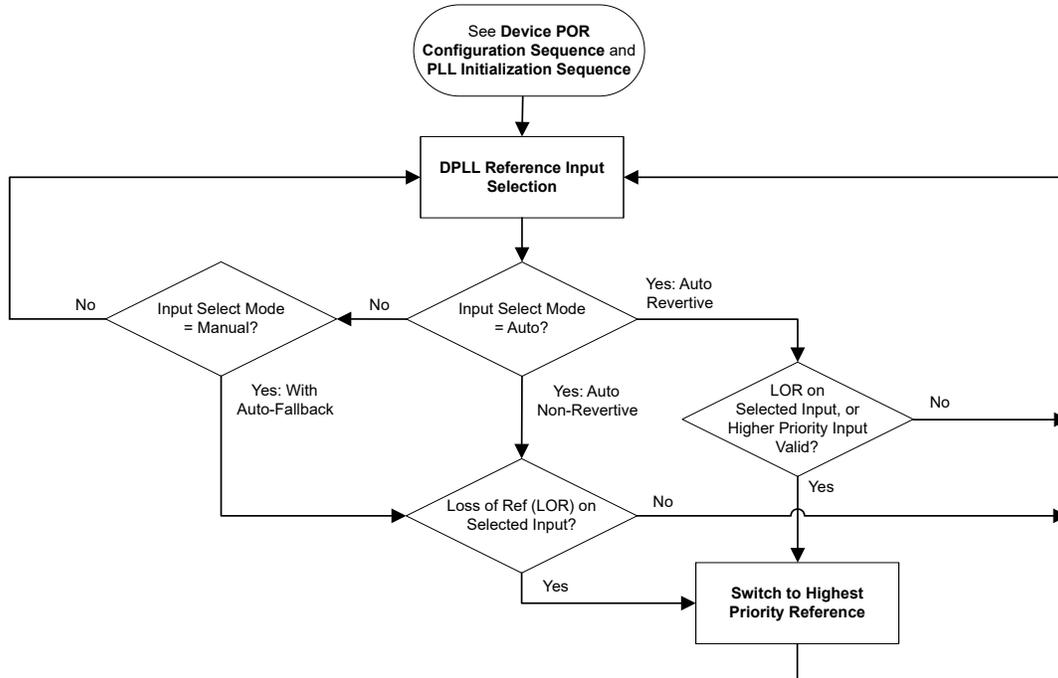


図 8-14. DPLL レファレンス入力選択フローチャート

### 8.3.5 ヒットレス スイッチング

DPLL は、オプションの位相スルー制御方式を備えた TI 独自の位相キャンセル方式を通じてヒットレス スイッチングをサポートします。ヒットレス スイッチングが無効になっている場合、2 つの入力間の位相オフセットに等しい位相ヒットが、DPLL 帯域幅のフィルタリングによって決定される速度で出力に伝播されます。

#### 8.3.5.1 位相キャンセルによるヒットレス スイッチング

通常、ヒットレス スイッチング中に位相キャンセルが有効にされ、固定位相オフセットを持つ 2 つの周波数ロック参照入力間を切り替えるときに、位相過渡現象 (位相ヒット) が出力に直ちに伝播するのを防ぎます。位相スルーが有効になっていない場合、一般的に位相ビルドアウトと呼ばれるユース ケース シナリオでは位相キャンセルが無期限に継続します。入力が正確に同じ周波数 (0ppm オフセット) を持つ場合、または周波数が整数関連でそれぞれが共通の周波数に整数で分割できる場合、入力は周波数ロックされます。ヒットレス スイッチング仕様 ( $t_{\text{HITLESS}}$  および  $f_{\text{HITLESS}}$ ) は、ワンダのないリファレンス入力に対して有効です。2 つの入力が切り換っても周波数がロックされていない場合、出力は過渡現象が低減され、新しい周波数にスムーズに移行します。

#### 8.3.5.2 位相スルー制御によるヒットレス スイッチング

位相スルー制御を有効にすると、ヒットレス スイッチングおよびホールドオーバー終了時に出力位相過渡または位相ヒットが制限されます。ユーザーは `DPLLx_PHS1_EN` を選択して、位相スルー制御を有効にし、`DPLLx_PHS1_THRESH` および `DPLLx_PHS1_TIMER` で設定されたステップ制限に従うことができます。新しい入力位相を追跡しながらゆっくりと遷移する必要がある場合、位相スルー制御を有効にすると、プログラムされたタイマー値とステップ制限に基づいて位相キャンセルまたは位相ビルドアウトが削除されます。同様に、DPLL が APLL 専用モードまたはホールドオーバー モードから DPLL ロック取得モードに切り替わる場合、または 2 つの入力によるヒットレス スイッチングが周波数ロックされていない場合は、位相スルー制限が適用されます。位相キャンセル機能と位相スルー制御機能の両方が無効になっている場合、切り替えの瞬間の XO と選択された入力間または 2 つの入力間の位相オフセットに等しい位相ヒットが、DPLL ループ帯域幅によって決定される速度で出力に伝播されます。2 つの入力が切り替えられても周波数がロックされていない場合、位相スルー制御機能は、ステップ制限によって定義された速度で出力が新しい周波数にスムーズに遷移することを確認できます。

### 8.3.6 リファレンス入力でのギャップドクロックのサポート

DPLL は、ミッシング期間を持つ入力クロックへのロックをサポートし、ギャップクロックと呼ばれます。ギャップによりクロックのジッタが大幅に増加するため、DPLL は低ジッタの周期的出力クロックを生成するために必要な高い入力ジッタ許容度と低いループ帯域幅を提供します。結果として得られる出力は、ミッシングサイクルを含む入力の平均周波数を持つ、周期的なギャップのないクロックです。ギャップクロック幅は、R デバイダ ( $R_{INx} / f_{INx}$ ) 後の基準クロック周期より長くすることはできません。ロックを達成して維持するには、最悪のケースのクロックギャッピングシナリオによるフラグを回避するようにリファレンス入力モニタを構成する必要があります。ギャップのある 2 つのクロック入力間のリファレンス切り替えは、どちらかの入力クロックのギャップ中に切り替えが発生した場合、ヒットレススイッチング仕様に違反する可能性があります。

### 8.3.7 入力クロックおよび PLL 監視、ステータス、割り込み

次のセクションでは、入力クロックと PLL の監視、ステータス、および割り込み機能について説明します。リファレンス入力周波数検出器と位相有効検出器は、単一の入力で同時に使用することはできません。

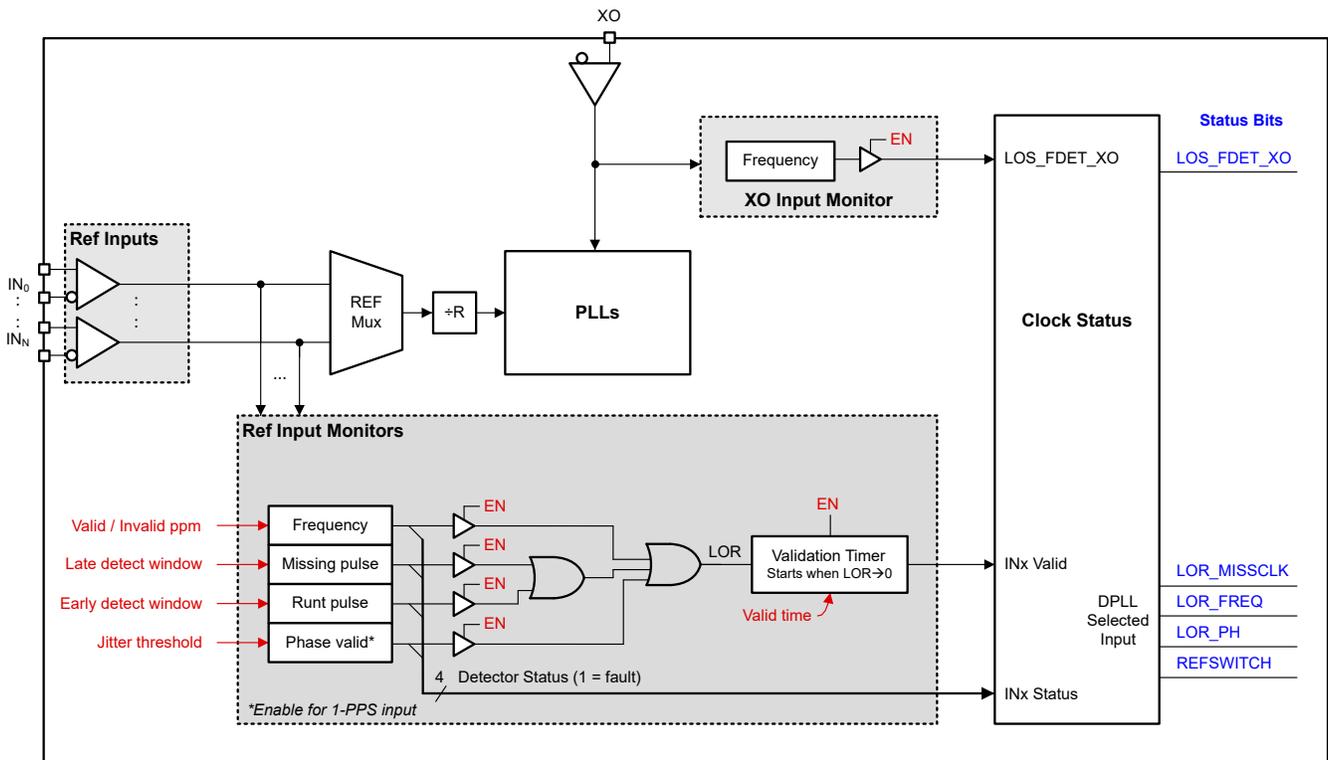


図 8-15. リファレンスおよび XO 入力用クロック モニタ

#### 8.3.7.1 XO 入力監視

XO 入力には、モニタを使用して APLL をロックする前に入力を適格と判断するのに役立つ粗い周波数モニタがあります。

XO 周波数検出器は、入力周波数が対応する XO 入力周波数範囲である 9MHz ~ 160MHz の範囲内で検出されると、LOS\_FDET\_XO フラグをクリアします。XO 周波数モニタは RC ベースの検出器を使用するため、XO 入力クロックに十分な周波数安定性があるかどうかを正確に判断することはできません。安定した XO 入力があれば、PLL の起動中に APLL2 または APLL1 の VCO キャリブレーションが成功したか確認できます。外部 XO クロックの立ち上がりが遅い、または時間がかかる場合、TI は XO 入力が安定した後に APLL2 および APLL1 のキャリブレーションを強制的に実行することを推奨しています。詳細については「[低速または遅延 XO 起動](#)」を参照してください。

XO 周波数検出器は、XO\_FDET\_BYP ビット (図 8-15 では EN と表示) を設定することによってバイパスすることができます。その結果、XO 入力は PLL 制御ステートマシンによって常に有効とみなされます。ユーザーは、ステータスピンとステ

ータス ビットを通して LOS\_FDET\_XO ステータス フラグを確認できます。XO\_FDET\_BYN ビットを設定すると検出はバイパスされますが、LOS\_FDET\_XO ステータス フラグへの変更は反映されません。

### 8.3.7.2 リファレンス入力監視

各 DPLL リファレンス クロック入力、クロックが認定され、DPLL による選択に使用できるようになる前に、入力検証のために個別に監視されます。リファレンス モニタリング ブロックには、周波数、欠落パルス、ラント パルス モニタが含まれます。1-PPS 入力の場合、位相有効モニタはサポートされますが、周波数、欠落パルス、ラント パルス モニタはサポートされないため、無効にする必要があります。検証タイムは、入力が承認される前に、有効なすべての参照モニタのフラグがクリアされる最小時間を設定します。

すべてのリファレンス モニタと検証タイムの有効化と有効なスレッシュホールドは、入力ごとにプログラム可能です。リファレンス モニタと検証タイムは、有効化がオプションですが、ホールドオーバーまたはスイッチオーバー イベント中に信頼性の高い DPLL ロックと最適な過渡性能を実現するために重要であり、信頼性の低いクロック入力や断続的なクロック入力の選択を回避するためにも使用されます。特定の検出器が有効になっていない場合、検出器はフラグを設定せず、無視されます。有効な検出器のステータス フラグは、任意のリファレンス入力 (選択されているか、選択されていないか) のステータスピンを通じて確認できます。有効になっている検出器のステータス フラグは、DPLL の選択された入力のステータスビットを通じて読み取ることもできます。

#### 8.3.7.2.1 リファレンス検証タイム

検証タイムは、参照が適格と判断され選択可能となるまでに、すべての有効な入力モニターから各リファレンスのフラグがクリアされるまでに必要な時間を設定します。検証タイムと有効化設定はプログラム可能です。

#### 8.3.7.2.2 周波数監視

高精度周波数検出器は、周波数比較のための 0ppm レファレンス クロックとみなされる XO 入力周波数に対するすべての入力クロックの周波数オフセットまたは誤差 (ppm 単位) を測定します。有効および無効な ppm 周波数スレッシュホールドは、レジスタを通じて設定できます。相対入力周波数誤差が有効な ppm スレッシュホールドより小さい場合、モニタは REFx\_FDET\_STATUS フラグをクリアします。それ以外の場合、相対入力周波数誤差が無効な ppm スレッシュホールドより大きい場合、モニタは REFx\_FDET\_STATUS フラグを設定します。有効なスレッシュホールドと無効なスレッシュホールド間の ppm デルタは、入力周波数オフセットがこれらのスレッシュホールドを超えたときに REFx\_FDET\_STATUS フラグが切り替わるのを防ぐヒステリシスを提供します。

測定精度 (ppm) と平均化係数は、周波数検出器レジスタ設定の計算に使用されます。測定精度が高いほど (ppm が小さいほど)、または平均化係数が高いほど、フラグを設定またはクリアするための測定遅延が長くなり、入力周波数が安定するまでの時間が長くなります。また、ドリフトやふらつきが大きい入力に対しても、測定解像度が向上します。平均化率を高くすると、設定できる最大周波数 ppm スレッシュホールドが減少することに注意してください。

#### 8.3.7.2.3 ミッシングパルス モニタ (事後検出)

ミッシングパルス モニタは、ウィンドウ検出器を使用して、公称クロック周期とプログラム可能な遅延ウィンドウ スレッシュホールド ( $T_{LATE}$ ) 以内に到達する入力クロック パルスを検証します。入力パルスが  $T_{LATE}$  の前に到着すると、そのパルスは有効であるとみなされ、ミッシングパルス フラグが設定されている場合はクリアされます。入力パルスが  $T_{LATE}$  までに到着しない場合 (パルスの欠落または遅延が原因)、ミッシングパルス フラグが設定され、入力が不適格と判断されます。

通常、 $T_{LATE}$  は最長クロック周期入力 (サイクル間ジッタを含む) よりも高く設定するか、ギャップ クロックのギャップ幅よりも高く設定する必要があります。ミッシングパルス モニタは、ppm 周波数検出器よりも高速に検出できる粗い周波数検出器として機能します。ミッシングパルス モニタは 2kHz から  $f_{VCO}/12$  までの入力周波数でサポートされ、この範囲外の場合は無効にする必要があります。

ミッシングパルス モニタとラントパルス モニタは、各リファレンス入力に対して同じウィンドウ検出ブロックから動作します。これら両方のモニタのステータス フラグは、ロジック OR ゲートによって結合され、ステータスピンを通じて観察できます。リファレンスのウィンドウ検出フラグは、対応する REFx\_MISSCLK\_STATUS ビットを通じて確認できます。

### 8.3.7.2.4 ラントパルス モニタ (早期検出)

ラントパルスモニタは、ウィンドウ検出器を使用して、公称クロック周期からプログラム可能な早期ウィンドウしきい値 ( $T_{EARLY}$ ) を引いた値内に到着する入力クロックパルスを検証します。 $T_{EARLY}$  の後に入力パルスが到着すると、そのパルスは有効であるとみなされ、ラントパルスフラグがクリアされます。 $T_{EARLY}$  より前に早いまたは短い入力パルスが到着すると、モニタは直ちにフラグを設定して入力を不適格とします。

通常、 $T_{EARLY}$  は入力の最短クロック周期 (サイクル間ジッタを含む) よりも低く設定する必要があります。早期パルスモニタは、ppm 周波数検出器よりも高速に検出できる粗い周波数検出器として機能します。早期パルスモニタは 2kHz から  $f_{VCO}/12$  までの入力周波数でサポートされ、この範囲外の場合は無効にする必要があります。

早期クロック検出を使用するには、ユーザーはミッシングクロック検出を有効にする必要があります。早期クロック検出を単独で有効にすることはできません。

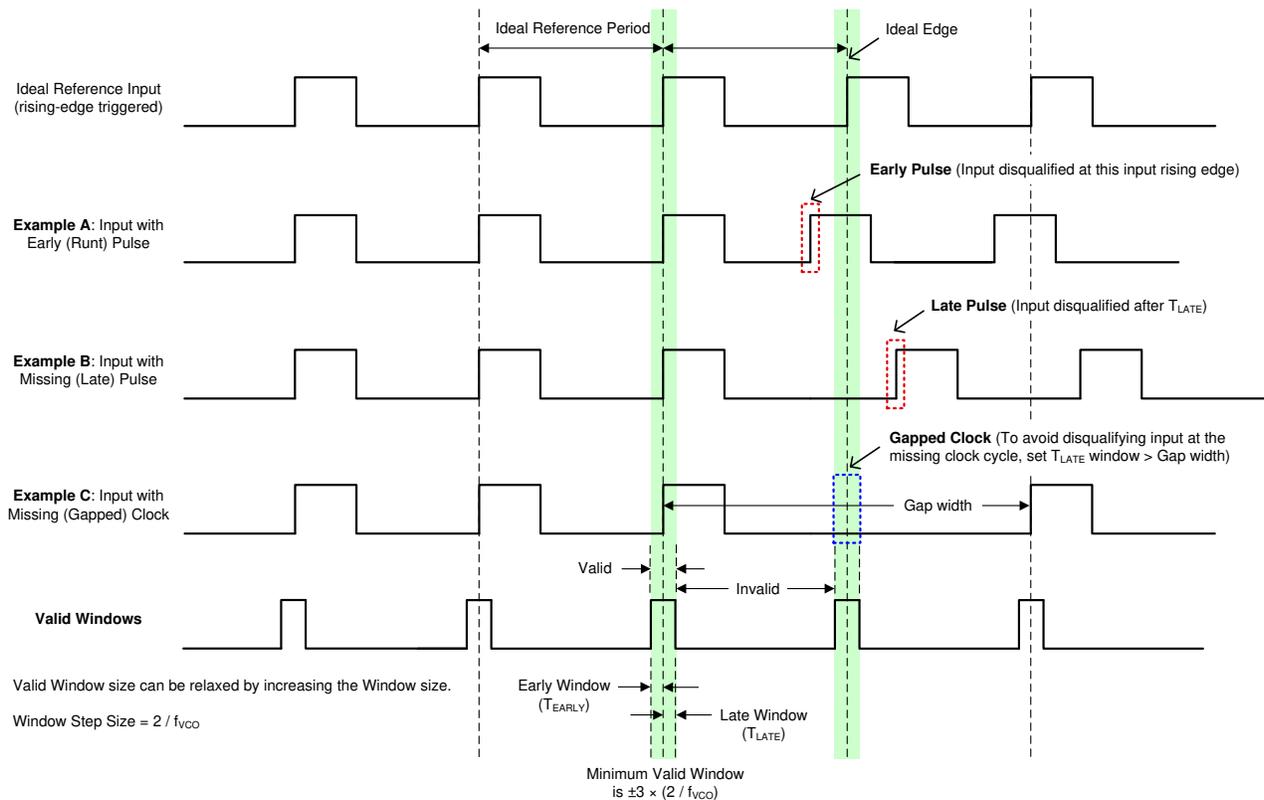


図 8-16. 早期ウィンドウ検出器と遅延ウィンドウ検出器の例

### 8.3.7.2.5 1-PPS 入力用位相有効モニタ

周波数検出器とウィンドウ検出器がこの低周波数をサポートしていないため、位相有効モニタは 1-PPS 入力検証専用で設計されています。位相有効モニタは、ウィンドウ検出器を使用して、公称クロック周期 ( $T_{IN}$ ) とプログラム可能なジッタスレッショルド ( $T_{JIT}$ ) 以内に到達する 1-PPS 入力パルスを検証します。入力パルスがカウンタウィンドウ ( $T_V$ ) 内に到達すると、パルスは有効であるとみなされ、位相有効フラグがクリアされます。入力パルスが  $T_V$  より前に到達しない場合 (パルスの欠落または遅延のため)、入力を不適格とするフラグが直ちに設定されます。 $T_{JIT}$  は、最悪の入力サイクル間ジッタよりも高く設定する必要があります。

位相有効レジスタ設定は、1-PPS ppm エラー スレッショルド検出にも有効です。 $T_{JIT}$  は、許容される最悪のケースの ppm エラーにも影響を与えることに注意してください。次に例を示します。High\_Jitter\_Freq =  $1/(T_{IN} - T_{JIT})$  の場合、最大入力許容 ppm エラー =  $(\text{High\_Jitter\_Freq} - \text{Expected\_Freq}) / \text{Expected\_Freq} \times 1e6$  となります。

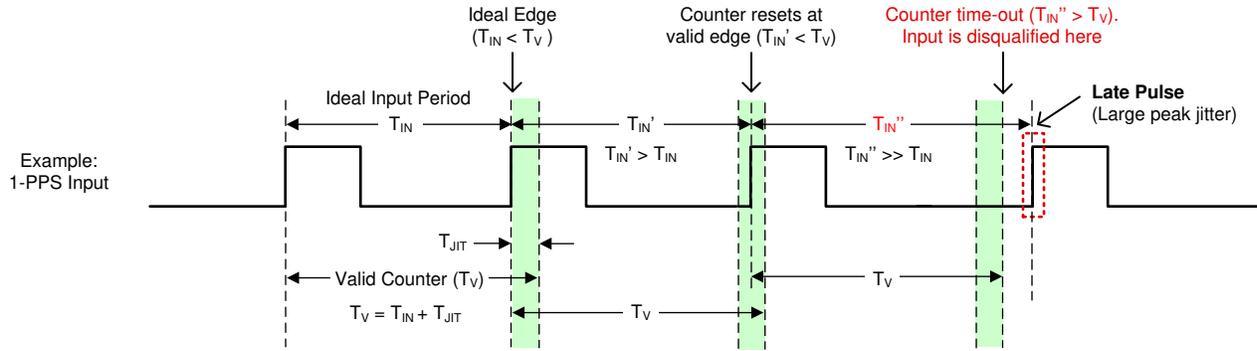


図 8-17. 1-PPS 入力ウィンドウ検出器の例

### 8.3.7.3 PLL ロック検出器

ロック損失 (LOL) ステータスは、APLL および DPLL ごとに利用できます。APLL は、周波数損失ロックについてのみ監視されます。DPLL は、周波数損失ロック (LOFL) と位相損失ロック (LOPL) の両方を監視できます。DPLL ロック スレッシュヨルドおよびロック損失スレッシュヨルドは、LOPL および LOFL デテクタの両方に対してプログラム可能です。BAW APLL 周波数損失ロックを選択した場合、ペアになっている DPLL は LOPL に対してのみ監視されます。BAW APLL VCBO ロック検出のデジタル監視を行うには、ペアになっている DPLL を有効にする必要があります。

DPLL 周波数ロック検出器は、選択されたリファレンス入力に対する DPLL 周波数誤差がロック ppm スレッシュヨルドより小さい場合、LOFL フラグをクリアします。それ以外の場合、ロック検出器は DPLL 周波数エラーがロック解除 ppm スレッシュヨルドよりも大きいときに LOFL フラグを設定します。ロック スレッシュヨルドとロック解除スレッシュヨルド間の ppm デルタは、DPLL 周波数エラーがこれらのスレッシュヨルドを超えたときに LOFL フラグが切り替わるのを防ぐヒステリシスを提供します。

BAW APLL 周波数デジタル ロック検出器は、XO リファレンス入力に対する VCBO 周波数誤差がロック ppm しきい値より小さい場合、LOFL フラグをクリアします。それ以外の場合、ロック検出器は VCBO 周波数エラーがロック解除 ppm スレッシュヨルドよりも大きいときに LOFL フラグを設定します。VCBO 周波数のロックおよびロック解除スレッシュヨルドを設定するときは、XO 入力リファレンスの ppm 周波数許容範囲を必ず考慮してください。ロック スレッシュヨルドとロック解除スレッシュヨルド間の ppm デルタは、VCBO 周波数エラーがこれらのスレッシュヨルドを超えたときに LOFL フラグが切り替わるのを防ぐヒステリシスを提供します。

測定精度 (ppm) と平均化係数は、周波数ロック検出器レジスタ設定の計算に使用されます。測定精度が高いほど (ppm が小さいほど)、または平均化係数が高いほど、LOFL フラグを設定またはクリアするための測定遅延が増加します。平均化率を高くすると、ワンドの大きい入力にロックする場合や、PLL が狭いループ帯域幅で構成されている場合に役立ちます。平均化率を高くすると、設定できる最大周波数 ppm スレッシュヨルドが減少することに注意してください。

DPLL 位相ロック検出器は、DPLL の位相誤差が位相ロック スレッシュヨルドより小さいときに LOPL フラグをクリアします。それ以外の場合、位相誤差が位相ロック解除スレッシュヨルドよりも大きい場合、ロック検出器は LOPL フラグを設定します。

ユーザーは、ステータスピンとステータスビットを通じて APLL および DPLL ロック検出フラグを観察できます。

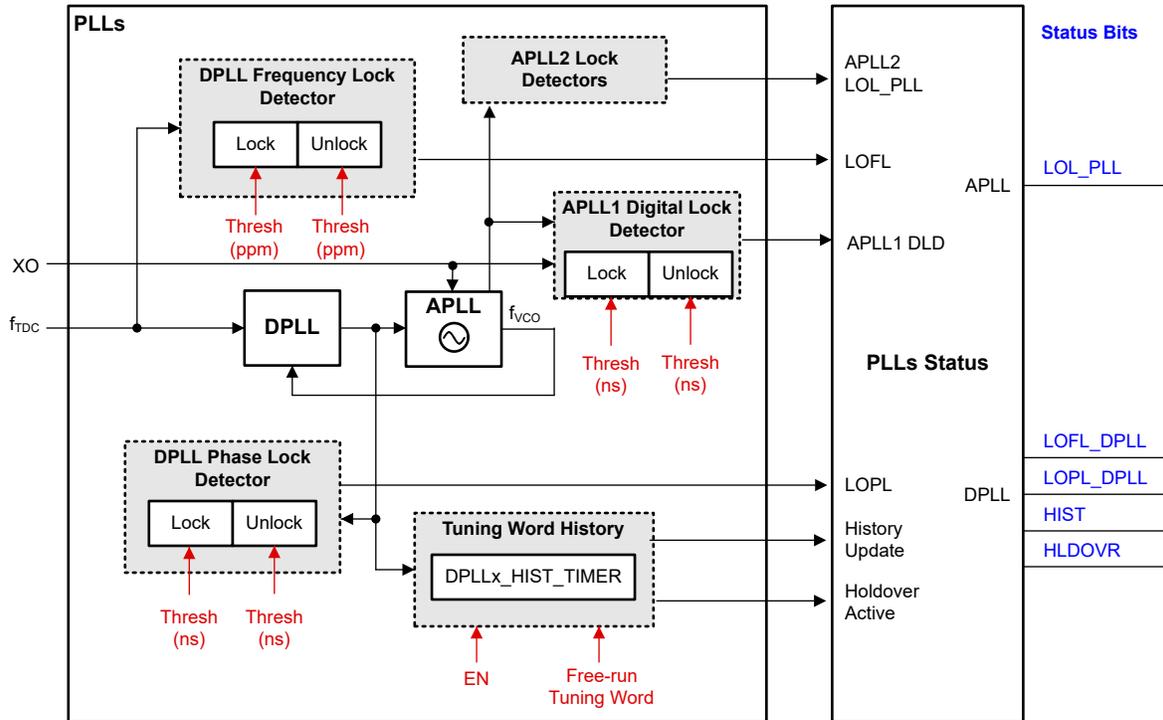


図 8-18. PLL ロック検出器と履歴モニタ

### 8.3.7.4 調整ワード履歴

DPLL ドメインには、ホールド オーバーへの移行時の初期出力周波数精度を決定するチューニングワード履歴モニタブロックがあります。ホールド オーバーを行うとき、レファレンス クロック (XO 入力) の安定性によって、出力周波数の長期的安定性および精度が決まります。チューニングワードは、DPLL 動作モードに応じて、次の 3 つのソースのいずれかから更新できます。

1. ロックモード: ロックされているときのデジタルループフィルタの出力から
2. ホールドオーバーモード: 履歴モニタの最終出力から取得します
3. フリーランモード: フリーラン チューニングワードレジスタ (ユーザー定義) から

履歴モニタが有効になっていて、DPLL がロックされている場合、デバイスは、DPLLx\_HIST\_TIMER によって設定されたプログラム可能な平均化時間 ( $T_{AVG}$ ) 中にデジタル ループ フィルタ出力からの履歴を累積することにより、リファレンス入力周波数を平均化します。有効なリファレンス入力が無効になると、最終的なチューニングワード値が保存され、初期ホールドオーバー周波数の精度が決定されます。一般に、 $T_{AVG}$  時間が長いほど、初期ホールドオーバー周波数はより正確になります。

入力レファレンス クロックに障害が発生して無効になった場合、レファレンス入力検証モニタの 1 つによって障害状態が示される前にチューニングワードが更新し続けると、履歴データが破損する可能性があります。このシナリオを回避するために、進行中の蓄積は無視され、最近の履歴データも無視されます。使用された実際の履歴が  $T_{AVG}$  より大きく、 $2 \times T_{AVG}$  よりも小さくなるように、最新の収集平均データは破棄されます。

チューニングワード履歴は、デバイスのハードリセットまたはソフトリセット後に最初に消去されます。DPLL が新しいリファレンスにロックした後、履歴モニタは最初の  $T_{AVG}$  タイマーが期限切れになるまで待機してから、最初のチューニングワード値を保存し、履歴の蓄積を開始します。履歴モニタは、リファレンス切り替え中またはホールドオーバー終了中に以前の履歴値をクリアしません。必要に応じて、履歴有効ビット (DPLLx\_HIST\_EN = 1 → 0 → 1) を切り替えることで、履歴を手動でクリアまたはリセットできます。

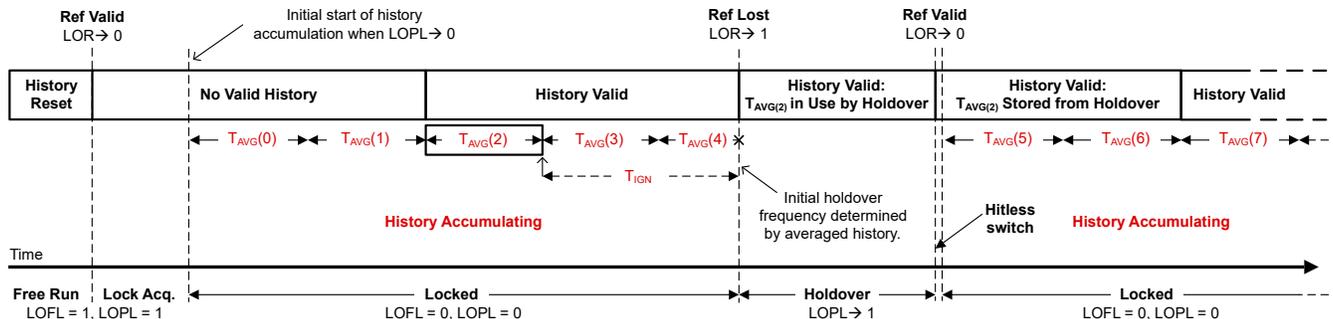


図 8-19. チューニングワード履歴ウィンドウ

チューニングワード履歴が存在しない場合、フリーランチューニングワード値 (DPLLx\_FREE\_RUN) が使用され、初期ホールドオーバー出力周波数精度が決定されます。

### 8.3.7.5 ステータス出力

GPIO ピンは、デバイスの診断およびデバッグの目的で、さまざまなステータス信号と割り込みフラグを出力するように構成できます。ステータス信号、出力ドライバタイプ、および出力極性の設定はプログラム可能です。

### 8.3.7.6 割り込み

任意の GPIO ピンをデバイス割り込み出力ピンとして設定できます。割り込みロジック構成は、レジスタによって設定されます。割り込みロジックが有効になっている場合、XO の LOS、選択された DPLL 入力の LOR、APLL1、APLL2、および DPLL の LOL、および DPLL のホールドオーバーおよびスイッチオーバー イベントなど、割り込みステータスインジケータの任意の組み合わせから割り込み出力をトリガできます。割り込み極性が High に設定されている場合、ライブステータスビットの立ち上がりエッジによって割り込みフラグ (スティッキービット) がアサートされます。それ以外の場合、極性が低く設定されていると、ライブステータスビットの立ち下がりエッジによって割り込みフラグがアサートされます。個々の割り込

みフラグをマスクして、フラグが割り込み出力をトリガーしないようにすることができます。マスクされていない割り込みフラグは AND/OR ゲートによって結合され、どちらのステータスピンでも選択できる割り込み出力を生成します。

システム ホストがデバイスからの割り込みを検出すると、ホストは割り込みフラグまたはスティッキー レジスタを読み取って、システムの障害状態を解決するためにどのビットがアサートされているかを識別できます。システム障害が解決された後、ホストは自己クリア INT\_CLR フィールドに 1 を書き込むことによって割り込み出力をクリアできます。

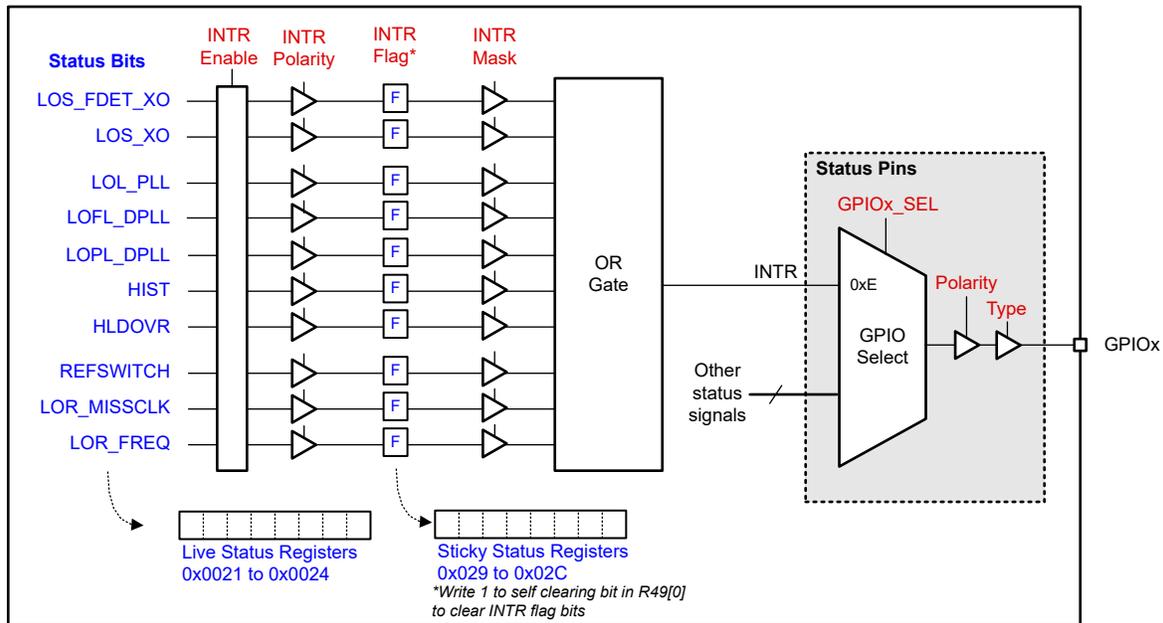


図 8-20. ステータスと割り込み

### 8.3.8 PLL の関係

図 8-21 は、LMK5B12212 に実装された PLL アーキテクチャを示しています。PLL は、セクション 8.2.1 で説明されているように、異なる PLL モードで構成できます。

フィードバック ループで DPLL を APLL と組み合わせる場合、APLL は固定の 40 ビット分母を使用する必要があります。APLL が独立ループで動作する場合 (図 8-4 における APLL1 や図 8-5 における APLL など)、TI は 24 ビットのプログラム可能な分母を選択することを推奨しています。

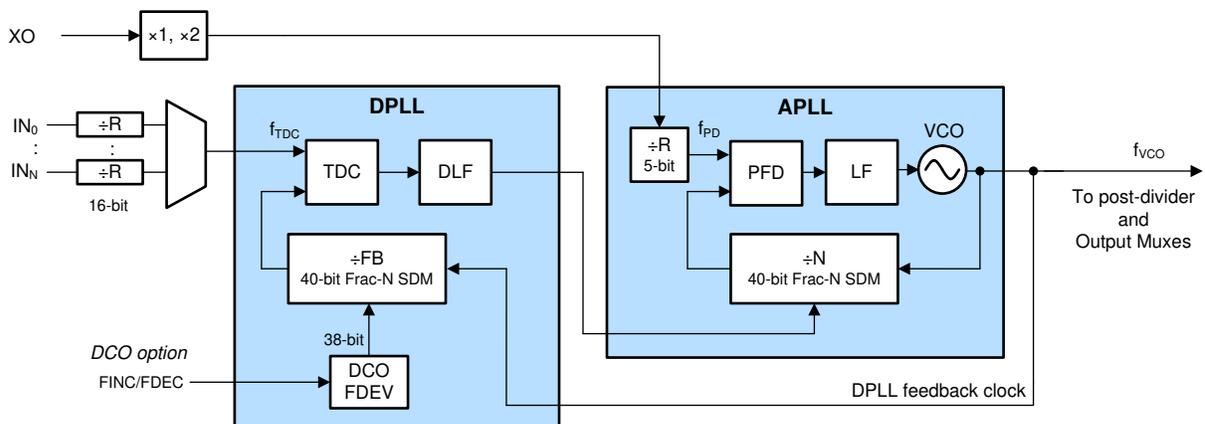


図 8-21. PLL アーキテクチャ

### 8.3.8.1 PLL 周波数の関係

次の式は、閉ループ動作を実現するために必要な APLL と DLL の周波数の関係を示しています。TICS Pro プログラミングソフトウェアを使用すると、必要な周波数プランに基づいて有効なデバイダ設定を作成できます。

次の式内のデバイダは、プログラム可能なレジスタ値ではなく、実際の分周値 (または範囲) を参照することに注意してください。

DPLL 動作が有効になっている場合、計算された DPLL 周波数と APLL 周波数は名目上同じである必要があります。ペアになった APLL N デバイダの 40 ビット固定分母に対する DPLL 調整は、選択された入力リファレンスソースを追跡して、実際のクロック出力に必要な周波数と位相を合成します。

APLL がペアになっている DPLL から独立して動作する場合、TI では、DPLL 制御なしで 0ppm の周波数誤差を維持するために、ハイブリッド同期または周波数ドメイン間のカスケード接続にプログラム可能な 24 ビット分母を使用することを推奨しています。このシナリオでは、APLL は別の APLL 出力からのカスケード フィードバック デバイダ レファレンスを追跡します。

PLL に ZDM を使用する場合は、VCO 周波数の計算でクロック出力デバイダを考慮する必要があります。

#### 8.3.8.1.1 APLL の位相周波数検出器 (PFD) とチャージポンプ

式 1 は、式 2 の APLL VCO 周波数計算で VCO 周波数を見つけるために使用される位相検出器周波数を計算します。

$$f_{PD} = f_{XO} \times D_{XO} / R_{XO} \quad (1)$$

ここで、

- $f_{PD}$ : APLL 位相検出器周波数
- $f_{XO}$ : APLL リファレンスは、XO 周波数または別の APLL からのカスケードリファレンス周波数です。
- $D_{XO}$ : XO 入力ダブラ (1 = 無効, 2 = 有効)
- $R_{XO}$ : APLL XO 入力 R デバイダ値 (1 ~ 32)

APLL2 または APLL1 は、0mA から 5.8mA まで 0.4mA 刻みで設定可能なチャージポンプ設定を備えています。APLL1 では、チャージポンプ電流を 0.8mA 以上に設定することで最高の性能が得られます。

#### 8.3.8.1.2 APLL VCO 周波数

APLL 位相は、適用された APLL 分子を使用して、APLL VCO を APLL リファレンスにロックします。VCO 周波数は式 2 を使用して計算します。

$$f_{VCO} = f_{PD} \times (INT_{APLL} + NUM_{APLL} / DEN_{APLL}) \quad (2)$$

- $f_{VCO}$ : VCO 周波数
- $f_{PD}$ : APLL 位相検出器周波数
- $INT_{APLL}$ : APLL N デバイダ整数値 (12 ビット, 1 ~  $2^{12} - 1$ )
- $NUM_{APLL}$ : APLL N デバイダ分子値 (40 ビット, 0 ~  $2^{40} - 1$ , または 24 ビット, 0 ~  $2^{24} - 1$ )
- $DEN_{APLL}$ : APLL N デバイダ分母値 (固定  $2^{40}$ , またはプログラム可能 1 ~  $2^{24}$ )
  - NUM/DEN 比を整数値から遠ざけることで、整数境界スプリアスを回避します。
  - $0.125 < NUM_{APLL} / DEN_{APLL} < 0.875$  (DPLL モードで、0.5 を避ける)

### 8.3.8.1.3 DPLL TDC 周波数

式 3 は、式 5 の DPLL VCO 周波数計算で VCO 周波数を見つけるために使用される TDC 周波数を計算します。各 DPLL には 2 つの異なる TDC 周波数が可能であり、TDC レートを高く保ちながら非整数関連周波数間の切り替えが可能になります。

$$f_{TDC} = f_{INx} \times D_{INx} / R_{INx} \quad (3)$$

$$f_{TDC} = f_{INy} \times D_{INy} / R_{INy} \quad (4)$$

ここで、

- $f_{TDC}$ : DPLL TDC 入力周波数 (式 3 を参照してください)
- $f_{INx}$  または  $f_{INy}$ :  $INx$  または  $INy$  入力周波数、あるいは別の APLL からのカスケード接続された基準周波数。
- $R_{INx}$  または  $R_{INy}$ :  $INx$  または  $INy$  R デバイダ値 (16 ビット、1 ~  $2^{16} - 1$ )
- $D_{INx}$  または  $D_{INy}$ :  $INx$  または  $INy$  入力ダブラ (2 = 無効および 1 = 有効)

### 8.3.8.1.4 DPLL VCO 周波数

DPLL 位相は、実際の APLL 分子値を更新することにより、APLL VCO を DPLL VCO 周波数にロックします。式 5 を使用して VCO 周波数を計算します。各 DPLL は DPLL N に 2 つの異なる値を持つことができ、2 つの異なる TDC 周波数を使用して同じ VCO 周波数にロックすることができます。DPLLx\_REF#\_FB\_SEL レジスタは、使用する DPLL N 値を選択します。

$$f_{VCO} = f_{TDC} \times (INT_{DPLL} + NUM_{DPLL} / DEN_{DPLL}) \quad (5)$$

ここで、

- $INT_{DPLL}$ : DPLL FB デバイダ整数値 (33 ビット、1 ~  $2^{33} - 1$ )
- $NUM_{DPLL}$ : DPLL FB デバイダ分子値 (40 ビット、0 ~  $2^{40} - 1$ )
- $DEN_{DPLL}$ : DPLL FB デバイダ分母値 (40 ビット、1 ~  $2^{40}$ )
- $N$ :  $INT_{DPLL} + NUM_{DPLL} / DEN_{DPLL}$

### 8.3.8.1.5 クロック出力周波数

各 APLL にはポスト デバイダが搭載されており、VCO ポスト デバイダ周波数は式 6 または式 7 で計算されます。最終的な出力周波数は、VCO ポスト デバイダ周波数と出力分周比を除算して計算されます (式 8 で計算)。各出力の出力周波数は、選択した APLL クロック ソースと出力分周値によって異なります。

$$\text{APLL2 selected: } f_{POST\_DIV} = f_{VCO2} / P_{nAPLL2} \quad (6)$$

$$\text{APLL1 selected: } f_{POST\_DIV} = f_{VCO1} / P_{nAPLL1} \quad (7)$$

$$\text{OUT}[0:11]: f_{OUTx} = f_{POST\_DIV} / OD_{OUTx} \quad (8)$$

ここで、

- $f_{POST\_DIV}$ : 出力マルチプレクサ ソース周波数 (APLL2、または APLL1 ポスト デバイダ クロック)
- $P_{nAPLL2}$ : APLL2 の 1 次側「P1」ポスト分周値 (2 ~ 13) または 2 次側「P2」ポスト分周値 (2 ~ 3)
- $P_{nAPLL1}$ : APLL1 ポスト分周値 (1 ~ 8)
- $f_{OUTx}$ : 出力クロック周波数 ( $x = 0 \sim 15$ )
- $OD_{OUTx}$ :  $OUTx$  出力バイパスまたは分周値。すべての出力には、1 ~ ( $2^{12} - 1$ ) の値を持つ 12 ビットの デバイダがあります。OUT2 および OUT3 を除くすべての出力は、12 ビット デバイダの後段に 20 ビットの SYSREF デバイダを追加することができ、SYSREF 出力が連続出力に設定されている場合、1PPS や 1Hz 未満の他の周波数を生成するために使用できます。

### 8.3.8.2 アナログ PLL (APLL1、APLL2)

各 APLL は、40 ビットの分周 N デバイダを搭載しており、高分解能の周波数合成と、非常に小さい位相ノイズとジッタをサポートします。各 APLL には、DPLL モードのシグマ-デルタ変調器 (SDM) 制御により VCO 周波数を調整する機能もあります。カスケード モードでは、各 APLL は VCO 周波数を別の VCO 周波数にロックできます。

フリーラン モードでは、BAW APLL は VCBO への初期レファレンス クロックとして XO 入力を使用します。BAW APLL の PFD は、分周 N デバイダ クロックをレファレンス クロックと比較し、制御信号を生成します。制御信号は BAW APLL ループ フィルタによってフィルタ処理され、VCBO 出力周波数を設定する制御電圧が生成されます。SDM では N 分圧比を変調して、PFD 入力と VCBO 出力との間で目的の分周比が得られます。LC VCO を使用したもう一つの通常の APLL は、VCBO と同様に動作します。ユーザーは、VCBO クロックまたは XO クロックのいずれかからレファレンス電圧を選択できます。

DPLL モードでは、DPLL ループによって APLL 分数 SDM が制御され、DPLL リファレンス入力で VCO 周波数がロックされます。たとえば、「APLL が DPLL とカスケード接続されていない場合の例」では、APLL2 が VCO1 からリファレンスを取得し、VCO2 は実質的に DPLL1 のリファレンス入力にロックされます (APLL2 の分数 N 分周比によって合成誤差が生じない場合を前提としています)。

### 8.3.8.3 APLL のリファレンスの経路

#### 8.3.8.3.1 APLL の XO ダブラ

APLL XO ダブラを有効にすると、APLL リファレンスの PFD 周波数を 2 倍にすることができます。XO ダブラを有効にすると、ノイズが最小限に抑えられ、PFD 周波数を上げて位相ノイズ、ジッタ、および分周スプリアスを最適化するのに役立ちます。PFD 周波数を上げると、APLL 位相ノイズの平坦な部分が改善されます。

#### 8.3.8.3.2 APLL の XO リファレンス (R) 分周器

各 APLL には、最大 APLL PFD 周波数仕様を満たすために使用できる 5 ビット XO リファレンス (R) デバイダがあります。また、デバイダを使用して、APLL 分数 N 分周比 (NUM/DEN) が 0.125 ~ 0.875 (0.5 は避ける) であることを確認することもできます。これは、DPLL 周波数チューニング範囲をサポートするために推奨されます。それ以外の場合は、R 分周器をバイパスできます (1 で割る)。

#### 8.3.8.4 APLL の帰還分周器の経路

各 APLL の VCO 出力は、フラクショナル フィードバック (N) デバイダを介して PFD ブロックにフィードバックされます。DPLL モードでは、VCO 出力も DPLL フィードバックパスにフィードバックされます。ハイブリッド同期またはカスケード周波数領域アーキテクチャの場合、各 VCO 出力は、DPLL 入力リファレンス選択マルチプレクサに供給したり、他の APLL の XO 入力として、あるいは固定フィードバック デバイダを介して供給することもできます。

#### 8.3.8.4.1 シグマ-デルタ変調器 (SDM) 内蔵 APLL の N 分周器

APLL 分数 N デバイダには、12 ビットの整数部分 (INT)、40 ビットの分子部分 (NUM)、固定 40 ビットまたはプログラム可能な 24 ビットの分母部分 (DEN)、および SDM が含まれます。INT と NUM はプログラム可能です。APLL がループ内で DPLL と連携して動作する場合、APLL は VCO クロックの非常に高い周波数分解能のために固定の 40 ビット分母を使用します。APLL が独立したループで動作する場合 (ペアになっている DPLL が無効)、TI では 24 ビットのプログラム可能な分母を推奨します。合計 APLL N 分周値は次のとおりです。N = INT + NUM / 2<sup>40</sup> or INT + NUM / 2<sup>24</sup> .

APLL フリーラン モードでは、APLL の PFD 周波数と合計 N デバイダによって VCO 周波数が決定され、これは [式 2](#) によって 24 ビット分母で計算できます。

#### 8.3.8.5 APLL のループ フィルタ (LF1、LF2)

APLL ループ フィルタ コンポーネントは、XO 入力の位相ノイズに応じて APLL LBW を最適化するようにプログラムできます。BAW APLL は 100Hz ~ 10kHz (標準範囲) のプログラム可能な LBW をサポートし、従来の LC APLL は 100kHz ~ 1MHz (標準範囲) のプログラム可能な LBW をサポートします。[図 8-22](#) は、PFD/チャージ ポンプ出力と VCO 制御入力間の APLL ループ フィルタ構造を示しています。

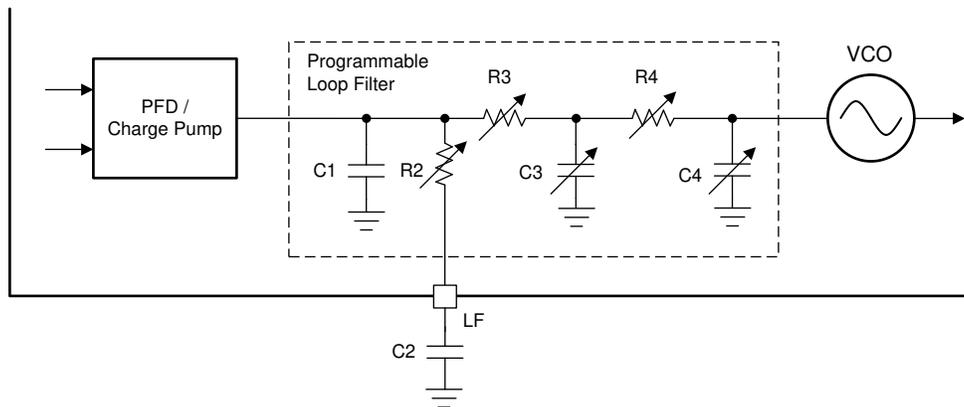


図 8-22. 各 APLL のループ フィルタ構造

BAW APLL は、TICSPRO および ROM ページで、デフォルトで狭い LBW で構成されています。その結果、低ジッタ VCBO が、8kHz から約 400kHz までのキャリア オフセット範囲のクロック出力位相ノイズを支配します。

表 8-3 にリストされているデフォルトの APLL ループ フィルタ設定を使用して、各 APLL の LBW が表 8-4 にまとめられています。

表 8-3. デフォルトの APLL チャージ ポンプおよびループ フィルタ コンポーネント

部品	ロケーション	タイプ	APLL2 のデフォルト値	APLL1 のデフォルト値
チャージ ポンプ	内部	プログラム可能	3.4mA	2.0mA
C1	内部	固定	100pF	100pF
C2	外部 <sup>(1)</sup>	固定	100nF	470nF
C3	内部	プログラム可能	70pF	70pF
C4	内部	プログラム可能	70pF	70pF
R2	内部	プログラム可能	0.183kΩ	0.301kΩ
R3	内部	プログラム可能	0.657kΩ	5.5kΩ
R4	内部	プログラム可能	0.657kΩ	5.5kΩ

(1) 外部コンデンサは、対応する APLLx の LFX ピンに接続されます。

表 8-4. デフォルト APLL LBW (PFD = 96MHz)

APLL	VCO 範囲 [MHz]	LBW [kHz] <sup>(1)</sup>
2	5600~5950	152.8~137.8
1	2500	4.9

(1) APLL LBW 範囲はそれぞれ VCO 範囲に対応します。

### 8.3.8.6 APLL の電圧制御発振器 (VCO1、VCO2)

各 APLL には完全に統合された VCO が含まれており、ループ フィルタから電圧を取得してその電圧を周波数に変換します。

VCO1 は、非常に高い選択度を備えた独自の BAW 共振器技術を使用して最低の位相ジッタを実現し、2500.0MHz ± 100ppm のチューニング範囲を備えています。VCO2 は、必要に応じて、5595MHz ~ 5950MHz の広いチューニング範囲を備えた高性能 LC VCO を使用して、その他の関連のないクロック周波数もカバーします。

### 8.3.8.6.1 VCO 校正

各 APLL VCO は、PLL がロックを達成し、最適な位相ノイズ性能を提供できることを確認するためにキャリブレーションする必要があります。VCO キャリブレーションは、VCO チューニング範囲内で最適な動作ポイントを確立します。VCO キャリブレーションは、デバイスの電源投入後、ハードリセット後、またはソフトリセット後に入力モニターによって XO 入力が出検されると、PLL の初期起動時に自動的に実行されます。キャリブレーションと APLL ロックを正常に行うには、キャリブレーションの開始前に XO クロックの振幅と周波数が安定している必要があります。安定していないと、キャリブレーションが失敗し、PLL ロックと出力クロックの起動が妨げられる可能性があります。VCO キャリブレーションと APLL ロックの前に、出力ドライバは通常、スプリアス出力クロックを防止するためにミュート状態に保持されます (出力ごとに構成可能)。

ホストプログラミングを通じて PLL 有効化サイクル (APLLx\_EN ビット = 0 → 1) を切り替えることにより、単一の APLL に対して VCO キャリブレーションを手動でトリガできます。これは、APLL N 分周値 (VCO 周波数) がプログラミングを通じて動的に変更された後に必要になることがあります。

### 8.3.8.7 APLL の VCO クロック分配の経路

各 APLL VCO ポスト デバイダは、独立してプログラム可能なデバイダをサポートします。

APLL1 (BAW APLL) には、1 つの VCO ポスト デバイダが搭載されており、必要に応じて 2 分周を組み合わせ使用できます。VCO1 のポスト デバイダは、プログラム可能な 8 分周と、それに続くオプションの 2 分周で構成されています。APLL1 のポスト デバイダ クロック div8 (÷2 ~ ÷8)、または div8 と div2 (÷10、÷12、÷14、÷16) の組み合わせは、LMK5B12212 内のすべての 4 つの出力バンクに分配できます。システムのユースケースで、APLL1 から複数の周波数を供給する必要があり、それが単一のポスト デバイダ値では対応できない場合は、VCO1 のポスト デバイダを 1 に設定して VCO1 ポスト デバイダをバイパスし、各チャンネルのデバイダを個別に設定して、目的の出力周波数を得るようにします。

APLL2 (従来型 APLL) には、1 つの VCO ポスト デバイダ クロック (P1: すべての出力に分配可能な、最大 2 倍の ÷2 ~ ÷13 のデジタル信号出力が使用可能です)。

### 8.3.8.8 DPLL のリファレンス (R) 分周器の経路

各リファレンス入力クロックには、DPLL TDC ブロックへの専用の 16 ビットリファレンス デバイダがあります。選択されたリファレンス R デバイダ出力によって、TDC 入力周波数が設定されます。異なる周波数の入力間のヒットレススイッチングをサポートするには、R デバイダを使用してクロックを DPLL TDC 入力への単一の共通周波数に分周します。

### 8.3.8.9 DPLL の時間 / デジタル コンバータ (TDC)

TDC 入力は、選択されたリファレンス入力の R デバイダ クロックと VCO からの DPLL フィードバック デバイダクロックの位相を比較します。TDC 出力は、DPLL ループ フィルタによって処理される位相誤差に対応するデジタル補正ワードを生成します。

### 8.3.8.10 DPLL のループ フィルタ (DLF)

DPLL は 10mHz ~ 4kHz のプログラム可能なループ帯域幅をサポートし、0.1dB (標準) 未満のジッタ ピーキングを実現できます。DPLL のローパス ジッタ伝達特性により、ループ帯域幅を超える最大 60dB/10 倍のロールオフでリファレンス入力ノイズが減衰されます。

DPLL ループ フィルタ出力は、APLL の少数分子を制御して、VCO 周波数を選択された DPLL リファレンス入力にロックさせます。

### 8.3.8.11 DPLL の帰還 (FB) 分周器の経路

DPLL フィードバックパスには、プログラム可能なプリスケラ (33 ビット、1 ~  $2^{33} - 1$ ) とフラクショナル フィードバック (FB) デバイダがあります。プログラム可能な DPLL FB デバイダには、33 ビットの整数部分 (INT)、40 ビットの分子部分 (NUM)、および 40 ビットの分母部分 (DEN) が含まれます。DPLL FB デバイダの合計値は次のとおりです。FB<sub>DPLL</sub> = INT + NUM / DEN。

DPLL モードでは、TDC 周波数と合計 DPLL フィードバック デバイダおよびプリスケラによって VCO 周波数が決定されます。式 5 を使用して VCO 周波数を計算します。

### 8.3.9 出カクロックの分配

出カクロック分配ブロックには、LMK5B12212 内に 5 つの出力マルチプレクサ、8 つの出力デバイダ、および 12 個のプログラム可能な差動出力ドライバが含まれます。

出力デバイダは出力同期 (SYNC) をサポートし、2 つ以上の出力チャンネル間の位相同期を可能にします。OUT0、OUT4、および OUT10 には、プログラム可能なオフセットによる確定的な入力から出力への位相調整 (通常は 1PPS クロック用) をサポートするオプションの内部 ZDM 同期機能があります。セクション 8.3.19 を参照してください。

### 8.3.10 出カソース マルチプレクサ

LMK5B12212 は、5 つの出力ソース マルチプレクサを使用して、周波数ソースをそれぞれの出力バンクに分配します。OUT0 および OUT1 はそれぞれ個別の 4:1 マルチプレクサを備えており、独立してソースを選択できます。OUT2 および OUT3 の出力チャンネルは、1 つの 2:1 マルチプレクサを共有しています。出力バンク OUT4~OUT7 も 1 つの 2:1 マルチプレクサを共有しており、さらに 3 番目の 2:1 マルチプレクサが出力バンク OUT8~OUT11 全体で共有されています。

OUT0 および OUT1 に搭載された 4:1 マルチプレクサは最も柔軟性が高く、周波数ソースとして APLL1 のポスト デバイダ、APLL2 のポスト デバイダ、バッファ付き XO、またはリファレンス入力のいずれかを選択できます。OUT2 および OUT3 バンク、OUT4~OUT7 バンク、OUT8~OUT11 バンクに供給されるそれぞれの 2:1 マルチプレクサは、APLL1 のポスト デバイダまたは APLL2 のポスト デバイダから周波数ソースを選択できます。

表 8-5 に、出力ソースのマルチプレクサで使用可能なオプションを示します。

**表 8-5. 出力ソース マルチプレクサ オプション**

出力ソース マルチプレクサ オプション	出力 (オプションあり)	説明
REFx	OUT0~OUT1	R78[5] を設定して OUT0_1 へのリファレンスパスを有効にすると、出力チャンネルのマルチプレクサは R48[4:0] によって選択されたリファレンス入力 (0x1 で REF0、0x2 で REF1) をソースとします。
XO	OUT0~OUT1	出力チャンネルマルチプレクサは、XO 入力から供給されます。
APLL1	OUT0~OUT11	出力チャンネルマルチプレクサには、APLL1 ポスト デバイダ出力から信号が供給されます。
APLL2	OUT0~OUT11	出力チャンネルマルチプレクサには、APLL2 ポスト デバイダ出力から信号が供給されます。

### 8.3.11 出カチャンネル マルチプレクサ

出力ソースのマルチプレクサの後、各出力チャンネルは出力チャンネル マルチプレクサから供給されます。表 8-6 は、出力チャンネル マルチプレクサで使用可能なオプションもののリストです。

**表 8-6. 出力チャンネルマルチプレクサ オプション**

出力チャンネル マルチプレクサ オプション	説明
バイパス	出カクロックは APLL ポスト デバイダから直接供給され、出力チャンネル デバイダはバイパスされます。
CHDIV	出カクロックは出力チャンネル デバイダから供給されます。
CH / 2	出カクロックは 2 分周チャンネルから供給されます。
SYSREF	出カクロックは、SYSREF デバイダから供給されます。
SYSREF + ADLY	出カクロックは、アナログ遅延付きの SYSREF デバイダから供給されます。

表 8-6. 出力チャンネルマルチプレクサ オプション (続き)

出力チャンネル マルチプレクサ オプション	説明
静的 DC	出力クロックは静的:OUTP は LOW で、OUTN は HIGH です。 注記:この状態は、出力イネーブルビット (OUTx_EN) とは異なります。出力が無効になっている場合 (OUTx_EN = 0)、出力チャンネルはトライステート (ハイインピーダンス、または Hi-Z) になります。

### 8.3.12 出力分周器 (OD)

各出力ソース マルチプレクサ の後に 1 つ以上の出力デバイダがあります。OUT[2:3] の各チャンネルには個別の 12 ビットチャンネル デバイダがあります。OUT[4:5]、OUT[6:7]、OUT[8:9]、OUT[10:11]チャンネルにはそれぞれ個別の 12 ビット出力デバイダがあり、オプションの 20 ビット SYSREF デバイダとカスケード接続されています。出力デバイダは、出力マルチプレクサによって選択されたソースから最終的なクロック出力周波数を生成するために使用されます。

OUT0 または OUT1 チャンネルは、12 ビットの出力チャンネル デバイダ (CD) と 20 ビットの SYSREF デバイダを組み合わせ、1 Hz (1PPS) から 1250MHz までの出力周波数をサポートします。VCO から出力までの合計分周値は、PLL ポスト デバイダ (P)、出力チャンネル デバイダ (CD)、および SYSREF デバイダ (SD) の値 ( $P \times CD \times SD$ ) の積になります。

たとえば、BAW APLL ポスト デバイダをバイパスすると、各 12 ビット チャンネル デバイダ (CD) は 100kHz ~ 1250MHz (または構成された出力ドライバタイプでサポートされる最大周波数まで) の出力周波数をサポートします。SYSREF デバイダ (SD) をカスケード接続することで、最低 1Hz (1PPS) までの低いクロック周波数を実現できます。

各出力デバイダには、クロック出力ドライバに使用されるものと同じ VDDO\_x 電源から電力が供給されます。出力デバイダが使用されていない場合は、電力を節約するために電源をオフにすることができます。OUT[2:3]、OUT[4:5]、OUT[6:7]、OUT[8:9]、OUT[10:11]、の各出力グループでは、両方の出力ドライバが無効化されている場合、自動的に出力分周器の電源がオフになります。OUT0 または OUT1 チャンネルの場合、出力ドライバが無効になると、出力デバイダの電源が自動的にオフになります。

### 8.3.13 出力遅延

LMK5B12212 には、遅延機能を使用して出力クロック位相を調整する機能があります。各チャンネル デバイダ パスには、プログラム可能な静的オフセット デジタル遅延があります。SYSREF デバイダを選択すると、出力クロックにプログラム可能な静的オフセット デジタル遅延、SYSREF デジタル遅延、およびアナログ遅延を追加できます。

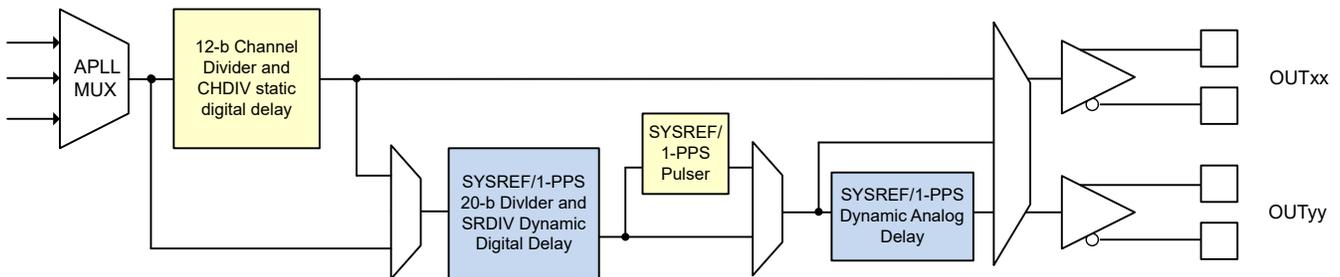


図 8-23. プログラム可能な静的出力遅延と動的出力遅延

### 8.3.14 クロック出力

各クロック出力 (OUTx\_P および OUTx\_N) は、個別にドifferential出力ライバとして構成できます。OUT0 または OUT1 には、出力ペアごとに 2 つの 1.8 V または 2.65 V LVCMOS 出力ドライバを追加できる機能があります。追加の低周波シングルエンド クロック出力の場合、GPIO1 と GPIO2 は、別の差動出力ペアからの任意の SYSREF/1PPS 出力 デバイダ出力を複製するように構成できます。

各出力チャンネルには専用の内部 LDO レギュレータが搭載されており、優れた PSNR を提供し、電源ノイズによって誘発されるジッタとスプリアスを最小限に抑えます。差動モードの場合、チャンネルの内部 LDO レギュレータにより、出力クロック仕様 (出力スイング、位相ノイズ、ジッタなど) は VDDO\_x 電圧の影響を受けません。

OUT0 および OUT1 チャンネル (マルチプレクサ、デバイダ、およびドライバ) は、単一の出力電源ピン (VDDO\_0\_1) を介して電源が供給されます。同様に、OUT2 および OUT3 チャンネルは VDDO\_2\_3 によって駆動され、OUT4 から OUT7 は VDDO\_8\_TO\_11、OUT8 から OUT11 は VDDO\_8\_TO\_11 によって駆動されます。各出力電源ピンには、それぞれの出力が使用されていない場合でも常に 3.3 V で電源を供給する必要があります。

使用されていないクロック出力を無効にすると、電力を節約できます。

### 8.3.14.1 差動出力

差動 HSDS ドライバには、プログラム可能なシングルエンドのピークツーピーク振幅 ( $V_{OD}$ ) とコモンモード電圧 ( $V_{CM}$ ) 設定があります。 $V_{OD}$  の範囲は 0.4V ~ 1V で、ステップ サイズは約 100mV です。利用可能な  $V_{CM}$  オプションは 3 つあります。S1、S2、S3、および S2+S3。HSDS ドライバは、AC-LVPECL 出力クロックまたはその他の差動出力用に AC 結合できます。レシーバの要件を満たす利用可能な  $V_{CM}$  設定がある場合、LVDS 出力など、HSDS ドライバを DC 結合できます。

従来の HCSL 出力ドライバは PCIe に準拠しており、50Ω の外部終端が必要です。TI は、終端を受信側の近くに配置することを推奨します。

推奨される差動出力オプションについては 表 8-7 を参照し、 $V_{OD}$  および  $V_{CM}$  の電圧変動については 電气的特性 を参照してください。

表 8-7. 差動出力オプション

差動ドライバタイプ	$V_{OD}$ , TYP [mV] レジスタ設定	$V_{CM}$ , TYP [mV]	$V_{CM}$ レジスタ設定
HSDS	400	350	S1
HSDS	400	700	S2
HSDS (LVDS)	400	1250	S3
HSDS	500	400	S1
HSDS	600	450	S1
HSDS	600	800	S2 + S3
HSDS	700	500	S1
HSDS	700	900	S2 + S3
HSDS (AC-LVPECL)	800	550	S1
HSDS (AC-LVPECL)	800	1000	S2 + S3
HSDS (AC-LVPECL)	900	600	S1
HSDS (AC-LVPECL)	1000	650	S1
HCSL	750	350	該当なし

### 8.3.14.2 LVCMOS 出力

OUT0 と OUT1 には、P および N 出力ペアごとに 2 つの 1.8V または 2.65V LVCMOS ドライバを追加できる機能があります。各 LVCMOS 出力は、通常の極性、反転極性、または Hi-Z または静的 Low レベルとして無効に設定できます。LVCMOS 出力 High レベル ( $V_{OH}$ ) は、レール ツー レール LVCMOS 出力電圧振幅の場合、1.8V または 2.65V の内部プログラム可能な LDO レギュレータ電圧によって決まります。

LVCMOS モードは、位相ノイズやジッタの要件が厳しくない ASIC またはプロセッサ クロック向けに推奨されます。LVCMOS 出力クロックは、電圧振幅の大きい不平衡信号であるため、強力なアグレッサとなり、ジッタに敏感な他の差動出力クロックにノイズを結合する可能性があります。出力ペアから LVCMOS クロックが必要な場合は、両方の出力を有効にして極性を反対 (+/- または -/+) にしてペアを構成し、未使用の出力はトレースを接続せずにフローティングのままにします。

### 8.3.14.3 SYSREF/1PPS 出力

LMK5B12212 は、JEDEC JESD204B または JESD204C SYSREF クロックを含む 1PPS ~ 25MHz のシステム リファレンス クロックをサポートできます。OUT2/3 を除く任意の 12 ビット出力チャネル デバイダは、個別の 20 ビット SYSREF デバイダとカスケード接続できます。柔軟な SYSREF 分周値を設定すると、アプリケーションの要件に基づいて、複数の出力で同じ SYSREF/1PPS 周波数を生成するか、SYSREF/1PPS の異なる周波数の倍数を生成します。複数の SYSREF 出力を揃える場合は、TI は SYSREF 要求の再サンプリングのために SYSREF\_REQ\_MODE 0x1A[5:4] = 11 を設定することを推奨します。追加のシングルエンド出力が必要な場合は、SYSREF/1PPS を GPIO1 または GPIO2 に複製することもできます。SYSREF 要求サンプル ソース SYSREF\_REQ\_SEL 0x1A[3:2] は、SYSREF/1PPS 出力複製に必要なソースと同じソースに設定する必要があります。

SYSREF デバイダ出力信号は、必要に応じて GPIO1 または GPIO2 のいずれかで複製して、起動後に追加のシングルエンド 3.3V CMOS クロックを提供できます。SYSREF/1PPS 出力レプリケーションを構成するには、GPIO を出力として有効にし (GPIOx\_OUTEN = 1)、GPIO レプリケーション ソースへの SYSREF 出力の 1 つをアクティブにする必要があります。SYSREF のソースは、レジスタ設定 (OUT\_x\_y\_SR\_GPIO\_EN = 1) によって、OUT0/1、OUT4/5、OUT6/7、OUT8/9、OUT10/11、で使用されている SYSREF デバイダのいずれかから選択できます。GPIOx 複製された SYSREF 出力は、静的デジタル遅延の後ですが、アナログおよびデジタル遅延とパルサーの前です。GPIOx 複製ではパルス SYSREF モードがサポートされていないため、出力は連続周波数になります。

通常の SYSREF と GPIO 複製 SYSREF の間には、若干の固定遅延スキューがあります。LVCMOS 出力クロックは、電圧振幅の大きい不平衡信号です。そのため、信号が他のジッタに敏感な差動出力クロックに強く干渉し、ノイズを結合する可能性があります。

### 8.3.15 LOL 中の出力の自動ミュート

各出力ドライバは、MUTE 有効化フィールドで設定されたとおり、選択された出力マルチプレクサ クロック ソースが無効な場合にクロックを自動的にミュートできます。APLL および DPLL ミュート制御ビット (MUTE\_APLLx\_LOCK、MUTE\_DPLLx\_LOCK、MUTE\_DPLLx\_PHLOCK) を設定することにより、各 PLL の LOL ステータスに基づいてソースを無効にすることができます。自動ミュートが無効またはバイパスされている場合 (OUT\_x\_y\_MUTE\_EN = 0)、VCO キャリブレーションの前と最中に出力クロックの周波数が正しくなくなったり、不安定になったりする可能性があります。

### 8.3.16 出カクロックの起動時のグリッチなし

APLL 自動ミュートが有効になっている場合、デバイスの電源投入、ハードリセットの終了、ソフトリセットの終了、または出力 SYNC のデアサートのいずれかのイベント後に APLL ロックが達成されると、出力はクロック グリッチなしで同期方式で起動します。

### 8.3.17 クロック出力のインターフェイスと終端

このセクションでは、推奨される出力終端を示します。使用されていないクロック出力は、プログラミングによってフローティング状態のままにしたり、電源をオフにしたりすることができます。

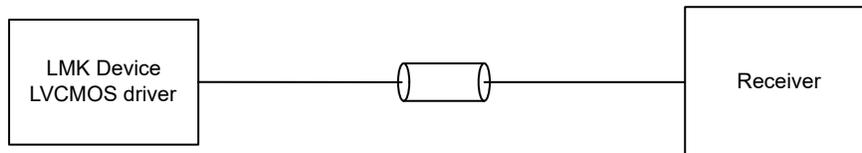


図 8-24. LVC MOS 出力の終端

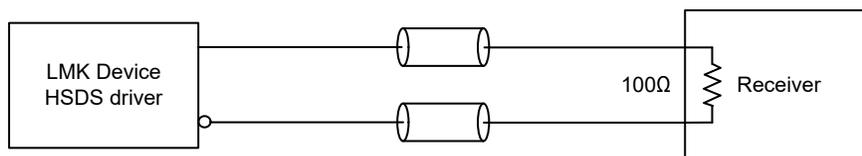


図 8-25. DC 結合 HS DS/LVDS 出力終端

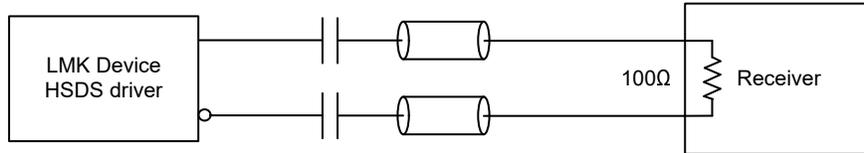


図 8-26. AC 結合 HSDS 出力終端方法 1

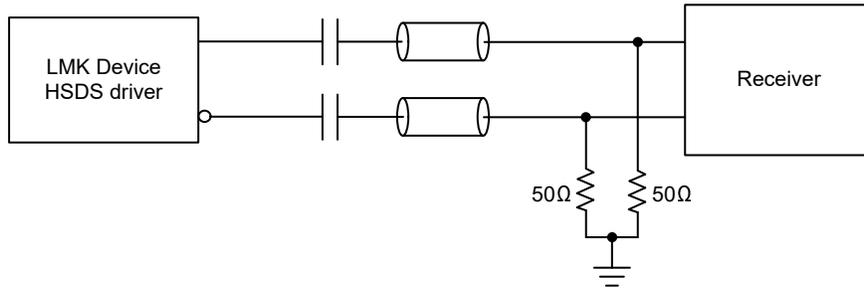


図 8-27. AC 結合 HSDS 出力終端方法 2

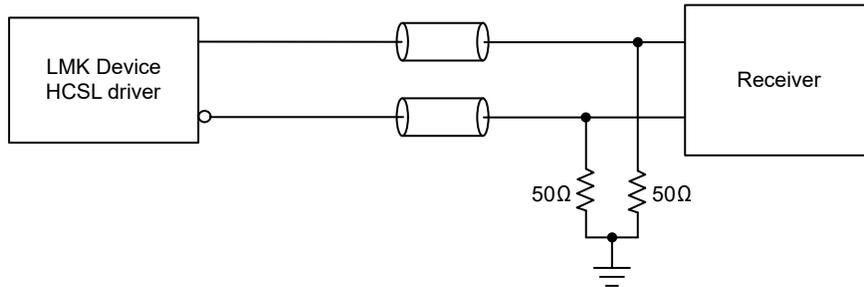


図 8-28. DC 結合 HCSL 出力終端

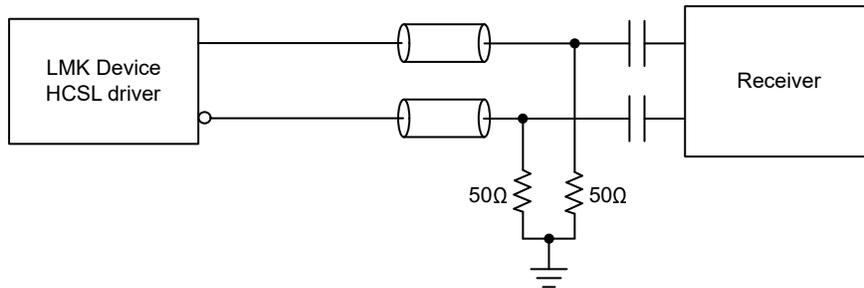


図 8-29. AC 結合 HCSL 出力終端

### 8.3.18 出力同期 (SYNC)

出力同期を使用すると、同じ PLL 出力クロック サイクルで出力デバイダのリセットを終了させることで、共通の立ち上がりエッジに対応する 2 つ以上の出力クロックを位相整列させることができます。同じ PLL 出力を選択する出力デバイダは、ハードウェア ピンまたはソフトウェア ビットを使用して同期イベントをトリガすることで、すべて同期グループとして同期できます。

2 つ以上の出力チャンネルの同期グループを確立するには、次の要件を満たす必要があります。

- 出力デバイダでは、それぞれの SYNC 有効化ビットが設定されます (OUT\_x\_y\_DIV\_SYNC\_EN = 1)
- SYSREF デバイダには、それぞれ追加の同期有効化ビットが設定されており (OUT\_x\_y\_SR\_DIV\_SYNC\_EN = 1)、上記の設定で動作します (OUT\_x\_y\_DIV\_SYNC\_EN = 1)
- 出力デバイダには、同じ PLL 出力を選択する出力多重化があります
- PLL (ポスト デバイダ) 出力には、同期有効化ビットが設定されています (例: PLL1\_PRI\_DIV\_SYNC\_EN = 1)
- SYNC\_EN = 1

SYNC イベントは、GPIOx\_MODE = 31 の SYNC 入力用にプログラムされた GPIOx ピンと SYNC\_SW レジスタ ビット (アクティブ High) のどちらかによってアサートできます。SYNC がアサートされると、同期有効化デバイダがリセット状態に保持され、クロック出力は Low になります。SYNC がデアサートされると、共通 PLL からの出力は、最初のクロック位相を同期または整列して開始します。SYNC は、SYNC 対応の出力を Low 状態に設定して、受信機の入力が設定されて着信クロックを受け入れる準備ができるまで出力クロックが下流のデバイスに配布されるのを防ぐためにも使用できます。

同期が無効になっている出力チャンネル (OUT\_x\_y\_DIV\_SYNC\_EN = 0) は SYNC イベントの影響を受けず、設定されたとおりに通常の出力動作を継続します。駆動されたデバイダが正確に同期されていることを確認には、VCO ポスト デバイダ クロックの同期が有効になっている必要があります。ただし、チャンネル デバイダが SYNC に選択されていない場合でも、リセット VCO ポスト デバイダからクロックを派生する出力は SYNC 中は無効です。同期に選択されていない VCO ポスト デバイダは SYNC 中も実行を停止しないため、ポスト デバイダは同期を必要としない出力チャンネルに信号を供給し続けることができます。1 分周の出力デバイダ (デバイダ バイパス モード) は、SYNC イベント中にゲートされません。

表 8-8. 出力同期

GPIOx を SYNC ピンとして使用 GPIOx_MODE = 31		SYNC_SW R21[6]	出力デバイダおよびドライバの状態
GPIOx_POL = 0	GPIOx_POL = 1		
1	0	1	出力ドライバはミュートされ、出力デバイダはリセットされます
1 → 0	0 → 1	1 → 0	同期された出力は、同期された位相で解放されます
0	1	0	設定された通常の出力ドライバ/デバイダの動作

### 8.3.19 ゼロ遅延モード (ZDM)

DPLL は、構成と ZDM 用に選択された DPLL に応じて、選択された DPLL リファレンス入力と OUT0 または OUT10 クロック間の既知かつ確定的な位相関係を実現するための内部 ZDM 同期オプションをサポートします。

ZDM を有効にすると、ユーザーは選択した DPLL リファレンス入力クロックと選択したゼロ遅延フィードバック クロック間のゼロ位相遅延を実現できます。図 8-30 に、OUT0 クロックがゼロ遅延出力クロックとして任意の DPLL に内部でフィードバックする方法を示します。ZDM は主に、1PPS 入力から 1PPS 出力、または 156.25MHz 入力から 156.25MHz 出力など、入力と選択された出力間の確定的な位相関係を実現するために実装されます。

ゼロディレイフィードバック クロックは OUT0 からデバイス内部へルーティングされるため、外部クロック信号を出力から入力へ配線する必要はありません。

1PPS 位相整列は、位相スルー制御と ZDM によって再確立できます。位相スルー制御により、制御された速度で位相ビルドアウトを 0 に戻すことができます。ZDM モードを使用して 1PPS 信号にロックするには、出力静的遅延または DPLLx\_PH\_OFFSET をプログラムして、1PPS 入力と 1PPS フィードバック クロック間の位相誤差をゼロにすることができます。1PPS に ZDM を使用する場合は、ヒットレス スイッチングを無効にする必要があります。

1 ps 未満の微調整を適用するために DPLLx\_PH\_OFFSET フィールドの入力から出力への位相誤差を計算する方法の例については、[DPLL プログラム可能位相遅延](#) を参照してください。

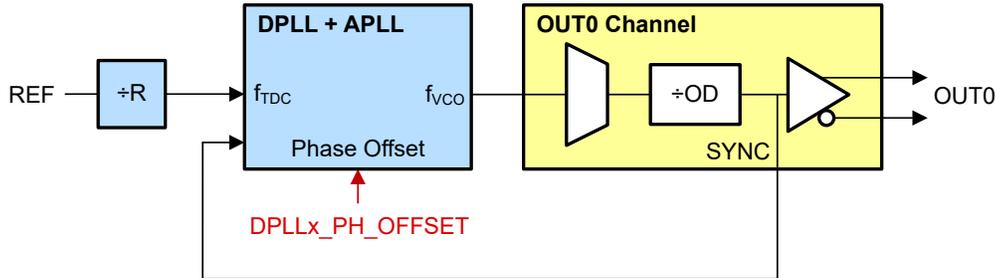


図 8-30. リファレンス入力と OUT0 間の DPLL ZDM 同期

### 8.3.20 DPLL プログラム可能位相遅延

ユーザーは DPLLx\_PH\_OFFSET[44:0] レジスタ フィールドに書き込むことで DPLL 位相オフセットを調整できます。位相オフセットは、デフォルト設定が 0 の符号付き 2 の補数値であり、TDC でのフィードバッククロックとリファレンスクロックの位相関係をオフセットします。位相調整は、DPLLx 同期ドメインから派生したすべての出力に共通です。DPLLx\_PH\_OFFSET の調整は一方向に行われます。負の方向にシフトするには、出力クロックの周期から必要な時間オフセットを減算して、新しい位相オフセットを得ます。

式 9 と 式 10 は、出力位相を微調整ステップで変化させるために DPLLx\_PH\_OFFSET フィールド値を計算するための式を示しています。DPLLx\_PH\_OFFSET は、デシメーションとデジタル ゲインのスケール係数を持つ APLLx VCO 周期に関連しています。

$$\text{DPLLx\_PH\_OFFSET} = 2 \times \text{DESIRED\_TIME\_OFFSET} \times f_{\text{VCOx}} \times \text{SCALING}_{\text{DEC}} \quad (9)$$

$$\text{SCALING}_{\text{DEC}} = \text{DPLLx\_PARAM\_B} \times (\text{DPLLx\_PARAM\_C} + 1) \times 2^{32 - \text{DPLLx\_PARAM\_A}} \quad (10)$$

ここで、

- DPLLx\_PH\_OFFSET: DPLL 出力位相を調整するプログラム可能なレジスタ値
- DESIRED\_TIME\_OFFSET: 希望する DPLL 位相調整 (秒)
- $f_{\text{VCOx}}$ : VCOx 周波数
- SCALING<sub>DEC</sub>: デシメーションおよびデジタル ゲイン パラメータを考慮したスケール係数
- DPLLx\_PARAM\_A/B/C: DPLL デシメーションおよびゲイン パラメータ。DPLLx\_PARAM\_A の場合、レジスタのリードバック値が 0 の場合は、式で値 32 を使用します。

たとえば、DPLL2 に +1ns の位相オフセットを導入したい場合は、以下の設定を使用します：

- DESIRED\_TIME\_OFFSET = +1ns
- $f_{\text{VCOx}} = 2500\text{MHz}$
- SCALING<sub>DEC</sub> =  $584 \times (7 + 1) \times 2^{32 - 32} = 4672$
- DPLL1\_PH\_OFFSET =  $2 \times 1\text{e-}9 \times 2500\text{e}6 \times 4672 = 23360$

あるいは、25MHz 出力クロックに -1ns などの逆方向に位相シフトを適用するには、次の設定を使用します。

- DESIRED\_TIME\_OFFSET = 40ns - 1ns = 39ns  
– 40ns は出力クロック (25MHz) の周期です。
- $f_{\text{VCOx}} = 2500\text{MHz}$
- SCALING<sub>DEC</sub> = 4672
- DPLL1\_PH\_OFFSET =  $2 \times 39\text{e-}9 \times 2500\text{e}6 \times 4672 = 911040$

特定の構成の DPLL パラメータは、表 8-9 にリストされているレジスタにアクセスすることによって読み戻すことができます。

表 8-9. DPLL 位相オフセット レジスタ

フィールド名	レジスタ アドレス (上位バイトから下位バイト)
DPLL1_PH_OFFSET	R550、R551、R552、R553、R554、R555
DPLL1_PARAM_A	R567
DPLL1_PARAM_B	R548、R549
DPLL1_PARAM_C	R566

### 8.3.21 時間経過カウンタ (TEC)

時間経過カウンタ (TEC) を使用すると、2 つ (またはそれ以上) のイベント間の正確な時間を測定できます。このイベントは、GPIO ピンの立ち上がりエッジまたは立ち下がりエッジ、または SPI SCS ンの立ち下がりエッジのいずれかです。TEC 入力用に任意の GPIO ピンをプログラムできます。立ち上がりまたは立ち下がり極性は、GPIO 極性反転レジスタを使用して選択できます。各 TEC イベントが発生すると、カウンタ値がキャプチャされ、アプリケーションは 40 ビット値をリードバックできます。経過時間は、リードバック値の差に基づいて計算されます。測定精度は 7.5ns より良好であり、測定時間は正確な構成にもよりますが 59 分を超えています。TEC カウンタ キャプチャを再作動させるため、TEC\_CNTR の少なくとも LSB を読み戻す必要があります。

TEC カウンタは、APLL1 VCO 周波数 ÷ 8 または PLL2 VCO 周波数 ÷ 20 に基づいて、周波数でクロック駆動されます。時間測定は、次の手順で実行されます。

1. TEC カウンタ値をリセットします。TEC キャプチャ イベント間のカウンタ ロールオーバーの可能性を低減することをお勧めしますが、オプションです。リセットが行われない場合、ユーザーはカウンタ レジスタのロールオーバーを検出する必要があります。経過時間の計算のための式 11 が複雑になります。
2. TEC キャプチャ イベントをトリガし、保存されたカウンタ値を含む TEC レジスタを読み戻します。
3. TEC キャプチャ イベントをもう一度トリガし、保存されたカウンタ値を含む TEC レジスタを読み戻します。
4. 式 11 を使用して経過時間を計算します。最悪の場合の誤差は、TEC カウンタ クロック周期の 2 倍になります。表 8-10 に、一般的な TEC クロック周波数/周期とロールオーバー時間を示します。

$$\text{Elapsed Time} = (2\text{nd captured TEC value} - 1\text{st captured TEC value}) / \text{TEC Clock Rate} \quad (11)$$

TEC\_CNTR レジスタは 5 つのレジスタに分割されます。

表 8-10. 一般的な TEC クロック周波数とロールオーバー時間

PLL ソース	VCO 周波数	TEC クロック周波数	TEC クロック周期 (t)	ロールオーバー時間
PLL1	2500MHz	312.5MHz	≈3.17ns	≈58.6 分
PLL2	5950MHz	297.5MHz	≈3.361ns	≈61.6 分
PLL2	5898.24MHz	294.912MHz	≈3.391ns	≈62.1 分
PLL2	5625MHz	281.25MHz	≈3.556ns	≈65.1 分
PLL2	5600MHz	280MHz	≈3.571ns	≈65.4 分

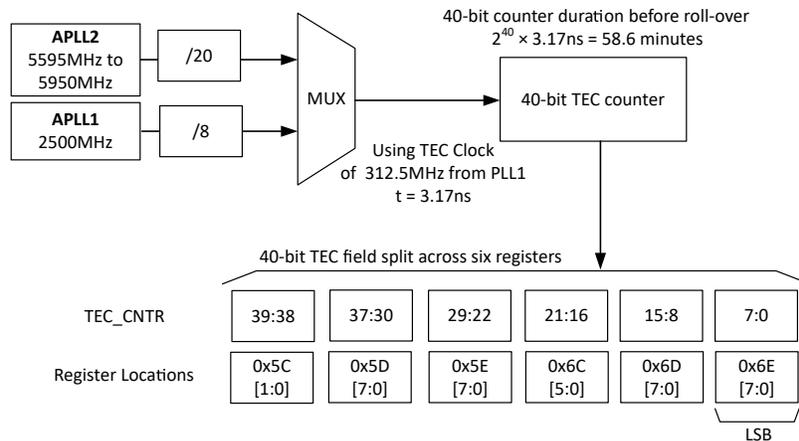


図 8-31. TEC クロックおよびカウンタ

図 8-32 に、時間経過カウンタ機能の状態を示します。

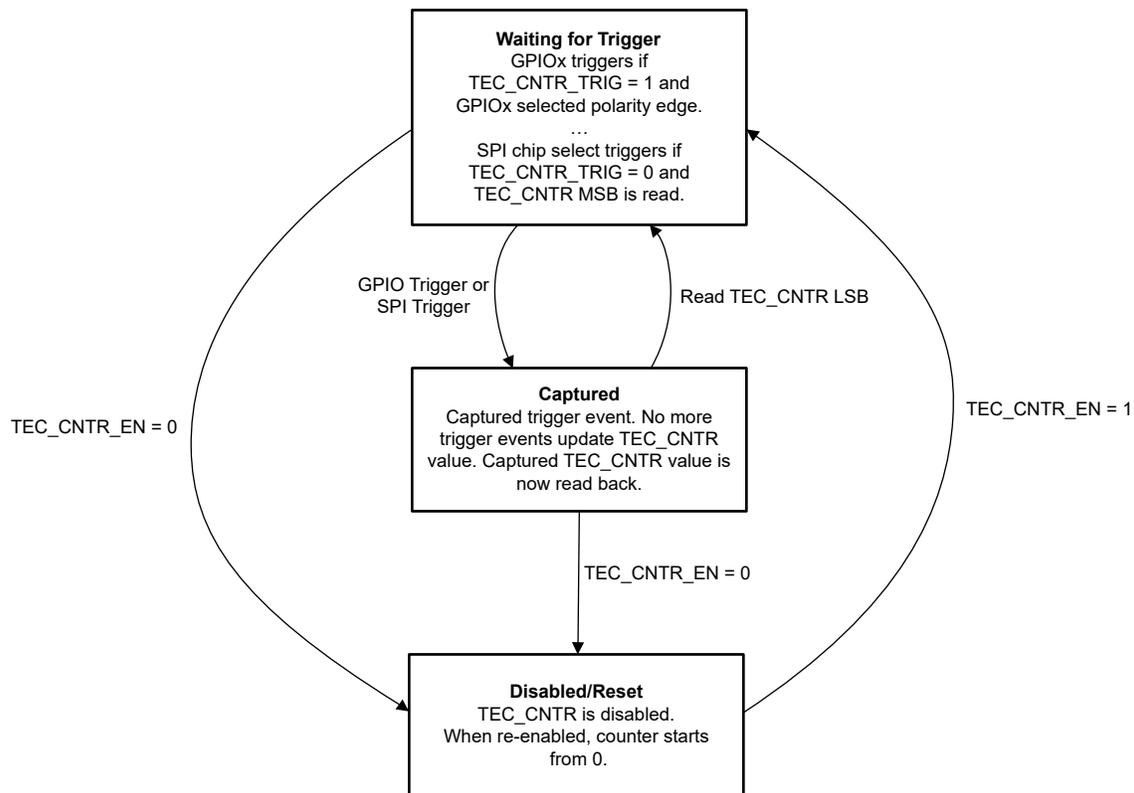


図 8-32. TEC の状態図

### 8.3.21.1 TEC 機能の設定

1. 時間経過カウンタ (TEC) を駆動する PLL を選択します。BAW APLL は最高の TEC クロック周波数により最高の精度で時間測定を行いますが、従来の APLL (LC VCO) ではロールオーバー時間がわずかに長くなります。
  - BAW APLL ソースは、REF0\_MISSCLK\_VCOSEL を 0 に設定することによって選択されます。
  - REF0\_MISSCLK\_VCOSEL を 1 に設定すると、従来の APLL ソースが選択されます。

2. TEC カウンタ値を TEC\_CNTR フィールドにキャプチャするためのトリガとして GPIO または SPI チップセレクトを選択します。GPIO を使用する場合、SPI SCS ピンに特別なタイミングは必要ありません。GPIO ピンを他の目的に使用することも可能で、必要な場合は TEC 機能を有効にします。
  - GPIO トリガは、TEC\_CNTR\_TRIG を 1 に設定することによって選択されます。
  - SPI チップ選択トリガは、TEC\_CNTR\_TRIG を 0 に設定することによって選択されます。
3. TEC\_CNTR\_EN を 1 に設定して TEC カウンタを有効にします。

### 8.3.21.2 トリガ源としての SPI

TEC\_CNTR\_EN = 1 の場合、各 SCS 立ち下がりエッジで TEC カウンタが TEC\_CNTR フィールドにキャプチャされます。TEC\_CNTR フィールドの MSB から読み取る SPI トランザクションの後、TEC\_CNTR フィールドの LSB が読み取られるまで、SCS の立ち下がりエッジは TEC カウンタを TEC\_CNTR フィールドにキャプチャしません。

図 8-33 は、単一レジスタ読み取り中に TEC がラッチされたときを示し、図 8-34 はマルチバイト読み取り時にラッチされたときを示します。

図 8-33 は、TEC\_CNTR MSB が読み取られるまで、TEC カウンタが SCS の立ち下がりエッジごとにキャプチャされることを示しています。

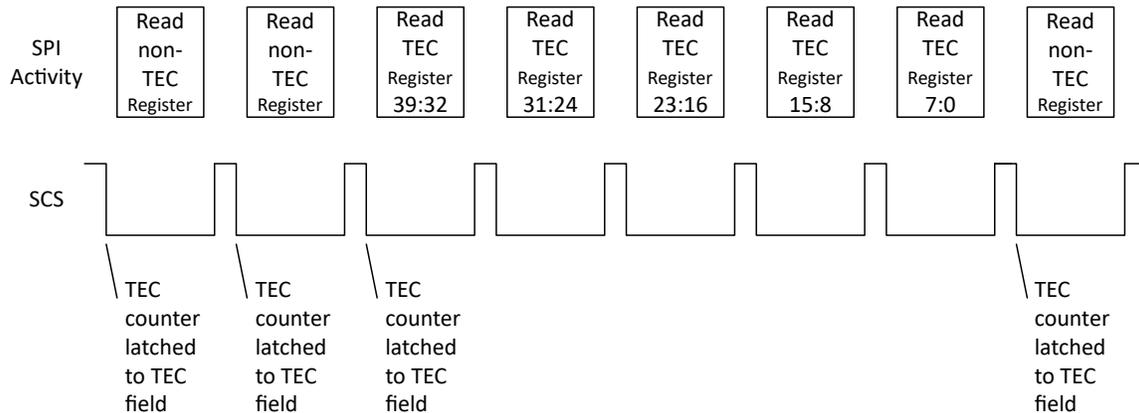


図 8-33. TEC シングルバイトの読み取り

図 8-34 は、最初のレジスタ読み取りが TEC\_CNTR レジスタでない場合でも、単一のマルチバイト読み取り中に TEC カウンタ値をキャプチャし、キャプチャ用に再準備できることを示しています。

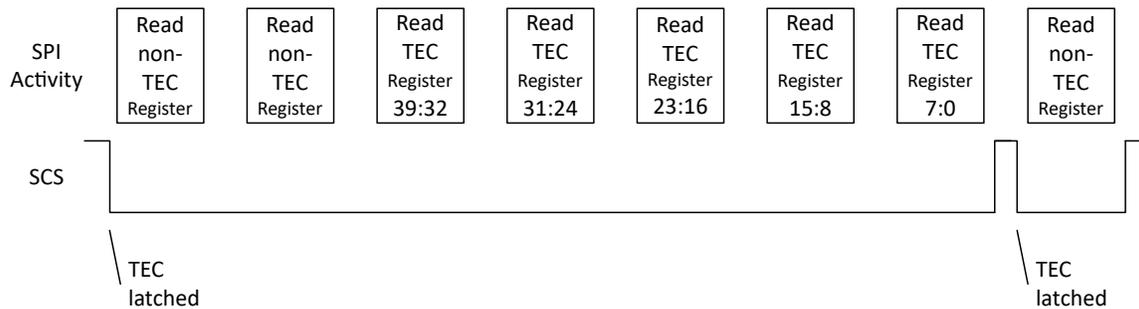


図 8-34. TEC マルチバイトの読み取り

### 8.3.21.3 TEC トリガ源としての GPIO ピン

GPIOx\_MODE = 0x27 (TEC\_TRIG\_SEL) で TEC 機能用に選択された GPIO ピンの立ち上がりエッジは、選択された極性 (GPIOx\_POL) のエッジで TEC 値を TEC\_CNTR フィールドにキャプチャします。TEC\_CNTR フィールドの LSB が読み取られるまで、後続の GPIOx ピン エッジによって TEC\_CNTR フィールドはさらに更新されません。図 8-35 は、GPIO を使用して TEC 値をキャプチャするタイミングを示しています。

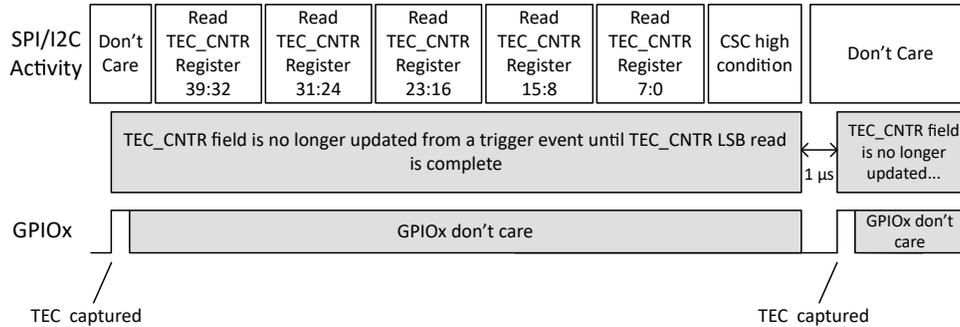


図 8-35. GPIO を使用してキャプチャされた TEC

#### 8.3.21.3.1 例: TEC と GPIO1 をトリガとして使用して経過時間を測定

- 必要に応じて TEC レジスタを構成します。この例では以下の式で計算されます。
  - REF0\_MISSCLK\_VCOSEL は 0 なので、TEC クロックレートには VCBO 周波数/8 が使用されます。
  - TEC\_CNTR\_TRIG = 1 (GPIO1 トリガ)
  - TEC\_CNTR\_CLR = 0 (通常動作の場合)
- 必要に応じて、GPIO1\_MODE = 0x27 (TEC\_TRIG\_SEL) および GPIO1\_POL を設定します (この例では、アクティブ Hifh 入力の場合は 0 です)。
- GPIO1 に立ち上がりエッジを提供して、現在の TEC カウンタ値を TEC\_CNTR フィールドにキャプチャします。
- TEC\_CNTR フィールドを初めて読み取り、保存します。
  - 例: 1st\_captured\_TEC\_value = 204 354.
- GPIO1 に立ち上がりエッジを供給します。
- TEC\_CNTR フィールドを 2 回目に読み取り、保存します。
  - 例: 2nd\_captured\_TEC\_value = 76 516 568

#### 8.3.21.4 その他の TEC 動作

TEC カウンタは継続的にカウントアップし、定期的に  $2^{40} - 1$  から 0 にロールオーバーします。

- ユーザー ソフトウェアは、TEC の読み取りの間にカウンターがロールオーバーしたかどうかを判断する必要があります。TI では、開始トリガ イベントが発生する可能性がある場合は、その前に TEC\_CNTR\_EN ビットを切り替えて TEC カウンタをリセットすることを推奨しています。

REF0\_MISSCLK\_VCOSEL フィールドは、早期および欠落したリファレンス クロックの検証のためにすべての入力で使用される VCO も選択します。そのため、REF0\_MISSCLK\_VCOSEL が変更された場合は、早期および欠落した入力検証レジスタを再計算する必要がある場合があります。動作中に REF0\_MISSCLK\_VCOSEL または検証計算を変更すると、欠落パルス検出器または欠落パルスとラントパルスの両方の検出器を使用するレファレンスが一時的に不適格となり、DPLL がホールドオーバー状態になる可能性があります。

TEC\_CNTR\_EN = 0 の間、TEC カウンタはリセット状態 (カウンタ値 0) に保持されます。TEC\_CNTR\_EN が 0 から 1 に遷移した瞬間から将来のトリガ イベントまでの絶対時間測定を実行することも可能です。ただし、この測定の精度は、2 つの GPIO または 2 つの SPI CSC トリガによって発生する相対測定を実行する場合よりも低くなります。

## 8.4 デバイスの機能モード

### 8.4.1 DPLL の動作状態

次のセクションでは、図 8-36 に示されている DPLL の動作状態について説明します。この図では、ホールドオーバーが有効になっていることを前提としています。

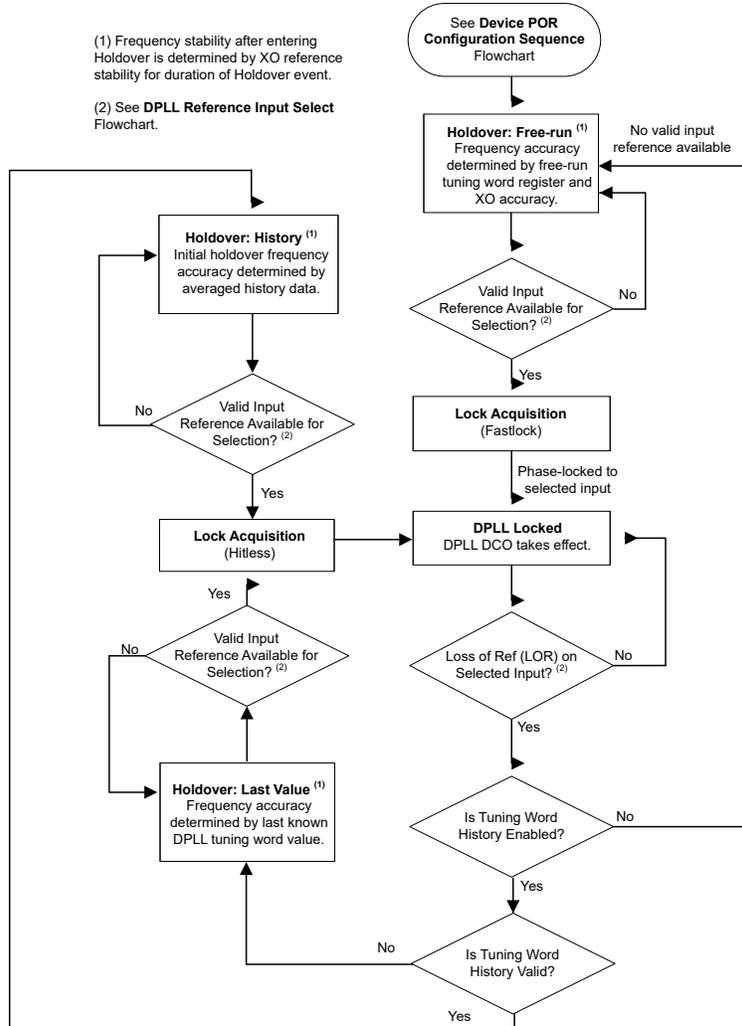


図 8-36. DPLL の動作状態

#### 8.4.1.1 フリーラン

デバイスの POR 構成と初期化の後、XO 入力信号が有効な場合、APLL は自動的に XO クロックにロックします。フリーランモードでの出力クロック周波数の精度と安定性は、XO 入力の周波数の精度と安定性を追跡します。フリーランモード中は、リファレンス入力は無効（不適格）のままになります。DPLL がロックされているが、有効な履歴ワードがまだ蓄積されておらず、参照が失われた場合は、フリーラン状態になります。

#### 8.4.1.2 ロックの獲得

DPLL は有効な入力クロックのリファレンス入力を常に監視します。少なくとも 1 つの有効な入力クロックが検出されると、PLL チャンネルはフリーランモードまたはホールドオーバーモードを終了し、DPLL を介してロック取得を開始します。LMK5B12212 は、DPLL が一時的に広いループ帯域幅を使用してロック時間を短縮する Fastlock 機能をサポートします。ロック取得が完了すると、ループ帯域幅は通常構成されたループ帯域幅設定 ( $BW_{DPLL}$ ) に設定されます。

### 8.4.1.3 DPLL がロック済み

DPLL がロックすると、APLL 出力クロックの周波数と位相が、選択された DPLL リファレンス入力クロックにロックされます。DPLL がロックされている間、APLL 出力クロックは XO 入力の周波数ドリフトの影響を受けません。DPLL には、ステータス ピンまたはステータス ビットを通じて確認できる周波数ロック損失 (LOFL) および位相ロック損失 (LOPL) ステータス フラグを示すプログラム可能な周波数ロック検出器と位相ロック検出器があります。周波数ロックが検出されると (LOFL → 0)、チューニング ワード履歴モニタ (有効な場合)は、ホールドオーバー モードに入る際に初期出力周波数の精度を決定するために使用される履歴平均データの蓄積を開始します。

### 8.4.1.4 ホールドオーバー

リファレンス損失 (LOR) 状態が検出され、有効な入力を利用できない場合、DPLL はホールドオーバー状態になります。

履歴が無効になっている場合 (DPLLx\_HIST\_EN = 0)、DPLL は 2 の補数 DPLLx\_FREE\_RUN[39:0] フィールドを使用して、DPLL 分子に対するホールドオーバー周波数を設定します。短期的な周波数精度は、DPLLx\_FREE\_RUN フィールドの精度に基づいています。

履歴が有効 (DPLLx\_HIST\_EN = 1) であってもチューニング履歴がまだ有効でない場合は、DPLLx\_FREE\_RUN フィールドは DPLLx\_HIST\_EN が無効であるかのように使用されます。チューニング履歴が有効な場合、DPLL は履歴データを使用してホールドオーバーに入り、ホールドオーバー周波数エラーを最小限に抑えます。調整ワード履歴を参照してください。一般に、履歴平均時間が長いほど、0ppm レファレンス クロック (XO 入力) がドリフトフリーであると仮定した場合の初期ホールドオーバー周波数はより正確になります。XO リファレンス クロックの安定性によって、ホールドオーバー出力周波数の長期的な安定性と精度が決まります。

ホールドオーバーに入ると、LOPL フラグがアサートされます (LOPL → 1)。LOFL フラグは、DPLL 周波数と基準周波数が許容範囲内であることを報告します。ホールドオーバー中、LOFL は変更されず、有効な参照が再度選択されるまで更新されません。

有効な入力を選択可能になると、DPLL はホールドオーバー モードを終了し、出力グリッチなしで新しい入力クロックに自動的に位相ロックします。

## 8.4.2 デジタル制御発振器 (DCO) の周波数および位相調整

IEEE 1588 およびその他のクロック ステアリング アプリケーションをサポートするために、DPLL は DCO モードをサポートし、0.001 ppb/ステップ未満の正確な出力クロック周波数調整を可能にします。DCO は、DPLL DCO 制御または APLL DCO 制御を使用して実装できます。DPLL が閉ループ モードで動作している間、DPLL DCO は有効な DPLL 分子を変更します。DPLL がホールドオーバー状態または使用されていない間、APLL DCO は有効な APLL 分子を調整します。

### 8.4.2.1 DPLL DCO の制御

DPLL がロックされているときは、DCO モードを有効化できます (DPLLx\_FB\_FDEV\_EN = 1)。

DPLL DCO を使用する場合、周波数を調整する方法は 3 つあります。

- レジスタ相対調整
  - 偏差量を DPLL\_FDEV でプリセットします
  - 偏差量だけインクリメント/デクリメントを有効化するには、8 ビットレジスタを書き込みます
- GPIO の相対調整
  - ステップ/方向 GPIOx トリガ
  - ピン設定方向の各ステップの偏差量を設定して、DPLLx\_FB\_NUM を調整します。
- レジスタの絶対調整
  - 周波数制御ワード (FCW) に基づいて DPLLx\_FB\_NUM[39:0] を書き込みます。

DCO の周波数ステップ サイズは、38 ビットの周波数偏差ワード レジスタ (DPLL\_FDEV ビット) を使用してプログラムできます。DPLL\_FDEV 値は、DPLL 分周フィードバック デバイダの現在の分子値に加算または減算されるオフセットであり、VCO 出力での DCO 周波数オフセットを決定します。

DCO 周波数インクリメント (FINC) または周波数デクリメント (FDEC) の更新は、ソフトウェア制御 (DPLLx\_FB\_FDEV\_UPDATE) またはユーザー選択可能なピン制御 (GPIOx) により制御できます。ソフトウェア制御による DCO の更新は、DPLLx\_FB\_FDEV\_UPDATE レジスタビットに書き込むことで、常に I<sup>2</sup>C または SPI 経由で利用可能です。0 を書き込むと、DCO 周波数がプログラムされたステップ サイズだけインクリメントされ、1 を書き込むと DCO 周波数がステップ サイズだけデクリメントされます。SPI の書き込み速度が速いため、SPI は I<sup>2</sup>C よりも高速な DCO 更新レートを実現できます。

DPLL ピン制御を選択すると (GPIO の FDEV\_TRIG\_DPLLx および FDEV\_DIR\_DPLLx)、FDEV\_TRIG\_DPLLx で定義された GPIO ピンの立ち上がりエッジによって、対応する DCO 更新が DPLL に適用されます。FDEV\_DIR\_DPLLx で定義された別の GPIO によって、FDEV トリガの方向が決定されます。FDEV\_DIR\_DPLLx = 0 は正を意味し、FDEV\_DIR\_DPLLx = 1 は負を意味します。このようにして、GPIO ピンは FINC または FDEC 入力として機能します。内部サンプリング クロックでキャプチャするには、TRIGGER ピンに印加される最小正パルス幅が 100ns より大きい必要があります。ピン制御を使用する場合、DCO の更新レートは 5MHz よりも低く制限する必要があります。

DCO 制御が無効になっている場合 (DPLLx\_FB\_FDEV\_EN = 0)、DCO 周波数オフセットはクリアされ、VCO 出力周波数は DPLL 分数フィードバック デバイダの元の分子値によって決定されます。

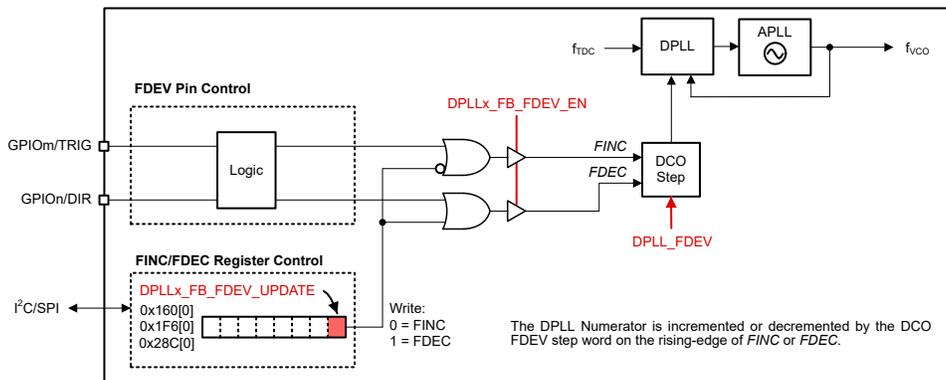


図 8-37. DCO モード制御オプション

#### 8.4.2.2 DPLL DCO の相対調整周波数ステップ サイズ

式 12 は、DPLL に対して DCO モードが有効になっている場合に、指定された DCO 周波数ステップ サイズ (ppb (10 億分の 1)) を満たすために必要な DPLLx\_FB\_FDEV レジスタ値を計算する式を示します。

$$DPLLx\_FB\_FDEV = (Reqd\_ppb / 10^9) \times DPLL_{DEN} \times f_{VCOx} / f_{TDCx} \quad (12)$$

ここで、

- DPLLx\_FB\_FDEV: 周波数偏差値 (0 ~ 2<sup>38</sup> - 1)
- Reqd\_ppb: 必要な DCO 周波数ステップ サイズ (ppb 単位)
- DPLL<sub>DEN</sub>: DPLL FB デバイダ分母値 (1 ~ 2<sup>40</sup>、レジスタ値 0 = 2<sup>40</sup>)
- f<sub>VCOx</sub>: VCOx 周波数
- f<sub>TDCx</sub>: TDCx 周波数

#### 8.4.2.3 APLL DCO の周波数ステップ サイズ

APLL DCO を調整するには、ユーザーは DPLLx\_FREE\_RUN レジスタ フィールドに書き込む必要があります。DPLLx\_HIST\_EN = 1 の場合、相対調整が実行されます。DPLLx\_HIST\_EN = 0 の場合、APLLx DCO 分子には DPLLx\_FREE\_RUN 値が使用されます。有効な APLLx 分子は、APLLx\_NUM\_STAT から読み戻すことができます。

式 13 は、相対 APLL DCO モードが有効な場合に、指定された DCO 周波数ステップ サイズ (ppb (10 億分の 1)) を満たすために必要な DPLLx\_FREE\_RUN フィールド値を計算する式を示します。DPLLx\_FREE\_RUN は符号付きの値であり、負の数の実際のプログラム値は 2 の補数として計算できます。

$$DPLLx\_FREE\_RUN = (Reqd\_ppb / 10^9) \times APLLx\_DEN \times f_{VCOx} / f_{PDFx} \quad (13)$$

ここで、

- DPLLx\_FREE\_RUN: 周波数偏差値 ( $-2^{39} \sim 2^{39}-1$ )
- Reqd\_ppb: 必要な DCO 周波数ステップ サイズ (ppb 単位)
- APLLx\_DEN: APLL FB デバイダの分母の値 ( $2^{40}$ )
- $f_{VCOx}$ : VCOx 周波数
- $f_{PDFx}$ : PLLx 位相検出器周波数

### 8.4.3 APLL の周波数制御

このデバイスは、DPLL がホールドオーバー状態または使用されていないときに 40 ビット レジスタ DPLLx\_FREE\_RUN[39:0] に書き込むことで、APLL 周波数と位相制御もサポートできます。リファレンス クロックがフリーラン モードまたは無効になっている場合、DPLL は APLL から切断されますが、ユーザーは引き続き周波数と位相の精度を調整できます。

APLL DCO 制御を有効にするには、DPLLx\_LOOP\_EN = 1 に設定し、40 ビット小数分母の場合は PLLx\_MODE = 1 に設定します。DPLLx\_EN は 0 に設定できます。

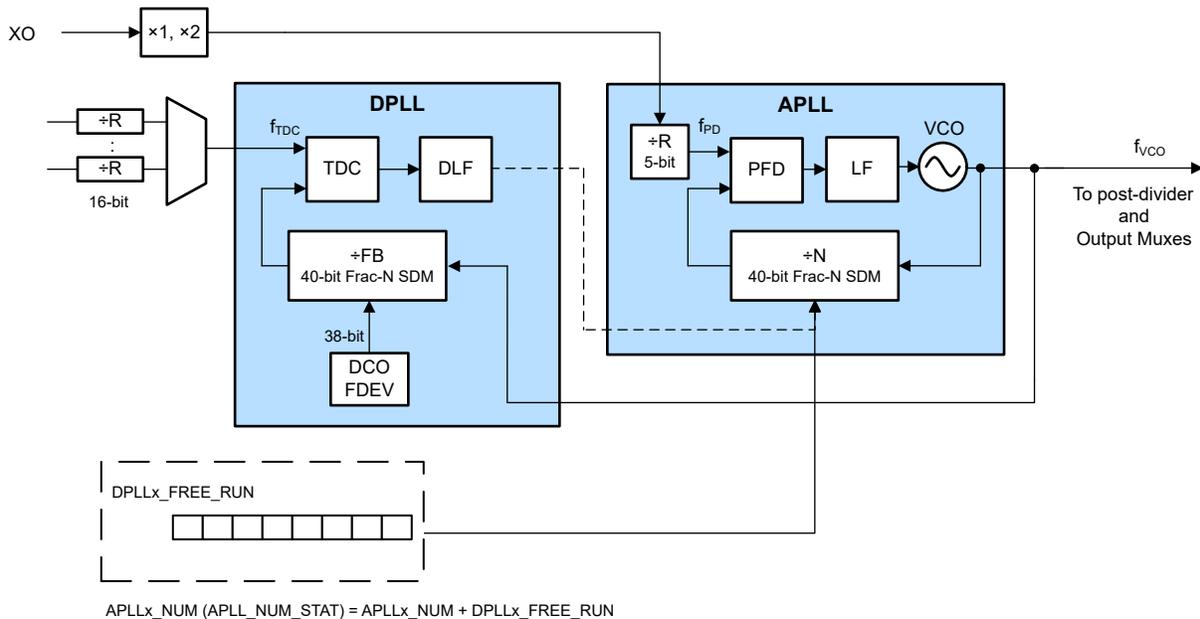


図 8-38. APLL DCO モード

APLL DCO を調整するには、2 つの方法があります。

- 絶対周波数調整
  - DPLLx\_HIST\_EN = 0 に設定します
  - 有効な APLLx\_NUM (APLLx\_NUM\_STAT) = APLLx\_NUM + DPLLx\_FREE\_RUN
    - APLLx\_NUM\_STAT は読み取り専用レジスタであり、読み戻すことができます。
    - DPLL ループ フィルタ ブロックは、DPLLx\_FREE\_RUN 値に基づいて APLLx\_NUM\_STAT を変更します。
  - DPLLx\_FREE\_RUN は 40 ビットの 2 の補数です。
- 相対周波数調整
  - DPLLx\_HIST\_EN = 1 に設定します
  - DPLLx\_FREE\_RUN 値は、ステップ サイズ レジスタとステップ期間レジスタによって定義された制御されたレートで APLLx\_NUM に供給されます。

- LMK が最後の調整を完了する前に別の DPLLx\_FREE\_RUN 書き込みが発生すると、残りのステップはすべて失われ、新しい値が APLL 分子に供給され始めます。
- DPLLx\_FREE\_RUN ワードが有効な APLLx\_NUM (APLL\_NUM\_STAT) に完全に入力されると、フラグが設定されます。

#### 8.4.4 デバイスの起動

##### 8.4.4.1 デバイス パワーオン リセット (POR)

図 8-39 は、デバイスのパワーオンリセット (POR) 構成シーケンスを示しています。POR は、PD# ピンがデアサートされ、ロジック High 状態に達したときに発生します。POR 後、選択したシリアル制御インターフェイス (I<sup>2</sup>C または SPI) が選択されます。LMK5B12212 は、工場出荷時に事前プログラムされた内部 ROM ページの選択からの事前構成済みデバイス設定をサポートします。プログラム可能な EEPROM オーバーレイのおかげで、出力クロックを柔軟に起動できます。起動後のプログラミングの詳細については、プログラミングを参照してください。

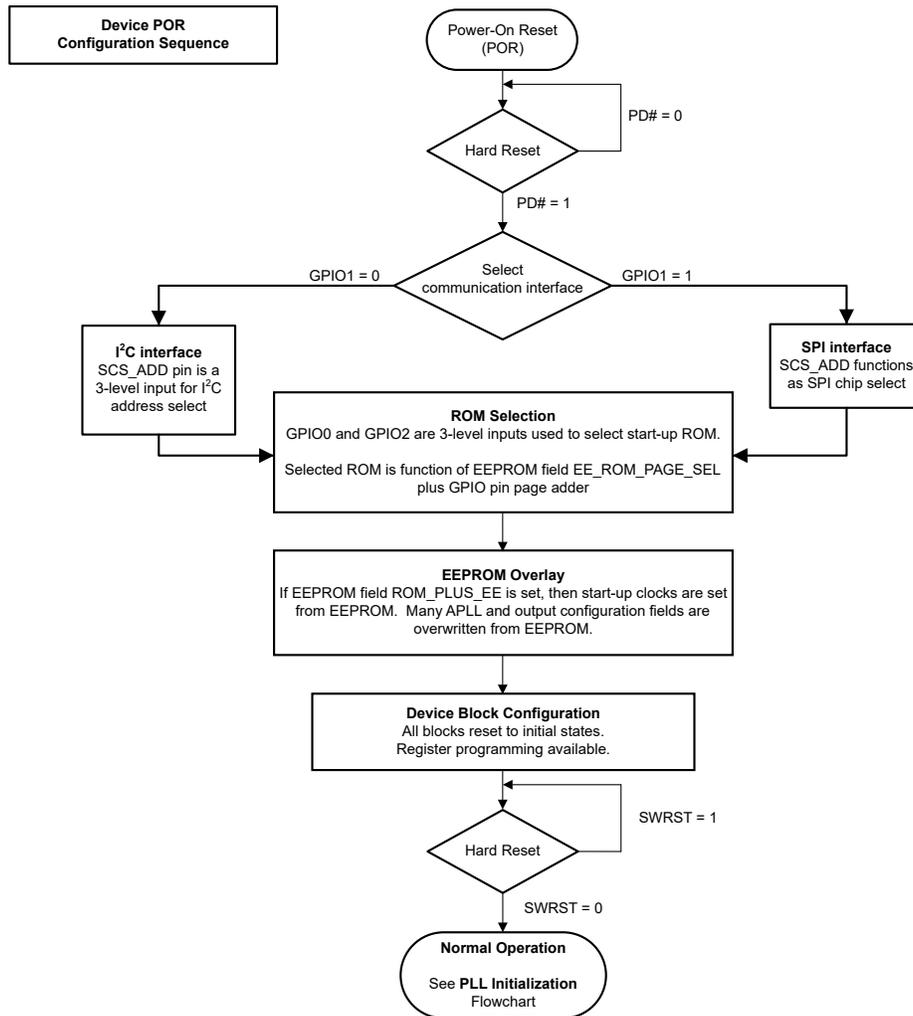


図 8-39. デバイス POR シーケンス

起動後、グローバル SWRST (R23[6]) がデバイスの初期化シーケンスと APLL キャリブレーション ステートマシンを再起動します (図 8-40 を参照)。POR 後に APLL レジスタを変更してすべての APLL を再調整し、出力と SYSREF チャンネル デバイダを再調整する場合は、グローバル SWRST を発行することをお勧めします。

グローバル SWRST を切り替えると、APLL が再びロックを取得するまで、APLL 出力クロックが中断する可能性があります。他の APLL クロックの妨害を避けるために、個別の APLLx ソフトウェアリセット (APLLx\_SWRST) を発行できます。個々の APLLx のレジスタを変更する場合は、起動後に APLLx\_SWRST を使用します。たとえば、APLL1 レジスタのみが変更された場合、APLL1\_SWRST を発行すると、APLL1 出力のみが一時的に中断され、APLL2 出力はそのまま残ります。

次の場合には、SWRST の発行は**不要**です。

- 起動後にレジスタ書き込みが実行されない場合。
- 起動後に、XO 入力終端タイプ、INx 入力終端タイプ、出力ドライバ (スイング レベルやチャネル デバイダなど)、GPIO ピン、ステータス、または DCO レジスタのみが変更された場合。
- EEPROM をプログラミングする場合。

次の場合は、SWRST の発行を**お勧め**します。

- レジスタ書き込みのほとんどが I2C または SPI を介して変更される場合 (起動後のデバイス構成中など)。
- ZDM および SYSREF レジスタが設定されている場合。SYSREF デバイダ値のみを変更する場合は必要ありません。
- APLLx レジスタが変更され、すべての APLLx クロックの短時間の中断が問題にならない場合。

次の場合には、個別の APLLx\_SWRST を発行することをお**勧め**します。

- デバイスが必要なレジスタで構成されており、他の APLL 出力クロックを妨げずに APLLx レジスタのみを変更する必要がある場合。

#### 8.4.4.2 PLL の起動シーケンス

**図 8-40** に、POR 後の APLL 起動の一般的なシーケンスを示します。このシーケンスは、グローバル SWRST または APLLx\_SWRST の後にも適用されます。適切な VCO キャリブレーションを行うには、VCO キャリブレーションの開始前に、APLL リファレンス クロックの振幅と周波数が安定している必要があります。そうしないと、VCO キャリブレーションが失敗し、APLL と出力クロックの起動が妨げられる可能性があります。

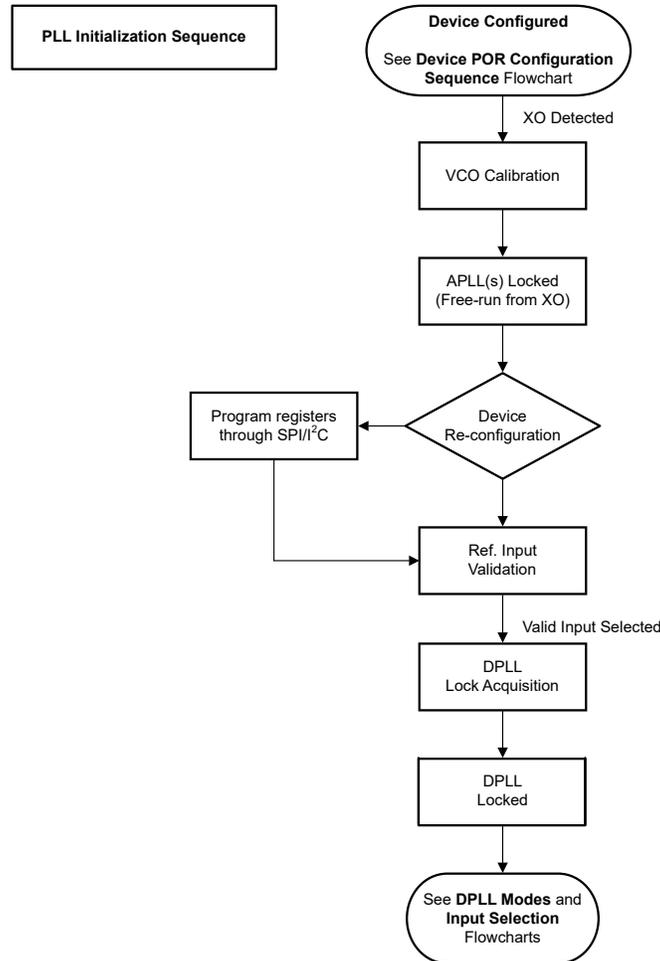


図 8-40. APLL の初期化シーケンス

#### 8.4.4.3 レジスタ設定のスタートアップ オプション

デバイスは、リストされている 4 つのオプションのいずれかから起動できます。選択するオプションは、システムのユースケースによって異なります。

##### 1. オプション 1:ROM

- デバイスは ROM ページの一つから起動し、EEPROM オーバーレイはバイパスされ、起動後に I2C トランザクションは実行されません。
- DPLL と APLL の両方の設定が ROM ページと一致する場合は、このオプションを使用します。

##### 2. オプション 2:ROM → EEPROM

- デバイスは ROM ページの一つから起動し、EEPROM 設定がデバイスにロードされ、XO、APLL、および出力ドライバの構成が上書きされます。
- 必要な DPLL 設定が ROM ページと一致するが、APLL 設定が一致しない場合にこのオプションを使用します。また、フリーランモード (APLL のみ、DPLL 無効) 構成にも使用します。

##### 3. オプション 3:ROM → EEPROM → インシステム プログラミング

- デバイスは ROM ページの一つから起動し、EEPROM 設定がデバイスにロードされ、XO、APLL、および出力ドライバの構成が上書きされます。起動後に I2C トランザクションが実行され、EEPROM に保存されていない残りのレジスタ (DPLL、SYSREF、GPIO) が更新されます。
- 必要な DPLL および APLL 設定が ROM ページと一致しない場合にこのオプションを使用します。

#### 4. オプション 4:ROM → インシステムプログラミング

- a. デバイスは ROM ページの一つから起動し、EEPROM オーバーレイはバイパスされ、I2C トランザクションが実行されて、ROM 選択 (DPLL、SYSREF、GPIO、XO、APLL、および出力ドライバ) によって初期化された不要なレジスタ値が上書きされます。
- b. 起動時間を短縮するために EEPROM を事前にプログラムできない場合、またはレジスタの大部分をシステム内で構成する必要がある場合に、このオプションを使用します。

##### 8.4.4.4 GPIO1 および SCS\_ADD 機能

デバイスは、POR 中に GPIO1 ピンでサンプリングされた 2 レベルの入力レベルに応じて、I<sup>2</sup>C または SPI のいずれかとして起動できます。

- **GPIO1 = 0:** I<sup>2</sup>C シリアル インターフェイス が選択され、SCS\_ADD ピンは I<sup>2</sup>C アドレス選択の 3 レベル入力として機能します。
- **GPIO1 = 1:** SPI シリアル インターフェイス が選択され、SCS\_ADD は SPI チップ選択として機能します。

#### 8.4.4.5 ROM ページの選択

POR 時には、GPIO2、GPIO0、EE\_ROM\_PAGE\_SEL (R20[6:3])のロジック状態の合計によって、使用される ROM ページが決まります。EE\_ROM\_PAGE\_SEL フィールドは EEPROM に保存され、工場出荷時のデフォルト設定は EE\_ROM\_PAGE\_SEL = 0 です。ROM 内のすべてのレジスタ ページは、工場出荷時にハードウェア (マスク ROM) に設定されており、ユーザーがソフトウェアでプログラムすることはできません。レジスタの説明の詳細については、『[LMK5B33216 プログラミングガイド](#)』を参照してください。

表 8-11. GPIO2 および GPIO0 による ROM ページの選択

POR の GPIO2	POR の GPIO0	EE_ROM_PAGE_SEL = 0 の ROM ページ
L	L	ROM ページ 0。XO = 48MHz、REFCLK = 25MHz、出力 = 25MHz、100MHz、155.52MHz、156.25MHz、161.128125MHz、312.5MHz。
L	H	ROM ページ 1。XO = 48MHz、出力 = 25MHz、50MHz、100MHz。
H	L	ROM ページ 2。XO = 48MHz、REFCLK = 25MHz、すべての出力が 156.25MHz です。
H	H	ROM ページ 3。低消費電力モード。すべての PLL がオフ、すべての出力がオフ。
L	M	ROM ページ 4。XO = 49.152MHz、REFCLK = 19.44MHz、出力 = 100MHz、312.5MHz、800MHz。
M	L	ROM ページ 5。XO = 48MHz、REFCLK = 156.25MHz、出力 = 100MHz、125MHz、156.25MHz
M	M	ROM ページ 6。XO = 48MHz、REFCLK = 25MHz、すべての出力が 312.5MHz です。
M	H	ROM ページ 7。XO = 48MHz、REFCLK = 156.25MHz、出力 = 100MHz、125MHz、156.25MHz。
H	M	ROM ページ 8。XO = 48.008MHz、REFCLK = 156.25MHz、出力 = 25MHz、50MHz、100MHz、156.25MHz

表 8-12. ROM の詳細説明

ROM	XO	IN0	IN1	OUT0	OUT1	OUT2	OUT3	OUT4	OUT5	OUT6	OUT7	OUT8	OUT9	OUT10	OUT11
0	48	25	25	25	100	155.52	155.52	161.1x <sup>(1)</sup>	161.1x <sup>(1)</sup>	161.1x <sup>(1)</sup>	161.1x <sup>(1)</sup>	156.25	156.25	156.25	156.25
1	48	25	25	25	50	100	100	100	100	100	100	100	100	100	100
2	48	25	25	156.25	156.25	156.25	156.25	156.25	156.25	156.25	156.25	156.25	156.25	156.25	156.25
3	48	156.25	10	100 <sup>(2)</sup>	100 <sup>(2)</sup>	100 <sup>(2)</sup>	100 <sup>(2)</sup>	100 <sup>(2)</sup>	100 <sup>(2)</sup>	100 <sup>(2)</sup>	100 <sup>(2)</sup>				
4	49.152	19.44	19.44	312.5	312.5	312.5	312.5	312.5	312.5	312.5	312.5	312.5	312.5	312.5	312.5
5	48	156.25	156.25	125	100	100 <sup>(2)</sup>	100	156.25 <sup>(2)</sup>	156.25 <sup>(2)</sup>	156.25	156.25	156.25	156.25	156.25	156.25
6	48	25	25	312.5	312.5	312.5	312.5	312.5	312.5	312.5	312.5	312.5	312.5	312.5	312.5
7	48	156.25	156.25	125	100	100 <sup>(2)</sup>	100	156.25 <sup>(2)</sup>	156.25 <sup>(2)</sup>	156.25	156.25	156.25	156.25	156.25	156.25
8	48.008	156.25	156.25	25	100	100	50	50	50	50	50	156.25	156.25	156.25	156.25

- (1) 出力クロックの正確な周波数は 161.1328125MHz です。  
 (2) 出力クロック周波数は設定されていますが、出力チャンネルは無効になっています。

#### 8.4.4.6 EEPROM オーバーレイ

統合された EEPROM は、ROM ページが起動時のクロック要件を満たしていない場合に、起動時にユーザーがカスタマイズした出力クロックをサポートします。DPLL、SYSREF、および GPIO レジスタは EEPROM 値によって設定されず、ROM ページの選択によって初期化されます。ROM ページからロードされた DPLL 設定がシステムに対して有効でない場合、代わりに APLL は XO 入力にロックされます。DPLL リファレンス入力は有効とみなされ、DPLL レジスタが適切に構成されると DPLL にロックできます。

デバイスの EEPROM オーバーレイは、EEPROM に格納されている ROM\_PLUS\_EE ビット (R20[7]) によって設定できます。ROM\_PLUS\_EE ビットの工場出荷時の EEPROM 設定は 0 です。

- **ROM\_PLUS\_EE = 0:** デバイスは ROM 設定だけで起動します。
- **ROM\_PLUS\_EE = 1:** EEPROM オーバーレイは、ROM ページ選択から初期化された XO、APLL、および出力ドライバの設定を上書きします。

### 8.4.5 プログラミング

#### 8.4.5.1 メモリの概要

LMK5B12212 には 4 つのメモリ空間があります。

1. **レジスタ** – デバイスで現在使用されているアクティブなレジスタ設定が含まれます。
2. **ROM** – すべてのレジスタ設定 (DPLL、SYSREF、GPIO、XO、APLL、および出力ドライバ) が含まれます。ユーザーがプログラムできないデフォルトの ROM ページがあります。ROM ページの選択を参照してください。
3. **EEPROM** – 部分的なレジスタ設定 (APLL および出力)が含まれます。I2C または SPI を介して何度でもプログラムできます (プログラミング サイクルの最大数については [絶対最大定格](#) を参照してください)。EEPROM オーバーレイを参照してください。
4. **SRAM** – EEPROM と同じアドレスとデータ マッピングが含まれます。EEPROM のプログラミングにのみ使用してください。

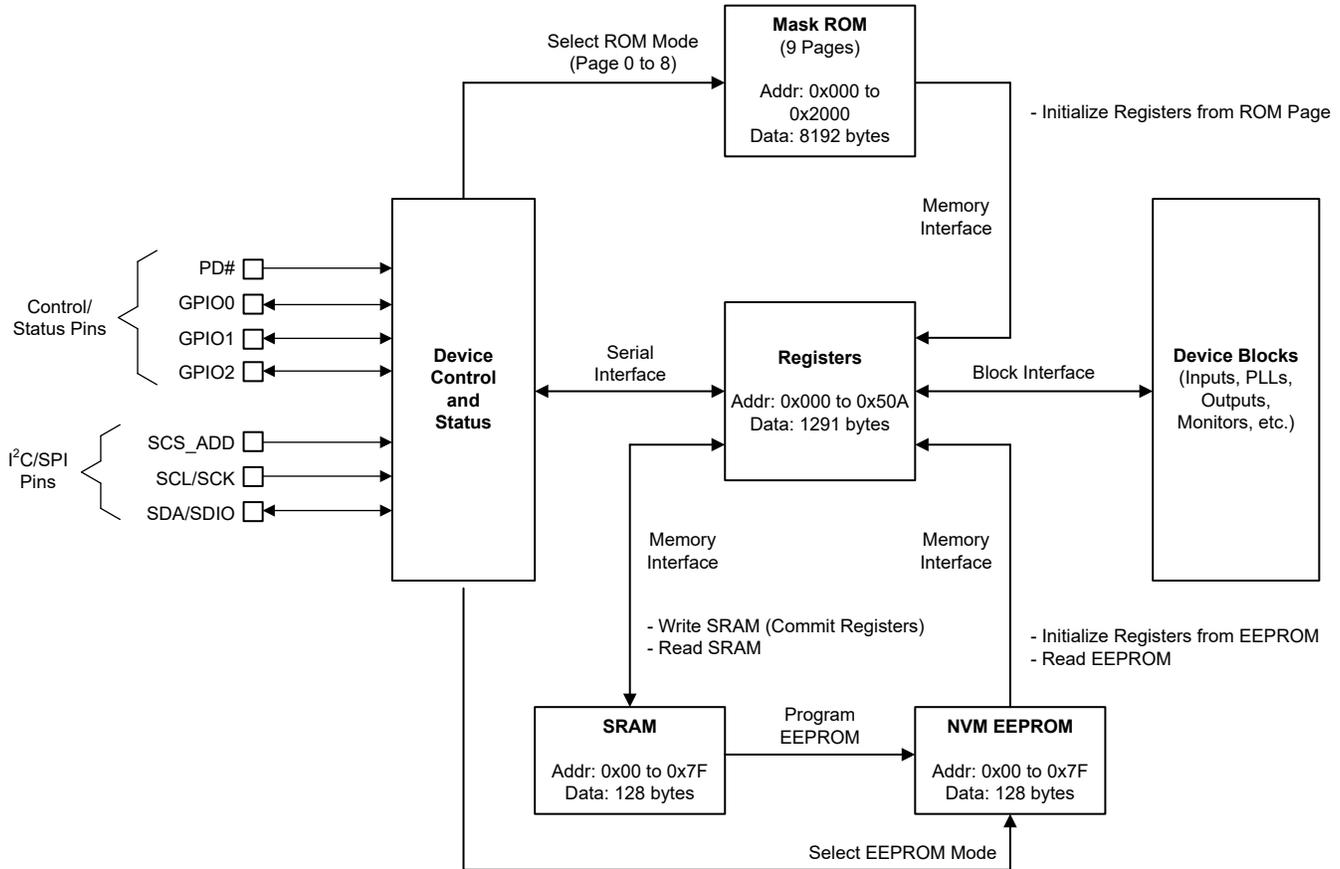


図 8-41. デバイス制御、レジスタ、およびメモリ インターフェイス

#### 8.4.5.2 インターフェイスと制御

起動後、システム ホスト デバイス (MCU または FPGA) は I<sup>2</sup>C または SPI を使用してレジスタを初期化、制御、または監視し、SRAM および EEPROM マップにアクセスできます。一部のデバイス機能は、外部ロジック制御 (GPIOx) およびステータスピンを介して制御および監視することもできます。LMK5B12212 には 2 バイトのアドレスと 1 バイトのデータインターフェイスが使用されます。

ホストが存在しない場合は、LMK5B12212 はオンチップ ROM ページと EEPROM オーバーレイの一つから自動的に起動し、デバイスの POR 時にレジスタを初期化できます (デバイスの起動を参照)。

##### 8.4.5.2.1 TICS Pro 経由でのプログラミング

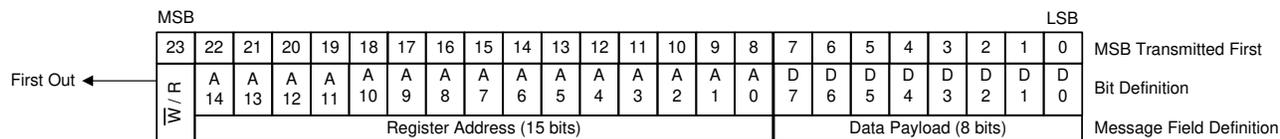
EVM プログラミング用の TICS Pro ソフトウェア ツールには、ユーザーが選択したクロック設計パラメータを入力し、周波数プランを計算し、必要な構成のデバイス レジスタ設定を生成するためのステップバイステップの設計フローが用意されています。レジスタ マップ データ ファイル (テキスト形式の 16 進数ダンプ) と EEPROM プログラミング シーケンスをエクスポートして、起動時にデバイスのホストプログラミングを有効にすることができます。

必要に応じて、お客様は TICS Pro セットアップ ファイル (.tcs) を TI E2E パブリック フォーラムに投稿し、TI が構成設定を確認して最適化するように依頼することができます。

##### 8.4.5.2.2 SPI シリアル インターフェイス

SPI 制御インターフェイスを選択すると、デバイスは SDIO、SCK、SCS 信号付き 3 線式 SPI (SPI\_3wire\_DIS = 0) を使用します。SPI SCS\_ADD を使用する場合、時間経過カウンタ (TEC) トリガとしても機能できます。SPI\_3wire\_DIS = 1 に設定すると、4 線式 SPI による読み戻しをサポートするため、任意の GPIO を SDO として選択できます。

ホスト デバイスは最初にデバイスの MSB にデータを提供する必要があります。メッセージには、[図 8-42](#) に示すように、転送方向ビット ( $\overline{W/R}$ )、15 ビットのアドレス フィールド (A14 ~ A0)、および 8 ビットのデータ フィールド (D7 ~ D0) が含まれます。 $\overline{W/R}$  ビットは、SPI 書き込みの場合は 0、SPI 読み取りの場合は 1 になります。



**図 8-42. SPI メッセージ形式**

SCS を Low にアサートすることにより、メッセージ フレームが開始されます。SCS が High にデアサートされると、フレームは終了します。最初に送信されるビットは  $\overline{W/R}$  ビットです。次の 15 ビットはレジスタ アドレス、残りの 8 ビットはデータです。書き込み転送では、最後のデータ ビット (D0) が SCK の立ち上がりエッジにクロック入力されるため、データはバイト単位でコミットされます。書き込みアクセスが 8 クロックの偶数倍でない場合、末尾のデータ ビットはコミットされません。読み取り転送では、SCK の立ち下がりエッジに応じて、データ ビットが SDO ピンから取り出されます。

#### 8.4.5.2.2.1 SPI ブロックのレジスタ転送

LMK5B12212 は、SPI ブロック書き込みおよびブロック読み取り転送をサポートしています。SPI ブロック転送は正確に (2 + N) バイト長で、N は書き込みまたは読み出しを行うデータ バイトの数です。ホストデバイス (SPI ホスト) は、アクセスするアドレスシーケンスの最小アドレスを指定する場合にのみ必要です。ホストが 24 ビットの初期送信シーケンスを完了した後で SCS ピンが Low のままの場合、デバイスは内部レジスタ アドレス ポインタを自動的にインクリメントします。8 ビット (データ ペイロード幅) を転送するたびに、デバイスはアドレス ポインタを自動的にインクリメントします (SCS ピンがすべてのシーケンスにわたってアクティブ Low のままである場合)。

#### 8.4.5.2.3 I<sup>2</sup>C シリアル インターフェイス

GPIO1 = 0 の場合、デバイスは I<sup>2</sup>C クライアントとして動作し、100kHz (標準モード) および 400kHz (高速モード) のバス レートをサポートします。他の I<sup>2</sup>C 仕様が満たされている限り、低速のバス レートでも動作します。

7 ビットの I<sup>2</sup>C アドレスの上位 5 ビットも、起動時に EEPROM から初期化されます。[直接書き込み方式または混合方式による EEPROM プログラミング](#) と [I<sup>2</sup>C アドレスの上位 5 ビットと EEPROM のリビジョン番号](#) を参照してください。

I<sup>2</sup>C アドレスの 2 つの LSB は、起動時の SCS\_ADD ピンの状態によって定義されます。

[表 8-13](#) は、I<sup>2</sup>C アドレスの上位 5 ビットの EEPROM デフォルトと SCS\_ADD 状態に基づいて、I<sup>2</sup>C アドレス オプションを表示します。

**表 8-13. I<sup>2</sup>C アドレスのオプション**

I <sup>2</sup> C アドレスの上位 5 ビット (工場出荷時のデフォルト)	SCS_ADD ピンの状態	I <sup>2</sup> C アドレスの 2 つの LSB	I <sup>2</sup> C アドレス
0x19	Low	0	0x64
0x19	Vmid	2	0x66
0x19	High	1	0x65

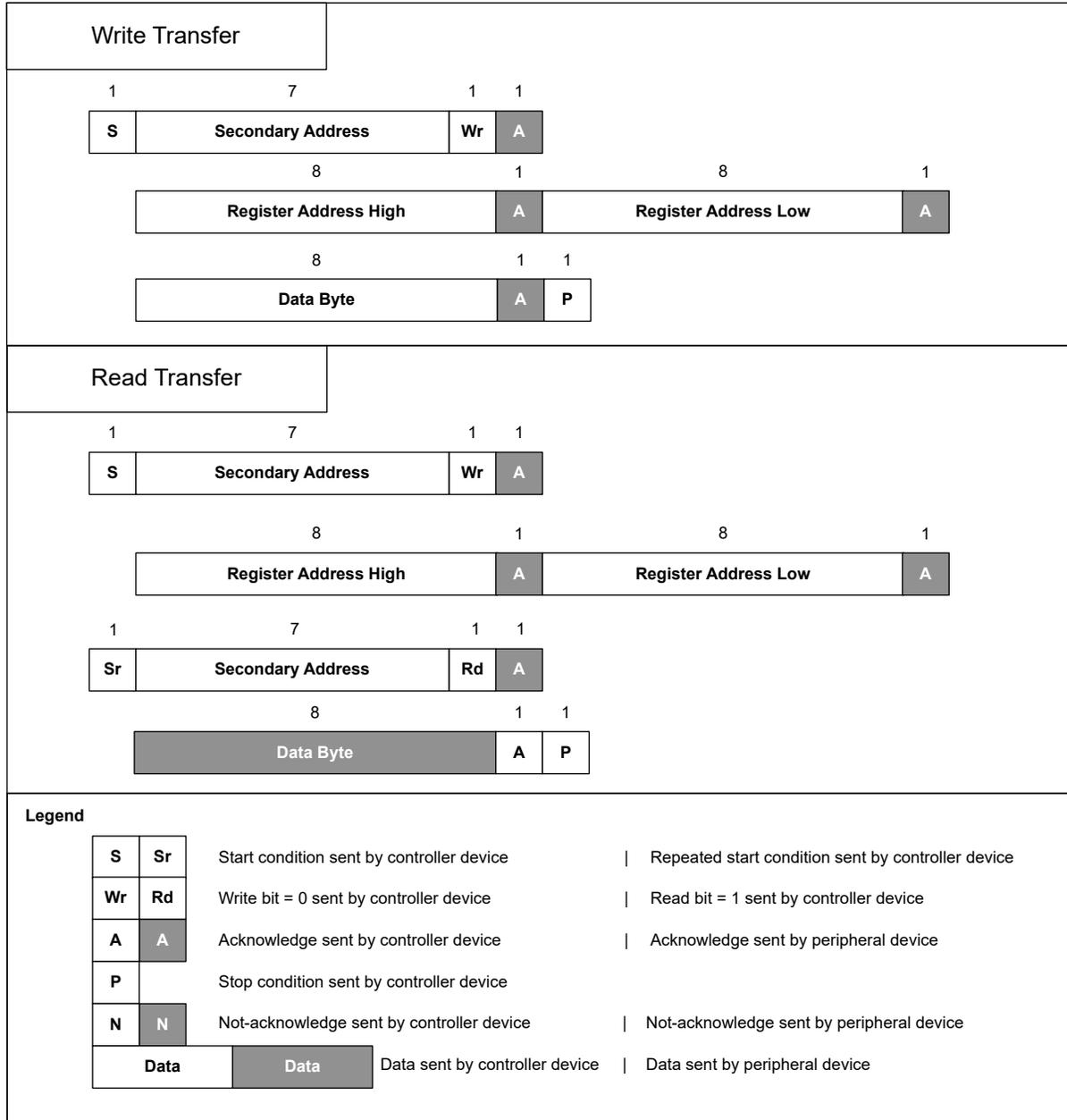


図 8-43. I<sup>2</sup>C バイト書き込みおよび読み取り転送

## I<sup>2</sup>C ブロックのレジスタ転送

図 8-44 は、デバイスが I<sup>2</sup>C ブロック書き込みおよびブロック読み取りレジスタ転送をサポートしていることを示しています。

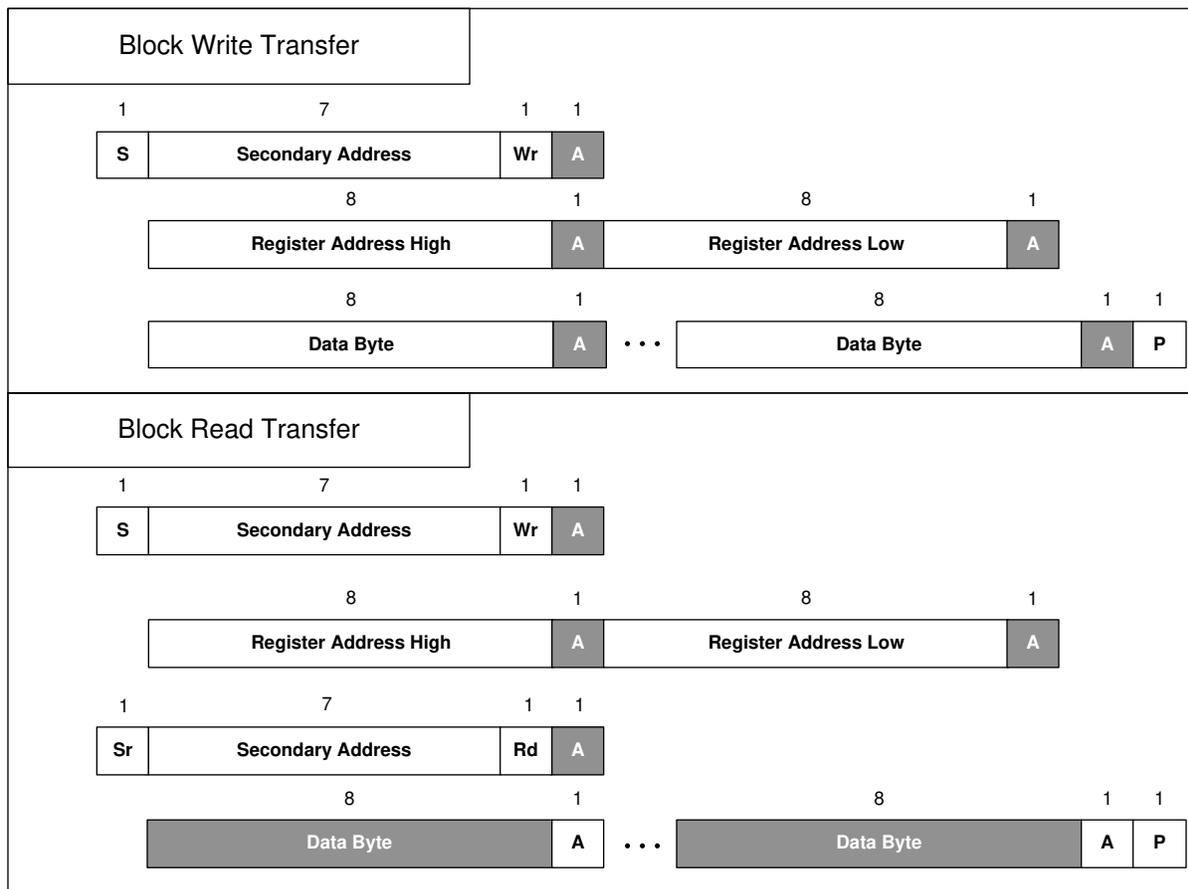


図 8-44. I<sup>2</sup>C ブロックのレジスタ転送

### 8.4.5.3 レジスタの一般的なプログラミング シーケンス

電源投入後にシステム ホストを使用して I<sup>2</sup>C または SPI 経由で初期構成をプログラムするアプリケーションの場合は、次の一般的な手順に従います。

1. デバイスに電源を投入して、I<sup>2</sup>C または SPI モードで起動します (デバイスの起動を参照)。
2. 起動時にグリッチがないことを確認するために、すべての出力を静的 Low に設定します。
  - a. すべての出力に対して、OUT\_x\_CONFIGURATION レジスタを構成します。
  - b. OUT0 と OUT1 のみ、OUT\_x\_CONFIGURATION レジスタと OUT\_x\_STATIC\_LOW レジスタを設定します。
3. 次のレジスタを「除く」すべてのレジスタに書き込みます。
  - a. ステップ 2 にリストされているレジスタ。
  - b. R25[0] (SYNC\_EN)
  - c. R21[6] (SYNC\_SW)
  - d. R23[6] (SWRST)
  - e. R23[5] (DPLLx\_SWRST)
  - f. R23[2:1] (APLLx\_SWRST)
4. 次のように記述して、グローバル、DPLL、および APLL ソフトウェア リセットを実行します。
  - a. SWRST = 1

- b. APLLx\_SWRST = 1
  - c. DPPLLx\_SWRST = 1
  - d. SWRST = 0
  - e. 注:DPPLLx\_SWRST と APPLLx\_SWRST は自己クリアビットです。
5. SYNC\_EN および SYNC\_SW をアサートする前に、PLL ロック損失ステータスレジスタ LOL\_PLLx をポーリングして、APLL がロックされるまで待機します。
  6. SYNC をアサートするには、次のように記述します。
    - a. SYNC\_EN = 1
    - b. SYNC\_SW = 1
  7. ステップ 2 にリストされている出力レジスタを変更します。静的 Low から目的の出力状態に変更します。
  8. 以下のように記述して SYNC をデサートします。
    - a. SYNC\_SW = 0
    - b. SYNC\_EN = 0 (オプションで必須ではない)
  9. オプションだが推奨: 割り込み (INTR) ステータス フラグをクリアします。これらのビットは自己クリア (スティッキー) ではなく、DPPLL および APPLL レジスタがまだ適切に構成されていない起動時に設定される場合があります。

または、部品固有の TICS Pro プロファイルを使用して、[図 8-45](#) に示すように、現在ロードされている .tcs ファイルのカスタマイズされたレジスタ プログラミング シーケンスをエクスポートします。

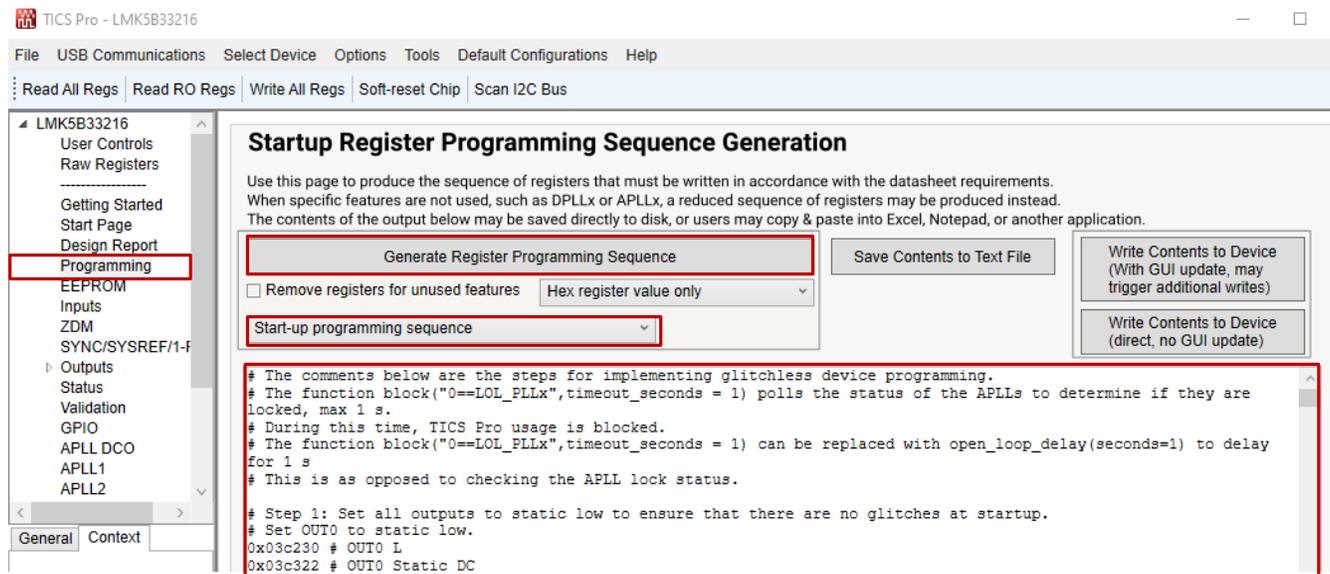


図 8-45. LMK5xxxxxx TICS Pro プログラミング ページ (v1.7.7.4 からのスクリーンショット)

#### 8.4.5.4 EEPROM をプログラムする手順

最初のステップは、必要なレジスタ設定で SRAM をプログラムすることです。次のステップは、SRAM から EEPROM への自動転送を通じて EEPROM をプログラムすることです。各ステップの詳細については、以下のセクションを参照してください。

1. [SRAM のプログラミング方法の概要](#)
2. [レジスタコミット方式による EEPROM のプログラミング](#) および [直接書き込み方式または混合方式による EEPROM プログラミング](#)

##### 8.4.5.4.1 SRAM のプログラミング方法の概要

レジスタ データは、次の 3 つの方法のいずれかで SRAM に書き込むことができます。

1. レジスタコミット手法
  - a. REGCOMMIT ビットを使用して、アクティブ レジスタの SRAM への自動転送 (マッピング) を有効にします。
  - b. アクティブ レジスタの内容を使用して SRAM および EEPROM を変更します。
  - c. SRAM および EEPROM マッピングに関する知識は必要ありません。
  - d. 次の EEPROM フィールドを変更するために使用することはできません。TARGET\_ADR\_MSB および EEREV。
  - e. ほとんどのアプリケーションやデバイスの事前プログラミング時に推奨されます。
2. 直接書き込み手法
  - a. 各 SRAM アドレスへの直接の手動書き込みが必要です。
  - b. アクティブ レジスタ スペースに書き込まずに SRAM と EEPROM を変更するため、デバイスは中断することなく通常の動作を継続できます。
  - c. SRAM および EEPROM マッピングに関する知識が必要です。
  - d. 次の EEPROM フィールドを変更するために使用できます。TARGET\_ADR\_MSB および EEREV。
  - e. 出力の中断を避けるために、システム内で EEPROM をプログラミングする場合 (バージョン更新など) に推奨されます。
  - f. すべての SRAM を上書きする場合に推奨されます。
3. 混合手法 (レジスタコミットと直接書き込み)
  - a. TARGET\_ADR\_MSB や EEREV など、SRAM 内の選択したフィールドのみを変更する場合に推奨されます。
  - b. 直接書き込み手法で SRAM 全体を上書きする場合には推奨されません。

#### 8.4.5.4.2 レジスタコミット方式による EEPROM のプログラミング

1. パワーサイクル (PD# を切り替えます)。
2. 必要な構成でアクティブ レジスタに書き込み、出力クロックが期待どおりに動作することを確認します。
3. R171[6] (REGCOMMIT) を 1 に設定して、アクティブ レジスタを SRAM にコミットします。
  - a. 注: 転送が完了すると、REGCOMMIT は自動的に 0 にクリアされます。
4. R20[7] (ROM\_PLUS\_EE) を 1 に設定して、EEPROM オーバーレイを有効化します。
5. R180 (NVMUNLK) を 234 に設定して、EEPROM のロックを解除します。
6. 1 回のトランザクションで:
  - a. R171[1] (NVMERASE) を 1 に設定して、EEPROM の内容を消去します。
  - b. R171[0] (NVMPROG) を 1 に設定して、SRAM の内容を EEPROM に転送する EEPROM プログラミングを開始します。
  - c. 注: ステップ 5 と 6 は、間にある他のレジスタトランザクションなしのアトミック (連続) 書き込みである必要があります。EEPROM プログラミングを成功させるために、シリアル通信割り込み (同じバス上の他のデバイスへのアクセスなど) も許可されません。
7. R171[2] (NVMBUSY) をポーリングしてクリアされるまで、または約 500ms 待って、EEPROM のプログラミングが完了するのを待ちます。
  - a. 注: EEPROM プログラミングを正常に行うには、NVMBUSY がクリアされるまで、電源を切ったり、PD# を切り替えたり、次の手順に進んだりしないでください。
8. NVMUNLK を 0 に設定して EEPROM をロックします。
9. 次の POR で EEPROM プログラミングが成功すると、EEPROM プログラム カウント R16 (NVMCNT) が 1 インクリメントされます。また、EEPROM オーバーレイビットが設定されている場合、アクティブ レジスタは EEPROM からロードされます。

16 進数命令リスト:

```

R171    0x00AB40    # Set REGCOMMIT
R20     0x001480    # Enable EEPROM OVERLAY
R180    0x00B4EA    # UNLOCK EEPROM
R171    0x00AB03    # ERASE and PROGRAM SRAM contents to EEPROM
while(READ_REG(NVMBUSY) != 0) # NVMBUSY is located in 0xAB, bit 2
R180    0x00B400    # LOCK EEPROM
  
```

**8.4.5.4.3 直接書き込み方式または混合方式による EEPROM プログラミング**

- 希望する構成の SRAM マッピングを取得します。SRAM マップは、TICS Pro で生成されます。TARGET\_ADR\_MSB と EEREV のマッピングについては、I2C アドレスの上位 5 ビットと EEPROM のリビジョン番号を参照してください。
- 混合方式のみ: REGCOMMIT (R171[6]) を 1 に設定して、アクティブなレジスタを SRAM にコミットします。
  - 注: 転送が完了すると、REGCOMMIT は自動的に 0 にクリアされます。
- R20[7] (ROM\_PLUS\_EE) を 1 に設定して、EEPROM オーバーレイを有効化します。
- R173[4:0] (MEMADR\_12:8) を SRAM アドレスの MSB 5 に設定して、SRAM アドレス ポインタを構成します。
- R174 (MEMADR) によって SRAM アドレス ポインタを、SRAM アドレスの下位 8 ビットに設定します。
- SRAM マップからの SRAM データに R176 (RAMDAT) を設定することにより、指定された SRAM アドレスに必要なデータを保存します。
- 必要なすべての SRAM アドレスに対して手順 4~6 を繰り返します。
- R180 (NVMUNLK) を 234 に設定して、EEPROM のロックを解除します。
- 1 回のトランザクションで:
  - NVMERASE (R171[1]) を 1 に設定して、EEPROM の内容を消去します。
  - NVMPROG (R171[0]) を 1 に設定して、SRAM の内容を EEPROM に転送する EEPROM プログラミングを開始します。
  - 注: ステップ 5 と 6 は、間にある他のレジスタトランザクションなしのアトミック (連続) 書き込みである必要があります。EEPROM プログラミングを成功させるために、シリアル通信割り込み (同じバス上の他のデバイスへのアクセスなど) も許可されません。
- R171[2] (NVMBUSY) をポーリングしてクリアされるまで、または約 500ms 待つて、EEPROM のプログラミングが完了するのを待ちます。
  - 注: EEPROM プログラミングを正常に行うには、NVMBUSY がクリアされるまで、電源を切ったり、PD# を切り替えたり、次の手順に進んだりしないでください。
- NVMUNLK を 0 に設定して EEPROM をロックします。
- 次の POR で EEPROM プログラミングが成功すると、EEPROM プログラム カウント R16 (NVMCNT) が 1 インクリメントされます。また、EEPROM オーバーレイビットが設定されている場合、アクティブ レジスタは EEPROM からロードされます。

TARGET\_ADR\_MSB を変更するための 16 進数命令の例:

```

R171    0x00AB40    # Set REGCOMMIT (Mixed Method only)
R20     0x001480    # Enable EEPROM OVERLAY
R173    0x00AD00    # Set 5 MSBs of SRAM address
R174    0x00AE0C    # Set 8 LSBs of SRAM address
R176    0x00B019    # Set 5 MSBs of desired I2C address

R180    0x00B4EA    # UNLOCK EEPROM
R171    0x00AB03    # ERASE and PROGRAM SRAM contents to EEPROM
while(READ_REG(NVMBUSY) != 0) # NVMBUSY is located in 0xAB, bit 2
R180    0x00B400    # Lock EEPROM
  
```

EEREV を変更するための 16 進数命令の例:

#### 8.4.5.4.4 I2C アドレスの上位 5 ビットと EEPROM のリビジョン番号

表 8-14 は、TARGET\_ADR\_MSB および EEREV フィールドの SRAM アドレスおよび EEPROM アドレスを要約しています。これらのバイトは [直接書き込み方式または混合方式による EEPROM プログラミング](#) によってのみ書き込むことができます。これらのバイトはオプションで工場出荷時のデフォルト設定から変更することができます。

表 8-14. EEPROM のユーザー プログラマブルなフィールド

SRAM/EEPROM アドレス バイト番号 (10 進数)	SRAM/EEPROM アドレス バイト番号 (16 進数)	SRAM/EEPROM フィールド名	説明
12	0x0C	TARGET_ADR_MSB	<b>I<sup>2</sup>C ターゲット アドレス MSB ビット</b> TARGET_ADR_MSB[7:3]に書き込むことで、7 ビットの周辺アドレスの上位 5 ビットを設定できます。TARGET_ADR_MSB[2:0] にはゼロを書き込む必要があります。 TARGET_ADR_MSB は、SRAM と EEPROM をプログラミングすることによってのみ変更できます。現在デバイスで使用されている TARGET_ADR_MSB 値は、読み取り専用レジスタ R18 によって読み戻すことができます。 I <sup>2</sup> C アドレスの詳細については、 <a href="#">GPIO1 および SCS_ADD 機能</a> および <a href="#">I<sup>2</sup>C シリアル インターフェイス</a> を参照してください。
13	0x0D	EEREV	<b>EEPROM イメージのリビジョン番号。</b> EEREV を書き込むことで、EEPROM イメージのリビジョン番号または部品のトレーサビリティのための顧客固有のデータを設定できます。 EEREV は、SRAM と EEPROM をプログラミングすることによってのみ変更できます。現在デバイスで使用されている EEREV 値は、読み取り専用レジスタ R19 によって読み戻すことができます。

## 9 アプリケーションと実装

### 注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 9.1 アプリケーション情報

#### 9.1.1 デバイスの起動シーケンス

デバイス パワーオンリセット (POR) に、デバイス起動シーケンスを示します。

#### 9.1.2 パワーダウン (PD#) ピン

PD# ピン (アクティブ Low) は、デバイスの電源を切るために使用したり、POR シーケンスを初期化するために使用したりできます。PD# が低く引き下げられると、デバイス全体の電源がオフになり、シリアル インターフェイスが無効になります。PD# が High にプルされると、デバイスの POR シーケンスがトリガーされ、表 9-1 に示すように、デバイスの起動シーケンスと通常の動作が開始されます。PD# ピンが切り替えられて瞬間的なハードリセットが発行される場合、PD# ピンに適用される負のパルスは、内部デジタル システム クロックによってキャプチャされるために 200ns より大きくなければなりません。

表 9-1. PD# 制御

PD# ピンの状態	デバイス動作
0	デバイスは無効です

表 9-1. PD# 制御 (続き)

PD# ピンの状態	デバイス動作
1	通常動作

### 9.1.3 起動のためのストラップピン

起動時に、GPIO の電圧レベルによってデバイスの動作モードが決まります。GPIO1 は SPI または I<sup>2</sup>C モードを選択します。GPIO2 と GPIO0 は ROM ページを選択します。

### 9.1.4 ピンの状態

表 9-2 に、本デバイスのさまざまなピンの状態を示します。

表 9-2. さまざまなステージにおけるピンの状態

ピン名	パワーダウン	状態	POR (SPI)	状態	POR (I <sup>2</sup> C)	状態	通常動作	状態	ソフトリセット	状態
PD#	Low	2 レベル入力	PD # が Low から High に移行します		PD # が Low から High に移行します		High	2 レベル入力	High	2 レベル入力
GPIO0	POR の準備ができました	3 レベル入力	EEPROM/ROM 選択	3 レベル入力	EEPROM/ROM 選択	3 レベル入力	表を参照してください	GPIO	該当なし	
GPIO1	POR の準備ができました	2 レベル入力	VDD	2 レベル入力	GND	2 レベル入力	表を参照してください	GPIO	該当なし	
GPIO2	POR の準備ができました	3 レベル入力	EEPROM/ROM 選択	3 レベル入力	EEPROM/ROM 選択	3 レベル入力	表を参照してください	GPIO	該当なし	
SCS_A DD	POR の準備ができました	3 レベル入力	SCS	2 レベル入力	I <sup>2</sup> C アドレス選択	3 レベル入力	POR に基づく 2 レベルまたは 3 レベルの入力	該当なし		
SDIO	該当なし		SDIO	データ I/O	SDA	データ I/O	POR に基づく SDIO または SDA 制御インターフェース シリアル データ入出力			
SCK	該当なし		SCK	クロック入力	SCL	クロック入力	POR に基づく SCK または SCL 制御インターフェース シリアル クロック入力			

### 9.1.5 ROM と EEPROM

一部のアプリケーションでは、電源投入時にシステム全体が動作するために、起動クロックが必要です。その他のアプリケーションでは、電源投入時にロジック デバイス (CPU、ASIC、または FPGA) の有効なクロックのみを要求し、デフォルトの ROM 構成がアプリケーションの要件を満たしていない場合は、カスタム設定で LMK5B12212 をプログラムできます。LMK5B12212 は、起動時のデフォルトの出力クロックをサポートする ROM ページと、ROM ページがアプリケーションの要件を満たしていない場合に起動クロックをカスタマイズできる EEPROM を提供します。詳細については、[ROM ページの選択](#)と [EEPROM オーバーレイ](#)を参照してください。

### 9.1.6 電源レール シーケンシング、電源ランプレート、および混在電源ドメイン

#### 9.1.6.1 パワーオン リセット (POR) 回路

LMK5B12212 には、以下の条件がすべて満たされるまでデバイスをリセット状態に保持するパワーオン リセット (POR) 回路が組み込まれています。

- すべての V<sub>DD</sub> コア電源が 2.72V を超えました
- PD# ピンが 1.2V (最小 V<sub>IH</sub>) 以上に上昇しました

### 9.1.6.2 単一電源レールからの電源投入

すべての VDD および VDDO 電源が、0V から 3.135V まで単調に増加する同じ 3.3V 電源レールによって駆動され、決定ポイント 2 と安定した電源電圧の間の時間が 1 ミリ秒未満である限り、デバイスの電源投入シーケンスを外部的に遅延させるために PD# ピンにコンデンサを追加する必要はありません。図 9-1 は、システムのクロックシーケンス要件を満たすために、PD# ピンをフローティング状態のままにするか、システムホストによって駆動できることを示しています。

決定ポイント 2 と安定した電源電圧の間の時間が 1 ミリ秒を超える場合、PD# ピンを遅延させる必要があります。分割電源レールからの電源投入を参照してください。

低速または遅延 XO 起動で説明されているように、VCO のキャリブレーションを正常に実行し、有効な DPLL リファレンス読み取りを取得するには、PD# 決定ポイント 1 の後に XO リファレンスを検証する必要があります。

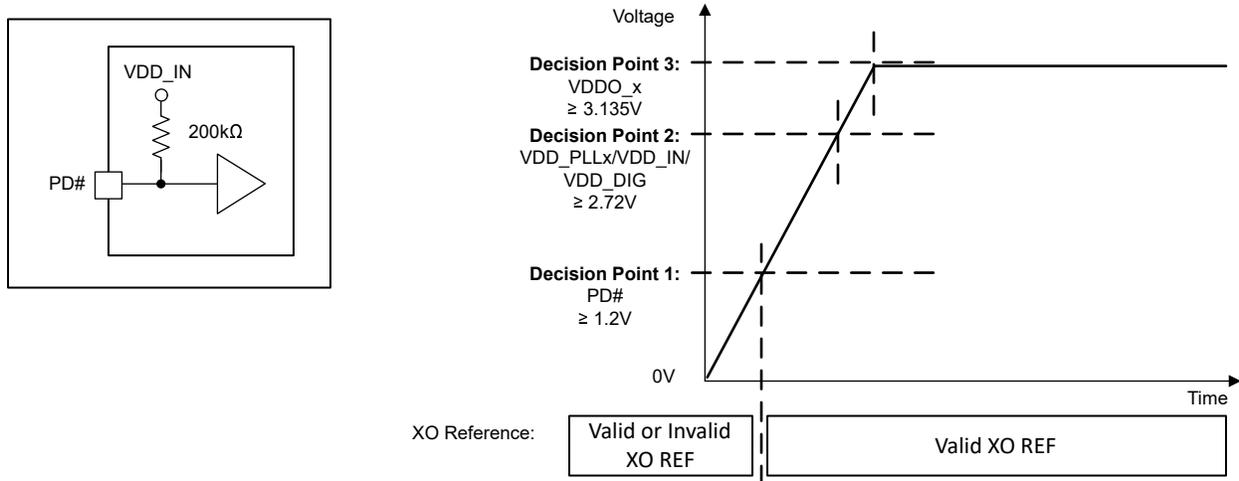


図 9-1. 単一電源レールからの電源投入に関する推奨事項

### 9.1.6.3 分割電源レールからの電源投入

VDD または VDDO 電源が異なる電源ソースから駆動されている場合、TI では、すべての電源が 3.135V を超えた後に PLL キャリブレーションを開始することを推奨します。これは、PD# の Low から High への遷移を遅らせることによって実現できます。PD# 入力には、図 9-2 に示すように、VDD\_IN への 200kΩ 抵抗が組み込まれています。PD# ピンから GND へのコンデンサを使用して、内部プルアップ抵抗とともに RC 時定数を形成できます。この RC 時間定数は、すべてのコア電源が 3.135V を超えるまで PD# の Low から High への遷移を遅らせるように設計できます。VDD 電源ピンの前に VDDO 電源ピンをランプアップすることをお勧めします。

あるいは、システムホストまたは電源管理デバイスによって PD# ピンをハイに駆動して、すべての電源が立ち上がるまでデバイスの電源投入シーケンスを遅延させることもできます。

低速または遅延 XO 起動で説明されているように、VCO のキャリブレーションを正常に実行し、有効な DPLL リファレンス読み取りを取得するには、PD# 決定ポイント 3 以降で XO リファレンスが有効である必要があります。

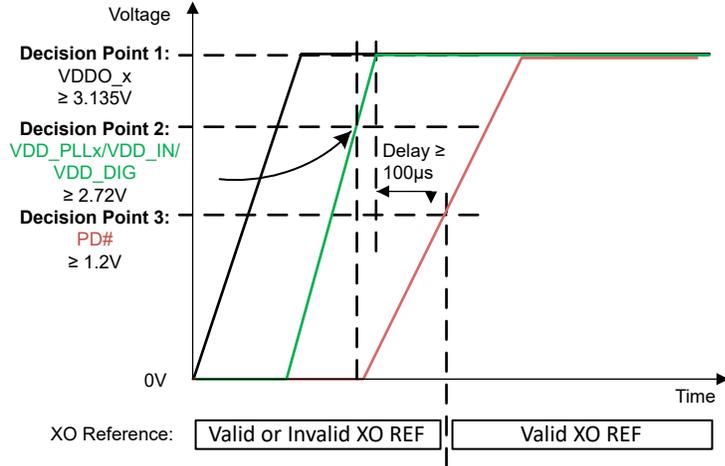
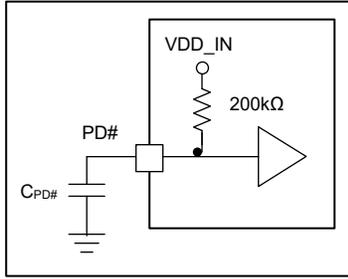


図 9-2. 分割電源レールからの電源投入に関する推奨事項

#### 9.1.6.4 非単調または低速の電源投入時上昇

VDD コア電源が非単調に上昇する場合、または 0V から 3.135V までのランプ時間が 100 ミリ秒を超える場合、TI では、すべてのコア電源が 3.135V を超えるまで VCO キャリブレーションを遅らせることを推奨します。これは、[分割電源レールからの電源投入](#) で説明されている方法の一つを使用して、PD# の Low から High への遷移を遅延させることによって実現できます。

PD# が Low から High に遷移する前に、いずれかのコア電源が 3.135V 以上に上昇できない場合は、すべてのコア電源が上昇した後にデバイスのソフトリセットを発行して、VCO キャリブレーションと PLL 起動シーケンスを手動でトリガできます。

#### 9.1.7 低速または遅延 XO 起動

外部 XO クロック入力には BAW APLL および従来の APLL キャリブレーションのレファレンス入力として使用されるため、PLL ロックと出力の起動を正常に行うには、VCO キャリブレーションの開始前に XO 入力振幅と周波数が安定している必要があります。VCO キャリブレーションの前に XO クロックが安定していない場合、VCO キャリブレーションが失敗し、PLL ロックと出力クロックの起動が妨げられる可能性があります。

XO クロックの起動時間が遅い場合、または電源投入時にグリッチが発生する場合 (例: 電源ランプが遅い、または非単調である)、TI では、XO が安定するまで VCO キャリブレーションの開始を遅らせることを推奨しています。これは、[分割電源レールからの電源投入](#) で説明されているいずれかの方法を使用して、XO クロックが安定するまで PD# の Low から High への遷移を遅らせることによって実現できます。XO クロックが安定した後にデバイスのソフトリセットを発行して、VCO キャリブレーションと PLL 起動シーケンスを手動でトリガすることもできます。

BAW APLL および VCBO は工場では調整されており、無効な XO リファレンスの起動の影響を受けません。有効な XO レファレンスがあると、BAW APLL/VCBO はロックを取得できます。BAW APLL/VCBO をペアの DPLL と組み合わせて使用する場合、ペアの DPLL リファレンスが検証される前に XO が有効になっている必要があります。

## 9.2 代表的なアプリケーション

**図 9-3** に、LMK5B12212 およびペリフェラル回路の実装に役立つリファレンス回路図を示します。コア電源ピンと独立した出力電源ピンの電力フィルタリングの例を示します。クロック入力ピンと出力ピンのシングルエンド LVCMOS、LVDS、HSDS、AC-LVPECL、および HCSL クロック インターフェイスの例を示します。外部 CMOS 発振器は、例として AC 結合電圧分割器ネットワークを駆動し、3.3V LVCMOS 出力をインターフェースして、XO 入力に指定された入力電圧振幅を満たします。LMK5B12212 の XO ピンは 3.3V LVCMOS 入力を受け入れることができます。必要な外部コンデンサは LMK5B12212 の近くに配置され、推奨値とともに表示されます。ロジック I/O ピンの外部プルアップおよびプルダウン抵抗オプションによって、デフォルトの入力状態が設定されます。I<sup>2</sup>C または SPI ピンおよびその他のロジック I/O ピンをホスト デバイス (図示せず) に接続して、LMK5B12212 をプログラムおよび制御し、ステータスを監視することができます。

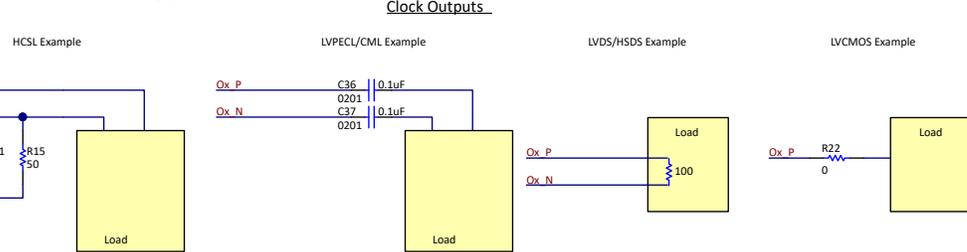
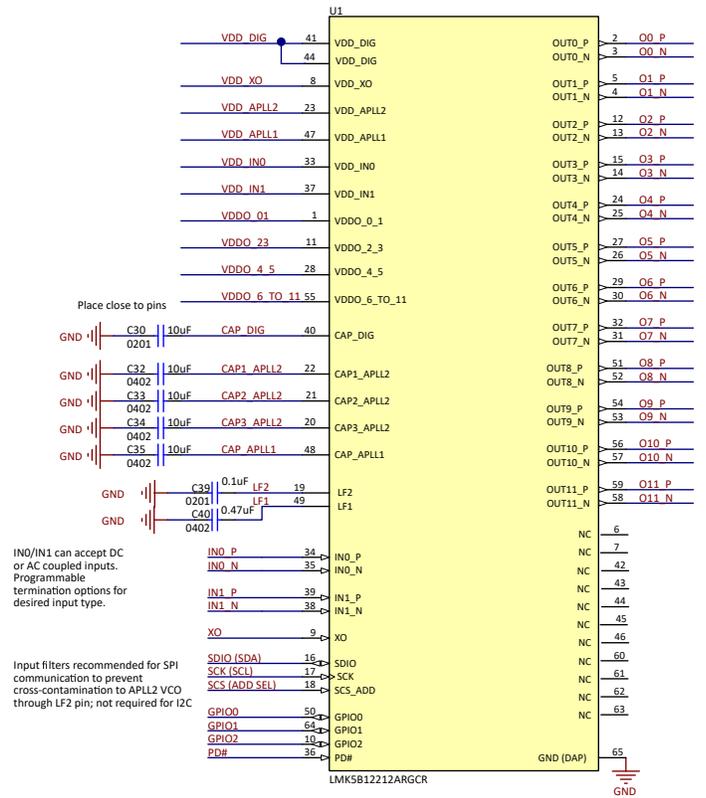
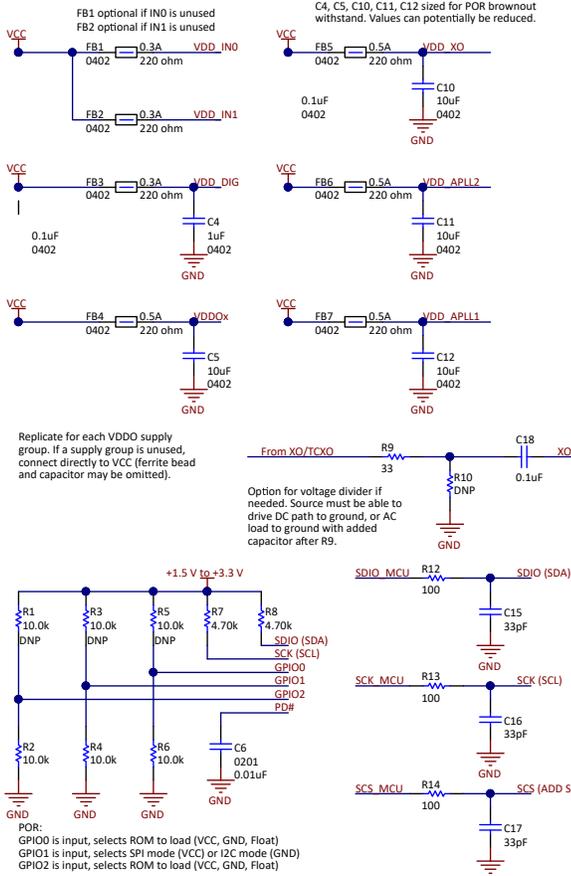


図 9-3. リファレンス回路図の例

### 9.2.1 設計要件

一般的なアプリケーションでは、全体的なクロック ソリューションを実装するために、次の設計要件またはパラメータを考慮してください。

1. デバイスの初期構成。デバイスは、ホスト プログラム (MCU または FPGA) または工場 で事前プログラムされたものとして構成する必要があります。
2. デバイス インターフェイスでは、I<sup>2</sup>C または SPI 通信インターフェイスに応じて GPIO1 を設定します。
3. XO 周波数、信号タイプ、周波数の精度と安定性。次のいずれかが必要な場合は、XO 入力に高安定性 TCXO または OCXO の使用を検討してください。
  - a. 標準準拠の周波数安定性 (SyncE、SONET/SDH、IEEE 1588 など)
  - b. オフセット ≤ 100Hz で可能な限り低い近傍位相ノイズ
  - c. ナロー DPLL 帯域幅 ≤ 10Hz
4. 各 DPLL/APLL ドメインについて、以下を決定します。
  - a. 入力クロック: 周波数、バッファ モード、優先度、入力選択モード
  - b. APLL リファレンス: カスケード モードの別の VCO、または非カスケード モードの XO
  - c. 出力クロック: 周波数、バッファ モード
  - d. DPLL ループ帯域幅と最大 TDC 周波数
  - e. DCO モードまたは ZDM が必要な場合
5. 入力クロックと PLL 監視オプション
6. ステータス出力と割り込みフラグ
7. 電源レール

### 9.2.2 詳細な設計手順

代表的なアプリケーションでは、TI は以下の手順を推奨します:

1. 設計パラメータの入力、各 PLL ドメインの周波数計画の計算、および目的の構成のレジスタ設定の生成を行うには、TICS Pro プログラミング ソフトウェアのデバイス GUI を使用します。ステップバイステップの設計フローを実行します。レジスタ設定をエクスポートして (レジスタ HEX ダンプ (.txt 形式)、ホストプログラミングを有効化できます。
  - ホスト デバイスは、電源投入後にシリアル インターフェイスでレジスタ設定をプログラムし、ソフトリセット (SWRST ビット) を発行してデバイスを起動できます。SWRST の前に SW\_SYNC を設定し、SWRST の後にクリアします。
2. GPIO1 ピンをグラウンドに接続して I<sup>2</sup>C 通信インターフェイスを選択するか、または GPIO1 を外部抵抗を使用して VDD\_DIG High にプルアップして SPI 通信インターフェイスを選択します。制御およびステータス機能のロジック I/O ピンの割り当てを決定します。GPIO1 および SCS\_ADD 機能を参照してください。
  - I<sup>2</sup>C/SPI とロジックの I/O ピン (1.8V 互換レベル) を、適切な I/O 方向および電圧レベルでホスト デバイスのピンに接続します。
3. 次の発振器入力 (XO) 方法で XO 周波数を選択します。
  - フリーランまたはホールドオーバー中に出力クロックに必要な周波数安定性および精度の要件を満たす、目標の位相ジッタ性能を持つ XO を選択します。
  - LMK5B12212 は、XO ピンに 3.3V の LVCMOS 入力を直接接続できます。
  - 低ノイズ LDO レギュレータから XO に給電するか、電源フィルタリングを最適化して、XO クロック上の電源ノイズに起因するジッタを回避します。
  - TICS Pro: XO 入力と一致するように XO 周波数を設定します。

4. 回路図の各 APLL ドメインのクロック I/O を配線し、TICS Pro を使用してデバイス設定を以下のように構成します。
- リファレンス入力: **クロック入力インターフェイスおよび終端**の LVCMOS または差動クロック入力インターフェイスのガイドラインに従ってください。
    - **TICS Pro:** DPLL モードの場合、リファレンス クロックドライバ インターフェイスの要件を一致させるように、リファレンス入力バッファ モードを構成します。**リファレンス入力**を参照してください。
  - **TICS Pro:** DPLL モードの場合、DPLL 入 力選択モードと入力優先度を設定します。**リファレンス入力マルチプレクサの選択**を参照してください。
  - **TICS Pro:** 他の VCO ドメイン (カスケード モード) または XO クロック (非カスケード モード) から各 APLL リファレンスを設定します。
  - **TICS Pro:** 各出力に、必要なクロック周波数と APLL ドメインを設定します。TICS Pro は、APLL と出力の VCO 周波数とデバイダ設定を計算できます。クロストークとスプリアスを最小限に抑えるため、以下の出力クロック割り当てガイドラインを考慮してください。
    - OUT[0:1] バンクは、任意の APLL クロック、XO、および DPLL リファレンスを選択できます。
    - OUT[2:3]、OUT[4:5]、および OUT[6:11] バンクは、APLL1 または APLL2 のクロックを供給元として選択できます。
    - 同一の出力周波数 (または高調波周波数) を持つ出力は隣接するチャンネルにまとめ、可能であれば単一の分周器を共有する出力ペア (例:OUT2/3 ) を使用することで、電力消費を最小限に抑えることができます。
    - 2 つの周波数の差 ( $|f_{OUTx}-f_{OUTy}|$ ) がジッタ積分帯域幅内にある場合 (例:12kHz から 20MHz)、個別のクロック出力。カップリングの可能性を最小限に抑えるため、アグレッサの可能性のある出力はすべて、少なくとも 4 つの静的ピン (電源ピン、論理ピン、または無効化出力ピン) で分離する必要があります。可能であれば、最高の絶縁を実現するため、これらのクロックは互いに反対側の出力バンクに配置することで分離します。
    - LVCMOS 出力 (強いアグレッサ) を避けたり、他のジッタに敏感な差動出力クロックから分離したりすることができます。LVCMOS 出力が必要な場合、デュアル相補 LVCMOS モード ( $\pm$  または  $-/+$ ) を使い、未使用の LVCMOS 出力をフローティングのままにして、配線なしでフローティングにします。
    - アプリケーションですべての出力ペアが使用されていない場合は、テスト目的 (SMA、SMP ポートなど) のために、未使用の出力を一对の RF 同軸テスト構造に接続することを検討してください。
  - **TICS Pro:** 出力ドライバを設定します。
    - レシーバ クロック入力インターフェイスの要件と一致するように出力ドライバ モードを構成します。**クロック出力**を参照してください。
    - 出力位相を同期する必要がある任意の出力同期グループを構成します。**出力同期 (SYNC)**を参照してください。
    - 出力自動ミュート モードと、APLL および DPLL ミュート オプションを設定します。**LOL 中の出力の自動ミュート**を参照してください。
  - クロック出力インターフェイス: **クロック出力のインターフェイスと終端**のシングルエンドまたは差動クロック出力インターフェイスのガイドラインに従います。
    - 差動出力は、レシーバ入力で AC 結合および終端してバイアスすること、または適切なレシーバと DC 結合することができます
    - LVCMOS 出力には、50 $\Omega$  のトレースを直接駆動するための内部ソース終端があります。LVCMOS  $V_{OH}$  レベルは、内部 LDO でプログラムされた電圧 (1.8V または 2.65V) によって決定されます。
  - **TICS Pro:** DPLL ループ帯域幅を構成します。
    - ループ帯域幅より下では、リファレンス ノイズは TDC ノイズ フロアと XO/TCXO/OCXO ノイズに追加されます。ループ帯域幅を上回ると、リファレンス ノイズはロール オフにより最大 60dB/decade まで減衰します。最適な帯域幅は、リファレンス入力と XO の間の相対位相ノイズによって決まります。APLL ループ帯域幅は、APLL の帯域幅を上回るリファレンス入力、TDC、XO 位相ノイズをさらに減衰させるように構成できます。
  - **TICS Pro:** 目的の使用事例に合わせて DPLL TDC ノイズへの寄与を最適化するように、最大 TDC 周波数を構成します。
    - **優先:** 一般的には 400kHz の最大 TDC レートが規定されています。このリファレンス デザインは、SyncE や狭ループ帯域幅 ( $\leq 10$ Hz) を使用する TCXO/OCXO/XO を使用する他の使用事例に対応しており、周波数安定性やワンド性能を設定できます。

- 無線:26MHz の最大 TDC レートは、帯域内 TDC ノイズへの寄与を最小にするために一般的に規定されています。そのため、無線や近接位相ノイズが重要な他のユースケースにも対応できます。
  - **TICS Pro:** クロック ステアリングが必要な場合 (IEEE-1588 PTP の場合など) は、DPLL ループの DCO モードを有効にし、周波数ステップ・サイズ (PPB 単位) を入力します。FDEV ステップレジスタは、[APLL DCO の周波数ステップ サイズ](#)に従って計算されます。必要に応じて GPIO ピンで FDEV\_TRIG および FDEV\_DIR ピン制御を有効化します。
  - **TICS Pro:** 入力から出力までのクロック位相を決定論的にそろえる必要がある場合は、必要に応じて OUT0、OUT4、または OUT10 で ZDM を有効にします。[セクション 8.3.19](#)を参照してください。
5. **TICS Pro:** 各リファレンス入力のリファレンス入力監視オプションを設定します。不要な場合、または入力がモニタのサポート周波数範囲を超えて動作する場合は、モニタを無効にします。[リファレンス入力監視](#)を参照してください。
- **周波数監視:** 有効なしきい値と無効なしきい値 (ppm 単位) を設定します。
  - **消失パルス モニタ:** 遅延ウィンドウ スレッシュホールド ( $T_{LATE}$ ) は、ワーストケースのサイクル間ジッタを含む、予想される最長の入力クロック期間を許容するように設定します。ギャップドクロック入力の場合は、クロック消失パルスの許容数に基づいて  $T_{LATE}$  を設定します。
  - **ラントパルス モニタ:** 早期ウィンドウ スレッシュホールド ( $T_{EARLY}$ ) は、ワーストケースのサイクル間ジッタを含む、予想される最短の入力クロック期間を許容するように設定します。
  - **1PPS 位相検証モニタ:** ワーストケースの入力サイクル間ジッタを含む位相検証ジッタ スレッシュホールドを設定します。
  - **検証タイム:** 入力を選択可能になるまでに、有効なすべての入力モニタによって基準入力に認定される必要がある時間を設定します。
6. **TICS Pro:** 各チャンネルの DPLL ロック検出およびチューニングワード履歴監視オプションを構成します。[PLL ロック検出器](#)と [調整ワード履歴](#)を参照してください。
- **DPLL 周波数ロックおよび位相ロック検出器:** 各検出器のロックおよびロック解除のスレッシュホールドを設定します。
7. **TICS Pro:** 必要に応じて、各ステータス出力ピンと割り込みフラグを設定します。[ステータス出力](#)と [割り込み](#)を参照してください。
- 目的のステータス信号の選択、ステータス極性、およびドライバ モード (3.3V LVCMOS またはオープンドレイン) を選択します。オープンドレイン には外付けプルアップ抵抗が必要です。
  - 割り込みが有効であり、ステータス出力として選択されている場合は、任意の割り込みソースのフラグ極性とマスクビット、および必要に応じて組み合わせ OR ゲートを設定します。
8. 電源を設計する際には、以下のガイドラインを考慮してください。
- 同じ周波数または整数関連 (高調波) 周波数の出力は、フィルタリングされた共通の電源を共有できます。
    - 例: OUT[4:5] および OUT[6:7] の 156.25MHz および 312.5MHz の出力は、フィルタ済みの共通 VDDO 電源を共有できます。一方、OUT[0:1] および OUT[2:3] の 100MHz、50MHz、25MHz の出力は、別の VDDO 電源を共有できます。
  - [電源レール シーケンシング](#)、[電源ランプレート](#)、および[混在電源ドメイン](#)を参照してください。

### 9.2.3 アプリケーション曲線

表 9-3 に記載されている位相ノイズ プロットについては、[代表的な特性](#) セクションを参照してください。

**表 9-3. グラフ一覧**

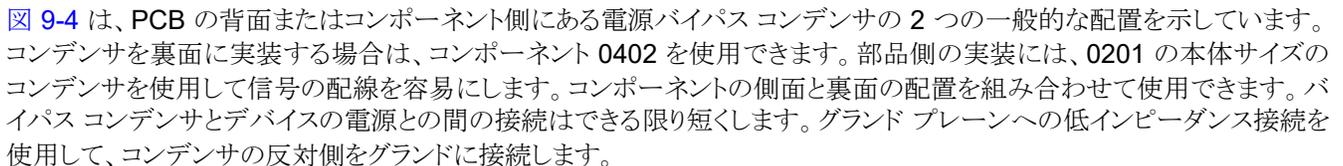
出力周波数 [MHz]	出力フォーマット	APLL ソース	グラフへのリンク
312.5MHz	HSDS	BAW	<a href="#">表示</a>
156.25MHz	HSDS	BAW	<a href="#">表示</a>
125MHz	HSDS	BAW	<a href="#">表示</a>
100MHz	HSDS	BAW	<a href="#">表示</a>
322.265625MHz	HSDS	従来型 LC (APLL2)	<a href="#">表示</a>
245.76MHz	HSDS	従来型 LC (APLL2)	<a href="#">表示</a>
212.5MHz	HSDS	従来型 LC (APLL2)	<a href="#">表示</a>
161.1328125MHz	HSDS	従来型 LC (APLL2)	<a href="#">表示</a>
155.52MHz	HSDS	従来型 LC (APLL2)	<a href="#">表示</a>
153.6MHz	HSDS	従来型 LC (APLL2)	<a href="#">表示</a>
122.88MHz	HSDS	従来型 LC (APLL2)	<a href="#">表示</a>

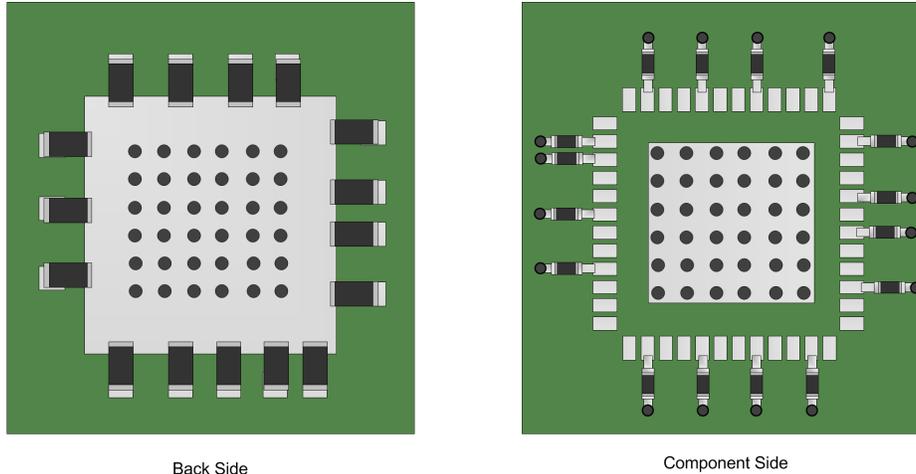
### 9.3 設計のベスト プラクティス

- レジスタを介して未使用のブロックの電源をオフにして、消費電力を最小限に抑えます。
- デバイスとの間のアクティブな信号の入力および出力クロックトレースのインピーダンスを一致させるには、適切なソースまたは負荷終端を使用します。
- 未使用のクロック出力は、レジスタ制御を通じてフローティング状態のままにして、電源をオフにしておきます。
- 使用しないクロック入力フローティングのままにしておきます。
- 必要に応じて、各 GPIO ピンに外部バイアス抵抗 (10kΩ プルアップから 3.3V または 10kΩ プルダウン) を接続して、POR 中にデバイスの動作モードを選択できます。
- デバイスのステータス出力を監視するには、各 GPIO ピンをホスト デバイスのテスト ポイントまたは高インピーダンス入力にルーティングすることを検討してください。
- 外部 XO/TCXO/OCXO ソースに電力を供給するために LDO レギュレータの使用を検討してください。
  - 発振器クロックの高ジッタとスプリアスは、多くの場合、電源の高スペクトル ノイズとリップルによって発生します。
- デバイスの I<sup>2</sup>C または SPI にアクセスするための専用ヘッダーと、グランド用のヘッダー ピンが含まれています。
  - これにより、TI USB2ANY インターフェイスと TICS Pro ソフトウェア ツールを使用して、デバイスの立ち上げ、プロトタイピング、および診断のためのオフボード プログラミングが可能になります。

### 9.4 電源に関する推奨事項

#### 9.4.1 電源バイパス


 図 9-4 は、PCB の背面またはコンポーネント側にある電源バイパス コンデンサの 2 つの一般的な配置を示しています。コンデンサを裏面に実装する場合は、コンポーネント 0402 を使用できます。部品側の実装には、0201 の本体サイズのコンデンサを使用して信号の配線を容易にします。コンポーネントの側面と裏面の配置を組み合わせ使用できます。バイパス コンデンサとデバイスの電源との間の接続はできる限り短くします。グランド プレーンへの低インピーダンス接続を使用して、コンデンサの反対側をグランドに接続します。



(デバイスの電源ピンの実際の位置を示すものではありません)

図 9-4. 電源バイパス コンデンサの一般的な配置

## 9.5 レイアウト

### 9.5.1 レイアウトのガイドライン

- 入力、XO/OCXO/TCXO、および出力クロックを、異なる周波数を持つ隣接クロックやその他の近くの動的信号から分離します。
- XO/OCXO/TCXO の配置とレイアウトについては、近くの回路 (電源、FPGA、ASIC など) からの電源/グランド ノイズと熱勾配、およびシステム レベルの振動と衝撃を考慮してください。これらの要因は、発振器の周波数安定性/精度および過渡性能に影響を及ぼす可能性があります。
- クロックおよびダイナミック ロジック信号用の、インピーダンスが制御された 50Ω シングルエンド (または 100Ω 差動) トレース上のインピーダンスの不連続を回避します。
- バイパス コンデンサは、IC と同じ側の VDD ピンと VDDO ピンの近く、または PCB の反対側の IC ピンの真下に配置します。より大きな値のデカップリング コンデンサは、さらに離れた場所に配置できます。
- 外部コンデンサを CAP\_x ピンと LFX ピンの近くに配置します。
- 可能であれば、複数のビアを使用して、幅広い電源トレースをそれぞれの電源アイランドまたはプレーンに接続します。
- IC グランド/サーマル パッドを PCB グランド プレーンに接続するには、少なくとも 6×6 のスルーホール ビア パターンを使用します。
- [セクション 12](#) セクションの「ランド パターンの例」、「はんだマスクの詳細」、および「はんだペーストの例」を参照してください。

### 9.5.2 レイアウト例

以下は、熱設計手法のアプリケーションと、デバイスの DAP と PCB 間の低インダクタンスのグランド接続を示すプリント基板 (PCB) レイアウトの例です。電源デカップリング コンデンサのグランドリターン パスを DAP の近くに配置します。差動信号として構成されたすべての OUTx ペアは、差動的にルーティングされ、トレース インピーダンス要件 (通常は 100 オーム差動) を満たす必要があります。

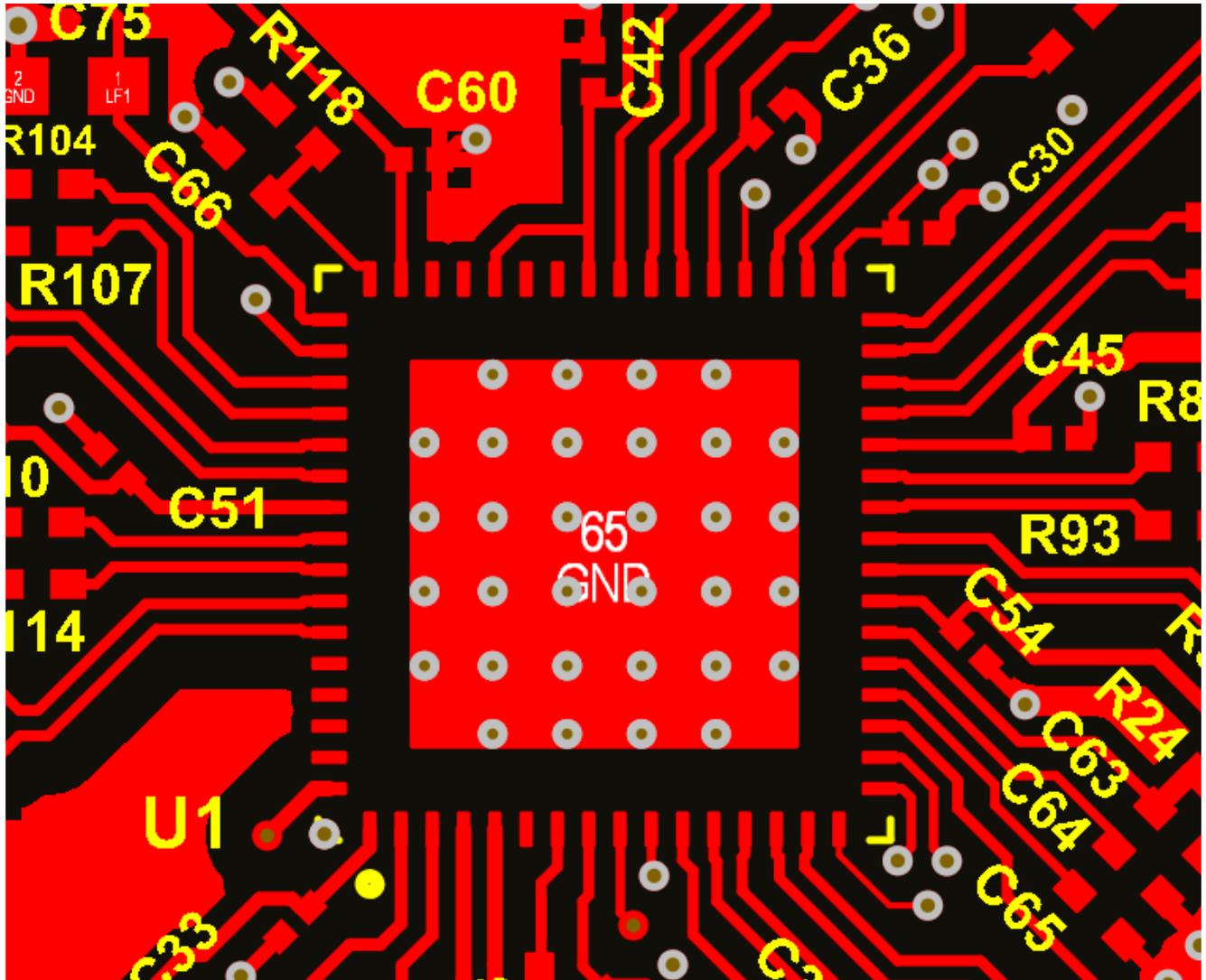


図 9-5. LMK5B12212 の PCB レイアウト例、最上層

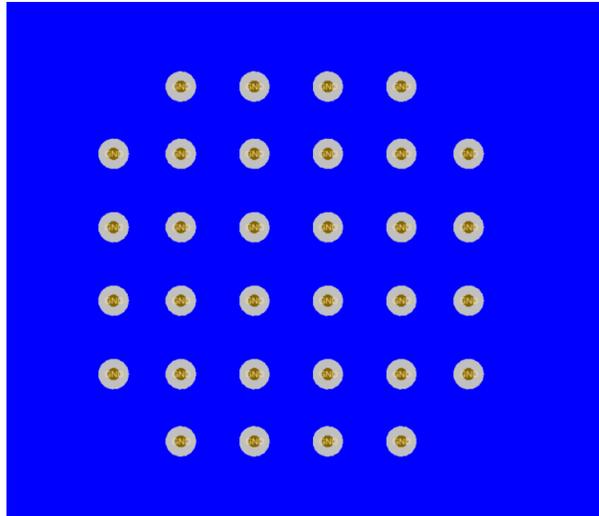


図 9-6. LMK5B12212 の PCB レイアウト例、最下層

### 9.5.3 熱に関する信頼性

LMK5B12212 は高性能デバイスです。良好な電気的および熱的性能を実現するために、TI では、複数の PCB グランド層に接続された少なくとも  $6 \times 6$  スルーホール スルー パターンを使用して、IC グランドまたはサーマル パッドと PCB グランド間の熱的に強化されたインターフェイスを設計することを推奨しています (図 9-7 を参照)。

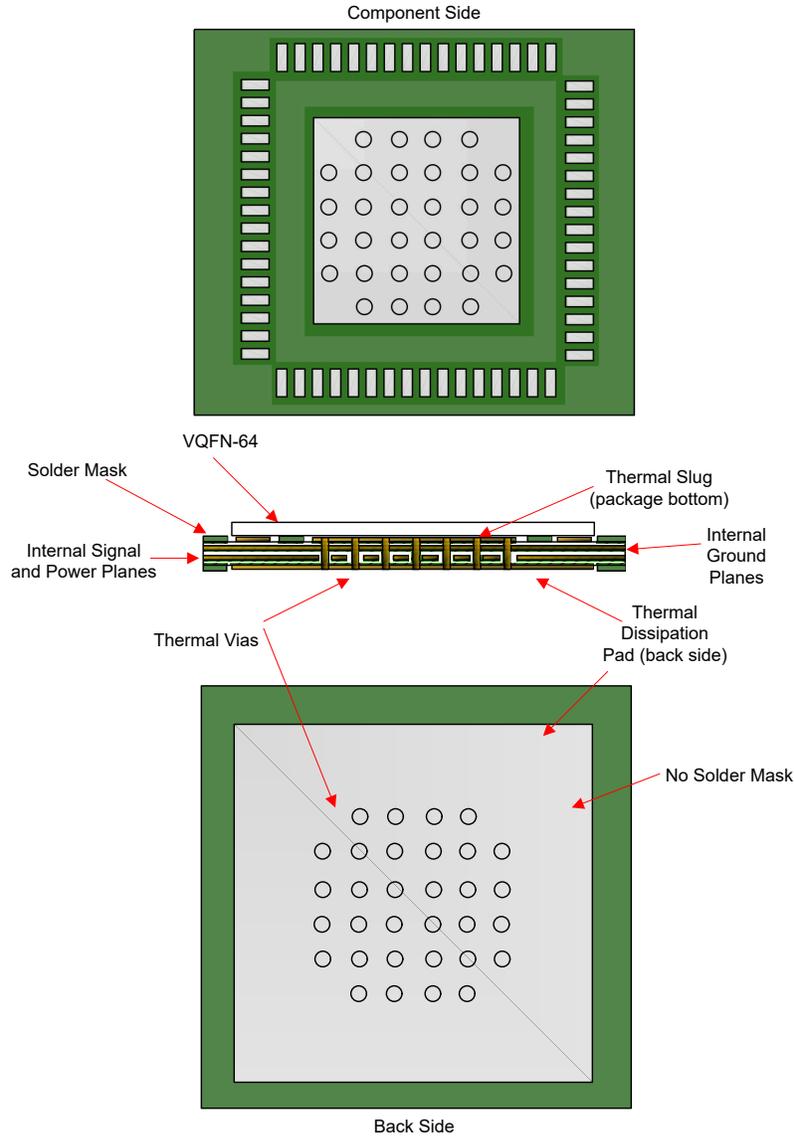


図 9-7. 熱信頼性のための一般的な PCB グランドレイアウト (8 層以上を推奨)

## 10 デバイスおよびドキュメントのサポート

### 10.1 ドキュメントのサポート

#### 10.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『[LMK5B12212EVM ユーザーガイド](#)』

#### 10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

## 10.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの [使用条件](#) を参照してください。

## 10.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

## 10.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

## 10.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

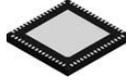
## 11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
November 2024	*	初版リリース

## 12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

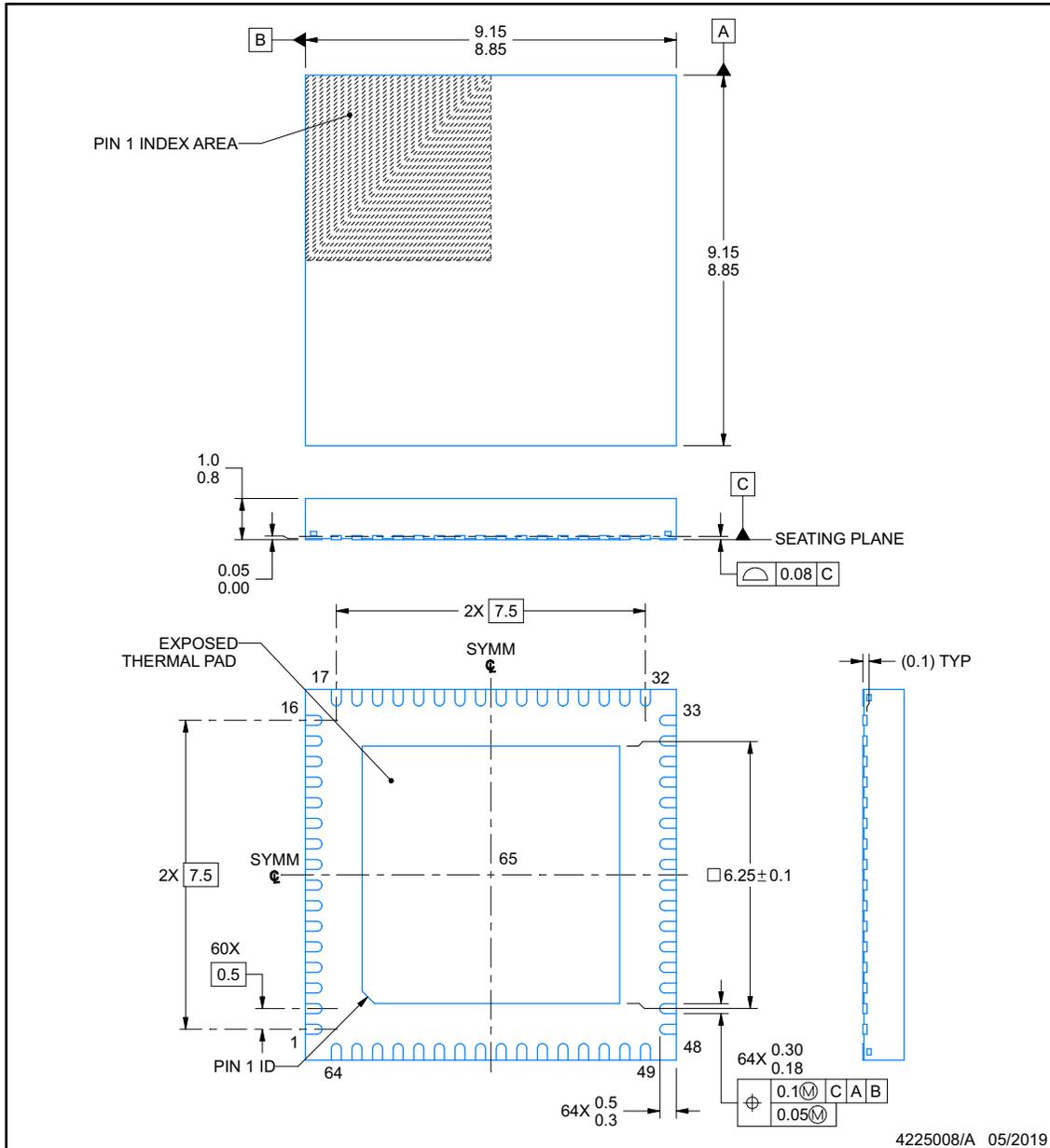


**RGC0064E**

**PACKAGE OUTLINE**

**VQFN - 1 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



**NOTES:**

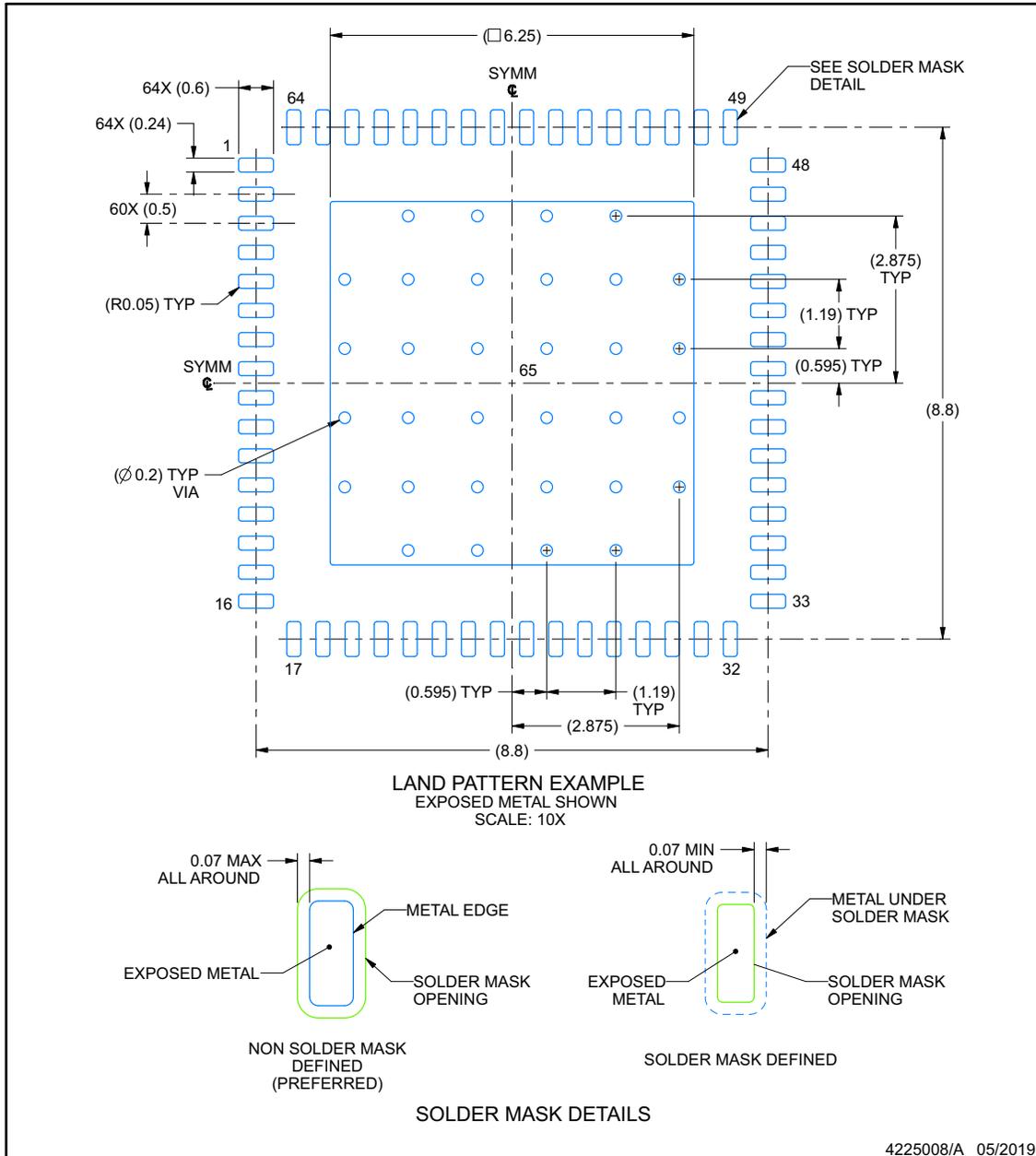
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

## EXAMPLE BOARD LAYOUT

### RGC0064E

### VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

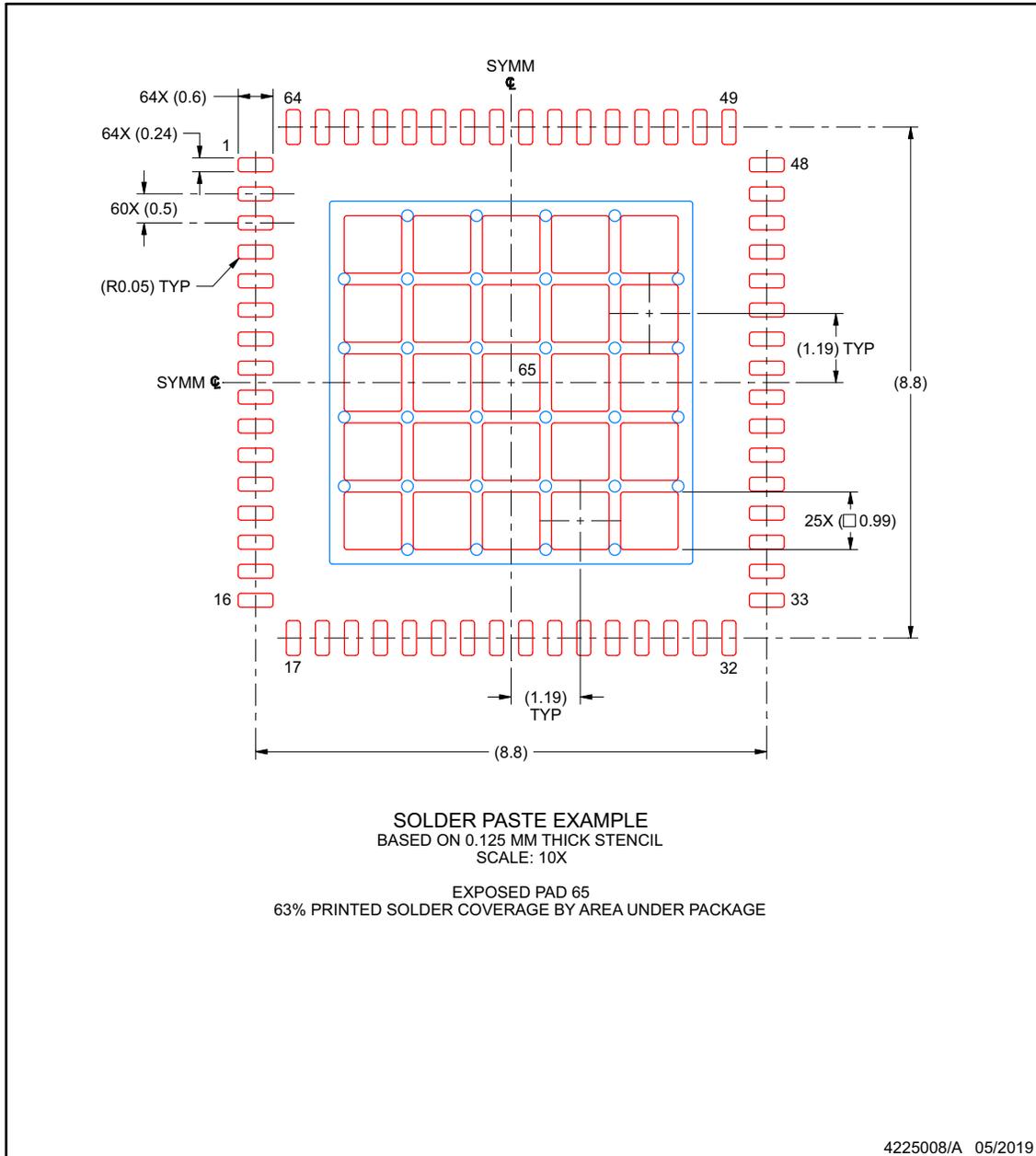
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/sluea271](http://www.ti.com/lit/sluea271)).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

## EXAMPLE STENCIL DESIGN

**RGC0064E**

**VQFN - 1 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

**PACKAGING INFORMATION**

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
<a href="#">LMK5B12212RGCR</a>	Active	Production	VQFN (RGC)   64	4000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	K5B12212
LMK5B12212RGCR.A	Active	Production	VQFN (RGC)   64	4000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	K5B12212

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

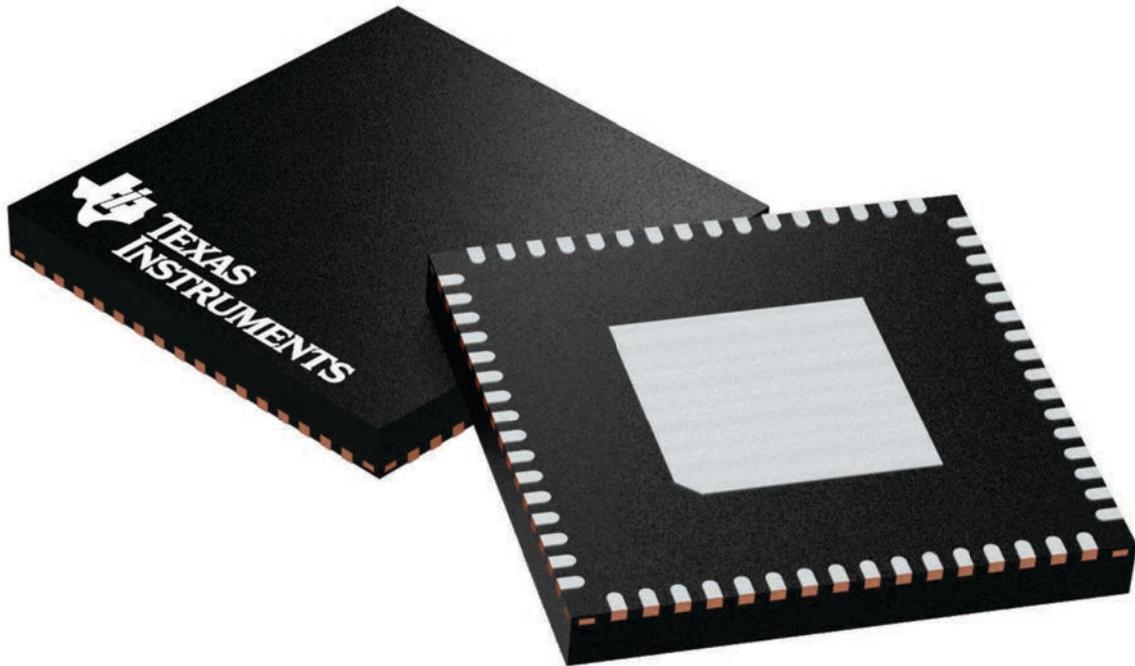
## GENERIC PACKAGE VIEW

**RGC 64**

**VQFN - 1 mm max height**

9 x 9, 0.5 mm pitch

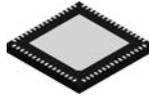
PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.

4224597/A

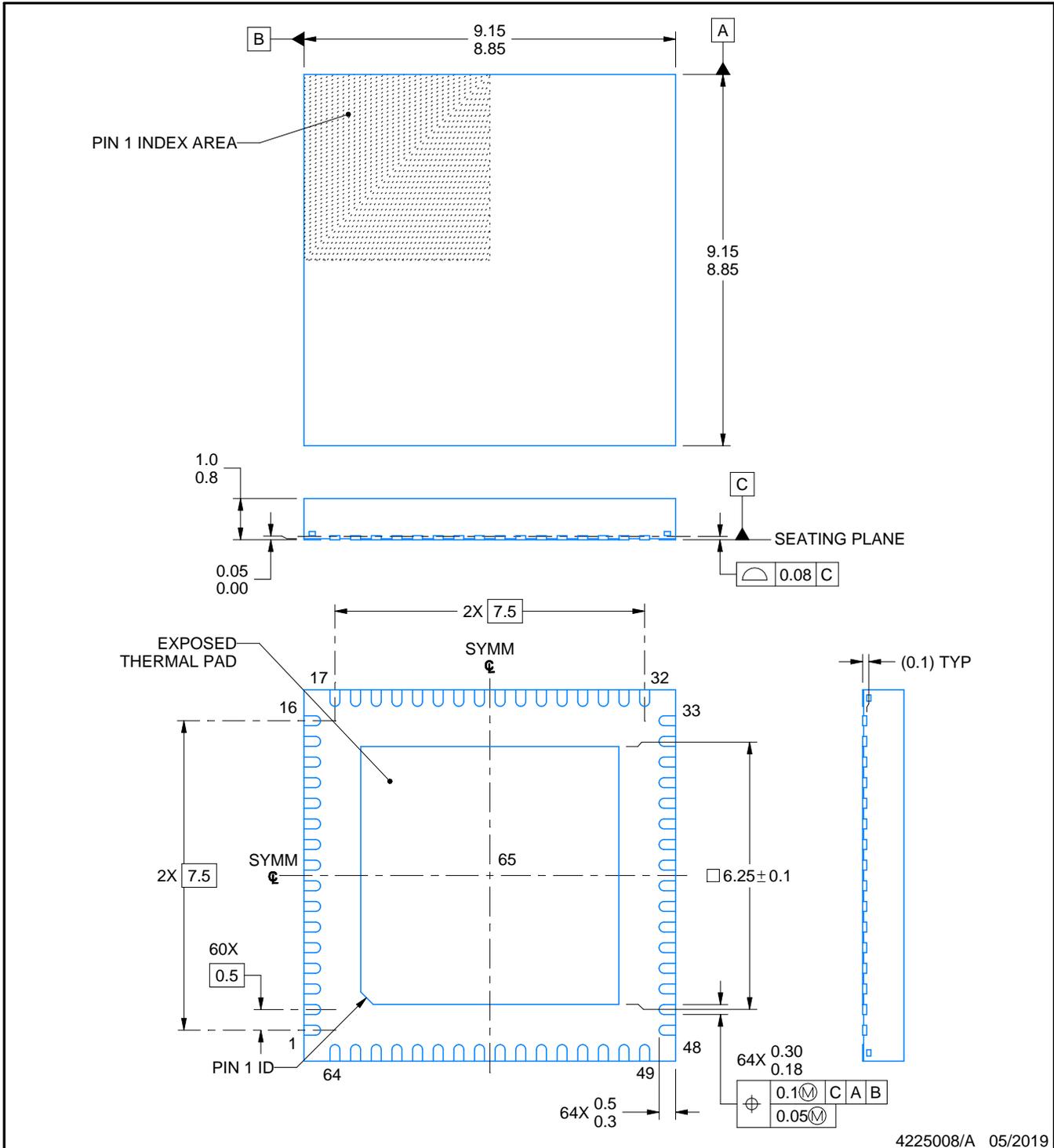
# RGC0064E



## PACKAGE OUTLINE

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



4225008/A 05/2019

### NOTES:

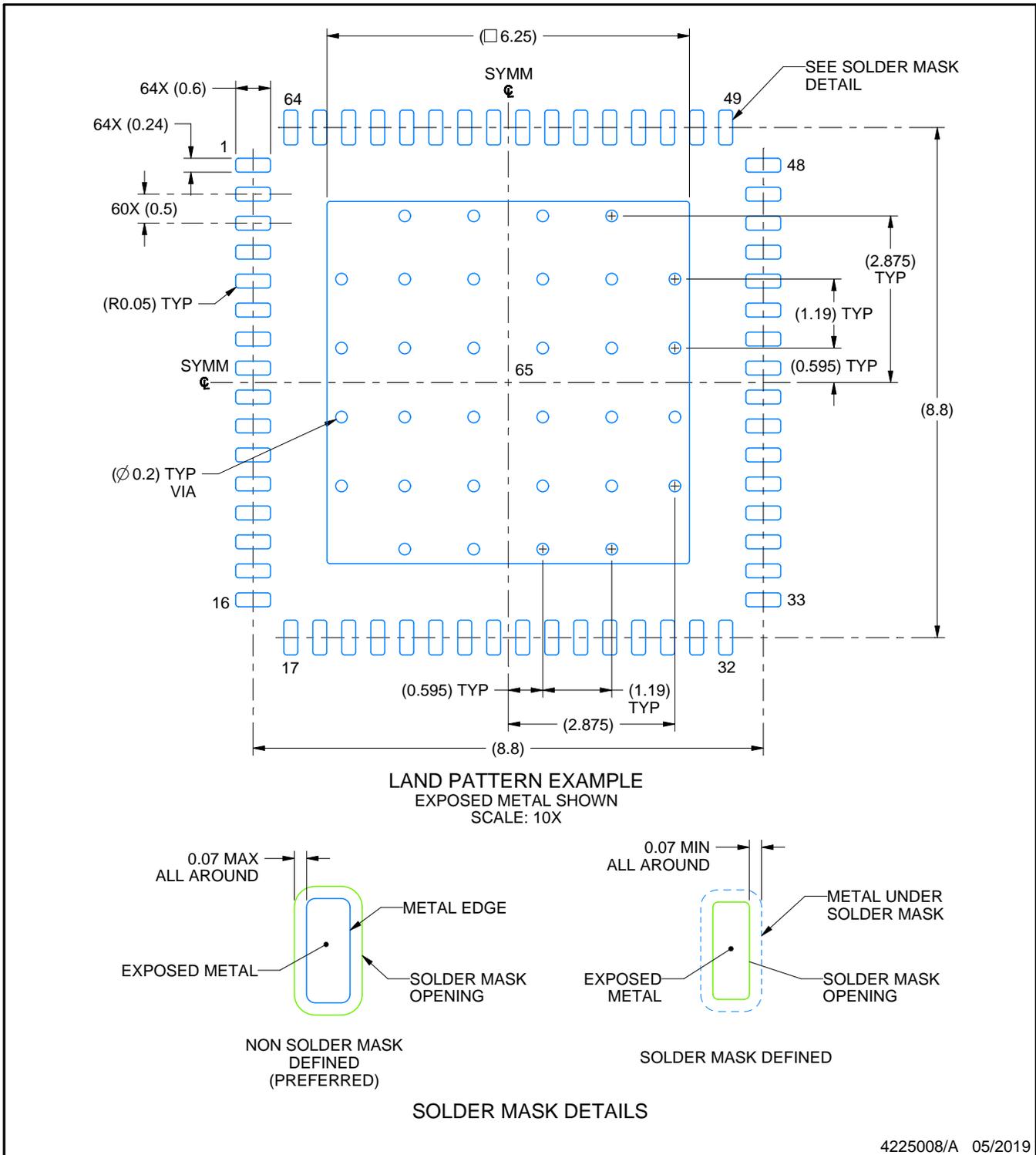
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

# EXAMPLE BOARD LAYOUT

RGC0064E

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/slua271](http://www.ti.com/lit/slua271)).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月