

LMK6B 9.3fs 超低ジッタ、高性能差動発振器

1 特長

- 業界で最も低いジッタ:
 - 625MHz の HS - LVDS において、9.3fs の標準値の差動 RMS ジッタ (4MHz の 1 次ハイパスフィルタ、12kHz ~ 20MHz)。
 - 312.5MHz の AC - LVPECL において、19.7fs の標準値の差動 RMS ジッタ (4MHz の 1 次ハイパスフィルタ、12kHz ~ 20MHz)。
 - 2500MHz の AC - LVPECL 出力において、16fs (標準値) の RMS ジッタ (12kHz ~ 20MHz)
 - 625MHz の AC - LVPECL 出力において、18fs (標準値)、35fs (最大値) の RMS ジッタ (12kHz ~ 20MHz)
 - 312.5MHz の AC - LVPECL 出力において、28fs (標準値) の RMS ジッタ (12kHz ~ 20MHz)
- 優れた PSRR 性能 (リップル周波数 > 10kHz、電源リップル 50mV、0.1μF デカップリング コンデンサ使用時):
 - 156.25MHz の LP - HCSL において、スプリアスは -95dBc 未満
 - 312.5MHz の LVDS において、スプリアスは -80dBc 未満
- 出力周波数:
 - 初期周波数製品: 100、125、156.25、312.5、625、1250、2500MHz など
 - プレビュー、TI にお問い合わせください: 322.265625、390.625、425、496、603.2291、804.305467、2343.75、2400、2412.91636、2457.6、2480、2550、2578.125MHz
 - その他の固定周波数については、要望に応じて提供可能
- PCIe Gen 1 ~ Gen 7 をサポート
- 出力フォーマット:
 - LVDS、HS - LVDS、AC - LVPECL、カスタムスイング: 50MHz ~ 2500MHz
 - LP - HCSL: 50MHz ~ 625MHz
- 総合周波数安定度 ±25ppm (25°C 基の板温度で 10 年の経年劣化を含めたすべての要因を含めた値)
 - ±7ppm の温度の変動 (-40°C ~ 105°C)
- プレビュー、TI にお問い合わせください: 総合周波数安定度 ±20ppm (85°C 基の板温度で 10 年の経年劣化を含めたすべての要因を含めた値)
- 91mA の最大消費電流 (AC - LVPECL、カスタムスイング、LVDS、HS - LVDS)
- 85mA の最大消費電流 (LP - HCSL)
- 2.5V/3.3V 電源 (2.375V ~ 3.465V)
- 業界標準の 6 ピン パッケージ:

- 2.0mm x 1.6mm (ウェットブル フランク)
- プレビュー、TI にお問い合わせください: 2.5mm x 2.0mm、3.2mm x 2.5mm
- PCB 温度範囲: -40°C ~ 105°C

2 アプリケーション

- 光トランシーバ モジュール
- スイッチ、ルータ、光スイッチ
- NIC、SmartNIC
- 112G/224G/448G PAM - 4 イーサネット クロック処理

3 説明

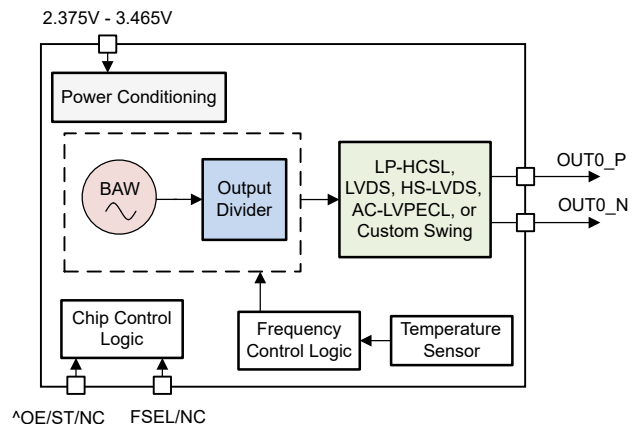
LMK6Bx デバイスは、625MHz で 9.3fs を達成する超低ジッタ固定周波数発振器です。このデバイスは、共振器源として BAW を組み込んでいます。このデバイスは、周波数、出力タイプ、機能ピン、周波数安定度などの特定の動作モードに従って、工場プログラムされています。

このデバイスの高性能クロック供給、機械的安定性、フレキシビリティ、小型パッケージのオプションは、通信、データおよびエンタープライズ ネットワーク、産業用アプリケーションで使用される高速 SerDes のリファレンスおよびコアクロック向けに設計されています。

表 3-1. パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)
LMK6B	DLE (VSON, 6) (3)	3.2mm x 2.5mm
	DLF (VSON, 6) (3)	2.5mm x 2.0mm
	DLR (VSON, 6)	2.0mm x 1.6mm

- メカニカル、パッケージ、および注文情報も参照してください。
- パッケージ サイズ (長さ x 幅) は公称値であり、該当する場合はピンも含まれます。
- プレビュー、TI にお問い合わせください



LMK6Bx の概略ブロック図

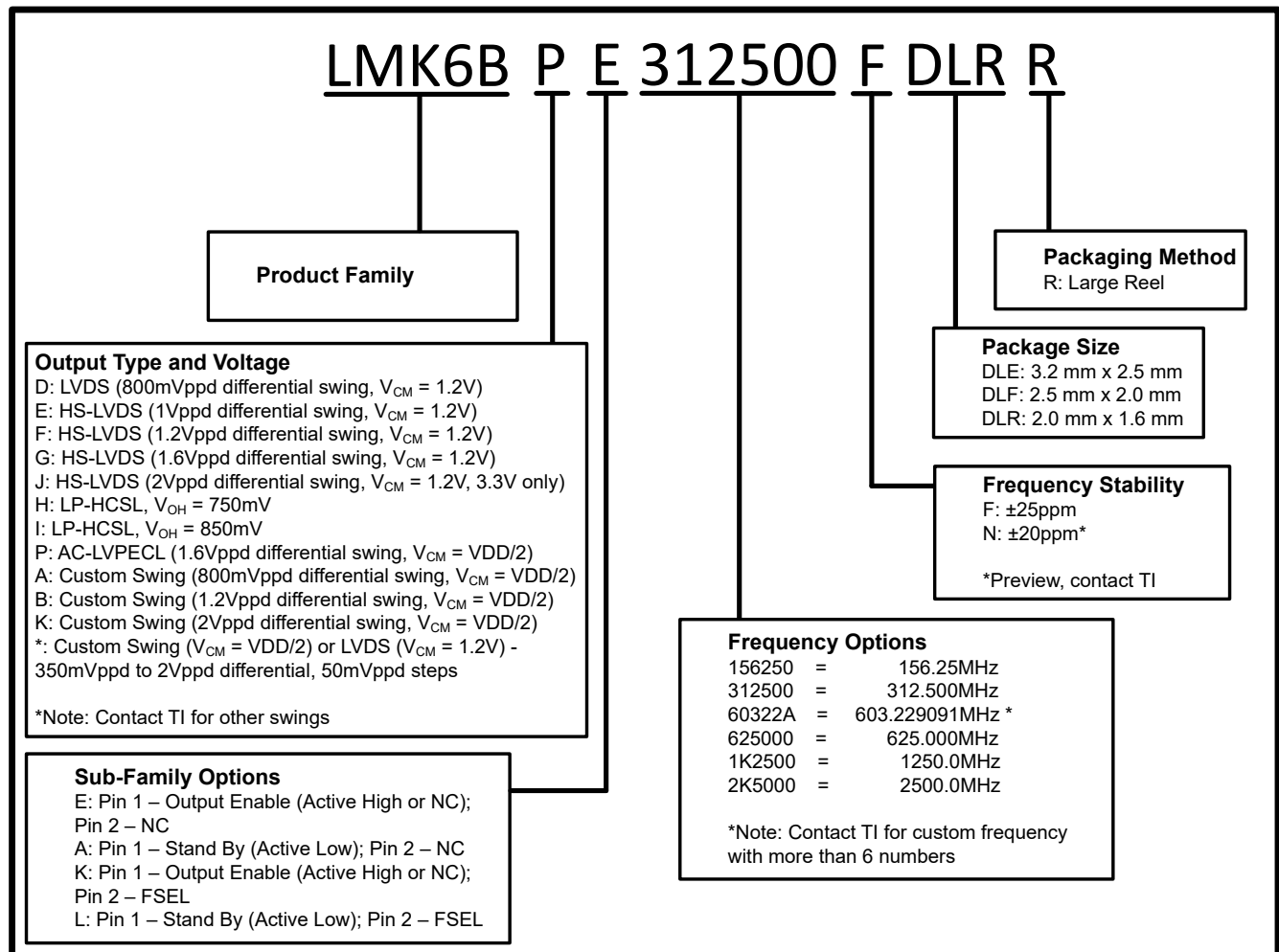


目次

1 特長.....	1	8.3 機能の説明.....	23
2 アプリケーション.....	1	8.4 デバイスの機能モード.....	26
3 説明.....	1	9 アプリケーションと実装.....	27
4 デバイスの比較.....	3	9.1 使用上の注意.....	27
5 ピン構成および機能.....	4	9.2 代表的なアプリケーション.....	27
6 仕様.....	5	9.3 競合する発振器を LMK6Bx に交換.....	30
6.1 絶対最大定格.....	5	9.4 電源に関する推奨事項.....	31
6.2 ESD 定格.....	5	9.5 レイアウト.....	31
6.3 環境関連法令順守.....	5	10 デバイスおよびドキュメントのサポート.....	35
6.4 推奨動作条件.....	5	10.1 ドキュメントのサポート.....	35
6.5 熱に関する情報.....	6	10.2 ドキュメントの更新通知を受け取る方法.....	35
6.6 電気的特性.....	6	10.3 サポート・リソース.....	35
6.7 タイミング図.....	20	10.4 商標.....	35
6.8 代表的特性.....	21	10.5 静電気放電に関する注意事項.....	35
7 パラメータ測定情報.....	22	10.6 用語集.....	35
7.1 デバイス出力構成.....	22	11 改訂履歴.....	35
8 詳細説明.....	23	12 メカニカル、パッケージ、および注文情報.....	36
8.1 概要.....	23	12.1 メカニカル データ.....	37
8.2 機能ブロック図.....	23	12.2 テープおよびリール情報.....	46

4 デバイスの比較

LMK6Bx の注文可能オプションのデバイス命名規則を理解するために図 4-1 を使用



ADVANCE INFORMATION

図 4-1. 型番ガイド : LMK6Bx

5 ピン構成および機能

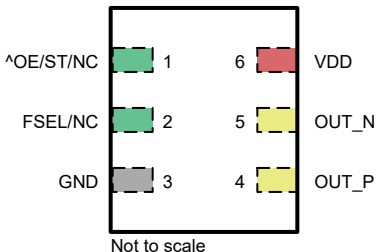


図 5-1. LMK6Bx DLE、DLF、DLR 6 ピン (上面図)

凡例	
入力	電源
グラウンド	出力

表 5-1. LMK6Bx のピンの機能

ピン		タイプ ⁽¹⁾	説明
名称	番号		
[^] OE/ST/NC ⁽²⁾	1	I/NC	出力イネーブル (OE) またはスタンバイ (ST) ピンまたは未接続 (NC)。OE および ST の場合： <ul style="list-style-type: none"> Low: 出力非アクティブ High / フローティング: 出力アクティブ 150kΩ の内部プルアップ。詳細については、 セクション 8.3.3 を参照してください。
^{^v} FSEL/NC ^{(2) (3)}	2	I/NC	出力周波数選択 (FSEL) ピンまたは未接続 (NC)。FSEL の場合、 <ul style="list-style-type: none"> Low: $F_{OUT}/4$ フローティング: F_{OUT} High: $F_{OUT}/2$ f_{OUT} は OPN によって設定される出力周波数です。詳細については、 セクション 4 を参照してください。内部プルアップ抵抗 200kΩ および内部プルダウン抵抗 200kΩ。詳細については、 セクション 8.3.3 を参照してください。
GND	3	G	デバイスのグラウンド。
OUT_P	4	O	正の差動出力クロック。
OUT_N	5	O	負の差動出力クロック。
VDD	6	P	デバイス電源。

- (1) I = 入力、O = 出力、I/O = 入力または出力、G = グラウンド、P = 電源。
 (2) 「^」プレフィックスが付いたピンは内部プルアップ抵抗を内蔵しています。
 (3) 「v」プレフィックスが付いたピンは内部プルダウン抵抗を内蔵しています。

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
VDD	デバイス電源電圧 ⁽²⁾	-0.3	3.7	V
EN	ロジック入力電圧	-0.3	VDD + 0.3	V
OUTP、OUTN	クロック出力電圧 ⁽³⁾	-0.3	VDD + 0.3	V
T _J	接合部温度		140	°C
T _{STG}	保管温度	-65	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。絶対最大定格は、このような条件や、「推奨動作条件」に記載されている条件を超える条件でデバイスが機能するというを意味するわけではありません。推奨動作条件の範囲外で絶対最大定格の範囲内で使用すると、デバイスが完全に機能しなくなる可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を短縮する可能性があります。
- (2) 推奨動作電圧が 2.5V±5% および 3.3V±5% のすべてのデバイスについて
- (3) すべての差動出力タイプについて説明します。

6.2 ESD 定格

		値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン ⁽¹⁾	V
		デバイス帯電モデル (CDM)、JEDEC JS-002 準拠、すべてのピン ⁽²⁾	

- (1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
- (2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

6.3 環境関連法令順守

		値	単位
機械的衝撃抵抗	MIL-STD-883F、メソッド 2002 条件 A	1500	g
	MIL-STD-883F、メソッド 2026 条件 C	10	g
機械的振動抵抗	MIL-STD-883F、メソッド 2007 条件 A	20	g
耐湿性レベル(MSL)		MSL1	

6.4 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
	デバイス電源電圧 ⁽¹⁾	2.375	2.5、3.3	3.465	V
T _A	周囲温度	-40		105	°C
T _{PCB}	PCB 温度 (パッケージの下で測定)	-40		105	°C
T _J	接合部温度	-40		125	°C
t _{RAMP}	VDD パワーアップ ランプ時間 ^{(1) (2)}	0.1		100	ms

- (1) 推奨動作電圧が 2.5V ±5% および 3.3V ± 5% ~ -10% のすべてのデバイスについて
- (2) VDD 電源オンランプ時間は、電源が公称 VDD の 95%を超えるために必要な最小時間として定義されます。単調な電源ランプを想定していません。電源の立ち上がりが不安定または非単調な場合は、OE ピンおよび EN ピンを制御して出力段を有効化してください。

6.5 熱に関する情報

パッケージ	ピン	熱評価基準 ⁽¹⁾						単位
		R _{θJA}	R _{θJC(top)}	R _{θJB}	Ψ _{JT}	Ψ _{JB}	R _{θJC(bot)}	
DLR (VSON)	6	未定	未定	未定	未定	未定	未定	°C/W
DLF (VSON)	6	未定	未定	未定	未定	未定	未定	°C/W
DLE (VSON)	6	未定	未定	未定	未定	未定	未定	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。

6.6 電気的特性

特に記述のない限り: V_{DD} = 3.3V +5%/-10%、2.5V ±5%。代表値は、V_{DD} = 3.3V、T_{PCB} = 25°C における値です。

パラメータ		テスト条件	最小値	標準値	最大値	単位	
周波数の許容誤差							
F _T	総合周波数安定度 (OPN の 14 番目の文字: オプション F)	はんだシフト、初期公差、-40°C~105°C にわたる変動、定格供給電圧範囲における変動、25°C での 10 年間の経年変化を含みます。	-25		25	ppm	
F _{AGE_1yr}	1 年の経年劣化に起因する周波数安定性	25°C における 1 年間の経時変化 (±25ppm)				ppm	
F _{AGE_10yr}	経年劣化による周波数安定性の変化 (総合的な周波数安定性に含まれる)	25°C における 10 年間の経時変化 (±25ppm)				ppm	
F _{TEMP}	温度による周波数安定度 (総合周波数安定度に含まれる)	推奨動作条件の範囲内、dT/dt < 10K/min	-7		+7	ppm	
F _{HYS}	ヒステリシスによる周波数安定度 (総合周波数安定度に含まれる)					ppm	
消費電流特性							
I _{DD}	デバイスの消費電力 (LVDS、負荷電流を除く)	50MHz、2.5V				mA	
		50MHz、3.3V				mA	
		100MHz、2.5V				mA	
		100MHz、3.3V				mA	
		125MHz、2.5V				mA	
		125MHz、3.3V				mA	
		156.25MHz、2.5V			70		mA
		156.25MHz、3.3V			72		mA
		312.5MHz、2.5V			70		mA
		312.5MHz、3.3V			74		mA
		625MHz、2.5V			68		mA
		625MHz、3.3V			72		mA
		603.229091MHz、2.5V					mA
		603.229091MHz、3.3V					mA
		1250MHz、2.5V			70		mA
		1250MHz、3.3V			72		mA
		2500MHz、2.5V			65		mA
2500MHz、3.3V			68		mA		

特に記述のない限り: $V_{DD} = 3.3V +5\%/-10\%$ 、 $2.5V \pm 5\%$ 。代表値は、 $V_{DD} = 3.3V$ 、 $T_{PCB} = 25^{\circ}C$ における値です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I _{DD}	デバイスの消費電力 (HS - LVDS、AC - LVPECL、負荷電流を除く)	50MHz、2.5V		70		mA
		50MHz、3.3V		74		mA
		100MHz、2.5V		75		mA
		100MHz、3.3V		80		mA
		125MHz、2.5V		70		mA
		125MHz、3.3V		75		mA
		156.25MHz、2.5V		71		mA
		156.25MHz、3.3V		75		mA
		312.5MHz、2.5V		74		mA
		312.5MHz、3.3V		78		mA
		500MHz、2.5V		79		mA
		500MHz、3.3V		84		mA
		625MHz、2.5V		77		mA
		625MHz、3.3V		82		mA
		603.229091MHz、2.5V				mA
		603.229091MHz、3.3V				mA
		1250MHz、2.5V		72		mA
		1250MHz、3.3V		76		mA
2500MHz、2.5V		69		mA		
2500MHz、3.3V		73		mA		
I _{DD}	デバイスの消費電力 (LP - HCSSL、負荷電流を除く)	50MHz、2.5V		63		mA
		50MHz、3.3V		66		mA
		100MHz、2.5V		70		mA
		100MHz、3.3V		72		mA
		125MHz、2.5V		65		mA
		125MHz、3.3V		67		mA
		156.25MHz、2.5V		66		mA
		156.25MHz、3.3V		68		mA
		312.5MHz、2.5V		70		mA
		312.5MHz、3.3V		72		mA
		500MHz、2.5V		75		mA
		500MHz、3.3V		77		mA
		603.229091MHz、2.5V				mA
		603.229091MHz、3.3V				mA
		625MHz、2.5V		72		mA
		625MHz、3.3V		74		mA

特に記述のない限り: $V_{DD} = 3.3V +5\%/-10\%$ 、 $2.5V \pm 5\%$ 。代表値は、 $V_{DD} = 3.3V$ 、 $T_{PCB} = 25^{\circ}C$ における値です。

パラメータ		テスト条件	最小値	標準値	最大値	単位	
I_{DD}	デバイスの消費電力 (2Vppd、負荷電流を除く)	50MHz, 2.5V				mA	
		50MHz, 3.3V				mA	
		100MHz, 2.5V				mA	
		100MHz, 3.3V				mA	
		125MHz, 2.5V				mA	
		125MHz, 3.3V				mA	
		156.25MHz, 2.5V			73		mA
		156.25MHz, 3.3V			76		mA
		312.5MHz, 2.5V			77		mA
		312.5MHz, 3.3V			81		mA
		625MHz, 2.5V			74		mA
		625MHz, 3.3V			78		mA
		603.229091MHz, 2.5V					mA
		603.229091MHz, 3.3V					mA
		1250MHz, 2.5V			75		mA
		1250MHz, 3.3V			79		mA
2500MHz, 2.5V			70		mA		
2500MHz, 3.3V			74		mA		
$I_{DD-STBY}$	デバイススタンバイ電流	ST (スタンバイ) = GND, 2.5V				mA	
		ST (スタンバイ) = GND, 3.3V		2.3		mA	
I_{DD-OD}	出力がディスエーブルのデバイス電流 (625MHz)	OE = GND, HS - LVDS, AC - LVPECL モード, VDD = 2.5V		54		mA	
		OE = GND, HS - LVDS, AC - LVPECL モード, VDD = 3.3V		56		mA	
		OE = GND, LVDS モード, VDD = 2.5V		54		mA	
		OE = GND, LVDS モード, VDD = 3.3V		56		mA	
		OE = GND, LP - HCSL モード, VDD = 2.5V		59		mA	
		OE = GND, LP - HCSL モード, VDD = 3.3V		61		mA	
		OE = GND, 最大スイング (2Vppd), VDD = 2.5V					mA
		OE = GND, 最大スイング (2Vppd), VDD = 3.3V					mA
LVDS 出力特性							
F_{out}	出力周波数		50		2500	MHz	
V_{OD}	出力電圧スイング ($V_{OH} - V_{OL}$)	AC 結合, VDD = 3.3V, 625MHz	350	400		mVpp	
		AC 結合, VDD = 2.5V, 625MHz	300	350		mVpp	
V_{OD}	出力電圧スイング ($V_{OH} - V_{OL}$)	AC 結合, VDD = 3.3V, 1250MHz	350	400		mVpp	
		AC 結合, VDD = 2.5V, 1250MHz	300	350		mVpp	
V_{OD}	出力電圧スイング ($V_{OH} - V_{OL}$)	AC 結合, VDD = 3.3V, 2500MHz	350	400		mVpp	
		AC 結合, VDD = 2.5V, 2500MHz	300	350		mVpp	
$V_{OD,DIFF}$	差動出力ピークツーピークスイング ⁽²⁾		2× V_{OD}			mVppd	
V_{OS}	出力同相電圧	VDD = 3.3V	未定	1.2	未定	V	
		VDD = 2.5V	未定	1.2	未定	V	
t_R/t_F	出力立ち上がり / 立ち下がり時間	$V_{OD,DIFF}$ の 20%~80%、VDD = 2.5V/3.3V		65		ps	

特に記述のない限り: $V_{DD} = 3.3V +5\%/-10\%$ 、 $2.5V \pm 5\%$ 。代表値は、 $V_{DD} = 3.3V$ 、 $T_{PCB} = 25^{\circ}C$ における値です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
ODC	出力デューティサイクル	$V_{DD} = 2.5V/3.3V$ 、波形上の 50% ポイントの間で測定	45	50	55	%
V_{CM-IM}	同相モードの不平衡	同相ノードの $C_L = 100pF$ で測定	-150		150	mV
HS-LVDS 出力特性						
F_{out}	出力周波数		50		2500	MHz
V_{OD}	出力電圧スイング ($V_{OH} - V_{OL}$)	AC 結合、 $V_{DD} = 3.3V$ 、625MHz	400		1000	mVpp
		AC 結合、 $V_{DD} = 2.5V$ 、625MHz	350		800	mVpp
V_{OD}	出力電圧スイング ($V_{OH} - V_{OL}$)	AC 結合、 $V_{DD} = 3.3V$ 、1250MHz	400		1000	mVpp
		AC 結合、 $V_{DD} = 2.5V$ 、1250MHz	350		800	mVpp
V_{OD}	出力電圧スイング ($V_{OH} - V_{OL}$)	AC 結合、 $V_{DD} = 3.3V$ 、2500MHz	400		1000	mVpp
		AC 結合、 $V_{DD} = 2.5V$ 、2500MHz	350		800	mVpp
$V_{OD,DIFF}$	差動出力ピークツーピークスイング ⁽²⁾		2× V_{OD}			mVppd
V_{OS}	出力同相電圧	$V_{DD} = 3.3V$	未定	1.2	未定	V
V_{OS}	出力同相電圧	$V_{DD} = 2.5V$	未定	1.2	未定	V
t_R/t_F	出力立ち上がり / 立ち下がり時間	$V_{OD,DIFF}$ の 20%~80%、 $V_{DD} = 2.5V/3.3V$		65		ps
ODC	出力デューティサイクル	$V_{DD} = 2.5V/3.3V$ 、波形の 50% ポイント間で測定、分周器はバイパス設定、または 2、3、4、5、6、8 およびその他の奇数分周設定	48	50	52	%
ODC	出力デューティサイクル	$V_{DD} = 2.5V/3.3V$ 、波形上の 50% ポイントの間で測定	45	50	55	%
V_{CM-IM}	同相モードの不平衡	同相ノードの $C_L = 100pF$ で測定	-150		150	mV
AC-LVPECL 出力特性						
F_{out}	出力周波数		50		2500	MHz
V_{OD}	出力電圧スイング ($V_{OH} - V_{OL}$)	AC 結合、 $V_{DD} = 3.3V$ 、156.25MHz	700	800		mVpp
V_{OD}	出力電圧スイング ($V_{OH} - V_{OL}$)	AC 結合、 $V_{DD} = 2.5V$ 、156.25MHz	600	700		mVpp
V_{OD}	出力電圧スイング ($V_{OH} - V_{OL}$)	AC 結合、 $V_{DD} = 3.3V$ 、625MHz	700	800		mVpp
		AC 結合、 $V_{DD} = 2.5V$ 、625MHz	600	700		mVpp
V_{OD}	出力電圧スイング ($V_{OH} - V_{OL}$)	AC 結合、 $V_{DD} = 3.3V$ 、1250MHz	700	800		mVpp
		AC 結合、 $V_{DD} = 2.5V$ 、1250MHz	600	700		mVpp
V_{OD}	出力電圧スイング ($V_{OH} - V_{OL}$)	AC 結合、 $V_{DD} = 3.3V$ 、2500MHz	700	800		mVpp
		AC 結合、 $V_{DD} = 2.5V$ 、2500MHz	600	700		mVpp
$V_{OD,DIFF}$	差動出力ピークツーピークスイング ⁽²⁾		2× V_{OD}			mVppd
V_{OS}	出力同相電圧	$V_{DD} = 3.3V$	未定	$V_{DD}/2$	未定	V
		$V_{DD} = 2.5V$	未定	$V_{DD}/2$	未定	V
t_R/t_F	出力立ち上がり / 立ち下がり時間	$V_{OD,DIFF}$ の 20%~80%、 $V_{DD} = 2.5V/3.3V$		65		ps
ODC	出力デューティサイクル	$V_{DD} = 2.5V/3.3V$ 、波形上の 50% ポイントの間で測定	45	50	55	%
V_{CM-IM}	同相モードの不平衡	同相ノードの $C_L = 100pF$ で測定	-150		150	mV
カスタム スイング出力特性						
F_{out}	出力周波数		50		2500	MHz
$V_{OD, range}$	カスタム電圧スイング ($V_{OH} - V_{OL}$)	AC 結合、 $V_{DD} = 3.3V$ 、156.25MHz	175		1000	mVpp
$V_{OD, range}$	カスタム電圧スイング ($V_{OH} - V_{OL}$)	AC 結合、 $V_{DD} = 2.5V$ 、156.25MHz	175		750	mVpp
$V_{OD, range}$	カスタム電圧スイング ($V_{OH} - V_{OL}$)	AC 結合、 $V_{DD} = 3.3V$ 、625MHz	175		1000	mVpp
		AC 結合、 $V_{DD} = 2.5V$ 、625MHz	175		750	mVpp

特に記述のない限り: $V_{DD} = 3.3V +5\%/-10\%$ 、 $2.5V \pm 5\%$ 。代表値は、 $V_{DD} = 3.3V$ 、 $T_{PCB} = 25^{\circ}C$ における値です。

パラメータ		テスト条件	最小値	標準値	最大値	単位	
$V_{OD, step}$	出力電圧スイング ($V_{OH} - V_{OL}$) ステップサイズ	AC 結合、1250MHz	25			mVpp	
$V_{OD, DIFF}$	差動出力ピークツーピークスイング ⁽²⁾		$2 \times V_{OD} $			mVppd	
V_{OS}	出力同相電圧	$V_{DD} = 3.3V$	未定	$V_{DD}/2$	未定	V	
		$V_{DD} = 2.5V$	未定	$V_{DD}/2$	未定	V	
t_R/t_F	出力立ち上がり / 立ち下がり時間	$V_{OD, DIFF}$ の 20%~80%、 $V_{DD} = 2.5V/3.3V$	65			ps	
ODC	出力デューティサイクル	$V_{DD} = 2.5V/3.3V$ 、波形上の 50% ポイントの間で測定	45	50	55	%	
V_{CM-IM}	同相モードの不均衡	同相ノードの $C_L = 100pF$ で測定	-150			150	mV
LP - HCSSL 出力特性							
F_{out}	出力周波数		50	625		MHz	
V_{OH}	出力高電圧 (OPN 6 番目の文字: オプション H)	DC 結合、負荷容量 2pF、 $V_{DD} = 2.5V/3.3V$	650	750	850	mV	
	出力 High 電圧 (OPN 6 番目の文字: オプション I)	DC 結合、負荷容量 2pF、 $V_{DD} = 2.5V/3.3V$	750	850	950	mV	
V_{OL}	出力 LOW 電圧	DC 結合、2pF 負荷、 $V_{DD} = 2.5V/3.3V$	-150	0	150	mV	
$V_{overshoot}$	オーバーシュート電圧	$V_{max} - V_{OH}$	150			mV	
$V_{OD, DIFF}$	差動出力ピークツーピークスイング ⁽²⁾		$2 \times V_{OH} - V_{OL} $			mVppd	
V_{cross}	絶対交差点電圧 ⁽³⁾	$V_{DD} = 3.3V/2.5V$ 、 $f_{out} = 100MHz$ 、PCIe テスト負荷、4GHz で 15dB の損失、 $f_{out} = 100MHz$ 、 $Z_{diff} = 100\Omega$	0.28	0.35	0.48	V	
$V_{cross-delta}$	絶対交差点電圧の変動	$V_{DD} = 3.3V/2.5V$ 、 $f_{out} = 100MHz$ 、PCIe テスト負荷、4GHz で 15dB の損失、 $f_{out} = 100MHz$ 、 $Z_{diff} = 100\Omega$	未定			mV	
dV/dt	出力スルーレート	グラウンドに対して 50 Ω 終端、DC 結合負荷。中心電圧から $\pm 150mV$ の範囲でスルーレートを測定、プログラマブル。 ⁽¹⁾	2	12		V/ns	
$\Delta dV/dt$	出力スルーレートの変動		20			%	
ODC	出力デューティサイクル		45	50	55	%	
$ V_{RB} $	リング バック電圧の絶対値	PCIe テスト負荷、4GHz で 15dB 損失、 $f_{out} = 100MHz$ 、 $Z_{diff} = 100\Omega$	100			mV	
t_{stable}	V_{RB} が許容されるまでの時間	PCIe テスト負荷、4GHz で 15dB 損失、 $f_{out} = 100MHz$ 、 $Z_{diff} = 100\Omega$	500			ps	
t_R/t_F	出力立ち上がり / 立ち下がり時間	$V_{OD, DIFF}$ の 20%~80%	180			ps	
Z_{DIFF}	差動出力 DC インピーダンス	$V_{DD} = 3.3V$	100			Ω	
Z_{SE}	シングルエンド出力 DC インピーダンス	$V_{DD} = 3.3V$	50			Ω	
ピン 1 入力特性 (OE/ST)							
V_{IL}	入力 Low 電圧		0.6			V	
V_{IH}	入力 High 電圧		1.3			V	
I_{IL}	入力 Low 電流	OE = GND	-40			μA	
I_{IH}	入力高電流	OE = VDD	40			μA	
C_{IN}	入力容量		2			pF	
ピン 2 の入力特性 (FSEL)							
V_{IL}	入力低電圧、FSEL		$0.2 \times V_{DD}$			V	

特に記述のない限り: $V_{DD} = 3.3V +5\%/-10\%$ 、 $2.5V \pm 5\%$ 。代表値は、 $V_{DD} = 3.3V$ 、 $T_{PCB} = 25^{\circ}C$ における値です。

パラメータ		テスト条件	最小値	標準値	最大値	単位	
V_{MID}	入力中間電圧、FSEL			$0.4 \times V_{DD}$ – $0.6 \times V_{DD}$		V	
V_{IH}	入力高電圧、FSEL		$0.8 \times V_{DD}$			V	
I_{IL}	入力 Low 電流	OE = GND	-40			μA	
I_{IH}	入力高電流	OE = VDD			40	μA	
C_{IN}	入力容量			2		pF	
PSRR の特性							
$PSRR_{50mV, 0.1\mu F}$	156.25MHz の LP - HCSSL 出力において、電源リップル 50mV によって誘起されるスプリアス、0.1 μF デカップリング コンデンサ使用時	10 kHz の正弦波		-95		dBc	
		100 kHz の正弦波		-108		dBc	
		200 kHz の正弦波		-153		dBc	
		500 kHz の正弦波		-158		dBc	
		1 MHz の正弦波		-158		dBc	
		2 MHz の正弦波		-160		dBc	
		5 MHz の正弦波		-161		dBc	
$PSRR_{50mV}$	156.25MHz の LP - HCSSL 出力において、電源リップル 50mV によって誘起されるスプリアス、電源デカップリング コンデンサなし	10 kHz の正弦波		-97		dBc	
		100 kHz の正弦波		-99		dBc	
		200 kHz の正弦波		-100		dBc	
		500 kHz の正弦波		-99		dBc	
		1 MHz の正弦波		-95		dBc	
		2 MHz の正弦波		-90		dBc	
		5 MHz の正弦波		-96		dBc	
$PSRR_{50mV, 0.1\mu F}$	312.5MHz LVDS 出力で、電源リップル 50mV により誘起されるスプリアス、0.1 μF デカップリング コンデンサ使用時	10 kHz の正弦波		-80		dBc	
		100 kHz の正弦波		-83		dBc	
		200 kHz の正弦波		-88		dBc	
		500 kHz の正弦波		-96		dBc	
		1 MHz の正弦波		-101		dBc	
		2 MHz の正弦波		-106		dBc	
		4.9 MHz の正弦波		-160		dBc	
$PSRR_{50mV}$	312.5MHz の LVDS 出力において、電源リップル 50mV によって誘起されるスプリアス、電源デカップリング コンデンサなし	10 kHz の正弦波		-81		dBc	
		100 kHz の正弦波		-74		dBc	
		200 kHz の正弦波		-74		dBc	
		500 kHz の正弦波		-74		dBc	
		1 MHz の正弦波		-74		dBc	
		2 MHz の正弦波		-75		dBc	
		5 MHz の正弦波		-75		dBc	
$PSRR_{JITTE R}$	電源リップルに対するジッタ感度	100kHz 正弦波リップル、3.3V 電源				fs/mV	
		パワーオン特性					
		t_{START_UP}	起動時間	0.95 x VDD に達してから出力が有効になり、出力が仕様範囲内に入るまでの経過時間、VDD の立ち上がり時間を約 200 μs として試験		2	ms

特に記述のない限り: $V_{DD} = 3.3V +5\%/-10\%$ 、 $2.5V \pm 5\%$ 。代表値は、 $V_{DD} = 3.3V$ 、 $T_{PCB} = 25^{\circ}C$ における値です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{ST-EN}	チップのイネーブル時間	スタンバイ ($ST = V_{IH}$) から出力がイネーブルになり、仕様範囲内になるまでの経過時間			2	ms
t_{ST-DIS}	チップのディスエーブル時間	スタンバイ ($ST = V_{IL}$) からチップがスタンバイモードになるまでの経過時間				
t_{OE-EN}	出力イネーブル時間	$OE = V_{IH}$ から出力がイネーブルになり、仕様範囲内になるまでの経過時間。			25	μs
t_{OE-DIS}	出力ディスエーブル時間	$OE = V_{IL}$ から出力がディスエーブルになるまでの経過時間			1	μs
LVDS - クロック出力ジッタ						
R_{J_HPF}	RMS ジッタ (積分 BW: 12kHz~20MHz)	$F_{out} = 156.25MHz$ 、4MHz 1 次ハイパスフィルタ		47.6		fs
R_J	RMS ジッタ (積分 BW: 12kHz~20MHz)	$F_{out} = 156.25MHz$		58		fs
PN_{100}	100 Hz オフセットでの位相ノイズ					dBc/Hz
PN_{1k}	1 kHz オフセットでの位相ノイズ			-112		dBc/Hz
PN_{10k}	10 kHz オフセットでの位相ノイズ			-137		dBc/Hz
PN_{100k}	100 kHz オフセットでの位相ノイズ			-157		dBc/Hz
PN_{1M}	1 MHz オフセットでの位相ノイズ			-161		dBc/Hz
PN_{10M}	10 MHz オフセットでの位相ノイズ			-162		dBc/Hz
R_{J_HPF}	RMS ジッタ (積分 BW: 12kHz~20MHz)	$F_{out} = 312.5MHz$ 、4MHz 1 次ハイパスフィルタ		26.3		fs
R_J	RMS ジッタ (積分 BW: 12kHz~20MHz)	$F_{out} = 312.5 MHz$		36		fs
PN_{100}	100 Hz オフセットでの位相ノイズ					dBc/Hz
PN_{1k}	1 kHz オフセットでの位相ノイズ			-106		dBc/Hz
PN_{10k}	10 kHz オフセットでの位相ノイズ			-131		dBc/Hz
PN_{100k}	100 kHz オフセットでの位相ノイズ			-152		dBc/Hz
PN_{1M}	1 MHz オフセットでの位相ノイズ			-159		dBc/Hz
PN_{10M}	10MHz での位相ノイズ			-161		dBc/Hz
PN_{100M}	100 MHz オフセットでの位相ノイズ		-161		dBc/Hz	
R_{J_HPF}	RMS ジッタ (積分 BW: 12kHz~20MHz)	$F_{out} = 625MHz$ 、4MHz 1 次ハイパスフィルタ		11.6		fs
R_J	RMS ジッタ (積分 BW: 12kHz~20MHz)	$F_{out} = 625MHz$		25		fs
PN_{100}	100 Hz オフセットでの位相ノイズ					dBc/Hz
PN_{1k}	1 kHz オフセットでの位相ノイズ			-91		dBc/Hz
PN_{10k}	10 kHz オフセットでの位相ノイズ			-122		dBc/Hz
PN_{100k}	100 kHz オフセットでの位相ノイズ			-146		dBc/Hz
PN_{1M}	1 MHz オフセットでの位相ノイズ			-161		dBc/Hz
PN_{10M}	10 MHz オフセットでの位相ノイズ			-161		dBc/Hz
PN_{100M}	100 MHz オフセットでの位相ノイズ		-162		dBc/Hz	
R_{J_HPF}	RMS ジッタ (積分 BW: 12kHz~20MHz)	$F_{out} = 1250MHz$ 、4MHz 1 次ハイパスフィルタ		7.8		fs

特に記述のない限り: $V_{DD} = 3.3V +5\%/-10\%$ 、 $2.5V \pm 5\%$ 。代表値は、 $V_{DD} = 3.3V$ 、 $T_{PCB} = 25^{\circ}C$ における値です。

パラメータ		テスト条件	最小値	標準値	最大値	単位						
R _J	RMS ジッタ (積分 BW: 12kHz~20MHz)	F _{out} = 1250MHz		22		fs						
PN ₁₀₀	100 Hz オフセットでの位相ノイズ						dBc/Hz					
PN _{1k}	1 kHz オフセットでの位相ノイズ							-89				
PN _{10k}	10 kHz オフセットでの位相ノイズ								-116			
PN _{100k}	100 kHz オフセットでの位相ノイズ									-141		
PN _{1M}	1 MHz オフセットでの位相ノイズ										-156	
PN _{10M}	10 MHz オフセットでの位相ノイズ											-160
PN _{100M}	100 MHz オフセットでの位相ノイズ											
R _J _HPF	RMS ジッタ (積分 BW: 12kHz~20MHz)	F _{out} = 2500MHz, 4MHz 1 次ハイパスフィルタ	4.7	fs								
R _J	RMS ジッタ (積分 BW: 12kHz~20MHz)	F _{out} = 2500 MHz		21		fs						
PN ₁₀₀	100 Hz オフセットでの位相ノイズ						dBc/Hz					
PN _{1k}	1 kHz オフセットでの位相ノイズ							-82				
PN _{10k}	10 kHz オフセットでの位相ノイズ								-110			
PN _{100k}	100 kHz オフセットでの位相ノイズ									-134		
PN _{1M}	1 MHz オフセットでの位相ノイズ										-153	
PN _{10M}	10 MHz オフセットでの位相ノイズ											-159
PN _{100M}	100 MHz オフセットでの位相ノイズ											
R _J	RMS ジッタ (積分 BW: 12kHz~20MHz)	F _{out} = 100 MHz		fs								
R _J	RMS ジッタ (積分 BW: 12kHz~20MHz)	F _{out} = 125 MHz		fs								
R _J	RMS ジッタ (積分 BW: 12kHz~20MHz)	F _{out} = 603.229091 MHz		fs								
HS - LVDS - クロック出力ジッタ												
R _J _HPF	RMS ジッタ (積分 BW: 12kHz~20MHz)	F _{out} = 156.25MHz, 1.2Vppd, 4MHz 1 次ハイパスフィルタ		40.2		fs						
R _J	RMS ジッタ (積分 BW: 12kHz~20MHz)	F _{out} = 156.25MHz, 1.2Vppd		50		fs						
PN ₁₀₀	100 Hz オフセットでの位相ノイズ						dBc/Hz					
PN _{1k}	1 kHz オフセットでの位相ノイズ							-112				
PN _{10k}	10 kHz オフセットでの位相ノイズ								-137			
PN _{100k}	100 kHz オフセットでの位相ノイズ									-157		
PN _{1M}	1 MHz オフセットでの位相ノイズ										-162	
PN _{10M}	10 MHz オフセットでの位相ノイズ											-163
R _J _HPF	RMS ジッタ (積分 BW: 12kHz~20MHz)	F _{out} = 312.5MHz, 1.2Vppd, 4MHz 1 次ハイパスフィルタ	25.1	fs								

特に記述のない限り: $V_{DD} = 3.3V +5\%/-10\%$ 、 $2.5V \pm 5\%$ 。代表値は、 $V_{DD} = 3.3V$ 、 $T_{PCB} = 25^{\circ}C$ における値です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
R _J	RMS ジッタ (積分 BW: 12kHz~20MHz)	F _{out} = 312.5MHz、1.2Vppd		35		fs
PN ₁₀₀	100 Hz オフセットでの位相ノイズ					dBc/Hz
PN _{1k}	1 kHz オフセットでの位相ノイズ			-106		dBc/Hz
PN _{10k}	10 kHz オフセットでの位相ノイズ			-130		dBc/Hz
PN _{100k}	100 kHz オフセットでの位相ノイズ			-152		dBc/Hz
PN _{1M}	1 MHz オフセットでの位相ノイズ			-159		dBc/Hz
PN _{10M}	10MHz での位相ノイズ			-162		dBc/Hz
PN _{100M}	100 MHz オフセットでの位相ノイズ			-163		dBc/Hz
R _{J_HPF}	RMS ジッタ (積分 BW: 12kHz~20MHz)	F _{out} = 625MHz、1.2Vppd、4MHz 1 次ハイパスフィルタ		9.3		fs
R _J	RMS ジッタ (積分 BW: 12kHz~20MHz)	F _{out} = 625MHz、1.2Vppd		20		fs
PN ₁₀₀	100 Hz オフセットでの位相ノイズ					dBc/Hz
PN _{1k}	1 kHz オフセットでの位相ノイズ			-100		dBc/Hz
PN _{10k}	10 kHz オフセットでの位相ノイズ			-125		dBc/Hz
PN _{100k}	100 kHz オフセットでの位相ノイズ			-147		dBc/Hz
PN _{1M}	1 MHz オフセットでの位相ノイズ			-162		dBc/Hz
PN _{10M}	10 MHz オフセットでの位相ノイズ			-164		dBc/Hz
PN _{100M}	100 MHz オフセットでの位相ノイズ			-163		dBc/Hz
R _{J_HPF}	RMS ジッタ (積分 BW: 12kHz~20MHz)	F _{out} = 1250MHz、1.2Vppd、4MHz 1 次ハイパスフィルタ		6.9		fs
R _J	RMS ジッタ (積分 BW: 12kHz~20MHz)	F _{out} = 1250MHz、1.2Vppd		19		fs
PN ₁₀₀	100 Hz オフセットでの位相ノイズ					dBc/Hz
PN _{1k}	1 kHz オフセットでの位相ノイズ			-94		dBc/Hz
PN _{10k}	10 kHz オフセットでの位相ノイズ			-119		dBc/Hz
PN _{100k}	100 kHz オフセットでの位相ノイズ			-141		dBc/Hz
PN _{1M}	1 MHz オフセットでの位相ノイズ			-157		dBc/Hz
PN _{10M}	10 MHz オフセットでの位相ノイズ			-161		dBc/Hz
PN _{100M}	100 MHz オフセットでの位相ノイズ			-160		dBc/Hz
R _{J_HPF}	RMS ジッタ (積分 BW: 12kHz~20MHz)	F _{out} = 2500MHz、1.2Vppd、4MHz 1 次ハイパスフィルタ		3.8		fs
R _J	RMS ジッタ (積分 BW: 12kHz~20MHz)	F _{out} = 2500MHz、1.2Vppd		17		fs
PN ₁₀₀	100 Hz オフセットでの位相ノイズ					dBc/Hz
PN _{1k}	1 kHz オフセットでの位相ノイズ			-88		dBc/Hz
PN _{10k}	10 kHz オフセットでの位相ノイズ			-112		dBc/Hz
PN _{100k}	100 kHz オフセットでの位相ノイズ			-135		dBc/Hz
PN _{1M}	1 MHz オフセットでの位相ノイズ			-153		dBc/Hz
PN _{10M}	10 MHz オフセットでの位相ノイズ			-160		dBc/Hz
PN _{100M}	100 MHz オフセットでの位相ノイズ			-160		dBc/Hz
AC - LVPECL - クロック出力ジッタ						
R _{J_HPF}	RMS ジッタ (積分 BW: 12kHz~20MHz)	F _{out} = 156.25MHz、4MHz 1 次ハイパスフィルタ		31		fs

特に記述のない限り: $V_{DD} = 3.3V +5\%/-10\%$ 、 $2.5V \pm 5\%$ 。代表値は、 $V_{DD} = 3.3V$ 、 $T_{PCB} = 25^{\circ}C$ における値です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
R _J	RMS ジッタ (積分 BW: 12kHz~20MHz)	F _{out} = 156.25MHz		45		fs
PN ₁₀₀	100 Hz オフセットでの位相ノイズ					dBc/Hz
PN _{1k}	1 kHz オフセットでの位相ノイズ			-106		dBc/Hz
PN _{10k}	10 kHz オフセットでの位相ノイズ			-138		dBc/Hz
PN _{100k}	100 kHz オフセットでの位相ノイズ			-158		dBc/Hz
PN _{1M}	1 MHz オフセットでの位相ノイズ			-164		dBc/Hz
PN _{10M}	10 MHz オフセットでの位相ノイズ			-165		dBc/Hz
R _{J_HPF}	RMS ジッタ (積分 BW: 12kHz~20MHz)	F _{out} = 312.5MHz、4MHz 1 次ハイパスフィルタ		19.7		fs
R _J	RMS ジッタ (積分 BW: 12kHz~20MHz)	F _{out} = 312.5 MHz		28		fs
PN ₁₀₀	100 Hz オフセットでの位相ノイズ					dBc/Hz
PN _{1k}	1 kHz オフセットでの位相ノイズ			-100		dBc/Hz
PN _{10k}	10 kHz オフセットでの位相ノイズ			-132		dBc/Hz
PN _{100k}	100 kHz オフセットでの位相ノイズ			-153		dBc/Hz
PN _{1M}	1 MHz オフセットでの位相ノイズ			-162		dBc/Hz
PN _{10M}	10 MHz オフセットでの位相ノイズ			-164		dBc/Hz
PN _{100M}	100 MHz オフセットでの位相ノイズ			-165		dBc/Hz
R _{J_HPF}	RMS ジッタ (積分 BW: 12kHz~20MHz)	F _{out} = 625MHz、4MHz 1 次ハイパスフィルタ		9.6		fs
R _J	RMS ジッタ (積分 BW: 12kHz~20MHz)	F _{out} = 625MHz		18		fs
PN ₁₀₀	100 Hz オフセットでの位相ノイズ					dBc/Hz
PN _{1k}	1 kHz オフセットでの位相ノイズ			-94		dBc/Hz
PN _{10k}	10 kHz オフセットでの位相ノイズ			-126		dBc/Hz
PN _{100k}	100 kHz オフセットでの位相ノイズ			-148		dBc/Hz
PN _{1M}	1 MHz オフセットでの位相ノイズ			-162		dBc/Hz
PN _{10M}	10 MHz オフセットでの位相ノイズ			-165		dBc/Hz
PN _{100M}	100 MHz オフセットでの位相ノイズ			-164		dBc/Hz
R _{J_HPF}	RMS ジッタ (積分 BW: 12kHz~20MHz)	F _{out} = 1250MHz、4MHz 1 次ハイパスフィルタ				fs
R _J	RMS ジッタ (積分 BW: 12kHz~20MHz)	F _{out} = 1250MHz		17		fs
PN ₁₀₀	100 Hz オフセットでの位相ノイズ					dBc/Hz
PN _{1k}	1 kHz オフセットでの位相ノイズ			-88		dBc/Hz
PN _{10k}	10 kHz オフセットでの位相ノイズ			-120		dBc/Hz
PN _{100k}	100 kHz オフセットでの位相ノイズ			-142		dBc/Hz
PN _{1M}	1 MHz オフセットでの位相ノイズ			-156		dBc/Hz
PN _{10M}	10 MHz オフセットでの位相ノイズ			-161		dBc/Hz
PN _{100M}	100 MHz オフセットでの位相ノイズ		-161		dBc/Hz	
R _{J_HPF}	RMS ジッタ (積分 BW: 12kHz~20MHz)	F _{out} = 2500MHz、4MHz 1 次ハイパスフィルタ				fs

特に記述のない限り: $V_{DD} = 3.3V +5\%/-10\%$ 、 $2.5V \pm 5\%$ 。代表値は、 $V_{DD} = 3.3V$ 、 $T_{PCB} = 25^{\circ}C$ における値です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
R _J	RMS ジッタ (積分 BW: 12kHz~20MHz)	F _{out} = 2500 MHz		16		fs
PN ₁₀₀	100 Hz オフセットでの位相ノイズ					dBc/Hz
PN _{1k}	1 kHz オフセットでの位相ノイズ			-81		dBc/Hz
PN _{10k}	10 kHz オフセットでの位相ノイズ			-114		dBc/Hz
PN _{100k}	100 kHz オフセットでの位相ノイズ			-136		dBc/Hz
PN _{1M}	1 MHz オフセットでの位相ノイズ			-152		dBc/Hz
PN _{10M}	10 MHz オフセットでの位相ノイズ			-161		dBc/Hz
PN _{100M}	100 MHz オフセットでの位相ノイズ			-161		dBc/Hz
R _J	RMS ジッタ (積分 BW: 12kHz~20MHz)	F _{out} = 100 MHz				fs
R _J	RMS ジッタ (積分 BW: 12kHz~20MHz)	F _{out} = 125 MHz				fs
R _J	RMS ジッタ (積分 BW: 12kHz~20MHz)	F _{out} = 603.229091 MHz				fs
カスタム スイング - クロック出力ジッタ						
R _{J_HPF}	RMS ジッタ (積分 BW: 12kHz~20MHz)	F _{out} = 156.25MHz、800mVppd スイング、4MHz 1 次ハイパス フィルタ				fs
R _J	RMS ジッタ (積分 BW: 12kHz~20MHz)	F _{out} = 156.25MHz、800mVppd スイング		58		fs
PN ₁₀₀	100 Hz オフセットでの位相ノイズ					dBc/Hz
PN _{1k}	1 kHz オフセットでの位相ノイズ			-104		dBc/Hz
PN _{10k}	10 kHz オフセットでの位相ノイズ			-138		dBc/Hz
PN _{100k}	100 kHz オフセットでの位相ノイズ			-157		dBc/Hz
PN _{1M}	1 MHz オフセットでの位相ノイズ			-162		dBc/Hz
PN _{10M}	10 MHz オフセットでの位相ノイズ			-162		dBc/Hz
R _{J_HPF}	RMS ジッタ (積分 BW: 12kHz~20MHz)	F _{out} = 312.5MHz、800mVppd スイング、4MHz 1 次ハイパス フィルタ				fs
R _{J_HPF}	RMS ジッタ (積分 BW: 12kHz~20MHz)	F _{out} = 312.5MHz、800mVppd スイング		35		fs
PN ₁₀₀	100 Hz オフセットでの位相ノイズ					dBc/Hz
PN _{1k}	1 kHz オフセットでの位相ノイズ			-97		dBc/Hz
PN _{10k}	10 kHz オフセットでの位相ノイズ			-131		dBc/Hz
PN _{100k}	100 kHz オフセットでの位相ノイズ			-152		dBc/Hz
PN _{1M}	1 MHz オフセットでの位相ノイズ			-160		dBc/Hz
PN _{10M}	10 MHz オフセットでの位相ノイズ			-161		dBc/Hz
PN _{100M}	100 MHz オフセットでの位相ノイズ			-162		dBc/Hz
R _{J_HPF}	RMS ジッタ (積分 BW: 12kHz~20MHz)	F _{out} = 625MHz、800mVppd スイング、4MHz 1 次ハイパス フィルタ				fs

特に記述のない限り: $V_{DD} = 3.3V +5\%/-10\%$ 、 $2.5V \pm 5\%$ 。代表値は、 $V_{DD} = 3.3V$ 、 $T_{PCB} = 25^{\circ}C$ における値です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
R _{J_HPF}	RMS ジッタ (積分 BW: 12kHz~20MHz)	F _{out} = 625MHz、800mVppd スイング		20		fs
PN ₁₀₀	100 Hz オフセットでの位相ノイズ					dBc/Hz
PN _{1k}	1 kHz オフセットでの位相ノイズ			-91		dBc/Hz
PN _{10k}	10 kHz オフセットでの位相ノイズ			-126		dBc/Hz
PN _{100k}	100 kHz オフセットでの位相ノイズ			-148		dBc/Hz
PN _{1M}	1 MHz オフセットでの位相ノイズ			-160		dBc/Hz
PN _{10M}	10 MHz オフセットでの位相ノイズ			-162		dBc/Hz
PN _{100M}	100 MHz オフセットでの位相ノイズ			-162		dBc/Hz
R _{J_HPF}	RMS ジッタ (積分 BW: 12kHz~20MHz)	F _{out} = 1250MHz、800mVppd スイング、4MHz 1次ハイパスフィルタ				fs
R _J	RMS ジッタ (積分 BW: 12kHz~20MHz)	F _{out} = 1250MHz、800mVppd スイング		18		fs
PN ₁₀₀	100 Hz オフセットでの位相ノイズ					dBc/Hz
PN _{1k}	1 kHz オフセットでの位相ノイズ			-85		dBc/Hz
PN _{10k}	10 kHz オフセットでの位相ノイズ			-119		dBc/Hz
PN _{100k}	100 kHz オフセットでの位相ノイズ			-142		dBc/Hz
PN _{1M}	1 MHz オフセットでの位相ノイズ			-157		dBc/Hz
PN _{10M}	10 MHz オフセットでの位相ノイズ			-160		dBc/Hz
PN _{100M}	100 MHz オフセットでの位相ノイズ			-160		dBc/Hz
R _{J_HPF}	RMS ジッタ (積分 BW: 12kHz~20MHz)	F _{out} = 2500MHz、800mVppd スイング、4MHz 1次ハイパスフィルタ				fs
R _J	RMS ジッタ (積分 BW: 12kHz~20MHz)	F _{out} = 2500MHz、800mVppd スイング		16		fs
PN ₁₀₀	100 Hz オフセットでの位相ノイズ					dBc/Hz
PN _{1k}	1 kHz オフセットでの位相ノイズ			-79		dBc/Hz
PN _{10k}	10 kHz オフセットでの位相ノイズ			-114		dBc/Hz
PN _{100k}	100 kHz オフセットでの位相ノイズ			-136		dBc/Hz
PN _{1M}	1 MHz オフセットでの位相ノイズ			-153		dBc/Hz
PN _{10M}	10 MHz オフセットでの位相ノイズ			-159		dBc/Hz
PN _{100M}	100 MHz オフセットでの位相ノイズ			-160		dBc/Hz
R _{J_HPF}	RMS ジッタ (積分 BW: 12kHz~20MHz)	F _{out} = 156.25MHz、2000mVppd スイング、4MHz 1次ハイパスフィルタ				fs
R _J	RMS ジッタ (積分 BW: 12kHz~20MHz)	F _{out} = 156.25MHz、2000mVppd スイング		39		fs
PN ₁₀₀	100 Hz オフセットでの位相ノイズ					dBc/Hz
PN _{1k}	1 kHz オフセットでの位相ノイズ			-103		dBc/Hz
PN _{10k}	10 kHz オフセットでの位相ノイズ			-137		dBc/Hz
PN _{100k}	100 kHz オフセットでの位相ノイズ			-159		dBc/Hz
PN _{1M}	1 MHz オフセットでの位相ノイズ			-165		dBc/Hz
PN _{10M}	10 MHz オフセットでの位相ノイズ		-166		dBc/Hz	
R _{J_HPF}	RMS ジッタ (積分 BW: 12kHz~20MHz)	F _{out} = 312.5MHz、2000mVppd スイング、4MHz 1次ハイパスフィルタ				fs

特に記述のない限り: $V_{DD} = 3.3V +5\%/-10\%$ 、 $2.5V \pm 5\%$ 。代表値は、 $V_{DD} = 3.3V$ 、 $T_{PCB} = 25^{\circ}C$ における値です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
R_{J_HPF}	RMS ジッタ (積分 BW: 12kHz~20MHz)	$F_{out} = 312.5MHz$ 、2000mVppd スイング		22		fs
PN_{100}	100 Hz オフセットでの位相ノイズ					dBc/Hz
PN_{1k}	1 kHz オフセットでの位相ノイズ			-97		dBc/Hz
PN_{10k}	10 kHz オフセットでの位相ノイズ			-131		dBc/Hz
PN_{100k}	100 kHz オフセットでの位相ノイズ			-154		dBc/Hz
PN_{1M}	1 MHz オフセットでの位相ノイズ			-165		dBc/Hz
PN_{10M}	10 MHz オフセットでの位相ノイズ			-167		dBc/Hz
PN_{100M}	100 MHz オフセットでの位相ノイズ			-167		dBc/Hz
R_{J_HPF}	RMS ジッタ (積分 BW: 12kHz~20MHz)	$F_{out} = 625MHz$ 、2000mVppd スイング、4MHz 1次ハイパスフィルタ				fs
R_{J_HPF}	RMS ジッタ (積分 BW: 12kHz~20MHz)	$F_{out} = 625MHz$ 、2000mVppd スイング		19		fs
PN_{100}	100 Hz オフセットでの位相ノイズ					dBc/Hz
PN_{1k}	1 kHz オフセットでの位相ノイズ			-91		dBc/Hz
PN_{10k}	10 kHz オフセットでの位相ノイズ			-126		dBc/Hz
PN_{100k}	100 kHz オフセットでの位相ノイズ			-148		dBc/Hz
PN_{1M}	1 MHz オフセットでの位相ノイズ			-163		dBc/Hz
PN_{10M}	10 MHz オフセットでの位相ノイズ			-165		dBc/Hz
PN_{100M}	100 MHz オフセットでの位相ノイズ			-164		dBc/Hz
R_{J_HPF}	RMS ジッタ (積分 BW: 12kHz~20MHz)	$F_{out} = 1250MHz$ 、2000mVppd スイング、4MHz 1次ハイパスフィルタ				fs
R_J	RMS ジッタ (積分 BW: 12kHz~20MHz)	$F_{out} = 1250MHz$ 、2000mVppd スイング		17		fs
PN_{100}	100 Hz オフセットでの位相ノイズ					dBc/Hz
PN_{1k}	1 kHz オフセットでの位相ノイズ			-86		dBc/Hz
PN_{10k}	10 kHz オフセットでの位相ノイズ			-119		dBc/Hz
PN_{100k}	100 kHz オフセットでの位相ノイズ			-142		dBc/Hz
PN_{1M}	1 MHz オフセットでの位相ノイズ			-156		dBc/Hz
PN_{10M}	10 MHz オフセットでの位相ノイズ			-161		dBc/Hz
PN_{100M}	100 MHz オフセットでの位相ノイズ			-161		dBc/Hz
R_{J_HPF}	RMS ジッタ (積分 BW: 12kHz~20MHz)	$F_{out} = 2500MHz$ 、2000mVppd スイング、4MHz 1次ハイパスフィルタ				fs
R_J	RMS ジッタ (積分 BW: 12kHz~20MHz)	$F_{out} = 2500MHz$ 、2000mVppd スイング		16		fs
PN_{100}	100 Hz オフセットでの位相ノイズ					dBc/Hz
PN_{1k}	1 kHz オフセットでの位相ノイズ			-79		dBc/Hz
PN_{10k}	10 kHz オフセットでの位相ノイズ			-113		dBc/Hz
PN_{100k}	100 kHz オフセットでの位相ノイズ			-136		dBc/Hz
PN_{1M}	1 MHz オフセットでの位相ノイズ			-153		dBc/Hz
PN_{10M}	10 MHz オフセットでの位相ノイズ			-161		dBc/Hz
PN_{100M}	100 MHz オフセットでの位相ノイズ			-161		dBc/Hz
LP - HCSSL - クロック出力ジッタ						

特に記述のない限り: $V_{DD} = 3.3V +5\%/-10\%$ 、 $2.5V \pm 5\%$ 。代表値は、 $V_{DD} = 3.3V$ 、 $T_{PCB} = 25^{\circ}C$ における値です。

パラメータ		テスト条件	最小値	標準値	最大値	単位	
J _{PCle1-cc}	PCIe Gen 1 の共通クロックのジッタ (ジッタ制限 = 86ps)	$F_{out} = 100MHz$ 、 $V_{OH} = 850mV$				ps	
J _{PCle1-SRNS}	PCIe Gen 1 の SRNS ジッタ					ps	
J _{PCle2-cc}	PCIe Gen 2 の共通クロックのジッタ (ジッタ制限 = 3ps)					ps	
J _{PCle2-SRNS}	PCIe Gen 2 の SRNS ジッタ					ps	
J _{PCle3-cc}	PCIe Gen 3 の共通クロックのジッタ (ジッタ制限 = 1ps)					ps	
J _{PCle3-SRNS}	PCIe Gen 3 の SRNS ジッタ					ps	
J _{PCle4-cc}	PCIe Gen 4 の共通クロックのジッタ (ジッタ制限 = 500fs)					ps	
J _{PCle4-SRNS}	PCIe Gen 4 の SRNS ジッタ					ps	
J _{PCle5-cc}	PCIe Gen 5 の共通クロックのジッタ (ジッタ制限 = 150fs)					ps	
J _{PCle5-SRNS}	PCIe Gen 5 の SRNS ジッタ					ps	
J _{PCle6-cc}	PCIe Gen 6 の共通クロックのジッタ (ジッタ制限 = 100fs)					ps	
J _{PCle6-SRNS}	PCIe Gen 6 の SRNS ジッタ					ps	
J _{PCle6-cc}	PCIe Gen 7 の共通クロックのジッタ (ジッタ制限 = 69fs)					ps	
J _{PCle6-SRNS}	PCIe Gen 7 の SRNS ジッタ				ps		
R _{J_HPF}	RMS ジッタ (積分 BW: 12kHz ~ 20MHz)	$F_{out} = 100MHz$ 、4MHz 1 次ハイパスフィルタ、 $V_{OH} = 850mV$				fs	
R _J	RMS ジッタ (積分 BW: 12kHz ~ 20MHz)			59		fs	
PN ₁₀₀	100 Hz オフセットでの位相ノイズ	$F_{out} = 100MHz$ 、 $V_{OH} = 850mV$				dBc/Hz	
PN ₁₀₀	100 Hz オフセットでの位相ノイズ					dBc/Hz	
PN _{1k}	1 kHz オフセットでの位相ノイズ				-116		dBc/Hz
PN _{10k}	10 kHz オフセットでの位相ノイズ				-142		dBc/Hz
PN _{100k}	100 kHz オフセットでの位相ノイズ				-163		dBc/Hz
PN _{1M}	1 MHz オフセットでの位相ノイズ				-168		dBc/Hz
PN _{10M}	10 MHz オフセットでの位相ノイズ				-169		dBc/Hz
R _{J_HPF}	RMS ジッタ (積分 BW: 12kHz ~ 20MHz)	$F_{out} = 156.25MHz$ 、4MHz 1 次ハイパスフィルタ、 $V_{OH} = 850mV$				fs	
R _J	RMS ジッタ (積分 BW: 12kHz ~ 20MHz)			43		fs	
PN ₁₀₀	100 Hz オフセットでの位相ノイズ	$F_{out} = 156.25MHz$ 、 $V_{OH} = 850mV$				dBc/Hz	
PN _{1k}	1 kHz オフセットでの位相ノイズ				-112		dBc/Hz
PN _{10k}	10 kHz オフセットでの位相ノイズ				-139		dBc/Hz
PN _{100k}	100 kHz オフセットでの位相ノイズ				-160		dBc/Hz
PN _{1M}	1 MHz オフセットでの位相ノイズ				-166		dBc/Hz
PN _{10M}	10 MHz オフセットでの位相ノイズ				-168		dBc/Hz
R _{J_HPF}	RMS ジッタ (積分 BW: 12kHz ~ 20MHz)	$F_{out} = 312.5MHz$ 、4MHz 1 次ハイパスフィルタ、 $V_{OH} = 850mV$				fs	

特に記述のない限り: $V_{DD} = 3.3V +5\%/-10\%$ 、 $2.5V \pm 5\%$ 。代表値は、 $V_{DD} = 3.3V$ 、 $T_{PCB} = 25^{\circ}C$ における値です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
R _J	RMS ジッタ (積分 BW: 12kHz~20MHz)	$F_{out} = 312.5MHz$ 、 $V_{OH} = 850mV$		34		fs
PN ₁₀₀	100 Hz オフセットでの位相ノイズ					dBc/Hz
PN _{1k}	1 kHz オフセットでの位相ノイズ			-98		dBc/Hz
PN _{10k}	10 kHz オフセットでの位相ノイズ			-131		dBc/Hz
PN _{100k}	100 kHz オフセットでの位相ノイズ			-154		dBc/Hz
PN _{1M}	1 MHz オフセットでの位相ノイズ			-165		dBc/Hz
PN _{10M}	10 MHz オフセットでの位相ノイズ			-167		dBc/Hz
PN _{100M}	100 MHz オフセットでの位相ノイズ			-166		dBc/Hz
R _{J,HPF}	RMS ジッタ (積分 BW: 12kHz~20MHz)	$F_{out} = 625MHz$ 、4MHz 1 次ハイパスフィルタ、 $V_{OH} = 850mV$				fs
R _J	RMS ジッタ (積分 BW: 12kHz~20MHz)	$F_{out} = 625MHz$ 、 $V_{OH} = 850mV$		34		fs
PN ₁₀₀	100 Hz オフセットでの位相ノイズ					dBc/Hz
PN _{1k}	1 kHz オフセットでの位相ノイズ			-97		dBc/Hz
PN _{10k}	10 kHz オフセットでの位相ノイズ			-127		dBc/Hz
PN _{100k}	100 kHz オフセットでの位相ノイズ			-148		dBc/Hz
PN _{1M}	1 MHz オフセットでの位相ノイズ			-160		dBc/Hz
PN _{10M}	10 MHz オフセットでの位相ノイズ			-162		dBc/Hz
PN _{100M}	100 MHz オフセットでの位相ノイズ			-162		dBc/Hz
R _J	RMS ジッタ (積分 BW: 12kHz~20MHz)	$F_{out} = 125MHz$ 、 $V_{OH} = 850mV$				fs
R _{JITT, RMS}	RMS 周期ジッタ	$F_{out} = 156.25MHz$ 、 $V_{OH} = 850mV$				fs
R _{JITT, PK}	ピークツーピークの周期ジッタ	$F_{out} = 156.25MHz$ 、 $V_{OH} = 850mV$				fs

- (1) このパラメータは設計に基づいて規定されており、生産時の特性評価や試験は行われていません。
- (2) $V_{OD, DIFF}$ 電圧の定義については、「差動電圧測定の用語」セクションを参照してください
- (3) V_{CROSS} は、システムグラウンドを基準として $CLKOUTx_P = CLKOUTx_N$ の場合のシングルエンド電圧です。CLKOUTx_N が立ち上がるときの CLKOUTx_P の立ち上がりエッジでのみ有効です。

6.7 タイミング図

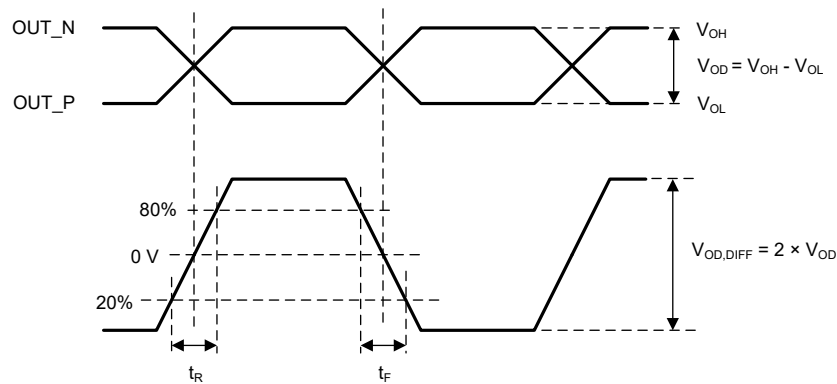


図 6-1. 差動出力電圧スイングおよび立ち上がり / 立ち下がり時間の定義

6.8 代表的特性

標準値は 25°C 時の値です。

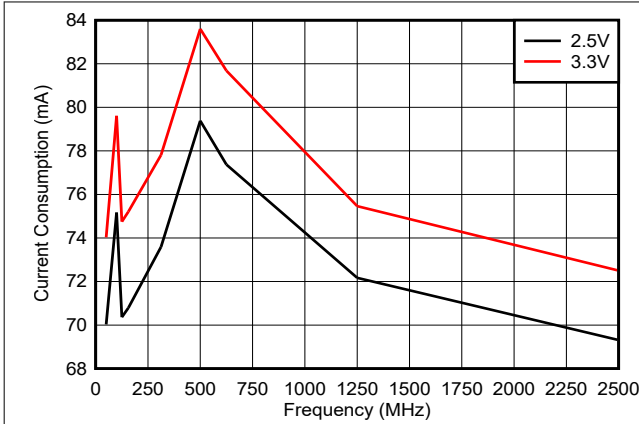


図 6-2. AC - LVPECL の周波数および電源電圧に対する消費電流

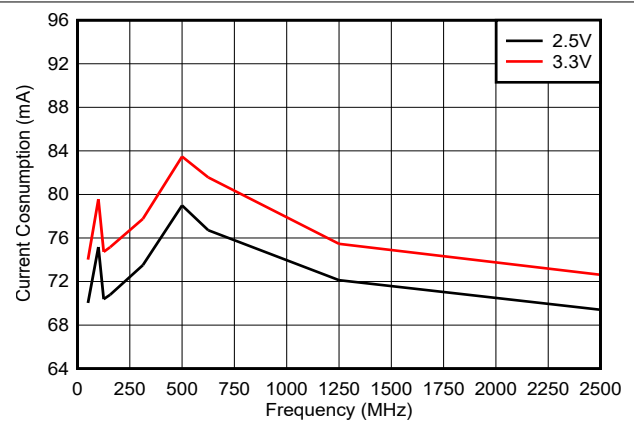


図 6-3. LVDS の周波数および電源電圧に対する消費電流

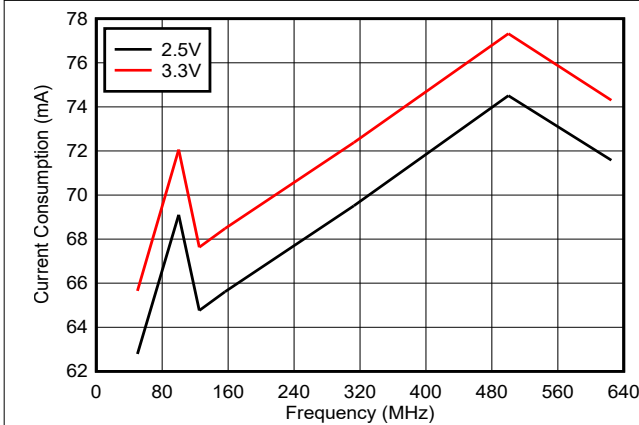


図 6-4. 周波数と電源電圧の全範囲にわたる LP - HCSL ($V_{OH} = 850mV$) の消費電流

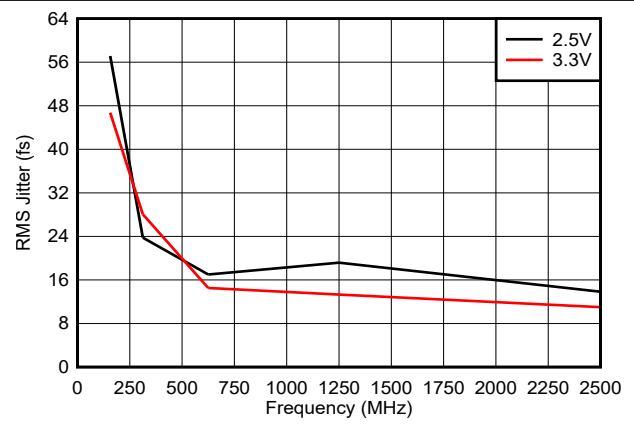


図 6-5. AC - LVPECL の RMS ジッタ (12kHz ~ 20MHz) における周波数および電源電圧依存特性

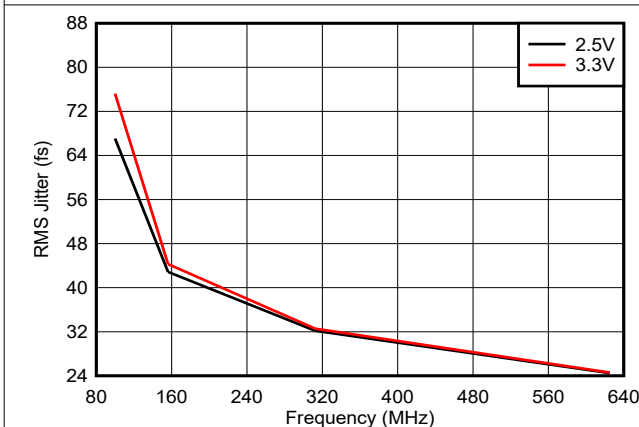


図 6-6. LP - HCSL ($V_{OH} = 850mV$) RMS ジッタと周波数および電源電圧との関係

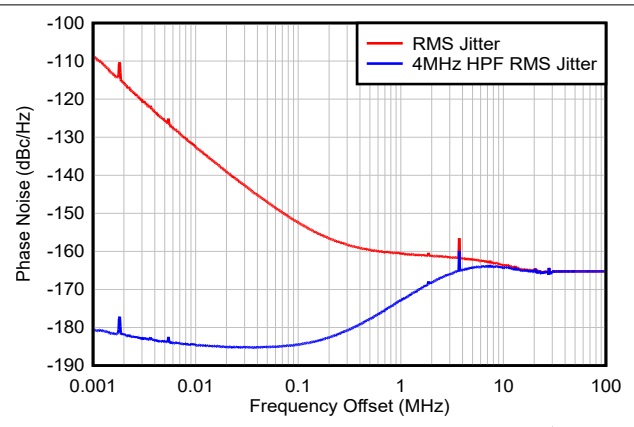


図 6-7. 3.3V での AC - LVPECL 312.5MHz 位相ノイズ曲線

7 パラメータ測定情報

7.1 デバイス出力構成

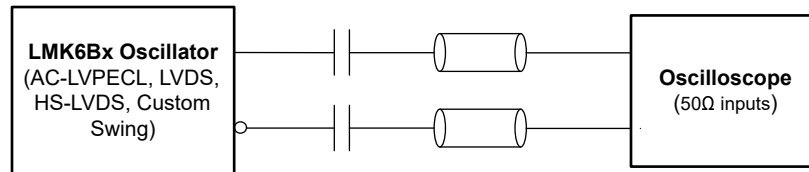


図 7-1. LMK6BxAC - LVPECL、LVDS、カスタム スイング出力タイプの出カテスト構成

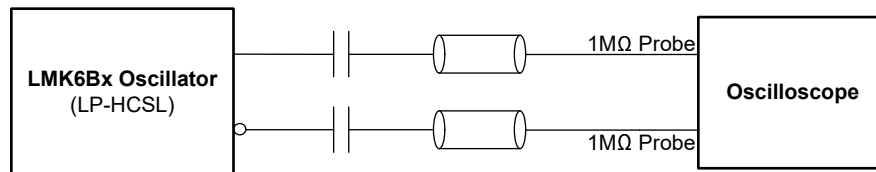


図 7-2. LMK6BxLP-HCSL 出力タイプの出カテスト構成

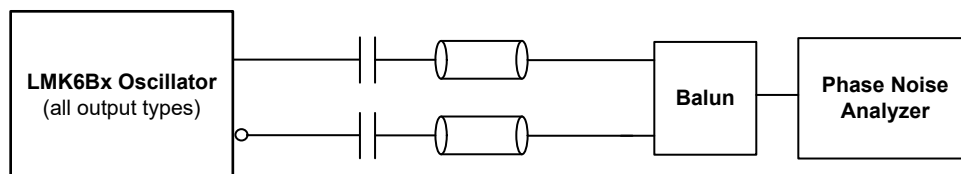


図 7-3. LMK6Bx すべての出力タイプの出カ位相ノイズ構成

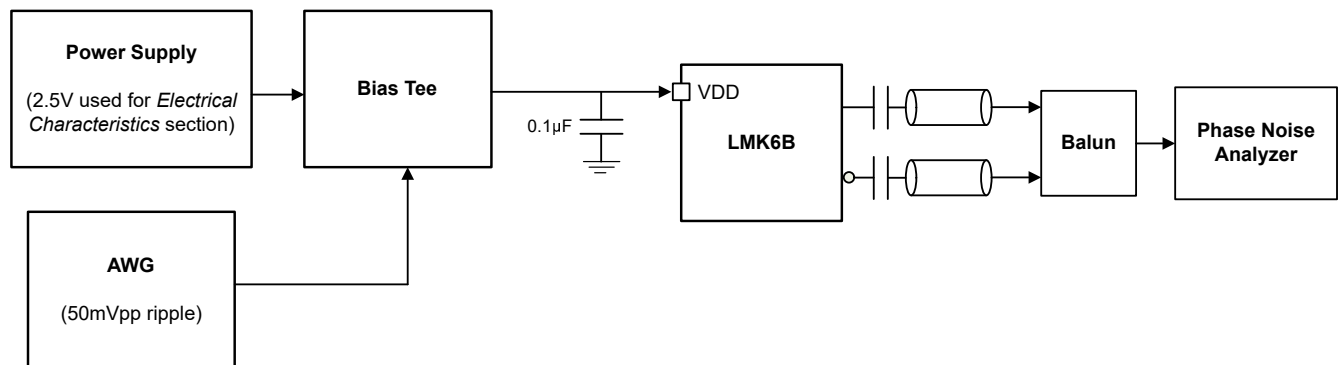


図 7-4. LMK6BxPSRR の構成

8 詳細説明

8.1 概要

LMK6Bx は、固定周波数で工場出荷時にプログラミング済みの BAW をベースとした発振器であり、差動出力で超低ジッタを実現できます。

8.2 機能ブロック図

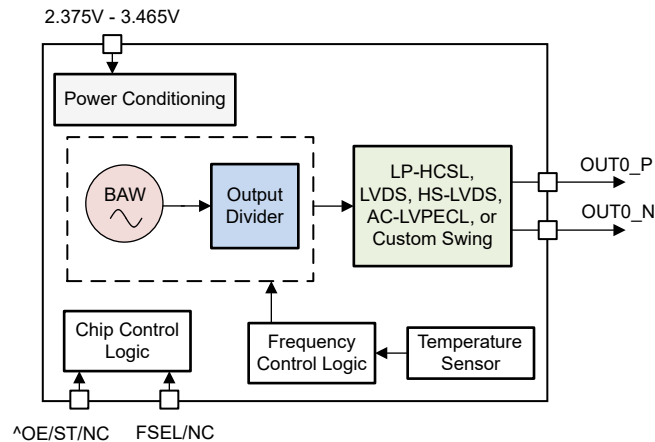


図 8-1. 機能ブロック図

8.3 機能の説明

8.3.1 バルク弾性波 (BAW)

テキサス・インスツルメンツの BAW 共振器テクノロジーは、2.5GHz で高 Q 共振を発生させるために圧電変換を利用してしています。この共振器は、上下の電極に挟まれた四角形の領域によって定義されます。高音響インピーダンス層と低音響インピーダンス層を交互に配置することで、共振体の下に音響ミラーを形成し、基板への音響エネルギーの漏れを防止します。さらに、デバイスを汚染から保護し、パッケージ材料へのエネルギーの漏れを最小限に抑えるため、これらの音響ミラーは共振器スタックの上に配置されています。この独自のデュアル ブラッグ音響共振器 (DBAR) によって、共振器を囲む高価な真空キャビティがなくても効果的に励起することを可能にしています。その結果、TI の BAW 共振器は表面汚染物質の吸着による周波数ドリフトの影響を受けにくく、非気密プラスチック パッケージでも、標準的な小型オシレータ IC フットプリントに直接実装できます。TI の BAW テクノロジーの詳細については、[BAW Web ページ](#)をご覧ください。

8.3.2 デバイス ブロック レベルの説明

LMK6Bx には、BAW 発振器、整数分周器、および出力ドライバが内蔵されており、これらにより工場プログラムされた出力周波数が生成されます。発振周波数の温度変動は、内部の高精度温度センサによって継続的に監視され、その情報は周波数制御ロジックブロックへの入力として使用されます ([LMK6Bx 機能ブロック図](#)を参照)。この周波数制御ロジックブロックを用いて内部で周波数補正が行われ、温度範囲および 10 年間の経年劣化にわたって出力周波数を $\pm 25\text{ppm}$ または $\pm 20\text{ppm}$ 以内に維持します。出力ドライバは、差動 AC - LVPECL、LVDS、HS - LVDS、LP - HCSL、カスタム スイング出力形式を提供できます。本デバイスは、電源ノイズを低減する LDO を内蔵しているため、低ノイズのクロック出力と、「電気的特性」に示すように非常に優れた PSRR 性能を実現します。

8.3.3 機能ピン

LMK6Bx のピン 1 およびピン 2 は、OPN によって定義される複数の機能を持ちます (詳細については[セクション 4](#)を参照してください)。構成として、ピン 1 に出カイネーブル (OE) およびスタンバイ (ST)、ピン 2 に出カ周波数選択 (FSEL) があります。FSEL は OPN で定義された周波数を 2 または 4 で分周し、1 つの OPN から 3 種類の異なる周波数を提供します。FSEL の詳細については、[表 8-1](#)を参照してください。OE と ST は、デフォルトでアクティブ High です。アクティブ Low オプションについては、テキサス・インスツルメンツにお問い合わせください。

ピン 1 は 150kΩ プルアップ抵抗によって内部的に駆動されます。ピン 2 は、200kΩ プルアップおよび 200kΩ プルダウン抵抗によって内部的に駆動されます。ピン 1 およびピン 2 の両方に、それぞれ 0Ω ~ 10kΩ の外部プルアップ抵抗またはプルダウン抵抗を接続できます。

表 8-1. LMK6Bx の機能ピンの説明

注文可能オプション	ピン番号	ピンの説明	出力機能
E	ピン 1	出力イネーブル (アクティブ High) または未接続	High または未接続: 指定された周波数で出力アクティブ LOW: 出力ディスエーブル、高インピーダンス。消費電流は、 I_{DD-OD} により与えられます
	ピン 2	接続なし	該当なし
A	ピン 1	スタンバイ (アクティブ Low) または未接続	High または未接続: 指定された周波数で出力アクティブ LOW: ハイインピーダンス、スタンバイモード、消費電流はスタンバイ電流 $I_{DD-STBY}$ により得られます
	ピン 2	接続なし	該当なし
K	ピン 1	出力イネーブル (アクティブ High) または未接続	High または未接続: 指定された周波数で出力アクティブ LOW: 出力ディスエーブル、高インピーダンス。消費電流は、 I_{DD-OD} により与えられます
	ピン 2	FSEL ⁽¹⁾	HIGH: $F_{OUT}/2$ フローティングで出力アクティブ: F_{OUT} LOW での出力アクティブ: $F_{OUT}/4$ で出力アクティブ
L	ピン 1	スタンバイ (アクティブ Low) または未接続	High または未接続: 指定された周波数で出力アクティブ LOW: ハイインピーダンス、スタンバイモード、消費電流はスタンバイ電流 $I_{DD-STBY}$ により得られます
	ピン 2	FSEL ⁽¹⁾	HIGH: $F_{OUT}/2$ フローティングで出力アクティブ: F_{OUT} LOW での出力アクティブ: $F_{OUT}/4$ で出力アクティブ

(1) f_{OUT} は、OPN で定義されている出力周波数です (セクション 4 を参照)。

スタンバイモードでは、「電力特性」の「消費電流特性」部分に示されているスタンバイ電流と等価な最大限の消費電流の節約を行うために、すべてのブロックをパワーダウンします。アクティブな出力クロックへの復帰時間または t_{ST-EN} は、初期起動時間または t_{START_UP} と同じです。

8.3.4 出力の終端

LMK6Bx には異なる出力タイプがあります: AC - LVPECL、LVDS、HS - LVDS、LP - HCSSL、カスタム スイング。HS - LVDS とカスタム スイングは、異なるスイングモードと同相モードのオプションを備えています。LP - HCSSL 出力タイプには、異なる V_{OH} オプションがあります。詳細については、セクション 4 を参照してください。

マルチモードドライバは、同相モード電圧を $V_{DD}/2$ または 1.2V に設定し、350mVppd ~ 2Vppd の範囲でスイングをカスタマイズした出力を生成できます。カスタム スイング出力タイプの場合、 $V_{CM} = V_{DD}/2$ とスイングは、3.3V 電源では 350mVppd ~ 2Vppd、2.5V 電源では 350mVppd ~ 1.5Vppd に設定できます。AC - LVPECL 出力タイプでは、このドライバを使用して、2.5V または 3.3V の $V_{CM} = V_{DD}/2$ で 1.6Vppd を生成します。マルチモードドライバは、LVDS に類似した出力 (HS - LVDS を含む) も生成できます。この出力は同相モード電圧が 1.2V で、スイングは 3.3V 電源時には 350mVppd ~ 2Vppd、2.5V 電源時には 350mVppd ~ 1.6Vppd の範囲でカスタマイズ可能です。デフォルトでは、LVDS ドライバには 800mVppd のスイングが付属しています。

発振器の性能を最大限に引き出すには、カスタム スイング マルチモードドライバまたは AC - LVPECL を使用してください。スイングが大きいほど性能は向上するため、受信側が許容できる最大のスイングを選択してください。

LVDS 発振器を LMK6Bx に置き換える場合、変更は不要です。AC 結合アプリケーションで LVDS 発振器を置き換える場合、かつ最大の性能が必要なときは、カスタム スイングまたは AC - LVPECL 出力タイプを使用し、受信側が許容できる最大のスイング オプションを選択してください。AC 結合アプリケーションにおいて LVDS 発振器をカスタム スイングまたは AC - LVPECL ドライバに置き換える場合でも、変更は不要です。LVPECL 発振器の交換については、セクション 9.3.1 を参照してください。図 8-2 に、AC - LVPECL、LVDS、HS - LVDS、カスタム スイングの終端方式を示します。

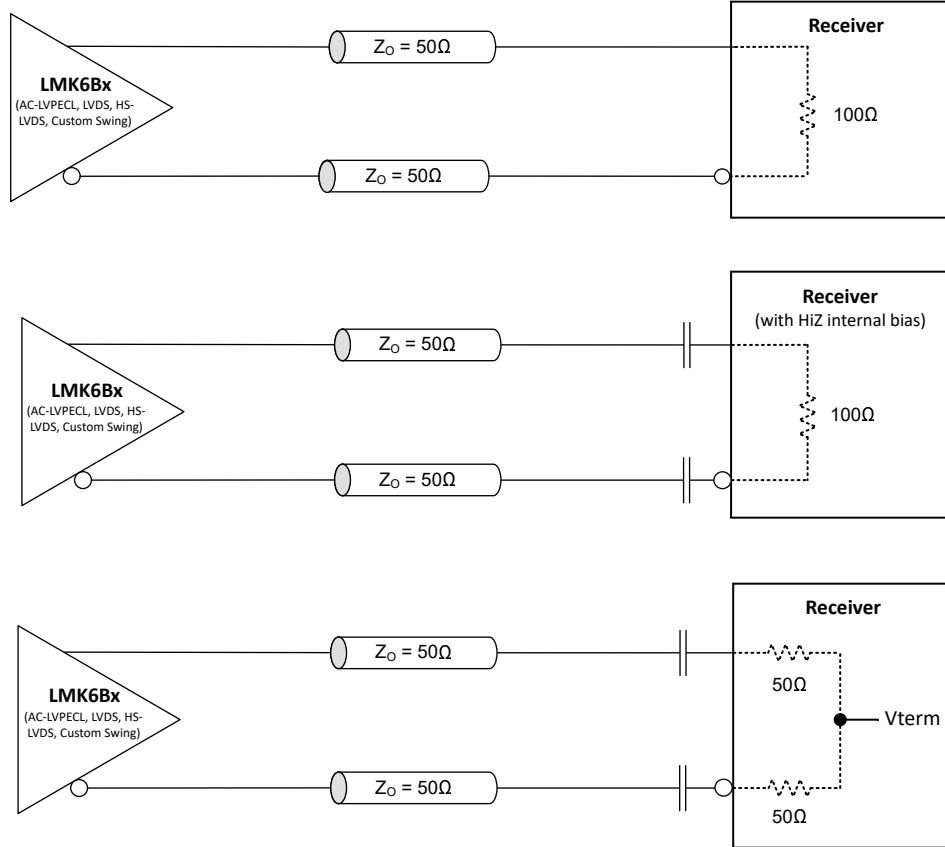


図 8-2. AC - LVPECL、LVDS、HS - LVDS、カスタム スイング出力終端

LP - HCSL 出力ドライバの V_{OH} は、標準値 $850mV$ または $750mV$ です。図 8-3 に示すように、外部終端は不要です。LP - HCSL 発振器を LMK6Bx に交換する場合は、変更する必要はありません。HCSL 発振器を LMK6Bx に交換するには、セクション 9.3.2 を参照してください。

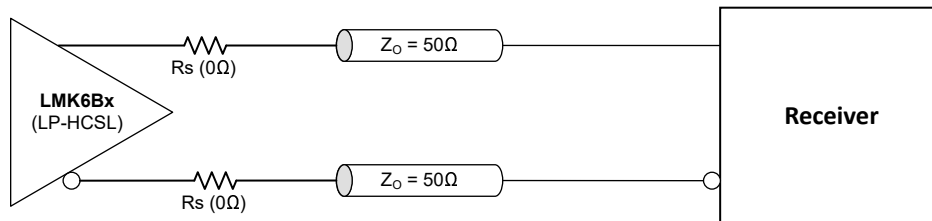


図 8-3. LP - HCSL 出力終端

LMK6Bx を使用して TI のクロック バッファを駆動する方法については、LMK6Bx による TI クロック バッファのクロック供給アプリケーション ノートを参照してください。

8.4 デバイスの機能モード

固定周波数で工場プログラム済みの LMK6Bx は、[セクション 4](#) に示すように OPN に基づいて異なる構成を持つことがあります。機能ピン (ピン 1 またはピン 2) は、出力イネーブル、スタンバイ、周波数選択、または未接続に設定できます。周波数選択は、OPN で定義された周波数を 2 または 4 で分周することで、1 つの OPN から 3 種類の異なる周波数を提供します。詳細については、[セクション 8.3.3](#) を参照してください。

LMK6Bx は、[セクション 4](#) に示すように、スイングおよび同相モードが異なる複数の出力タイプ (AC - LVPECL、LVDS、HS - LVDS、カスタム スイング) でも提供されます。また、LP - HCSL 出力タイプでは、異なる V_{OH} オプションも用意されています。詳細については、[セクション 8.3.4](#) を参照してください。

9 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその精度や完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 使用上の注意

LMK6Bx は超低ジッタ、固定周波数、工場プログラミングされた差動 BAW 発振器で、さまざまなアプリケーションの基準クロックとして使用できます。このデバイスは、AC - LVPECL、LVDS、HS - LVDS、およびカスタム スイング出力タイプでは 50MHz ~ 2500MHz、LP - HCSL 出力タイプでは 50MHz ~ 625MHz の任意の出力周波数に対応します。LMK6Bx は、2.375V ~ 3.465V の電源レール (公称 2.5V および 3.3V) をサポートしています。

9.2 代表的なアプリケーション

図 9-1 に、代表的なアプリケーション例を示します。LMK6Bx 発振器は、光トランシーバ モジュールで使用される DSP の基準クロックとして使用されます。

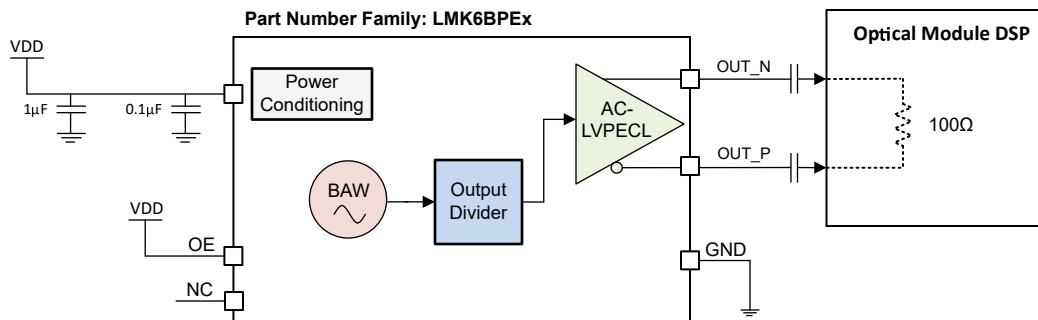


図 9-1. LMK6Bx 光トランシーバ モジュールの DSP の基準クロックとして使用さ

LMK6Bx およびバイパス コンデンサおよび AC 結合コンデンサの推奨値のレイアウト例については、セクション 9.5.2 を参照してください。出力タイプの終端とバイアスについては、セクション 8.3.4 を参照してください。『LMK6B: 業界をリードする超低ジッタ BAW 発振器による光学モジュールの性能の革新』アプリケーション ノートでは、光トランシーバ モジュール用途における LMK6Bx の利点を理解できます。

9.2.1 設計要件

LMK6Bx はプログラミング不要の固定周波数発振器です。セクション 8.3.4 に記載されている推奨終端のオプションに従い、ピン 1 およびピン 2 の機能についてはセクション 8.3.3 を参照してください。セクション 4 を参照し、要件に基づいて型番を注文してください。また、LMK6Bx の性能を最大化するために、セクション 9.5.1 およびセクション 9.4 に従ってください。

9.2.2 詳細な設計手順

LMK6Bx を使用して設計する場合、最初のステップは、要件に基づいて適切な構成を選択することです。選択した OPN によって、出力タイプ、ピン 1 およびピン 2 の機能、出力周波数、周波数安定度、およびパッケージ タイプが決定されます。詳細については、セクション 4 を参照してください。

LMK6Bx 差動発振器には AC - LVPECL、LVDS、HS - LVDS、LP - HCSL、カスタム スイング出力タイプのオプションがあります。セクション 8.3.4 に示すように、アプリケーションの要件に基づいて、適切な AC 終端または DC 終端を使用します。LMK6Bx には、ピン 1 とピン 2 の出力イネーブル、スタンバイ、または周波数選択のオプションがあります。各ピンと機能の詳細については、セクション 8.3.3 を参照してください。LMK6Bx は LDO を内蔵しており、「電気特性」表に示す

ように、優れた PSRR 性能を備えています。最高の性能を実現するには、VDD ピンに $0.1\mu\text{F}$ と $1\mu\text{F}$ を追加します。電源ピンに関する推奨事項については [セクション 9.4](#) を参照し、LMK6Bx を用いた設計時の最適な基板レイアウトについては [セクション 9.5](#) を参照してください。

9.2.3 LMK6Bx を使用した TI クロック バッファのクロッキング

LMK6Bx は、TI のクロック バッファのリファレンスとして使用でき、複数の超低ジッタ クロックを生成できます。LMK6Bx と LMKDB1x を使用した場合、 312.5MHz において 42.4fs のジッタを達成します。また、LMK6Bx と LMK1Dx を使用した場合、 625MHz において 19.8fs のジッタを達成します (帯域幅: $12\text{kHz} \sim 20\text{MHz}$)。詳細については、[LMK6Bx を用いた TI クロック バッファのクロック供給アプリケーション ノート](#)を参照してください。

9.2.4 アプリケーション曲線

9.2.4.1 LVDS 位相ノイズ曲線

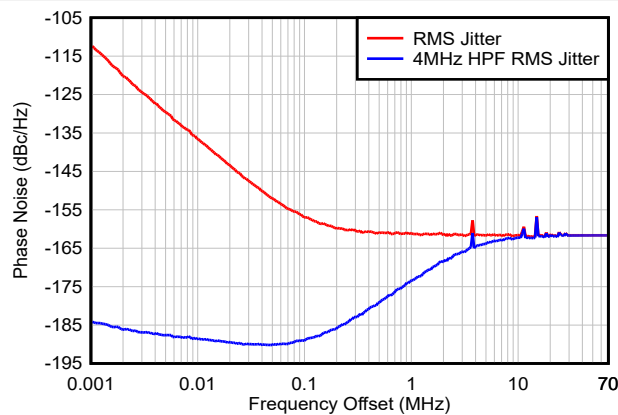


図 9-2. 156.25MHz の LVDS 出力、 25°C 、 3.3V において RMS ジッタは 47.3fs 、 4MHz HPF 適用時の RMS ジッタは 39.2fs ($12\text{kHz} \sim 20\text{MHz}$)

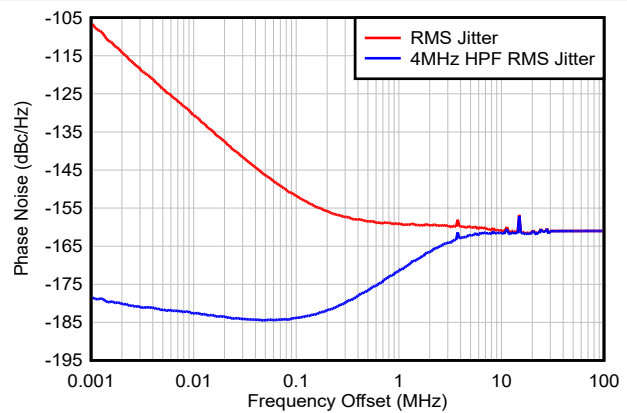


図 9-3. 312.5MHz の LVDS 出力、 25°C 、 3.3V 条件において、RMS ジッタは 38.7fs 、 4MHz HPF 適用時の RMS ジッタは 29.3fs ($12\text{kHz} \sim 20\text{MHz}$)

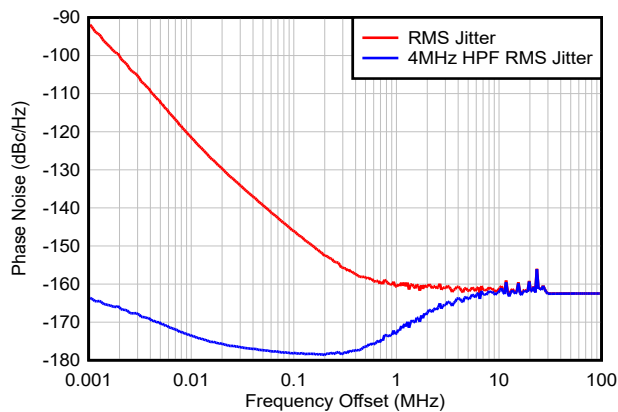


図 9-4. 625MHz の LVDS 出力、 25°C 、 3.3V 条件において、RMS ジッタは 19.3fs 、 4MHz HPF 適用時の RMS ジッタは 11.3fs ($12\text{kHz} \sim 20\text{MHz}$)

9.2.4.2 AC - LVPECL 位相ノイズ曲線

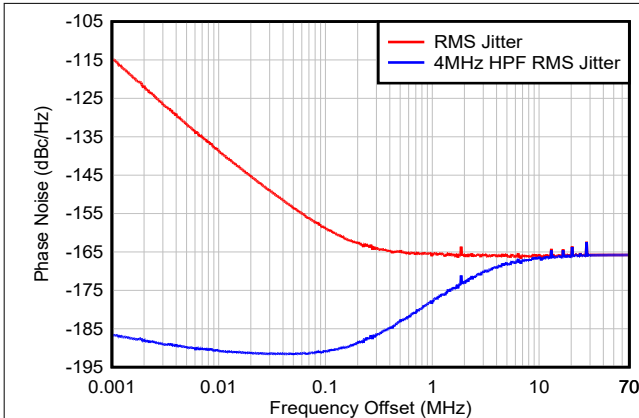


図 9-5. 156.25MHz、AC - LVPECL、25°C、3.3V、38.5fs の RMS ジッタ、31.0fs の 4MHz HPF RMS ジッタ (12kHz ~ 20MHz)

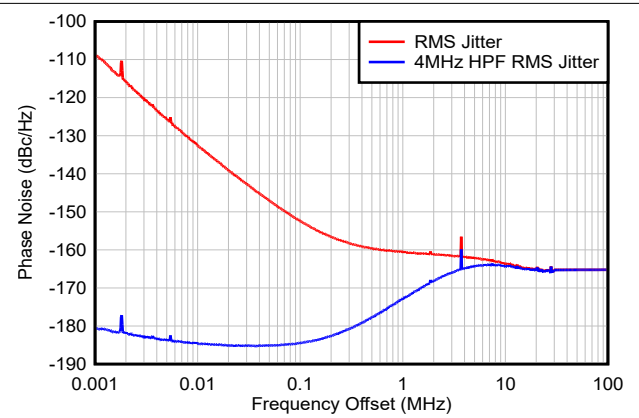


図 9-6. 312.5MHz AC - LVPECL、25°C、3.3V、28.2fs の RMS ジッタ、19.7fs の 4MHz HPF RMS ジッタ (12kHz ~ 20MHz)

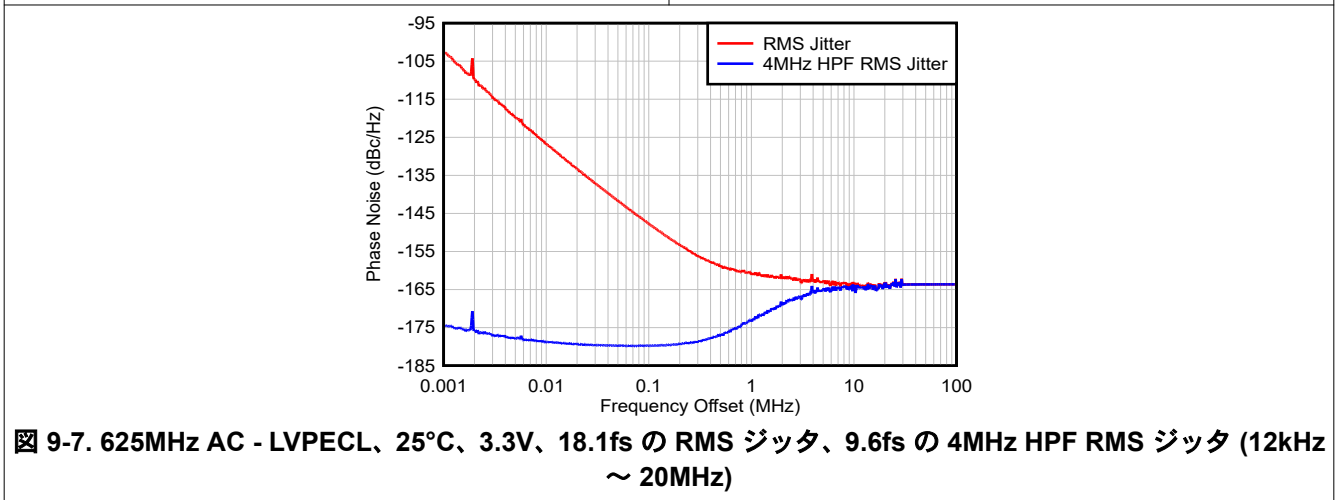


図 9-7. 625MHz AC - LVPECL、25°C、3.3V、18.1fs の RMS ジッタ、9.6fs の 4MHz HPF RMS ジッタ (12kHz ~ 20MHz)

9.2.4.3 LP - HCSL 位相ノイズ曲線

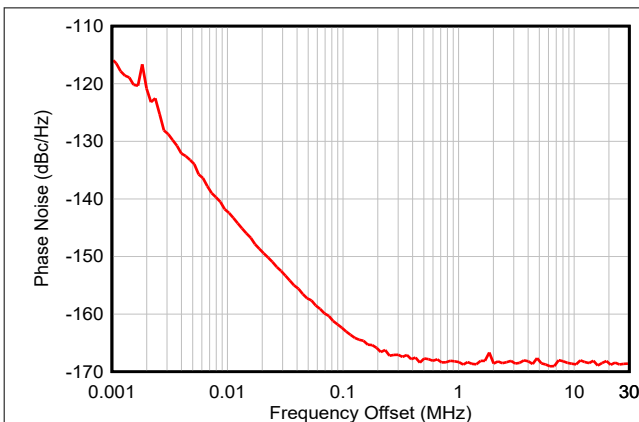


図 9-8. 100MHz LP - HCSL、25°C、3.3V、54.4fs の RMS ジッタ (12kHz ~ 20MHz)

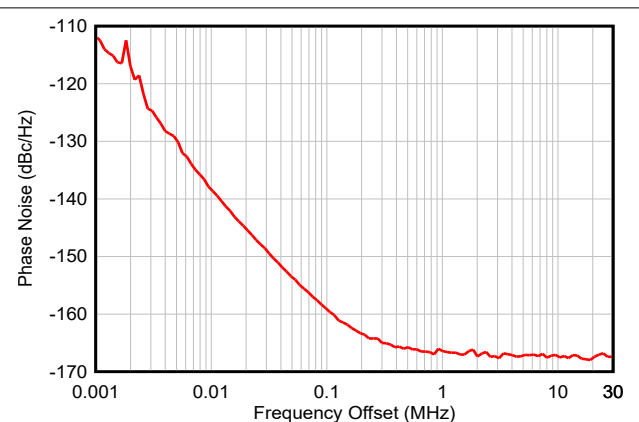


図 9-9. 156.25MHz LP - HCSL、25°C、3.3V、38.3fs の RMS ジッタ (12kHz ~ 20MHz)

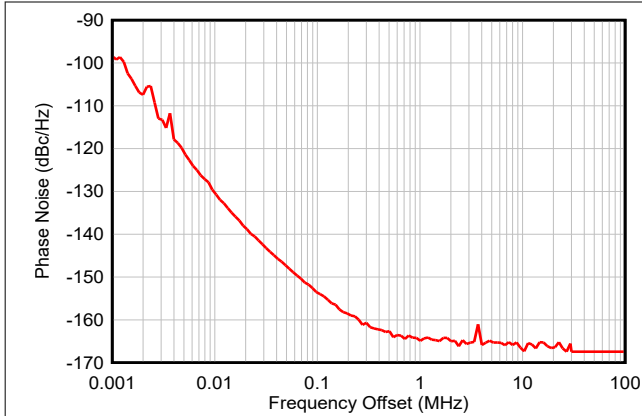


図 9-10. 312.5MHz LP - HCSL、25°C、3.3V、27.1fs RMS ジッタ (12kHz ~ 20MHz)

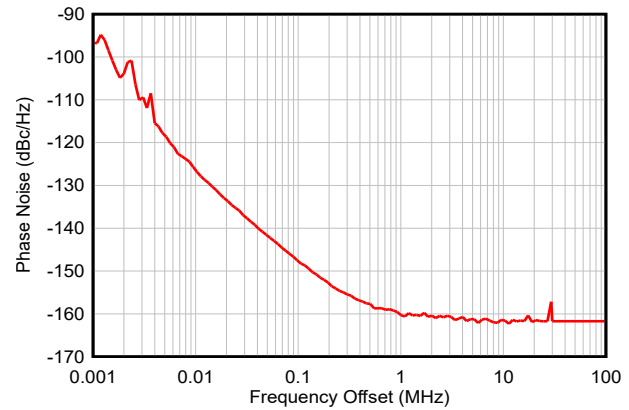


図 9-11. 625MHz LP - HCSL、25°C、3.3V、22.9fs RMS ジッタ (12kHz ~ 20MHz)

9.3 競合する発振器を LMK6Bx に交換

9.3.1 LVPECL 発振器を LMK6Bx に交換

AC 結合アプリケーション向けに LVPECL 発振器を LMK6Bx に置き換える場合、

- レシーバには 100Ω の内部終端が必要です (内部終端がない場合は、外部に終端を配置する必要があります)。
- LMK6BxAC - LVPECL 出力タイプを使用します。
- 図 9-12 に示すように、任意のエミッタ抵抗を実装します。

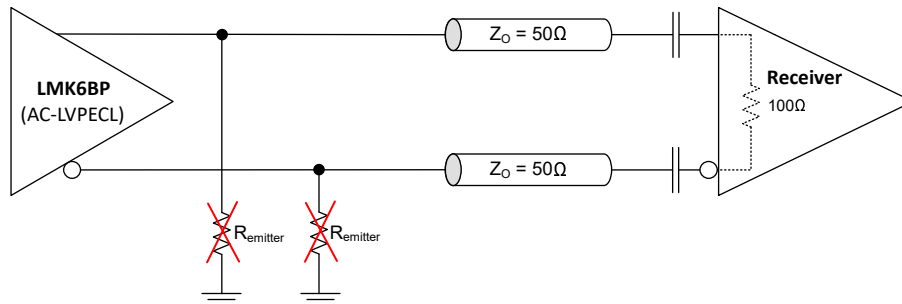


図 9-12. LVPECL 発振器を LMK6Bx に交換

9.3.2 HCSL OSC を LMK6Bx に置き換える

HCSL 発振器を置き換えるために LMK6Bx を使用する場合、以下の手順に従います：

- LMK6Bx LP - HCSL 出力タイプを使用します。
- 図 9-13 に示すように、50Ω の抵抗を GND へ実装します。
- 図 9-13 に示すように、直列抵抗は 0Ω に置き換えます。

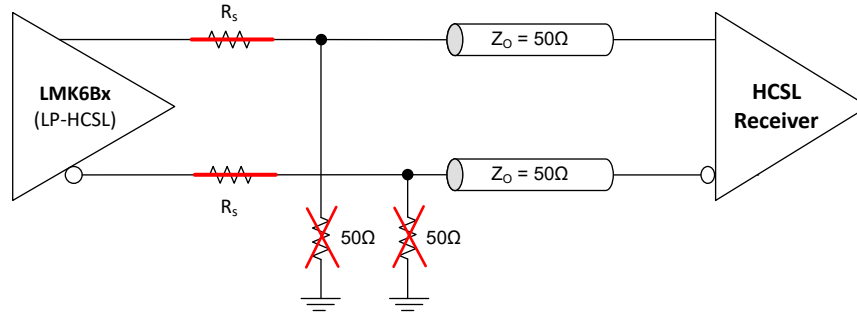


図 9-13. HCSL 発振器を LMK6Bx に置き換える

9.4 電源に関する推奨事項

LMK6Bx の最高の電気的性能を発揮させるため、TI は、デバイスの電源バイパス ネットワークに 0.1μF および 1μF のコンデンサを使用することを推奨しています。コンデンサは、電源ピンにできる限り近づけて配置してください。TI はまた、電源バイパス コンデンサを部品面に実装すること、および信号配線を容易にするために、0.1μF コンデンサには 0201 サイズ、1μF コンデンサには 0603 サイズのパッケージを使用することを推奨しています。バイパス コンデンサとデバイスの電源との間の接続はできる限り短くします。グランド プレーンへの低インピーダンス接続を使用して、コンデンサの反対側をグランドに接続します。

9.5 レイアウト

9.5.1 レイアウトのガイドライン

LMK6Bx は最大 2500MHz で動作可能です。発振器の性能を最適化するには、『高速レイアウトガイドライン』に記載されている、業界標準の高速レイアウト ガイドラインに従ってください。要約すると、

- アンテナ効果を生じて出力性能を低下させる長いスタブを最小限にしてください。
- インピーダンスは、反射を除去するために、差動出力トレースを 50Ω シングルエンドまたは 100Ω 差動とマッチングします。
- 最大の性能を得るため、出力トレースは可能な限り短くし、長さを等しくします。

セクション 9.5.1.1 では、優れた熱特性および電気特性を得るための熱信頼性の確保について説明しています。セクション 9.5.1.2 では、適切なはんだリフロー プロファイルを実装することで、システム全体の信号完全性を維持する方法について説明しています。

9.5.1.1 熱に関する信頼性の実現

LMK6Bx は高性能デバイスです。そのため、消費電力に関しデバイスの構成とプリント基板 (PCB) レイアウトに十分な注意を払ってください。パッケージからの熱放散を最大化するため、グランドピンは 3 つ以上のビアで PCB のグランドプレーンに接続する必要があります。

式 1 に、LMK6Bx 付近の PCB 温度と接合部温度の関係を示します。

$$T_B = T_J - \Psi_{JB} \times P \quad (1)$$

ここで

- T_B : LMK6Bx 付近の PCB 温度
- T_J : LMK6Bx の接合部温度
- Ψ_{JB} : LMK6Bx の接合部から基板への熱抵抗パラメータ (この情報については、セクション 6 セクションの熱に関する情報の表を参照)
- P : LMK6Bx のオンチップ消費電力

9.5.1.2 推奨される半田リフロー プロファイル

J-STD-20 のガイドラインで定められた範囲内で、フラックスの活性度を最適化し、合金の適切な溶融温度を実現するために、半田ペースト サプライヤから提供された推奨事項に従ってください。ピーク温度を可能な限り低く保つと同時に、MSL ラベルに記載されている部品のピーク温度定格未満に保って LMK6Bx を処理することをお勧めします。正確な温度プロファイルは、MSL ラベルに記載されている部品の最大ピーク温度定格、基板の厚さ、PCB 材料の種類、PCB 形状、部品の位置、サイズ、PCB 内の密度、半田メーカー推奨のプロファイル、SMT アセンブリ動作で確認されたリフロー装置の能力など、いくつかの要因に依存します。

9.5.2 レイアウト例

図 9-14 ~ 図 9-18 に、LMK6BEVM の評価基板 (EVM) で実装されたプリント基板 (PCB) のレイアウト例を示します。

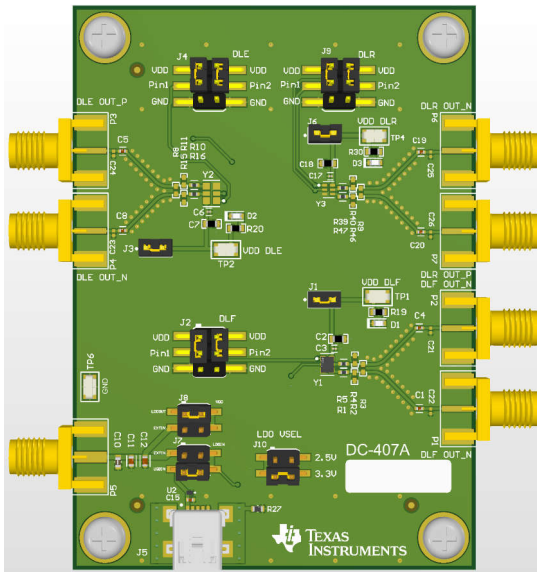


図 9-14. LMK6BEVM の PCB レイアウト例

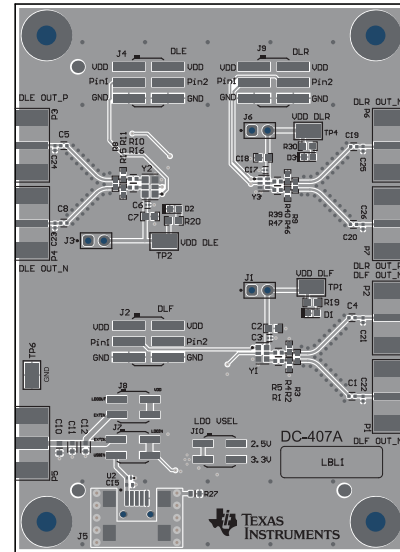


図 9-15. LMK6BEVM の PCB レイアウト例 - 最上層

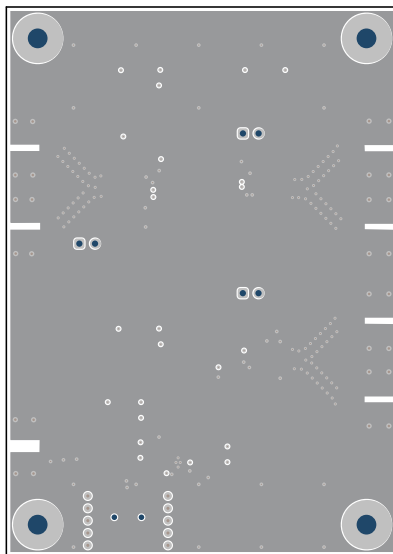


図 9-16. LMK6BEVM の PCB レイアウト例 - グランド層

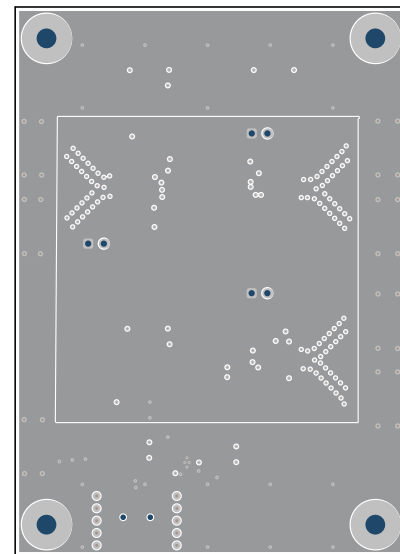


図 9-17. LMK6BEVM の PCB レイアウト例 - 電源層

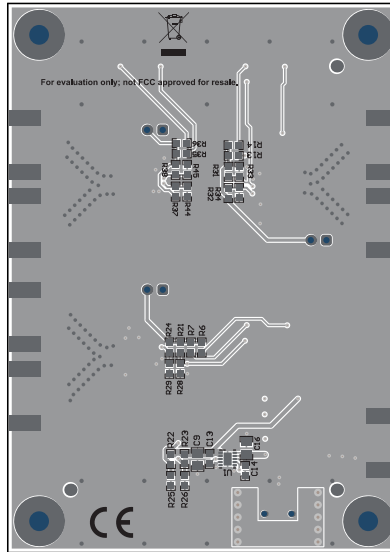


図 9-18. LMK6BEVM の PCB レイアウト例 - 最下層

10 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介いたします。

10.1 ドキュメントのサポート

10.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、[LMK6BEVM ユーザー ガイド](#)
- テキサス インスツルメンツ、[LMK6B: 業界をリードする超低ジッタ BAW 発振器による光学モジュールの性能の革新アプリケーション ノート](#)
- テキサス インスツルメンツ、[LMK6Bx による TI クロックバッファのクロック供給、アプリケーション ノート](#)
- テキサス・インスツルメンツ、『[水晶発振器に対するスタンドアロン BAW 発振器の利点](#)』アプリケーション ノート

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

[テキサス・インスツルメンツ E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

10.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

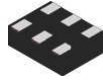
日付	改訂	注
March 2026	*	初版リリース

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

12.1 メカニカル データ

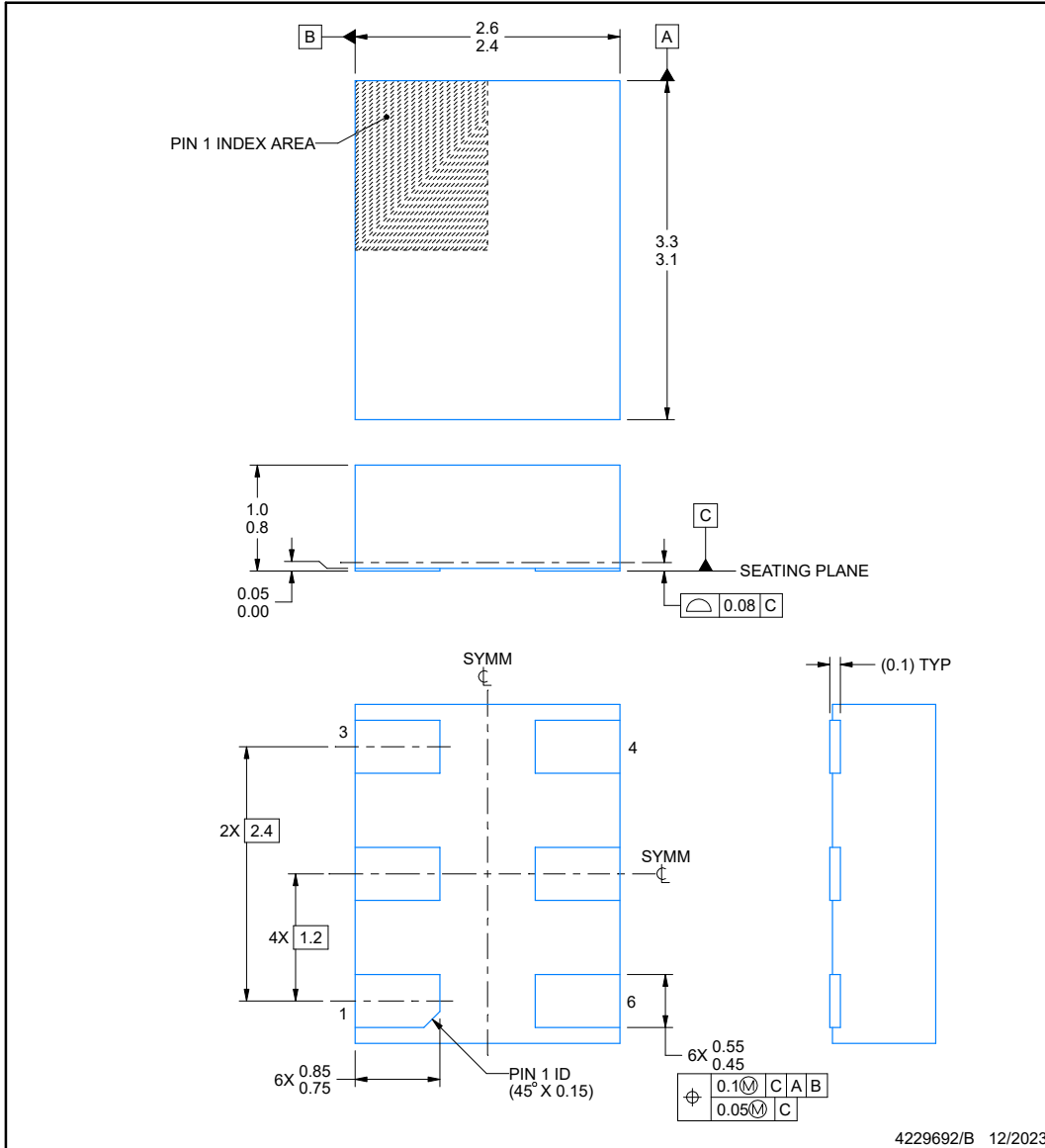
DLE0006B



PACKAGE OUTLINE

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



NOTES:

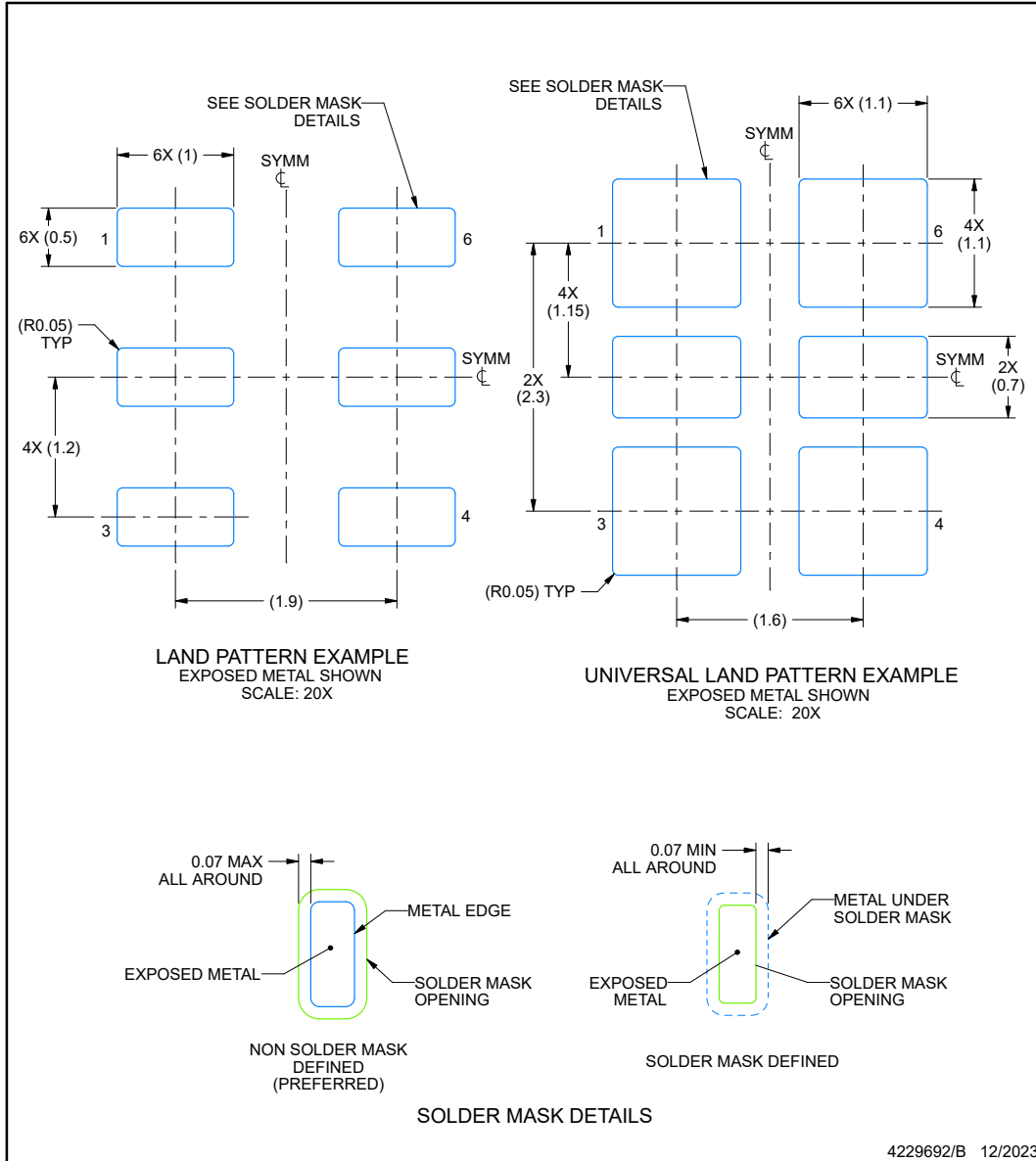
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

DLE0006B

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



NOTES: (continued)

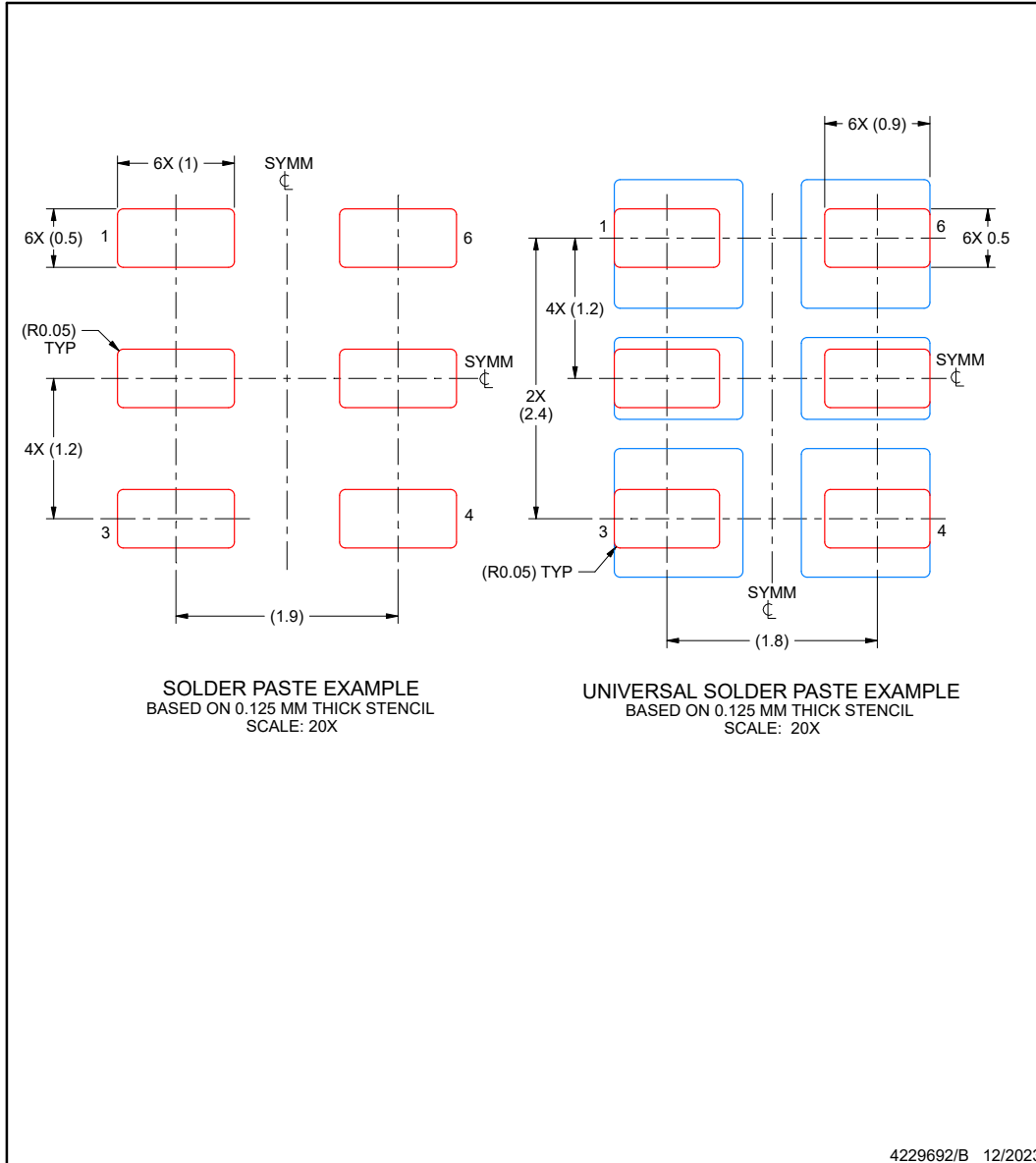
3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

DLE0006B

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

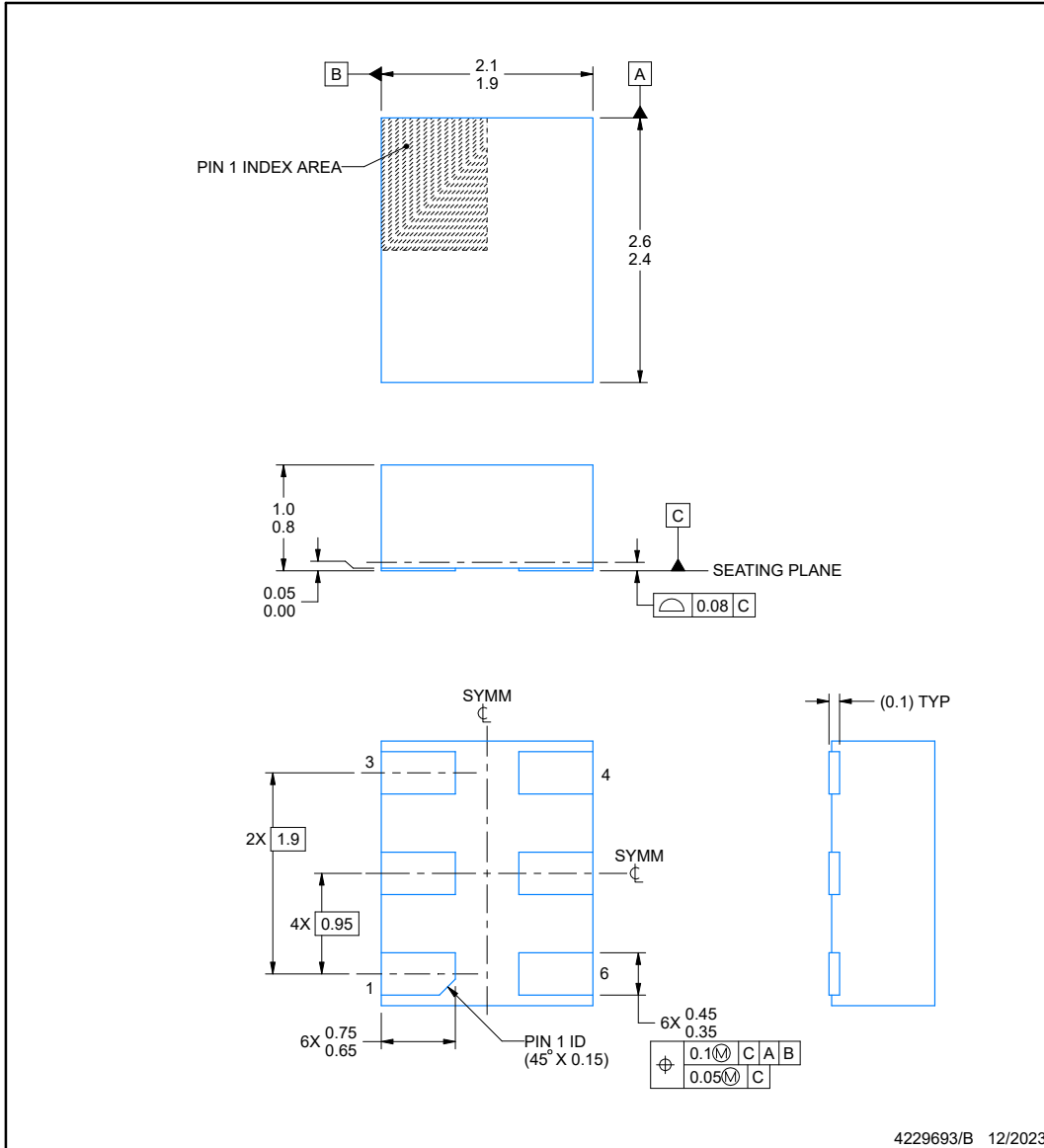


DLF0006B

PACKAGE OUTLINE

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



NOTES:

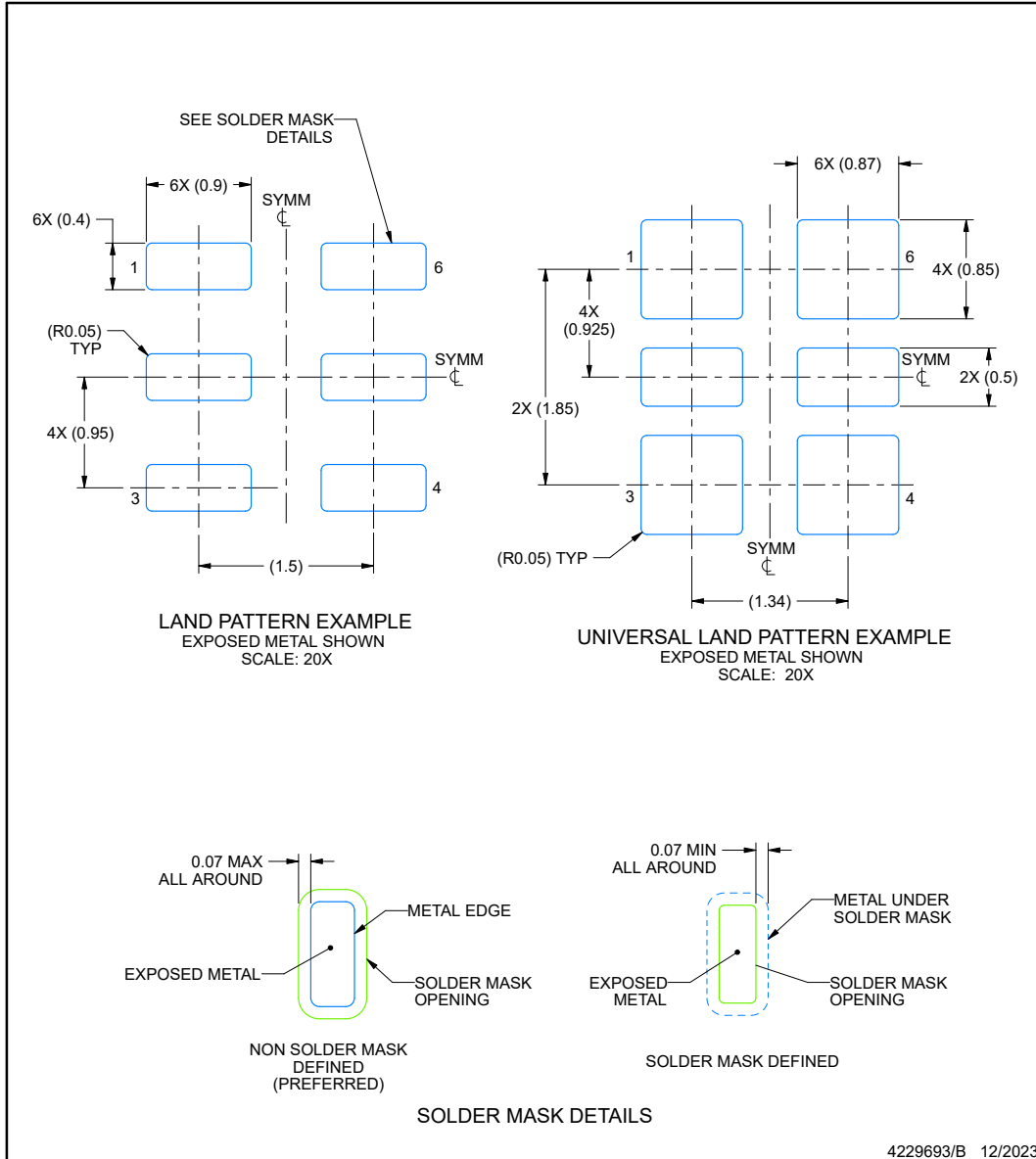
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

DLF0006B

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



NOTES: (continued)

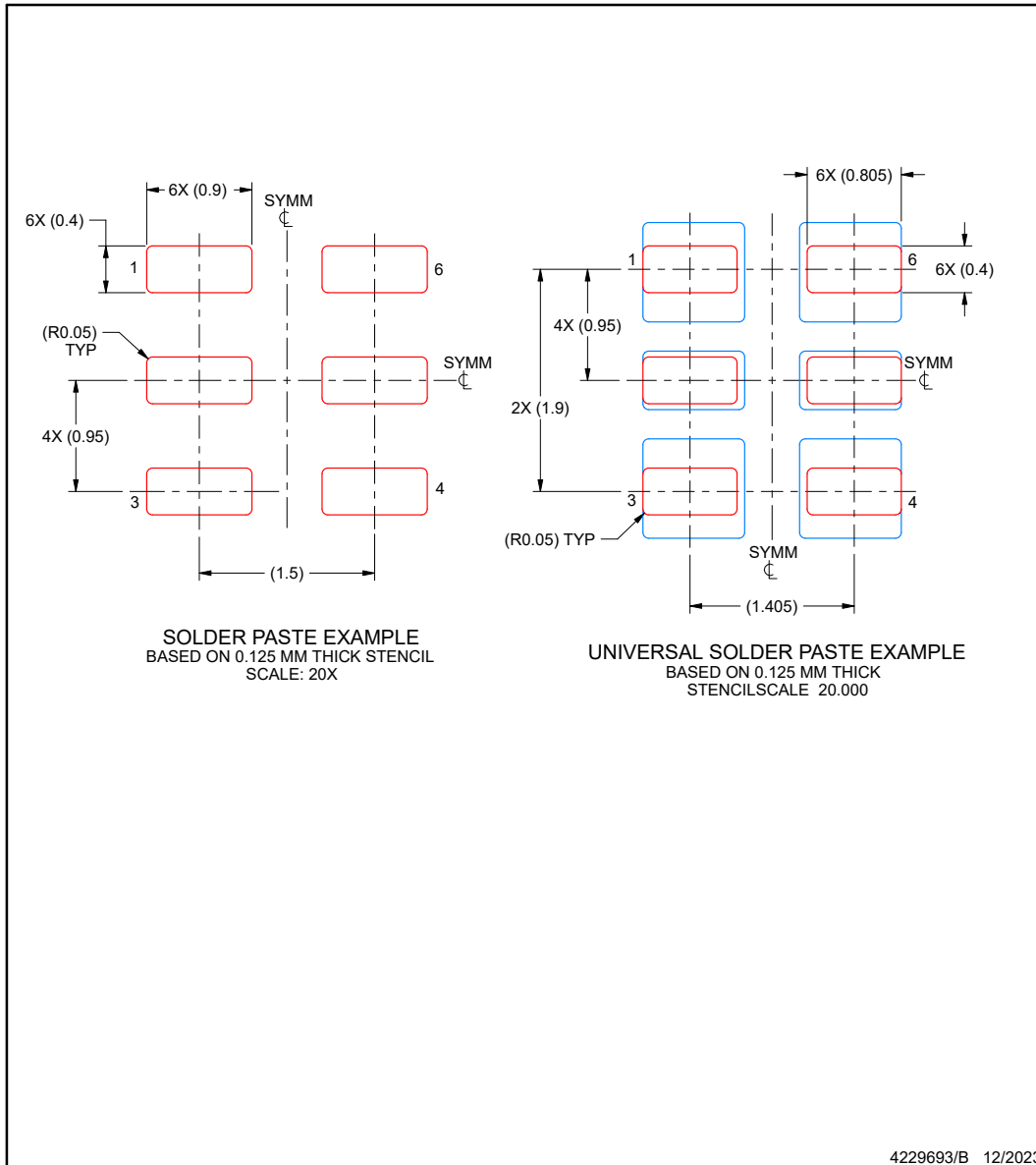
3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

DLF0006B

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



NOTES: (continued)

- 4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

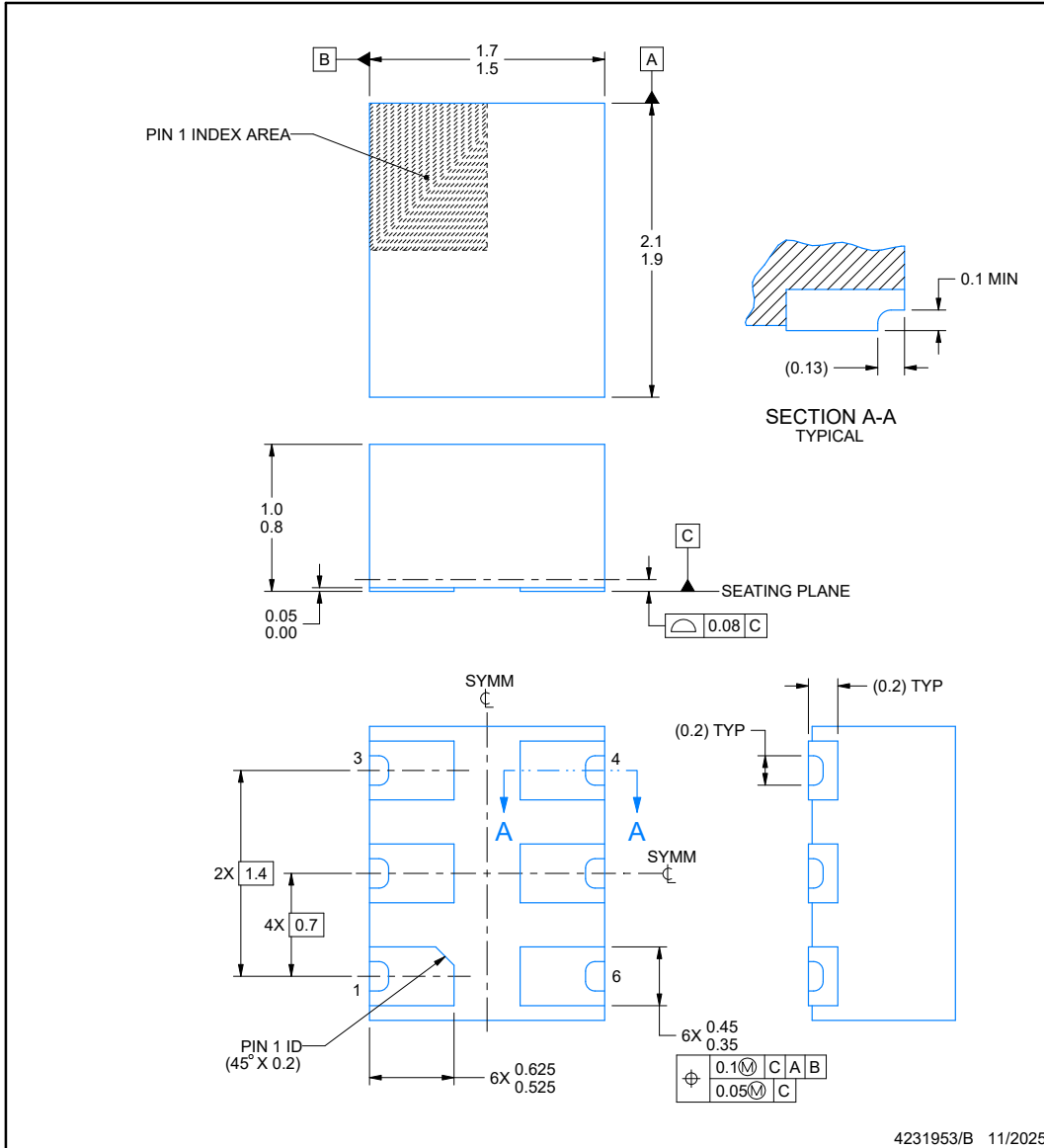


DLR0006B

PACKAGE OUTLINE

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



NOTES:

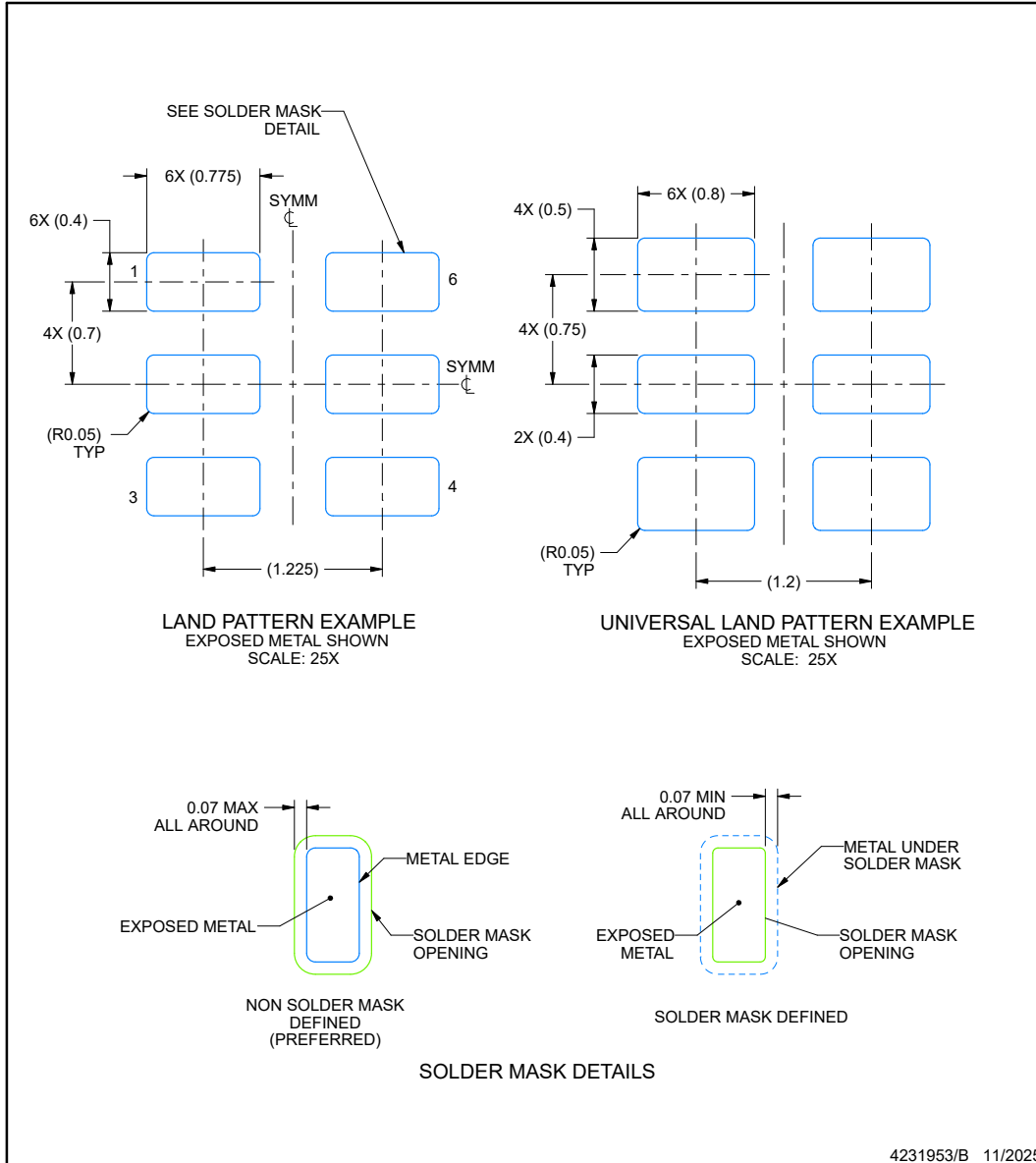
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

DLR0006B

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



NOTES: (continued)

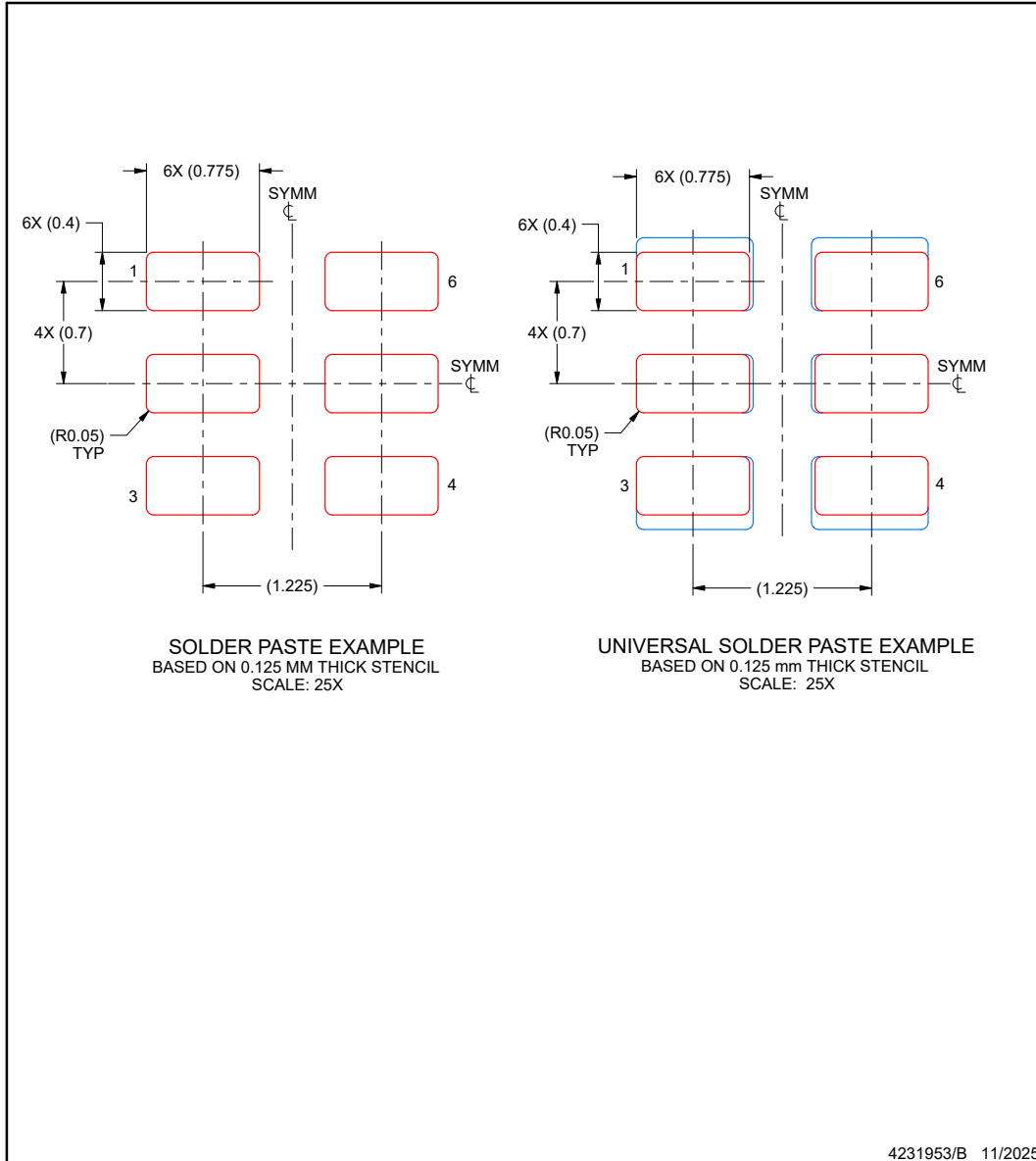
4. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

DLR0006B

VSON - 1 mm max height

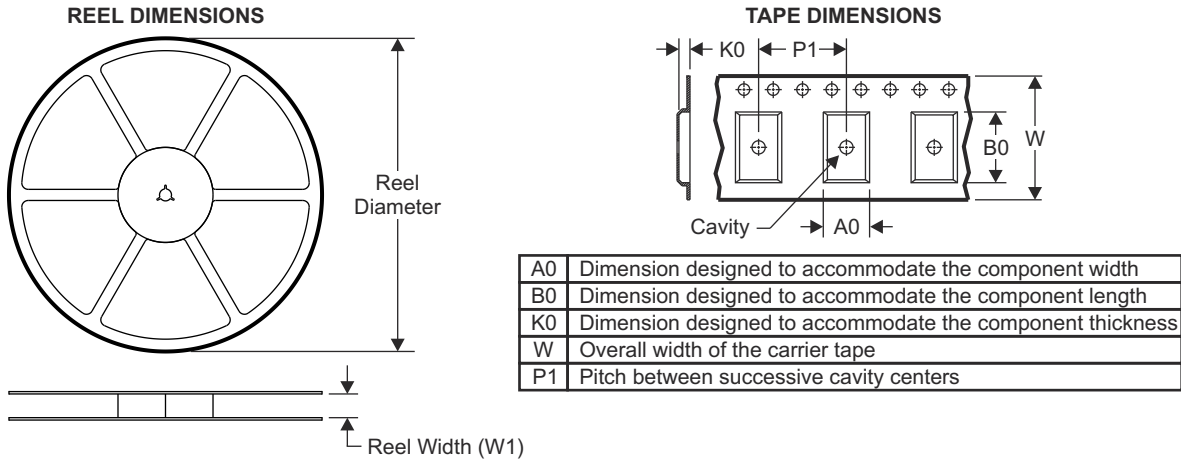
PLASTIC SMALL OUTLINE - NO LEAD



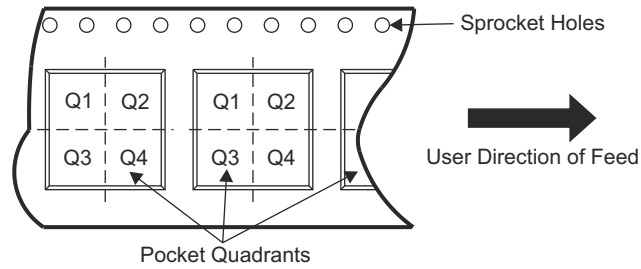
NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

12.2 テープおよびリール情報



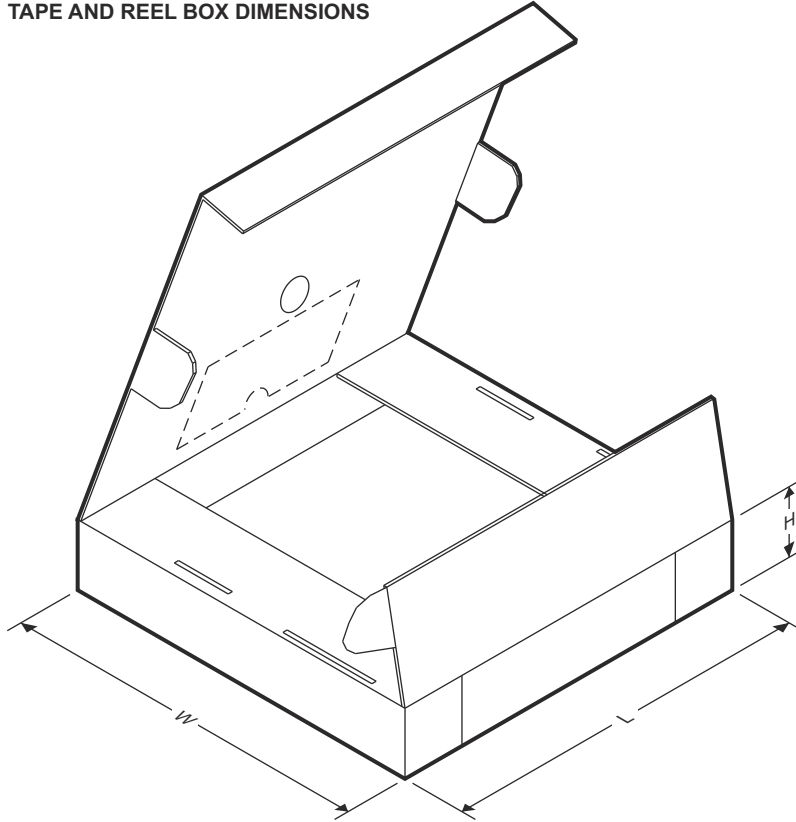
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



デバイス	パッケージ タイプ	パッケージ 図	ピン	SPQ	リール 直径 (mm)	リール 幅 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	ピン1の 象限
PLMK6BPK62500FDLR R	VSON	DLR	6	3000	180	8.4	1.85	2.3	1.16	4	8	Q1

ADVANCE INFORMATION

TAPE AND REEL BOX DIMENSIONS



デバイス	パッケージタイプ	パッケージ図	ピン	SPQ	長さ (mm)	幅 (mm)	高さ (mm)
PLMK6BPK62500FDLRR	VSON	DLR	6	3000	182	182	20

ADVANCE INFORMATION

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PLMK6BPK62500FDLRR	Active	Preproduction	VSON (DLR) 6	3000 LARGE T&R	-	Call TI	Call TI	-40 to 105	

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月