

LMR719xx 1.5A、0.75A、115V、フライバック™コンバータ機能付き降圧コンバータ

1 特長

- 高信頼性の堅牢なアプリケーション用に設計
 - 広い入力電圧範囲: 6V ~ 115V
 - 接合部温度範囲: -40°C ~ +150°C
 - 固定 3ms の内部ソフトスタートタイマー
 - ピークおよびバレー電流制限保護
 - 入力 UVLO およびサーマル シャットダウン保護機能
- スケーラブルな産業用電源およびバッテリパック用に設計
 - 最小オン時間は 30ns、最小オフ時間は 50ns
 - 最大 1MHz まで可変のスイッチング周波数
 - ダイオード エミュレーションにより軽負荷時の効率を向上
 - 低静止電流 (標準 5µA) の自動モード
 - Fly-Buck コンバータ機能のための FPWM
 - シャットダウン時静止電流: 1µA
 - LM5169、LM5168、LM5164、LM5163、LM5013 とピン互換
 - LM5017 および LM34927 と類似のピン配置と機能。
- 統合により設計のサイズとコストを低減
 - COT モード制御アーキテクチャ
 - 0.7Ω の NFET 降圧スイッチを内蔵
 - 0.35Ω の NFET 同期整流器を内蔵
 - 1V の内部基準電圧
 - ループ補償部品が不要
 - V_{CC} バイアスレギュレータとブートダイオードを内蔵
 - オープンドレインのパワー グッド インジケーター
 - SOIC PowerPAD™-8 IC パッケージ

2 アプリケーション

- 通信-ブリック パワー モジュール
- モータードライブ、ドローン
- 産業用バッテリパック ($\geq 10S$)
- バッテリパック: 電動自転車、電動スクーター、軽電気自動車 (LEV)

3 説明

同期整流降圧コンバータ LMR71915 および LMR71907 は、最小限の外部サージ抑制部品で、幅広い入力電圧範囲のレギュレーションを行えるよう設計されています。制御可能な最短のオン時間は 30ns で、大きな降圧率を使用できるため、48V 公称入力から低電圧レールへの直接降圧変換が可能になり、システムの複雑性と設計のコストを下げるることができます。LMR719xx は最低 6V の入力電圧デイップ時にも動作し、必要に応じて 100% に近いデューティサイクルで動作するため、幅広い入力電源電圧範囲の産業用および多セルのバッテリパック機器に理想的です。

ハイサイドおよびローサイドのパワー MOSFET を内蔵しているため、LMR71915 は最大 1.5A、LMR71907 は最大 0.75A の出力電流を供給します。コンスタンツオン時間 (COT) 制御アーキテクチャにより、スイッチング周波数はほぼ一定で、負荷およびライン過渡応答が非常に優れています。LMR719xx は、FPWM モードまたは自動モードのバージョンが利用できます。FPWM モードにより、負荷範囲の全体にわたって強制連続導通モード (CCM) で動作し、絶縁型 Fly-Buck コンバータ アプリケーションをサポートします。自動モードにより、非常に低い I_Q とダイオード エミュレーション モード動作が可能になり、軽負荷時に高効率です。

製品情報

部品番号 (2)	出力電流	パッケージ(1)
LMR71915	1.5A	DDA (HSOIC, 8)
LMR71907 ⁽³⁾	0.75A	

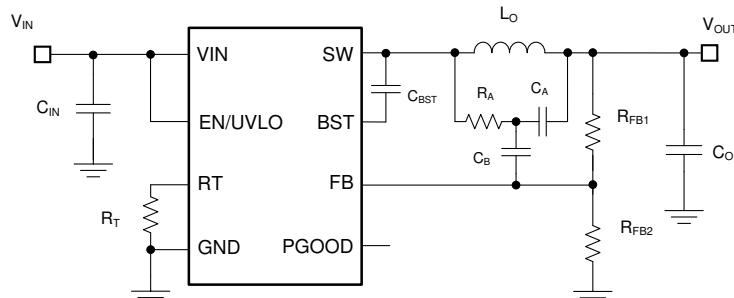
(1) 詳細については、セクション 11 を参照してください。

(2) デバイス比較表を参照してください。

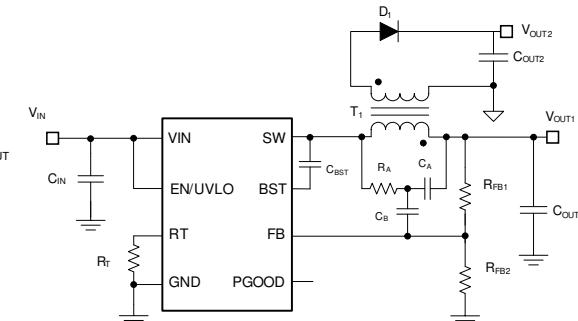
(3) 開発中製品 (事前情報ではありません)。



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール（機械翻訳）を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。



代表的な降圧アプリケーション回路



代表的な Fly-Buck™ コンバータ アプリケーション回路

目次

1 特長.....	1	8 アプリケーションと実装.....	15
2 アプリケーション.....	1	8.1 アプリケーション情報.....	15
3 説明.....	1	8.2 代表的な Fly-Buck™ コンバータ アプリケーション.....	15
4 デバイス比較表.....	4	8.3 電源に関する推奨事項.....	19
5 ピン構成および機能.....	4	8.4 レイアウト.....	19
6 仕様.....	5	9 デバイスおよびドキュメントのサポート.....	22
6.1 絶対最大定格.....	5	9.1 デバイス サポート.....	22
6.2 ESD Ratings.....	5	9.2 ドキュメントのサポート.....	22
6.3 推奨動作条件.....	5	9.3 ドキュメントの更新通知を受け取る方法.....	22
6.4 熱に関する情報.....	5	9.4 サポート・リソース.....	22
6.5 電気的特性.....	6	9.5 商標.....	22
7 詳細説明.....	8	9.6 静電気放電に関する注意事項.....	23
7.1 概要.....	8	9.7 用語集.....	23
7.2 機能ブロック図.....	9	10 改訂履歴.....	23
7.3 機能説明.....	9	11 メカニカル、パッケージ、および注文情報.....	23
7.4 デバイスの機能モード.....	14	11.1 テープおよびリール情報.....	23

4 デバイス比較表

部品番号	パッケージ	説明	出力電流	軽負荷時のモード	電流制限
LMR71907PDDAR ⁽¹⁾	DDA (HSOIC, 8)	0.75A、降圧、AUTO、ヒップなし	0.75A	PFM	1.1A、ヒップなし
LMR71907FDDAR ⁽¹⁾		0.75A、降圧/Fly-Buck、FPWM、ヒップ		FPWM	1.1A、ヒップ
LMR71915PDDAR ⁽¹⁾	1.5A	1.5A、降圧、AUTO、ヒップなし		PFM	2.2A、ヒップなし
LMR71915FDDAR		1.5A、降圧/Fly-Buck、FPWM、ヒップ		FPWM	2.2A、ヒップ

(1) 開発中製品 (事前情報ではありません)。

5 ピン構成および機能

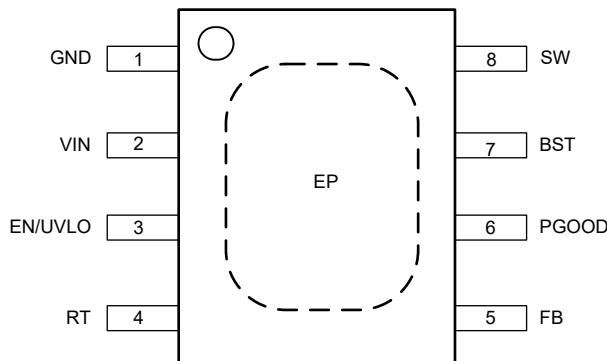


図 5-1. 8 ピン SO PowerPAD™ 集積回路パッケージ（上面図）

表 5-1. ピンの機能

ピン	種類 ⁽¹⁾	説明	
番号		名称	
1	G	GND	内部回路のグランド接続
2	P/I	VIN	ハイサイド パワー MOSFET および内部バイアス レギュレータへのレギュレータ電源入力ピンです。短い低インピーダンスのパスを経由して、降圧コンバータの入力電源に直接接続します。
3	I	EN/UVLO	高精度のイネーブルおよび低電圧誤動作防止 (UVLO) のプログラミングピン。EN/UVLO 立ち上がりの電圧が 1.1V より低くなると、コンバーターはシャットダウン モードとなり、すべての機能がディセーブルされます。UVLO の電圧が 1.1V よりも高く、1.5V よりも低い場合、コンバーターはスタンバイ モードになり、内部 VCC レギュレータは動作しますが、スイッチングは行われません。EN/UVLO ピンの電圧が 1.5V よりも高い場合、スタートアップ シーケンスが開始されます。
4	I	RT	オン タイム プログラミング ピン。このピンと GND との間に抵抗によって、降圧スイッチのオン時間が設定されます。
5	I	FB	電圧レギュレーション コンパレータの帰還入力
6	O	PGOOD	パワーグッド インジケータ。このピンはオープン ドレイン出力ピンです。10kΩ と 100kΩ の間の外付けプルアップ 抵抗を介して、ソース電圧に接続します。PGOOD 機能が不要な場合は GND に接続します。
7	P/I	BST	ブートストラップ ゲートドライブ電源。内部ハイサイド ゲートドライバにバイアスを印加するために、BST と SW との間に高品質の 2.2nF X7R セラミック コンデンサを接続するために必要です。
8	P	SW	ハイサイド NMOS 降圧スイッチのソースおよびローサイド NMOS 同期整流器のドレンに内部接続されているスイッチング ノード。パワー インダクタのスイッチング ノードに接続します。
—	—	EP	パッケージの露出パッド。EP を GND ピンに半田付けし、大きな銅プレーンに接続して熱抵抗を減らします。

(1) G=グランド、I=入力、O=出力、P=電源

6 仕様

6.1 絶対最大定格

動作時接合部温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
ピン電圧	VIN	-0.3	120	V
	SW、DC	-1.5	120	
	SW、過渡 <20ns	-3		
	BST	-0.3	125.5	
	BST から SW へ	-0.3	5.5	
	EN	-0.3	120	
	FB	-0.3	3	
	RT	-0.3	3	
	PGOOD	-0.3	14	
	動作時接合部温度 T _J	-40	150	°C
保存温度	T _{stg}	-65	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

6.2 ESD Ratings

		値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±2000
		デバイス帶電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 ⁽²⁾	±500

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

6.3 推奨動作条件

動作時接合部温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
V _{IN}	ピン電圧	VIN	6	115		V
V _{EN}	ピン電圧	EN			115	V
I _{OUT}	出力電流範囲	LMR71915		1.5		A
		LMR71907		0.75		A
C _{BST}	BST-SW 間の容量	FPWM モード		2.2		nF
F _{SW}	スイッチング周波数		100		1000	kHz

6.4 热に関する情報

熱評価基準 ⁽¹⁾		LMR719xx	単位
		DDA (SOIC)	
		8 ピン	
R _{θJA}	接合部から周囲への熱抵抗	未定	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	未定	°C/W
R _{θJB}	接合部から基板への熱抵抗	未定	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	未定	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	未定	°C/W

6.4 热に関する情報(続き)

热評価基準 ⁽¹⁾		LMR719xx	単位
		DDA (SOIC)	
		8 ピン	
R _{θJC(bot)}	接合部からケース(底面)までの热抵抗	未定	°C/W

(1) 従来および最新の热評価基準の詳細については、『半導体および IC パッケージの热評価基準』アプリケーションノートを参照してください。

6.5 電気的特性

T_J = -40°C to +150°C。標準値は、T_J = 25°C および V_{IN} = 24V での値(特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源						
I _{Q(VIN)}	V _{IN} 静止電流	V _{EN} = 2.5V、PWM動作 V _{EN} = 2.5V、PFM動作	360	600	μA	
I _{Q(STANDBY)}	V _{IN} スタンバイ電流 - LDOのみ	V _{EN} = 1.25 V	8	35	μA	
I _{SD(VIN)}	V _{IN} のシャットダウン時消費電流	V _{EN} = 0V、V _{IN} = 24V、T _j = 25°C	0.7	2	μA	
イネーブル						
V _{EN(R)}	EN 電圧立ち上がりスレッショルド	EN 立ち上がり、スイッチングはイネーブル	1.45	1.5	1.55	V
V _{EN(F)}	EN 電圧立ち下がりスレッショルド	EN 立ち下がり、スイッチングはディスエーブル	1.35	1.4	1.44	V
V _{SD(R)}	EN スタンバイ立ち上がりスレッショルド	EN 立ち上がり、内部LDOはイネーブル、スイッチングなし。		1.1		V
V _{SD(F)}	EN スタンバイ立ち下がりスレッショルド	EN 立ち下がり、内部LDOをディスエーブル。	0.45			V
基準電圧						
V _{FB}	FB 電圧	V _{FB} 立ち下がり	0.985	1	1.015	V
スタートアップ						
t _{SS}	内部固定ソフトスタート時間		1.75	3	4.75	ms
電力段						
R _{DSON(HS)}	ハイサイド MOSFET オン抵抗	I _{SW} = -100mA	0.7			Ω
R _{DSON(LS)}	ローサイド MOSFET オン抵抗	I _{SW} = 100mA	0.35			Ω
t _{ON(min)}	最小 ON パルス幅	V _{VIN} = 115V、R _{RT} = 8.625kΩ	30			ns
t _{ON(3)}	On-time3	V _{VIN} = 12V、R _{RT} = 75kΩ	2550			ns
t _{ON(4)}	On-time4	V _{VIN} = 12V、R _{RT} = 25kΩ	830			ns
t _{ON(4)}	On-time48_1	V _{VIN} = 48V、R _{RT} = 75kΩ	625			ns
t _{ON(4)}	On-time48_2	V _{VIN} = 48V、R _{RT} = 25kΩ	208			ns
t _{OFF(min)}	最小 OFF パルス幅		50			ns
ブート回路						
V _{BOOT-SW(UV_R)}	BOOT-SW UVLO 立ち上がりスレッショルド	V _{BOOT-SW} 立ち上がり	2.9	3.4	3.4	V
過電流保護						
I _{HS_PK(OC)}	ハイサイドおよびローサイドピーク電流制限	LMR71907	0.935	1.1	1.265	A
I _{HS_PK(OC)}	ハイサイドおよびローサイドピーク電流制限	LMR71915	1.87	2.2	2.53	A
I _{LS_V(OC)}	ローサイドのバレー電流制限	LMR71907	0.667	0.785	0.903	A
I _{LS_V(OC)}	ローサイドのバレー電流制限	LMR71915	1.335	1.57	1.805	A
I _{LS(NOC)}	上限側負の電流制限	LMR71907	1.12	1.6	2.08	A
I _{LS(NOC)}	上限側負の電流制限	LMR71915	2.24	3.2	4.16	A
I _{ZC}	ゼロクロス検出電流のスレッショルド		0			A
T _W	再スタート前のヒップ時間		192			ms
パワーグッド						
V _{PGTH}	パワー グッド スレッショルド	FB 立ち下り、PG high から low FB 立ち上がり、PG low から high	0.882	0.9	0.918	V
			0.921	0.95	0.979	V

6.5 電気的特性 (続き)

$T_J = -40^{\circ}\text{C}$ to $+150^{\circ}\text{C}$ 。標準値は、 $T_J = 25^{\circ}\text{C}$ および $V_{IN} = 24\text{V}$ での値 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
R_{PG}	パワー グッド スレッショルド	$V_{FB} = 1\text{V}$		10		Ω
サーマル シャットダウン						
$T_{J(SD)}$	サーマル シャットダウンのスレッショルド ⁽¹⁾	温度上昇		175		$^{\circ}\text{C}$
$T_{J(HYS)}$	サーマル シャットダウン ヒステリシス ⁽¹⁾			10		$^{\circ}\text{C}$

(1) 設計による仕様で、製品テストは未実施

7 詳細説明

7.1 概要

LMR718xx は、使いやすい超低静止電流 (I_Q)、コンスタント オンタイム (COT) の同期整流降圧レギュレータです。ハイサイドおよびローサイド パワー MOSFET を内蔵した LMR719xx は低コスト、高効率の降圧コンバータであり、6V ~ 115V の広い入力電圧範囲で動作し、最大 1.5A または 0.75A の DC 負荷電流を供給できます。LMR719xx は、高電圧アプリケーションで適切な間隔を確保するために 1.27mm のピンピッチを備えた 8 ピン SO PowerPAD IC パッケージで供給されます。このコンスタント オンタイム (COT) コンバータは低ノイズ、大電流、高速負荷過渡要件に最適で、予測型オン時間スイッチング パルスで動作します。入力電圧範囲全体にわたって、入力電圧フィードフォワードを採用して、擬似固定スイッチング周波数を実現します。制御可能なオン時間はわずか 30ns で、高い降圧率を実現でき、最小の強制オフ時間は 50ns で、非常に高いデューティサイクルを実現できます。この動作により、VIN が VOUT に近い値に低下したときの固定周波数動作が可能になります。強制オフ時間 50ns に達すると、デバイスは周波数フォールドバック動作に移行し、一定の出力電圧を維持します。LMR719xx は、スマートピークおよびバレー電流制限検出回路を実装しており、出力短絡状態の発生時にも堅牢な保護を確保します。このレギュレータでは制御ループ補償は不要で、設計時間が短縮し、外部部品点数が減ります。

LMR718xx は、自動モードまたは FPWM モードで動作するように事前プログラムされています。自動モードで動作するように構成されている場合、軽負荷時にはデバイスは超低 I_Q モードに遷移して、高い効率を維持し、システムがスタンバイ状態のときに入力に接続されているバッテリセルの消耗を防止します。FPWM モードに構成している場合、軽負荷時に CCM 動作を維持し、Fly-Buck コンバータの動作を有効にします。Fly-Buck コンバータ構成を使用して、非絶縁型の 1 次側出力と絶縁型の 2 次側出力の両方を生成できます。

LMR719xx には、以下のためのオープンドレインのパワー グッド回路など、包括的なシステム要件を満たすための追加機能が内蔵されています。

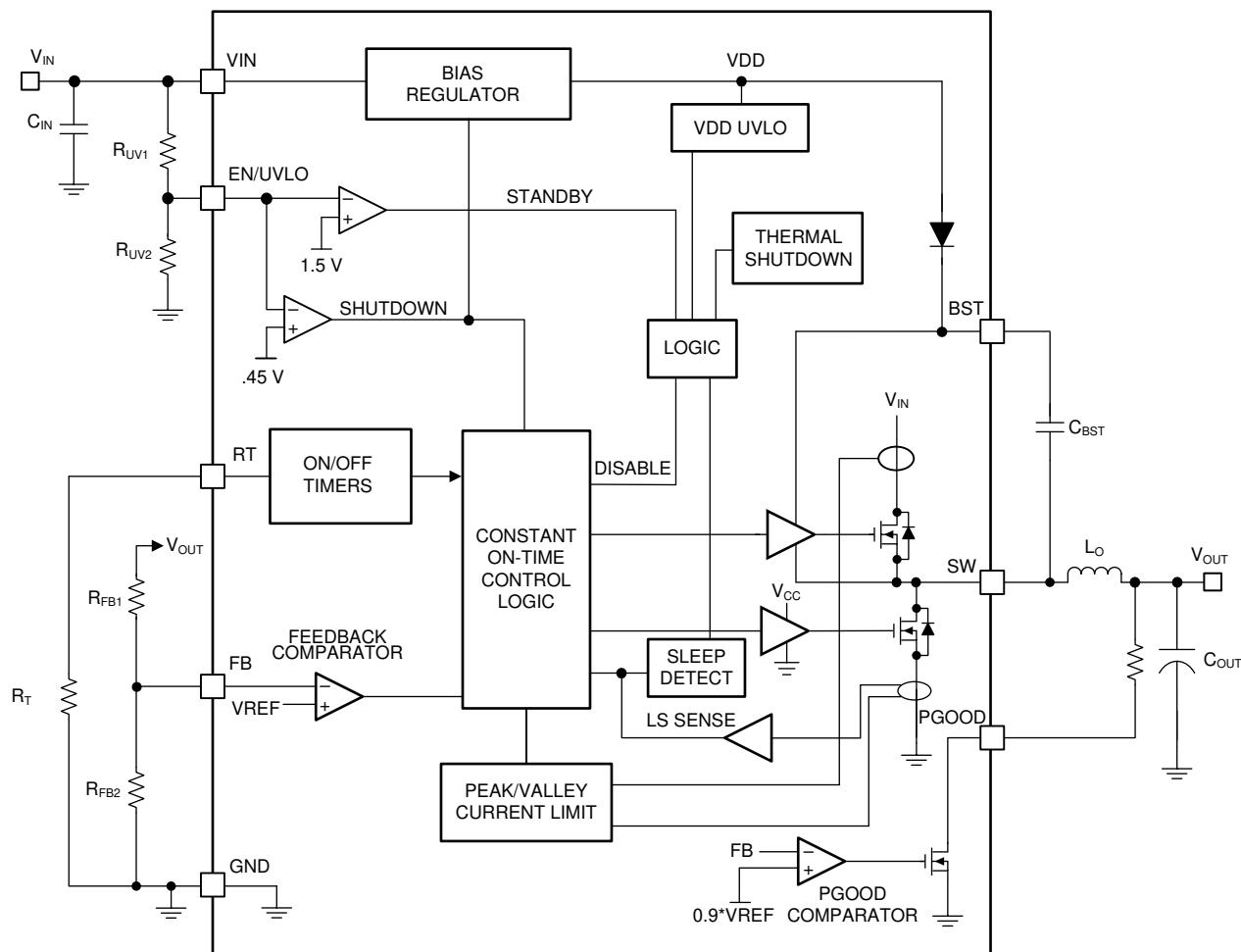
- 電源レール シーケンシングと障害報告機能
- 内部固定ソフトスタート
- プリバイアス負荷への単調なスタートアップ
- 高精度のイネーブルによるプログラム可能なライン低電圧誤動作防止 (UVLO)
- スマートなサイクル単位の電流制限によりインダクタの小型化を実現
- 自動回復機能付きサーマル シャットダウン。

LMR719xx は、過渡電圧が DC レベルから逸脱する高入力電源からの安定化出力を必要とする広範な最終機器をサポートしています。このような最終製品システムの例を以下に示します。

- 48V 車載システム
- 多セルのバッテリパック システム
- 24V 産業用システム
- 48V のテレコムと PoE 電圧範囲

ピン配置は、少数の外部コンポーネントのみを必要とするシンプルなレイアウトになるように設計されています。

7.2 機能ブロック図



7.3 機能説明

7.3.1 制御アーキテクチャ

LMR719xx 降圧スイッチングコンバータは、コンスタント オンタイム (COT) 制御方式を採用しています。COT 制御方式により、タイミング抵抗 (R_T) を使用してハイサイド FET の固定のオン時間 t_{ON} を設定します。 t_{ON} は V_{IN} が変化するにつれて調整され、連続導通モード (CCM) の場合に固定周波数が維持されます。 t_{ON} が経過した後、フィードバックピンが 1V のリファレンス電圧と等しくなるか下回るまで、ハイサイド FET はオフのままであります。安定性を維持するため、帰還コンパレータは、オフ時間時にインダクタ電流と同相となる最小のリップル電圧を必要とします。さらに、オフ時間時の帰還電圧のこの変化は、帰還ノードに存在するすべてのノイズを支配するのに十分な大きさである必要があります。推奨される最小リップル電圧は 20mV です。場合によっては、堅牢な動作のためにより大きなリップル電圧が必要になることがあります。この方法は、SW ピンまたは BST ピンから FB ピンへ過剰な結合が発生している場合に特に当てはまります。タイプ 1 リップル生成法は他の方法よりノイズ注入の影響を受けやすい。入力電圧範囲全体にわたって安定性が確保される各種のリップル注入方式については、表 7-1 を参照してください。

急速スタートアップまたは正の負荷ステップ中、レギュレータはレギュレーションが達成されるまで最小オフ時間で動作します。この機能により、最小の出力電圧アンダーシュートで非常に高速な負荷過渡応答を実現します。定常状態動作で出力をレギュレートする場合、オフ時間は自動的に調整され、出力電圧レギュレーションが固定スイッチング周波数を維持するに必要な SW ピンのデューティサイクルが生成されます。CCM では、スイッチング周波数 F_{SW} は R_T 抵抗によってプログラムされます。

表 7-1. リップル生成方法

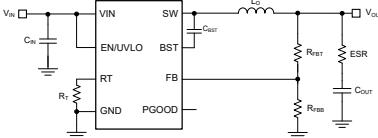
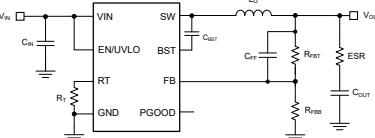
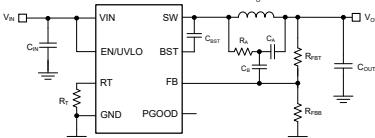
TYPE 1	TYPE 2	TYPE 3
最安コスト 	リップルの低減 	最小リップル 

表 7-1 は、帰還ノードで適切な電圧リップルを生成するための 3 つの異なる方法を示しています。タイプ 1 リップル生成方式では、出力コンデンサと直列に 1 つの抵抗 R_{ESR} を使用します。生成される電圧リップルには、出力コンデンサを充電および放電するインダクタリップル電流に起因する容量性リップルと、出力コンデンサに流れるインダクタリップル電流と直列抵抗 R_{ESR} を介して流れる抵抗性リップルという 2 つの要素があります。容量性リップル成分はインダクタ電流と位相差があり、オフ時間中に単調に減少することはありません。抵抗性リップル成分は、インダクタ電流と同相になり、オフ時間中は単調に減少します。安定した動作を行うには、抵抗性リップルが V_{OUT} において容量性リップルを上回る必要があります。この条件が満たされていない場合、COT コンバータではスイッチングが不安定になり、複数のオン時間バーストが連続して発生し、その後長いオフ時間が続きます。タイプ 1 の式は、帰還ノードで十分な位相内リップルを確保するための直列抵抗 R_{ESR} の値を定義します。

タイプ 2 のリップル生成では、直列抵抗に加えて、 C_{FF} コンデンサが使用されます。出力電圧リップルは C_{FF} によって帰還ノードに直接 AC 結合されるため、 R_{ESR} と最終的に出力電圧リップルは V_{OUT}/V_{FB} の係数で低減されます。

タイプ 3 リップル生成は、 R_A と C_A で構成される RC ネットワークと、スイッチノード電圧を使用して、インダクタ電流と位相が一致する三角波ランプを生成します。この三角波は、コンデンサ C_B とともに帰還ノードに AC 結合されます。この回路は出力電圧リップルを使用しないため、この回路は低出力電圧リップルが重要なアプリケーション向けに設計されています。COT 制御メソッドの詳細については、「[関連ドキュメント](#)」を参照してください。

軽負荷モード動作は、工場オプションとして PFM と DEM 動作に設定すること、または FPWM 動作に設定することができます。ダイオード エミュレーション モード (DEM) は負のインダクタ電流を防止し、パルス スキップは実効スイッチング周波数を下げることで軽負荷電流時に最大の効率を維持します。DEM 動作は、インダクタ バレー電流が 0 に達したときに、同期整流パワー MOSFET がオフになるときに発生します。ここで、負荷電流は CCM のピークツーピークインダクタ電流リップルの半分未満になります。ゼロ電流時にローサイド MOSFET をオフにすることでスイッチング損失が低減され、負の電流導通が防止されるため、導通損失が減少します。DEM コンバータの電力変換効率は、同等の強制 PWM CCM コンバータよりも高くなります。DEM 動作では、負荷電流が減少するにつれて、両方のパワー MOSFET がオフのままである時間が徐々に長くなります。このアイドル期間が 15μs を超えると、コンバータは超低 I_Q モードに遷移し、入力からの静止電流がわずか 5μA です。FPWM 動作では、DEM 機能はオフになります。この動作は、軽負荷時にはデバイスが CCM に維持され、Fly-Buck コンバータ構成で動作できます。

7.3.2 内蔵 VCC レギュレータとブートストラップコンデンサ

LMR719xx には、VIN から公称出力 5V で電力を供給される内部リニア レギュレータが内蔵されているため、リニア レギュレータを安定させるための外付けコンデンサは必要ありません。内部 VCC レギュレータは、同期 FET ドライバやロジック回路を含む内部回路ブロックに電流を供給します。入力ピン (VIN) は、最大 115V のライン電圧に直接接続できます。パワー MOSFET は総ゲート電荷量が低いため、ブートストラップ コンデンサの値を小さくして、内部レギュレータへのストレスを低減します。高品質の 2.2nF X7R セラミック ブートストラップ コンデンサを選択します。SW 電圧が低いときは、

内部ダイオードが VCC レギュレータから BST ピンに接続され、ハイサイド ゲート駆動のブート ストラップ コンデンサの電荷を補充します。

7.3.3 内部ソフトスタート

LMR719xx は、ソフトスタート制御ランプを内蔵しており、出力電圧を定常状態の動作点に徐々に到達させることで、起動時ストレスと電流サーボを低減できます。ソフトスタート機能により、制御された単調な出力電圧スタートアップが生成されます。ソフトスタート時間は内部的に 3ms に設定されています。

7.3.4 オン時間ジェネレータ

LMR719xx ハイサイド FET のオン時間は R_T 抵抗によって決定され、入力電圧 V_{IN} に反比例します。 V_{IN} の反比例により、 V_{IN} が変化すると、周波数はほぼ一定になります。式 1 を使用してオン時間を計算します。ここで、 R_T は kΩ 単位です。

$$T_{ON} = \frac{R_T}{2.5 \times V_{IN}} [\mu\text{s}] \quad (1)$$

式 2 を使用して R_T 抵抗を決定し、CCM で特定のスイッチング周波数を設定します。 f_{SW} は kHz 単位です。

$$R_T = \frac{2500 \times V_{OUT}}{f_{SW}} [\text{k}\Omega] \quad (2)$$

適切な降圧動作を実現するには 30ns 以上、適切な Fly-Buck コンバータ動作のために 100ns 以上の最小オン時間（最大 V_{IN} 時）に R_T を選択します。この最小オン時間に加えて、このデバイスの最大周波数は 1MHz に制限されます。

7.3.5 電流制限

LMR71907P は、ピーク インダクタ電流をサイクルごとに制限することで過電流状態を管理します。ハイサイド MOSFET で検出された電流は、スイッチング サイクルごとに電流制限スレッショルド（標準値 1.1A）と比較されます。電流暴走の可能性からコンバータを保護するため、LMR71907P は 0.75A に設定されたフォールドバック バレー電流制限機能を備えており、ピーク電流制限が検出された場合にイネーブルになります。図 7-1 に示すように、ハイサイド MOSFET のピーク電流が 1.1A を超えると、設定されたオン時間 (t_{ON}) に関係なく、現在のサイクルが直ちに終了し、ハイサイド MOSFET がオフになり、フォールドバック バレー電流制限が作動します。ローサイド MOSFET は、インダクタ電流がこのフォールドバック バレー電流制限値を下回るまでオンのままで、その後で次のオンパルスが開始されます。この方式は、過熱を防止するためにスイッチング周波数をフォールドバックし、LMR71907P では平均出力電流を 0.75A 未満に制限して、適切な短絡および重負荷保護を確保します。

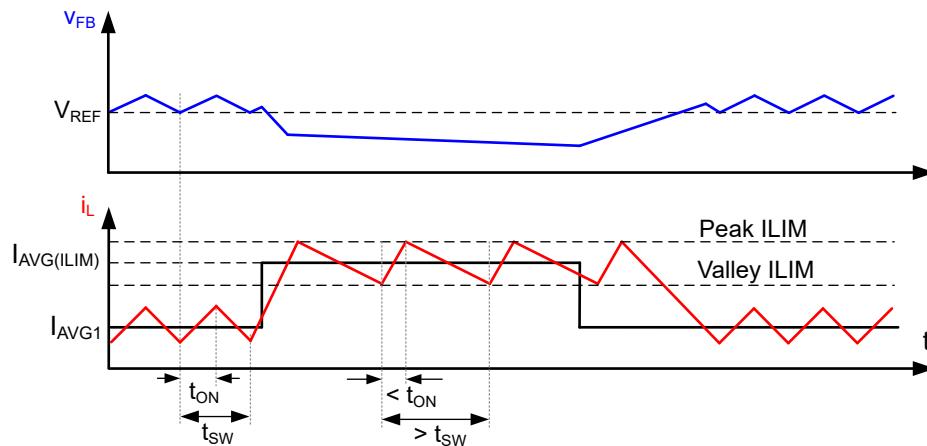


図 7-1. 電流制限のタイミング図

ハイサイド MOSFET のターンオン遷移後、リーディング エッジのブランкиング時間の後に電流が検出されます。電流制限コンパレータの伝播遅延は 100ns です。オン時間が 100ns 未満の高ステップダウン状態では、ローサイド FET のバックアップ ピーク電流制限コンパレータも 2.2A または 1.1A に設定され、フォールドバック バレー電流制限が 1.5A または 0.75A に設定されるようになります。この優れた電流制限方式により、非常に低いデューティ サイクルで動作できるため、大きな降圧電圧変換が可能になり、コンバータの堅牢な保護が保証されます。

LMR71907F, LMR71915F には、電流制限オフタイマとヒップ保護機能が実装されています。ハイサイド MOSFET の電流が $I_{HS_PK(OC)}$ を超えると、ハイサイド MOSFET が直ちにオフになり、リセット不可能なオフタイマが開始されます。オフ時間の長さは、帰還電圧と入力電圧によって制御されます。オフタイマにより、Fly-Buck コンバータ構成での安全な短絡動作が保証されます。2 次側出力で過負荷電流が発生すると、1 次側電圧がレギュレーション状態に維持されている間に 2 次側電圧が低下する可能性があります。この動作により、過負荷状態後に 2 次側出力電圧が回復しない状況が発生します。ヒップ保護機能により、ソフトスタート カウンタにより、電流制限サイクル連続 16 の間過電流イベントが検出された後で、2 次側と 1 次側の両方の出力電圧が適切に回復できるようになります。電流制限検出なしで連続 8 サイクル後、ヒップ保護カウンタを再起動します。これらのデバイスは、192ms のヒップ期間の後にソフトスタートを試みます。

7.3.6 N チャネル降圧スイッチおよびドライバ

LMR719xx は、N チャネル降圧スイッチと関連するフローティング ハイサイド ゲートドライバを内蔵しています。このゲートドライバ回路は、外付けのブートストラップ コンデンサおよび内部の高電圧ブートストラップ ダイオードと連動して動作します。BST ピンと SW ピンの間に接続された高品質セラミック コンデンサは、降圧スイッチのオン時間中にハイサイドドライバに電圧を供給します。詳しくは、[セクション 7.3.2](#) を参照してください。オフ時間中は、SW ピンが約 0V にプルダウンされ、ブートストラップ コンデンサは内部ブートストラップ ダイオードを経由して内部 VCC から充電されます。最小オフタイマを 50ns (標準値) に設定すると、各サイクルでブートストラップ コンデンサを再充電するための最小時間が確保されます。オン時間が 150ns 未満の場合、BST コンデンサが 1 サイクルで充電されるように、最小オフタイマは強制的に 200ns になります。これは、BST コンデンサが最も放電された可能性が高い状態で、スリープ モードからのウェークアップ時に非常に重要です。

7.3.7 同期整流器

LMR719xx は、ローサイドの同期整流 N チャネル MOSFET を内蔵しています。この MOSFET は、ハイサイド MOSFET がオフになったときにインダクタ電流が流れるような、低抵抗の経路を提供します。

同期整流器は、ダイオード エミュレーション モードで動作します。ダイオード エミュレーションにより、軽負荷状況でレギュレータはパルスをスキップ モードで動作できます。このモードでは、軽負荷時に平均スイッチング周波数が低下します。スイッチング損失と FET ゲートドライバ損失はどちらもスイッチング周波数に比例しており、負荷が非常に軽い場合には大幅に低減され、効率が向上します。このパルス スキップ モードでは、軽負荷時に従来の CCM に関連する循環インダクタの電流と損失も低減されます。

7.3.8 イネーブル、低電圧誤動作防止 (EN/UVLO)

LMR719xx には、デュアルレベル EN/UVLO 回路が含まれています。EN/UVLO 電圧が 0.45V (標準値) を下回ると、コンバータは低電流のシャットダウン モードになり、入力静止電流 (I_Q) は 0.7μA (標準値) まで低下します。電圧が 1.1V より高く、1.5V (標準値) を下回る場合、コンバータはスタンバイ モードになります。スタンバイ モードでは、制御回路がディスエーブルの間、内部バイアス レギュレータがアクティブです。電圧が立ち上がりスレッショルドの 1.5V (標準値) を超えると、通常動作が開始します。VIN と GND の間に分圧抵抗を取り付けて、レギュレータの最小動作電圧を設定します。入力電圧 UVLO の実装を希望する場合は図 7-2、式 3、および式 4 を参照してください。通常、 R_{UV1} の値を選択し、式 3 目的の V_{ON} に基づいて R_{UV2} の値を計算します。 R_{UV1} の妥当な値は 1MΩ の範囲です。次に、式 4 を使用して結果として得られる V_{OFF} を計算します。 V_{ON} と V_{OFF} は、それぞれデバイスがオンとオフを切り替える入力電圧です。

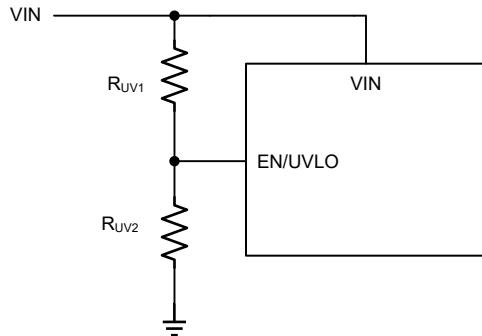


図 7-2. 入力 UVLO の接続

$$R_{UV2} = R_{UV1} \times \left(\frac{V_{EN(R)}}{V_{ON} - V_{EN(R)}} \right) \quad (3)$$

$$V_{OFF} = V_{EN(F)} \times \left(1 + \frac{R_{UV1}}{R_{UV2}} \right) \quad (4)$$

入力 UVLO が不要な場合、EN/UVLO をロジック信号によって駆動されるイネーブル入力として駆動するか、VIN に直接接続できます。EN/UVLO が VIN に直接接続されている場合、レギュレータは、内部バイアスレールがアクティブになるとすぐにスイッチングを開始します。VIN に約 4.5V です。

7.3.9 パワー グッド (PGOOD)

LMR719xx は、出力電圧がレギュレーション レベル内にあることを示す PGOOD フラグ ピンを備えています。PGOOD 信号は、下流コンバータの起動シーケンスや障害保護および出力監視に使用します。PGOOD は、14V 以下の DC 電源へのプルアップ抵抗を必要とするオープンドレイン出力です。プルアップ抵抗の標準範囲は 10kΩ から 100kΩ です。必要に応じて、高い電圧プルアップ レールからの電圧を下げるために、抵抗分圧器を使用します。FB 電圧が内部リファレンス V_{REF} の 95% を超えると、内部 PGOOD スイッチがオフになり、外部プルアップにより PGOOD が high にプルアップされます。FB 電圧が V_{REF} の 90% を下回ると、内部の 7Ω PGOOD スイッチがオンになり、PGOOD が low にプルされて、出力電圧が安定化範囲を外れたことを示します。PGOOD の立ち上がりエッジには、5μs のグリッチ除去遅延が組み込まれています。

7.3.10 過熱保護

LMR719xx には、通常の接合部温度よりも高くなった場合にデバイスを保護するため、接合部温度モニタが内蔵されています。接合部温度が 175°C (標準値) を超えると、それ以上の電力消費および温度上昇を防ぐためにサーマル シャットダウンが発生します。LMR719xx は、10°C の標準的なサーマル シャットダウンヒステリシスに基づいて、接合部温度が 165°C に低下すると再起動シーケンスを開始します。この保護は非ラッチ保護の役割を果たしているため、障害が継続している場合は、デバイスはサーマル シャットダウン状態の開始と終了を繰り返します。

7.4 デバイスの機能モード

7.4.1 シャットダウンモード

EN/UVLO ピンは、LMR719xx の ON / OFF を制御します。 $V_{EN/UVLO}$ が約 0.45V を下回ると、デバイスはシャットダウンモードになります。内部リニアレギュレータとスイッチングレギュレータの両方がオフになります。シャットダウンモードでの静止電流は、 $V_{IN} = 24V$ で標準 0.7 μA まで低下します。LMR719xx は内部バイアスレールの低電圧保護も採用しています。入力電圧が約 4.5V 未満の場合、レギュレータはオフのままになります。

7.4.2 アクティブモード

LMR719xx は、 $V_{EN/UVLO}$ が高精度有効化しきい値を超えており、内部バイアスレールが UV スレッショルドを超えている場合にアクティブモードになります。COT アクティブモードでは、LMR719xx は負荷電流に応じて、次のいずれかのモードになります：

1. 負荷電流がピークツーピーク インダクタ電流リップルの半分を超える場合の固定スイッチング周波数による CCM
2. 自動モード (P デバイス指定子) - 軽負荷動作: CCM 動作時に負荷電流がピークツーピークインダクタ電流リップルの半分未満の場合は、パルススキップとダイオードエミュレーションモード (DEM) になります。
3. FPWM モード (F デバイス指定子) - 軽負荷動作: 負荷電流範囲全体にわたって連続導通モード (CCM)。これには、負荷電流がインダクタリップル電流の 1/2 未満である場合も含まれます
4. 出力に過電流状態が印加された際のピークおよびバレー電流制限保護付きの電流制限 CCM

7.4.3 スリープモード

制御アーキテクチャでは、LMR719xx ダイオードエミュレーション (DEM) 機能について簡単に説明します。軽負荷状態において、インダクタ電流がゼロに減衰し、同期 MOSFET がオフになると、コンバータは DEM に移行して、システムに負の電流を防止します。DEM 状態では、負荷電流はピークツーピーク インダクタリップル電流の半分未満になり、デバイスがパルススキップモードで動作するため、負荷がさらに減少するとスイッチング周波数は低下します。 V_{FB} が 1V を下回ると、スイッチングパルスが設定されます。

動作周波数が減少し、 V_{FB} が 1V (V_{REF}) を超えて負荷電流を供給する出力コンデンサが 15 μs を超えると、コンバータは超低 I_Q スリープモードに移行して、入力電源が消費されないようにします。LMR719xx で必要とされる入力静止電流 (I_Q) は、スリープモードでは標準 5 μA まで減少し、レギュレータの軽負荷効率を向上させます。このモードでは、デバイスの消費電流を非常に低くするため、すべての内部コントローラ回路がオフになります。このように I_Q が低いため、LMR719xx は、バッテリー不要のアプリケーションで動作寿命を延ばすための最適な選択肢となります。FB コンバータと内部バイアスレールがアクティブになり、FB 電圧が内部リファレンス V_{REF} を下回ったときに、コンバータがスリープモードからアクティブモードへ移行することを検出します。スリープからアクティブ状態への 9 μs ウェークアップ遅延があります。

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

LMR719xx では、広範囲の電源電圧から固定出力電圧に降圧する降圧コンバータを作成するために、わずかな外部コンポーネントのみが必要です。このデバイスには、システム設計要件を満たすため、以下を含む複数の機能が内蔵されています。

- 高精度のイネーブル
- 入力電圧 UVLO
- 内部ソフトスタート
- プログラマブルなスイッチング周波数
- PGOOD インジケータ

8.2 代表的な Fly-Buck™ コンバータ アプリケーション

LMR719xxF は、FPWM モードで動作する Fly-Buck コンバータ アプリケーション用に設計されています。図 8-1 に、各出力から 625mA を供給できる 12V 補助出力を備えた 12V 出力 Fly-Buck コンバータレギュレータの回路図を示します。LMR719xxF のアプリケーション例として使用されています。2 次側出力グランドは、入力電源グランドに対してフローティングにできることに注意します。この例で使用されている Fly-Buck コンバータの用語については、表 8-1 を参照してください。

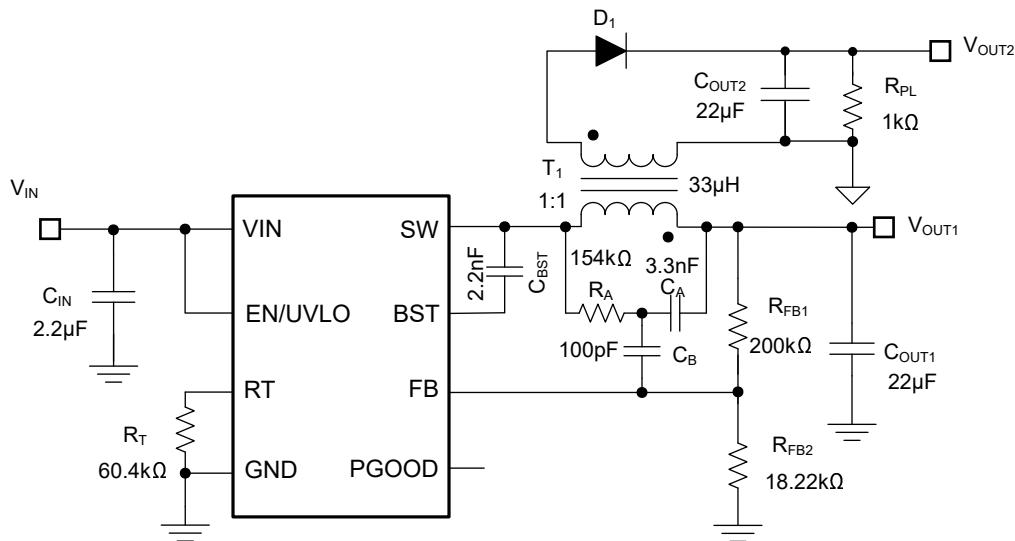


図 8-1. Fly-Buck™ コンバータ アプリケーション回路例

表 8-1. Fly-Buck™ コンバータに関する用語

用語	説明
V_{OUT1}	降圧レギュレータと同様の 1 次側出力電圧。この出力は、LMR719xx によって厳格に安定化されています。
V_{OUT2}	結合型インダクタの 2 次巻線からの 2 次側出力電圧。この電圧は厳密にレギュレーションされていませんが、1 次側と 2 次側の寄生電圧降下に依存します。
I_{OUT1}	降圧レギュレータの 1 次側出力電流
I_{OUT2}	結合型インダクタ 2 次巻線からの 2 次側出力電流

注

このデータシートでは、静電容量の 実効 値は、定格値や銘板値ではなく、D.C. バイアスおよび温度における実際の容量として定義されます。X5R 以上の誘電体を使用した、高品質で低 ESR のセラミックコンデンサを全体にわたって使用してください。値の大きいセラミックコンデンサは、すべて、通常の許容誤差と温度効果に加えて、電圧係数が大きくなります。D.C. バイアスを印加すると、静電容量は大幅に低下します。この点については、ケース サイズが大きく、より高い電圧定格のものが望ましいです。これらの影響を軽減するために、複数のコンデンサを並列に使用すれば、最小実効静電容量を必要な値まで大きくすることができます。この使用方法により、個別のコンデンサの RMS 電流要件も緩和されます。実効静電容量の最小値を確実に実現するために、コンデンサ バンクのバイアスおよび温度変動を慎重に検討する必要があります。

8.2.1 設計要件

表 8-2 に、LMR719xx を使用した一般的な Fly-Buck コンバータ アプリケーションの設計要件を示します。

表 8-2. 詳細設計パラメータ

設計パラメータ	数値の例
公称入力電圧	48V
入力電圧範囲	34V ~ 75V (115V で動作可能)
1 次側出力電圧	12V
2 次側出力電圧	12V
1 次側出力電流	0.625A
2 次側出力電流	0.625A
スイッチング周波数	500kHz

8.2.2 詳細な設計手順

8.2.2.1 スイッチング周波数 (R_T)

LMR719xx のスイッチング周波数は、RT ピンに接続されたオン時間プログラミング抵抗によって設定されます。式 2 を使用して、目的のスイッチング周波数に基づいて R_T を計算します。この 500kHz の例では 60.4kΩ が使用されます。

デューティサイクルが非常に低い場合、ハイサイド MOSFET の 30ns の最小制御可能オン時間 $t_{ON(min)}$ により、最大スイッチング周波数が制限されることに注意します。CCM では、 $t_{ON(min)}$ により、指定されたスイッチング周波数に対する電圧変換の降圧比が制限されます。

最終的に、与えられた出力電圧に対するスイッチング周波数の選択は、利用可能な入力電圧範囲、設計サイズ、および効率に影響を与えます。

8.2.2.2 トランジスタの選択

この Fly-Buck コンバータ アプリケーションでは、結合型インダクタ（トランジスタとも呼びます）が必要です。最初のステップは、巻線比を決定することです。Fly-Buck コンバータでは、2 次側出力電圧は、反射 1 次側出力電圧に巻線比を乗じた値よりわずかに小さくなります。式 5 は、与えられた V_{OUT1} と V_{OUT2} の巻線比を計算するために使用できます。最も近い整数比を選択する必要があります。2 次側ダイオードの電圧降下や 2 次側での他の寄生電圧降下により、 V_{OUT2} は計算値よりわずかに小さい値です。また、2 次側電圧はコントローラにはフィードバックされないため、レギュレーションが適切ではないことに注意してください。この例では、 V_{OUT2} は V_{OUT1} と等しいため、巻線比を 1:1 にします。

$$\frac{V_{OUT2}}{V_{OUT1}} \approx \frac{N_2}{N_1} \quad (5)$$

次に、1 次側インダクタンスを計算する必要があります。この計算は通常の降圧レギュレータのインダクタンスを計算することと同じで、目的の 1 次側リップル電流が基づいています。通常、1 次側電流の 20% ~ 40% のリップル電流を使用します。式 6 に、Fly-Buck コンバータの 1 次側電流を示し、式 7 は、必要な 1 次側インダクタンスを供給します。48V の入力電圧と表 8-2 に示すその他のパラメータを使用すると、36μH の値になります。この例では、標準値の 33μH が選択されます。

$$I_{PRI} = I_{OUT1} + I_{OUT2} \times \frac{N_2}{N_1} \quad (6)$$

$$L = \frac{V_{IN} - V_{OUT1}}{K \times I_{PRI} \times F_{SW}} \times \frac{V_{OUT1}}{V_{IN}} \quad (7)$$

ここで、

- K = リップル電流係数 = 20% ~ 40%

最後に、トランジスタ内の最大電流を確認する必要があります。

8.2.2.3 2 次出力ダイオード

2 次側出力ダイオードは、トランスの巻線比を使用して、2 次側に反射される最大入力電圧をブロックする必要があります。ダイオードの最大逆電圧を決定するには、式 8 を使用します。この例では、値 127V が計算され、200V のダイオードを選択しています。ダイオードの電流定格は、適切な安全係数を使って 2 次側出力電流と少なくとも等しい必要があります。ショットキー ダイオードは、このアプリケーションに最適です。超高速回復ダイオードを使用することもできます。いずれの場合も、ターンオフ時間が最も短いダイオードを選択してください。

$$V_R > V_{IN} \frac{N_2}{N_1} + V_{OUT2} \quad (8)$$

8.2.2.4 C_{BST} の選択

LMR719xx では、BST ピンと SW ピンの間にブートストラップ コンデンサを接続する必要があります。このコンデンサは、パワー MOSFET のゲートドライバに電力を供給するために使用するエネルギーを蓄積します。高品質の 2.2nF セラミックタイプが必要です。コンデンサの DC バイアスのディレーティングを必ず考慮してください。C_{BST} の値は、2.5nF を超えないようにしてください。

8.2.2.5 最小 2 次側出力負荷

2 次側出力では、特定の条件で出力電圧が過度に高くなることを防止するため、常にダミー負荷を接続する必要があります。2 次側出力は制御ループによって厳密に安定化されていないため、トランスとダイオードの寄生成分が原因で、2 次側出力負荷でエネルギーが消費されない限り、C_{OUT2} は高いレベルまで充電することができます。この例では、1kΩ 抵抗を 2 次側出力の最小負荷として使用しています。必要に応じて、ツェナーダイオードを使用して 2 次側出力電圧をクランプすることもできます。

8.3 電源に関する推奨事項

LMR719xx 降圧コンバータは、6V ~ 115V の広い入力電圧範囲で動作するように設計されています。入力電源の特性は、「絶対最大定格」表と「推奨動作条件」表に適合している必要があります。また、入力電源は、全負荷時のレギュレータに必要な入力電流を供給できる必要があります。平均入力電流を見積るには、式 9 を使用します。

$$I_{IN} = \frac{V_{OUT} \times I_{OUT}}{V_{IN} \times \eta} \quad (9)$$

ここで、

η = 効率

コンバータが高インピーダンスを持つ長い配線や PCB パターンを経由して入力電源に接続されている場合、入力ケーブルの寄生インダクタンスと抵抗はコンバータの動作に悪影響を及ぼす可能性があります。寄生インダクタンスと低 ESR セラミック入力コンデンサを組み合わせることで、不足減衰共振回路が形成されます。この回路は、入力電源がオンとオフを周期的に切り替わるたびに、VIN で過電圧過渡が発生する可能性があります。寄生抵抗により、負荷過渡中に入力電圧が低下する場合があります。コンバーターが最小入力電圧に近い値で動作している場合、この低下によって UVLO フォルトが誤って起動され、システムがリセットされる可能性があります。こうした問題を解決する最善策は、入力電源からレギュレータまでの距離を短くして、セラミックと並列にアルミニウム電解入力コンデンサを使用することです。電解コンデンサの ESR は比較的低いため、入力共振回路は減衰し、電圧オーバーシュートを低減することができます。標準 ESR が 0.5Ω の 10μF 電解コンデンサは、ほとんどの入力回路構成で十分な減衰を実現します。

レギュレータの前に EMI 入力フィルタを使用することがあります。ただし、設計に留意しなければ、これにより不安定な状態が起きる、または前述のような影響を及ぼすおそれがあります。『DC/DC コンバータ向け伝導 EMI の簡単な成功事例 アプリケーションレポート』では、スイッチングレギュレータの入力フィルタを設計する際に役立つ提案を紹介しています。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

PCB レイアウトは、優れた電源設計のために重要な要素です。高スルーレートの電流や電圧を伝導するパスが複数存在し、これらが浮遊インダクタンスや寄生容量と相互作用してノイズや EMI を生成したり、電源のパフォーマンスを低下させたりする可能性があります。

- これらの問題をなくすため、高品質誘電体を使用した低 ESR のセラミックバイパスコンデンサを使用して VIN ピンを GND にバイパスします。C_{IN} を LMR719xx VIN ピンと GND ピンにできるだけ近づけて配置します。入力コンデンサと出力コンデンサの両方の接地は、GND ピンと GND PAD に接続する局所的な上側プレーンで構成する必要があります。
- VIN および GND ピンへの入力コンデンサ接続によって形成されるループの面積を最小限に抑えます。
- インダクタを SW ピンの近くに配置します。過度の容量性結合を防止するため、SW パターンまたはプレーンの面積を最小限に抑えます。
- GND ピンはデバイスの下のパワーパッドに直接接続し、ヒートシンク PCB のグランドプレーンに接続します。
- 中間層のグランドプレーンの 1 つをノイズシールドおよび放熱経路として使用します。
- プレーンに対して単一点のグランド接続を使用します。フィードバック用のグランド接続を配線し、コンポーネントをグランドプレーンに接続します。このアクションにより、スイッチングされた電流や負荷電流がアナロググランドパターンに流れるのを防ぎます。グランドが適切に処理されないと、負荷レギュレーションが劣化したり、出力電圧リップルの動作が不安定になったりする場合があります。
- V_{IN}、V_{OUT}、およびグランドバスの接続は、できる限り幅広くします。こうすることにより、コンバータの入力または出力バスで生じる電圧降下が低減され、効率が最大になります。
- FB ピンへのパターン長を最短にします。両方の帰還抵抗 R_{FB1} と R_{FB2} を FB ピンの近くに配置します。C_{FF} (使用する場合) を R_{FB1} と直接並列に配置します。負荷での出力設定ポイントの精度が重要な場合、V_{OUT} センスを負荷に接続します。V_{OUT} センスバスをノイズの多いノードから遠ざけ、できれば接地されたシールド層の反対側の層を経由して配線します。
- R_T ピンはノイズの影響を受けやすくなっています。そのため、R_T 抵抗はデバイスにできる限り近づけて配置し、最短のパターン長で配線します。RT から GND への寄生容量は、20pF を超えないようにする必要があります。

- 接合部温度を 150°C 未満に維持するために、LMR719xx には十分なヒートシンクを用意してください。全定格負荷で動作する場合、上面のグランドプレーンは重要な放熱面積になります。ヒートシンクビアの配列を使用して、露出パッドを PCB グランドプレーンに接続します。PCB に複数の銅層がある場合は、これらのサーマルビアが内層の熱拡散グランドプレーンにも接続されていることを確認してください。

8.4.1.1 コンパクトな PCB レイアウトによる EMI の低減

高 di/dt コンポーネントによって生成される放射 EMI は、スイッチングコンバータのパルス電流に関連しています。パルス電流の経路がカバーする面積が大きいほど、より多くの電磁放射が発生します。放射 EMI を最小化するための鍵は、パルス電流経路を識別し、そのパスの面積を最小化することです。降圧コンバータのトポロジーアーキテクチャでは、入力コンデンサと LMR719xx の統合 MOSFET で構成されるループに特に高い di/dt 電流パスが存在するため、有効ループ領域を最小限に抑えてこのループの寄生インダクタンスを減らすことが必須になります。

入力コンデンサは、ハイサイド MOSFET の電流の高 di/dt 成分に対してプライマリパスとなります。セラミックコンデンサを VIN および GND ピンにできる限り近づけて配置することが、EMI 低減のために重要となります。 SW をインダクタに接続するトレースは、できる限り短くし、過度の加熱なしに負荷電流を流すのに十分な幅にしてください。寄生抵抗を最小限に抑えるため、電流の伝導パスには、短く、太いパターン、または銅箔(形状)を使用します。出力コンデンサはインダクタの V_{OUT} 側の近くに配置し、コンデンサのリターン端子を GND ピンと露出パッドに接続します。

8.4.1.2 帰還抵抗

分圧抵抗を負荷ではなく FB ピン近くに配置することで、出力電圧帰還パスのノイズの影響を小さくします。これにより、 FB 信号とノイズ結合のパターン長が短くなります。 FB ピンは帰還コンパレータへの入力であるため、ノイズの影響を受けやすい高インピーダンスノードです。出力ノードは低インピーダンスノードであるため、 V_{OUT} から分圧抵抗へのパターンは、短いパスを使用できなければ長くても許容されます。

電圧センストレースを負荷からフィードバック抵抗分割器まで配線し、 SW ノード、インダクタ、および V_{IN} から離して、フィードバック信号がスイッチノイズによって汚染されるのを防ぎながら、トレース長を最小限に抑えます。出力電圧を設定するために $100\text{k}\Omega$ より大きな帰還抵抗を使う場合、この動作は最も重要です。また、電圧センスパターンは、インダクタ、 SW ノード、 V_{IN} とは異なる層に配線します。そのため、帰還パターンをインダクタと SW ノードの銅ポリゴンから分離するグランドプレーンがあります。この動作により、スイッチングノイズ源からの電圧帰還パスをさらにシールドできます。

8.4.2 レイアウト例

図 8-2 に、PCB 最上層に、重要な部品を上面に配置したレイアウト例を示します。

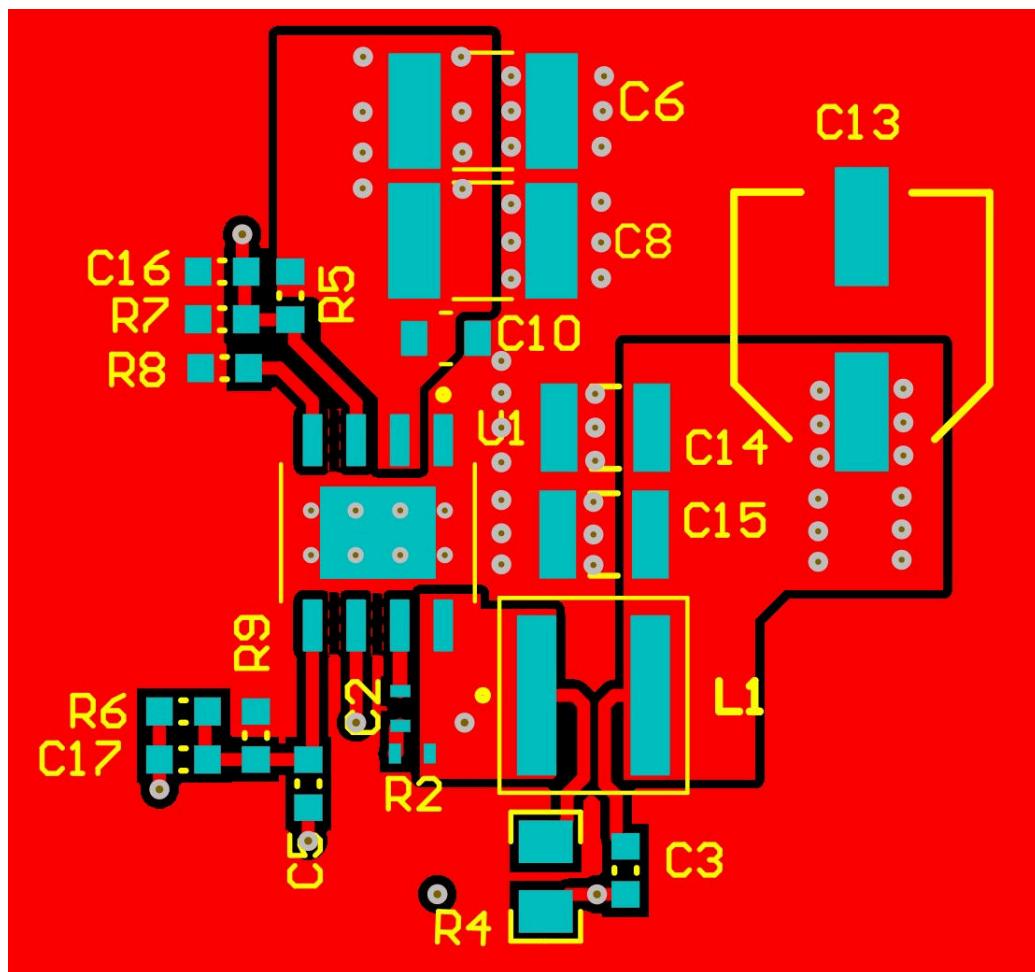


図 8-2. LMR719xx の PCB レイアウト例

9 デバイスおよびドキュメントのサポート

9.1 デバイス サポート

9.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

9.2 ドキュメントのサポート

9.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『COT タイプ III リップル回路の安定性解析』アプリケーションノート
- テキサス・インスツルメンツ、『絶縁型 Fly-Buck コンバータの設計』アプリケーションレポート
- テキサス・インスツルメンツ、『オプトカプラーを使用したフライバックソリューションの設計 アプリケーションレポート』アプリケーションノート
- テキサス・インスツルメンツ、『LMR36520 を使用した絶縁型 Fly-Buck コンバータの設計』アプリケーションノート
- テキサス・インスツルメンツ、『COT 降圧コンバータに最適なリップル生成ネットワークの選択』アプリケーションノート
- テキサス・インスツルメンツ、コスト効率が高く要求の厳しいアプリケーションにおける広い V_{IN} 、低 EMI 同期降圧回路の評価ホワイトペーパー
- テキサス・インスツルメンツ、『電源の伝導 EMI 仕様の概要』ホワイトペーパー
- テキサス・インスツルメンツ、『電源の放射 EMI 仕様の概要』ホワイトペーパー
- テキサス・インスツルメンツ、『スマートサーモスタット用の広い V_{IN} コンバータとバッテリ残量計を備えた 24V AC 電力段』デザインガイド
- テキサス・インスツルメンツ、高精度ゲージ、50 μ A スタンバイ電流、13S、48V リチウムイオンバッテリー バッククリアランスデザインガイド
- テキサス・インスツルメンツ、『AN-2162: DC/DC コンバータ向け伝導 EMI の簡単な成功事例』アプリケーションノート
- テキサス・インスツルメンツ、『広い V_{IN} DC/DC コンバータによるドローンへの電力供給』アプリケーションノート
- テキサス・インスツルメンツ、『新しい熱評価基準の解説』アプリケーションノート

9.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.5 商標

フライバック™, PowerPAD™, and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments. すべての商標は、それぞれの所有者に帰属します。

9.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお奨めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.7 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

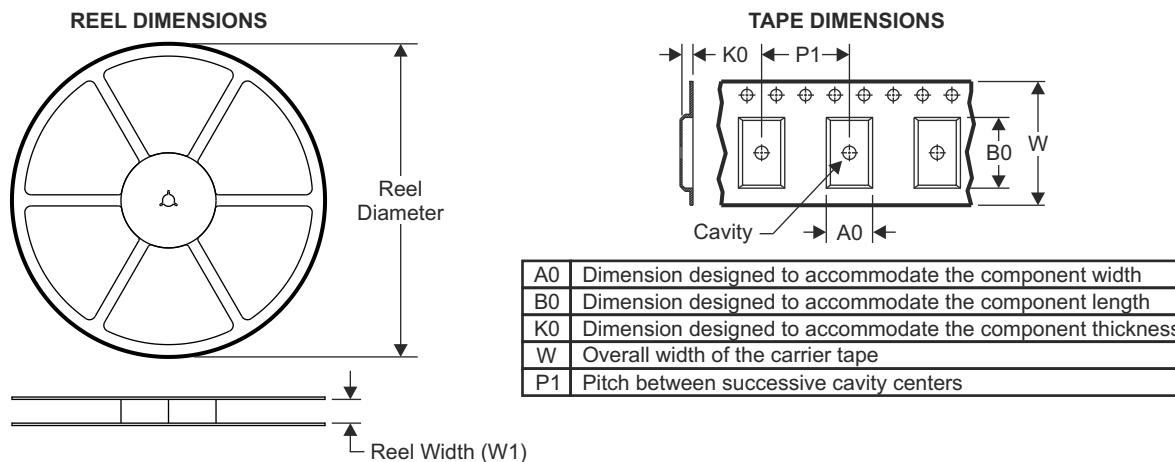
10 改訂履歴

日付	改訂	注
July 2025	*	初版リリース

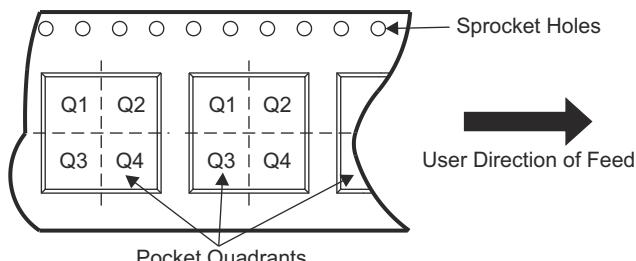
11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのプラウザ版を使用されている場合は、画面左側の説明をご覧ください。

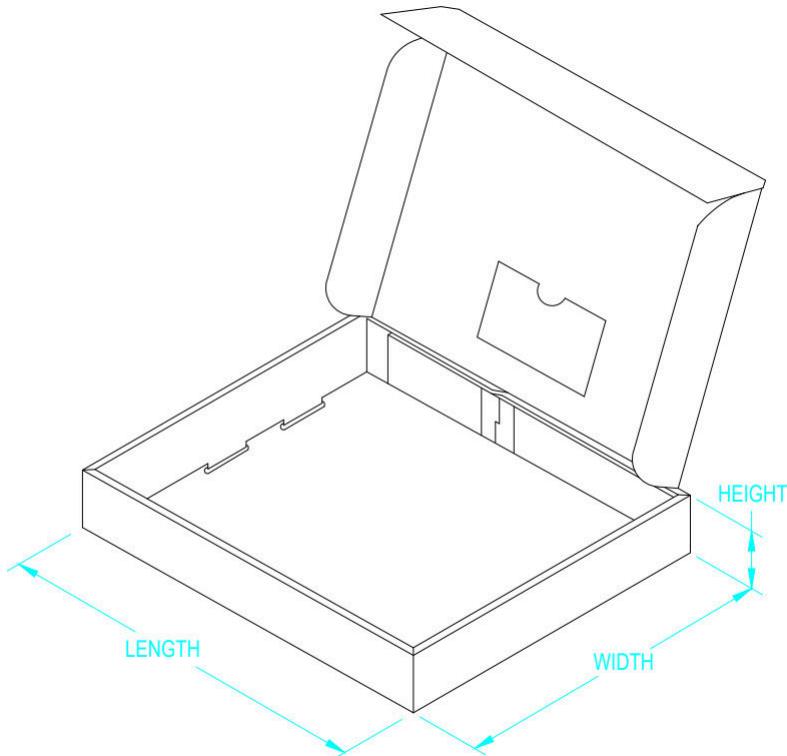
11.1 テープおよびリール情報



QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



デバイス	パッケージ タイプ	パッケージ 図	ピン	SPQ	リール 直径 (mm)	リール 幅 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	ピン 1 の 象限
LMR71915FDDARQ1	SOIC	DDA	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1



デバイス	パッケージタイプ	パッケージ図	ピン	SPQ	長さ (mm)	幅 (mm)	高さ (mm)
LMR71915FDDARQ1	SOIC	DDA	8	3000	353	353	35

ADVANCE INFORMATION

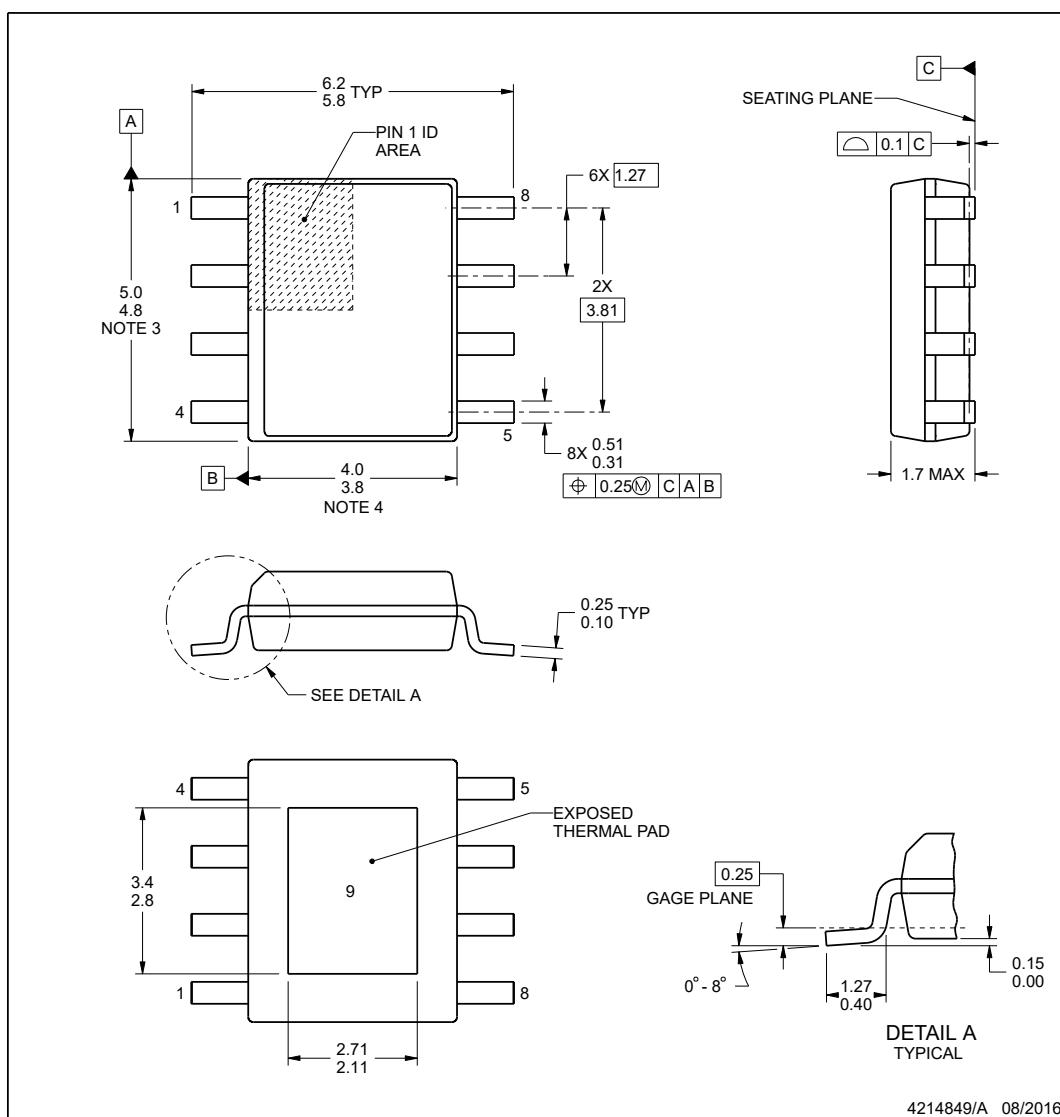
PACKAGE OUTLINE

DDA0008B



PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE

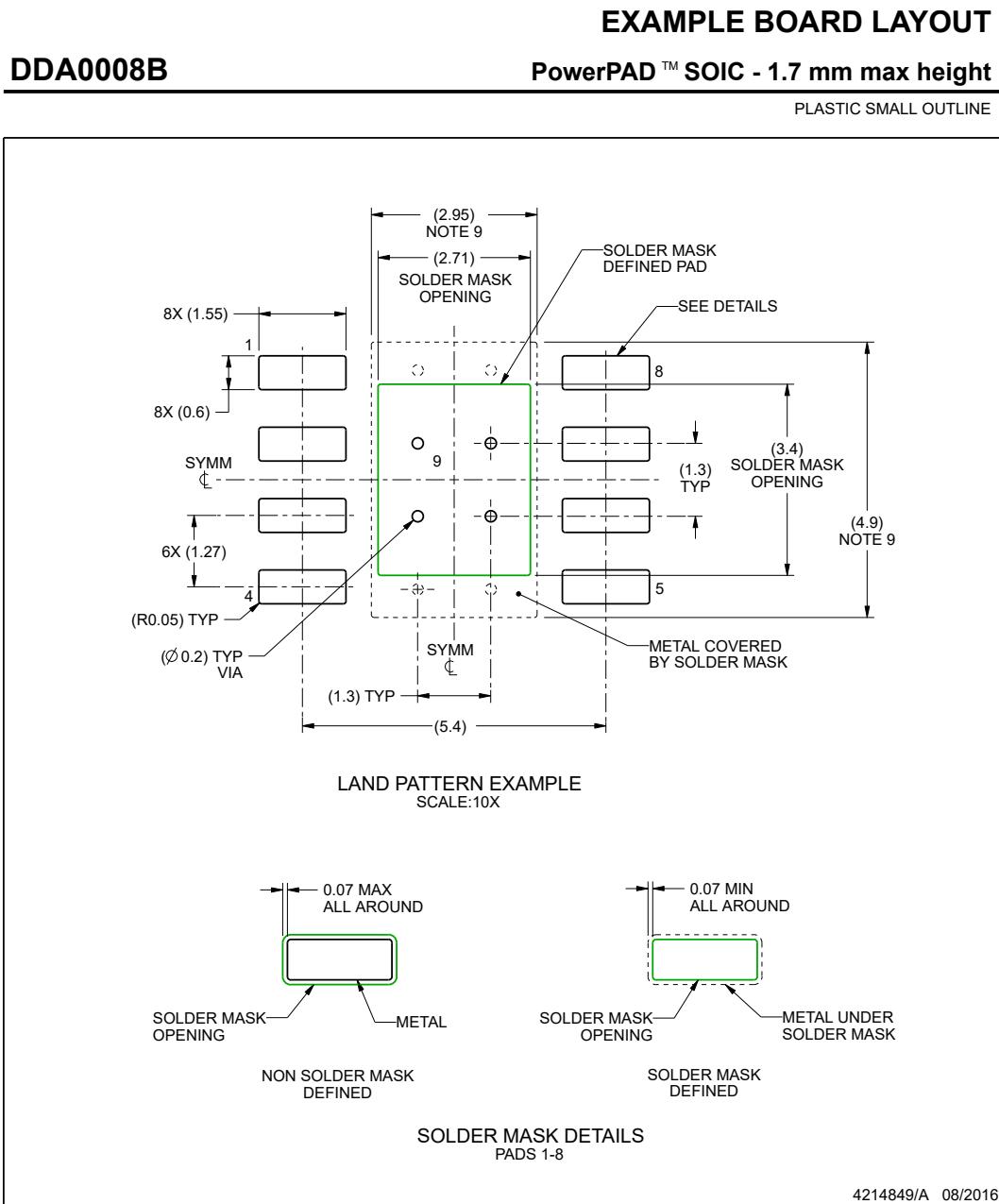


NOTES:

PowerPAD is a trademark of Texas Instruments.

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
 2. This drawing is subject to change without notice.
 3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
 4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
 5. Reference JEDEC registration MS-012.

ADVANCE INFORMATION



NOTES: (continued)

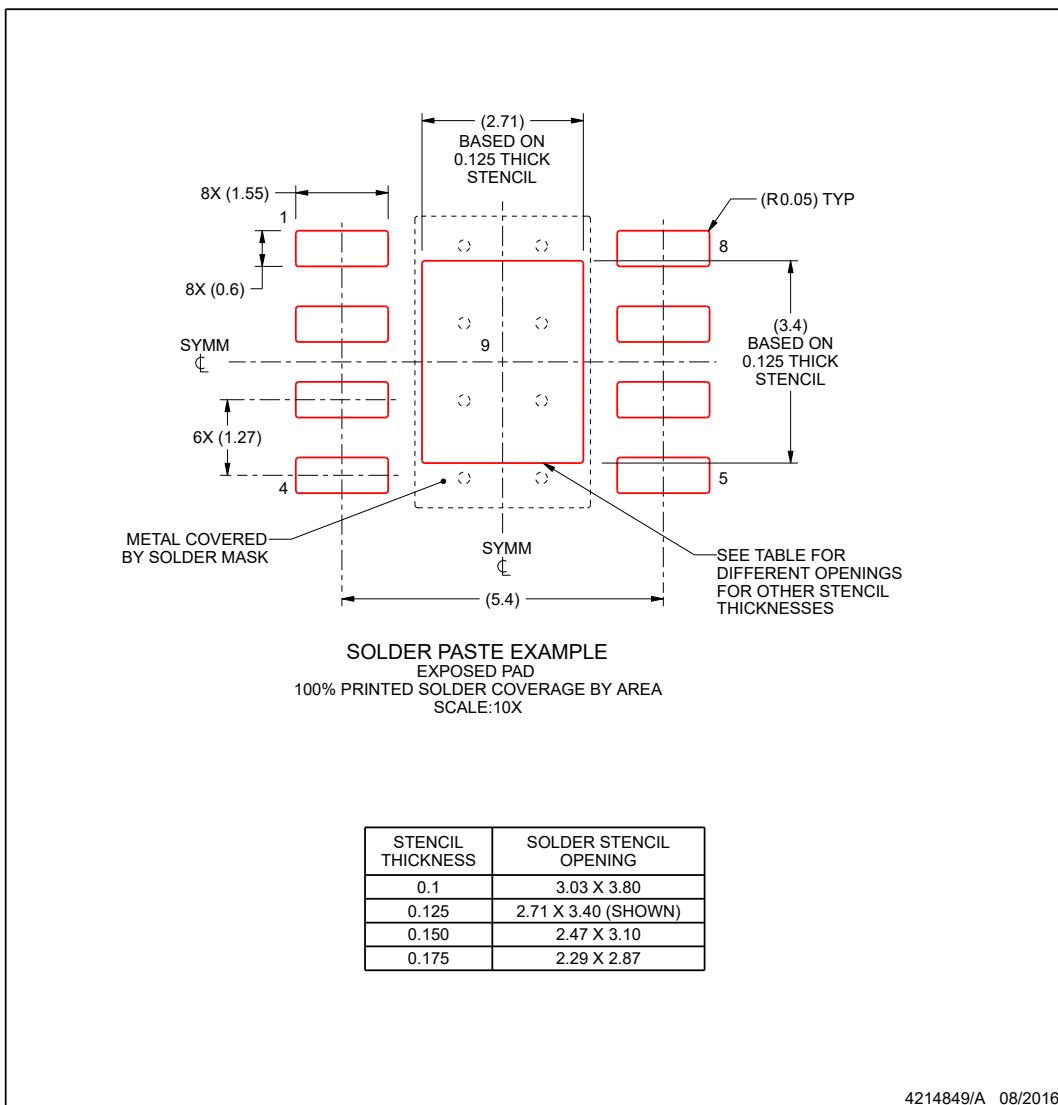
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DDA0008B

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PLMR71915FDDAR	Active	Preproduction	SO PowerPAD (DDA) 8	3000 LARGE T&R	-	Call TI	Call TI	-40 to 150	

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

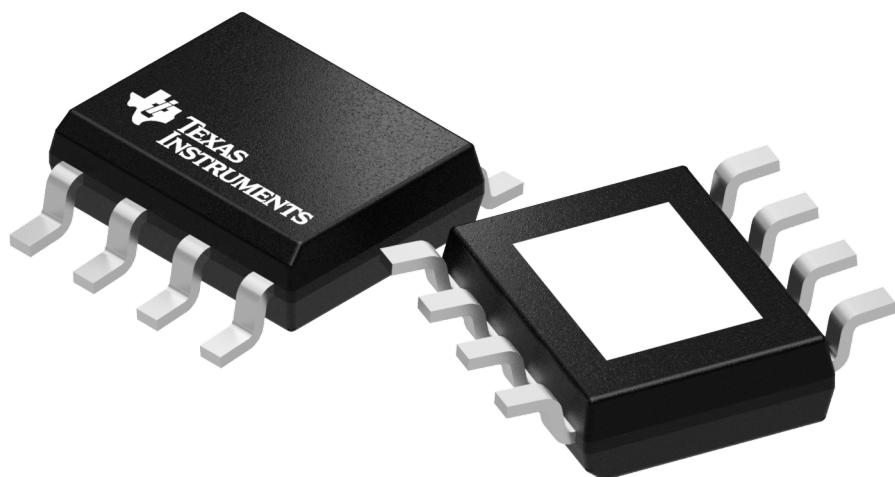
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

GENERIC PACKAGE VIEW

DDA 8

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4202561/G

重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Webツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適したTI製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているTI製品を使用するアプリケーションの開発の目的でのみ、TIはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TIや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TIおよびその代理人を完全に補償するものとし、TIは一切の責任を拒否します。

TIの製品は、[TIの販売条件](#)、[TIの総合的な品質ガイドライン](#)、[ti.com](#)またはTI製品などに関連して提供される他の適用条件に従い提供されます。TIがこれらのリソースを提供することは、適用されるTIの保証または他の保証の放棄の拡大や変更を意味するものではありません。TIがカスタム、またはカスタマー仕様として明示的に指定していない限り、TIの製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TIはそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025年10月