

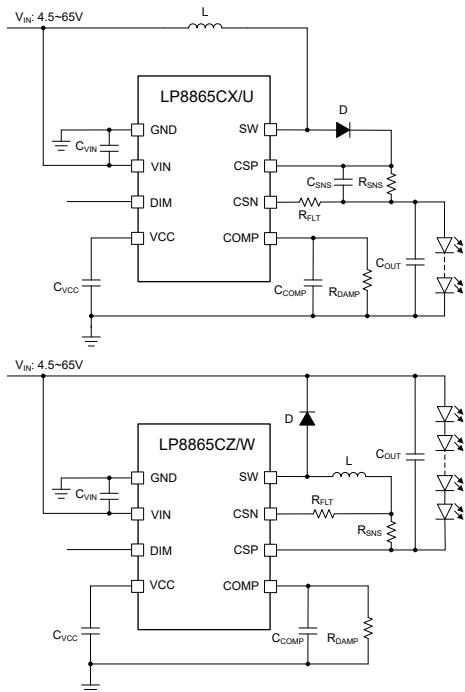
LP8865C-Q1 低コスト車載対応マルチトポロジ LED ドライバ

1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
 - 温度グレード 1: $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$, T_A
- 降圧、昇降圧、昇圧トポロジ用の MOSFET を内蔵
 - 広い入力電圧範囲: $4.5\text{V} \sim 65\text{V}$
 - 2.8A および $300\text{m}\Omega$ (代表値) の MOSFET を内蔵
 - 400kHz の固定スイッチング周波数
- 高精度のパワー FET 調光法
 - U/V/W バージョンのアナログ調光
 - X/Y/Z バージョンの高速 PWM 調光
- 包括的な保護機能を搭載:
 - LED の断線 / 短絡保護
 - サイクル単位の電流制限
 - スイッチング FET の障害保護
 - サーマル シャットダウン

2 アプリケーション

- 車載インフォテインメント
- 車載用計器盤
- ヘッドアップ ディスプレイ (HUD)
- 車載ライティング



LED ドライバ アプリケーションの標準回路図

3 説明

LP8865C-Q1 ファミリは、 $4.5\text{V} \sim 65\text{V}$ の広い入力電圧範囲に対応した、低コスト非同期マルチトポロジソリューションです。ローサイド NMOS スイッチを内蔵することにより、このデバイスは高電力密度および高効率で LED を駆動できます。また、このファミリは、同相カソード接続および单層 PCB 設計もサポートしています。スイッチング周波数は、 400kHz に固定されています。

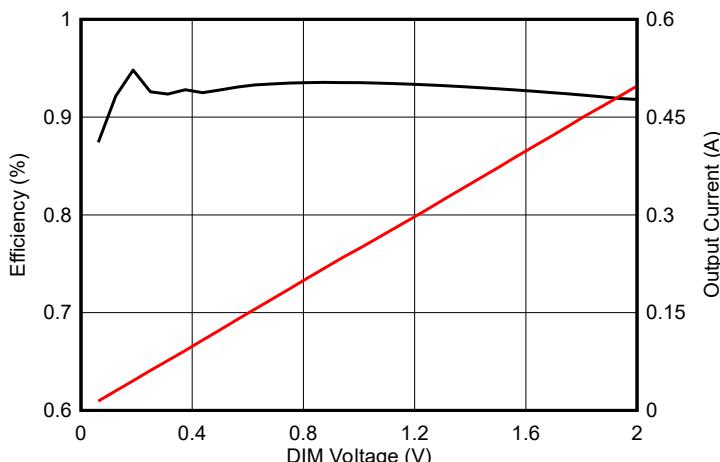
LP8865C-Q1 ファミリは、単純な High および Low 信号による DIM 入力ピンによる構成またはアナログ電圧信号による DIM 入力ピンによる PWM 調光をサポートしています。このデバイスは、適応型オフ時間電流モード制御とスマートで正確なサンプリングにより、高速 PWM 調光を可能にし、高い調光比を実現します。

LP8865C-Q1 ファミリは、LED の断線と短絡、スイッチング FET の断線と短絡、センス抵抗の開放と短絡、サーマル シャットダウンなど、複数の系統的な保護機能も備えています。

パッケージ情報

部品番号	パッケージ 1	本体サイズ (公称)
LP8865C-Q1	HVSSOP (8)	3.0mm × 3.0 mm

- 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



調光の直線性と効率



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール（機械翻訳）を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....	1	7.3 機能説明.....	10
2 アプリケーション.....	1	8 アプリケーションと実装.....	14
3 説明.....	1	8.1 アプリケーション情報.....	14
4 比較表.....	3	8.2 代表的なアプリケーション.....	14
5 ピン構成および機能.....	3	8.3 電源に関する推奨事項.....	25
6 仕様.....	5	8.4 レイアウト.....	25
6.1 絶対最大定格.....	5	9 デバイスおよびドキュメントのサポート.....	27
6.2 ESD 定格.....	5	9.1 ドキュメントの更新通知を受け取る方法.....	27
6.3 推奨動作条件.....	5	9.2 サポート・リソース.....	27
6.4 熱に関する情報.....	5	9.3 商標.....	27
6.5 電気的特性.....	6	9.4 静電気放電に関する注意事項.....	27
6.6 代表的特性.....	6	9.5 用語集.....	27
7 詳細説明.....	9	10 改訂履歴.....	27
7.1 概要.....	9	11 メカニカル、パッケージ、および注文情報.....	28
7.2 機能ブロック図.....	9		

4 比較表

部品番号	トポロジ	調光モード	スイッチング周波数
LP8865CXQDGNRQ1	昇圧	PWM 調光	400kHz
LP8865CYQDGNRQ1	昇降圧	PWM 調光	400kHz
LP8865CZQDGNRQ1	降圧	PWM 調光	400kHz
LP8865CUQDGNRQ1	昇圧	アナログ調光	400kHz
LP8865CVQDGNRQ1	昇降圧	アナログ調光	400kHz
LP8865CWQDGNRQ1	降圧	アナログ調光	400kHz

5 ピン構成および機能

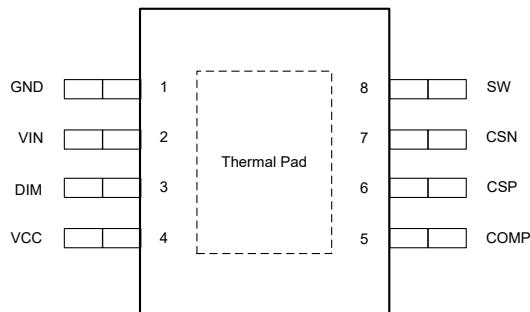


図 5-1.8 ピン降圧 HVSSOP の上面図

表 5-1. ピンの機能

ピン		タイプ ⁽¹⁾	説明
番号	名称		
1	GND	G	グランドピン。
2	VIN	P	入力電源ピン。
3	DIM	I	X/Y/Z の PWM 調光ピン。PWM 調光の入力 PWM 信号。U/V/W のアナログ調光ピン。アナログ調光用の入力アナログ信号。
4	VCC	P	内部 LDO 出力ピン。16V、1- μ F コンデンサを GND に接続します。
5	COMP	I/O	エラーインプの出力。コンデンサを GND に接続します。コンデンサの値によって、ソフトスタート時間および帯域幅は異なります。
6	CSP	I	LED 電流センスの正のピン。
7	CSN	I	LED 電流センスの負のピン。
8	SW	P	スイッチングノードピン。ローサイド MOSFET への内部接続。パワー インダクタおよびショットキーダイオードと接続します。
パッド	サーマルパッド	NC	接続なし。

1. I = 入力、O = 出力、P = 電源、G = グランド

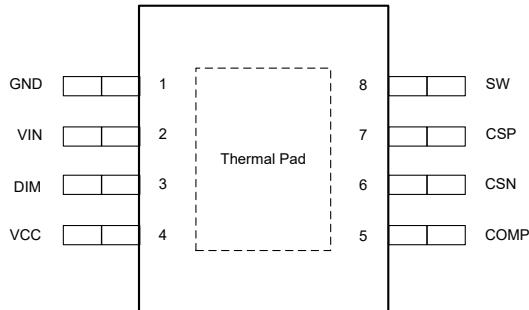


図 5-2. 8 ピン昇圧 / 昇降圧 HVSSOP の上面図

表 5-2. 昇圧 / 昇降圧トポロジのピン機能

ピン		タイプ ⁽¹⁾	説明
VSON パッケージ	名称		
1	GND	G	グランド ピン。
2	VIN	P	入力電源ピン。
3	DIM	I	X/Y/Z の PWM 調光ピン。PWM 調光の入力 PWM 信号。U/V/W のアナログ調光ピン。アナログ調光用の入力アナログ信号。
4	VCC	P	内部 LDO 出力ピン。16V、1- μ F コンデンサを GND に接続します。
5	COMP	I/O	エラーアンプの出力。コンデンサを GND に接続します。コンデンサの値によって、ソフトスタート時間および帯域幅は異なります。
6	CSN	I	LED 電流センスの負のピン。
7	CSP	I	LED 電流センスの正のピン。
8	SW	P	スイッチングノードピン。ローサイド MOSFET への内部接続。パワー インダクタおよびショットキーダイオードと接続します。
パッド	サーマル パッド	NC	接続なし。

(1) I = 入力、O = 出力、P = 電源、G = グランド

6 仕様

6.1 絶対最大定格

動作時周囲温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
VIN、CSP、CSN、SW ピンの電圧		-0.3	65	V
VCC、DIM、COMP ピンの電圧		-0.3	5.5	V
T _J	接合部温度	-40	150	°C
T _{stg}	保存温度	-65	150	°C

- (1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはあくまでもストレス定格であり、「推奨動作条件」に示されている条件を超える当該の条件またはその他のいかなる条件下での、デバイスの正常な動作を保証するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。

6.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、AEC Q100-002 準拠 ⁽¹⁾ HBM ESD 分類レベル 2	±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 CDM ESD 分類レベル C2a 準拠	±500	

- (1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

6.3 推奨動作条件

動作時周辺温度範囲内 (特に記述のない限り)

		最小値	最大値	単位
V _{IN}	電源電圧範囲	4.5	63	V
V _{SW}	スイッチング ノード電圧範囲	0	63	V
V _{CSP} 、V _{CSN}	センス同相電圧範囲	0	63	V
V _{VCC}	LDO の出力電圧範囲	0	5.3	V
V _{DIM}	調光電圧範囲	0	5	V
V _{COMP}	補償コンデンサ電圧範囲	0	5	V
T _A	動作時の周囲温度	-40	125	°C

6.4 熱に関する情報

熱評価基準 ⁽¹⁾		LP8865C-Q1	単位
		HVSSOP	
		8 ピン	
R _{θJA}	接合部から周囲への熱抵抗	47.8	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	74.1	°C/W
R _{θJB}	接合部から基板への熱抵抗	20.4	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	4.6	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	20.4	°C/W

- (1) 従来および最新の熱測定基準の詳細については、アプリケーションレポート『半導体およびIC パッケージの熱評価基準』SPRA953 を参照してください。

6.5 電気的特性

ここで規定される電気的定格は、特に記述のない限り、このドキュメント内のすべての仕様に適用されます。これらの仕様は、デバイスを含む製品の寿命全体にわたり、デバイスのパラメータや機能の仕様を低下させない条件として解釈されます。 $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$, $V_{IN} = 7\text{V}$ (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
入力電源電圧						
V_{VIN_UVLO}	V_{IN} 低電圧誤動作防止	上昇時 V_{IN}	3.0	3.2	3.4	V
		立ち下がり V_{IN}	2.8	3.0	3.2	V
	ヒステリシス		0.2			V
I_{OFF}	V_{IN} からの PWM オフの静止電流	$V_{DIM} = 0\text{V}$, デバイスは有効化	1.0	1.3		mA
V_{VCC}	内部 LDO 出力電圧	$I_{VCC} = 5\text{mA}$	5.0	5.15	5.3	V
I_{VCC_LIM}	内部 LDO 出力電流制限		15	20	26	mA
調光						
V_{PWM_L}	DIM の Low レベル入力電圧 (X/Y/Z バージョン)			0.4		V
V_{PWM_H}	DIM の High レベル入力電圧 (X/Y/Z バージョン)		1.2			V
$t_{PWM_OUT_ON}$	PWM 出力の最小オン時間 (Z バージョン)	設計により保証		100		ns
$t_{PWM_IN_ON}$	PWM 入力の最小オン時間 (Z バージョン)	設計により保証		100		ns
V_{ADIM}	DIM の入力電圧範囲 (U/V/W バージョン)		0	2.2		V
フィードバックおよびエラー アンプ						
$g_{M(ea)}$	相互コンダクタンスのゲイン	$V_{DIM} = 2\text{V}$, $V_{CSP-CSN} = 200\text{mV}$	205	265	325	$\mu\text{A}/\text{V}$
I_{COMP}	ソース/シンク電流	$V_{DIM} = 2\text{V}$, $V_{CSP-CSN} = 200\text{mV} \pm 200\text{mV}$	± 24	± 40	± 56	μA
V_{REF}	CSP-CSN ピン電圧	$V_{DIM} = 2\text{V}$	191	200	209	mV
V_{REF}	CSP-CSN ピン電圧	$V_{DIM} = 0.2\text{V}$	18.5	20	21.5	mV
$I_{LEAK_CSP/N}$	CSP+CSN ピンのリーク電流 (Z/W バージョン)	$V_{IN} = 60\text{V}$, $V_{DIM} = 2\text{V}$		48		μA
$I_{LEAK_CSP/N}$	CSP+CSN ピンのリーク電流 (Z/W バージョン)	$V_{IN} = 60\text{V}$, $V_{DIM} = 0\text{V}$		15		μA
$I_{LEAK_CSP/N}$	CSP+CSN ピンのリーク電流 (X/Y/U/V バージョン)	$V_{IN} = 60\text{V}$, $V_{DIM} = 2\text{V}$		183		μA
$I_{LEAK_CSP/N}$	CSP+CSN ピンのリーク電流 (X/Y/U/V バージョン)	$V_{IN} = 60\text{V}$, $V_{DIM} = 0\text{V}$		164		μA
電力段						
R_{DSON}	スイッチング FET オン抵抗	$V_{IN} \geq 5\text{V}$	300			$\text{m}\Omega$
t_{min_ON}	スイッチング FET の最小オン時間		140	160		ns
t_{min_OFF}	スイッチング FET 最小オフ時間		140	160		ns
f_{SW}	スイッチング FET 周波数		370	400	430	kHz
電流制限						
I_{LIM}	スイッチング FET のサイクル単位の電流制限 (TPS922051)		2.8	3.2	3.6	A
熱保護						
T_{TSD}	サーマル シャットダウン温度		165			°C
	ヒステリシス		15			°C

6.6 代表的特性

特に記述のない限り、 $V_{IN} = 12\text{V}$, LED 数 = 12, $L = 33\mu\text{H}$, $F_{SW} = 400\text{kHz}$

6.6 代表的特性 (続き)

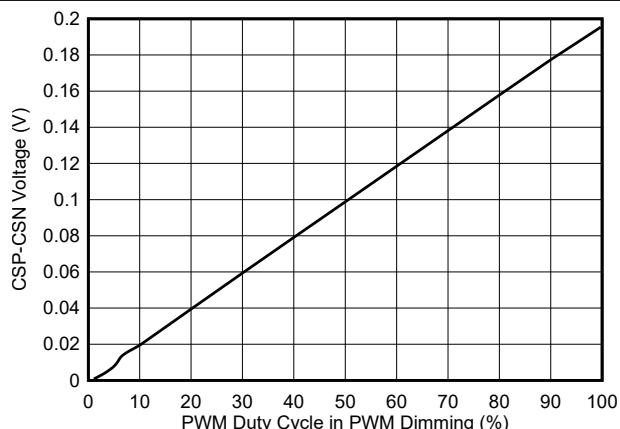


図 6-1. 20kHz の PWM での PWM デューティ サイクルと CSP-CSN 電圧との関係

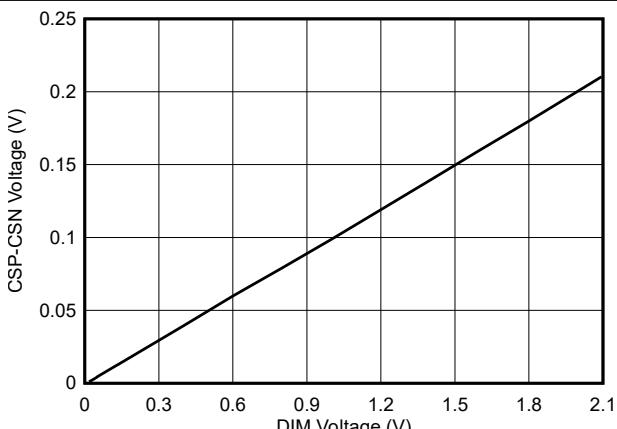


図 6-2. アナログ電圧と CSP-CSN 電圧との関係

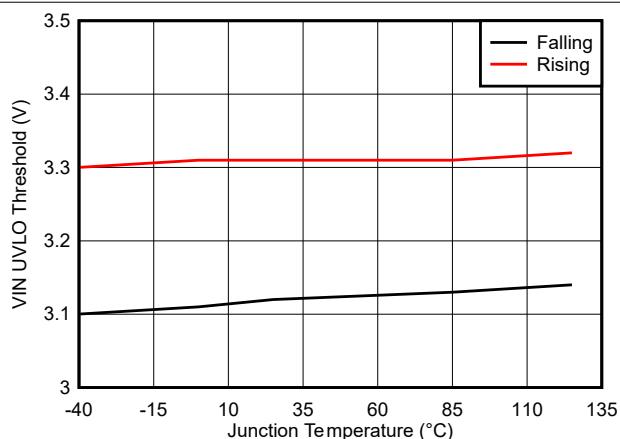


図 6-3. VIN UVLO スレッショルドと接合部温度との関係

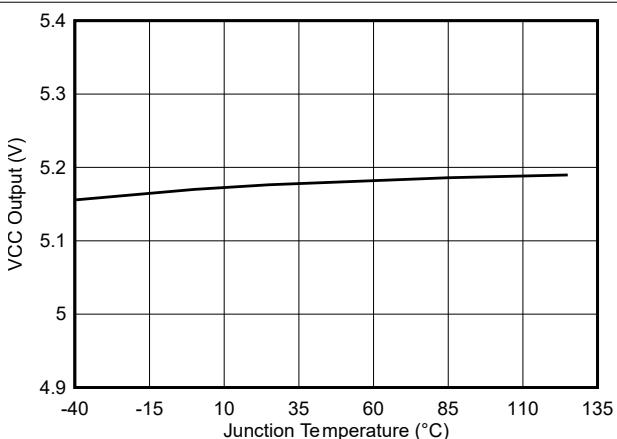


図 6-4. 内部 LDO 出力対接合部温度

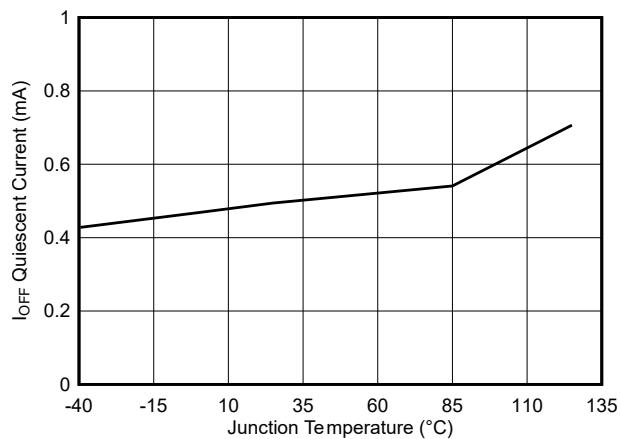


図 6-5. VIN の静止電流と接合部温度との関係

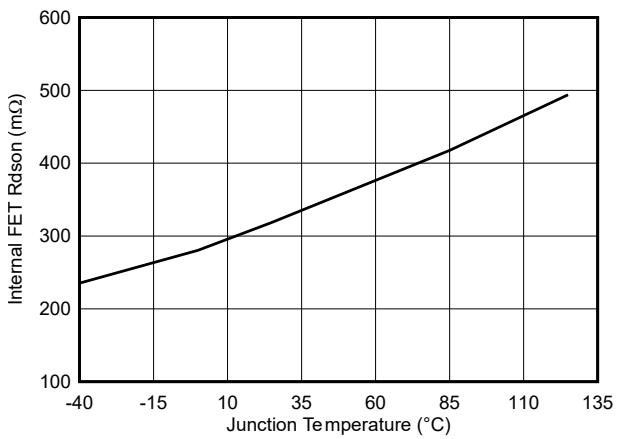


図 6-6. スイッチング FET の Rdson と接合部温度との関係

6.6 代表的特性 (続き)

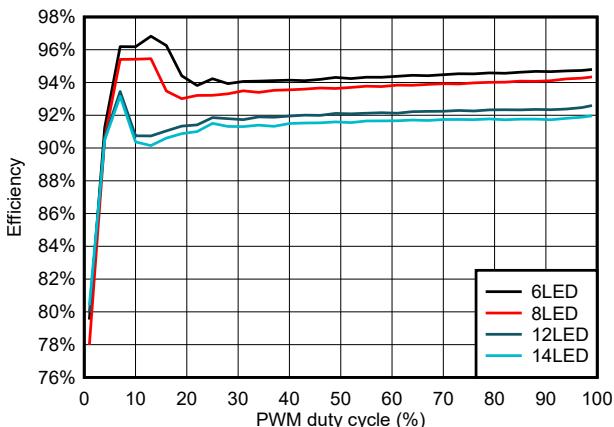


図 6-7. 入力電圧 13V、出力電流 0.5A、PWM 20kHz 時の昇圧 PWM 調光効率

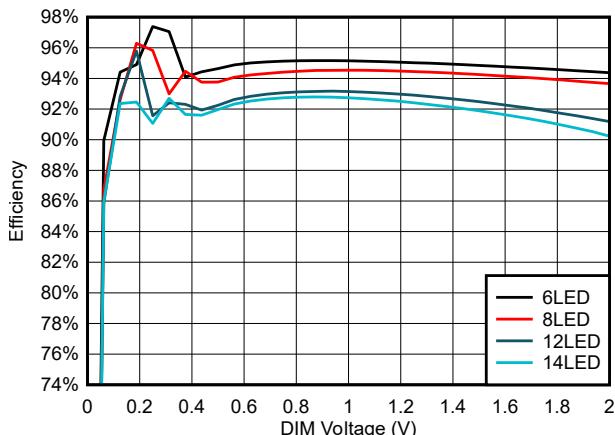


図 6-8. 入力電圧 13V、出力電流 0.5A 時の昇圧アナログ調光効率

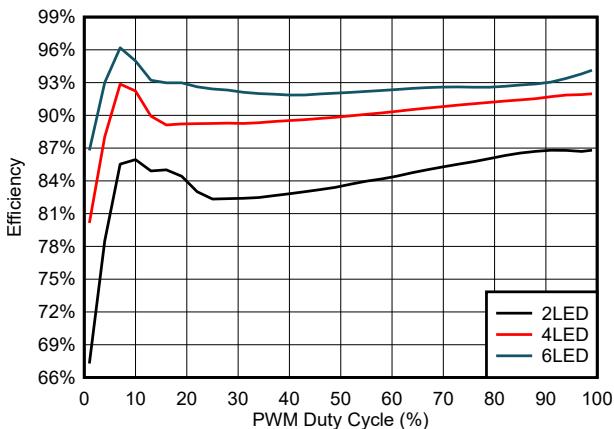


図 6-9. 入力電圧 24V、出力電流 2A、PWM 20kHz 時の降圧 PWM 調光効率

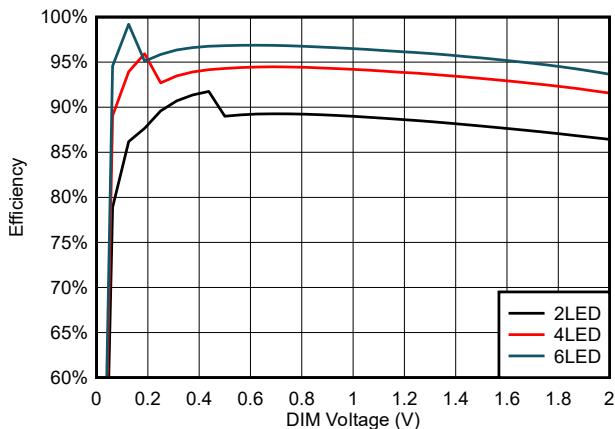


図 6-10. 入力電圧 24V、出力電流 2A 時の降圧アナログ調光効率

7 詳細説明

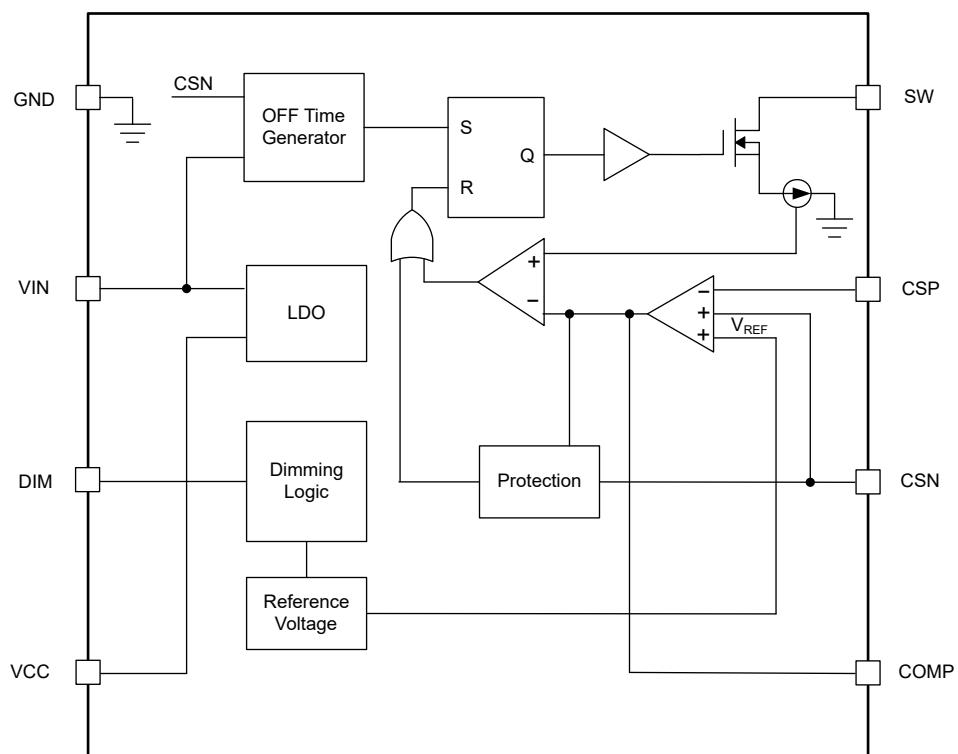
7.1 概要

LP8865C-Q1 ファミリは、4.5V ~ 65V の広い入力電圧範囲に対応した、低コスト非同期マルチトポロジソリューションです。ローサイド NMOS スイッチを内蔵することにより、このデバイスは高電力密度および高効率で LED を駆動できます。また、このファミリは、同相カソード接続および単層 PCB 設計もサポートしています。スイッチング周波数は、400kHz に固定されています。

LP8865C-Q1XYZ オプションは、DIM 入力ピンを使用して単純な High 信号と Low 信号を構成することによって、PWM 調光をサポートしています。LP8865C-Q1U/V/W オプションは、DIM 入力ピンを使用してアナログ電圧信号を構成することによって、アナログ調光をサポートしています。このデバイスは、適応型オフ時間電流モード制御とスマートで正確なサンプリングにより、高速 PWM 調光を可能にし、高い調光比を実現します。

LP8865C-Q1 ファミリは、LED の断線と短絡、スイッチング FET の断線と短絡、センス抵抗の開放と短絡、サーマルシャットダウンなど、複数の系統的な保護機能も備えています。

7.2 機能ブロック図



7.3 機能説明

7.3.1 アダプティブオフ時間電流モード制御

LP8865C-Q1 ファミリは、適応型オフ時間電流モード制御を採用しているため、広い動作範囲にわたり高速過渡応答をサポートします。スイッチング周波数は、400kHz に設定されています。

平均出力電流レギュレーションのため、CSP ピンと CSN ピンの間で検出される電圧が、エラーアンプ経由で内部の電圧リファレンス V_{REF} と比較されます。エラーアンプの出力 V_{COMP} は、外部補償回路を通して、PWM コンパレータのピーク電流帰還と比較されます。各スイッチングサイクル中、内部 NMOS FET がオンになると、内部 FET を通じてピーク電流が検出されます。PWM コンパレータの入力でピーク電流の検出値が V_{COMP} に達すると、NMOS FET がオフになり、適応型オフ時間カウンタがカウントを開始します。適応型オフ時間カウンタがカウントを停止すると、NMOS FET がオフのままになるまでカウンタはリセットされます。カウントオフ時間は、FSET ピンに接続される外付け抵抗と入力/出力フィードフォワードによって決定されます。これにより、このデバイスは定常状態でほぼ一定のスイッチング周波数を維持し、出力平均電流を目的の値にレギュレートできます。

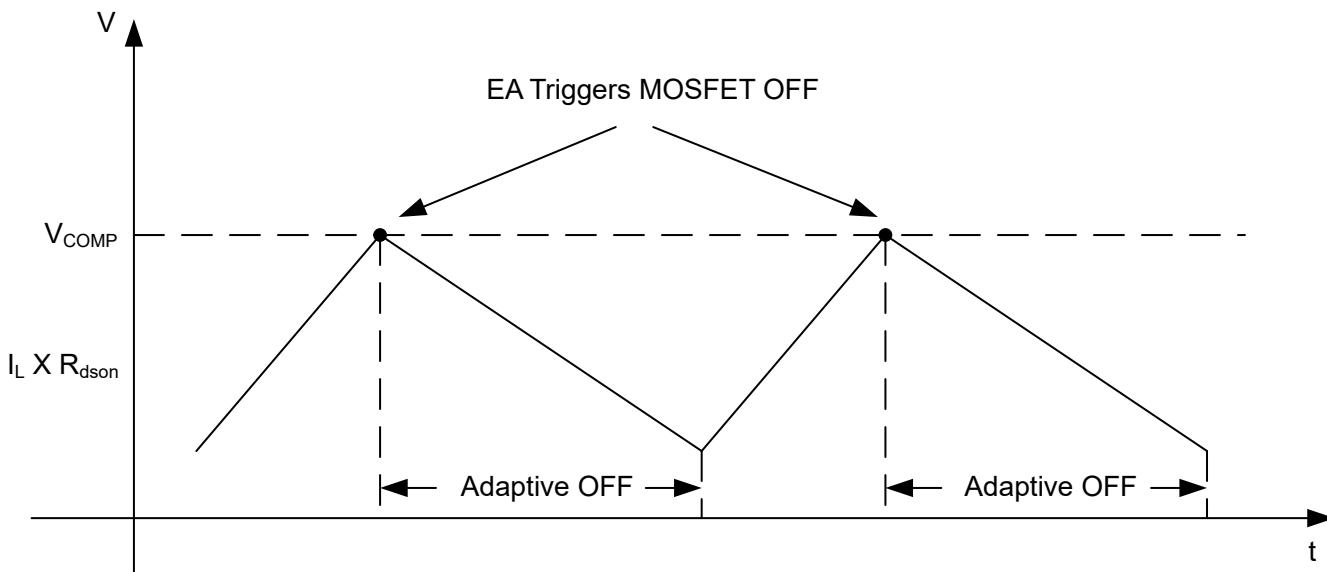


図 7-1. 適応型オフ時間電流モード制御方式

7.3.2 LED の電流設定

LED の出力電流は、CSP ピンと CSN ピンの間の外付け抵抗 R_{sense} によって制御されます。ターゲット電流の R_{sense} 値は、式 1 の式を使用して計算できます。IFD 機能を解放し、低デューティサイクルでの出力電流の精度を向上させるには、昇圧および昇降圧トポロジでは、センス抵抗と並列に接続したコンデンサが必要であることに注意してください。これは、降圧トポロジではオプションです

$$R_{SENSE} = \frac{V_{REF}}{I_{LED_FS}} \quad (1)$$

ここで、

- $V_{REF} = 200 \text{ mV}$
- R_{SENSE} は、電流設定抵抗 ($\text{m}\Omega$)
- I_{LED} は出力電流 (A)

たとえば、 R_{sense} が $100\text{m}\Omega$ に設定されるとしています。 I_{LED} は 2A になります。CSP および CSN ピンを保護するには、CSN に 100Ω の R_{FLT} が必要です。CSP および CSN ピンの同相モードのリーク電流に伴う R_{FLT} の電圧降下による、 V_{REF} のオフセットを考慮する必要があります。

7.3.3 内部ソフトスタート

LP8865C-Q1 は、内部ソフトスタート機能を備えています。VIN が V_{VIN_MIN} を上回ると、内部 LDO が VCC コンデンサの充電を開始します。 $1\mu F$ のコンデンサを VCC ピンに接続している場合、VCC が V_{VIN_UVLO} を上回るには約 $800\mu s$ が必要です。VCC が V_{VIN_UVLO} を上回るとすぐに、POR が有効になります。この場合、 $1\mu F$ の VCC コンデンサを使用する場合は、VIN が V_{VIN_MIN} を上回った後に、調光モードを開始するまで $1ms$ 待つことを推奨します。

DIM ピンが立ち上がり始めた場合、または VCC が V_{VIN_UVLO} を上回った後に最初の PWM パルスが発生された場合、デバイスは直ちにスイッチングを開始します。PWM 調光バージョンでは、DIM 入力ピンで初期 PWM パルスを $50ns$ まで小さくして調光を開始できます。

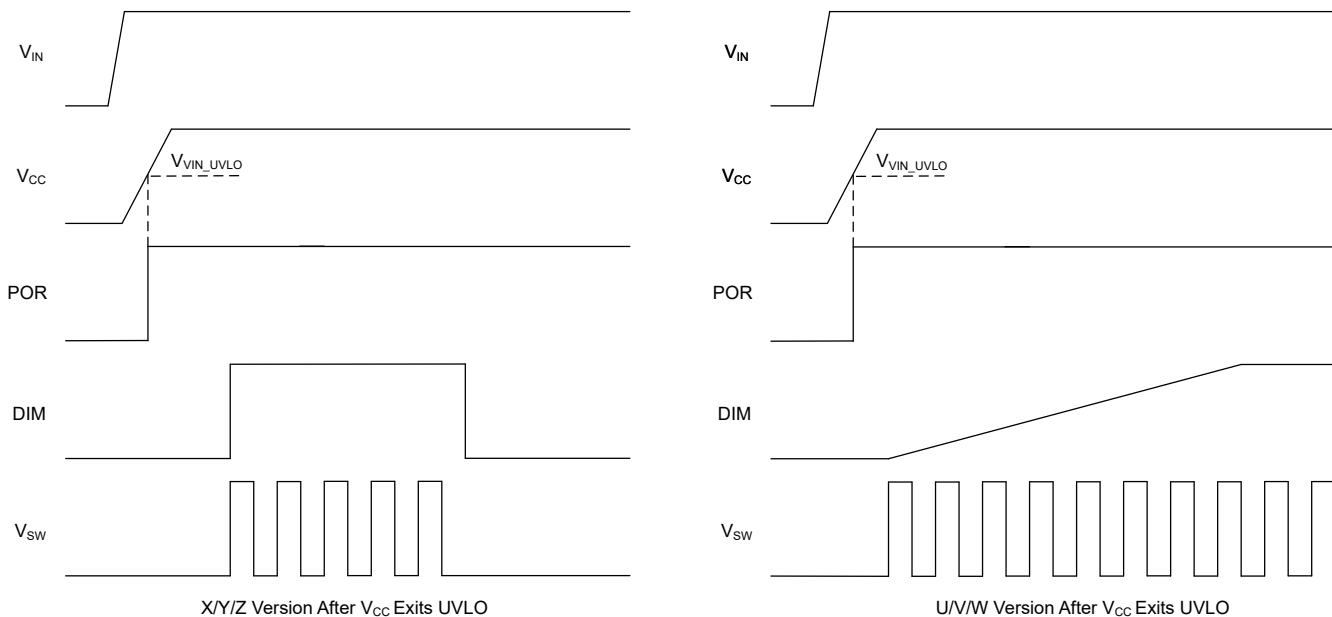


図 7-2. スタートアップ シーケンス

7.3.4 調光モード

LP8865C-Q1 X/Y/Z オプションは PWM 調光モードをサポートしています。また、LP8865C-Q1 U/V/W オプションはアナログ調光モードをサポートしています。

調光モードの構成を以下に示します。

表 7-1. 調光モード構成

調光モード	部品番号	DIM ピン
PWM 調光	LP8865CX/Y/Z オプション	PWM 信号
アナログ調光	LP8865CU/V/W オプション	アナログ信号

7.3.4.1 PWM 調光

LP8865CX/Y/Z は、直接 PWM 調光用に、最小 50ns の特別に狭いパルス幅の PWM 入力信号をサポートしています。PWM 調光は、DIM 入力ピンが PWM 入力信号によって設定されると開始されます。

DIM ピンの PWM 入力信号が Low から High になると、内部の NMOS FET がスイッチングを開始し、インダクタ電流がセンサ抵抗によって設定された固定値まで上昇します。その後、PWM 入力信号が High に維持されている限り、LED 電流は特定した値にコントロールされます。PWM 入力信号が HIGH から LOW に変わると、内部の FET がオフになり、インダクタ電流が 0 に低下します。PWM 入力信号が Low にとどまっている限り、内部の FET はオフ状態を維持し、LED 電流は 0 のままでです。

7.3.4.2 アナログ調光

LP8865CU/V/W はアナログ調光をサポートしており、DIM ピンでのアナログ入力信号を通して LED 電流をレギュレートします。

内部電圧リファレンス V_{REF} は、デバイスが UVLO を終了した後に上昇を開始します。DIM ピンにアナログ電圧が現れると、 V_{REF} はアナログ電圧に比例して目的の値に変化するまで増加を続けます。 V_{REF} は、DIM ピンのアナログ入力信号が 2V の場合に 200mV であり、アナログ入力信号が 0.2V の場合には V_{REF} が 20mV です。DIM ピンのアナログ入力信号が 2.2V を上回ると、 V_{REF} は、220mV でクランプされます。 V_{REF} は 0V であり、アナログ入力信号が 10mV を下回ると、デバイスはスイッチングを停止します。この回路は、アナログ入力信号の電圧変化に数マイクロ秒の遅延で応答できます。

7.3.5 フォルト保護

LP8865C-Q1 ファミリは、LED の断線開放、LED の短絡、LED の GND への短絡、センス抵抗の断線と短絡、内部スイッチング FET の断線と短絡、サーマル シャットダウンなど、多くの故障条件で故障保護を行うことができます。異なるトポロジの故障基準を以下に示します。

表 7-2. 降圧トポロジでの保護機能

タイプ	条件	動作
LED 開放負荷	$V_{CSP} < 1V$	このデバイスは、最小オン時間でスイッチングを継続します。
LED+ および LED- の短絡	$V_{IN} - V_{CSP} < 100mV$	デバイスはスイッチングを継続します。
LED- の GND への短絡	$V_{CSP} < 1V$ (100μs 間)	このデバイスは、最小オン時間でスイッチングを継続します。
センス抵抗の開放負荷	$V_{CSP} - V_{CSN} > 300mV$	デバイスはスイッチングを停止し、故障が解消すると復帰します。
センス抵抗の短絡	COMP ピンは High にクランプされます	このデバイスは、サイクル単位の電流制限下でスイッチングを続けます。
スイッチング FET の断線	COMP ピンは High にクランプされます	このデバイスは、サイクル単位の電流制限下でスイッチングを続けます。
スイッチング FET の短絡	$V_{CSP} - V_{CSN} > 300mV$	デバイスはスイッチングを停止し、故障が解消すると復帰します。
サーマル シャットダウン	$T_J > T_{TSD}$	T_J がヒステリシスレベルを下回ると、本デバイスはスイッチングを停止して復帰します。

表 7-3. 昇圧/昇降圧トポロジにおける保護

タイプ	条件	動作
LED 開放負荷	$V_{CSP} > 65V$	デバイスはスイッチングを停止し、故障が解消すると復帰します。
LED+ および LED- の短絡 (昇降圧)	$V_{CSN} - V_{IN} < 100mV$	デバイスはスイッチングを継続します。
LED+ の GND への短絡	$V_{CSP} - V_{CSN} > 300mV$	デバイスはスイッチングを停止し、故障が解消すると復帰します。
センス抵抗の開放負荷	$V_{CSP} - V_{CSN} > 300mV$	デバイスはスイッチングを停止し、故障が解消すると復帰します。
センス抵抗の短絡	COMP ピンは High にクランプされます	デバイスは、サイクル単位の電流制限下でスイッチングを継続します。
スイッチング FET の断線	COMP ピンは High にクランプされます	デバイスは、サイクル単位の電流制限下でスイッチングを継続します。
スイッチング FET の短絡	COMP ピンは High にクランプされます	デバイスは、サイクル単位の電流制限下でスイッチングを継続します。
サーマル シャットダウン	$T_J > T_{TSD}$	T_J がヒステリシスレベルを下回ると、本デバイスはスイッチングを停止して復帰します。

8 アプリケーションと実装

8.1 アプリケーション情報

LP8865C-Q1 は、異なる型番で降圧 / 昇圧 / 昇降圧のトポロジに対応できます。

通常、LP8865C-Q1 の X/U オプションは昇圧コンバータ、LP8865C-Q1 の Y/V オプションは昇降圧コンバータ、LP8865C-Q1 の Z/W オプションは降圧コンバータとして使用されます。

8.2 代表的なアプリケーション

8.2.1 LP8865CUQDGNRQ1 アナログ調光機能搭載 12V 入力、1A 出力、8 ピース WLED ドライバ

LP8865CUQDGNRQ1 は通常、4.5V ~ 63V の範囲の入力で LED を駆動するためのアナログ調光機能を備えた昇圧コンバータとして使用されます。

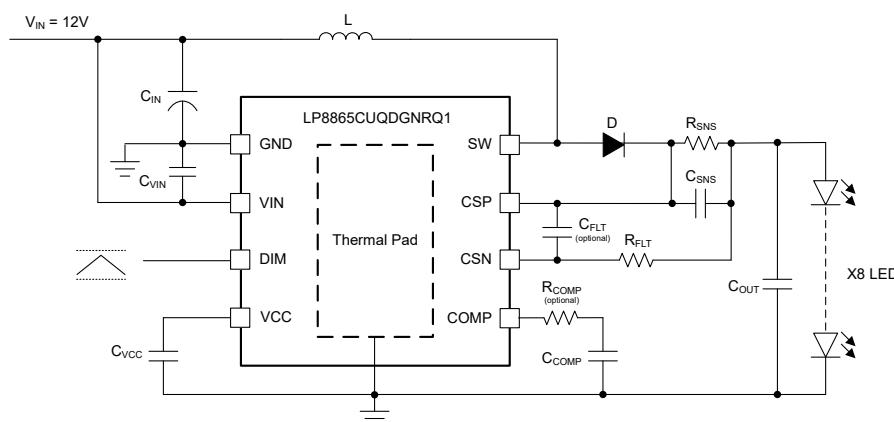


図 8-1. LP8865CUQDGNRQ1 の代表的なアプリケーション

8.2.1.1 設計要件

この設計例では、次の表に記載されているパラメータを使用します。

表 8-1. 設計パラメータ

パラメータ	値
入力電圧	9V ~ 16V
LED ストリング	8 LED
出力電圧	24V
スイッチング周波数	400kHz
最大 LED 電流	0.5A
インダクタ電流リップル	最大インダクタ電流の 40%
調光タイプ	アナログ バージョン

8.2.1.2 詳細な設計手順

8.2.1.2.1 インダクタの選択

この設計では、入力電圧は 9V ~ 16V です。出力は 8 個の直列白色 LED であり、インダクタ電流リップルは、要件により最大 LED 電流の 40% 未満です。適切なピークツーピークインダクタ電流リップルを選択するには、コンバータが無負荷状況で動作するときは、ローサイド FET の電流制限に違反しないようにします。この場合、ピークツーピークのインダクタリップル電流が、その制限値より低くなるようにする必要があります。もう 1 つの検討事項は、ピークツーピーク電流リップルに起因するインダクタのコア損失と銅損を適切に確保することです。このピークツーピークのインダクタリップル電流を選択した後、式 2 を使用して出力インダクタ L の推奨値を計算します。

$$L = \frac{V_{IN(min)} \times (V_{OUT} - V_{IN(min)})}{V_{OUT} \times K_{IND} \times I_{L(max)} \times f_{SW}} \quad (2)$$

ここで、

- K_{IND} は、最大平均 LED 電流に対するインダクタのリップル電流の量を示す係数です。
- $I_{L(max)}$ は、最小入力電圧での最大平均インダクタ電流です。
- f_{SW} はスイッチング周波数で、いまの場合 400kHz です。
- $V_{IN(min)}$ は最小入力電圧です。
- V_{OUT} は、LED 負荷の両端の電圧とセンス抵抗の両端の電圧の和です。

選択したインダクタ値により、式 3 を使用して実際のインダクタ電流リップルを計算できます。

$$I_{L(ripple)} = \frac{V_{IN(min)} \times (V_{OUT} - V_{IN(min)})}{V_{OUT} \times L \times f_{SW}} \quad (3)$$

インダクタの RMS 電流および飽和電流の設計上の定格は、システム要件に示される値よりも大きい必要があります。これは、インダクタの過熱や饱和が発生しないようにするためにです。パワーアップ時、過渡状態、または障害状態中は、インダクタ電流が通常の動作電流を超えて、電流制限値に達する場合があります。したがって、コンバータの電流制限以上の飽和電流定格を選択することを推奨します。ピークインダクタ電流と RMS 電流の式を式 4 と式 5 に示します。

$$I_{L(peak)} = I_{L(max)} + \frac{I_{L(ripple)}}{2} \quad (4)$$

$$I_{L(rms)} = \sqrt{I_{L(max)}^2 + \frac{I_{L(ripple)}^2}{2}} \quad (5)$$

この設計では、 $V_{IN(min)} = 9V$ 、 $V_{OUT} = 24V$ 、 $I_{LED} = 0.5A$ 、 $f_{SW} = 400kHz$ です。効率が 0.9、 $I_{L(min)} = 1.48A$ であることを考慮して、 $K_{IND} = 0.4$ を選択すると、インダクタンスの計算値は $23.7\mu H$ となります。 $22\mu H$ のインダクタを選択します。このインダクタを使用すると、インダクタのリップル、ピーク、RMS 電流はそれぞれ $0.64A$ 、 $1.80A$ 、 $1.48A$ になります。

8.2.1.2.2 入力コンデンサの選択

入力電源から引き出されるサージ電流と、デバイスから流入するスイッチング・ノイズを低減するために、入力コンデンサが必要です。エネルギー蓄積のために電解コンデンサを推奨します。X5R または X7R 誘電体を持つセラミックコンデンサは、ESR が低く、温度係数が小さいため、強く推奨されます。ほとんどのアプリケーションでは、高周波フィルタリングを行うために、 $10\mu F$ のセラミックコンデンサと、 $VIN \sim PGND/AGND$ の間に $0.1\mu F$ のコンデンサを配置することを推奨します。コンデンサの電圧定格は、最大入力電圧よりも大きい必要があります。式 6 を使用して入力リップル電圧を計算します。ここで、 ESR_{CIN} は入力コンデンサの ESR、 K_{DR} は印加された DC 電圧におけるセラミック容量のディレーティング係数です。

$$V_{IN(ripple)} = \frac{I_{L(ripple)}}{8 \times K_{DR} \times C_{IN} \times f_{SW}} \quad (6)$$

この設計では、 $33\mu\text{F}$ 、 100V の電解コンデンサ、 $10\mu\text{F}$ 、 100V の X7R セラミックコンデンサ、 $0.1\mu\text{F}$ 、 100V の X7R セラミックコンデンサが選択され、入力リップル電圧は約 40mV になっています。

8.2.1.2.3 出力コンデンサの選択

出力コンデンサにより、LED ストリングを介した高周波電流リップルが低減されます。過度の電流リップルにより、LED ストリングの RMS 電流が増加し、LED の温度が上昇します。

1.LED メーカーのデータシートを使用して、LED ストリング (R_{LED}) の総動的抵抗を計算します。

2.LED ストリングを流れる許容可能なピークツーピークリップル電流 $I_{LED(ripple)}$ から、出力コンデンサに必要なインピーダンス (Z_{OUT}) を計算します。 $I_{L(ripple)}$ は、選択したインダクタで計算されるピークツーピークのインダクタリップル電流です。

3.必要な最小実効出力容量を計算します。

4.印加される DC 電圧のディレーティング効果により、出力容量を適切に増やします。

式 8 と式 9 と式 7 を参照してください。

$$R_{LED} = \frac{\Delta V_F}{\Delta I_F} \times \# \text{ of LEDs} \quad (7)$$

$$Z_{COUT} = \frac{R_{LED} \times I_{LED(ripple)}}{I_{L(max)} - I_{LED(ripple)}} \quad (8)$$

$$C_{COUT} = \frac{1}{2\pi \times f_{SW} \times Z_{COUT}} \quad (9)$$

出力コンデンサを選択した後、式 10 を使用して、LED ストリングを通してのピークツーピークリップル電流を推定できます。

$$I_{LED(ripple)} = \frac{Z_{COUT} \times I_{L(max)}}{Z_{COUT} + R_{LED}} \quad (10)$$

ここでは Osram の WLED が使用されています。LED の動的抵抗は、順方向電流 0.5A 時に 1Ω です。X5R または X7R 誘電体を持つセラミックコンデンサは、ESR が低く、温度係数が小さいため、強く推奨されます。この設計では、3 個の $10\mu\text{F}$ 、 100V X7R セラミックコンデンサと 1 個の $0.1\mu\text{F}$ 、 100V X7R セラミックコンデンサを選択しています。LED のリップル電流を計算すると、約 19.4mA となります。

8.2.1.2.4 センス抵抗の選択

最大 LED 電流は 100% PWM デューティ時に 0.5A で、対応する V_{REF} は 200mV です。式 11 を使用することにより、センス抵抗は $400\text{m}\Omega$ と計算されます。センス抵抗の消費電力は 100mW であり、選択には抵抗の定格電力の十分なマージンが必要であることに注意してください。

$$R_{SENSE} = \frac{V_{REF}}{I_{LED_FS}} \quad (11)$$

この設計では、ノイズ注入を防止して堅牢性を向上させるために、CSN ピンの RFLT に 100Ω の抵抗を用いることを推奨します。センスフィードバックの高周波ノイズをフィルタするため、CSP-CSN ピンの CFLT には、 1nF 、 50V の X7R セラミックコンデンサをオプションで選択します。次に示す式を使用すると、RSNS と並列の CSNS には $10\mu\text{F}$ 、 50V X7R のセラミックコンデンサが選択され、センスフィードバックの AC 振幅は 200mV 未満まで抑制されます。

$$C_{SENSE} = \frac{0.25 \times I_{L(max)}}{200\text{mV} \times f_{SW}} \quad (12)$$

8.2.1.2.5 その他外付け部品の選択

ループ安定性のため、 C_{COMP} に 10nF、10V の X7R セラミックコンデンサ、 R_{COMP} にはオプションで 100 Ω の抵抗を選択することを推奨します。

8.2.2 LP8865CYQDGNRQ1 PWM 調光機能搭載 24V 入力、0.5A 出力、4 ピース WLED ドライバ

LP8865CUQDGNRQ1 は通常、4.5V ~ 63V の範囲の入力で LED を駆動するための PWM 調光機能を備えた昇降圧コンバータとして使用されます。

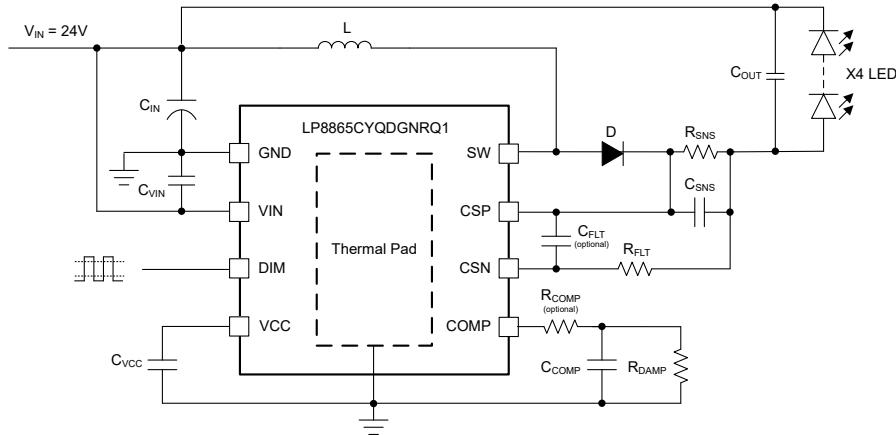


図 8-2. LP8865CYQDGNRQ1 の代表的なアプリケーション

8.2.2.1 設計要件

この設計例では、次の表に記載されているパラメータを使用します。

表 8-2. 設計パラメータ

パラメータ	値
入力電圧範囲	9V -16V
LED ストリング	5 LED
出力電圧	15V
スイッチング周波数	400kHz
最大 LED 電流	0.5A
インダクタ電流リップル	最大インダクタ電流の 40%
調光タイプ	PWM バージョン

8.2.2.2 詳細な設計手順

8.2.2.1 インダクタの選択

この設計では、入力電圧は 9V ~ 16V です。出力は 5 個の直列白色 LED であり、インダクタ電流リップルは、要件により最大 LED 電流の 40% 未満です。適切なピークツーピークインダクタ電流リップルを選択するには、コンバータが無負荷状況で動作するときは、ローサイド FET の電流制限に違反しないようにします。この場合、ピークツーピークのインダクタリップル電流が、その制限値より低くなるようにする必要があります。もう 1 つの検討事項は、ピークツーピーク電流リップルに起因するインダクタのコア損失と銅損を適切に確保することです。このピークツーピークのインダクタリップル電流を選択した後、式 13 を使用して出力インダクタ L の推奨値を計算します。

$$L = \frac{V_{IN(min)} \times V_{OUT}}{(V_{OUT} + V_{IN(min)}) \times K_{IND} \times I_{L(max)} \times f_{SW}} \quad (13)$$

ここで、

- K_{IND} は、最大平均 LED 電流に対するインダクタのリップル電流の量を示す係数です。
- $I_{L(max)}$ は、最小入力電圧での最大平均インダクタ電流です。
- f_{SW} はスイッチング周波数で、いまの場合 400kHz です。
- $V_{IN(min)}$ は最小入力電圧です。
- V_{OUT} は、LED 負荷の両端の電圧とセンス抵抗の両端の電圧の和です。

選択したインダクタ値により、式 14 を使用して実際のインダクタ電流リップルを計算できます。

$$I_{L(ripple)} = \frac{V_{IN(min)} \times V_{OUT}}{(V_{OUT} + V_{IN(min)}) \times L \times f_{SW}} \quad (14)$$

インダクタの RMS 電流および飽和電流の設計上の定格は、システム要件に示される値よりも大きい必要があります。これは、インダクタの過熱や饱和が発生しないようにするためにです。パワーアップ時、過渡状態、または障害状態中は、インダクタ電流が通常の動作電流を超えて、電流制限値に達する場合があります。したがって、コンバータの電流制限以上の飽和電流定格を選択することを推奨します。ピークインダクタ電流と RMS 電流の式を式 15 と式 16 に示します。

$$I_{L(peak)} = I_{L(max)} + \frac{I_{L(ripple)}}{2} \quad (15)$$

$$I_{L(rms)} = \sqrt{I_{L(max)}^2 + \frac{I_{L(ripple)}^2}{2}} \quad (16)$$

この設計では、 $V_{IN(min)} = 9V$ 、 $V_{OUT} = 15V$ 、 $I_{LED} = 0.5A$ です。効率が 0.8、 $I_{L(max)} = 1.041A$ 、 $f_{SW} = 400kHz$ であることを考慮して、 $K_{IND} = 0.4$ を選択すると、インダクタンスの計算値は $33.75\mu H$ となります。 $33\mu H$ のインダクタを選択します。このインダクタを使用すると、インダクタのリップル、ピーク、RMS 電流はそれぞれ 0.43A、1.25A、1.04A になります。

8.2.2.2 入力コンデンサの選択

入力電源から引き出されるサージ電流と、デバイスから流入するスイッチング・ノイズを低減するために、入力コンデンサが必要です。エネルギー蓄積のために電解コンデンサを推奨します。X5R または X7R 誘電体を持つセラミックコンデンサは、ESR が低く、温度係数が小さいため、強く推奨されます。ほとんどのアプリケーションでは、高周波フィルタリングを行うために、 $10\mu F$ のセラミックコンデンサと、VIN ~ PGND/AGND の間に $0.1\mu F$ のコンデンサを配置することを推奨します。コンデンサの電圧定格は、最大入力電圧よりも大きい必要があります。式 17 を使用して入力リップル電圧を計算します。ここで、 ESR_{CIN} は入力コンデンサの ESR、 K_{DR} は印加された DC 電圧におけるセラミック容量のディレーティング係数です。

$$V_{IN(ripple)} = \frac{I_{L(ripple)}}{8 \times K_{DR} \times C_{IN} \times f_{SW}} \quad (17)$$

この設計では、 $33\mu\text{F}$ 、 100V の電解コンデンサ、 $10\mu\text{F}$ 、 100V の X7R セラミックコンデンサ、 $0.1\mu\text{F}$ 、 100V の X7R セラミックコンデンサが選択され、入力リップル電圧は約 26mV になっています。

8.2.2.2.3 出力コンデンサの選択

出力コンデンサにより、LED ストリングを介した高周波電流リップルが低減されます。過度の電流リップルにより、LED ストリングの RMS 電流が増加し、LED の温度が上昇します。

1.LED メーカーのデータシートを使用して、LED ストリング (R_{LED}) の総動的抵抗を計算します。

2.LED ストリングを流れる許容可能なピークツーピークリップル電流 $I_{LED(ripple)}$ から、出力コンデンサに必要なインピーダンス (Z_{OUT}) を計算します。 $I_{L(ripple)}$ は、選択したインダクタで計算されるピークツーピークのインダクタリップル電流です。

3.必要な最小実効出力容量を計算します。

4.印加される DC 電圧のディレーティング効果により、出力容量を適切に増やします。

式 19 と式 20 と式 18 を参照してください。

$$R_{LED} = \frac{\Delta V_F}{\Delta I_F} \times \# \text{ of LEDs} \quad (18)$$

$$Z_{COUT} = \frac{R_{LED} \times I_{LED(ripple)}}{I_{L(max)} - I_{LED(ripple)}} \quad (19)$$

$$C_{COUT} = \frac{1}{2\pi \times f_{SW} \times Z_{COUT}} \quad (20)$$

出力コンデンサを選択した後、式 21 を使用して、LED ストリングを通してのピークツーピークリップル電流を推定できます。

$$I_{LED(ripple)} = \frac{Z_{COUT} \times I_{L(max)}}{Z_{COUT} + R_{LED}} \quad (21)$$

ここでは Osram の WLED が使用されています。LED の動的抵抗は、順方向電流 0.5A 時に 1Ω です。X5R または X7R 誘電体を持つセラミックコンデンサは、ESR が低く、温度係数が小さいため、強く推奨されます。この設計では、2 個の $10\mu\text{F}$ 、 100V X7R セラミックコンデンサと 1 個の $0.1\mu\text{F}$ 、 100V X7R セラミックコンデンサを選択しています。LED のリップル電流を計算すると、約 20.3mA となります。

8.2.2.2.4 センス抵抗の選択

最大 LED 電流は 100% PWM デューティ時に 0.5A で、対応する V_{REF} は 200mV です。式 22 を使用することにより、センス抵抗は $400\text{m}\Omega$ と計算されます。センス抵抗の消費電力は 100mW であり、選択には抵抗の定格電力の十分なマージンが必要であることに注意してください。

$$R_{SENSE} = \frac{V_{REF}}{I_{LED_FS}} \quad (22)$$

この設計では、ノイズ注入を防止して堅牢性を向上させるために、CSN ピンの RFLT に 100Ω の抵抗を用いることを推奨します。センスフィードバックの高周波ノイズをフィルタするため、CSP-CSN ピンの CFLT には、 1nF 、 50V の X7R セラミックコンデンサをオプションで選択します。次に示す式を使用すると、CSNS には $2.2\mu\text{F}$ 、 50V X7R のセラミックコンデンサが選択され、センスフィードバックの AC 振幅は 200mV 未満まで抑制されます。

$$C_{SENSE} = \frac{0.25 \times I_{L(max)}}{200\text{mV} \times f_{SW}} \quad (23)$$

8.2.2.2.5 その他外付け部品の選択

ループ安定性のため、 C_{COMP} に 10nF、10V の X7R セラミックコンデンサ、 R_{COMP} にはオプションで 100 Ω の抵抗を選択することを推奨します。PWM オンの立ち上がりエッジでのオーバーシュート電流を抑制するため、 R_{DAMP} にはオプションで 10MΩ の抵抗を選択します。

8.2.3 LP8865CWQDGNRQ1 アナログ調光機能搭載 24V 入力、2A 出力、4 ピース WLED ドライバ

LP8865CUQDGNRQ1 は通常、4.5V ~ 63V の範囲の入力で LED を駆動するためのアナログ調光機能を備えた降圧コンバータとして使用されます。

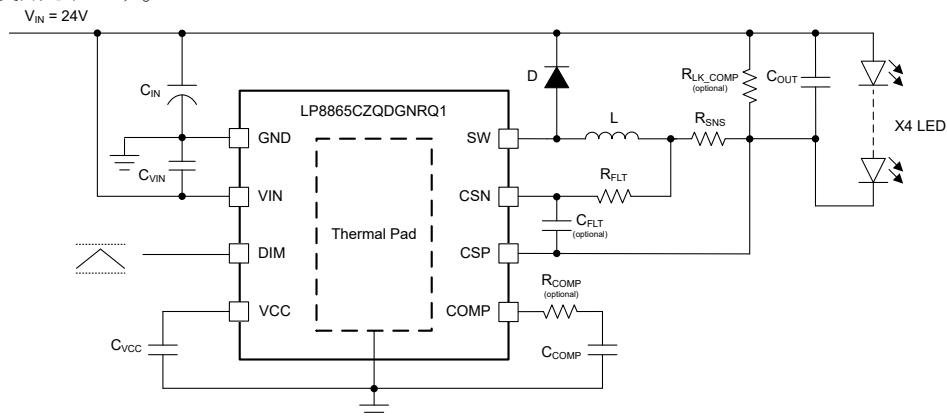


図 8-3. LP8865CUQDGNRQ1 の代表的なアプリケーション

8.2.3.1 設計要件

この設計例では、次の表に記載されているパラメータを使用します。

表 8-3. 設計パラメータ

パラメータ	値
入力電圧範囲	9V - 16V
LED ストリング	1 LED
出力電圧	3V
スイッチング周波数	400kHz
最大 LED 電流	2A
インダクタ電流リップル	最大インダクタ電流の 40%
調光タイプ	アナログ バージョン

8.2.3.2 詳細な設計手順

8.2.3.2.1 インダクタの選択

この設計では、入力電圧は 9V ~ 16V です。出力は単一の白色 LED であり、インダクタ電流リップルは、要件により最大 LED 電流の 40% 未満です。適切なピークツーピークインダクタ電流リップルを選択するには、コンバータが無負荷状況で動作するときは、ローサイド FET の電流制限に違反しないようにします。この場合、ピークツーピークのインダクタリップル電流が、その制限値より低くなるようにする必要があります。もう 1 つの検討事項は、ピークツーピーク電流リップルに起因するインダクタのコア損失と銅損を適切に確保することです。このピークツーピークのインダクタリップル電流を選択した後、式 24 を使用して出力インダクタ L の推奨値を計算します。

$$L = \frac{V_{OUT} \times (V_{IN(max)} - V_{OUT})}{V_{IN(max)} \times K_{IND} \times I_{L(max)} \times f_{SW}} \quad (24)$$

ここで、

- K_{IND} は、最大 LED 電流に対するインダクタのリップル電流の量を示す係数です。
- $I_{L(max)}$ は最大平均インダクタ電流で、ここでの出力電流と同じです。
- f_{SW} : スイッチング周波数。
- $V_{IN(MAX)}$ は最大入力電圧です。
- V_{OUT} は、LED 負荷の両端の電圧とセンス抵抗の両端の電圧の和です。

選択したインダクタ値により、式 25 を使用して実際のインダクタ電流リップルを計算できます。

$$I_{L(ripple)} = \frac{V_{OUT} \times (V_{IN(max)} - V_{OUT})}{V_{IN(max)} \times L \times f_{SW}} \quad (25)$$

インダクタの RMS 電流および飽和電流の設計上の定格は、システム要件に示される値よりも大きい必要があります。これは、インダクタの過熱や飽和が発生しないようになります。パワーアップ時、過渡状態、または障害状態中は、インダクタ電流が通常の動作電流を超えて、電流制限値に達する場合があります。したがって、コンバータの電流制限以上の飽和電流定格を選択することを推奨します。ピークインダクタ電流と RMS 電流の式を式 26 と式 27 に示します。

$$I_{L(peak)} = I_{L(max)} + \frac{I_{L(ripple)}}{2} \quad (26)$$

$$I_{L(rms)} = \sqrt{I_{L(max)}^2 + \frac{I_{L(ripple)}^2}{2}} \quad (27)$$

この設計では、 $V_{IN(max)} = 16V$ 、 $V_{OUT} = 3V$ 、 $I_{LED} = 2A$ 、 $I_{L(max)} = 2A$ 、 $f_{SW} = 400kHz$ であり、 $K_{IND} = 0.4$ を選択して、インダクタンスは 7.6μH と計算されます。10μH のインダクタを選択します。このインダクタを使用すると、インダクタのリップル、ピーク、RMS 電流はそれぞれ 0.61A、2.3A、2A です。

8.2.3.2.2 入力コンデンサの選択

入力電源から引き出されるサージ電流と、デバイスから流入するスイッチング・ノイズを低減するために、入力コンデンサが必要です。エネルギー蓄積のために電解コンデンサを推奨します。X5R または X7R 誘電体を持つセラミックコンデンサは、ESR が低く、温度係数が小さいため、強く推奨されます。ほとんどのアプリケーションでは、高周波フィルタリングを行うために、10μF のセラミックコンデンサと、VIN ~ PGND/AGND の間に 0.1μF のコンデンサを配置することを推奨します。コンデンサの電圧定格は、最大入力電圧よりも大きい必要があります。式 28 を使用して入力リップル電圧を計算します。ここで、 ESR_{CIN} は入力コンデンサの ESR、 K_{DR} は印加された DC 電圧におけるセラミック容量のディレーティング係数です。

$$V_{IN(ripple)} = I_{L(max)} \times \left(\frac{V_{OUT}}{K_{DR} \times C_{IN} \times f_{SW} \times V_{IN(max)}} + ESR_{CIN} \right) \quad (28)$$

この設計では、33μF、100V の電解コンデンサ、22μF、100V の X7R セラミックコンデンサ 2 個、0.1μF、100V の X7R セラミックコンデンサが選択され、入力リップル電圧は約 113mV になっています。

8.2.3.2.3 出力コンデンサの選択

出力コンデンサにより、LED ストリングを介した高周波電流リップルが低減されます。過度の電流リップルにより、LED ストリングの RMS 電流が増加し、LED の温度が上昇します。

- 1.LED メーカーのデータシートを使用して、LED ストリング (R_{LED}) の総動的抵抗を計算します。
- 2.LED ストリングを流れる許容可能なピークツーピークリップル電流 $I_{LED(ripple)}$ から、出力コンデンサに必要なインピーダンス (Z_{OUT}) を計算します。 $I_{L(ripple)}$ は、選択したインダクタで計算されるピークツーピークのインダクタリップル電流です。
- 3.必要な最小実効出力容量を計算します。
- 4.印加される DC 電圧のディレーティング効果により、出力容量を適切に増やします。

式 30 と式 31 と式 29 を参照してください。

$$R_{LED} = \frac{\Delta V_F}{\Delta I_F} \times \# \text{ of LEDs} \quad (29)$$

$$Z_{COUT} = \frac{R_{LED} \times I_{LED(ripple)}}{I_{L(ripple)} - I_{LED(ripple)}} \quad (30)$$

$$C_{COUT} = \frac{1}{2\pi \times f_{SW} \times Z_{COUT}} \quad (31)$$

出力コンデンサを選択した後、式 32 を使用して、LED ストリングを通してのピークツーピークリップル電流を推定できます。

$$I_{LED(ripple)} = \frac{Z_{COUT} \times I_{L(ripple)}}{Z_{COUT} + R_{LED}} \quad (32)$$

ここでは Osram の WLED が使用されています。LED の動的抵抗は、順方向電流 2A 時に 0.67Ω です。X5R または X7R 誘電体を持つセラミックコンデンサは、ESR が低く、温度係数が小さいため、強く推奨されます。この設計では、1 個の $4.7\mu\text{F}$ 、 100V X7R セラミック コンデンサと 1 個の $0.1\mu\text{F}$ 、 100V X7R セラミック コンデンサを選択しています。LED のリップル電流を計算すると、約 68.4mA となります。

8.2.3.2.4 センス抵抗の選択

最大 LED 電流は 2V のアナログ入力に 2A であり、対応する V_{REF} は 200mV です。式 33 を使用することにより、センス抵抗は $100\text{m}\Omega$ と計算されます。センス抵抗の消費電力は 400mW であり、選択には抵抗の定格電力の十分なマージンが必要であることに注意してください。

$$R_{SENSE} = \frac{V_{REF}}{I_{LED_FS}} \quad (33)$$

この設計では、ノイズ注入を防止して堅牢性を向上させるために、CSN ピンの RFLT に 100Ω の抵抗を用いることを推奨します。センスフィードバックの高周波ノイズをフィルタするため、CSP-CSN ピンの CFLT には、 1nF 、 50V の X7R セラミックコンデンサをオプションで選択します。

8.2.3.2.5 その他外付け部品の選択

この設計では、センスフィードバックの高周波フィルタリングのため、 $0.1\mu\text{F}$ 、 50V の X7R セラミック コンデンサを選択しています。

ループ安定性のため、 C_{COMP} に 1nF 、 10V の X7R セラミック コンデンサ、 R_{COMP} にはオプションで $1\text{k}\Omega$ の抵抗を選択することを推奨します。PWM オンの立ち上がりエッジでのオーバーシュート電流を抑制するため、 R_{DAMP} には $1\text{M}\Omega$ の抵抗を選択します。

ループ安定性のため、 C_{COMP} に $1nF$ 、 $10V$ の X7R セラミックコンデンサ、 R_{COMP} にはオプションで 100Ω の抵抗を選択することを推奨します。CSP+CSN の同相モードのリーク電流を補償し、それが LED を通過しないようにするために、 R_{LK_COMP} にはオプションの抵抗を選択します。

8.3 電源に関する推奨事項

デバイスは、 $4.5V$ ~ $63V$ の入力電源電圧範囲で動作するように設計されています。この入力電源には適切なレギュレーションが行われる必要があります。このデバイスでは、入力電源から引き出されるサージ電流とデバイスからのスイッチングノイズを低減するために入力コンデンサが必要です。X5R または X7R 誘電体を持つセラミックコンデンサは、ESR が低く、温度係数が小さいため、強く推奨されます。ほとんどのアプリケーションでは、 $10\mu F$ のコンデンサで十分です。

8.4 レイアウト

LP8865C-Q1 には、最適な性能を実現するため適切なレイアウトが必要です。以下のセクションでは、適切なレイアウトを確保するためのガイドラインを紹介します。

8.4.1 レイアウトのガイドライン

LP8865C-Q1 ファミリの昇圧トポロジ、昇降圧トポロジ、降圧トポロジの適切なレイアウト例を以下に示します。

- 良好的な電気的特性および熱特性を得るには、大きな GND プレーンを作成することが重要です。
- パターンのインピーダンスを低減するには、VIN と GND のパターンができるだけ広くする必要があります。パターンが広いほど、優れた放熱性能が得られます。
- サーマルビアを使用すれば、上側の GND プレーンを追加のプリント基板(PCB)層に接続し、放熱とグランド配線を行うことができます。
- 入力コンデンサは、IN および GND ピンにできるだけ近い位置に配置する必要があります。
- LDO 出力電圧の安定を確保するため、VCC コンデンサは VCC ピンからできるだけ近い位置に配置する必要があります。
- 寄生インダクタンスを低減することにより過渡電圧スパイクを低減するためには、SW パターンをできるだけ短くする必要があります。また、SW パターンが短いと、放射ノイズと EMI も低減されます。
- デバイスの下をスイッチング電流が流れないようにしてください。
- CSP および CSP のパターン配線は、並列に配置し、できる限り短くして、高電圧のスイッチングパターンとグランドシールドから離して配置することをお勧めします。
- 発振およびシステムの不安定性を防ぐため、補償コンデンサは COMP ピンからできるだけ近い位置に配置する必要があります。

8.4.2 レイアウト例

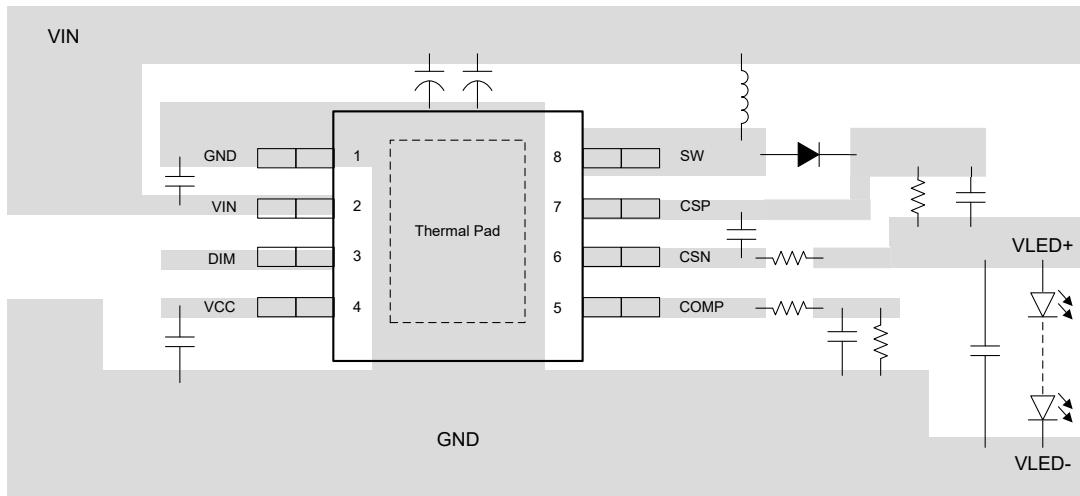


図 8-4. 昇圧トポロジ 上面レイアウト例

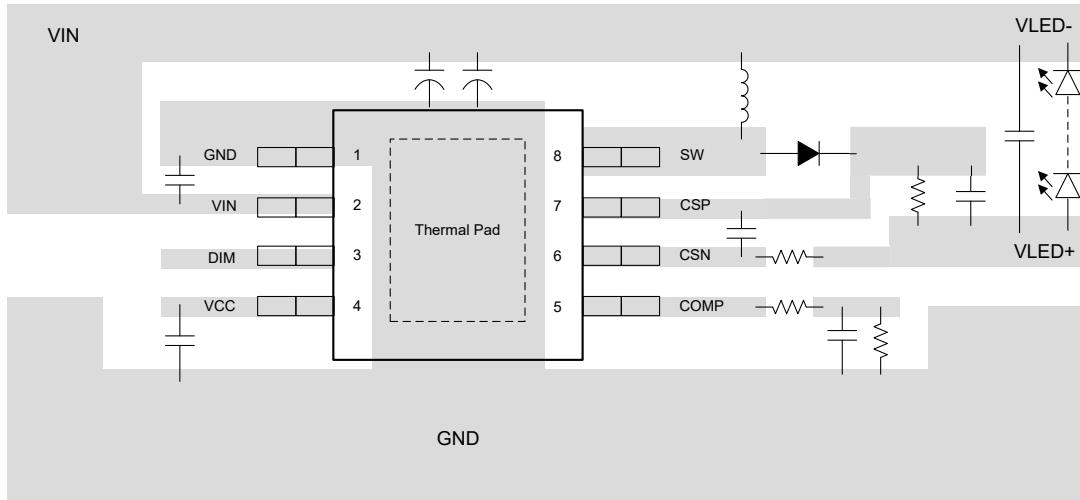


図 8-5. 昇降圧トポロジ 上面レイアウト例

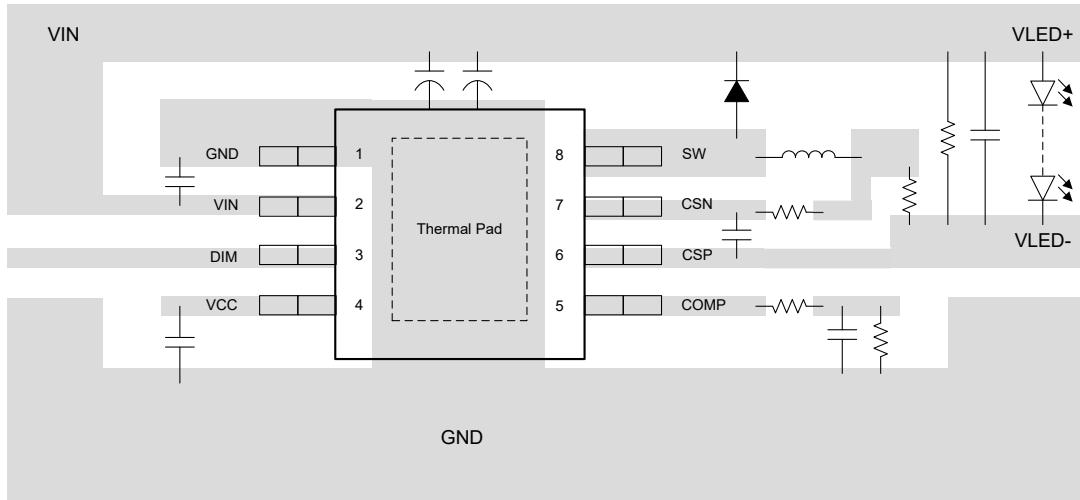


図 8-6. 降圧トポロジ 上面レイアウト例

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.4 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお勧めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.5 用語集

[テキサス・インスツルメンツ用語集](#)

この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

日付	改訂	注
May 2025	*	初版リリース

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。これらの情報は、指定されたデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあります。このドキュメントの改訂なしに変更されることがあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LP8865CUQDGNRQ1	Active	Production	HVSSOP (DGN) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	65CU
LP8865CVQDGNRQ1	Active	Production	HVSSOP (DGN) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	65CV
LP8865CWQDGNRQ1	Active	Production	HVSSOP (DGN) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	65CW
LP8865CXQDGNRQ1	Active	Production	HVSSOP (DGN) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	65CX
LP8865CYQDGNRQ1	Active	Production	HVSSOP (DGN) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	65CY
LP8865CZQDGNRQ1	Active	Production	HVSSOP (DGN) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	65CZ

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

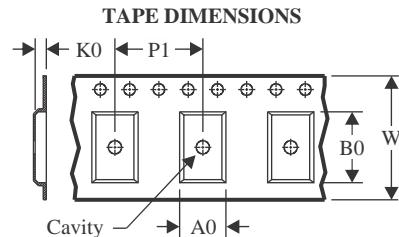
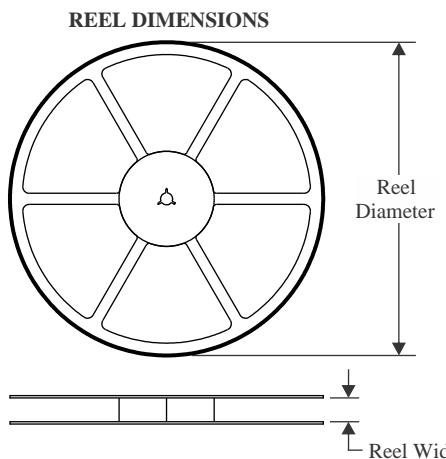
⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

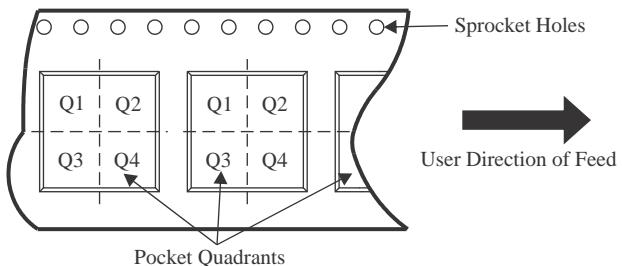
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

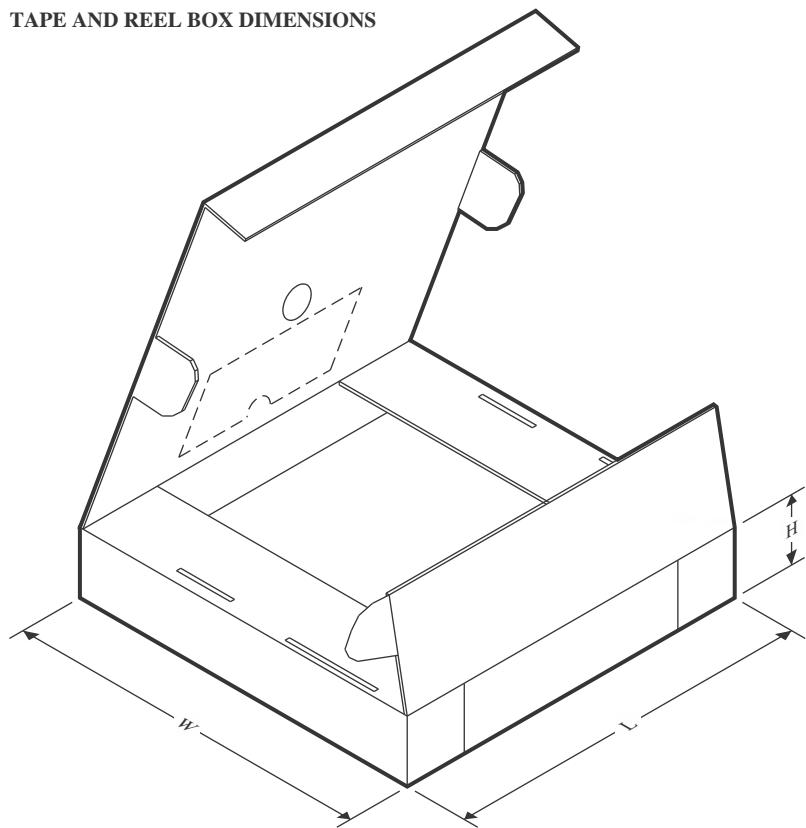
TAPE AND REEL INFORMATION

A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LP8865CUQDGNRQ1	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LP8865CVQDGNRQ1	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LP8865CWQDGNRQ1	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LP8865CXQDGNRQ1	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LP8865CYQDGNRQ1	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LP8865CZQDGNRQ1	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LP8865CUQDGNRQ1	HVSSOP	DGN	8	2500	353.0	353.0	32.0
LP8865CVQDGNRQ1	HVSSOP	DGN	8	2500	353.0	353.0	32.0
LP8865CWQDGNRQ1	HVSSOP	DGN	8	2500	353.0	353.0	32.0
LP8865CXQDGNRQ1	HVSSOP	DGN	8	2500	353.0	353.0	32.0
LP8865CYQDGNRQ1	HVSSOP	DGN	8	2500	353.0	353.0	32.0
LP8865CZQDGNRQ1	HVSSOP	DGN	8	2500	353.0	353.0	32.0

GENERIC PACKAGE VIEW

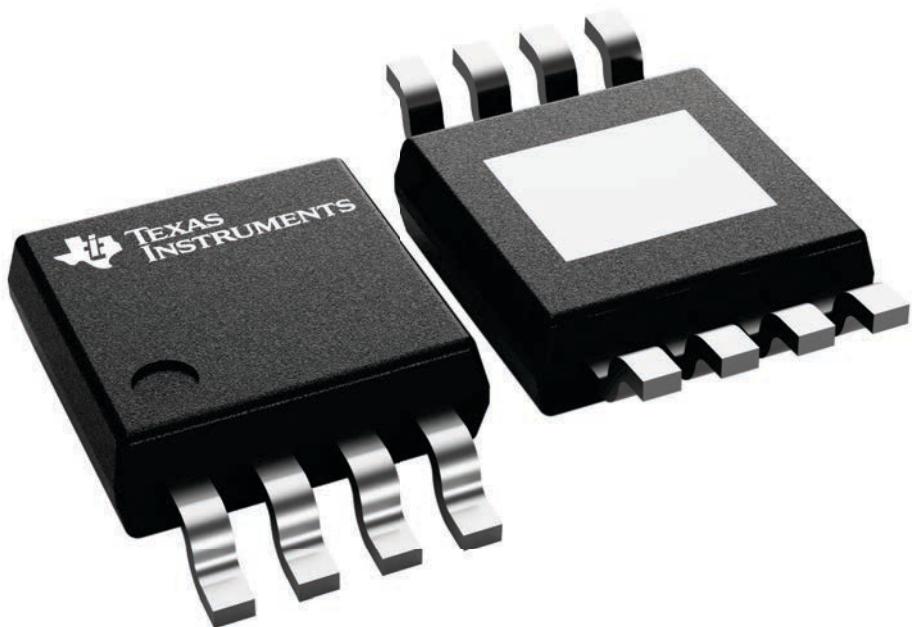
DGN 8

PowerPAD™ HVSSOP - 1.1 mm max height

3 x 3, 0.65 mm pitch

SMALL OUTLINE PACKAGE

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4225482/B

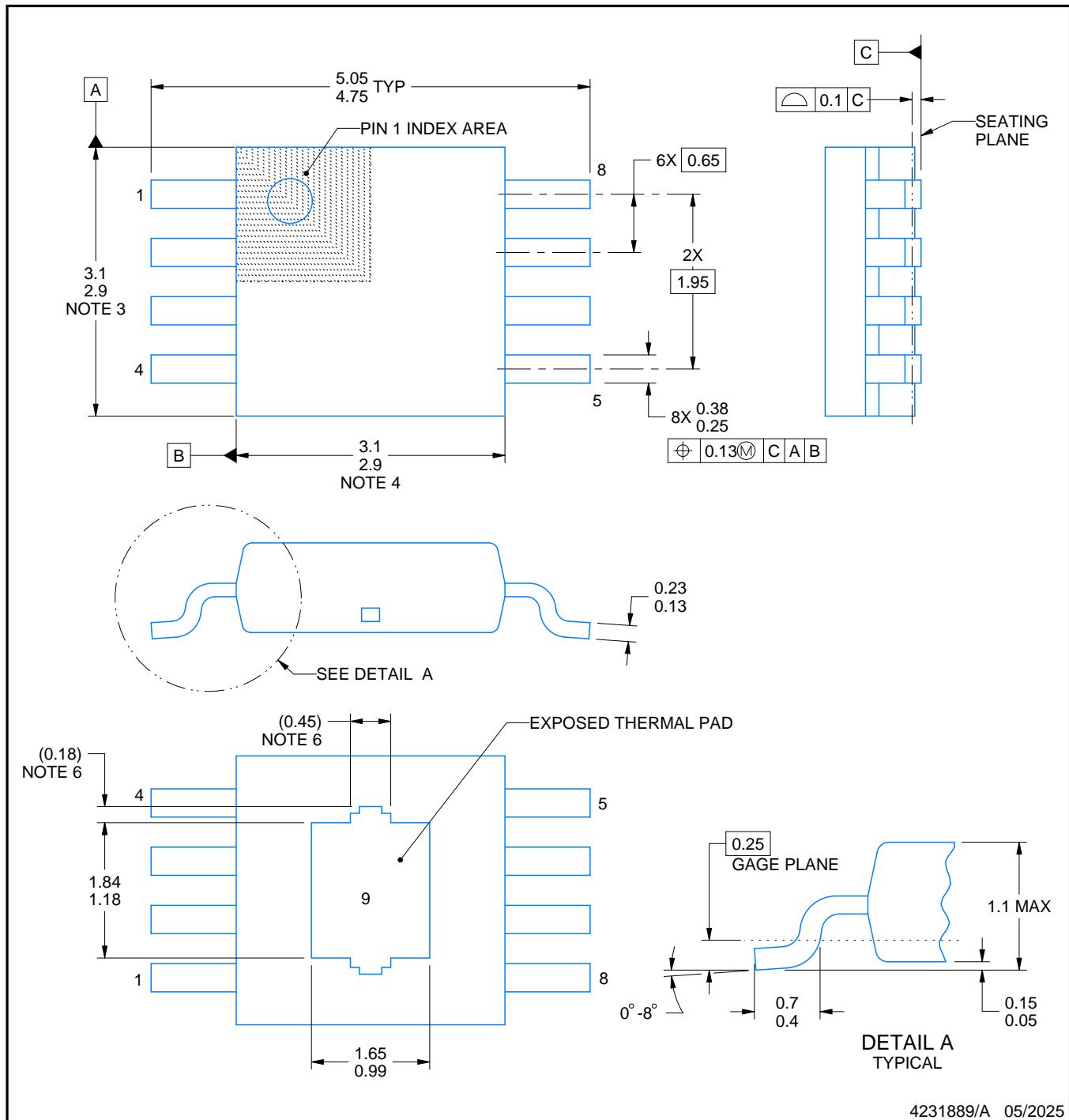
PACKAGE OUTLINE

DGN0008K



PowerPAD™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



NOTES:

PowerPAD is a trademark of Texas Instruments.

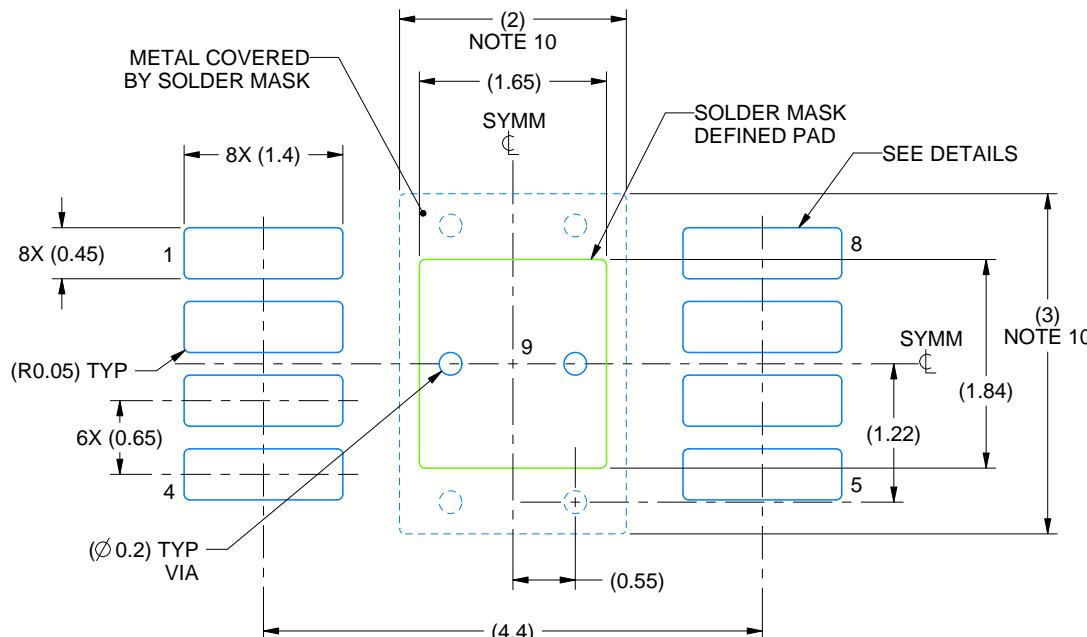
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
 2. This drawing is subject to change without notice.
 3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
 4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
 5. Reference JEDEC registration MO-187.
 6. Features may differ or may not be present.

EXAMPLE BOARD LAYOUT

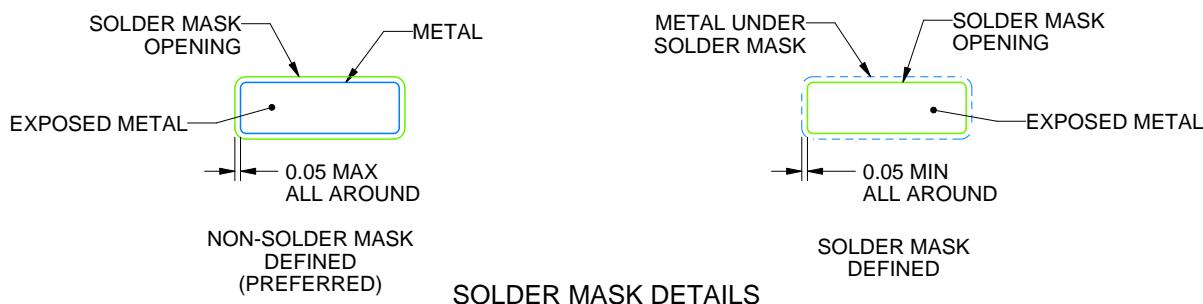
DGN0008K

PowerPAD™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



4231889/A 05/2025

NOTES: (continued)

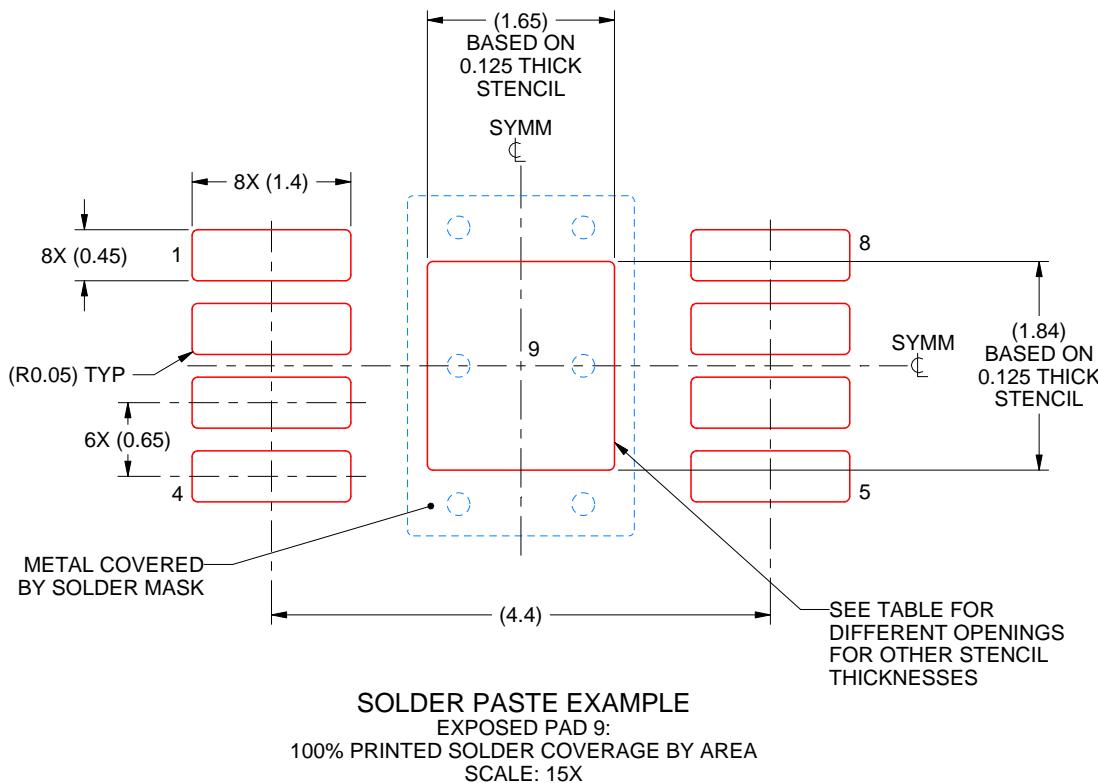
7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
9. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
10. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGN0008K

PowerPAD™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	1.84 X 2.06
0.125	1.65 X 1.84 (SHOWN)
0.15	1.51 X 1.68
0.175	1.39 X 1.56

4231889/A 05/2025

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Webツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかわらず拒否します。

これらのリソースは、TI製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適したTI製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているTI製品を使用するアプリケーションの開発の目的でのみ、TIはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TIや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TIおよびその代理人を完全に補償するものとし、TIは一切の責任を拒否します。

TIの製品は、[TIの販売条件](#)、[TIの総合的な品質ガイドライン](#)、[ti.com](#)またはTI製品などに関連して提供される他の適用条件に従い提供されます。TIがこれらのリソースを提供することは、適用されるTIの保証または他の保証の放棄の拡大や変更を意味するものではありません。TIがカスタム、またはカスタマー仕様として明示的に指定していない限り、TIの製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TIはそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025年10月