

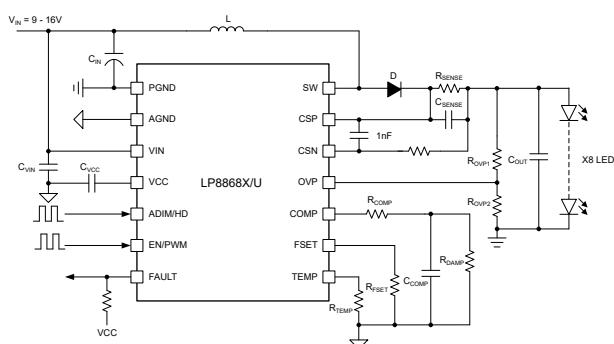
# LP8868-Q1 誘導性高速調光機能を搭載した車載用マルチトポロジ LED ドライバ

## 1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
  - 温度グレード 1:  
-40°C ~ +125°C,  $T_A$
- 降圧、昇降圧、昇圧トポロジ用の MOSFET を内蔵
  - 広い入力電圧範囲: 4.5V ~ 65V
  - 5.2A および 150mΩ の MOSFET を内蔵
  - スイッチング周波数: 100kHz ~ 2.2MHz
  - スペクトラム拡散による EMI 低減
- 高精度のパワー FET 調光法
  - 降圧トポロジで最大 4A の出力電流
  - アナログ調光法 (調光比 256:1)
  - 高速 PWM 調光 (パルス幅 150ns)
  - ハイブリッドおよびフレキシブル調光法
- 包括的な保護機能を搭載:
  - 故障出力
  - LED の断線 / 短絡保護
  - サイクル単位の電流制限
  - スイッチング FET の障害保護
  - サーマル シャットダウン
  - サーマル フォールドバック曲線を設定可能

## 2 アプリケーション

- 車載インフォテインメント
- 車載用計器盤
- ヘッドアップ ディスプレイ (HUD)
- 車載ライティング



昇圧 LED ドライバ アプリケーションの標準回路図

## 3 説明

LP8868-Q1 ファミリは、4.5V ~ 65 の広い入力電圧範囲に対応した非同期マルチトポロジソリューションです。ローサイド NMOS スイッチを内蔵することにより、このデバイスは高電力密度および高効率で LED を駆動できます。また、このファミリは、同相カソード接続および単層 PCB 設計もサポートしています。スイッチング周波数は 100kHz ~ 2.2MHz で構成可能で、オプションのスペクトラム拡散機能により EMI 性能が向上します。

LP8868-Q1 ファミリは、アナログ調光法、PWM 調光法、ハイブリッドおよびフレキシブル調光法の 4 つの調光オプションをサポートしています。各調光方法は、PWM および ADIM 入力ピンを通して単純な High 信号と Low 信号によって構成できます。このファミリは、適応型オフ時間電流モード制御とスマートで正確なサンプリングを採用して、誘導性高速調光 (IFD) を可能にし、高い調光精度を実現します。

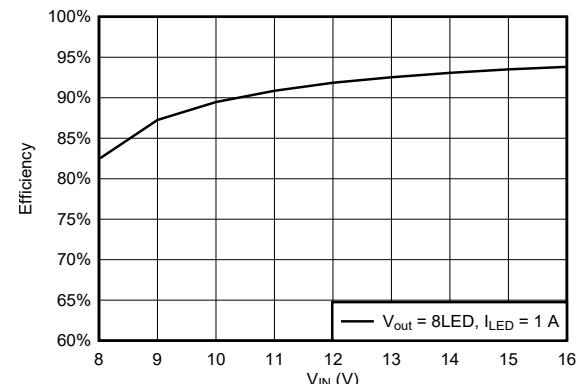
LP8868-Q1 ファミリは、LED の断線と短絡、センス抵抗の開放と短絡、構成可能なサーマル フォールドバック、サーマル シャットダウンなど、複数の系統的な保護機能も提供します。フォルト出力は、フォルト状態が検出されるとすぐにアクノリッジ信号を送信します。

### パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)
LP8868-Q1	VSON (14)	4.5 mm × 3mm
	HVSSOP (12)	4 mm × 4.9mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。

(2) パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンを含みます。



効率と入力電圧との関係



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

## 目次

1 特長	1	7.3 機能説明	15
2 アプリケーション	1	8 アプリケーションと実装	21
3 説明	1	8.1 アプリケーション情報	21
4 比較表	3	8.2 代表的なアプリケーション	21
5 ピン構成および機能	4	8.3 電源に関する推奨事項	33
6 仕様	8	8.4 レイアウト	33
6.1 絶対最大定格	8	9 デバイスおよびドキュメントのサポート	36
6.2 ESD 定格	8	9.1 ドキュメントの更新通知を受け取る方法	36
6.3 推奨動作条件	8	9.2 サポート・リソース	36
6.4 熱に関する情報	8	9.3 商標	36
6.5 電気的特性	9	9.4 静電気放電に関する注意事項	36
6.6 代表的特性	11	9.5 用語集	36
7 詳細説明	14	10 改訂履歴	36
7.1 概要	14	11 メカニカル、パッケージ、および注文情報	38
7.2 機能ブロック図	14		

## 4 比較表

部品番号	トポロジ	MOSFET 電流制限 (標準値)	スペクトラム拡散	パッケージ
LP8868XQDMTRQ1	昇圧	6A	イネーブル	VSON
LP8868YQDMTRQ1	昇降圧	6A	イネーブル	VSON
LP8868ZQDMTRQ1	降圧	6A	イネーブル	VSON
LP8868UQDMTRQ1	昇圧	6A	ディセーブル	VSON
LP8868VQDMTRQ1	昇降圧	6A	ディセーブル	VSON
LP8868WQDMTRQ1	降圧	6A	ディセーブル	VSON
LP8868XQDGNRQ1	昇圧	6A	イネーブル	HVSSOP
LP8868YQDGNRQ1	昇降圧	6A	イネーブル	HVSSOP
LP8868ZQDGNRQ1	降圧	6A	イネーブル	HVSSOP

## 5 ピン構成および機能

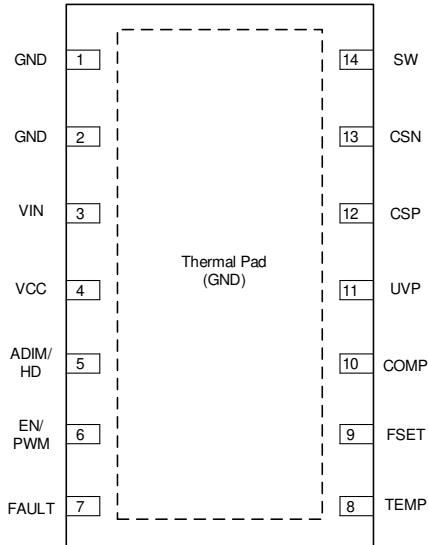


図 5-1. 14 ピン 降圧 VSON (上面図)

表 5-1. 降圧トポロジ用の VSON ピン機能

ピン		タイプ <sup>(1)</sup>	説明
番号	名称		
1	PGND	G	電源グランドピン。
2	AGND	G	アナログ グランドピン。
3	VIN	P	入力電源ピン。
4	VCC	P	内部 LDO 出力ピン。10V, 1- $\mu$ F コンデンサを GND に接続します。
5	ADIM/HD	I	アナログ調光またはハイブリッド調光ピン。PWM 調光のみの場合は High にし、ハイブリッド調光の場合は Low にし、アナログ調光の場合は入力 PWM 信号です。
6	PWM/EN	I	PWM 調光または EN ピン。常時オンの場合は High にし、デバイスをディスエーブルする場合は Low にし、PWM 調光用に PWM 信号を入力します。
7	FAULT	O	オーブンドレイン出力。故障が検出されると Low にプルされます。
8	TEMP	I/O	サーマルフォールドバックピン。各種の抵抗値を GND に配置することで、各種のサーマルフォールドバック動作曲線を設定できます。
9	FSET	I/O	スイッチング周波数設定ピン、100kHz ~ 2.2MHz の範囲。さまざまなスイッチング周波数について、GND に異なる抵抗値を配置します。
10	COMP	I/O	エラーアンプ出力。コンデンサを GND に接続します。コンデンサの値によって、ソフトスタート時間および帯域幅は異なります。
11	UVP	I	低電圧検出ピン。LED 開放検出スレッショルドを設定するために、各種の分圧抵抗を配置します。
12	CSP	I	LED 電流センスの正のピン。
13	CSN	I	LED 電流センスの負のピン。
14	SW	P	スイッチングノードピン。ローサイド MOSFET への内部接続。パワーインダクタおよびショットキーダイオードと接続します。
パッド	サーマル パッド	G	電源グランドピン。

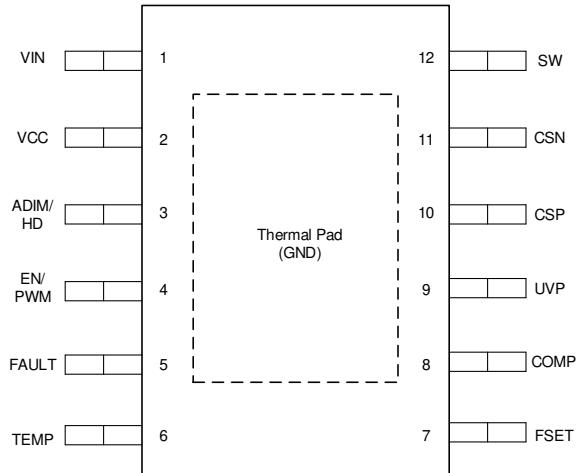


図 5-2. 12 ピン 降圧 HVSSOP (上面図)

表 5-2. 降圧トポロジ用の HVSSOP ピン機能

ピン		タイプ <sup>(1)</sup>	説明
番号	名称		
1	VIN	P	入力電源ピン。
2	VCC	P	内部 LDO 出力ピン。10V, 1- $\mu$ F コンデンサを GND に接続します。
3	ADIM/HD	I	アナログ調光またはハイブリッド調光ピン。PWM 調光のみの場合は High にし、ハイブリッド調光の場合は Low にし、アナログ調光の場合は入力 PWM 信号です。
4	PWM/EN	I	PWM 調光または EN ピン。常時オンの場合は High にし、デバイスをディスエーブルする場合は Low にし、PWM 調光用に PWM 信号を入力します。
5	FAULT	O	オーブンドレイン出力。故障が検出されると Low にプルされます。
6	TEMP	I/O	サーマルフォールドバックピン。各種の抵抗値を GND に配置することで、各種のサーマルフォールドバック動作曲線を設定できます。
7	FSET	I/O	スイッチング周波数設定ピン、100kHz ~ 2.2MHz の範囲。さまざまなスイッチング周波数について、GND に異なる抵抗値を配置します。
8	COMP	I/O	エラーインピーダンス出力。コンデンサを GND に接続します。コンデンサの値によって、ソフトスタート時間および帯域幅は異なります。
9	UVP	I	低電圧検出ピン。LED 開放検出スレッショルドを設定するために、各種の分圧抵抗を配置します。
10	CSP	I	LED 電流センスの正のピン。
11	CSN	I	LED 電流センスの負のピン。
12	SW	P	スイッチングノードピン。ローサイド MOSFET への内部接続。パワーインダクタおよびショットキーダイオードと接続します。
パッド	サーマル パッド	G	電源グランドピンおよびアナロググランドピン

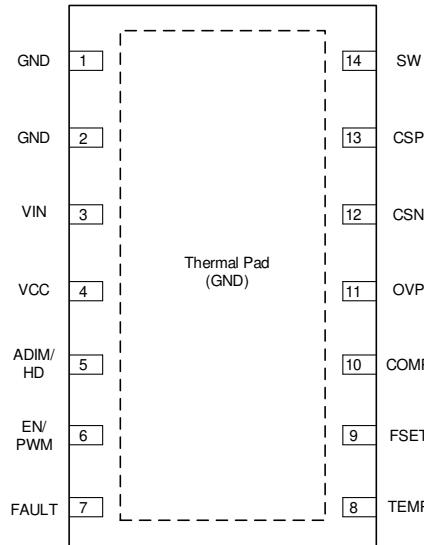


図 5-3. 14 ピン昇圧 / 昇降圧 VSON の上面図

表 5-3. 昇圧/昇降圧トポロジのピン VSON ピン機能

ピン	番号	タイプ <sup>(1)</sup>	説明
PGND	1	G	電源グランドピン。
AGND	2	G	アナロググランドピン。
VIN	3	P	入力電源ピン。
VCC	4	P	内部LDO出力ピン。10V、1- $\mu$ FコンデンサをGNDに接続します。
ADIM/HD	5	I	アナログ調光またはハイブリッド調光ピン。PWM調光のみの場合はHighにし、ハイブリッド調光の場合はLowにし、アナログ調光の場合は入力PWM信号です。
PWM/EN	6	I	PWM調光またはENピン。常時オンの場合はHighにし、デバイスをディスエーブルする場合はLowにし、PWM調光用にPWM信号を入力します。
FAULT	7	O	オープンドレイン出力。故障が検出されるとLowにプルされます。
TEMP	8	I/O	サーマルフォールドバックピン。各種の抵抗値をGNDに配置することで、各種のサーマルフォールドバック動作曲線を設定できます。
FSET	9	I/O	スイッチング周波数設定ピン、100kHz～2.2MHzの範囲。さまざまなスイッチング周波数について、GNDに異なる抵抗値を配置します。
COMP	10	I/O	エラーアンプ出力。コンデンサをGNDに接続します。コンデンサの値によって、ソフトスタート時間および帯域幅は異なります。
OVP	11	I	過電圧検出ピン。LED開放検出スレッショルドを設定するために、各種の分圧抵抗を配置します。
CSN	12	I	LED電流センスの負のピン。
CSP	13	I	LED電流センスの正のピン。
SW	14	P	スイッチングノードピン。ローサイドMOSFETへの内部接続。パワーインダクタおよびショットキーダイオードと接続します。
サーマルパッド	パッド	G	電源グランドピン。

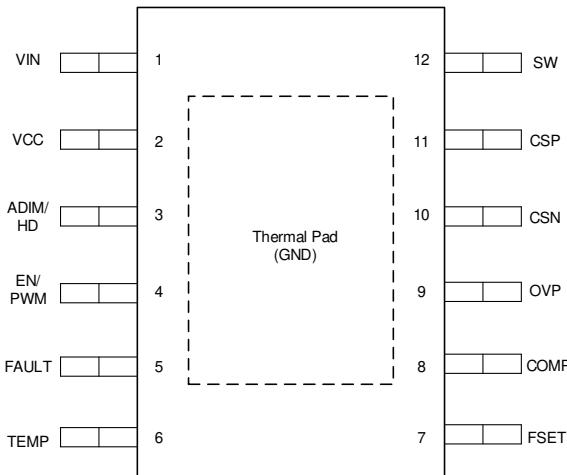


図 5-4. 12 ピン昇圧 / 昇降圧 HVSSOP の上面図

表 5-4. 昇圧/昇降圧トポロジのピン VSON ピン機能

ピン		タイプ <sup>(1)</sup>	説明
VSON パッケージ	名称		
1	VIN	P	入力電源ピン。
2	VCC	P	内部 LDO 出力ピン。10V、1- $\mu$ F コンデンサを GND に接続します。
3	ADIM/HD	I	アナログ調光またはハイブリッド調光ピン。PWM 調光のみの場合は High にし、ハイブリッド調光の場合は Low にし、アナログ調光の場合は入力 PWM 信号です。
4	PWM/EN	I	PWM 調光または EN ピン。常時オンの場合は High にし、デバイスをディスエーブルする場合は Low にし、PWM 調光用に PWM 信号を入力します。
5	フォルト	O	オープンドレイン出力。故障が検出されると Low にプルされます。
6	TEMP	I/O	サーマルフォールドバックピン。各種の抵抗値を GND に配置することで、各種のサーマルフォールドバック動作曲線を設定できます。
7	FSET	I/O	スイッチング周波数設定ピン、100kHz ~ 2.2MHz の範囲。さまざまなスイッチング周波数について、GND に異なる抵抗値を配置します。
8	COMP	I/O	エラーアンプ出力。コンデンサを GND に接続します。コンデンサの値によって、ソフトスタート時間および帯域幅は異なります。
9	OVP	I	過電圧検出ピン。LED 開放検出スレッショルドを設定するために、各種の分圧抵抗を配置します。
10	CSN	I	LED 電流センスの負のピン。
11	CSP	I	LED 電流センスの正のピン。
12	SW	P	スイッチングノードピン。ローサイド MOSFET への内部接続。パワーインダクタおよびショットキーダイオードと接続します。
パッド	サーマル パッド	G	電源グランドピンおよびアナロググランドピン

(1) I = 入力、O = 出力、P = 電源、G = グランド

## 6 仕様

### 6.1 絶対最大定格

動作時周囲温度範囲内 (特に記述のない限り) <sup>(1)</sup>

		最小値	最大値	単位
ピンの電圧	VIN, UVP, OVP, CSP, CSN, SW,	-0.3	65	V
ピンの電圧	VCC, ADIM/HD, EN/PWM, FAULT, TEMP, FSET, COMP	-0.3	5.5	V
動作時接合部温度	T <sub>J</sub>	-40	150	°C
保存温度	T <sub>stg</sub>	-65	150	°C

(1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示してあり、このデータシートの「推奨動作条件」に示された値を超える状態で本製品が正常に動作することを暗黙的に示すものではありません。絶対最大定格の状態に長時間さらした場合、本製品の信頼性に影響を与える可能性があります。

### 6.2 ESD 定格

			値	単位
V <sub>(ESD)</sub>	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 <sup>(1)</sup>	±2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠 <sup>(2)</sup>	±500	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

### 6.3 推奨動作条件

動作時周囲温度範囲内 (特に記述のない限り)

		最小値	最大値	単位
入力電圧範囲	VIN	4.5	63	V
入力電圧範囲	UVP, OVP, CSP, CSN	0	63	V
入力電圧範囲	VCC, ADIM/HD, EN/PWM, TEMP, FSET	0	5	V
出力電圧範囲	SW	0	63	V
	FAULT, COMP	0	5	V
動作時の接合部温度、T <sub>J</sub>		-40	150	°C

### 6.4 热に関する情報

熱評価基準 <sup>(1)</sup>		デバイス		単位
		HVSSOP	SON	
		12 ピン	14 ピン	
R <sub>θJA</sub>	接合部から周囲への熱抵抗	38.3	39.1	°C/W
R <sub>θJC(top)</sub>	接合部からケース (上面) への熱抵抗	52.2	39.5	°C/W
R <sub>θJB</sub>	接合部から基板への熱抵抗	13.9	14.7	°C/W
Ψ <sub>JT</sub>	接合部から上面への特性パラメータ	1.9	0.9	°C/W
Ψ <sub>JB</sub>	接合部から基板への特性パラメータ	13.9	14.7	°C/W

(1) 従来の熱評価基準と最新の熱評価基準の詳細については、半導体およびIC パッケージの熱評価基準アプリケーションレポート、SPRA953 をご覧ください。

## 6.5 電気的特性

ここで規定される電気的定格は、特に記述のない限り、このドキュメント内のすべての仕様に適用されます。これらの仕様は、デバイスを含む製品の寿命全体にわたり、デバイスの特性や機能の仕様を劣化させない条件として解釈されます。 $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ 、 $V_{IN} = 4.5\text{V} \sim 60\text{V}$ 、(特に記述のない限り)。

パラメータ	テスト条件	最小値	標準値	最大値	単位
<b>入力電源電圧</b>					
$V_{VIN\_UVLO}$	$V_{IN}$ 低電圧誤動作防止	上昇時 $V_{IN}$	3.0	3.2	3.4
		立ち下がり $V_{IN}$	2.8	3.0	3.2
	ヒステリシス		0.2		V
$I_{SD}$	$V_{IN}$ からのシャットダウン電流	$V_{IN} = 12\text{V}$ 、 $V_{EN/PWM} = 0\text{V}$	0.8	2.3	$\mu\text{A}$
$I_{OFF}$	$V_{IN}$ からの PWM オフ電流	$V_{IN} = 12\text{V}$ 、 $V_{EN/PWM} = 0\text{V}$	2.5		$\text{mA}$
$I_{OP}$	通常の動作電流	400kHz のスイッチング周波数	4.6		$\text{mA}$
$I_{OP}$	通常の動作電流	2.2MHz のスイッチング周波数	10.0		$\text{mA}$
$V_{VCC}$	内部 LDO 出力電圧	$I_{VCC} = 10\text{mA}$	5.0	5.15	5.3
$I_{VCC\_LIM}$	内部 LDO 出力電流制限		38	47	56
<b>調光</b>					
$V_{PWM\_L}$	Low レベル入力電圧		0.4		V
$V_{PWM\_H}$	High レベル入力電圧		1.2		V
$V_{ADIM\_L}$	Low レベル入力電圧		0.4		V
$V_{ADIM\_H}$	High レベル入力電圧		1.2		V
$t_{PWM\_OUT\_ON}$	PWM 出力の最小オン時間		150		ns
$t_{PWM\_IN\_ON}$	PWM 入力の最小オン時間		150		ns
$t_{PWM\_IN\_OFF}$	デバイスを無効化するための PWM 入力の最小オフ時間		57	77	ms
$f_{ADIM}$	アナログ調光入力周波数	6 ビット ADIM 分解能	0.1	156	kHz
$f_{ADIM}$	アナログ調光入力周波数	8 ビット ADIM 分解能	0.1	39	kHz
<b>フォルト</b>					
$V_{OL}$	出力レベル Low	$I = 3\text{mA}$	0.1		V
$I_{LEAKAGE}$	出力リーク電流	$V = 5\text{V}$	1		$\mu\text{A}$
<b>フィードバックおよびエラー アンプ</b>					
$g_{M(ea)}$	相互コンダクタンスのゲイン	ADIM 100% デューティサイクル、 $V_{CSP-CSN} = 200\text{mV}$ 、 $V_{COMP} = 1.5\text{V}$	205	265	325
$I_{COMP}$	ソース/シンク電流	ADIM 100% デューティサイクル、 $V_{CSP-CSN} = 200\text{mV} \pm 200\text{mV}$ 、 $V_{COMP} = 1.5\text{V}$	$\pm 24$	$\pm 40$	$\pm 56$
$V_{CSP-CSN}$	電流センスレッショルド	ADIM 100% デューティサイクル	194	200	206
$V_{CSP-CSN}$	電流センスレッショルド	ADIM 12.5% デューティサイクルで、100% デューティサイクルで比較します	11.875	12.5	13.125
$V_{CSP-CSN}$	電流センスレッショルド	ADIM 1.17% デューティサイクルで、100% デューティサイクルで比較します	0.82	1.17	1.52
$I_{LEAK\_CSP/N}$	CSP + CSN ピンのリーク電流	$V_{IN} = 60\text{V}$ 、 $V_{EN/PWM} = 5\text{V}$	22	31	$\mu\text{A}$
$I_{LEAK\_CSP/N}$	CSP + CSN ピンのリーク電流	$V_{IN} = 60\text{V}$ 、 $V_{EN/PWM} = 0\text{V}$	10	15	$\mu\text{A}$
<b>電力段</b>					
$R_{DSON}$	スイッチング FET オン抵抗	$V_{IN} \geq 5\text{V}$	150		$\text{m}\Omega$
$t_{min\_ON}$	スイッチング FET の最小オン時間		100		ns
$t_{min\_OFF}$	スイッチング FET 最小オフ時間		100		ns
$f_{SW}$	スイッチング FET 周波数		0.1	2.2	MHz
<b>電流制限</b>					
$I_{LIM}$	スイッチング FET のサイクル単位の電流制限 (LP8868X/LP8868Y/LP8868U/LP8868V)		5.8	6.5	7.6
$I_{LIM}$	スイッチング FET のサイクル単位の電流制限 (LP8868Z/LP8868W)		5.2	6	7

## 6.5 電気的特性 (続き)

ここで規定される電気的定格は、特に記述のない限り、このドキュメント内のすべての仕様に適用されます。これらの仕様は、デバイスを含む製品の寿命全体にわたり、デバイスの特性や機能の仕様を劣化させない条件として解釈されます。 $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ 、 $V_{IN} = 4.5\text{V} \sim 60\text{V}$ 、(特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$I_{LIM}$	スイッチング FET のサイクル単位の電流制限 (LP8868X/LP8868Y/LP8868U/LP8868V) HVSSOP パッケージ		5.8	7	7.8	A
$I_{LIM}$	スイッチング FET のサイクル単位の電流制限 (LP8868Z/LP8868W) HVSSOP パッケージ		5.2	6.5	7.2	A
熱保護						
$T_{th}$	サーマル フォールドバック開始温度スレッショルド	$R_{TEMP} = 20\text{k}\Omega$	130			$^\circ\text{C}$
$T_{TSD}$	サーマル シャットダウン温度		165			$^\circ\text{C}$
	ヒステリシス		15			$^\circ\text{C}$

## 6.6 代表的特性

特に記述のない限り、 $V_{IN} = 12V$ 、 $L = 22\mu H$ 、 $F_{SW} = 400kHz$

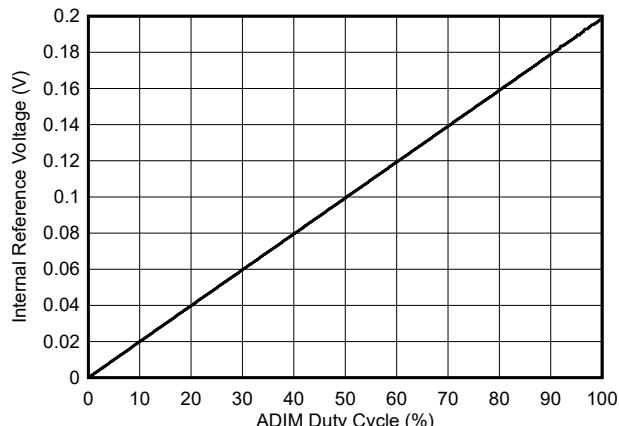


図 6-1. アナログ調光での ADIM デューティサイクルとリファレンス電圧との関係

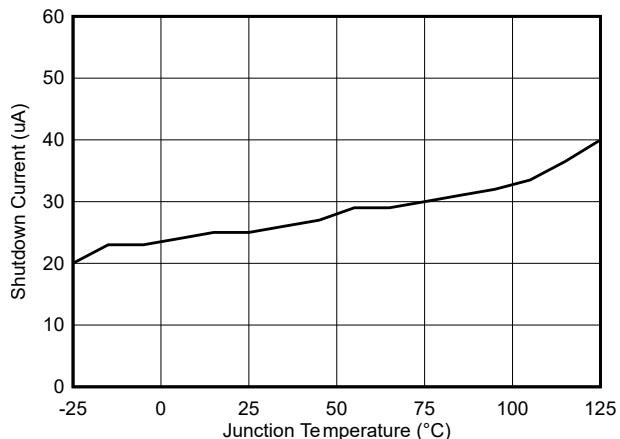


図 6-2. シャットダウン電流と接合部温度との関係

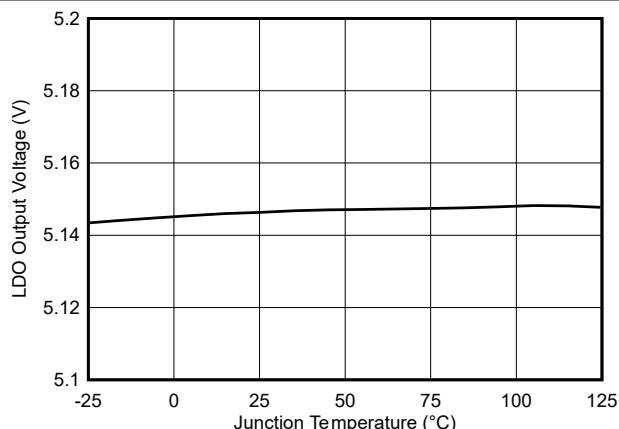


図 6-3. 内部 LDO 出力と接合部温度との関係

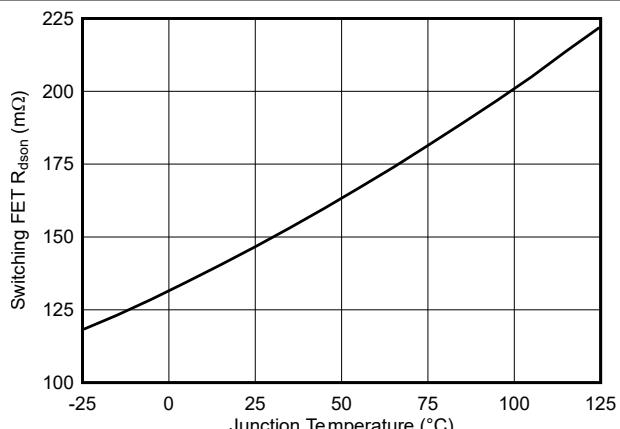


図 6-4. スイッチング FET の R<sub>ds(on)</sub> と接合部温度との関係

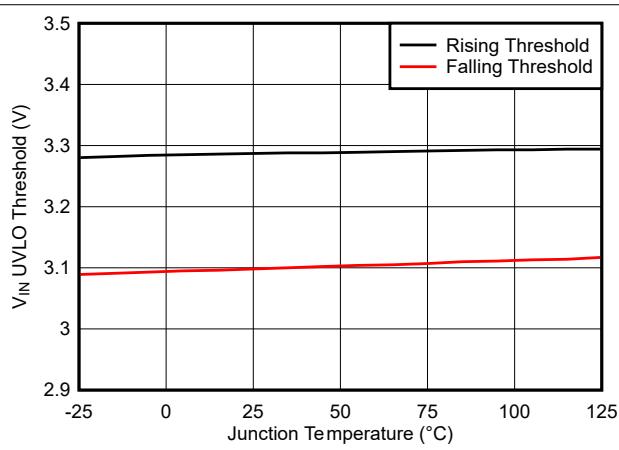


図 6-5. VIN UVLO スレッショルドと接合部温度との関係

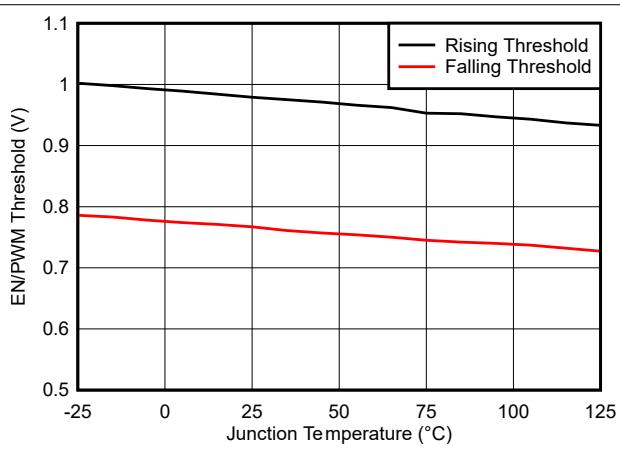


図 6-6. EN/PWM スレッショルドと接合部温度との関係

## 6.6 代表的特性 (続き)

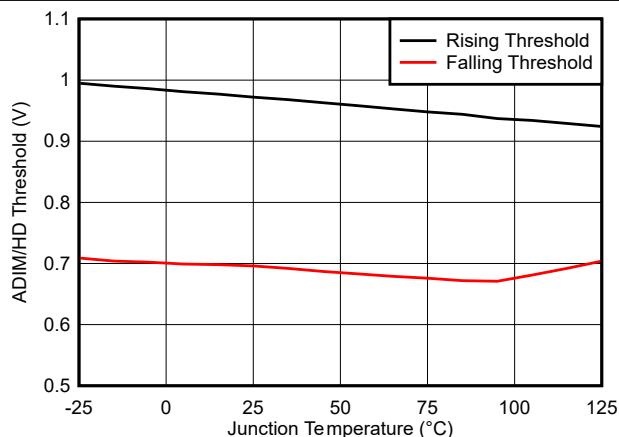


図 6-7. ADIM/HD スレッショルドと接合部温度との関係

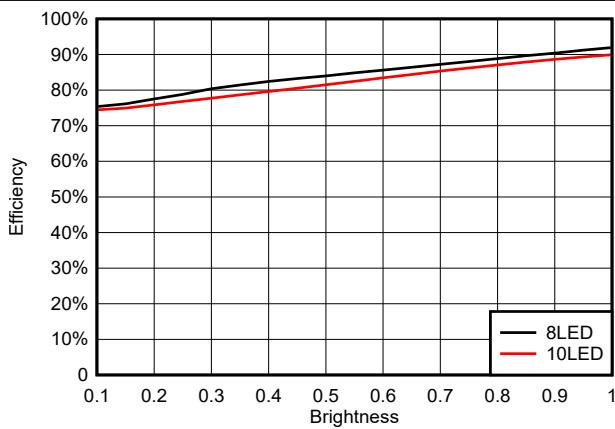


図 6-8. PWM 調光を使用する際の 1A の最大出力電流時の効率、  
 22uH インダクタ、昇圧トポロジ

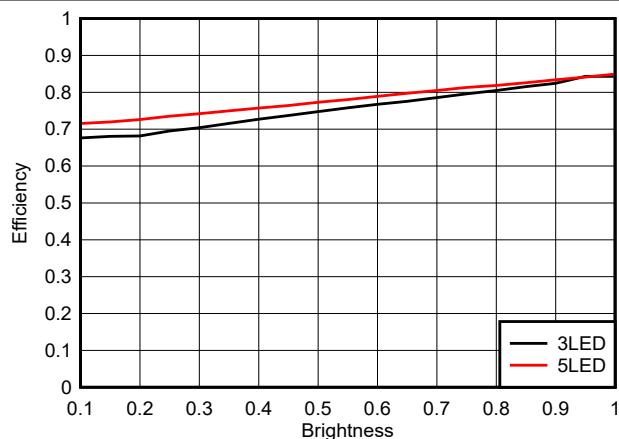


図 6-9. PWM 調光を使用する際の 1A の最大出力電流時の効率、  
 22uH インダクタ、昇降圧トポロジ

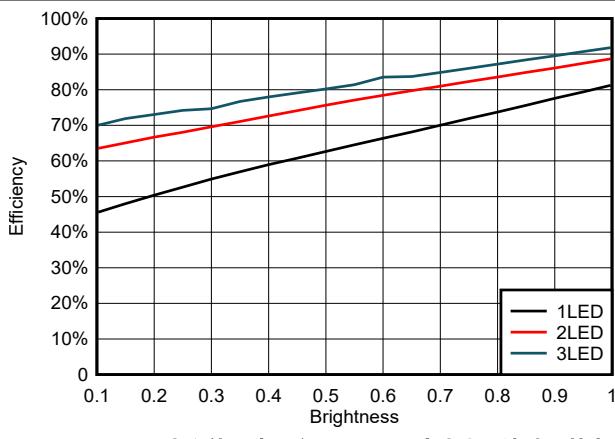


図 6-10. PWM 調光を使用する際の 3A の最大出力電流時の効率、  
 22uH インダクタ、降圧トポロジ

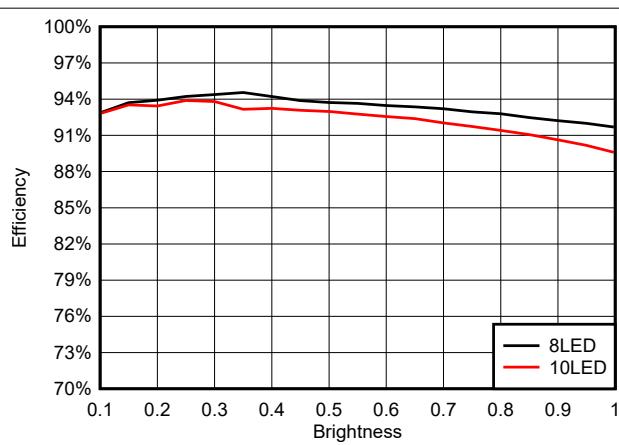


図 6-11. アナログ調光を使用する際の 1A の最大出力電流時の効率、  
 22uH インダクタ、昇圧トポロジ

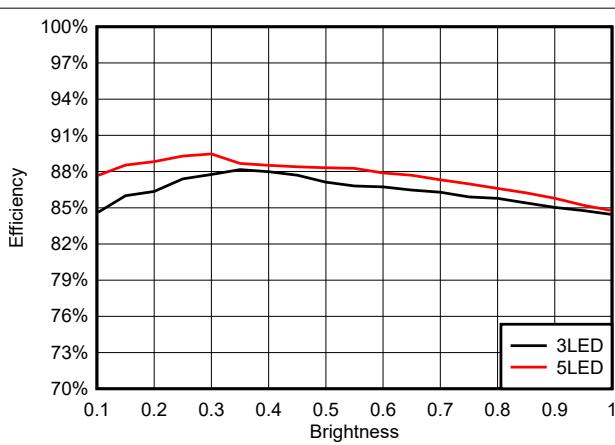


図 6-12. アナログ調光を使用する際の 1A の最大出力電流時の効率、  
 22uH インダクタ、昇降圧トポロジ

## 6.6 代表的特性 (続き)

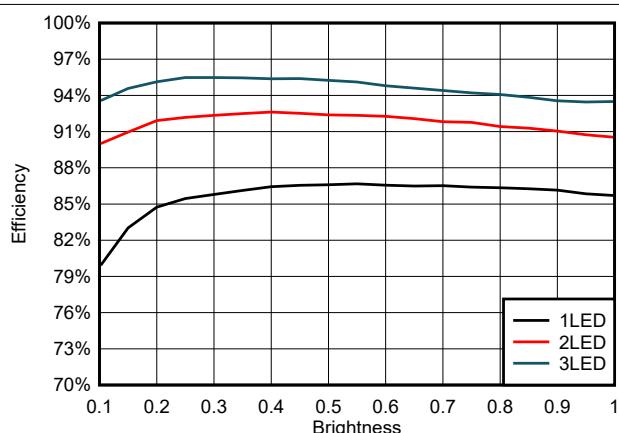


図 6-13. アナログ調光を使用する際の 3A の最大出力電流時の効率、22uH インダクタ、降圧トポロジ

## 7 詳細説明

## 7.1 概要

LP8868-Q1 ファミリは、4A に非同期整流降圧/昇圧/昇降圧 LED ドライバで、4.5V ~ 65V の広い入力電圧範囲に対応しています。ローサイド NMOS スイッチと定電流および定電圧制御を統合することにより、このデバイスは LED を駆動し、高電力密度と高効率でバッテリーを充電できます。

スイッチング周波数は **FSET** ピンを介して 100kHz ~ 2.2MHz の範囲で設定可能で、オプションのスペクトラム拡散機能により **EMC** 放射を低減し、入力フィルタのサイズを小型化できます。このデバイスは、以下の 4 つの調光オプションをサポートしています：

- アナログ調光
  - PWM 調光
  - ハイブリッド調光機
  - フレキシブル調光

各調光方法は、起動時に単純な High/Low シーケンス信号を使用して、PWM および ADIM 入力ピンを介して構成できます。

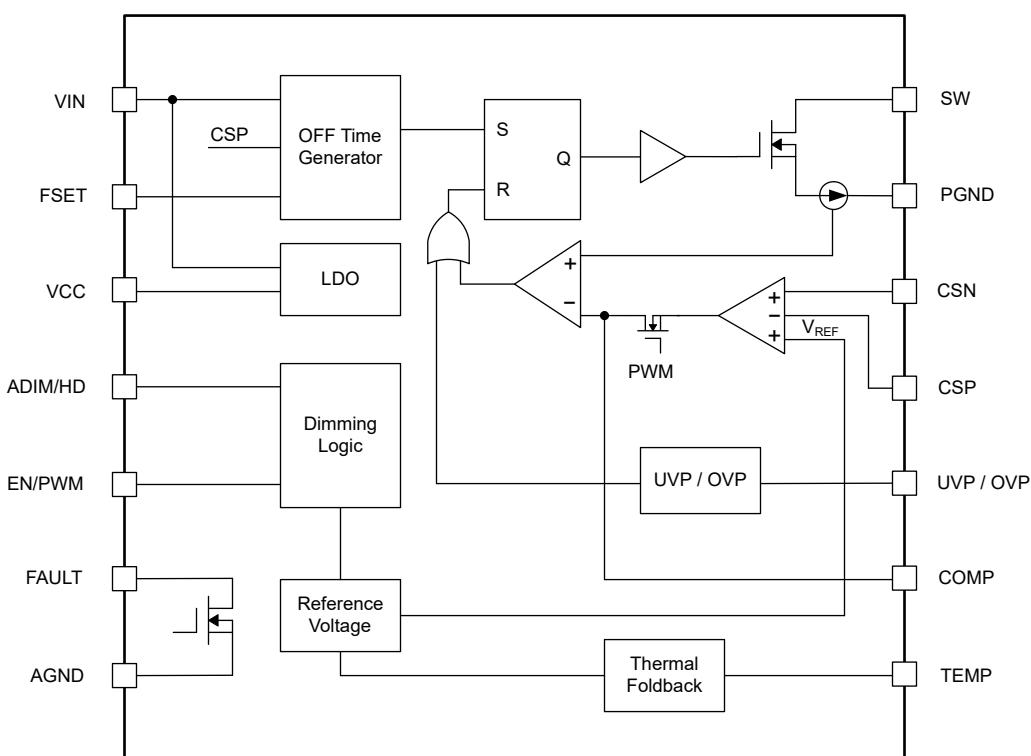
このデバイスは、適応型オフ時間電流モード制御とスマートで正確なサンプリングを採用して、誘導性高速調光 (IFD) を可能にし、高い調光比を実現します。補償帯域幅は、システムの要件に基づいて、COMP ピンの外付けコンデンサを使用して調整できます。

LP8868-Q1 ファミリ には、以下の広範な故障検出機能があります：

- LED の開放と短絡の保護
  - センス抵抗の開放と短絡の検出
  - サーマルフォールドバックおよびサーマルシャットダウン保護

故障状態は **FAULT** 出力ピンにより示されます。

## 7.2 機能ブロック図



## 7.3 機能説明

### 7.3.1 アダプティブオフ時間電流モード制御

LP8868-Q1 ファミリ は、適応型オフ時間電流モード制御を採用しているため、広い動作範囲にわたり高速過渡応答をサポートします。スイッチング周波数は FSET ピンにより 100kHz ~ 2.2MHz の範囲で設定可能です。

平均出力電流レギュレーションのため、CSP ピンと CSN ピンの間で検出される電圧が、エラーアンプ経由で内部の電圧リファレンス  $V_{REF}$  と比較されます。エラーアンプの出力  $V_{COMP}$  は、外部補償回路を通過して、PWM コンパレータのピーク電流帰還と比較されます。

各スイッチングサイクル中、内部 N-MOSFET がオンになると、内部 FET を通じてピーク電流が検出されます。PWM コンパレータの入力でピーク電流の検出値が  $V_{COMP}$  に達すると、N-MOSFET がオフになり、適応型オフ時間カウンタがカウントを開始します。適応型オフ時間カウンタがカウントを停止すると、N-MOSFET がオフになるまでカウンタはリセットのままになります。カウントオフ時間は、FSET ピンに接続される外付け抵抗と入力/出力フィード フォワードによって決定されます。これにより、このデバイスは定常状態でほぼ一定のスイッチング周波数を維持し、出力平均電流を目的の値にレギュレートします。

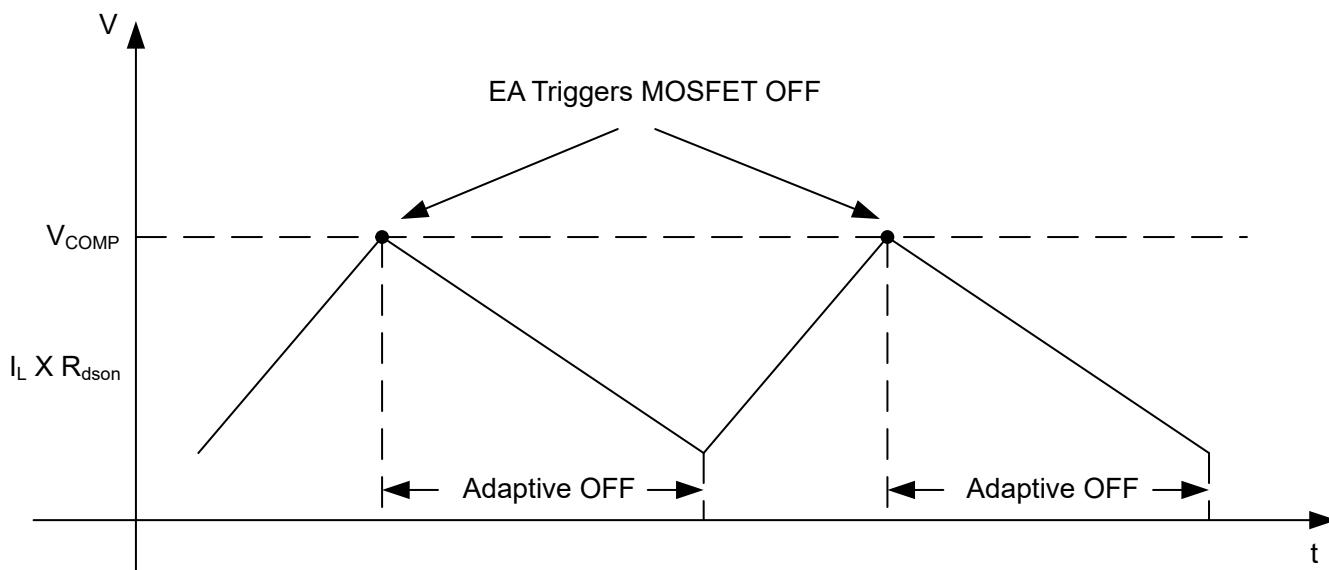


図 7-1. 適応型オフ時間電流モード制御方式

#### 7.3.1.1 スイッチング周波数の設定

LP8868 ファミリ のスイッチング周波数は、FSET ピンと AGND との間に接続された  $R_{FSET}$  を変更することにより、100kHz ~ 2.2MHz の範囲に調整できます。FSET ピンが何も接続されていない場合、スイッチング周波数はデフォルトで 100kHz です。

抵抗値と対応するスイッチング周波数を [表 7-1](#) に示します。

表 7-1. スイッチング周波数と  $R_{FSET}$  抵抗値との関係

スイッチング周波数	抵抗値 (kΩ)
100kHz	232
200kHz	138
300kHz	83
400kHz	59
600kHz	38
800kHz	28
1MHz	23

表 7-1. スイッチング周波数と  $R_{FSET}$  抵抗値との関係 (続き)

スイッチング周波数	抵抗値 (kΩ)
1.2MHz	18
1.5MHz	13
1.8MHz	11
2.2MHz	9

たとえば、 $R_{FSET}$  が  $59\text{k}\Omega$  に設定されている場合、対応するスイッチング周波数は  $400\text{kHz}$  に設定されます。

ほとんどの場合、スイッチング周波数が低いほど、システム効率が向上し、放熱性能が改善されます。

### 7.3.1.2 スペクトラム拡散

LP8868X/Y/Z-Q1 はスペクトラム拡散機能 (中心周波数から  $\pm 7\%$ 、 $2\text{kHz}$  の変調周波数) を実現して、スイッチング周波数とその高調波周波数での EMI ノイズを低減します。

また、LP8868U/V/W-Q1 は、低輝度シナリオではスペクトラム拡散機能を無効にし、輝度性能を向上させます。

### 7.3.2 LED の電流設定

LED の出力電流は、CSP ピンと CSN ピンの間の外付け抵抗  $R_{sense}$  によって制御されます。ターゲット電流の  $R_{sense}$  値は、式 1 の式を使用して計算します。IFD 機能を実現し、低デューティサイクルでの出力電流の精度を向上させるには、昇圧および昇降圧トポロジでは、センス抵抗と並列に接続したコンデンサが必要であることに注意してください。降圧トポロジの場合、センス抵抗と並列に接続するコンデンサはオプションです。ノイズ注入を防止して堅牢性を向上させるため、CSN ピンに  $100\Omega$  の抵抗を使用することを推奨します。

$$R_{sense} = \frac{V_{REF}}{I_{LED\_FS}} \quad (1)$$

ここで、

- $V_{REF} = 200\text{ mV}$
- $R_{sense}$  は電流設定抵抗 ( $\text{m}\Omega$ )
- $I_{LED}$  は出力電流 ( $\text{mA}$ )

たとえば、 $R_{sense}$  が  $100\text{m}\Omega$  に設定されている場合、 $I_{LED}$  は  $2\text{A}$  と計算されます。

### 7.3.3 内部ソフトスタート

LP8868-Q1 ファミリは、内部ソフトスタート機能を備えています。 $V_{IN}$  が  $V_{VIN\_MIN}$  を上回ると、内部 LDO が  $V_{CC}$  コンデンサの充電を開始します。 $1\mu\text{F}$  コンデンサが  $V_{CC}$  ピンに接続されている場合、 $V_{CC}$  が  $V_{VIN\_UVLO}$  を上回るには約  $800\mu\text{s}$  必要です。 $V_{CC}$  が  $V_{VIN\_UVLO}$  を上回る前に EN/PWM ピンが High にプルアップされると、 $V_{CC}$  が  $V_{VIN\_UVLO}$  を上回った直後に POR が有効になり、調光モードを開始するまで  $100\mu\text{s}$  待機します。 $V_{CC}$  が  $V_{VIN\_UVLO}$  を上回るまで上昇した後、EN/PWM ピンは  $5\mu\text{s}$  以上 High に維持する必要があります。 $1\mu\text{F}$   $V_{CC}$  コンデンサを使用する場合は、 $V_{IN}$  が  $V_{VIN\_MIN}$  を上回った後に調光モードを開始するまで  $1\text{ms}$  待つことを推奨します。

$V_{CC}$  が  $V_{VIN\_UVLO}$  を上回った後に EN/PWM ピンに最初の PWM パルスが現れている場合、本デバイスは  $200\mu\text{s}$  待機して POR をイネーブルにし、次の  $100\mu\text{s}$  で調光モードを開始します。したがって、 $V_{IN}$  UVLO をトリガしないで、本デバイスはディスエーブル後に再度イネーブルにし、調光モードを開始するまで  $300\mu\text{s}$  待つことができます。デバイスをイネーブルするには、EN/PWM 入力ピンに  $5\mu\text{s}$  以上継続する初期イネーブル PWM パルスが必要です。調光モードが開始された後、デバイスは ADIM/HD ピンの設定と EN/PWM ピンに基づいて、4 種類の調光モードに移行します。

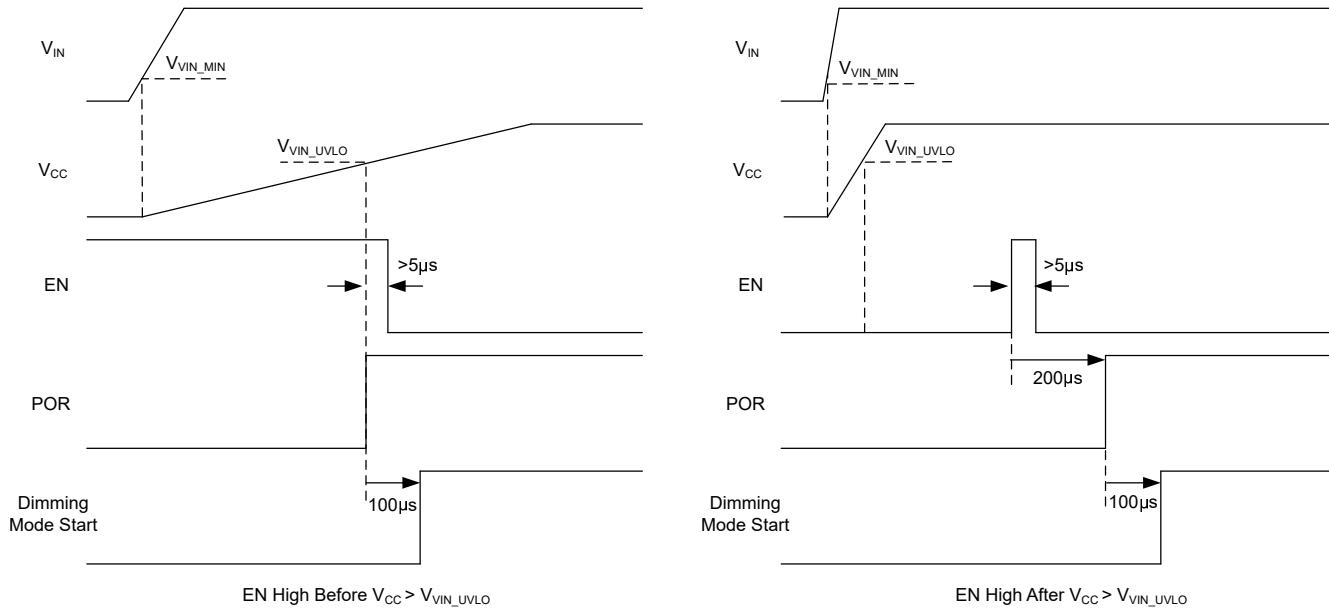


図 7-2. スタートアップ シーケンス

### 7.3.4 調光モード

LP8868 ファミリには、PWM および ADIM ピンの波形によって決定される 4 つのオプションの調光モードがあります。調光モードは、VIN が UVLO を終了してから 1ms 後、または EN/PWM ピンが再び有効になってから 300µs 後に開始されます。4 つの調光モードのいずれかへの構成を以下の表に示します。

表 7-2. 調光モード構成

調光モード	EN/PWM ピン	ADIM/HD ピン
PWM 調光	PWM 信号	High
アナログ調光	High	PWM 信号
ハイブリッド調光	PWM 信号	Low
フレキシブル調光	PWM 信号	PWM 信号

#### 7.3.4.1 PWM 調光

ADIM/HD 入力ピンが常に High であり、PWM/EN 入力ピンが PWM 入力信号によって構成されているとき、PWM 調光モードが有効化されます。デバイスは、PWM 調光モードで、最小 200ns の特別に狭いパルス幅の PWM 入力信号をサポートしています。入力デューティサイクルは、ハイブリッド調光でデューティサイクルが 0.38% 以上変化した場合のみ、逆方向に変更できます。

PWM 調光モードでは、PWM ピンの PWM 入力信号が Low から High になると、内部の NMOS FET がスイッチングを開始し、インダクタ電流が決定した値まで上昇します。その後、PWM 入力信号が High に維持されている限り、LED 電流は特定した値にコントロールされます。PWM 入力信号が High から Low に変わると、内部の FET がオフになり、インダクタ電流が 0 に低下します。PWM 入力信号が Low にとどまっている限り、内部の FET はオフ状態を維持し、LED 電流は 0 のままでです。

#### 7.3.4.2 アナログ調光

LP8868 ファミリは、ADIM/HD ピンを介して LED 電流をレギュレートするアナログ調光をサポートしています。PWM/EN ピンが常に High であり、ADIM/HD ピンが PWM 入力信号によって構成されているとき、アナログ調光モードが有効化されます。内部デジタル回路は、PWM 入力信号のデューティサイクル変化に数十マイクロ秒持続する遅延内に応答します。

内部リファレンス電圧  $V_{REF}$  は、ADIM/HD ピンにおける PWM 入力信号のデューティサイクルに比例して変化します。たとえば、ADIM/HD ピンの PWM 入力信号のデューティサイクルが 100% の場合、 $V_{REF}$  は 200mV です。たとえば、PWM 入力信号のデューティサイクルが 10% の場合、 $V_{REF}$  は 20mV です。

### 7.3.4.3 ハイブリッド調光

LP8868 ファミリは、特に高い調光周波数と高い調光比が必要な場合に、独自のハイブリッド調光機能をサポートしているため、最大限の調光性能を実現できます。ハイブリッド調光モードは、ADIM/HD ピンが常に Low であり、PWM/EN ピンが PWM 入力信号によって設定されると有効化されます。

ハイブリッド調光モードが有効化されている場合は、LED 電流はアナログ調光によって高輝度レベル (12.5% ~ 100%) で、PWM 調光によって低輝度レベル (0% ~ 12.5%) でレギュレートされます。高輝度レベルでは、内部リファレンス電圧  $V_{REF}$  は、PWM/EN ピンにおける PWM 入力信号のデューティサイクルに比例して変化します。低輝度レベルでは、 $V_{REF}$  は変化せず、内部 PWM ジェネレータがイネーブルになります。そのため、PWM/EN ピンの PWM 入力信号によって周波数とデューティサイクルが設定される内部 PWM 信号のオンおよびオフに対応して、LED がオンおよびオフになります。詳細なハイブリッド調光動作を下図に示します。

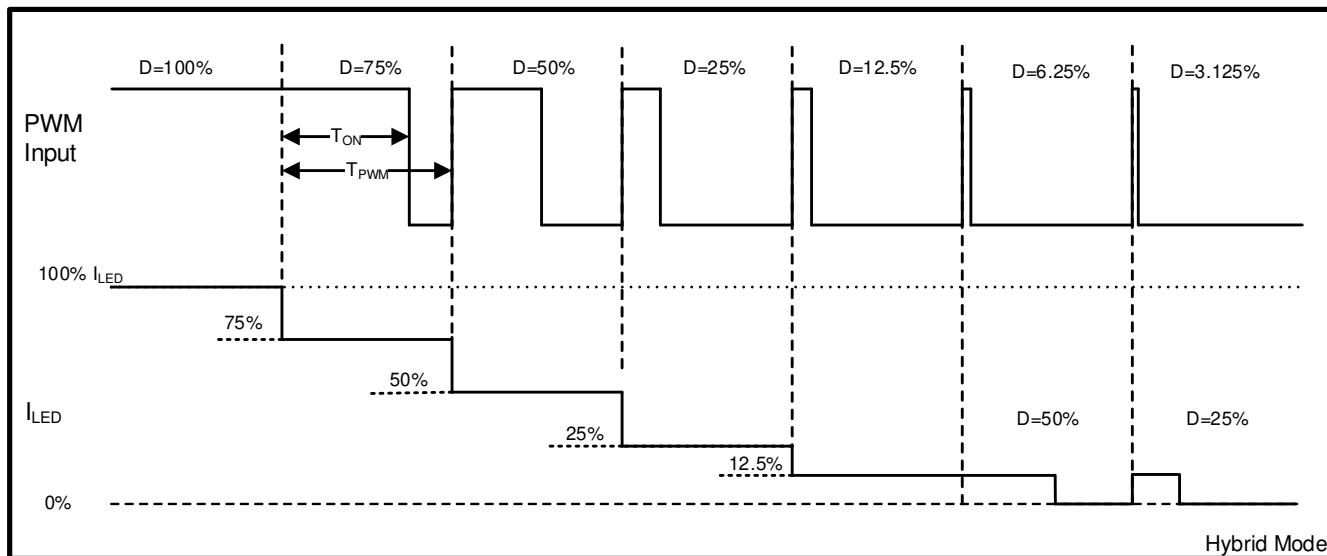


図 7-3. ハイブリッド調光

### 7.3.4.4 フレキシブル調光

LP8868 ファミリは、調光制御の柔軟性を最大限に高めるフレキシブル調光もサポートしており、LED 電流値とオン/オフ動作を個別にコントロールできます。このフレキシブル調光モードは、ADIM/HD ピンと PWM/EN ピンの両方を PWM 入力信号によって同時に設定すると有効化されます。したがって、フレキシブル調光モードでは、PWM/EN ピンの PWM 入力信号のオンとオフに応じて LED がオンまたはオフになります。一方、リファレンス電圧は ADIM/HD ピンの PWM 入力信号のデューティサイクルに比例して変化します。

### 7.3.5 低電圧誤動作防止

LP8868 ファミリには、VCC ピンへ接続された内部低電圧誤動作防止 (UVLO) 回路が実装されています。VCC ピンの電圧が内部 UVLO スレッショルド電圧  $V_{VCC\_UVLO}$  (標準値 3.0V) を下回ると、0.2V (標準値) のヒステリシスで UVLO がトリガされ、デバイスは無効化されます。VCC ピンは、VIN ピンから入力が供給される内部レギュレータの出力です。したがって、VIN ピンの電圧が  $V_{VCC\_UVLO}$  (約 500mV 高い値) 付近に低下すると、UVLO がトリガされます。

### 7.3.6 フォルト保護

LP8868 ファミリには故障保護機能が装備され、次のような多くの故障条件で異常検出出力信号を送信します：

- LED 開放

- LED はグランドへ短絡
- センス抵抗の解放と短絡
- 内部スイッチング FET の故障
- サーマル シャットダウン

異なるトポロジの故障基準を以下に一覧します。

**表 7-3. 降圧トポロジでの保護機能**

タイプ	条件	動作
LED 開放負荷	100us の間 $V_{UVP} < 1.2V$	故障ピンは Low にプルされます。 $V_{UVP} < 1.2V$ になると、デバイスはスイッチングを停止します。
LED+ および LED- の短絡	30ms の間 $V_{IN} - V_{CSP} < 300mV$	故障ピンは Low にプルされます。デバイスは通常動作を維持します。
LED- の GND への短絡	100us の間 $V_{UVP} < 1.2V$	故障ピンは Low にプルされます。デバイスはスイッチングを停止し、故障が解消すると復帰します。
センス抵抗の開放負荷	20us の間 $V_{CSP} - V_{CSN} > 300mV$	故障ピンは Low にプルされます。デバイスはスイッチングを停止し、故障が解消すると復帰します。
センス抵抗の短絡	100us の間エラーアンプ出力が High	故障ピンは Low にプルされます。このデバイスは、サイクル単位の電流制限下でスイッチングを続けます。
スイッチング FET の断線	100us の間エラーアンプ出力が High	故障ピンは Low にプルされます。このデバイスは最大デューティサイクルターンオンスイッチングを維持します。
スイッチング FET の短絡	20us の間 $V_{CSP} - V_{CSN} > 300mV$	故障ピンは Low にプルされます。デバイスはスイッチングを停止し、故障が解消すると復帰します。
サーマル シャットダウン	100us の間 $T_J > T_{TSD}$	故障ピンは Low にプルされます。 $T_J > T_{TSD}$ になるとデバイスはスイッチングを停止し、 $T_J$ がヒステリシスレベルを下回ると再度有効になります。
VIN UVLO	$VCC < 3V$	故障ピンは Low にプルされます。デバイスはスイッチングを停止し、故障が解消すると復帰します。

**表 7-4. 昇圧/昇降圧トポロジにおける保護**

タイプ	条件	動作
LED 開放負荷	100us の間 $V_{OVP} > 1.2V$	故障ピンは Low にプルされます。 $V_{OVP} > 1.2V$ になると、デバイスはスイッチングを停止します。
LED+ および LED- の短絡 (昇降圧)	30ms の間 $V_{CSP} - V_{IN} < 300mV$	故障ピンは Low にプルされます。デバイスは通常動作を維持します。
LED+ の GND への短絡	20us の間 $V_{CSP} - V_{CSN} > 300mV$	故障ピンは Low にプルされます。デバイスはスイッチングを停止し、故障が解消すると復帰します。
センス抵抗の開放負荷	20us の間 $V_{CSP} - V_{CSN} > 300mV$	故障ピンは Low にプルされます。デバイスはスイッチングを停止し、故障が解消すると復帰します。
センス抵抗の短絡	100us の間エラーアンプ出力が High	故障ピンは Low にプルされます。このデバイスは、サイクル単位の電流制限下でスイッチングを続けます。
スイッチング FET の断線	100us の間エラーアンプ出力が High	故障ピンは Low にプルされます。このデバイスは最大デューティサイクルターンオンスイッチングを維持します。
スイッチング FET の短絡	100us の間エラーアンプ出力が High	故障ピンは Low にプルされます。デバイスはスイッチングを継続しようとします。
サーマル シャットダウン	100us の間 $T_J > T_{TSD}$	故障ピンは Low にプルされます。 $T_J > T_{TSD}$ になるとデバイスはスイッチングを停止し、 $T_J$ がヒステリシスレベルを下回ると再度有効になります。
VIN UVLO	$VCC < 3V$	故障ピンは Low にプルされます。デバイスはスイッチングを停止し、故障が解消すると復帰します。

### 7.3.7 サーマル フォールドバック

LP8868 ファミリ には、デバイスの過熱を防ぐため、サーマル シャットダウン保護機能が内蔵されています。システムの放熱性能に関する設計マージンを確保するため、デバイスはプログラマブルなサーマルフォールドバック機能を有効にし、接合部温度が高いときにフルスケールの出力電流  $I_{FS}$  を自動的に低減します。デバイスおよび LED を同じサーマルサブストレート上に取り付けると、デバイスと LED の両方の消費電力が削減されるため、放熱性能が効果的に向上します。

接合部温度がサーマル フォールドバック スレッショルド温度  $T_{th}$  を上回ると、下の図に示す電流温度曲線に従ってフルスケールの電流が低減を開始します。電流はフルスケールの 50% に低下するまで、 $I_{FS} / {}^{\circ}\text{C}$  の 2% (標準値) の割合で 100% レベルから減少し始めます。接合部温度が  $T_{th}$  を  $25^{\circ}\text{C}$  上回ると、温度が過熱シャットダウン スレッショルド温度  $T_{TSD}$  を上回るまで、電流はより低い割合で減少し続けます。

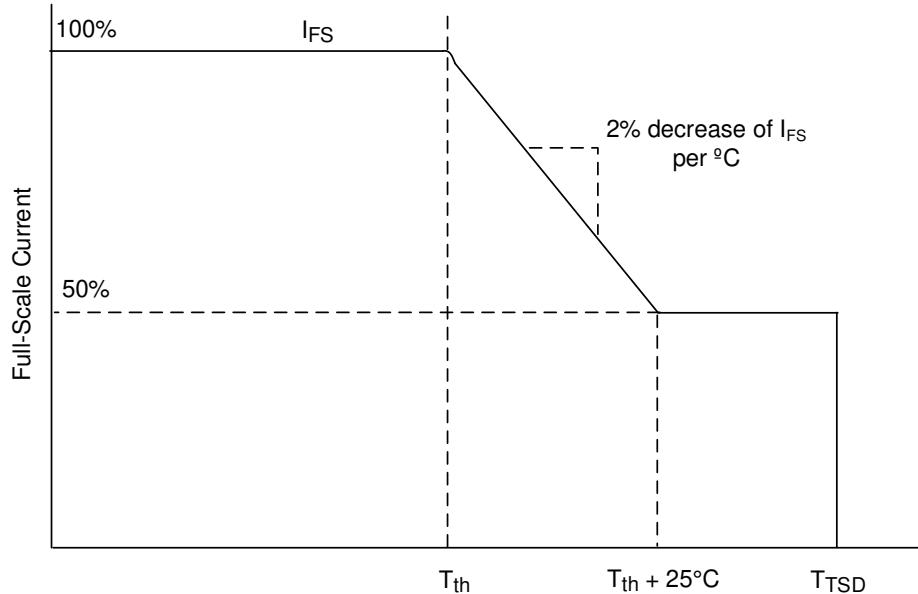


図 7-4. サーマル フォールドバック

$T_{th}$  は、TEMP ピンと GND ピンとの間に接続される抵抗  $R_{TEMP}$  を変更することによって調整できます。 $T_{th}$  および対応する  $R_{TEMP}$  値を以下の表に示します。

表 7-5.  $T_{th}$  と  $R_{TEMP}$  抵抗値との関係

$T_{th}$ (°C)	抵抗値 (kΩ)
80	200
90	100
100	60
110	40
120	28
130	20
140	15
150	10

## 8 アプリケーションと実装

## 8.1 アプリケーション情報

LP8868 ファミリ は、異なる型番で降圧、昇圧、昇降圧のトポロジに対応できます。

通常、LP8868X は昇圧コンバータ、LP8868Y は昇降圧コンバータ、LP8868Z は降圧コンバータとして使用されます。

## 8.2 代表的なアプリケーション

#### 8.2.1 LP8868XQDMTRQ1 12V 入力、1A 出力、8 ピース LED、昇圧トポロジ搭載

図 8-1 に、昇圧トポジの LP8868X の代表的なアプリケーション回路を示します。スイッチング電流制限は 5.8A で、出力電流が制限されます。

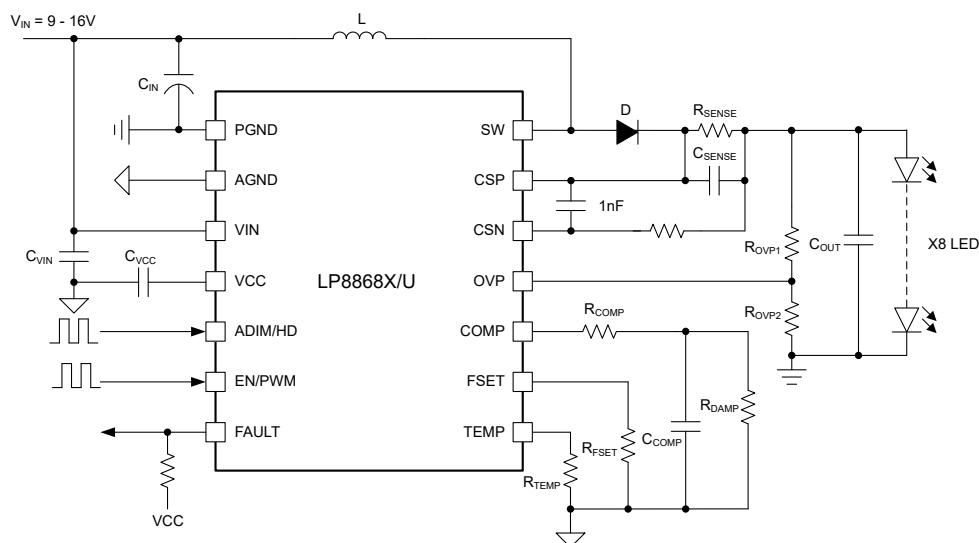


図 8-1. LP8868X を使用した昇圧トポロジの代表的なアプリケーション

### 8.2.1.1 設計要件

この設計例では、次の表に記載されているパラメータを使用します。

表 8-1. 設計パラメータ

パラメータ	値
入力電圧範囲	9V ~ 16V
LED ストリング	8 LED
出力電圧	24V
スイッチング周波数	400kHz
最大 LED 電流	1A
インダクタ電流リップル	最大インダクタ電流の 40%
調光タイプ	PWM 調光と ADIM 調光

### 8.2.1.2 詳細な設計手順

#### 8.2.1.2.1 インダクタの選択

この設計では、入力電圧は 9V ~ 16V です。出力は 8 個の直列白色 LED であり、インダクタ電流リップルは、要件により最大 LED 電流の 40% 未満です。適切なピークツーピークインダクタ電流リップルを選択するには、コンバータが無負荷状況で動作するときに、ローサイド FET の電流制限に違反しないようにします。違反を避けるため、ピークツーピークのインダクタリップル電流が、その制限値より低くなるようにする必要があります。もう 1 つの検討事項は、ピークツーピーク電流リップルに起因するインダクタのコア損失と銅損が適切であることを確認することです。このピークツーピークのインダクタリップル電流を選択した後、式 2 を使用してインダクタ L の推奨値を計算します。

$$L = \frac{V_{IN(min)} \times (V_{OUT} - V_{IN[min]})}{V_{OUT} \times K_{IND} \times I_{L(max)} \times f_{SW}} \quad (2)$$

ここで、

- $K_{IND}$  は、最大 LED 電流に対するインダクタのリップル電流の量を示す係数です。
- $I_{L(max)}$  はインダクタ電流の最大値
- $f_{SW}$  はスイッチング周波数
- $V_{IN(min)}$  は最小入力電圧
- $V_{OUT}$  は、LED 負荷の両端の電圧とセンス抵抗の両端の電圧の和です

選択したインダクタ値により、式 3 使用して実際のインダクタ電流リップルを計算します。

$$I_{L(ripple)} = \frac{V_{IN(min)} \times (V_{OUT} - V_{IN[min]})}{V_{OUT} \times L \times f_{SW}} \quad (3)$$

インダクタの RMS 電流および飽和電流の設計上の定格が、システム要件の定格よりも大きいことを確認します。この確認により、インダクタの過熱や飽和が発生しないようにします。パワーアップ時、過渡状態、または故障状態中は、インダクタ電流が通常の動作電流を超えて、電流制限値に達する場合があります。したがって、コンバータの電流制限以上の飽和電流定格を選択することを推奨します。ピークインダクタ電流と RMS 電流の式を 式 4 と 式 5 に示します。

$$I_{L(peak)} = I_{L(max)} + \frac{I_{L(ripple)}}{2} \quad (4)$$

$$I_{L(rms)} = \sqrt{I_{L(max)}^2 + \frac{I_{L(ripple)}^2}{2}} \quad (5)$$

この設計では、 $V_{IN(min)} = 9V$ 、 $V_{OUT} = 24V$ 、 $I_{LED} = 1A$  です。効率が 0.9、 $I_{L(max)} = 2.96A$ 、 $f_{SW} = 400kHz$  であることを考慮して、 $K_{IND} = 0.4$  を選択すると、インダクタンスの計算値は  $11.9\mu H$  となります。 $10\mu H$  のインダクタンスを選択します。このインダクタを使用すると、インダクタのリップル、ピーク、rms 電流はそれぞれ  $1.41A$ 、 $3.67A$ 、 $2.96A$ 、になります。

#### 8.2.1.2.2 入力コンデンサの選択

入力電源から引き出されるサージ電流と、デバイスから流入するスイッチング・ノイズを低減するために、入力コンデンサが必要です。エネルギー蓄積のために電解コンデンサを推奨します。X5R または X7R 誘電体を持つセラミックコンデンサは、ESR が低く、温度係数が小さいため、強く推奨されます。ほとんどのアプリケーションでは、高周波フィルタリングを行うために、 $10\mu F$  のセラミックコンデンサと、VIN から PGND/AGND の間に  $0.1\mu F$  のコンデンサを配置することを推奨します。電圧定格は、最大入力電圧を上回っていることを確認してください。式 6 を使用して入力リップル電圧を計算します。ここで、 $ESR_{CIN}$  は入力コンデンサの ESR、 $K_{DR}$  は印加された DC 電圧におけるセラミック容量のディレーティング係数です。

$$V_{IN(ripple)} = \frac{I_{L(ripple)}}{8 \times K_{DR} \times C_{IN} \times f_{SW}} \quad (6)$$

この設計では、 $33\mu\text{F}$ 、 $100\text{V}$  の電解コンデンサ、 $10\mu\text{F}$ 、 $100\text{V}$  の X7R セラミックコンデンサ、 $0.1\mu\text{F}$ 、 $100\text{V}$  の X7R セラミックコンデンサが選択され、入力リップル電圧は約  $88\text{mV}$  になっています。

#### 8.2.1.2.3 出力コンデンサの選択

出力コンデンサにより、LED ストリングを介した高周波電流リップルが低減されます。過度の電流リップルにより、LED ストリングの RMS 電流が増加し、LED の温度が上昇します。

1. LED メーカーのデータシートを使用して、LED ストリング ( $R_{\text{LED}}$ ) の合計動的抵抗を計算します。
2. LED ストリングを流れる許容可能なピークツーピークリップル電流  $I_{\text{LED(ripple)}}$  から、出力コンデンサに必要なインピーダンス ( $Z_{\text{OUT}}$ ) を計算します。 $I_{\text{L(ripple)}}$  は、選択したインダクタで計算されるピークツーピークのインダクタリップル電流です。
3. 必要な最小実効出力容量を計算します。
4. 印加される DC 電圧のディレイティング効果により、出力容量を適切に増やします。

式 7、式 8、式 9 を参照してください。

$$R_{\text{LED}} = \frac{\Delta V_F}{\Delta I_F} \times \# \text{ of LEDs} \quad (7)$$

$$Z_{\text{COUT}} = \frac{R_{\text{LED}} \times I_{\text{LED(ripple)}}}{I_{\text{L(max)}} - I_{\text{LED(ripple)}}} \quad (8)$$

$$C_{\text{COUT}} = \frac{1}{2\pi \times f_{\text{SW}} \times Z_{\text{COUT}}} \quad (9)$$

出力コンデンサを選択した後、式 10 を使用して、LED ストリングを通してのピークツーピークリップル電流を推定できます。

$$I_{\text{LED(ripple)}} = \frac{Z_{\text{COUT}} \times I_{\text{L(ripple)}}}{Z_{\text{COUT}} + R_{\text{LED}}} \quad (10)$$

X5R または X7R 誘電体を持つセラミックコンデンサは、ESR が低く、温度係数が小さいため、強く推奨されます。この設計では、 $10\mu\text{F}$ 、 $50\text{V}$ 、X7R のセラミックコンデンサを選択しています。

#### 8.2.1.2.4 センス抵抗の選択

最大 LED 電流は  $100\%$  PWM デューティ時に  $1\text{A}$  で、対応する  $V_{\text{REF}}$  は  $200\text{mV}$  です。 $200\text{m}\Omega$  のセンス抵抗を計算するには、式 11 を使用します。センス抵抗の消費電力は  $200\text{mW}$  であり、選択には抵抗の定格電力の十分なマージンが必要であることに注意してください。

$$R_{\text{SENSE}} = \frac{V_{\text{REF}}}{I_{\text{LED\_FS}}} \quad (11)$$

昇圧トポロジでは、IFD 制御を実現するために  $C_{\text{SENSE}}$  が必要です。式 12 を使用すると、 $C_{\text{SENSE}}$  には  $10\mu\text{F}$ 、 $50\text{V}$  X7R のセラミックコンデンサが選択され、センスフィードバックの ac 振幅は  $200\text{mV}$  未満まで抑制されます。ノイズ注入を防止して堅牢性を向上させるために、CSN ピンに  $100\Omega$  の抵抗を用いることを推奨します。

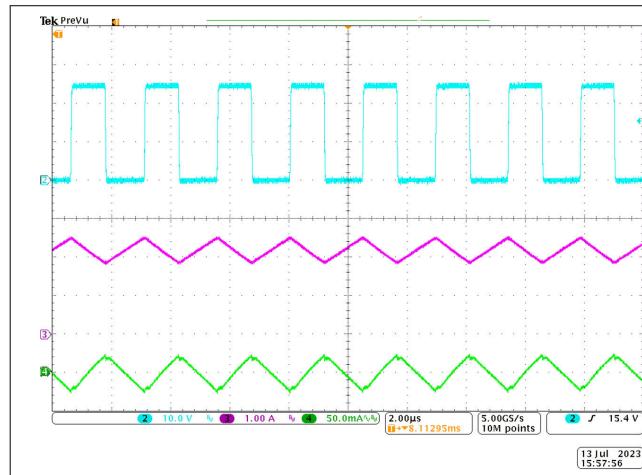
$$C_{\text{SENSE}} = \frac{0.25 \times I_{\text{L(max)}}}{200\text{mV} \times f_{\text{SW}}} \quad (12)$$

#### 8.2.1.2.5 その他外付け部品の選択

この設計では、センスフィードバックの高周波フィルタリングのため、 $0.1\mu\text{F}$ 、 $50\text{V}$  の X7R セラミックコンデンサを選択しています。

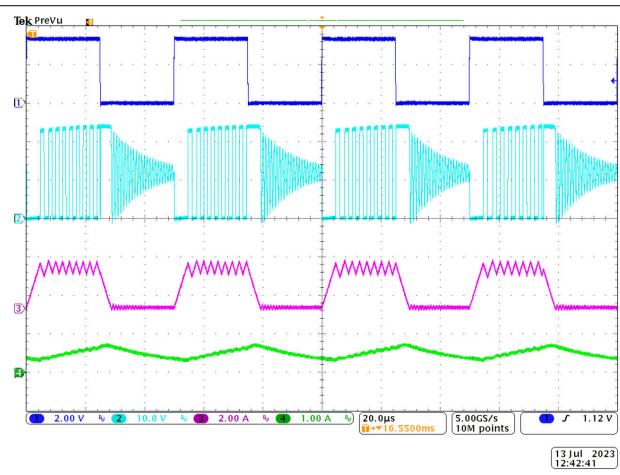
ループ安定性のため、 $C_{COMP}$  に  $1nF$ 、 $10V$  の X7R セラミックコンデンサ、 $R_{COMP}$  には  $1k\Omega$  の抵抗を選択することを推奨します。PWM オンの立ち上がりエッジでのオーバーシュート電流を抑制するため、 $R_{DAMP}$  には  $1M\Omega$  の抵抗を選択します。

### 8.2.1.3 アプリケーション曲線



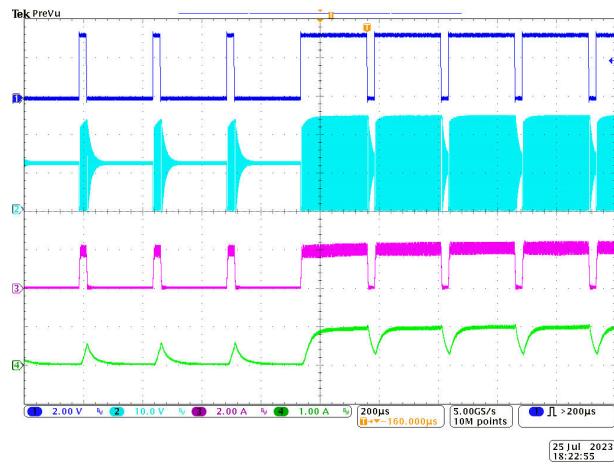
Ch 2:SW、Ch 3:インダクタ電流、Ch 4:LED 電流リップル (AC)

図 8-2. ADIM = 100%、1kHz、 $F_{SW} = 400kHz$  での LED 電流リップル



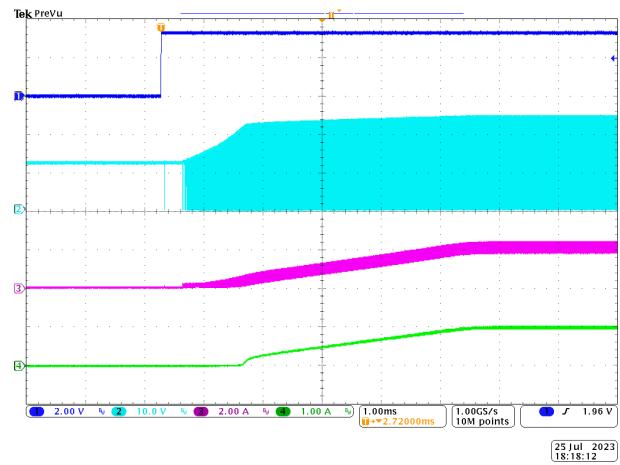
Ch 1:PWM/EN、Ch 2:SW、Ch 3:インダクタ電流、Ch 4:LED 電流

図 8-3. PWM = 50%、20kHz、 $F_{SW} = 400kHz$  での LED 電流リップル



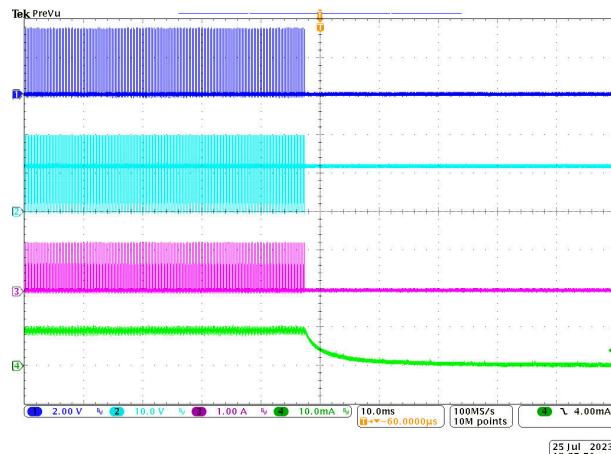
Ch 1:PWM/EN、Ch 2:SW、Ch 3:インダクタ電流、Ch 4:LED 電流

図 8-4. PWM の遷移が 10% から 99%、4kHz での LED の電流過渡応答



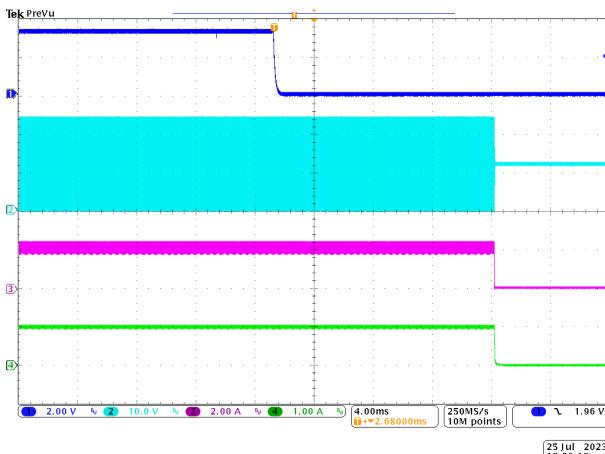
Ch 1:ADIM、Ch 2:SW、Ch 3:インダクタ電流、Ch 4:LED 電流

図 8-5. ADIM = 100%、500Hz での起動



Ch 1:PWM/EN, Ch 2:SW, Ch 3:インダクタ電流、Ch 4:LED 電流

図 8-6. PWM = 1%、4kHz でのシャットダウン



Ch 1:ADIM, Ch 2:SW, Ch 3:インダクタ電流、Ch 4:LED 電流

図 8-7. ADIM = 100%、500Hz でのシャットダウン

### 8.2.2 LP8868YQDMTRQ1 12V 入力、1A 出力、5 ピース LED、昇降圧トポジタップ

図 8-8 に、昇降圧トポジタップでの LP8868Y の代表的なアプリケーションを示します。スイッチング電流制限は 5.8A で、スイッチング電流制限によって出力電流が制限されます。

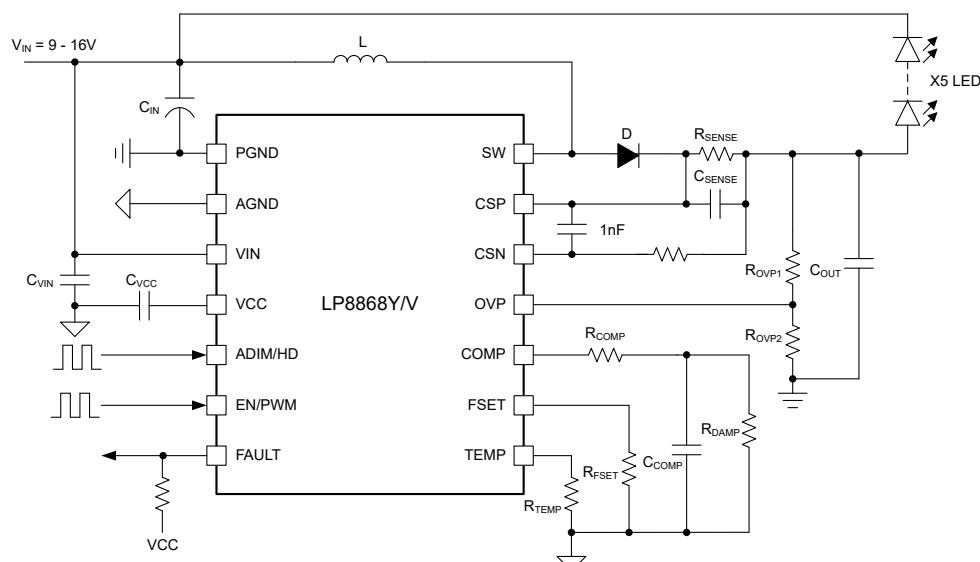


図 8-8. LP8868Y を使用した昇降圧トポジタップの代表的なアプリケーション

#### 8.2.2.1 設計要件

この設計例では、次の表に記載されているパラメータを使用します。

表 8-2. 設計パラメータ

パラメータ	値
入力電圧範囲	9V ~ 16V
LED ストリング	5 LED
出力電圧	15V
スイッチング周波数	400kHz

表 8-2. 設計パラメータ (続き)

パラメータ	値
最大 LED 電流	1A
インダクタ電流リップル	最大インダクタ電流の 40%
調光タイプ	PWM 調光/ADIM 調光

### 8.2.2.2 詳細な設計手順

#### 8.2.2.2.1 インダクタの選択

この設計では、入力電圧は 9V ~ 16V です。出力は 8 個の直列白色 LED であり、インダクタ電流リップルは、要件により最大 LED 電流の 40% 未満です。適切なピークツーピークインダクタ電流リップルを選択するには、コンバータが無負荷状況で動作するときに、ローサイド FET の電流制限に違反しないようにします。違反を避けるため、ピークツーピークのインダクタリップル電流が、その制限値より低くなるようにする必要があります。もう 1 つの検討事項は、ピークツーピーク電流リップルに起因するインダクタのコア損失と銅損が適切であることを確認することです。ピークツーピークのインダクタ電流リップルを選択した後、式 13 を使用してインダクタ L の推奨値を計算します。

$$L = \frac{V_{IN(min)} \times V_{OUT}}{(V_{OUT} + V_{IN[min]}) \times K_{IND} \times I_{L(max)} \times f_{SW}} \quad (13)$$

ここで、

- $K_{IND}$  は、最大 LED 電流に対するインダクタのリップル電流の量を示す係数です。
- $I_{L(max)}$  はインダクタ電流の最大値
- $f_{SW}$  はスイッチング周波数
- $V_{IN(min)}$  は最小入力電圧
- $V_{OUT}$  は、LED 負荷の両端の電圧とセンス抵抗の両端の電圧の和です

選択したインダクタ値により、式 14 使用して実際のインダクタ電流リップルを計算します。

$$I_{L(ripple)} = \frac{V_{IN(min)} \times V_{OUT}}{(V_{OUT} + V_{IN[min]}) \times L \times f_{SW}} \quad (14)$$

インダクタの過熱または飽和が発生しないように、インダクタの RMS 電流と飽和電流の設計定格がシステム要件の設計定格よりも大きいことを確認します。パワーアップ時、過渡状態、または障害状態中は、インダクタ電流が通常の動作電流を超えて、電流制限値に達する場合があります。したがって、コンバータの電流制限以上の飽和電流定格を選択することを推奨します。ピークインダクタ電流と RMS 電流の式を 式 15 と 式 16 に示します。

$$I_{L(peak)} = I_{L(max)} + \frac{I_{L(ripple)}}{2} \quad (15)$$

$$I_{L(rms)} = \sqrt{I_{L(max)}^2 + \frac{I_{L(ripple)}^2}{2}} \quad (16)$$

この設計では、 $V_{IN(min)} = 9V$ 、 $V_{OUT} = 15V$ 、 $I_{LED} = 1A$  です。効率が 0.8、 $I_{L(max)} = 2.083A$ 、 $f_{SW} = 400kHz$  であることを考慮して、 $K_{IND} = 0.4$  を選択すると、インダクタンスの計算値は  $16.87\mu H$  となります。 $22\mu H$  のインダクタンスを選択します。このインダクタを使用すると、インダクタのリップル、ピーク、rms 電流はそれぞれ 0.64A、2.40A、2.08A、になります。

#### 8.2.2.2.2 入力コンデンサの選択

入力電源から引き出されるサージ電流と、デバイスから流入するスイッチング・ノイズを低減するために、入力コンデンサが必要です。エネルギー蓄積のために電解コンデンサを推奨します。X5R または X7R 誘電体を持つセラミックコンデンサは、ESR が低く、温度係数が小さいため、強く推奨されます。ほとんどのアプリケーションでは、高周波フィルタリングを行うために、 $10\mu F$  のセラミックコンデンサと、VIN から PGND/AGND の間に  $0.1\mu F$  のコンデンサを配置することを推奨します。入力コンデンサの電圧定格が最大入力電圧を上回っていることを確認してください。式 17 を使用して入力リップル電

圧を計算します。ここで、 $ESR_{CIN}$  は入力コンデンサの  $ESR$ 、 $K_{DR}$  は印加された DC 電圧におけるセラミック容量のディレイティング係数です。

$$V_{IN(ripple)} = I_{L(max)} \times \left( \frac{V_{OUT}}{K_{DR} \times C_{IN} \times f_{SW} \times V_{IN(max)}} + ESR_{CIN} \right) \quad (17)$$

この設計では、 $33\mu F$ 、 $100V$  の電解コンデンサ、 $10\mu F$ 、 $100V$  の  $X7R$  セラミックコンデンサ、 $0.1\mu F$ 、 $100V$  の  $X7R$  セラミックコンデンサが選択され、入力リップル電圧は約  $40mV$  になっています。

### 8.2.2.2.3 出力コンデンサの選択

出力コンデンサにより、LED ストリングを介した高周波電流リップルが低減されます。過度の電流リップルにより、LED ストリングの RMS 電流が増加し、LED の温度が上昇します。

1. LED メーカーのデータシートを使用して、LED ストリング ( $R_{LED}$ ) の合計動的抵抗を計算します。
2. LED ストリングを流れる許容可能なピークツーピークリップル電流  $I_{LED(ripple)}$  から、出力コンデンサに必要なインピーダンス ( $Z_{COUT}$ ) を計算します。 $I_{L(ripple)}$  は、選択したインダクタで計算されるピークツーピークのインダクタリップル電流です。
3. 必要な最小実効出力容量を計算します。
4. 印加される DC 電圧のディレイティング効果により、出力容量を適切に増やします。[式 18](#)、[式 19](#)、[式 20](#) を参照してください。

$$R_{LED} = \frac{\Delta V_F}{\Delta I_F} \times \# \text{ of LEDs} \quad (18)$$

$$Z_{COUT} = \frac{R_{LED} \times I_{LED(ripple)}}{I_{L(max)} - I_{LED(ripple)}} \quad (19)$$

$$C_{COUT} = \frac{1}{2\pi \times f_{SW} \times Z_{COUT}} \quad (20)$$

出力コンデンサを選択した後、[式 21](#) を使用して、LED ストリングを通してのピークツーピークリップル電流を推定できます。

$$I_{LED(ripple)} = \frac{Z_{COUT} \times I_{L(ripple)}}{Z_{COUT} + R_{LED}} \quad (21)$$

$X5R$  または  $X7R$  誘電体を持つセラミックコンデンサは、 $ESR$  が低く、温度係数が小さいため、強く推奨されます。この設計では、 $10\mu F$ 、 $50V$ 、 $X7R$  のセラミックコンデンサを選択しています。

### 8.2.2.2.4 センス抵抗の選択

最大 LED 電流は  $100\%$  PWM デューティ時に  $1A$  で、対応する  $V_{REF}$  は  $200mV$  です。[式 22](#) を使用することにより、センス抵抗は  $200m\Omega$  と計算されます。センス抵抗の消費電力は  $200mW$  であり、選択には抵抗の定格電力の十分なマージンが必要であることに注意してください。

$$R_{SENSE} = \frac{V_{REF}}{I_{LED\_FS}} \quad (22)$$

昇降圧トポロジでは、IFD 制御を実現するために  $C_{SENSE}$  が必要です。[式 23](#) を使用すると、 $C_{SENSE}$  には  $10\mu F$ 、 $50V$   $X7R$  のセラミックコンデンサが選択され、センスフィードバックの ac 振幅は  $200mV$  未満まで抑制されます。ノイズ注入を防止して堅牢性を向上させるために、 $CSN$  ピンに  $100\Omega$  の抵抗を用いることを推奨します。

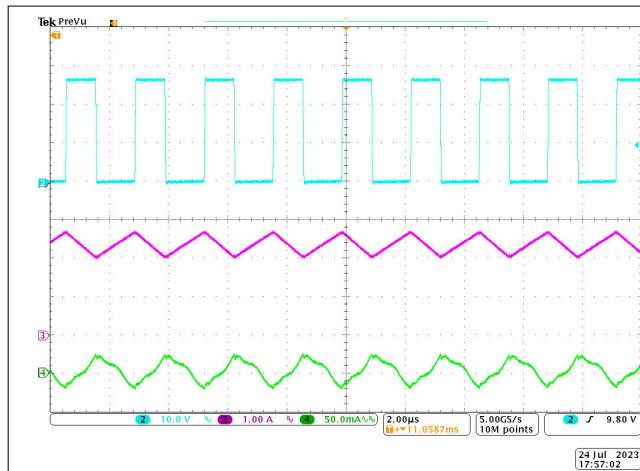
$$C_{SENSE} = \frac{0.25 \times I_{L(max)}}{200mV \times f_{SW}} \quad (23)$$

### 8.2.2.5 その他外付け部品の選択

この設計では、センスフィードバックの高周波フィルタリングのため、 $0.1\mu\text{F}$ 、50VのX7Rセラミックコンデンサを選択しています。

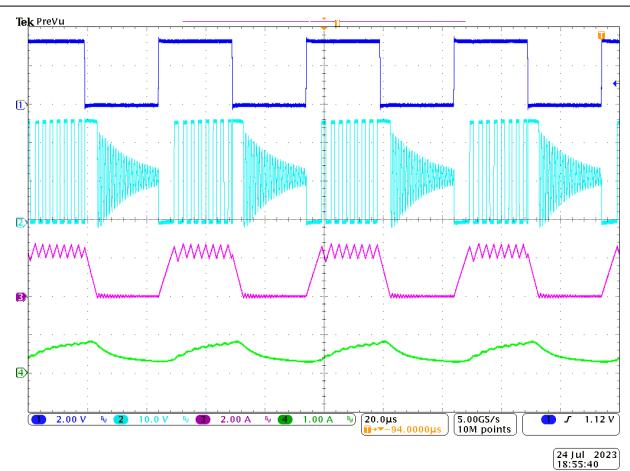
ループ安定性のため、 $C_{\text{COMP}}$ に $1\text{nF}$ 、10VのX7Rセラミックコンデンサ、 $R_{\text{COMP}}$ には $1\text{k}\Omega$ の抵抗を選択することを推奨します。PWMオンの立ち上がりエッジでのオーバーシュート電流を抑制するため、 $R_{\text{DAMP}}$ には $1\text{M}\Omega$ の抵抗を選択します。

### 8.2.2.3 アプリケーション曲線



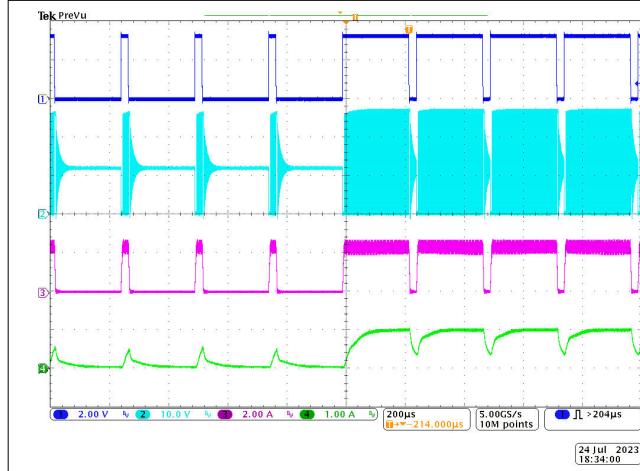
Ch 2:SW、Ch 3:インダクタ電流、Ch 4:LED 電流リップル (AC)

図 8-9. ADIM = 100%、1kHz、 $F_{\text{SW}} = 400\text{kHz}$  での LED 電流リップル



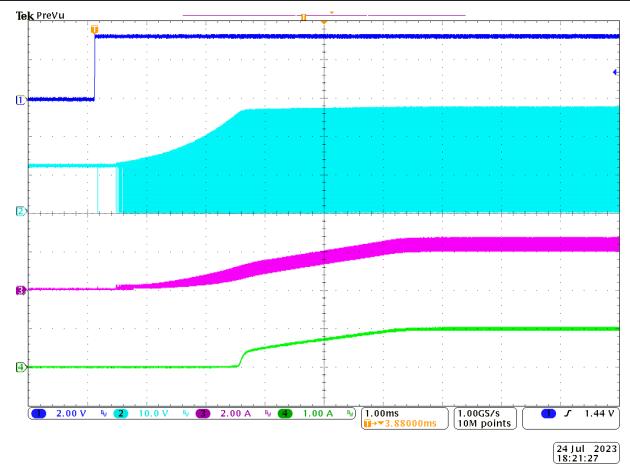
Ch 1:PWM/EN、Ch 2:SW、Ch 3:インダクタ電流、Ch 4:LED 電流

図 8-10. PWM = 50%、20kHz、 $F_{\text{SW}} = 400\text{kHz}$  での LED 電流リップル



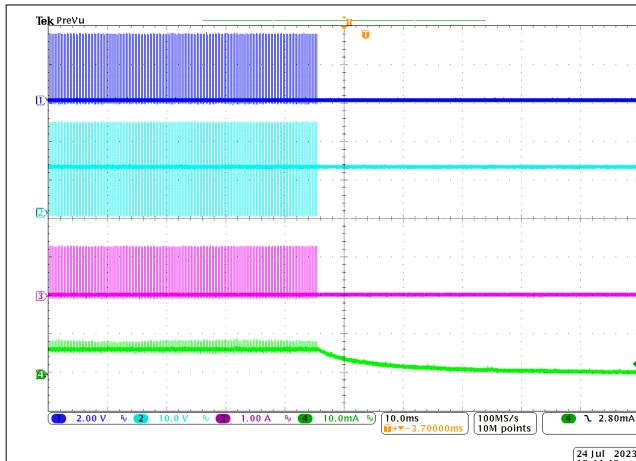
Ch 1:PWM/EN、Ch 2:SW、Ch 3:インダクタ電流、Ch 4:LED 電流

図 8-11. PWM の遷移が 10% から 99%、4kHz での LED の電流過渡応答



Ch 1:ADIM、Ch 2:SW、Ch 3:インダクタ電流、Ch 4:LED 電流

図 8-12. ADIM = 100%、500Hz での起動



Ch 1:PWM/EN, Ch 2:SW, Ch 3:インダクタ電流、Ch 4:LED 電流

図 8-13. PWM = 1%、4kHz でのシャットダウン



Ch 1:ADIM, Ch 2:SW, Ch 3:インダクタ電流、Ch 4:LED 電流

図 8-14. ADIM = 100%、500Hz でのシャットダウン

### 8.2.3 LP8868ZQDMTRQ1 12V 入力、2A 出力、1 ピース LED、降圧トポロジ

図 8-15 に、降圧トポロジでの LP8868Z の代表的なアプリケーションを示します。スイッチング電流制限は 5.2A で、出力電流制限はスイッチング電流制限の制限と等しくなります。

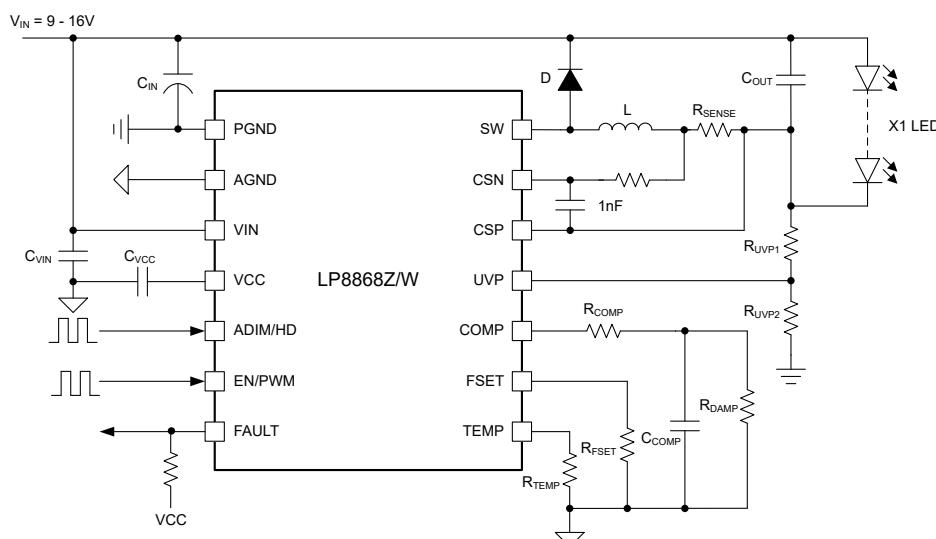


図 8-15. LP8868Z を使用した降圧トポロジの代表的なアプリケーション

#### 8.2.3.1 設計要件

この設計例では、次の表に記載されているパラメータを使用します。

表 8-3. 設計パラメータ

パラメータ	値
入力電圧範囲	9V ~ 16V
LED ストリング	1 LED
出力電圧	3V
スイッチング周波数	400kHz

表 8-3. 設計パラメータ (続き)

パラメータ	値
最大 LED 電流	2A
インダクタ電流リップル	最大インダクタ電流の 40%
調光タイプ	PWM 調光/ADIM 調光

### 8.2.3.2 詳細な設計手順

#### 8.2.3.2.1 インダクタの選択

この設計では、入力電圧は 9V ~ 16V です。出力は単一の白色 LED であり、インダクタ電流リップルは、要件により最大 LED 電流の 40% 未満です。適切なピークツーピークインダクタ電流リップルを選択するには、コンバータが無負荷状況で動作するときにローサイド FET の電流制限に違反しないようにします。違反を避けるため、ピークツーピークのインダクタリップル電流の半分が、その制限値より低くなるようにします。もう 1 つの検討事項は、ピークツーピーク電流リップルに起因するインダクタのコア損失と銅損が適切であることを検証することです。このピークツーピークのインダクタリップル電流を選択した後、式 24 を使用してインダクタ L の推奨値を計算します。

$$L = \frac{V_{OUT} \times (V_{IN(max)} - V_{OUT})}{V_{IN(max)} \times K_{IND} \times I_{L(max)} \times f_{SW}} \quad (24)$$

ここで、

- $K_{IND}$  は、最大 LED 電流に対するインダクタのリップル電流の量を示す係数です。
- $I_{L(max)}$  は LED 電流の最大平均
- $f_{SW}$  はスイッチング周波数
- $V_{IN(max)}$  は最大入力電圧
- $V_{OUT}$  は、LED 負荷の両端の電圧とセンス抵抗の両端の電圧の和です

選択したインダクタ値により、式 25 使用して実際のインダクタ電流リップルを計算します。

$$I_{L(ripple)} = \frac{V_{OUT} \times (V_{IN(max)} - V_{OUT})}{V_{IN(max)} \times L \times f_{SW}} \quad (25)$$

インダクタの過熱または飽和が発生しないように、インダクタの RMS 電流と飽和電流の設計定格がシステム要件の設計定格よりも大きいことを確認します。パワーアップ時、過渡状態、または障害状態では、インダクタ電流が通常の動作電流を超えて、電流制限値に達する場合があります。したがって、コンバータの電流制限以上の飽和電流定格を選択することを推奨します。ピークインダクタ電流と RMS 電流の式を 式 26 と 式 27 に示します。

$$I_{L(peak)} = I_{L(max)} + \frac{I_{L(ripple)}}{2} \quad (26)$$

$$I_{L(rms)} = \sqrt{I_{L(max)}^2 + \frac{I_{L(ripple)}^2}{2}} \quad (27)$$

この設計では、 $V_{IN(max)} = 16V$ 、 $V_{OUT} = 3V$ 、 $I_{LED} = 2A$  であり、 $K_{IND} = 0.4$  を選択すると、インダクタンスは  $7.6\mu H$  と計算されます。 $10\mu H$  のインダクタンスを選択します。このインダクタを使用すると、インダクタのリップル、ピーク、rms 電流はそれぞれ  $0.61A$ 、 $2.30A$ 、 $2A$ 、になります。

#### 8.2.3.2.2 入力コンデンサの選択

入力電源から引き出されるサージ電流と、デバイスから流入するスイッチング・ノイズを低減するために、入力コンデンサが必要です。エネルギー蓄積のために電解コンデンサを推奨します。X5R または X7R 誘電体を持つセラミックコンデンサは、ESR が低く、温度係数が小さいため、強く推奨されます。ほとんどのアプリケーションでは、高周波フィルタリングを行うために、 $10\mu F$  のコンデンサと、VIN から PGND/AGND の間に  $0.1\mu F$  のコンデンサを配置することを推奨します。電圧定格は、最大入力電圧を上回っていることを確認してください。式 28 を使用して入力リップル電圧を計算します。ここで、 $ESR_{CIN}$  は入力コンデンサの ESR、 $K_{DR}$  は印加された DC 電圧におけるセラミック容量のディレーティング係数です。

$$V_{IN(ripple)} = I_{L(max)} \times \left( \frac{V_{OUT}}{K_{DR} \times C_{IN} \times f_{SW} \times V_{IN(max)}} + ESR_{CIN} \right) \quad (28)$$

この設計では、33μF、100V の電解コンデンサ、22μF、100V の X7R セラミックコンデンサ 2 個、0.1μF、100V の X7R セラミックコンデンサが選択され、入力リップル電圧は約 113mV になっています。

#### 8.2.3.2.3 出力コンデンサの選択

出力コンデンサにより、LED ストリングを介した高周波電流リップルが低減されます。過度の電流リップルにより、LED ストリングの RMS 電流が増加し、LED の温度が上昇します。

1. LED メーカーのデータシートを使用して、LED ストリング ( $R_{LED}$ ) の合計動的抵抗を計算します。
2. LED ストリングを流れる許容可能なピークツーピークリップル電流  $I_{LED(ripple)}$  から、出力コンデンサに必要なインピーダンス ( $Z_{COUT}$ ) を計算します。 $I_{L(ripple)}$  は、選択したインダクタで計算されるピークツーピークのインダクタリップル電流です。
3. 必要な最小実効出力容量を計算します。
4. 印加される DC 電圧のディレーティング効果により、出力容量を適切に増やします。[式 29](#)、[式 30](#)、[式 31](#) を参照してください。

$$R_{LED} = \frac{\Delta V_F}{\Delta I_F} \times \# \text{ of LEDs} \quad (29)$$

$$Z_{COUT} = \frac{R_{LED} \times I_{LED(ripple)}}{I_{L(max)} - I_{LED(ripple)}} \quad (30)$$

$$C_{COUT} = \frac{1}{2\pi \times f_{SW} \times Z_{COUT}} \quad (31)$$

出力コンデンサを選択した後、[式 32](#) を使用して、LED ストリングを通してのピークツーピークリップル電流を推定できます。

$$I_{LED(ripple)} = \frac{Z_{COUT} \times I_{L(ripple)}}{Z_{COUT} + R_{LED}} \quad (32)$$

X5R または X7R 誘電体を持つセラミックコンデンサは、ESR が低く、温度係数が小さいため、強く推奨されます。この設計では、10μF、35V、X7R のセラミックコンデンサを選択しています。

#### 8.2.3.2.4 センス抵抗の選択

最大 LED 電流は 100% PWM デューティ時に 2A で、対応する  $V_{REF}$  は 200mV です。100mΩ のセンス抵抗を計算するには、[式 33](#) を使用します。センス抵抗の消費電力は 400mW であり、選択には抵抗の定格電力の十分なマージンが必要であることに注意してください。ノイズ注入を防止して堅牢性を向上させるために、CSN ピンに 100Ω の抵抗を用いることを推奨します。

$$R_{SENSE} = \frac{V_{REF}}{I_{LED\_FS}} \quad (33)$$

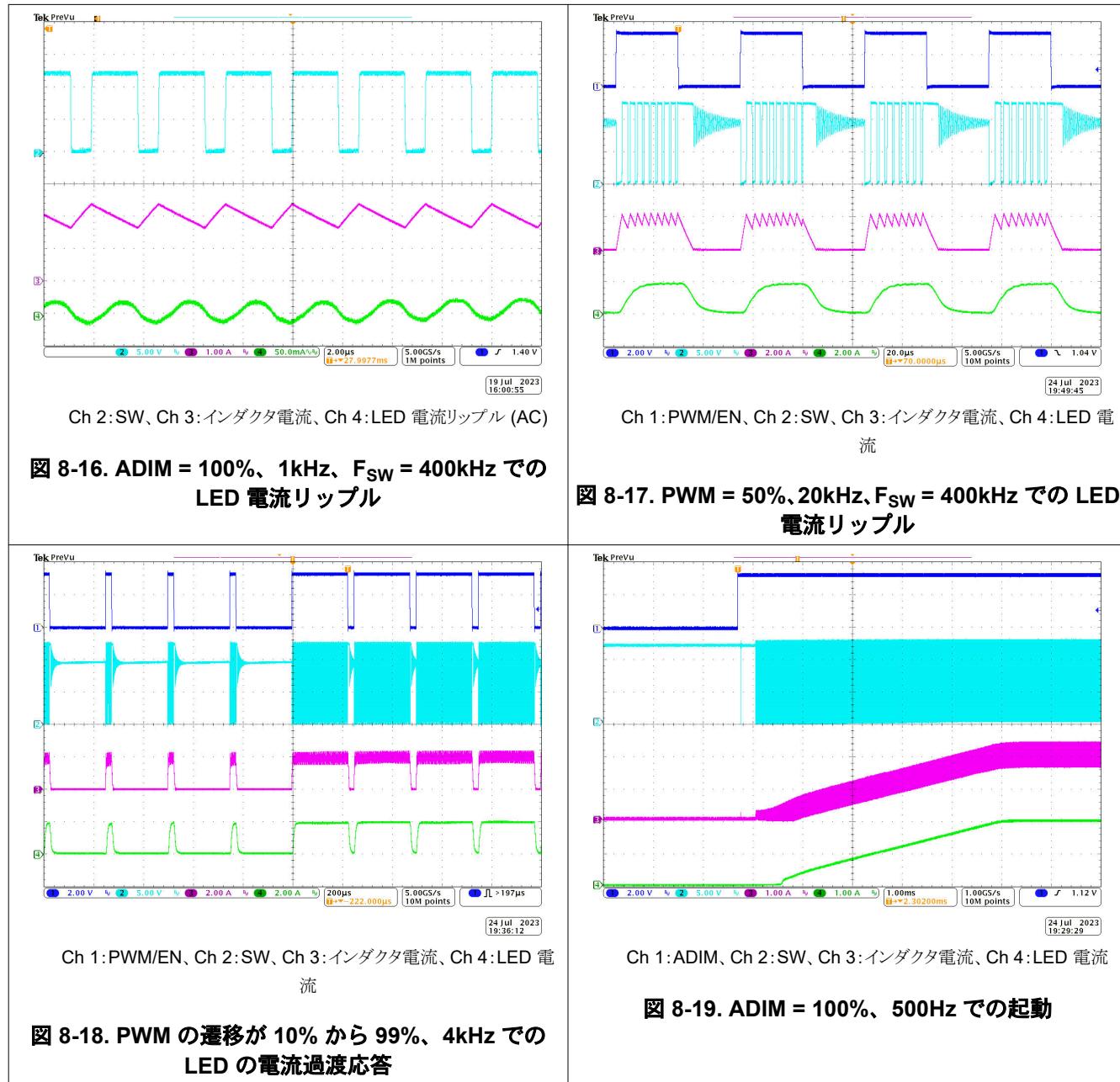
降圧トポロジでは、 $C_{sense}$  の使用はオプションです。

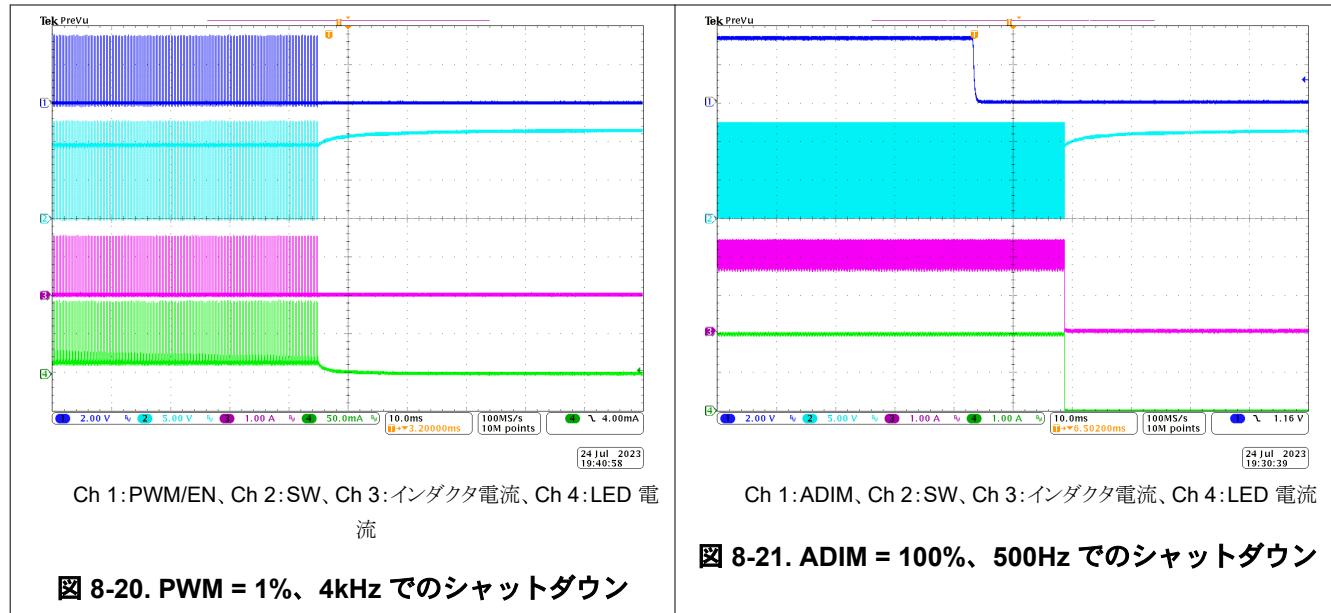
#### 8.2.3.2.5 その他外付け部品の選択

この設計では、センスフィードバックの高周波フィルタリングのため、0.1μF、50V の X7R セラミックコンデンサを選択しています。

ループ安定性のため、 $C_{COMP}$  に 1nF、10V の X7R セラミックコンデンサ、 $R_{COMP}$  には 1kΩ の抵抗を選択することを推奨します。PWM オンの立ち上がりエッジでのオーバーシュート電流を抑制するため、 $R_{DAMP}$  には 1MΩ の抵抗を選択します。

### 8.2.3.3 アプリケーション曲線





### 8.3 電源に関する推奨事項

デバイスは、4.5V~65V の入力電源電圧範囲で動作するように設計されています。この入力電源が十分に安定化されていることを確認してください。このデバイスでは、入力電源から引き出されるサージ電流とデバイスからのスイッチングノイズを低減するために入力コンデンサが必要です。X5R または X7R 誘電体を持つセラミックコンデンサは、誘電体の ESR が低く、温度係数が小さいため、強く推奨されます。ほとんどのアプリケーションでは、10 $\mu$ F のコンデンサで十分です。

### 8.4 レイアウト

LP8868-Q1 ファミリ には、ピーク性能を実現するため適切なレイアウトが必要です。以下のセクションでは、適切なレイアウトを実現するためのガイドラインを紹介します。

#### 8.4.1 レイアウトのガイドライン

LP8868 ファミリ の昇圧、昇降圧、降圧のトポロジの適切なレイアウト例を以下に示します。

- 良好的な電気的特性および熱特性を得るには、大きな GND プレーンを作成することが重要です。
- IN および GND のパターンは、パターンインピーダンス低減のためにできるだけ幅広くしていることを確認します。パターンが広いほど、優れた放熱性能が得られます。
- サーマルビアを使用して、上側の GND プレーンを追加のプリント基板 (PCB) 層に接続し、放熱とグランド配線を行います。
- 入力コンデンサは、IN ピンおよび GND ピンの近くにできるだけ寄せて配置します。
- LDO 出力電圧の安定を確保するため、VCC コンデンサは VCC ピンからできるだけ近い位置に配置します。
- 寄生インダクタンスを低減することにより過渡電圧スパイクを低減するため、SW パターンをできるだけ短くなっていることを確認します。また、SW パターンが短いと、放射ノイズと EMI も低減されます。
- デバイスの下をスイッチング電流が流れないようにしてください。
- CSN および CSP のパターン配線は、並列に配置し、できる限り短くして、高電圧のスイッチングパターンとグランドシールドから離して配置することをお勧めします。
- 発振およびシステムの不安定性を防ぐため、補償コンデンサは COMP ピンからできるだけ近い位置に配置します。

#### 8.4.2 レイアウト例

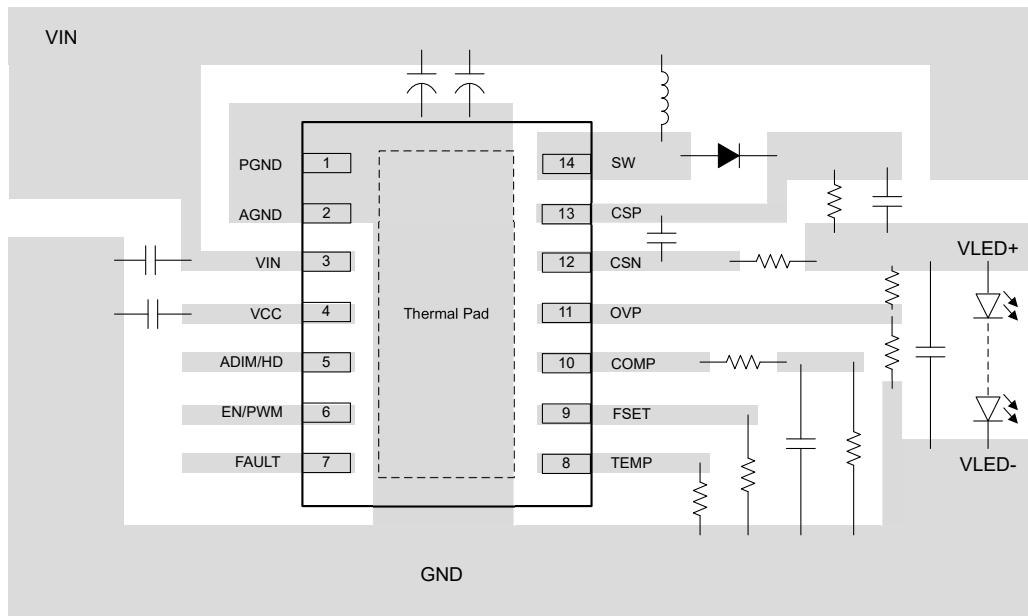


図 8-22. 昇圧トポロジ 上面レイアウト例

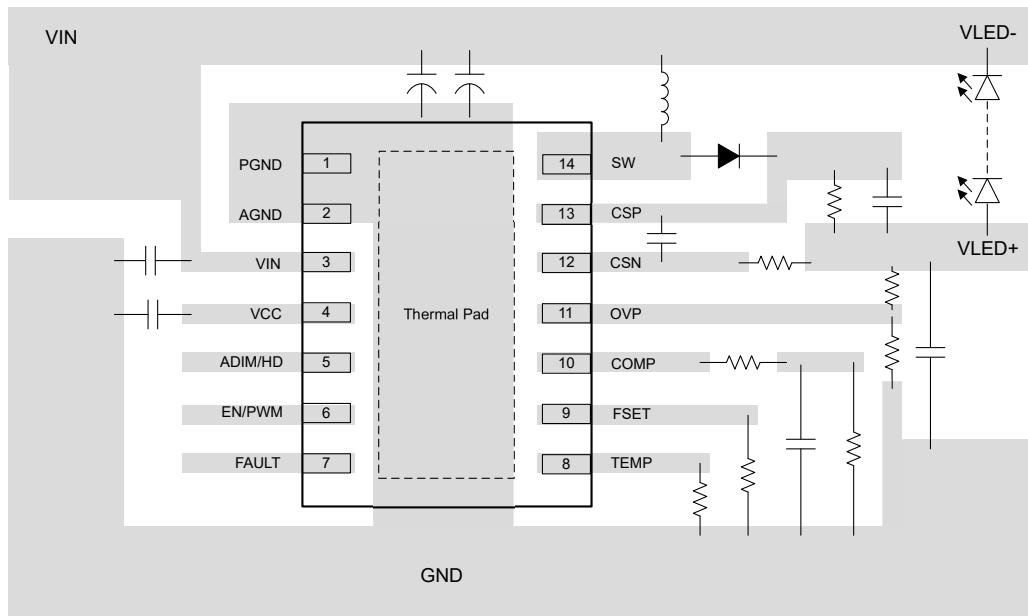


図 8-23. 昇降圧トポロジ 上面レイアウト例

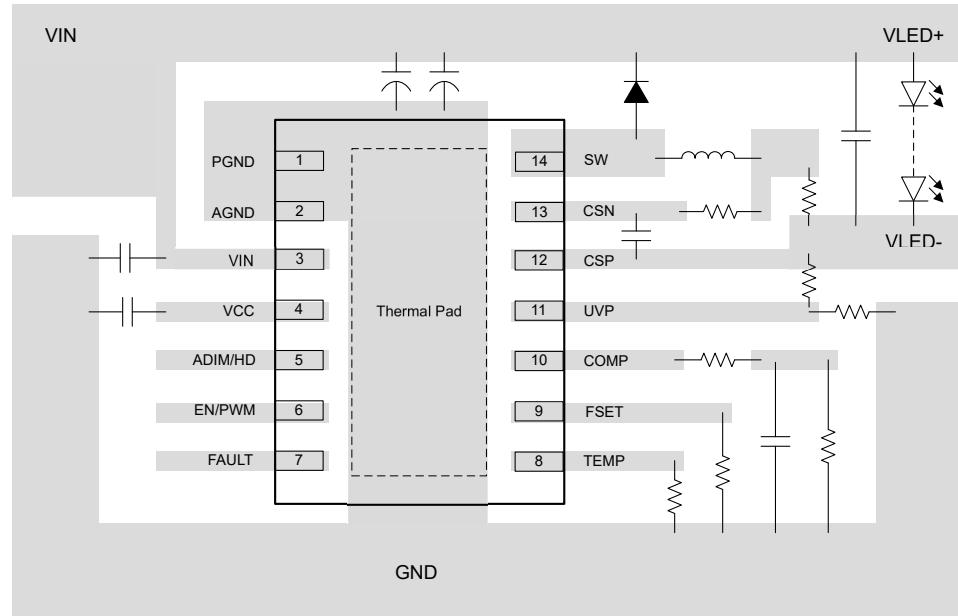


図 8-24. 降圧トポロジ上面レイアウト例

## 9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

### 9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 9.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

### 9.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

### 9.4 静電気放電に関する注意事項

 この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお勧めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 9.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

## 10 改訂履歴

Changes from Revision A (November 2023) to Revision B (Aug 2025)	Page
• HVSSOP パッケージから製品レビューの注を削除.....	1
• 昇圧 LED ドライバアプリケーションの回路図を更新.....	1
• 「比較表」を更新.....	3
• HVSOP パッケージの「ピン構成および機能」を更新.....	4
• 「絶対最大定格」の動作温度の最大値を 125 から 150 に変更.....	8
• 「熱に関する情報」に HVSSOP の値を追加.....	8
• 「電気的特性」の「HVSSOP 電流制限」セクションを更新.....	9
• 「LED の電流設定」セクションにテキストを追加:「ノイズ注入を避けるため...」.....	16
• 図 8-1 を変更.....	21
• 式 2 と 式 3 を変更.....	22
• 式 6 を変更.....	22
• 図 8-8 を変更.....	25
• 式 13 と 式 14 を変更.....	26
• 図 8-15 を変更.....	29
• 「インダクタの選択」の最後の段落の値を更新.....	30

- 
- レイアウト例を更新.....33
- 

Changes from Revision * (July 2023) to Revision A (November 2023)	Page
• 量産データに LP8868U-Q1, LP8868V-Q1, LP8868W-Q1 を追加.....1	

---

## 11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。これらの情報は、指定されたデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあります。このドキュメントの改訂なしに変更されることがあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](http://ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

**PACKAGING INFORMATION**

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LP8868UQDMTRQ1	Active	Production	VSON (DMT)   14	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L868U
LP8868UQDMTRQ1.A	Active	Production	VSON (DMT)   14	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L868U
LP8868VQDMTRQ1	Active	Production	VSON (DMT)   14	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L868V
LP8868VQDMTRQ1.A	Active	Production	VSON (DMT)   14	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L868V
LP8868WQDMTRQ1	Active	Production	VSON (DMT)   14	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L868W
LP8868WQDMTRQ1.A	Active	Production	VSON (DMT)   14	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L868W
LP8868XQDGNRQ1	Active	Production	HVSSOP (DGN)   12	5000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L68X
LP8868XQDMTRQ1	Active	Production	VSON (DMT)   14	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L868X
LP8868XQDMTRQ1.A	Active	Production	VSON (DMT)   14	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L868X
LP8868YQDGNRQ1	Active	Production	HVSSOP (DGN)   12	5000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L68Y
LP8868YQDMTRQ1	Active	Production	VSON (DMT)   14	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L868Y
LP8868YQDMTRQ1.A	Active	Production	VSON (DMT)   14	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L868Y
LP8868ZQDGNRQ1	Active	Production	HVSSOP (DGN)   12	5000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L68Z
LP8868ZQDMTRQ1	Active	Production	VSON (DMT)   14	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L868Z
LP8868ZQDMTRQ1.A	Active	Production	VSON (DMT)   14	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L868Z

<sup>(1)</sup> **Status:** For more details on status, see our [product life cycle](#).

<sup>(2)</sup> **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

<sup>(3)</sup> **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

<sup>(4)</sup> **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

<sup>(5)</sup> **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

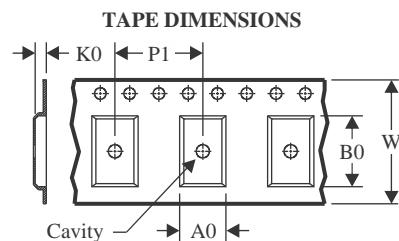
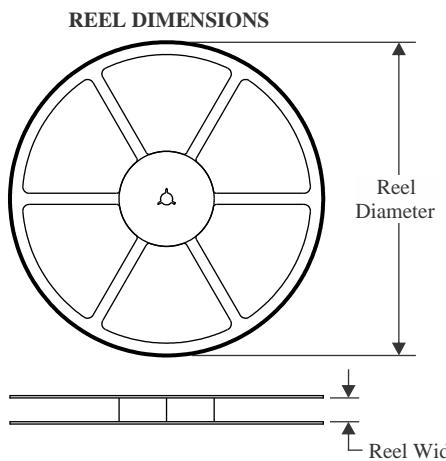
<sup>(6)</sup> **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

---

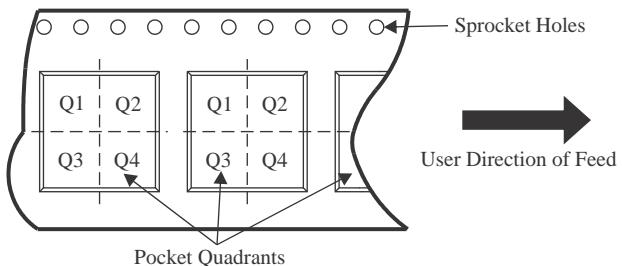
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

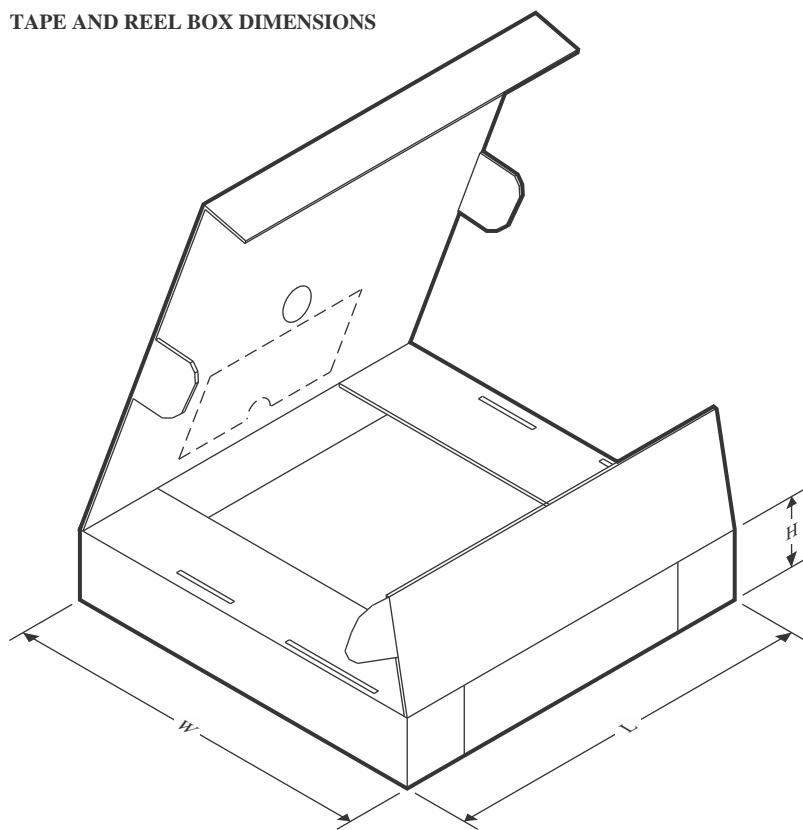
**TAPE AND REEL INFORMATION**


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LP8868UQDMTRQ1	VSON	DMT	14	3000	330.0	12.4	3.3	4.8	1.2	8.0	12.0	Q1
LP8868VQDMTRQ1	VSON	DMT	14	3000	330.0	12.4	3.3	4.8	1.2	8.0	12.0	Q1
LP8868WQDMTRQ1	VSON	DMT	14	3000	330.0	12.4	3.3	4.8	1.2	8.0	12.0	Q1
LP8868XQDGNRQ1	HVSSOP	DGN	12	5000	330.0	12.4	5.2	4.3	1.45	8.0	12.0	Q1
LP8868XQDMTRQ1	VSON	DMT	14	3000	330.0	12.4	3.3	4.8	1.2	8.0	12.0	Q1
LP8868YQDGNRQ1	HVSSOP	DGN	12	5000	330.0	12.4	5.2	4.3	1.45	8.0	12.0	Q1
LP8868YQDMTRQ1	VSON	DMT	14	3000	330.0	12.4	3.3	4.8	1.2	8.0	12.0	Q1
LP8868ZQDGNRQ1	HVSSOP	DGN	12	5000	330.0	12.4	5.2	4.3	1.45	8.0	12.0	Q1
LP8868ZQDMTRQ1	VSON	DMT	14	3000	330.0	12.4	3.3	4.8	1.2	8.0	12.0	Q1

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LP8868UQDMTRQ1	VSON	DMT	14	3000	367.0	367.0	35.0
LP8868VQDMTRQ1	VSON	DMT	14	3000	367.0	367.0	35.0
LP8868WQDMTRQ1	VSON	DMT	14	3000	367.0	367.0	35.0
LP8868XQDGNRQ1	HVSSOP	DGN	12	5000	353.0	353.0	32.0
LP8868XQDMTRQ1	VSON	DMT	14	3000	367.0	367.0	35.0
LP8868YQDGNRQ1	HVSSOP	DGN	12	5000	353.0	353.0	32.0
LP8868YQDMTRQ1	VSON	DMT	14	3000	367.0	367.0	35.0
LP8868ZQDGNRQ1	HVSSOP	DGN	12	5000	353.0	353.0	32.0
LP8868ZQDMTRQ1	VSON	DMT	14	3000	367.0	367.0	35.0

## GENERIC PACKAGE VIEW

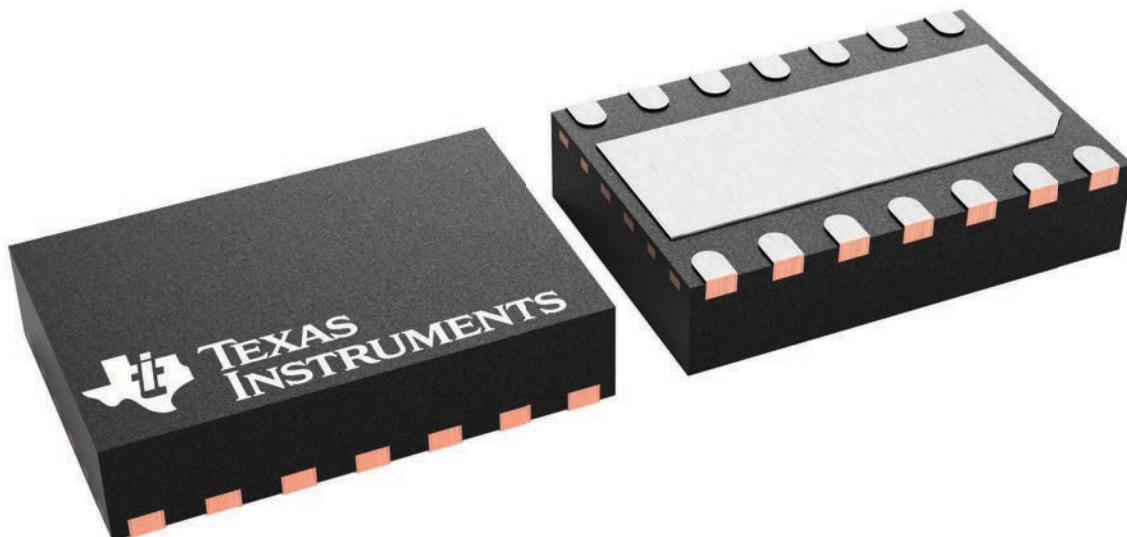
### DMT 14

### VSON - 0.9 mm max height

3 x 4.5, 0.65 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

This image is a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.



4225088/A

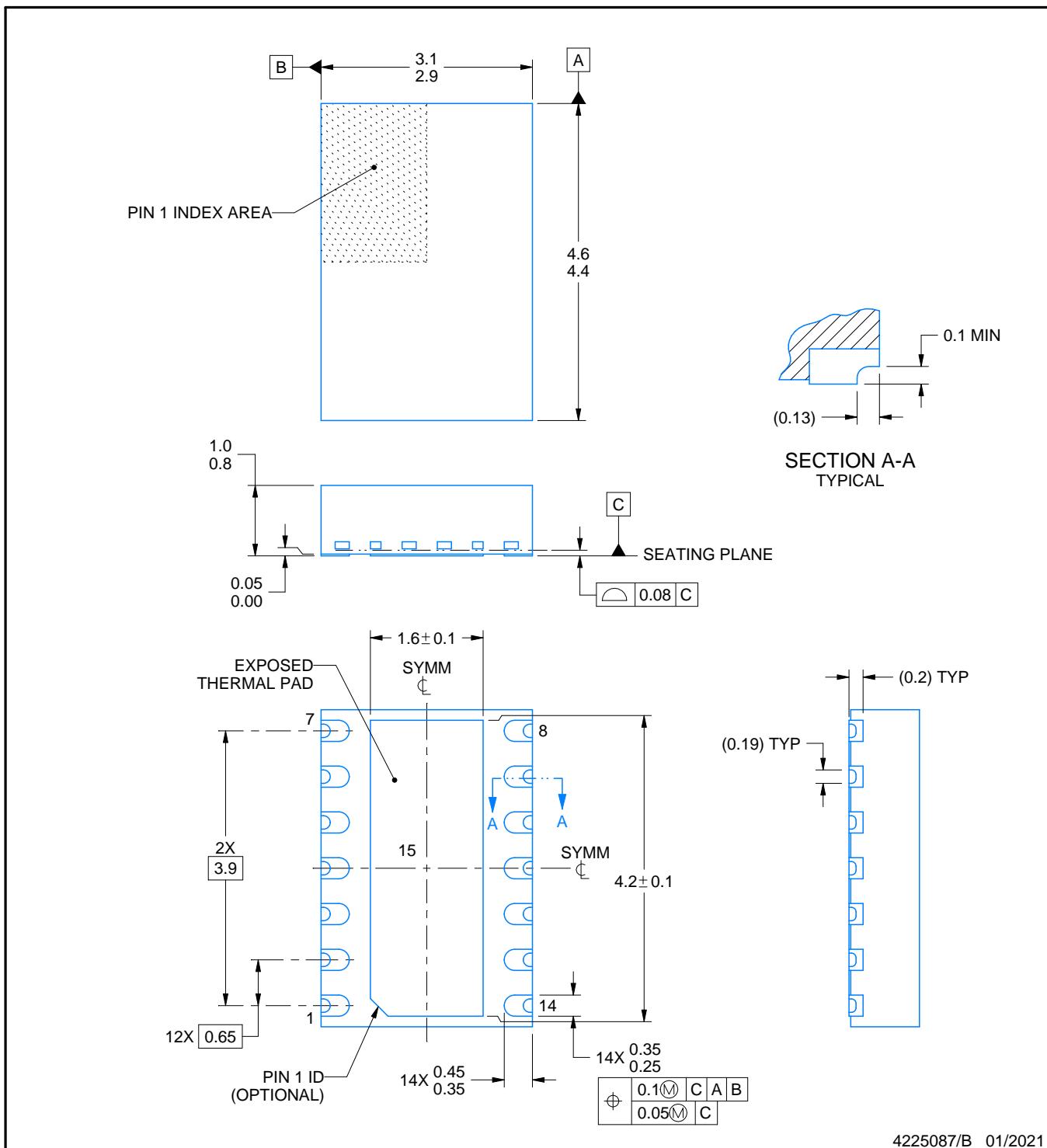
DMT0014B



# PACKAGE OUTLINE

## VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



4225087/B 01/2021

### NOTES:

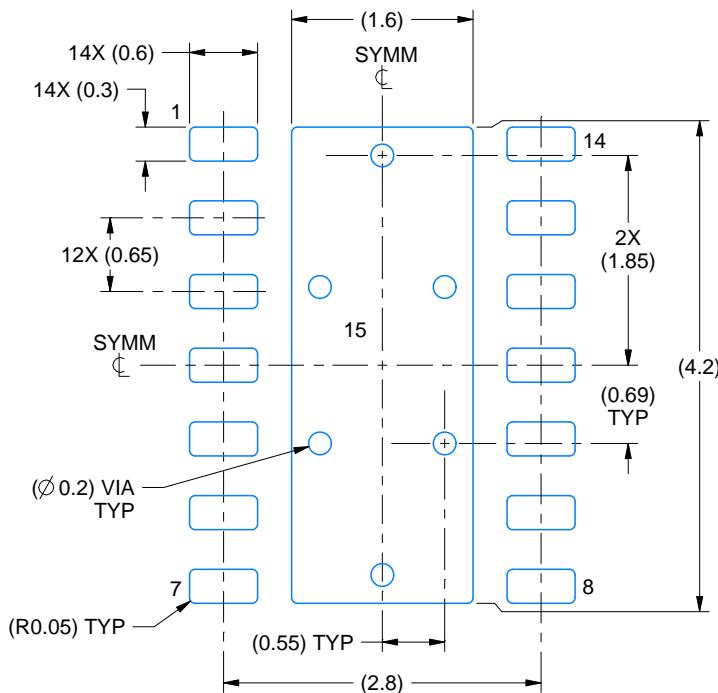
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

# EXAMPLE BOARD LAYOUT

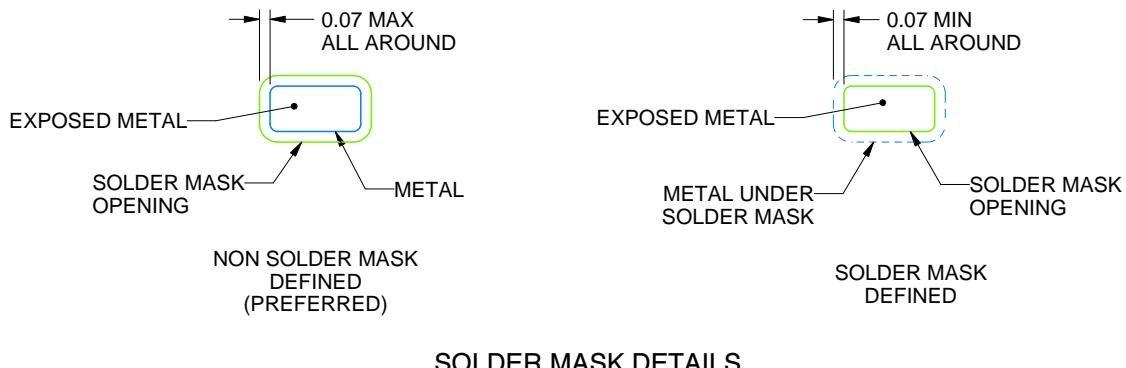
DMT0014B

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE:15X



4225087/B 01/2021

NOTES: (continued)

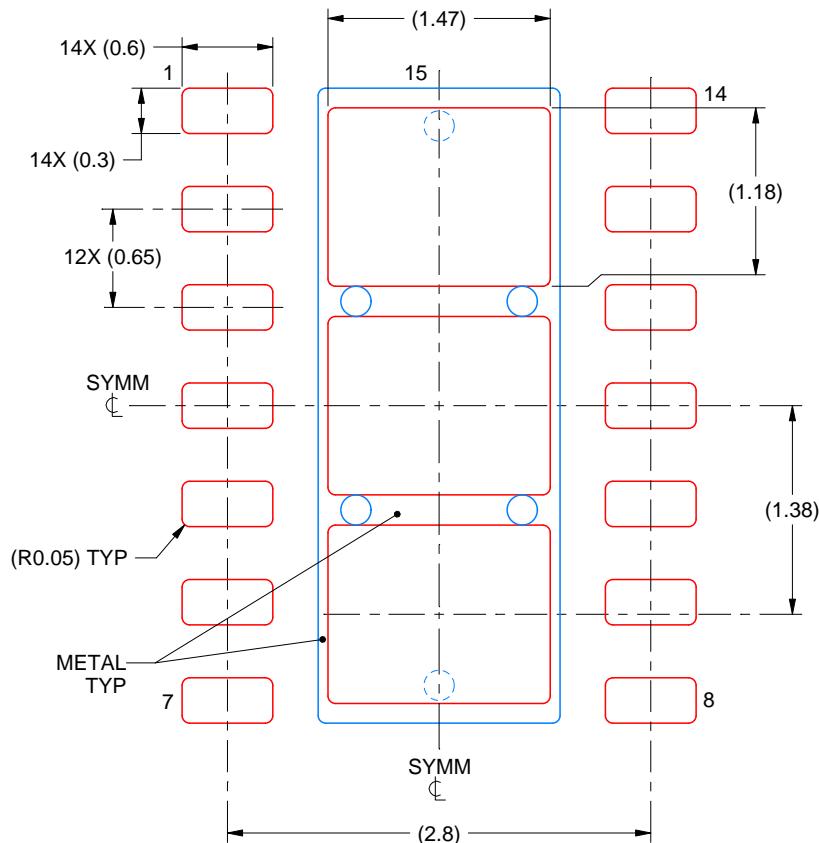
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/slua271](http://www.ti.com/lit/slua271)).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

# EXAMPLE STENCIL DESIGN

DMT0014B

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 15  
77.4% PRINTED SOLDER COVERAGE BY AREA  
SCALE:20X

4225087/B 01/2021

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

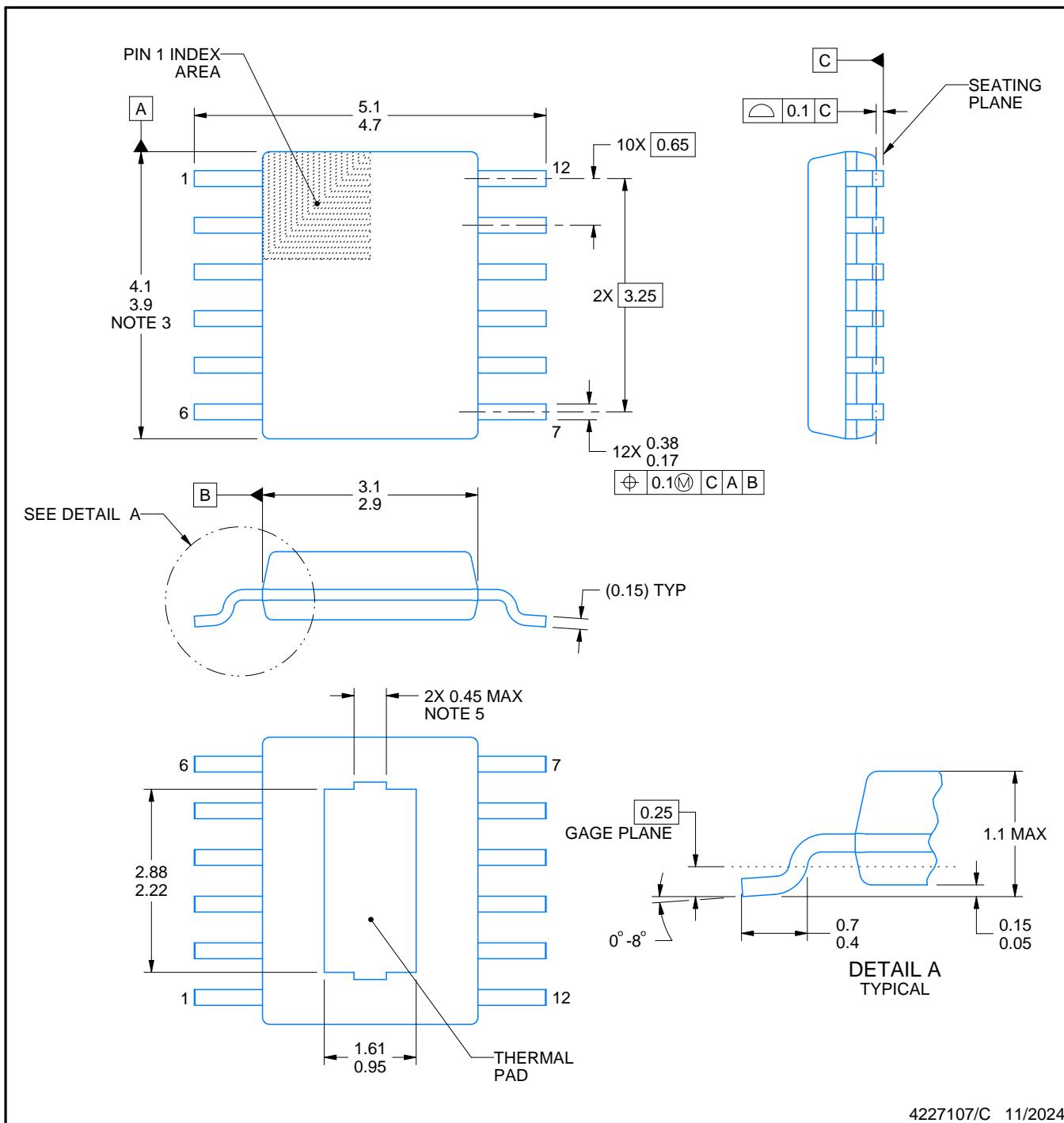
# PACKAGE OUTLINE

DGN0012A



PowerPAD™ HVSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



4227107/C 11/2024

## NOTES:

PowerPAD is a trademark of Texas Instruments.

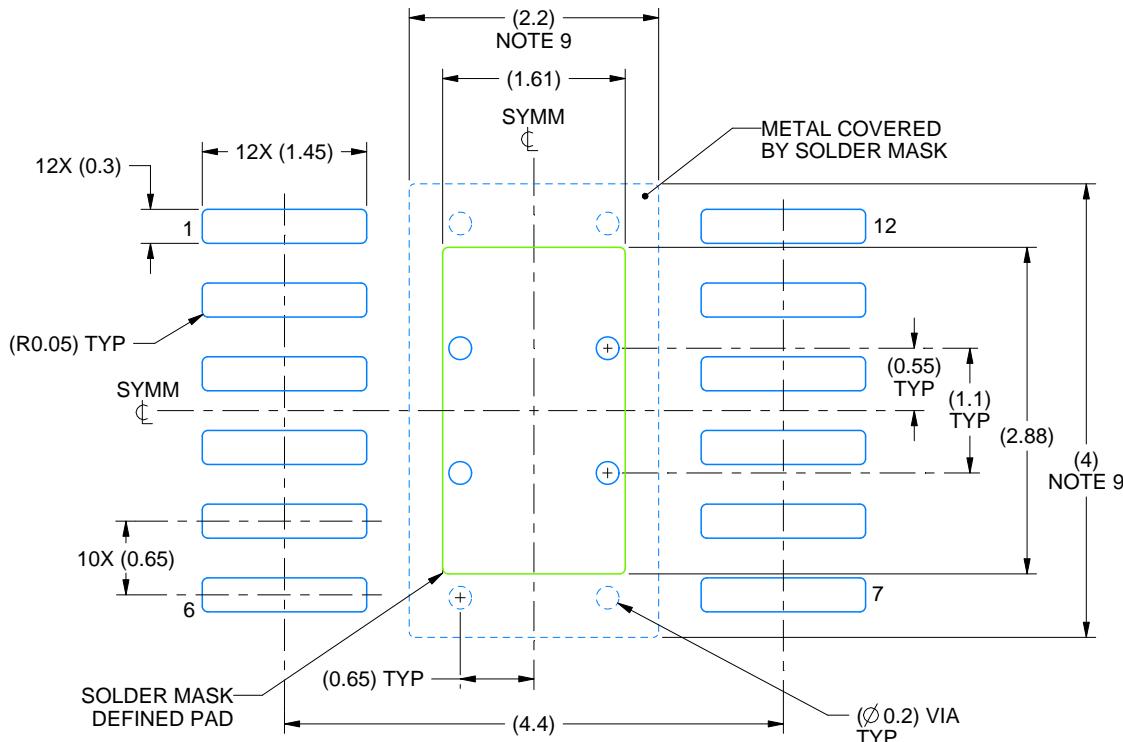
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of September 2020.
5. Features may differ or may not be present.

## EXAMPLE BOARD LAYOUT

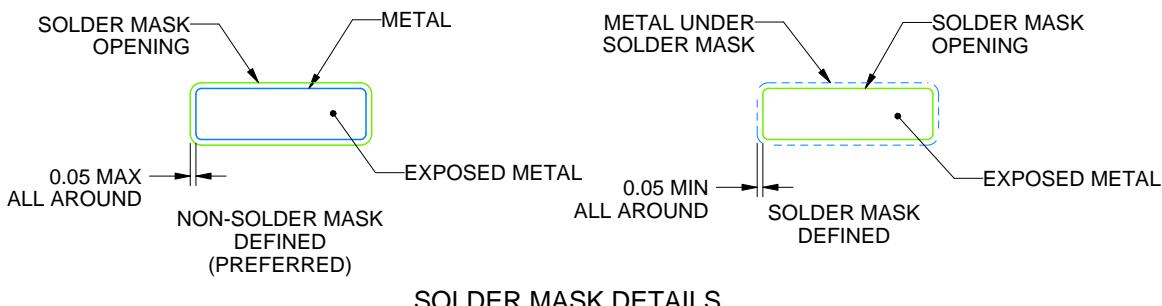
**DGN0012A**

**PowerPAD™ HVSSOP - 1.1 mm max height**

## SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE: 15X



4227107/C 11/2024

#### NOTES: (continued)

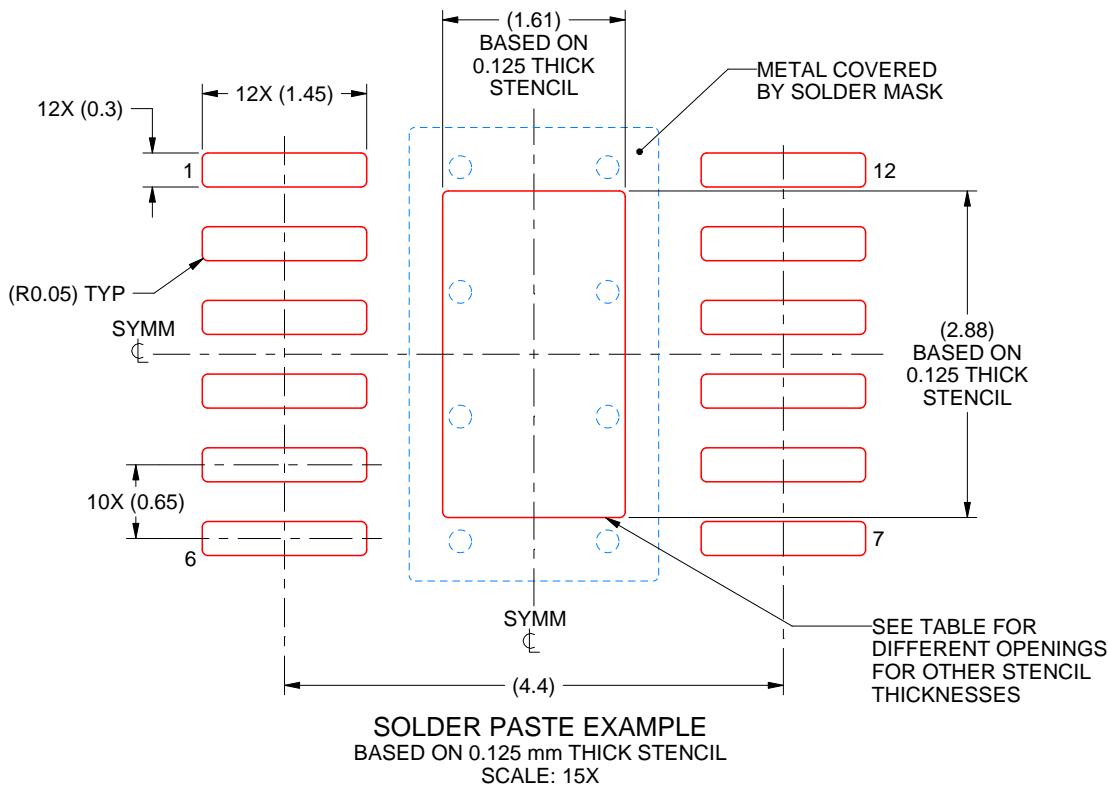
6. Publication IPC-7351 may have alternate designs.
  7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
  8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 ([www.ti.com/lit/slma002](http://www.ti.com/lit/slma002)) and SLMA004 ([www.ti.com/lit/slma004](http://www.ti.com/lit/slma004)).
  9. Size of metal pad may vary due to creepage requirement.
  10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

# EXAMPLE STENCIL DESIGN

DGN0012A

PowerPAD™ HVSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	1.80 X 3.22
0.125	1.61 X 2.88 (SHOWN)
0.15	1.47 X 2.63
0.175	1.36 X 2.43

4227107/C 11/2024

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月