

- 低電源電圧範囲 : 1.8 V ~ 3.6 V
- 超低消費電力 :
 - アクティブ・モード : 200 μ A (1 MHz、2.2 V)
 - スタンバイ・モード : 0.7 μ A
 - オフ・モード (RAM データ保持) : 0.1 μ A
- 5 つのパワー・セーブ・モード
- スタンバイ・モードからのウェークアップは 6 μ s 以下
- 16 ビット RISC アーキテクチャ、125 ns インストラクション・サイクル・タイム
- 基本クロック・モジュール構成
 - 色々な内部抵抗
 - 1 つの外部抵抗
 - 32 kHz クリスタル
 - 高周波数クリスタル
 - レゾネータ
 - 外部クロック源
- 16 ビット タイマ_A (3 つのキャプチャ/コンペア・レジスタ付き)
- 10 ビット 200 ksp/s A/D コンバータ (内部基準電圧、サンプル&ホールド、オートスキャン、データ送信コントローラ付き)
- シリアル・コミュニケーション・インタフェース (USART0)、ソフトウェアにより非同期 UART 又は同期 SPI を選択可能 (MSP430x12x2 のみ)
- シリアル・オンボード・プログラミング、外部プログラミング電圧不要、セキュリティ・ヒューズによるプログラム可能なコード保護
- 電源電圧ブラウンアウト検出
- MSP430x11x2 ファミリー製品 :
 - MSP430F1122 : 4KB + 256B フラッシュ・メモリ、256B RAM
 - MSP430F1132 : 8KB + 256B フラッシュ・メモリ、256B RAM
- 20 ピン プラスチック SOWB、20 ピン プラスチック TSSOP、及び 32 ピン QFN パッケージ
- MSP430x12x2 ファミリー製品 :
 - MSP430F1222 : 4KB + 256B フラッシュ・メモリ、256B RAM
 - MSP430F1232 : 8KB + 256B フラッシュ・メモリ、256B RAM
- 28 ピン プラスチック SOWB、28 ピン プラスチック TSSOP、及び 32 ピン QFN パッケージ
- モジュールの詳細は、MSP430x1xx ファミリー ユーザーズ・ガイド 資料番号 SLAU135 (日本語版)、SLAU049 (英語版) を参照して下さい。

概要

テキサス・インスツルメンツの超低消費電力マイクロコントローラ MSP430 ファミリーは、色々なアプリケーションのための異なる種類のペリフェラル・デバイスで構成されています。5 つの低消費電力モードを持ったアーキテクチャは、携帯型計測機器アプリケーションのバッテリー寿命を延ばすために最適化されています。デバイスには、パワフルな 16 ビット RISC CPU、16 ビット レジスタ、及び最大コード効率のためのコンスタント・ジェネレータが搭載されています。デジタル・コントロール・オシレータ (DCO) により、低消費電力モードからアクティブ・モードへのウェークアップが 6 μ s 以内で行われます。

MSP430x11x2 及び MSP430x12x2 シリーズは、16 ビット タイマ、基準電圧及びデータ送信コントローラ (DTC) 及び 14 又は 22 個の I/O 端子を内蔵した 10 ビット A/D コンバータを持つ超低消費電力ミックスド・シグナル・マイクロコントローラです。さらに、MSP430x12x2 シリーズ マイクロコントローラは、非同期 (UART) 及び同期 (SPI) プロトコルを使用した通信が可能です。

16 ビット RISC の性能を持ったデジタル・シグナル・プロセッシングにより、信号解析 (波形デジタル・フィルタ・アルゴリズムを含む) を用いたガラスの割れ検出のような効果的なシステム・ソリューションを可能にします。その他の分野のアプリケーションは、スタンド・アロン RF センサです。



静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切な ESD 保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。



テキサス・インスツルメンツの半導体製品の供給状況、標準保証、及び重大用途における使用に関しましては、重要なお注意がこのデータシートの終わりに掲載されていますので、ご参照下さい。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本 TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本 TI による和文資料は、あくまでも TI 正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討及びご採用にあたりましては、必ず正規英語版の最新資料をご確認下さい。TI 及び日本 TI は、正規英語版にて更新の情報を提供しているにも関わらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

MSP430x11x2、MSP430x12x2

ミックスド・シグナル・マイクロコントローラ

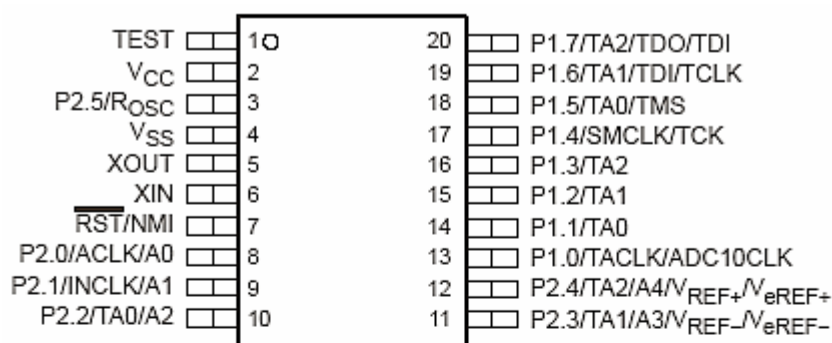
SLAS444 – 2005 年 4 月

製品オプション

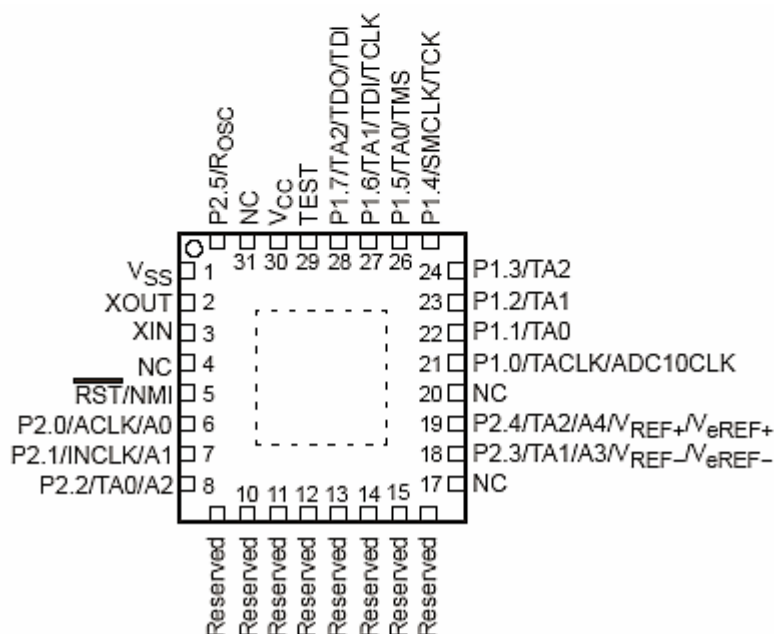
T _A	PACKAGED DEVICES				
	プラスチック 20 ピン SOWB (DW)	プラスチック 20 ピン TSSOP (PW)	プラスチック 28 ピン SOWB (DW)	プラスチック 28 ピン TSSOP (PW)	プラスチック 32 ピン QFN (RHB)
-40°C ~ 85°C	MSP430F1122IDW MSP430F1132IDW	MSP430F1122IPW MSP430F1132IPW	MSP430F1222IDW MSP430F1232IDW	MSP430F1222IPW MSP430F1232IPW	MSP430F1122IRHB MSP430F1132IRHB MSP430F1222IRHB MSP430F1232IRHB

ピン配置 MSP430x11x2 (注 1、2、3)

DW 又は PW パッケージ
(上面図)



RHB パッケージ
(上面図)



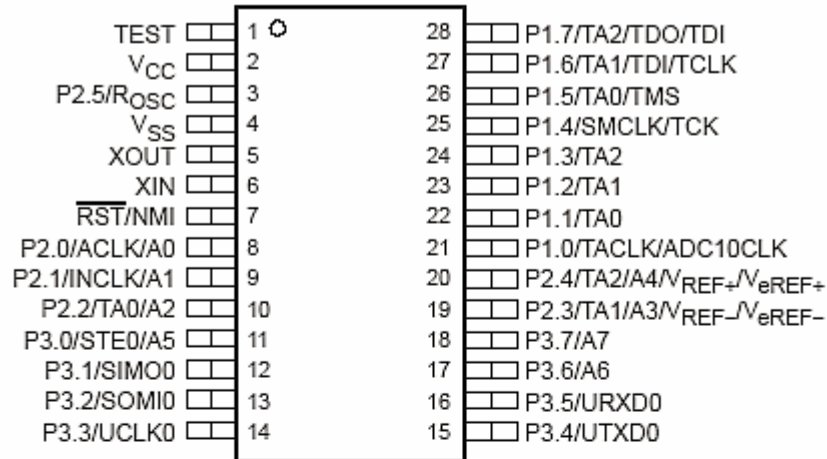
(注 1) NC 端子は内部で接続されていません。V_{SS} に接続することを推奨します。

(注 2) 「Reserved」のラベルを付けられたすべての端子は、フローティングにならないように V_{SS} に接続することを推奨します。さもなければ、消費電流が増加することがあります。

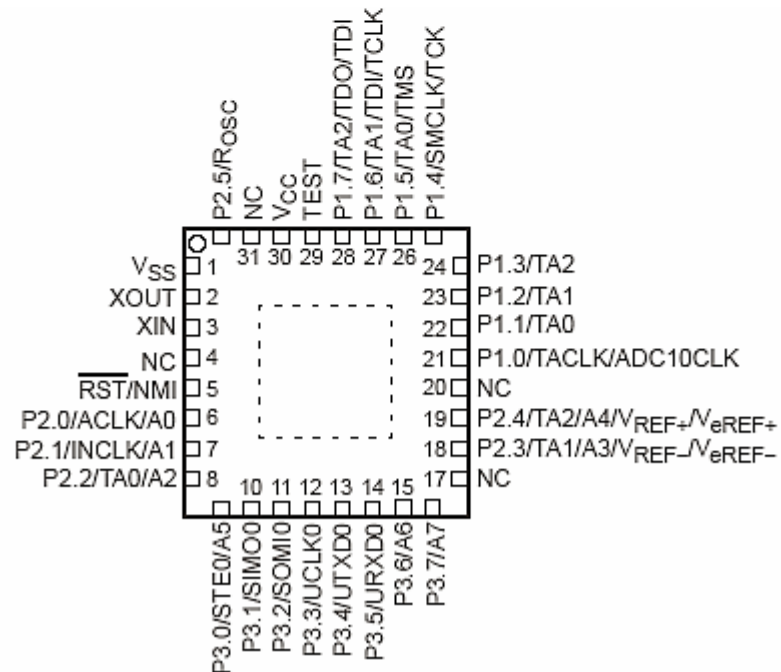
(注 3) 放熱パッドは V_{SS} に接続することを推奨します。

ピン配置 MSP430x12x2 (注 1、2)

DW 又は PW パッケージ
(上面図)



RHB パッケージ
(上面図)



(注 1) NC 端子は内部で接続されていません。V_{SS} に接続することを推奨します。

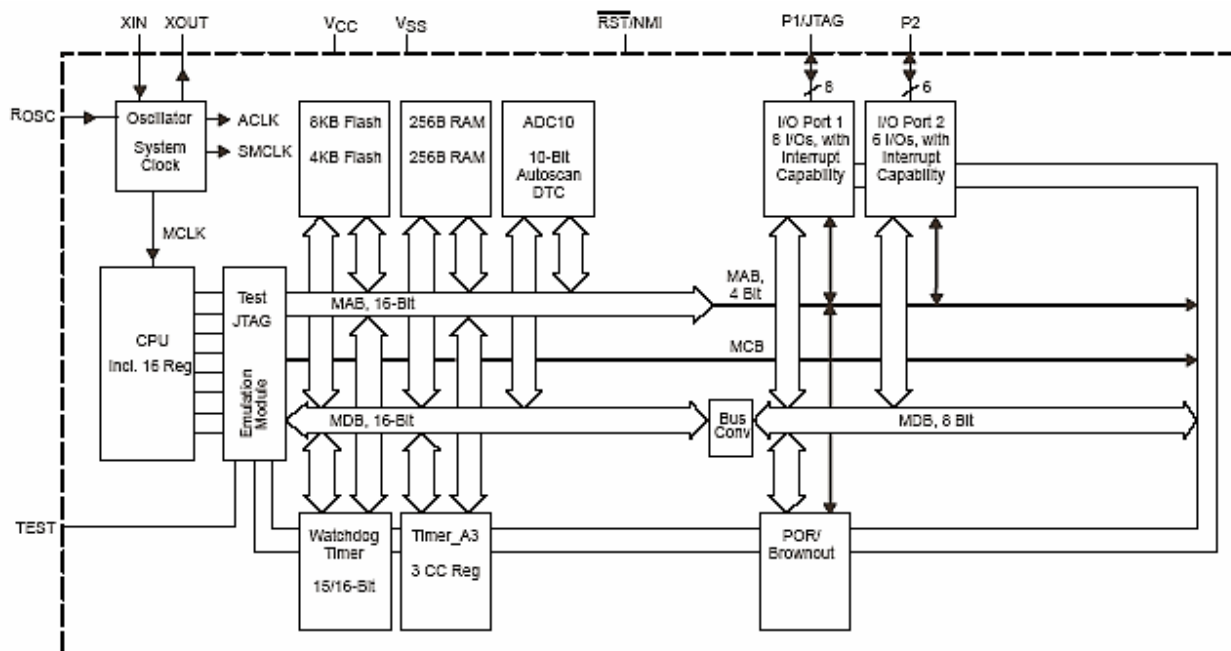
(注 2) 放熱パッドは V_{SS} に接続することを推奨します。

MSP430x11x2、MSP430x12x2

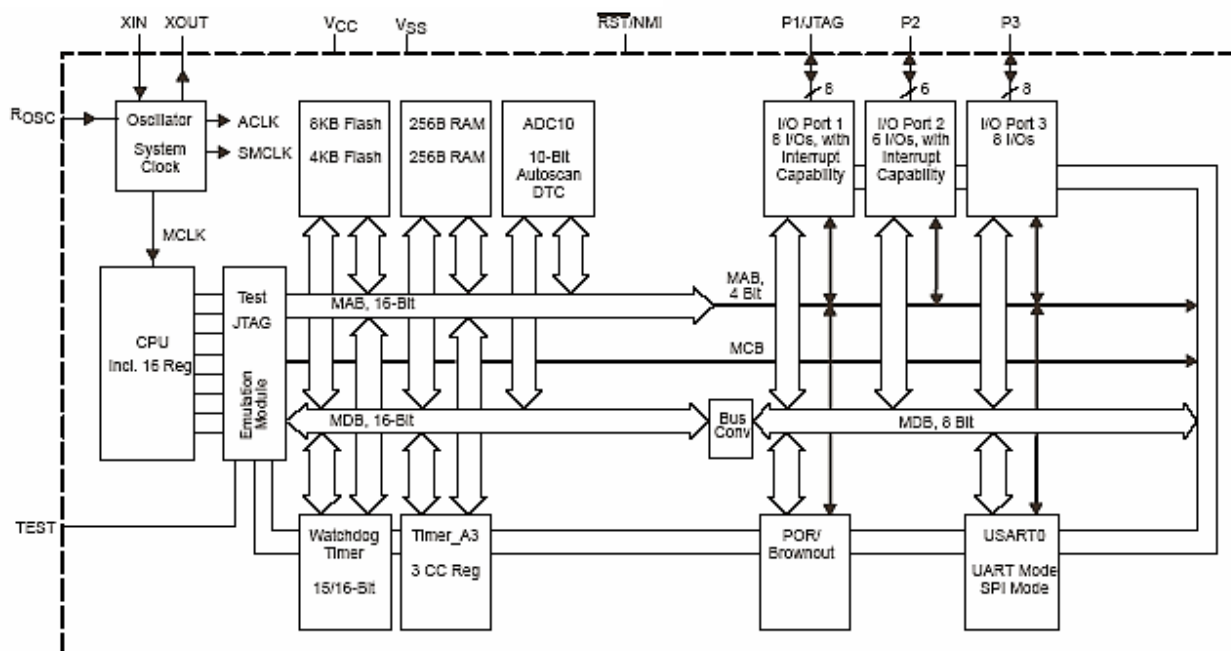
ミックスド・シグナル・マイクロコントローラ

SLAS444 – 2005 年 4 月

MSP430x11x2 機能ブロック図



MSP430x12x2 機能ブロック図



MSP430x11x2 端子機能表

端 子			I/O	機 能
名 前	DW & PW	RHB		
P1.0/TACLK/ ADC10CLK	13	21	I/O	汎用デジタル I/O / タイマ_A、クロック信号 TACLK 入力 / 変換クロック - 10 ビット ADC
P1.1/TA0	14	22	I/O	汎用デジタル I/O / タイマ_A、キャプチャ: CCI0A 入力、コンペア: Out0 出力 / BSL 送信
P1.2/TA1	15	23	I/O	汎用デジタル I/O / タイマ_A、キャプチャ: CCI1A 入力、コンペア: Out1 出力
P1.3/TA2	16	24	I/O	汎用デジタル I/O / タイマ_A、キャプチャ: CCI2A 入力、コンペア: Out2 出力
P1.4/SMCLK/TCK	17	25	I/O	汎用デジタル I/O / SMCLK 信号出力 / テスト・クロック、デバイス・プログラミング及びテストのための入力
P1.5/TA0/TMS	18	26	I/O	汎用デジタル I/O / タイマ_A、コンペア: Out0 出力 / テスト・モード選択、デバイス・プログラミング及びテストのための入力
P1.6/TA1/TDI/TCLK	19	27	I/O	汎用デジタル I/O / タイマ_A、コンペア: Out1 出力 / テスト・データ入力又はテスト・クロック入力
P1.7/TA2/TDO/TDI †	20	28	I/O	汎用デジタル I/O / タイマ_A、コンペア: Out2 出力 / テスト・データ出力又はプログラミング時のデータ入力
P2.0/ACLK/A0	8	6	I/O	汎用デジタル I/O / ACLK 出力 / 10 ビット ADC 入力 A0 へのアナログ入力
P2.1/INCLK/A1	9	7	I/O	汎用デジタル I/O / タイマ_A、INCLK クロック信号 / 10 ビット ADC 入力 A1 へのアナログ入力
P2.2/TA0/A2	10	8	I/O	汎用デジタル I/O / タイマ_A、キャプチャ: CCI0B 入力、コンペア: Out0 出力 / 10 ビット ADC 入力 A2 へのアナログ入力 / BSL 受信
P2.3/TA1/A3/V _{REF-}	11	18	I/O	汎用デジタル I/O / タイマ_A、キャプチャ: CCI1B 入力、コンペア: Out1 出力 / 10 ビット ADC 入力 A3 へのアナログ入力 / 負基準電圧端子
P2.4/TA2/A4/V _{REF+}	12	19	I/O	汎用デジタル I/O / タイマ_A、コンペア: Out2 出力 / 10 ビット ADC 入力 A4 へのアナログ入力 / 正基準電圧 I/O 端子
P2.5/R _{OSC}	3	32	I/O	汎用デジタル I/O / DCO 公称周波数を決める外部抵抗入力
RST/NMI	7	5	I	リセット又はマスク不可能な割り込み入力
TEST	1	29	I	P1.x JTAG 端子のテスト・モードの選択入力
V _{CC}	2	30		電源
V _{SS}	4	1		グランド基準
XIN	6	3	I	クリスタル・オシレータ入力
XOUT	5	2	O	クリスタル・オシレータ出力
NC	NA	4, 17, 20, 31		内部で接続されていません。V _{SS} に接続することを推奨します。
Reserved	NA	9 - 16		予約されています。フローティングにならないように V _{SS} に接続することを推奨します。さもなければ、消費電流が増加することがあります。
QFN Pad	NA	Package Pad		QFN パッケージのパッドは V _{SS} に接続することを推奨します。

† TDO 又は TDI は JTAG 命令によって選択されます。

MSP430x11x2、MSP430x12x2

ミックスド・シグナル・マイクロコントローラ

SLAS444 – 2005 年 4 月

MSP430x12x2 端子機能表

端 子 名 前	端 子		I/O	機 能
	DW & PW	RHB		
P1.0/TACLK/ ADC10CLK	21	21	I/O	汎用デジタル I/O / タイマ_A、クロック信号 TACLK 入力 / 変換クロック - 10 ビット ADC
P1.1/TA0	22	22	I/O	汎用デジタル I/O / タイマ_A、キャプチャ: CCI0A 入力、コンペア: Out0 出力 / BSL 送信
P1.2/TA1	23	23	I/O	汎用デジタル I/O / タイマ_A、キャプチャ: CCI1A 入力、コンペア: Out1 出力
P1.3/TA2	24	24	I/O	汎用デジタル I/O / タイマ_A、キャプチャ: CCI2A 入力、コンペア: Out2 出力
P1.4/SMCLK/TCK	25	25	I/O	汎用デジタル I/O / SMCLK 信号出力 / テスト・クロック、デバイス・プログラミング及びテストのための入力
P1.5/TA0/TMS	26	26	I/O	汎用デジタル I/O / タイマ_A、コンペア: Out0 出力 / テスト・モード選択、デバイス・プログラミング及びテストのための入力
P1.6/TA1/TDI/TCLK	27	27	I/O	汎用デジタル I/O / タイマ_A、コンペア: Out1 出力 / テスト・データ入力又はテスト・クロック入力
P1.7/TA2/TDO/TDI †	28	28	I/O	汎用デジタル I/O / タイマ_A、コンペア: Out2 出力 / テスト・データ出力又はプログラミング時のデータ入力
P2.0/ACLK/A0	8	6	I/O	汎用デジタル I/O / ACLK 出力 / 10 ビット ADC 入力 A0 へのアナログ入力
P2.1/INCLK/A1	9	7	I/O	汎用デジタル I/O / タイマ_A、INCLK クロック信号 / 10 ビット ADC 入力 A1 へのアナログ入力
P2.2/TA0/A2	10	8	I/O	汎用デジタル I/O / タイマ_A、キャプチャ: CCI0B 入力、コンペア: Out0 出力 / 10 ビット ADC 入力 A2 へのアナログ入力 / BSL 受信
P2.3/TA1/A3/V _{REF-}	19	18	I/O	汎用デジタル I/O / タイマ_A、キャプチャ: CCI1B 入力、コンペア: Out1 出力 / 10 ビット ADC 入力 A3 へのアナログ入力 / 負基準電圧端子
P2.4/TA2/A4/V _{REF+}	20	19	I/O	汎用デジタル I/O / タイマ_A、コンペア: Out2 出力 / 10 ビット ADC 入力 A4 へのアナログ入力 / 正基準電圧 I/O 端子
P2.5/R _{OSC}	3	32	I/O	汎用デジタル I/O / DCO 公称周波数を決める外部抵抗入力
P3.0/STE0/A5	11	9	I/O	汎用デジタル I/O / スレープ送信イネーブル - USART0/SPI モード / 10 ビット ADC 入力 A5 へのアナログ入力
P3.1/SIM00	12	10	I/O	汎用デジタル I/O / スレープ入力 / USART0/SPI モードのマスタ出力
P3.2/SOMI0	13	11	I/O	汎用デジタル I/O / スレープ出力 / USART0/SPI モードのマスタ入力
P3.3/UCLK0	14	12	I/O	汎用デジタル I/O / 外部クロック入力 - USART0/UART 又は SPI モード、クロック出力 - USART0/SPI モード・クロック入力
P3.4/UTXD0	15	13	I/O	汎用デジタル I/O / 送信データ出力 - USART0/UART モード
P3.5/URXD0	16	14	I/O	汎用デジタル I/O / 受信データ入力 - USART0/UART モード
P3.6/A6	17	15	I/O	汎用デジタル I/O / 10 ビット ADC 入力 A6 へのアナログ入力
P3.7/A7	18	16	I/O	汎用デジタル I/O / 10 ビット ADC 入力 A7 へのアナログ入力
RST/NMI	7	5	I	リセット又はマスク不可能な割り込み入力
TEST	1	29	I	P1.x JTAG 端子のテスト・モードの選択入力
V _{CC}	2	30		電源
V _{SS}	4	1		グランド基準
XIN	6	3	I	クリスタル・オシレータ入力
XOUT	5	2	O	クリスタル・オシレータ出力
NC	NA	4, 17, 20, 31		内部で接続されていません。V _{SS} に接続することを推奨します。
QFN Pad	NA			QFN パッケージのパッドは V _{SS} に接続することを推奨します。

† TDO 又は TDI は JTAG 命令によって選択されます。

概要説明

CPU

MSP430 CPU には、アプリケーションに適した 16 ビット RISC アーキテクチャを搭載しています。プログラム・フロー・インストラクション以外のすべての動作は、ソース・オペランドのための 7 つのアドレッシング・モード及びデスティネーション・オペランドのための 4 つのアドレッシング・モードと共にレジスタ・オペレーションとして実行されます。

CPU は、命令実行時間を短縮する 16 個のレジスタを内蔵しています。レジスタ間のオペレーション実行時間は、CPU クロックの 1 サイクルです。

レジスタの内の 4 個 (R0~R3) は、それぞれプログラム・カウンタ、スタック・ポインタ、ステータス・レジスタ、及びコンスタント・ジェネレータ (定数発生回路) として割り当てられています。残りのレジスタは、汎用レジスタです。

ペリフェラルは、データ、アドレス、及びコントロール・バスを使って CPU に接続され、すべての命令によって取り扱うことができます。

命令セット

命令セットは 3 つのフォーマット及び 7 つのアドレス・モードを持った 51 の命令から成ります。各々の命令は、ワード及びバイト・データに基づいて実行することができます。表 1 に命令フォーマットの 3 つのタイプの例を示します。表 2 にアドレス・モードを示します。

プログラム・カウンタ	PC/R0
スタック・ポインタ	SP/R1
ステータス・レジスタ	SR/CG1/R2
コンスタント・ジェネレータ	CG2/R3
汎用レジスタ	R4
汎用レジスタ	R5
汎用レジスタ	R6
汎用レジスタ	R7
汎用レジスタ	R8
汎用レジスタ	R9
汎用レジスタ	R10
汎用レジスタ	R11
汎用レジスタ	R12
汎用レジスタ	R13
汎用レジスタ	R14
汎用レジスタ	R15

表 1. 命令ワード・フォーマット

デュアル・オペランド (ソース-デスティネーション)	例、ADD R4, R5	R4 + R5 → R5
シングル・オペランド (デスティネーションのみ)	例、CALL R8	PC → (TOS), R8 → PC
相対ジャンプ (無条件/条件付き)	例、JNE	Jump-on-equal bit = 0

表 2 アドレス・モード

アドレス・モード	S	D	構文	例	動作
レジスタ	●	●	MOV Rs, Rd	MOV R10, R11	R10 → R11
インデックス	●	●	MOV X(Rn), Y(Rm)	MOV 2(R5), 6(R6)	M(2+R5) → M(6+R6)
シンボリック (PC 対応)	●	●	MOV EDE, TONI		M(EDE) → M(TONI)
絶対	●	●	MOV &MEM, &TCDAT		M(MEM) → M(TCDAT)
間接	●		MOV @Rn, Y(Rm)	MOV @R10, Tab(R6)	M(R10) → M(Tab+R6)
間接 (自動インクリメント)	●		MOV @Rn+, Rm	MOV @R10+, R11	M(R10) → R11 R10 + 2 → R10
即時	●		MOV #X, TONI	MOV #45, TONI	#45 → M(TONI)

(注) S = ソース、D = デスティネーション

動作モード

MSP430 には、1 つのアクティブ・モードと、ソフトウェアで選択可能な 5 つの低消費電力動作モードがあります。割り込みイベントにより、デバイスを 5 つの低消費電力モードのどれからでもウェークアップすることができ、要求に応え、そして、割り込みプログラムから戻るのに伴って低消費電力モードに戻ることができます。

以下の 6 つの動作モードを、ソフトウェアによって構成することができます：

- アクティブ・モード AM ；
 - すべてのクロックはアクティブ
- 低消費電力モード 0 (LPM0) ；
 - CPU はディスエーブル
ACLK 及び SMCLK はアクティブのまま。MCLK はディスエーブル
- 低消費電力モード 1 (LPM1) ；
 - CPU はディスエーブル
ACLK 及び SMCLK はアクティブのまま。MCLK はディスエーブル
アクティブ・モードで DCO が使用されない場合は、DCO の DC 発生回路はディスエーブル
- 低消費電力モード 2 (LPM2) ；
 - CPU はディスエーブル
MCLK 及び SMCLK はディスエーブル
DCO の DC 発生回路はイネーブルのまま
ACLK はアクティブのまま
- 低消費電力モード 3 (LPM3) ；
 - CPU はディスエーブル
MCLK 及び SMCLK はディスエーブル
DCO の DC 発生回路はディスエーブル
ACLK はアクティブのまま
- 低消費電力モード 4 (LPM4) ；
 - CPU はディスエーブル
ACLK はディスエーブル
MCLK 及び SMCLK はディスエーブル
DCO の DC 発生回路はディスエーブル
クリスタル・オシレータは停止

割り込みベクタ・アドレス

割り込みベクタ及びパワー・アップの開始アドレスは、アドレス範囲 0FFFFh ~ 0FFE0h に位置します。ベクタは、適切な割り込み処理命令シーケンスの 16 ビット・アドレスを含みます。

割り込みソース	割り込みフラグ	システム割り込み	ワード・アドレス	優先順位
パワー・アップ 外部リセット ウォッチドッグ フラッシュ・メモリ	WDTIFG (注 1) KEYV (注 1)	リセット	0FFFEh	15 (最上位)
NMI オシレータ障害 フラッシュ・メモリ アクセス違反	NMIIFG (注 1、4) OFIFG (注 1、4) ACCVIFG (注 1、4)	マスク可能 (不可能) マスク可能 (不可能) マスク可能 (不可能)	0FFFCh	14
			0FFFAh	13
			0FFF8h	12
			0FFF6h	11
ウォッチドッグ・タイマ	WDTIFG	マスク可能	0FFF4h	10
タイマ_A3	TACCRO CCIFG (注 2)	マスク可能	0FFF2h	9
タイマ_A3	TACCR1 及び TACCR2 CCIFGx、TAIFG (注 1、2)	マスク可能	0FFF0h	8
USART0 受信 (注 5)	URXIFG0	マスク可能	0FFEEh	7
USART0 送信 (注 5)	UTXIFG0	マスク可能	0FFECCh	6
ADC10	ADC10IFG	マスク可能	0FFEAh	5
		マスク可能	0FFE8h	4
I/O ポート P2 (8 つのフラグ) (注 3)	P2IFG.0 ~ P2IFG.7 (注 1、2)	マスク可能	0FFE6h	3
I/O ポート P1 (8 つのフラグ)	P1IFG.0 ~ P1IFG.7 (注 1、2)	マスク可能	0FFE4h	2
			0FFE2h	1
			0FFE0h	0 (最下位)

(注 1) 複数のソース・フラグ

(注 2) 割り込みフラグはモジュールの中にあります。

(注 3) 8 つのポート P2 割り込みフラグがありますが、11x2 及び 12x2 デバイスには 6 つのポート P2 I/O 端子 (P2.0 ~ 5) しかありません。

(注 4) マスク可能 (不可能) : 個々の割り込みイネーブル・ビットにより、割り込みイベントをディスエーブルにすることができます。しかし、汎用割り込みイネーブルでは、それをディスエーブルにすることはできません。

(注 5) USART0 は MSP430x12x2 デバイスのみに内蔵されています。

スペシャル・ファンクション・レジスタ

大部分の割り込み及びモジュール・イネーブル・ビットは、最下位アドレス空間に集約されています。機能が割り当てられていないスペシャル・ファンクション・レジスタ・ビットは、実際のデバイスにも内蔵されておりません。これによって容易にソフトウェアによりアクセス可能です。

割り込みイネーブル 1、2

Address	7	6	5	4	3	2	1	0
0h			ACCVIE	NMIIE			OFIE	WDTIE
			rw-0	rw-0			rw-0	rw-0

WDTIE : ウォッチドッグ・タイマ割り込みイネーブル。ウォッチドッグ・モードが選択された場合はインアクティブとなります。ウォッチドッグ・タイマがインターバル・タイマ・モードとして構成された場合はアクティブとなります。

OFIE : オシレータ障害イネーブル

NMIIE : マスク可能な（不可能な）割り込みイネーブル

ACCVIE : フラッシュ・アクセス違反割り込みイネーブル

Address	7	6	5	4	3	2	1	0
01h							UTXIE0	URXIE0
							rw-0	rw-0

URXIE0 : USART0 : UART 及び SPI 受信割り込みイネーブル (MSP430x12x2 デバイスのみ)

UTXIE0 : USART0 : UART 及び SPI 送信割り込みイネーブル (MSP430x12x2 デバイスのみ)

割り込みフラグ・レジスタ 1、2

Address	7	6	5	4	3	2	1	0
02h				NMIIFG			OFIFG	WDTIFG
				rw-0			rw-1	rw-(0)

WDTIFG : ウォッチドッグ・タイマ・オーバーフロー又はセキュリティ・キー違反でセットされます。 V_{CC} パワー・オン又はリセット・モードでの \overline{RST}/NMI 端子のリセット条件でリセットされます。

OFIFG : オシレータの異常でフラグがセットされます。

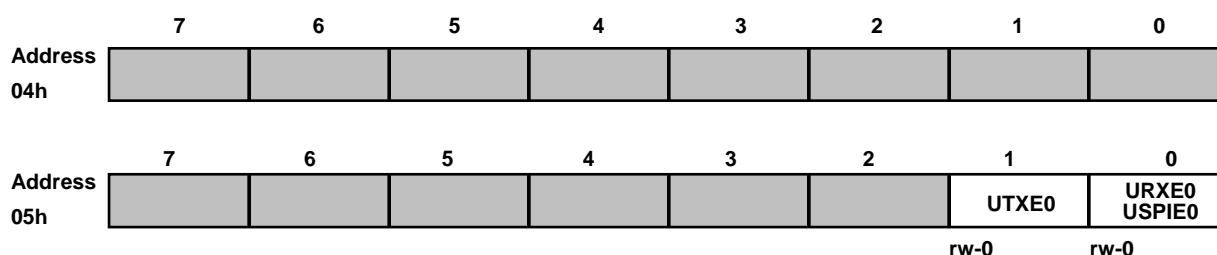
NMIIFG : \overline{RST}/NMI 端子によってセットされます。

Address	7	6	5	4	3	2	1	0
03h							UTXIFG0	URXIFG0
							rw-1	rw-0

URXIFG0 : USART0 : UART 及び SPI 受信フラグ (MSP430x12x2 デバイスのみ)

UTXIFG0 : USART0 : UART 及び SPI 送信フラグ (MSP430x12x2 デバイスのみ)

モジュール・イネーブル・レジスタ 1、2



URXE0 : USART0 : UART モード受信イネーブル (MSP430x12x2 デバイスのみ)
 UTXE0 : USART0 : UART モード送信イネーブル (MSP430x12x2 デバイスのみ)
 USPIE0 : USART0 : SPI モード送信及び受信イネーブル (MSP430x12x2 デバイスのみ)

説明 rw : ビットは、読み出し及び書き込みをすることができます。
 rw-0, 1 : ビットは、読み出し及び書き込みをすることができます。PUC によりリセット又はセットされます。
 rw-(0, 1) : ビットは、読み出し及び書き込みをすることができます。POR によりリセット又はセットされます。

■ デバイスには、SFR ビットが存在しません。

メモリ構成

		MSP430F1122	MSP430F1132	MSP430F1222	MSP430F1232
メモリ	サイズ	4KB フラッシュ	8KB フラッシュ	4KB フラッシュ	8KB フラッシュ
メイン: 割り込みベクタ	フラッシュ	0FFFFh - 0FFE0h	0FFFFh - 0FFE0h	0FFFFh - 0FFE0h	0FFFFh - 0FFE0h
メイン: コード・メモリ	フラッシュ	0FFFFh - 0F000h	0FFFFh - 0E000h	0FFFFh - 0F000h	0FFFFh - 0E000h
情報メモリ	サイズ	256 バイト	256 バイト	256 バイト	256 バイト
	フラッシュ	010FFh - 01000h	010FFh - 01000h	010FFh - 01000h	010FFh - 01000h
起動メモリ	サイズ	1KB	1KB	1KB	1KB
	ROM	0FFFh - 0C00h	0FFFh - 0C00h	0FFFh - 0C00h	0FFFh - 0C00h
RAM	サイズ	256 バイト	256 バイト	256 バイト	256 バイト
		02FFh - 0200h	02FFh - 0200h	02FFh - 0200h	02FFh - 0200h
ペリフェラル	16 ビット	01FFh - 0100h	01FFh - 0100h	01FFh - 0100h	01FFh - 0100h
	8 ビット	0FFh - 010h	0FFh - 010h	0FFh - 010h	0FFh - 010h
	8 ビット SFR	0Fh - 00h	0Fh - 00h	0Fh - 00h	0Fh - 00h

ブートストラップ・ローダ (BSL)

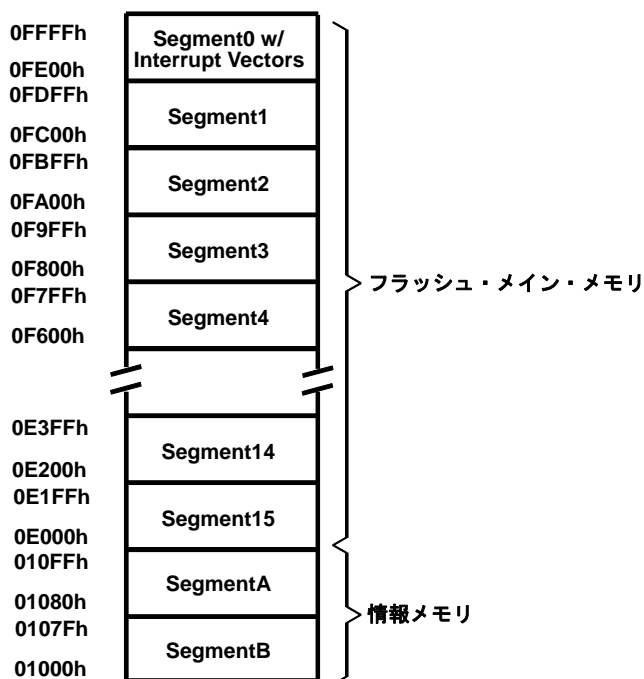
MSP430 ブートストラップ・ローダ (BSL) により、ユーザーは UART シリアル・インタフェースを使用してフラッシュ・メモリ又は RAM をプログラムすることができます。BSL を経由した MSP430 メモリへのアクセスは、ユーザーによって定義されたパスワードにより保護されています。BSL 及びその実施方法の詳細は、アプリケーション・レポート *MSP430 ブートストラップ・ローダの特徴 "Features of the MSP430 Bootstrap Loader"* (資料番号 SLAA089) を参照して下さい。

BSL 機能	MSP430x11x2 DW & PW パッケージ (20 ピン)	MSP430x12x2 DW & PW パッケージ (28 ピン)	MSP430x11x2/12x2 RHB パッケージ (32 ピン)
データ送信	14 - P1.1	22 - P1.1	22 - P1.1
データ受信	10 - P2.2	10 - P2.2	8 - P2.2

フラッシュ・メモリ

フラッシュ・メモリは、JTAG ポート、ブートストラップ・ローダ、又は CPU によるイン・システムによりプログラムすることができます。CPU はフラッシュ・メモリに対して、1 バイト及び 1 ワードの書き込みを行うことができます。フラッシュ・メモリは、以下の特徴を持っています。:

- フラッシュ・メモリは、n セグメントのメイン・メモリ及び 2 つのセグメントのそれぞれ 128 バイトの情報メモリ (A と B) を持っています。メイン・メモリのそれぞれのセグメントのサイズは 512 バイトです。
- セグメント 0 ~ n は 1 ステップで消去が可能です。あるいは、それぞれのセグメントは個々に消去も可能です。
- セグメント A と B は、個々に又はセグメント 0 ~ n のグループとして消去することができます。セグメント A と B は、情報メモリとも呼ばれます。
- 新しいデバイスでは、数バイトを情報メモリにプログラムしておくことがあります。(製造時のテストのため) ユーザーは、最初に使用する前に情報メモリの消去を実行しなければなりません。



(注) すべてのデバイスにすべてのセグメントが内蔵されている訳ではありません。

ペリフェラル

ペリフェラルは、データ、アドレス、及びコントロール・バスを通して CPU に接続され、すべての命令を使って取り扱うことができます。モジュールの詳細は、*MSP430x1xx ファミリ ユーザーズ・ガイド* SLAU135（日本語版）、SLAU049（英語版）を参照して下さい。

オシレータ及びシステム・クロック

MSP430x11x2 及び MSP430x12x2 デバイスのクロック・システムは、32768 Hz の時計用クリスタル・オシレータ、内部デジタル制御オシレータ (DCO)、及び高周波クリスタル・オシレータを含む基本クロック・モジュールで構成されています。基本クロック・モジュールは、安いシステム・コストと低消費電力の必要条件を満たすように設計されています。内部 DCO は、高速ターン・オン・クロック・ソースを提供し、6 μ s 以内に安定します。基本クロック・モジュールは次のクロック信号を提供します：

- 補助クロック (ACLK)：32768 Hz の時計用クリスタル又は高周波クリスタルから供給
- メイン・クロック (MCLK)：CPU によって使用されるシステム・クロック
- サブ・メイン・クロック (SMCLK)：ペリフェラル・モジュールによって使用されるサブ・システム・クロック

デジタル I/O

3 つの 8 ビット I/O ポート内蔵：ポート P1、P2、P3（外部端子には 6 つのポート P2 I/O 信号のみが使用できます。ポート P3 は、x12x2 デバイスのみに内蔵されています。）

- すべての個々の I/O ビットは、独立してプログラム可能です。
- 入力、出力、及び割り込み条件のどんな組み合わせでも可能です。
- ポート P1 のすべての 8 ビット及びポート P2 の 6 ビットはエッジ選択可能な割り込み入力に設定可能です。
- ポート・コントロール・レジスタへの読み出し/書き込みアクセスは、すべての命令により可能です。

ブラウンアウト

ブラウンアウト回路は、パワー・オン及びパワー・オフ時にデバイスに適切な内部リセット信号を供給するために内蔵されています。

ウォッチドッグ・タイマ

ウォッチドッグ・タイマ (WDT) モジュールの基本的な機能は、ソフトウェア障害が発生した後、制御されたシステムの再開を行うことです。設定された時間間隔が経過すると、システム・リセットが生成されます。ウォッチドッグ機能が必要でないアプリケーションでは、モジュールはインターバル・タイマとして設定することができます。設定された時間間隔で割り込みを発生することができます。

USART0 (MSP430x12x2 のみ)

MSP430x12x2 デバイスは、シリアル・データ通信のために使用される 1 つのハードウェア USART ペリフェラル・モジュールを持っています。USART は、同期式 SPI（3 又は 4 ピン）及び、非同期 UART 通信プロトコルに使用でき、二重バッファ送信及び受信チャネルを使用します。

ADC10

ADC10 モジュールは、高速 10 ビット A/D 変換をサポートします。モジュールは、10 ビット SAR コア、サンプル選択制御、基準電圧発生回路、及び自動で変換結果の処理を行うデータ送信コントローラ (DTC) を内蔵し、ADC サンプルが CPU の仲介なしで変換され、蓄積されることを可能にします。

タイマ_A3

タイマ_A3 は、3 つのキャプチャ/コンペア・レジスタ付きの 16 ビット・タイマ/カウンタです。タイマ_A3 により、複数のキャプチャ/コンペア、PWM 出力、及びインターバル・タイミングを利用することができます。タイマ_A3 にも、拡張割り込みの機能があります。割り込みは、オーバーフロー状態のカウンタから、及びキャプチャ/コンペア・レジスタのそれぞれから生成されることがあります。

タイマ_A3 信号の接続									
入力端子番号			デバイス 入力信号	モジュール 入力名	モジュール ブロック	モジュール 出力信号	出力端子番号		
DW、PW		RHB					DW、PW		RHB
`11x2 20 ピン	`12x2 28 ピン	`11x2/12x2 32 ピン					`11x2 20 ピン	`12x2 28 ピン	`11x2/12x2 32 ピン
13 – P1.0	21 – P1.0	21 – P1.0	TACLK	TACLK	Timer	NA			
			ACLK	ACLK					
			SMCLK	SMCLK					
9 – P2.1	9 – P2.1	7 – P2.1	INCLK	INCLK					
14 – P1.1	22 – P1.1	22 – P1.1	TA0	CCIOA	CCR0	TA0	14 – P1.1	22 – P1.1	22 – P1.1
10 – P2.2	10 – P2.2	8 – P2.2	TA0	CCIOB			18 – P1.5	26 – P1.5	26 – P1.5
			DV _{SS}	GND			10 – P2.2	10 – P2.2	8 – P2.2
			DV _{CC}	V _{CC}			ADC10 内部		
15 – P1.2	23 – P1.2	23 – P1.2	TA1	CCI1A	CCR1	TA1	15 – P1.2	23 – P1.2	23 – P1.2
11 – P2.3	19 – P2.3	18 – P2.3	TA1	CCI1B			19 – P1.6	27 – P1.6	27 – P1.6
			DV _{SS}	GND			11 – P2.3	19 – P2.3	18 – P2.3
			DV _{CC}	V _{CC}			ADC10 内部		
16 – P1.3	24 – P1.3	24 – P1.3	TA2	CCI2A	CCR2	TA2	16 – P1.3	24 – P1.3	24 – P1.3
			ACLK(内部)	CCI2B			20 – P1.7	28 – P1.7	28 – P1.7
			DV _{SS}	GND			12 – P2.4	20 – P2.4	19 – P2.4
			DV _{CC}	V _{CC}			ADC10 内部		

ペリフェラル・ファイル・マップ

ワード・アクセスによるペリフェラル			
ADC10	ADC データ送信開始アドレス	ADC10SA	1BCh
	ADC メモリ	ADC10MEM	1B4h
	ADC 制御レジスタ 1	ADC10CTL1	1B2h
	ADC 制御レジスタ 0	ADC10CTL0	1B0h
	ADC アナログ・イネーブル	ADC10AE	04Ah
	ADC データ送信制御レジスタ 1	ADC10DTC1	049h
	ADC データ送信制御レジスタ 0	ADC10DTC0	048h
タイマ_A	予約されています		017Eh
	予約されています		017Ch
	予約されています		017Ah
	予約されています		0178h
	キャプチャ/コンペア・レジスタ	TACCR2	0176h
	キャプチャ/コンペア・レジスタ	TACCR1	0174h
	キャプチャ/コンペア・レジスタ	TACCR0	0172h
	タイマ_A レジスタ	TAR	0170h
	予約されています		016Eh
	予約されています		016Ch
	予約されています		016Ah
	予約されています		0168h
	キャプチャ/コンペア制御	TACCTL2	0166h
	キャプチャ/コンペア制御	TACCTL1	0164h
	キャプチャ/コンペア制御	TACCTL0	0162h
フラッシュ・メモリ	フラッシュ制御 3	FCTL3	012Ch
	フラッシュ制御 2	FCTL2	012Ah
	フラッシュ制御 1	FCTL1	0128h
ウォッチドッグ	ウォッチドッグ・タイマ制御	WDCTL	0120h
バイト・アクセスによるペリフェラル			
USART0 (MSP430x12x2 のみ)	送信バッファ	U0TXBUF	077h
	受信バッファ	U0RXBUF	076h
	ボー・レート	U0BR1	075h
	ボー・レート	U0BR0	074h
	変調制御	U0MCTL	073h
	受信制御	U0RCTL	072h
	送信制御	U0TCTL	071h
	USART 制御	U0CTL	070h
Basic Clock	Basic clock システム制御 2	BCSCTL2	058h
	Basic clock システム制御 1	BCSCTL1	057h
	DCO クロック周波数制御	DCOCTL	056h
ポート P2	ポート P2 選択	P2SEL	02Eh
	ポート P2 割り込みイネーブル	P2IE	02Dh
	ポート P2 割り込みエッジ選択	P2IES	02Ch
	ポート P2 割り込みフラグ	P2IFG	02Bh
	ポート P2 方向	P2DIR	02Ah
	ポート P2 出力	P2OUT	029h
	ポート P2 入力	P2IN	028h
ポート P1	ポート P1 選択	P1SEL	026h
	ポート P1 割り込みイネーブル	P1IE	025h
	ポート P1 割り込みエッジ選択	P1IES	024h
	ポート P1 割り込みフラグ	P1IFG	023h
	ポート P1 方向	P1DIR	022h
	ポート P1 出力	P1OUT	021h
	ポート P1 入力	P1IN	020h

ペリフェラル・ファイル・マップ (続き)

バイト・アクセスによるペリフェラル (続き)			
ポート P3 (MSP430x12x2 のみ)	ポート P3 選択	P3SEL	01Bh
	ポート P3 方向	P3DIR	01Ah
	ポート P3 出力	P3OUT	019h
	ポート P3 入力	P3IN	018h
スペシャル・ ファンクション	モジュール・イネーブル 2	ME2	005h
	モジュール・イネーブル 1	ME1	004h
	SFR 割り込みフラグ 2	IFG2	003h
	SFR 割り込みフラグ 1	IFG1	002h
	SFR 割り込みイネーブル 2	IE2	001h
	SFR 割り込みイネーブル 1	IE1	000h

動作温度範囲における絶対最大定格 (特記無き場合) †

印加電圧 ($V_{CC} \sim V_{SS}$ 間)	-0.3 ~ 4.1	V
印加電圧 (全端子) (注)	-0.3 ~ $V_{CC} + 0.3$	V
ダイオード電流 (全端子)	±2	mA
保存温度範囲	未プログラムのデバイス T_{stg}	-55 ~ 150 °C
	プログラム済みデバイス	-40 ~ 85 °C

† 絶対最大定格以上のストレスは、致命的なダメージを製品に与えることがあります。これは、ストレスの定格のみについて示してあり、この仕様書の「推奨動作条件」に示された値を越える状態での本製品の機能動作は含まれていません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

(注) すべての電圧は V_{SS} を基準とします。JTAG ヒューズ切断電圧 V_{FB} は、絶対最大定格を越えても構いません。JTAG ヒューズを切断する時、TEST 端子に電圧が印加されます。

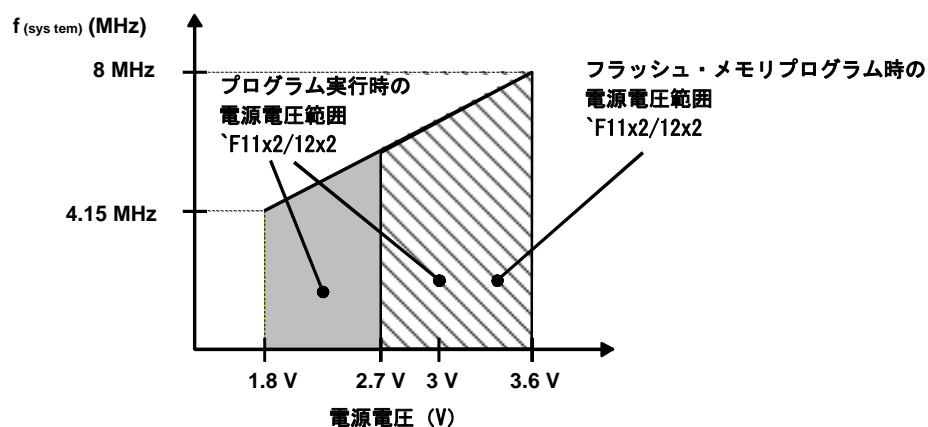
推奨動作条件

			最小	標準	最大	単位
電源電圧 (プログラム実行時)、V _{CC} (注 1)		MSP430F11x2	1.8		3.6	V
電源電圧 (フラッシュ・メモリ プログラム／消去時)、V _{CC}		MSP430F12x2	2.7		3.6	V
電源電圧、V _{SS}			0			V
動作温度範囲、T _A		MSP430F11x2 MSP430F12x2	-40		85	℃
LFXT1 クリスタル周波数、f _(LFXT1) (注 1、2)	LF モード選択時、 XTS = 0	時計用クリスタル	32768			Hz
	XT1 モード選択時、 XTS = 1	セラミック発振子	450		8000	kHz
		クリスタル	1000		8000	
プロセッサ周波数 f _(system) (MCLK 信号)		V _{CC} = 1.8 V、 MSP430F11x2 MSP430F12x2	dc		4.15	MHz
		V _{CC} = 3.6 V、 MSP430F11x2 MSP430F12x2	dc		8	

(注 1) LF モードでは、 $V_{CC} < 2.5$ V の時 LFXT1 オシレータには $XOUT \sim V_{SS}$ 間に 5.1 MΩ の抵抗が必要です。
XT1 モードでは、 $V_{CC} \geq 2.2$ V の時 LFXT1 オシレータにはセラミック発振子又は 4 MHz のクリスタルが使用できます。
XT1 モードでは、 $V_{CC} \geq 2.8$ V の時 LFXT1 オシレータにはセラミック発振子又は 8 MHz のクリスタルが使用できます。

(注 2) LF モードでは、LFXT1 オシレータには時計用クリスタルが必要です。
XT1 モードでは、LFXT1 オシレータにはセラミック発振子又はクリスタルが使用できます。

推奨電源電圧及び動作温度範囲における電気的特性（特記無き場合）



(注) 最小プロセッサ周波数は、システム・クロックにより決まります。フラッシュ・メモリのプログラム又は消去には 2.7 V の最小 V_{CC} が必要です。

図 1. 電源電圧対周波数

電源電流 (V_{CC}) (外部電流を除く)

項 目	測定条件	最小	標準	最大	単位
$I_{(AM)}$ アクティブ・モード	$f_{MCLK} = f_{SMCLK} = 1 \text{ MHz}$ 、 $f_{ACLK} = 32,768 \text{ Hz}$ 、フラッシュ・メモリのプログラム実行時	$V_{CC} = 2.2 \text{ V}$	200	250	μA
		$V_{CC} = 3 \text{ V}$	300	350	
	$f_{MCLK} = f_{SMCLK} = f_{ACLK} = 4096 \text{ Hz}$ 、 フラッシュ・メモリのプログラム実行時	$V_{CC} = 2.2 \text{ V}$	3	5	μA
		$V_{CC} = 3 \text{ V}$	11	18	
$I_{(CPUoff)}$ ロー・パワー・モード (LPM0)	$f_{MCLK} = 0 \text{ Hz}$ 、 $f_{SMCLK} = 1 \text{ MHz}$ 、 $f_{ACLK} = 32,768 \text{ Hz}$	$V_{CC} = 2.2 \text{ V}$	32	45	μA
		$V_{CC} = 3 \text{ V}$	55	70	
$I_{(LPM2)}$ ロー・パワー・モード (LPM2)	$f_{MCLK} = f_{SMCLK} = 0 \text{ MHz}$ 、 $f_{ACLK} = 32,768 \text{ Hz}$ 、 $SCG0 = 0$	$V_{CC} = 2.2 \text{ V}$	11	14	μA
		$V_{CC} = 3 \text{ V}$	17	22	
$I_{(LPM3)}$ ロー・パワー・モード (LPM3)	$T_A = -40^\circ\text{C}$ $T_A = 25^\circ\text{C}$ $T_A = 85^\circ\text{C}$	$V_{CC} = 2.2 \text{ V}$	0.8	1.2	μA
			0.7	1	
			1.6	2.3	
	$T_A = -40^\circ\text{C}$ $T_A = 25^\circ\text{C}$ $T_A = 85^\circ\text{C}$	$V_{CC} = 3 \text{ V}$	1.8	2.2	μA
			1.6	1.9	
			2.3	3.4	
$I_{(LPM4)}$ ロー・パワー・モード (LPM4)	$T_A = -40^\circ\text{C}$	$V_{CC} = 2.2 \text{ V}/3 \text{ V}$	0.1	0.5	μA
	$T_A = 25^\circ\text{C}$		0.1	0.5	
	$T_A = 85^\circ\text{C}$		0.8	1.9	

(注 1) すべての入力は、0 V 又は V_{CC} に接続します。出力にはソース電流、シンク電流を流しません。

アクティブ・モードのシステム周波数対消費電流

$$I_{(AM)} = I_{(AM)} [1 \text{ MHz}] \times f_{(\text{system})} [\text{MHz}]$$

アクティブ・モードの電源電圧対消費電流

$$I_{(AM)} = I_{(AM)} [3 \text{ V}] + 120 \mu\text{A/V} \times (V_{CC} - 3 \text{ V})$$

推奨電源電圧及び動作温度範囲における電気的特性（特記無き場合）（続き）

シュミット・トリガ入力ポート P1 ~ P3; P1.0 ~ P1.7、P2.0 ~ P2.5、P3.0 ~ P3.7

項 目	測定条件	最小	標準	最大	単位
V_{IT+} 立ち上がり入力スレッショルド電圧	$V_{CC} = 2.2 \text{ V}$	1.1		1.5	V
	$V_{CC} = 3 \text{ V}$	1.5		1.9	
V_{IT-} 立ち下がり入力スレッショルド電圧	$V_{CC} = 2.2 \text{ V}$	0.4		0.9	V
	$V_{CC} = 3 \text{ V}$	0.9		1.3	
V_{hys} 入力電圧ヒステリシス ($V_{IT+} - V_{IT-}$)	$V_{CC} = 2.2 \text{ V}$	0.3		1.1	V
	$V_{CC} = 3 \text{ V}$	0.5		1	

標準入力 - RST/NMI、TEST; JTAG: TCK、TMS、TDI/TCLK

項 目	測定条件	最小	標準	最大	単位
V_{IL} ロー・レベル入力電圧	$V_{CC} = 2.2 \text{ V}/3 \text{ V}$	V_{SS}		$V_{SS} + 0.6$	V
V_{IH} ハイ・レベル入力電圧		$0.8 \times V_{CC}$		V_{CC}	V

入力 Px.x、TAx

項 目	測定条件	V_{CC}	最小	標準	最大	単位
$t_{(int)}$ 外部割り込みタイミング	ポート P1、P2: P1.x ~ P2.x、 割り込みフラグ用外部トリガ信号 (注 1)	2.2 V/3 V	1.5			cycle
		2.2 V	62			ns
		3 V	50			
$t_{(cap)}$ タイマ_A、キャプチャ・タイミング	TA0、TA1、TA2	2.2 V	62			ns
		3 V	50			
$f_{(TAext)}$ タイマ_A、外部から端子に印加する クロック周波数	TACLK、INCLK $t_{(H)} = t_{(L)}$	2.2 V			8	MHz
		3 V			10	
$f_{(TAint)}$ タイマ_A、クロック周波数	SMCLK 又は ACLK 信号選択時	2.2 V			8	MHz
		3 V			10	

(注 1) 外部信号は、最小 $t_{(int)}$ サイクル及び時間のパラメータが適合するたび毎に割り込みフラグをセットします。トリガ信号が $t_{(int)}$ より短い場合にもセットされることがあります。フラグを確実にセットするためには、サイクルとタイミング仕様の両方を満足しなければなりません。 $t_{(int)}$ は MCLK サイクルで測定されます。

リーク電流

項 目	測定条件	V_{CC}	最小	標準	最大	単位
$I_{lkg}(Px.x)$ ハイ・インピーダンス リーク電流	ポート P1: P1.x、 $0 \leq x \leq 7$ (注 1、2)	2.2 V/3 V			± 50	nA
	ポート P2: P2.x、 $0 \leq x \leq 5$ (注 1、2)	2.2 V/3 V			± 50	

(注 1) 特記無き場合、リーク電流は対応する端子に V_{SS} 又は V_{CC} を印加して測定します。

(注 2) デジタル・ポート端子のリーク電流は、個別に測定します。ポート端子は入力となるように選択し、プルアップ又はプルダウン抵抗がない状態とします。

推奨電源電圧及び動作温度範囲における電気的特性（特記無き場合）（続き）

出力ポート 1 ~ 3; P1.0 ~ P1.7, P2.0 ~ P2.5, P3.0 ~ P3.7

項 目	測定条件			最小	標準	最大	単位
V_{OH} ハイ・レベル出力電圧	$I_{OH(max)} = -1.5 \text{ mA}$	$V_{CC} = 2.2 \text{ V}$	(注 1)	$V_{CC} - 0.25$		V_{CC}	V
	$I_{OH(max)} = -6 \text{ mA}$		(注 2)	$V_{CC} - 0.6$		V_{CC}	
	$I_{OH(max)} = -1.5 \text{ mA}$	$V_{CC} = 3 \text{ V}$	(注 1)	$V_{CC} - 0.25$		V_{CC}	
	$I_{OH(max)} = -6 \text{ mA}$		(注 2)	$V_{CC} - 0.6$		V_{CC}	
V_{OL} ロー・レベル出力電圧	$I_{OL(max)} = 1.5 \text{ mA}$	$V_{CC} = 2.2 \text{ V}$	(注 1)	V_{SS}		$V_{SS} + 0.25$	V
	$I_{OL(max)} = 6 \text{ mA}$		(注 2)	V_{SS}		$V_{SS} + 0.6$	
	$I_{OL(max)} = 1.5 \text{ mA}$	$V_{CC} = 3 \text{ V}$	(注 1)	V_{SS}		$V_{SS} + 0.25$	
	$I_{OL(max)} = 6 \text{ mA}$		(注 2)	V_{SS}		$V_{SS} + 0.6$	

(注 1) 全出力の最大電流 $I_{OH(max)}$ と $I_{OL(max)}$ の合計は、規定の最大電圧降下を保持するため $\pm 12 \text{ mA}$ を越えてはいけません。

(注 2) 全出力の最大電流 $I_{OH(max)}$ と $I_{OL(max)}$ の合計は、規定の最大電圧降下を保持するため $\pm 48 \text{ mA}$ を越えてはいけません。

出力 P1.x, P2.x, P3.x, TA_x

項 目		測定条件		V _{CC}	最小	標準	最大	単位
f _(P20)	出力周波数	P2.0/ACLK、C _L = 20 pF		2.2 V/3 V	f _{System}			MHz
f _(TAx)		TA0、TA1、TA2、C _L = 20 pF、内部クロック・ソース、SMCLK 信号印加 (注 1)		2.2 V/3 V	dc	f _{System}		
t _(Xdc)	出力周波数デューティ比	P1.4/SMCLK、C _L = 20 pF	f _{SMCLK} = f _{LFX1} = f _{XT1}	2.2 V/3 V	40%		60%	
			f _{SMCLK} = f _{LFX1} = f _{LF}		35%		65%	
			f _{SMCLK} = f _{LFX1/n}	50% – 15 ns		50% + 15 ns		
			f _{SMCLK} = f _{DCOCLK}	2.2 V/3 V	50% – 15 ns	50% + 15 ns		
		P2.0/ACLK、C _L = 20 pF	f _{P20} = f _{LFX1} = f _{XT1}	2.2 V/3 V	40%		60%	
			f _{P20} = f _{LFX1} = f _{LF}		30%		70%	
			f _{P20} = f _{LFX1/n}		50%			
t _(TAdc)		TA0、TA1、TA2、C _L = 20 pF、デューティ比 = 50%	2.2 V/3 V	0		±50	ns	

(注 1) システム・クロック MCLK の規格に適合しなければなりません。MCLK と SMCLK は異なる周波数にすることができます。

推奨電源電圧及び動作温度範囲における電気的特性 (特記無き場合) (続き)

出力 - ポート P1、P2、P3 (注)

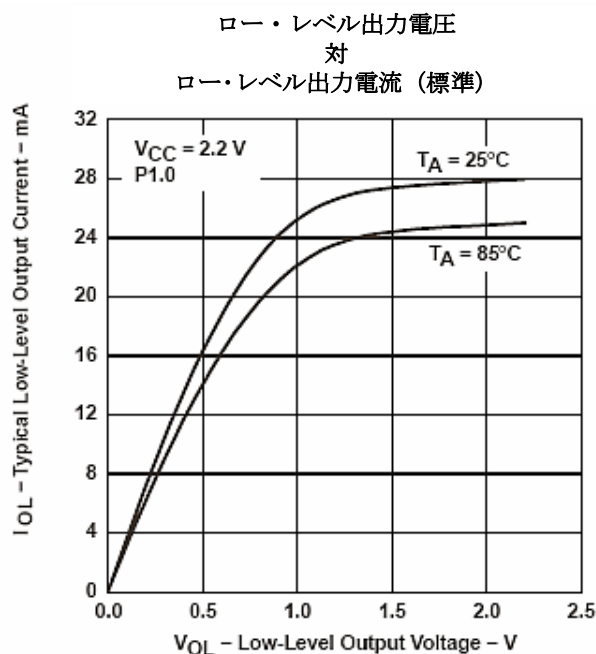


図 2

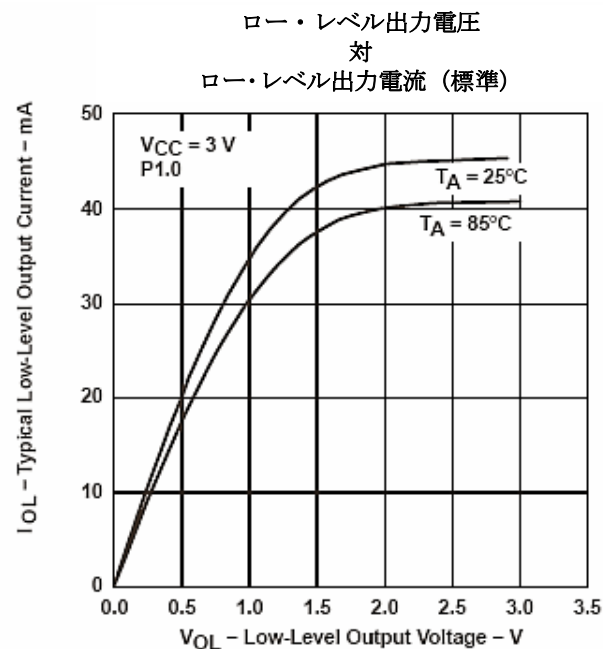


図 3

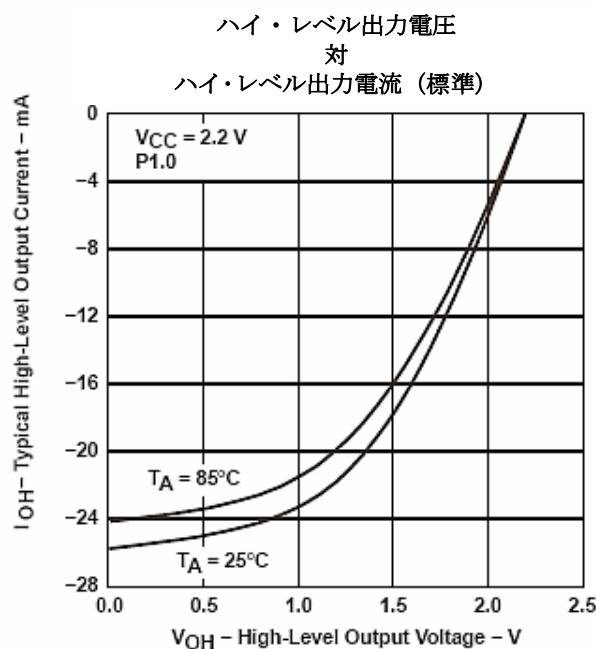


図 4

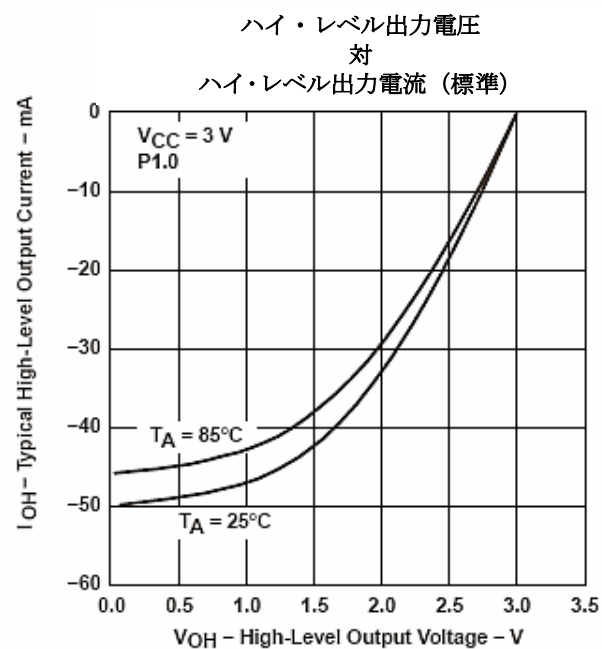


図 5

(注) 同時に 1 出力のみ負荷をかけます。

推奨電源電圧及び動作温度範囲における電気的特性（特記無き場合）（続き）

ロー・パワー・モードからのウェーク・アップ（LPMx）

項 目	測定条件	最小	標準	最大	単位
$t_{(LPM0)}$	$V_{CC} = 2.2 \text{ V}/3 \text{ V}$	100			ns
$t_{(LPM2)}$	$V_{CC} = 2.2 \text{ V}/3 \text{ V}$	100			
$t_{(LPM3)}$	$f_{(MCLK)} = 1 \text{ MHz}$ 、 $V_{CC} = 2.2 \text{ V}/3 \text{ V}$			6	μs
	$f_{(MCLK)} = 2 \text{ MHz}$ 、 $V_{CC} = 2.2 \text{ V}/3 \text{ V}$			6	
	$f_{(MCLK)} = 3 \text{ MHz}$ 、 $V_{CC} = 2.2 \text{ V}/3 \text{ V}$			6	
$t_{(LPM4)}$	$f_{(MCLK)} = 1 \text{ MHz}$ 、 $V_{CC} = 2.2 \text{ V}/3 \text{ V}$			6	μs
	$f_{(MCLK)} = 2 \text{ MHz}$ 、 $V_{CC} = 2.2 \text{ V}/3 \text{ V}$			6	
	$f_{(MCLK)} = 3 \text{ MHz}$ 、 $V_{CC} = 2.2 \text{ V}/3 \text{ V}$			6	

（注 1） このパラメータは、DCOCLK が MCLK として使用される場合のみに適用します。

USART（注 1）

項 目	測定条件	最小	標準	最大	単位
$t_{(r)}$ USART: デグリッチ時間	$V_{CC} = 2.2 \text{ V}$	200	430	800	ns
	$V_{CC} = 3 \text{ V}$	150	280	500	

（注 1） USART 受信信号/端子（URXD）に印加される信号は、URXS フリップ・フロップが確実にセットされるために $t_{(r)}$ のタイミングの要求に適合しなければなりません。URXS フリップ・フロップは、 $t_{(r)}$ の最小タイミング条件に適合した立ち下がりパルスでセットされます。フラグをセットするための動作条件は、このタイミング条件とは独立に適合しなければなりません。デグリッチ回路は、URXD ラインの立ち下がり遷移でのみアクティブになります。

RAM

項 目	最小	標準	最大	単位
$V_{(RAMb)}$ CPU 停止 (HALT) 時（注 1）	1.6			V

（注 1） このパラメータは、プログラム・メモリ RAM のデータが保持される時の最小電源電圧を定義します。この電源電圧の条件ではプログラムを実行させないで下さい。

POR/ブラウンアウト、リセット（注 1、2）

項 目	測定条件	最小	標準	最大	単位
$t_{d(BOR)}$				2000	μs
$V_{CC(start)}$	$dV_{CC}/dt \leq 3 \text{ V/s}$	$0.7 \times V_{(B_IT-)}$			V
$V_{(B_IT-)}$	$dV_{CC}/dt \leq 3 \text{ V/s}$			1.71	V
$V_{hys(B_IT-)}$	$dV_{CC}/dt \leq 3 \text{ V/s}$	70	130	180	mV
$t_{(reset)}$	内部でリセットを受け付けるための \overline{RST}/NMI 入力パルス幅、 $V_{CC} = 2.2 \text{ V}/3 \text{ V}$	2			μs

（注 1） ブラウンアウト・モジュールの消費電流は、 I_{CC} に含まれています。

（注 2） パワーアップ時は、CPU は $V_{CC} = V_{(B_IT-)} + V_{hys(B_IT-)}$ となった後 $t_{d(BOR)}$ 経過後にコードの実行を開始します。デフォルトの DCO の設定は、 $V_{CC} \geq V_{CC(min)}$ となるまで変えてはいけません。 $V_{CC(min)}$ は、使用する動作周波数における最小電源電圧を表します。ブラウンアウト回路の詳細は、MSP430x1xx ファミリー ユーザーズ・ガイド SLAU135（日本語版）、SLAU049（英語版）を参照して下さい。

推奨電源電圧及び動作温度範囲における電気的特性 (特記無き場合) (続き)

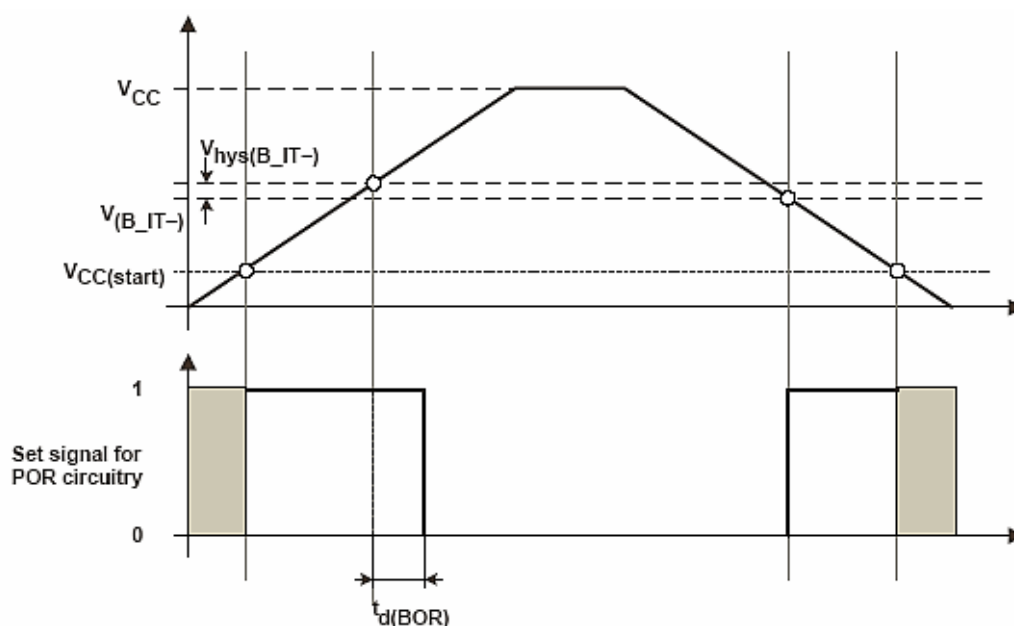


図 6. 電源電圧 対 POR / ブラウンアウト・リセット (BOR)

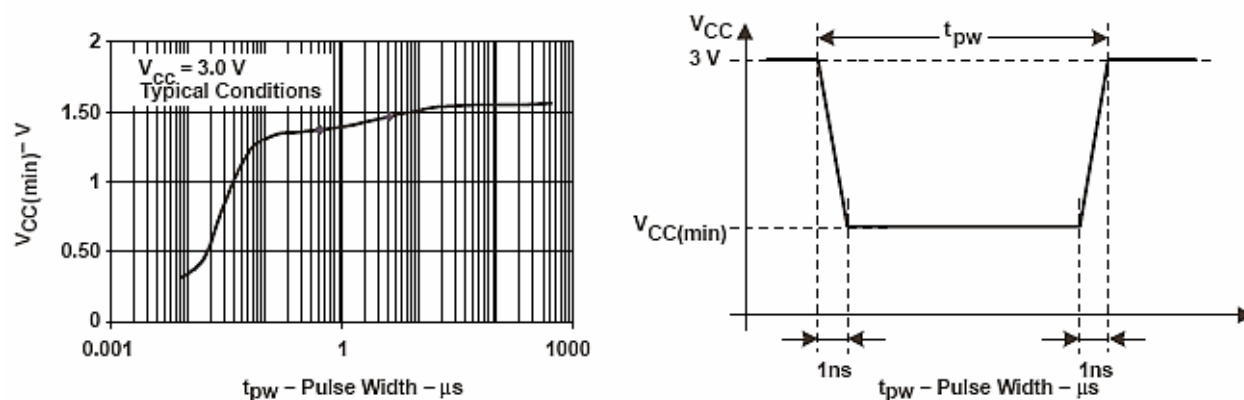


図 7. POR / ブラウンアウト信号を生成するための $V_{CC(min)}$ レベル (矩形波電圧降下)

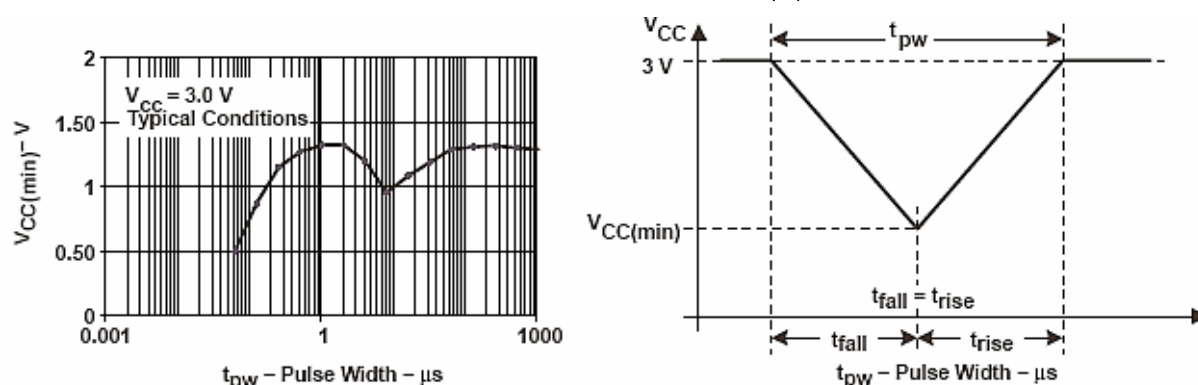


図 8. POR / ブラウンアウト信号を生成するための $V_{CC(min)}$ レベル (三角波電圧降下)

推奨電源電圧及び動作温度範囲における電気的特性（特記無き場合）（続き）

DCO

項 目	測定条件	V_{CC}	最小	標準	最大	単位
$f_{(DC003)}$	$R_{sel} = 0, DC0 = 3, MOD = 0, DCOR = 0, T_A = 25^\circ C$	2.2 V	0.08	0.12	0.15	MHz
		3 V	0.08	0.13	0.16	
$f_{(DC013)}$	$R_{sel} = 1, DC0 = 3, MOD = 0, DCOR = 0, T_A = 25^\circ C$	2.2 V	0.14	0.19	0.23	MHz
		3 V	0.14	0.18	0.22	
$f_{(DC023)}$	$R_{sel} = 2, DC0 = 3, MOD = 0, DCOR = 0, T_A = 25^\circ C$	2.2 V	0.22	0.3	0.36	MHz
		3 V	0.22	0.28	0.34	
$f_{(DC033)}$	$R_{sel} = 3, DC0 = 3, MOD = 0, DCOR = 0, T_A = 25^\circ C$	2.2 V	0.37	0.49	0.59	MHz
		3 V	0.37	0.47	0.56	
$f_{(DC043)}$	$R_{sel} = 4, DC0 = 3, MOD = 0, DCOR = 0, T_A = 25^\circ C$	2.2 V	0.61	0.77	0.93	MHz
		3 V	0.61	0.75	0.9	
$f_{(DC053)}$	$R_{sel} = 5, DC0 = 3, MOD = 0, DCOR = 0, T_A = 25^\circ C$	2.2 V	1	1.2	1.5	MHz
		3 V	1	1.3	1.5	
$f_{(DC063)}$	$R_{sel} = 6, DC0 = 3, MOD = 0, DCOR = 0, T_A = 25^\circ C$	2.2 V	1.6	1.9	2.2	MHz
		3 V	1.69	2	2.29	
$f_{(DC073)}$	$R_{sel} = 7, DC0 = 3, MOD = 0, DCOR = 0, T_A = 25^\circ C$	2.2 V	2.4	2.9	3.4	MHz
		3 V	2.7	3.2	3.65	
$f_{(DC077)}$	$R_{sel} = 7, DC0 = 7, MOD = 0, DCOR = 0, T_A = 25^\circ C$	2.2 V	4	4.5	4.9	MHz
		3 V	4.4	4.9	5.4	
$f_{(DC047)}$	$R_{sel} = 4, DC0 = 7, MOD = 0, DCOR = 0, T_A = 25^\circ C$	2.2 V/3 V	$f_{DC040} \times 1.7$	$f_{DC040} \times 2.1$	$f_{DC040} \times 2.5$	MHz
$S_{(Rsel)}$	$S_R = f_{Rsel+1}/f_{Rsel}$	2.2 V/3 V	1.35	1.65	2	ratio
$S_{(DC0)}$	$S_{DC0} = f_{DC0+1}/f_{DC0}$	2.2 V/3 V	1.07	1.12	1.16	
D_t	温度ドリフト、 $R_{sel} = 4, DC0 = 3, MOD = 0$ (注 1)	2.2 V	-0.31	-0.36	-0.4	%/°C
		3 V	-0.33	-0.38	-0.43	
D_V	V_{CC} 変動によるドリフト、 $R_{sel} = 4, DC0 = 3, MOD = 0$ (注 1)	2.2 V/3 V			±5	%/V

(注 1) これらのパラメータは、量産テストは実施していません。

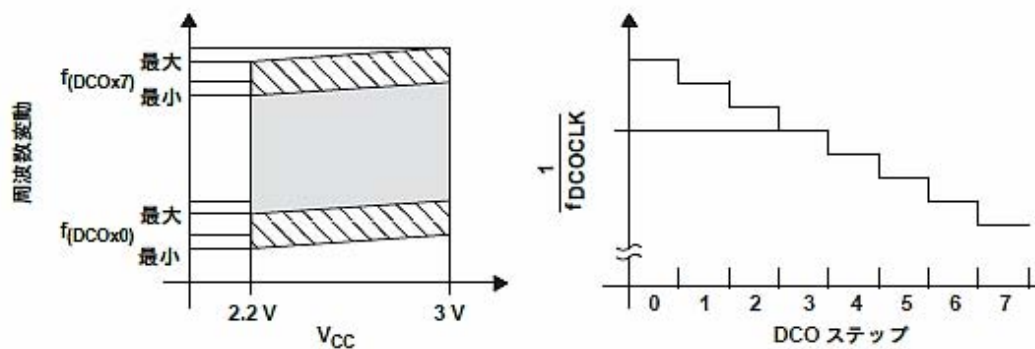


図 9. DCO 特性

推奨電源電圧及び動作温度範囲における電気的特性（特記無き場合）（続き）

主要 DC0 特性

- 個々のデバイスには、最小及び最大動作周波数があります。 $f_{(DC0x0)} \sim f_{(DC0x7)}$ の指定されたパラメータは、すべてのデバイスに適用されます。
- Rsel(n) によって選択されるすべての範囲は、Rsel(n+1) と重なります： Rsel0 は Rsel1 と重なります、... Rsel6 は Rsel7 と重なります。

$$f_{average} = \frac{32 \times f_{(DC0)} \times f_{(DC0+1)}}{MOD \times f_{(DC0)} + (32 - MOD) \times f_{(DC0+1)}}$$

- DC0 コントロール・ビット DC00、DC01 及び DC02 は、パラメータ S_{DC0} によって定義されるステップ・サイズを持ちます。
- 変調制御ビット MOD0 ~ MOD4 は、32 DC0CLK サイクルの期間で $f_{(DC0+1)}$ が使用される頻度を選択します。周波数 $f_{(DC0)}$ は、残りのサイクルのために使用されます。平均の周波数は：

R_{OSC} 使用時の DC0（注 1）

項 目	測定条件	V _{cc}	最小	標準	最大	単位
f _{DC0} 、DC0 出力周波数	R _{sel} = 4、DC0 = 3、MOD = 0、DCOR = 1、 T _A = 25℃	2.2 V	1.8±15%			MHz
		3 V	1.95±15%			
D _t 、温度ドリフト	R _{sel} = 4、DC0 = 3、MOD = 0、DCOR = 1	2.2 V/3 V	±0.1			%/℃
D _v 、V _{cc} 変動によるドリフト	R _{sel} = 4、DC0 = 3、MOD = 0、DCOR = 1	2.2 V/3 V	10			%/V

（注 1） R_{OSC} = 100 kΩ、金属皮膜抵抗、タイプ 0257、0.6 W、1% 誤差、T_K = ±50 ppm/°C

クリスタル・オシレータ、LFXT1

項 目		測定条件	V _{CC}	最小	標準	最大	単位
C _{XIN}	端子負荷容量	XTS = 0; LF モード選択時	2.2 V / 3 V	12			pF
		XTS = 1; XT1 モード選択時 (注 1)	2.2 V / 3 V	2			
C _{XOUT}	端子負荷容量	XTS = 0; LF モード選択時	2.2 V / 3 V	12			pF
		XTS = 1; XT1 モード選択時 (注 1)	2.2 V / 3 V	2			
V _{IL}	XIN 入力レベル	(注 2)	2.2 V / 3 V	V _{SS}		0.2 x V _{CC}	V
V _{TH}				0.8 x V _{CC}		V _{CC}	V

（注 1） オシレータの両方の端子に外部コンデンサが必要で、その値はクリスタルのメーカーにより規定されています。

（注 2） 外部ロジック・レベル・クロック・ソースを使用する場合のみに適用されます。クリスタル又はセラミック発振子を使用する場合は適用されません。

推奨電源電圧及び動作温度範囲における電気的特性（特記無き場合）（続き）

10 ビット ADC 電源及び入力範囲条件（注 1）

項 目	測定条件	最小	標準	最大	単位
V_{CC}	アナログ電源電圧	$V_{SS} = 0 \text{ V}$	2.2	3.6	V
$V_{(P6.x/Ax)}$	アナログ入力電圧範囲（注 2）	全 Ax 端子、ADC10AE レジスタのアナログ入力を選択、 $PxSel.x = 1$ 、 $V_{SS} \leq V_{Px.x/Ax} \leq V_{CC}$			V
I_{ADC10}	動作電源電流 (V_{CC})（注 3）	$f_{ADC10CLK} = 5 \text{ MHz}$ 、 $ADC100N = 1$ 、 $REFON = 0$ 、 $ADC10SHT0 = 1$ 、 $ADC10SHT1 = 0$ 、 $ADC10DIV = 0$	$V_{CC} = 2.2 \text{ V}$	0.52	1.05
			$V_{CC} = 3 \text{ V}$	0.6	1.2
I_{REF+}	基準電圧動作電流、 基準電圧バッファはディスエーブル（注 4）	$f_{ADC10CLK} = 5 \text{ MHz}$ 、 $ADC100N = 0$ 、 $REFON = 1$ 、 $REF2_5V = x$ ； $REFOUT = 0$	$V_{CC} = 2.2 \text{ V}/3$	0.25	0.4
I_{REFB}	基準電圧バッファ動作電流（注 4）	$f_{ADC10CLK} = 5 \text{ MHz}$ 、 $ADC100N = 0$ 、 $REFON = 1$ 、 $REF2_5V = 0$ 、 $REFOUT = 1$	$ADC10SR = 0$	1.1	1.4
			$ADC10SR = 1$	0.46	0.55
$C_I \dagger$	入力容量	1 度に 1 端子のみ選択可能、 $Px.x/Ax$	$V_{CC} = 2.2 \text{ V}$	27	pF
$R_I \dagger$	入力 MUX オン抵抗	$0 \text{ V} \leq V_{Ax} \leq V_{CC}$	$V_{CC} = 3 \text{ V}$	2000	Ω

† これらのパラメータは設計によって検証されたもので、量産テストは実施していません。

（注 1） リーク電流は、 $Px.x/Ax$ パラメータのリーク電流の表で規定されています。

（注 2） アナログ入力電圧範囲は、有効な変換結果を得るために、選択された基準電圧範囲 $V_{R+} \sim V_{R-}$ の範囲内でなければなりません。

（注 3） 内部基準電圧電流は、消費電流パラメータ I_{ADC10} に含まれていません。

（注 4） 内部基準電圧電流は、 V_{CC} 端子を経由して供給されます。変換がアクティブでない場合、消費電流は ADC100N コントローラ・ビットとは無関係です。REFON ビットにより、A/D 変換を始める前に、内部基準電圧の設定を行うことができます。

10 ビット ADC 外部基準電圧（注 1）

項 目	測定条件	V_{CC}	最小	標準	最大	単位
V_{eREF+}	正外部基準電圧入力	$V_{eREF+} > V_{REF-}/V_{eREF-}$ （注 2）	1.4		V_{CC}	V
V_{REF-}/V_{eREF-}	負外部基準電圧入力	$V_{eREF+} > V_{REF-}/V_{eREF-}$ （注 3）	0		1.2	V
$(V_{eREF+} - V_{REF-}/V_{eREF-})$	差動外部基準電圧入力	$V_{eREF+} > V_{REF-}/V_{eREF-}$ （注 4）	1.4		V_{CC}	V
$I_{V_{eREF+}}$	静止入力電流	$0 \text{ V} \leq V_{eREF+} \leq V_{CC}$	2.2 V/3 V		± 1	μA
$I_{V_{REF-}/V_{eREF-}}$	静止入力電流	$0 \text{ V} \leq V_{eREF-} \leq V_{CC}$	2.2 V/3 V		± 1	μA

（注 1） 外部基準電圧は変換動作の間、キャパシタンス・アレイの充／放電を行うために使用されます。入力容量 C_I も変換動作中の外部基準電圧の動的負荷になります。基準電圧の動的インピーダンスは、10 ビットの精度を出すために推奨のアナログ・ソース・インピーダンスに適合しなければなりません。

（注 2） 最小値は精度で決まります。要求精度が低い場合は、これより低い基準電圧を印加しても差し支えありません。

（注 3） 最大値は精度で決まります。要求精度が低い場合は、これより高い基準電圧を印加しても差し支えありません。

（注 4） 最小値は精度で決まります。要求精度が低い場合は、これより低い差動基準電圧を印加しても差し支えありません。

推奨電源電圧及び動作温度範囲における電気的特性（特記無き場合）（続き）

10 ビット ADC 内部基準電圧

項 目		測定条件		最小	標準	最大	単位	
V _{REF+}	正内部基準電圧出力	2.5 V 内部基準電圧の場合 REF2_5V = 1、I _{VREF+} ≤ I _{VREF+,max}	V _{CC} = 3 V	2.35	2.5	2.65	V	
		1.5 V 内部基準電圧の場合 REF2_5V = 0、I _{VREF+} ≤ I _{VREF+,max}	V _{CC} = 2.2 V/3 V	1.41	1.5	1.59		
V _{CC(min)}	正内部基準電圧がアクティブとなる最小アナログ電源電圧	REF2_5V = 0、I _{VREF+} ≤ 1 mA		2.2			V	
		REF2_5V = 1、I _{VREF+} ≤ 0.5 mA		V _{REF+} + 0.15				
		REF2_5V = 1、I _{VREF+} ≤ 1 mA		V _{REF+} + 0.15				
I _{VREF+}	V _{REF+} 端子負荷電流		V _{CC} = 2.2 V				±0.5	mA
			V _{CC} = 3 V				±1	
I _{L(VREF)+} †	V _{REF+} 端子負荷電流レギュレーション	I _{VREF+} = 500 μA ± 100 μA、 アナログ入力電圧 ~0.75 V； REF2_5V = 0	V _{CC} = 2.2 V				±2	LSB
			V _{CC} = 3 V				±2	
		I _{VREF+} = 500 μA ± 100 μA アナログ入力電圧 ~1.25 V； REF2_5V = 1	V _{CC} = 3 V				±2	
t _{DL(VREF)+} ‡	V _{REF+} 端子負荷電流レギュレーション	I _{VREF+} = 100 μA → 900 μA、 V _{CC} = 3 V、A _x ~0.5 x V _{REF+} 、 変換結果誤差 ≤ 1 LSB	ADC10SR = 0				400	ns
			ADC10SR = 1				2000	
C _{VREF+}	V _{REF+} 端子容量（注 1）	REFON = 1、I _{VREF+} ≤ ±1 mA	V _{CC} = 2.2 V/3 V				100	pF
T _{REF+} †	内部基準電圧の温度係数	I _{VREF+} は 0 mA ≤ I _{VREF+} ≤ 1 mA の 範囲内で一定	V _{CC} = 2.2 V/3 V				±100	ppm/ ℃
t _{REFON} †	V _{REF+} 内部基準電圧セトリング時間（注 2）	I _{VREF+} = 0.5 mA、V _{REF+} = 1.5 V、 V _{CC} = 3.6 V、REFON = 0 → 1					30	μs
		I _{VREF+} = 0.5 mA、V _{REF+} = 1.5 V、 V _{CC} = 2.2 V、REFON = 1	ADC10SR = 0				0.8	
			ADC10SR = 1				2.5	

† これらのパラメータは特性評価によって決められたもので、量産テストは実施していません。

‡ これらのパラメータは設計によって検証されたもので、量産テストは実施していません。

(注 1) 内部バッファ・オペアンプに接続される容量で、端子 P2.4/TA2/A4/ V_{REF+} / V_{eREF+} ($REFOUT = 1$) に切り換える場合は、この値に制限しなければなりません。さもなければ、基準電圧バッファが不安定になることがあります。(注 2) この条件は、 t_{REFON} 後に開始した変換の誤差が $\pm 0.5\text{ LSB}$ 以内となる事です。

推奨電源電圧及び動作温度範囲における電気的特性（特記無き場合）（続き）

10 ビット ADC タイミング

項 目	測定条件	最小	標準	最大	単位
f_{ADC10CLK}	ADC10 の直線性パラメータの 規定に適合するため	ADC10SR = 0 0.45		6.3 1.5	MHz
f_{ADC10OSC}	内部 ADC オシレータ ADC10DIV = 0、 $f_{\text{ADC10CLK}} = f_{\text{ADC10OSC}}$	$V_{\text{CC}} =$ 2.2 V/ 3V		3.7 6.3	MHz
t_{CONVERT}	変換時間 内部オシレータ、 $f_{\text{ADC10OSC}} = 3.7 \text{ MHz} \sim 6.3 \text{ MHz}$ ACLK、MCLK 又は SMCLK からの外部 f_{ADC10CLK} : ADC10SSEL $\neq 0$	$V_{\text{CC}} =$ 2.2 V/ 3 V		2.06 3.51	μs
$t_{\text{ADC10ON}} \dagger$	ADC ターン・オン セトリング時間	(注 1)		100	ns
$t_{\text{Sample}} \ddagger$	サンプリング時間	$R_S = 400 \Omega$ 、 $R_I = 2000 \Omega$ 、 $C_I = 20 \text{ pF}$ (注 2)	$V_{\text{CC}} = 3 \text{ V}$ $V_{\text{CC}} = 2.2 \text{ V}$	1400 1400	ns

† これらのパラメータは特性評価によって決められたもので、量産テストは実施していません。

‡ これらのパラメータは設計によって検証されたもので、量産テストは実施していません。

(注 1) この条件は、 t_{ADC10ON} 後に開始した変換誤差が $\pm 0.5 \text{ LSB}$ 以内となる事です。基準電圧及び入力信号は、既に安定状態です。

(注 2) 誤差を $\pm 0.5 \text{ LSB}$ 以内とするためには、約 8 タウ (τ) が必要です。

$t_{\text{Sample}} = \ln(2^{n+1}) \times (R_S + R_I) \times C_I + 800 \text{ ns}$ 但し、ADC10SR = 0、n = ADC 分解能 = 10、 R_S = 外部信号源抵抗

$t_{\text{Sample}} = \ln(2^{n+1}) \times (R_S + R_I) \times C_I + 2.5 \mu\text{s}$ 但し、ADC10SR = 1、n = ADC 分解能 = 10、 R_S = 外部信号源抵抗

10 ビット ADC 直線性

項 目	測定条件	V_{CC}	最小	標準	最大	単位
E_I	積分直線性誤差	$1.4 \text{ V} \leq (V_{\text{eREF+}} - V_{\text{REF-}}/V_{\text{eREF-}})_{\text{min}} \leq 1.6 \text{ V}$ $1.6 \text{ V} < (V_{\text{eREF+}} - V_{\text{REF-}}/V_{\text{eREF-}})_{\text{min}} \leq [V_{\text{CC}}]$	2.2 V/3 V		± 1 ± 1	LSB
E_D	微分直線性誤差	$(V_{\text{eREF+}} - V_{\text{REF-}}/V_{\text{eREF-}})_{\text{min}} \leq (V_{\text{eREF+}} - V_{\text{REF-}}/V_{\text{eREF-}})$	2.2 V/3 V		± 1	LSB
E_0	オフセット誤差	$(V_{\text{eREF+}} - V_{\text{REF-}}/V_{\text{eREF-}})_{\text{min}} \leq (V_{\text{eREF+}} - V_{\text{REF-}}/V_{\text{eREF-}})$ 、 信号源の内部インピーダンス $R_S < 100 \Omega$	2.2 V/3 V	± 2	± 4	LSB
E_G	ゲイン誤差	$(V_{\text{eREF+}} - V_{\text{REF-}}/V_{\text{eREF-}})_{\text{min}} \leq (V_{\text{eREF+}} - V_{\text{REF-}}/V_{\text{eREF-}})$	2.2 V/3 V	± 1.1	± 2	LSB
E_T	全無調整誤差	$(V_{\text{eREF+}} - V_{\text{REF-}}/V_{\text{eREF-}})_{\text{min}} \leq (V_{\text{eREF+}} - V_{\text{REF-}}/V_{\text{eREF-}})$	2.2 V/3 V	± 2	± 5	LSB

推奨電源電圧及び動作温度範囲における電気的特性（特記無き場合）（続き）

10 ビット ADC 温度センサ及び内部 V_{MID}

項 目	測定条件	V_{CC}	最小	標準	最大	単位
I_{SENSOR}	動作電源電流 (V_{CC}) (注 1)	REFON = 0、INCH = 0Ah、 ADC100N = NA、 $T_A = 25^\circ\text{C}$	2.2 V	40	120	μA
		3 V		60	160	
$V_{SENSOR} \uparrow$	センサ電圧	ADC100N = 1、INCH = 0Ah、 $T_A = 0^\circ\text{C}$	2.2 V	986	986 \pm 5%	mV
		3 V		986	986 \pm 5%	
$TC_{SENSOR} \uparrow$	センサ電圧温度係数	ADC100N = 1、INCH = 0Ah	2.2 V	3.55	3.55 \pm 3%	mV/ $^\circ\text{C}$
			3 V	3.55	3.55 \pm 3%	
$t_{SENSOR(sample)} \uparrow$	チャンネル 10 が選択された場合に必要 なサンプル時間 (注 2)	ADC100N = 1、INCH = 0Ah、 変換結果誤差 ≤ 1 LSB	2.2 V	30		μs
			3 V	30		
I_{VMID}	チャンネル 11 のディバイダに流れ込 む電流 (注 3)	ADC100N = 1、INCH = 0Bh	2.2 V		NA	μA
			3 V		NA	
V_{MID}	チャンネル 11 のディバイダ V_{CC} 電圧	ADC100N = 1、INCH = 0Bh、 $V_{MID} \sim 0.5 \times V_{CC}$	2.2 V	1.1	1.1 \pm 0.04	V
			3 V	1.5	1.5 \pm 0.04	
$t_{VMID(sample)}$	チャンネル 11 が選択された場合に必 要なサンプル時間 (注 4)	ADC100N = 1、INCH = 0Bh、 変換結果誤差 ≤ 1 LSB	2.2 V	1400		ns
			3 V	1220		

† これらのパラメータは特性評価によって決められたもので、量産テストは実施していません。

(注 1) センサ電流 I_{SENSOR} は、ADC100N = 1 で REFON = 1 の場合、又は ADC100N = 1 で INCH = 0Ah、及びサンプル信号がハイ・レベルの場合に消費されます。REFON = 1 の場合、 I_{SENSOR} は I_{REF+} に含まれます。REFON = 0 の場合、 I_{SENSOR} は 温度センサ入力の変換時に適用します (INCH = 0Ah)。(注 2) センサの標準的な等価インピーダンスは 51 k Ω です。必要とされるサンプル時間は、センサ・オン時間 $t_{SENSOR(on)}$ を含みます。(注 3) 追加の電流は必要ありません。 V_{MID} はサンプリングの間に使用されます。(注 4) オン時間 $t_{VMID(on)}$ は、サンプリング時間の $t_{VMID(sample)}$ に含まれます。追加のオン時間は必要ありません。

推奨電源電圧及び動作温度範囲における電气的特性（特記無き場合）（続き）

フラッシュ・メモリ

項 目	測定条件	V _{CC}	最小	標準	最大	単位
V _{CC(PGM/ERASE)}	プログラム及び消去時電源電圧		2.7		3.6	V
f _{FTG}	フラッシュ・タイミング発生器周波数		257		476	kHz
I _{PGM}	プログラム時消費電流 (V _{CC})	2.7 V/3.6 V		3	5	mA
I _{ERASE}	消去時消費電流 (V _{CC})	2.7 V/3.6 V		3	7	mA
t _{CPT}	累積プログラム時間	(注 1) 2.7 V/3.6 V			4	ms
t _{CMrase}	累積一括消去時間	(注 2) 2.7 V/3.6 V	200			ms
	プログラム／消去回数		10 ⁴	10 ⁵		cycles
t _{Retention}	データ保持期間	T _J = 25°C	100			years
t _{Word}	ワード又はバイト・プログラム時間	(注 3)		35		t _{FTG}
t _{Block, 0}	先頭バイト又はワードのブロック・プログラム時間			30		
t _{Block, 1- 63}	各後続バイト又はワードのブロック・プログラム時間			21		
t _{Block, End}	ブロック・プログラム終了シーケンスのウェイト時間			6		
t _{Mass Erase}	一括消去時間			5297		
t _{Seg Erase}	セグメント消去時間			4819		

(注 1) 64 バイトのフラッシュ・ブロック書き込み動作時は、累積プログラム時間を越えてはいけません。このパラメータは、個々のワード／バイト書き込み及びブロック書き込みモードのすべてのプログラミング方法に適用されます。

(注 2) フラッシュ・タイミング発生器によって生成される一括消去時間は、最小 11.1 ms (= 5297 x 1/f_{FTG}, max = 5297 x 1/476 kHz) です。必要な累積一括消去時間を達成するために、フラッシュ・コントローラの一括消去動作を繰り返すことができます。（ワースト・ケースで最小 19 サイクル必要です。）

(注 3) これらの値は、フラッシュ・コントローラのステート・マシンにハード・ワイヤードされています。（t_{FTG} = 1/f_{FTG}）

JTAG インタフェース

項 目		測定条件	V _{CC}	最小	標準	最大	単位
f _{TCK}	TCK 入力周波数	(注 1)	2.2 V	0		5	MHz
			3 V	0		10	
R _{Internal}	内部プルダウン抵抗 (TEST)	(注 2)	2.2 V/3 V	25	60	90	kΩ

(注 1) f_{TCK} は、選択されたモジュールのタイミング条件に適合するように制限されます。

(注 2) TEST プルダウン抵抗は、すべてのフラッシュ・バージョンに内蔵されています。

JTAG ヒューズ (注 1)

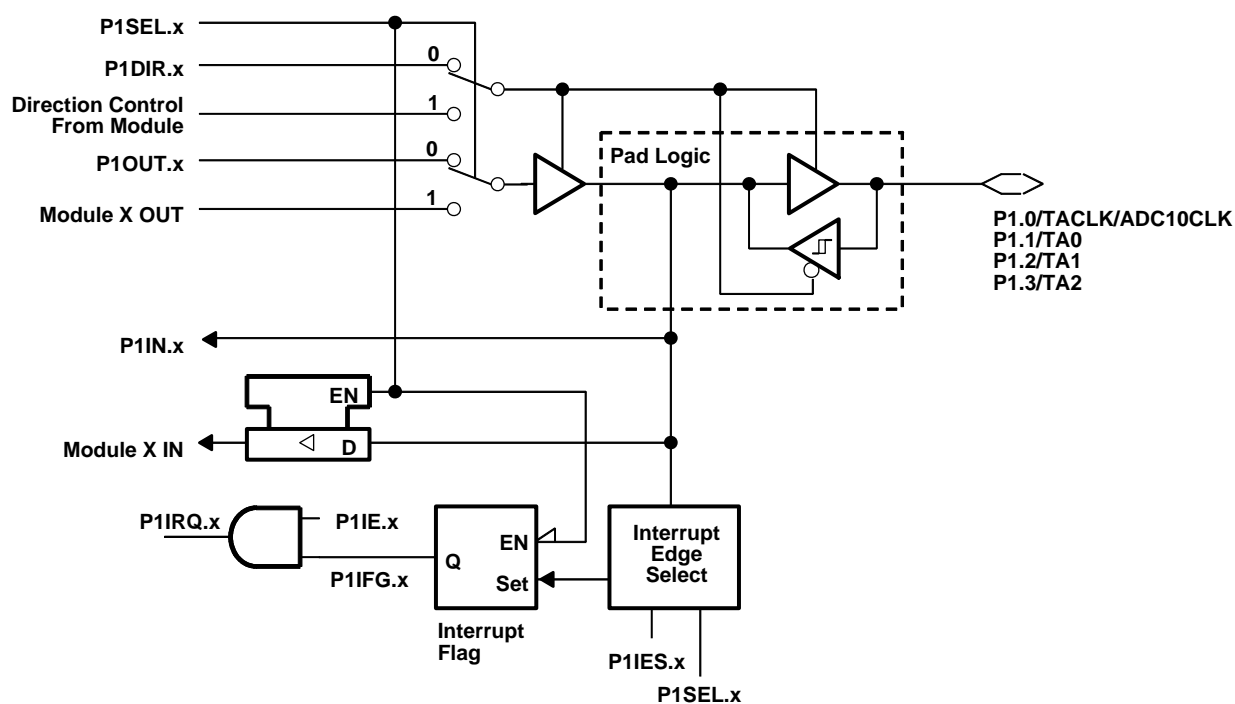
項 目	測定条件	V _{CC}	最小	標準	最大	単位
V _{CC(FB)}	ヒューズ切断時の電源電圧	T _A = 25°C	2.5			V
V _{FB}	ヒューズ切断電圧 (TEST)		6		7	V
I _{FB}	ヒューズ切断時の消費電流 (TEST)				100	mA
t _{FB}	ヒューズ切断時間				1	ms

(注 1) ヒューズが切断されると、二度と MSP430 の JTAG /テストおよびエミュレーション機能へアクセスすることができなくなります。JTAG ブロックは、バイパス・モードに切り換わります。

アプリケーション情報

入力／出力図

ポート P1、P1.0 ～ P1.3、シュミット・トリガ入力／出力



NOTE: x = Bit/identifier, 0 to 3 for port P1

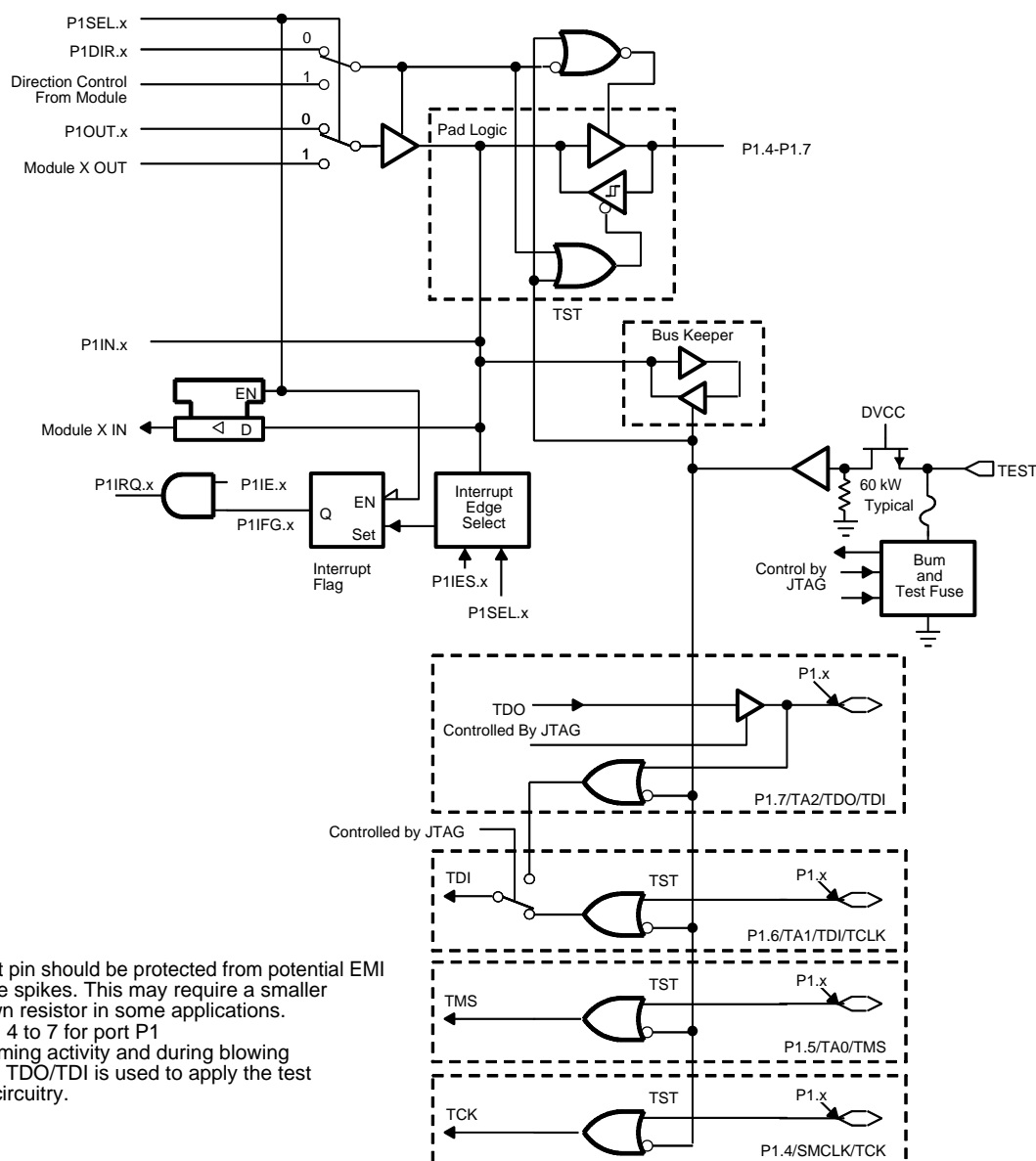
PnSel. x	PnDIR. x	DIRECTION CONTROL FROM MODULE	PnOUT. x	MODULE X OUT	PnIN. x	MODULE X IN	PnIE. x	PnIFG. x	PnIES. x
P1Sel. 0	P1DIR. 0	P1DIR. 0	P1OUT. 0	ADC10CLK	P1IN. 0	TACLK †	P1IE. 0	P1IFG. 0	P1IES. 0
P1Sel. 1	P1DIR. 1	P1DIR. 1	P1OUT. 1	Out0 signal †	P1IN. 1	CCI0A †	P1IE. 1	P1IFG. 1	P1IES. 1
P1Sel. 2	P1DIR. 2	P1DIR. 2	P1OUT. 2	Out1 signal †	P1IN. 2	CCI1A †	P1IE. 2	P1IFG. 2	P1IES. 2
P1Sel. 3	P1DIR. 3	P1DIR. 3	P1OUT. 3	Out2 signal †	P1IN. 3	CCI2A †	P1IE. 3	P1IFG. 3	P1IES. 3

† タイマ_A からの (又はへの) 信号

アプリケーション情報

入力／出力図

ポート P1、P1.4 ~ P1.7、シュミット・トリガ入力／出力及びイン・システム アクセス機能



NOTE: The test pin should be protected from potential EMI and ESD voltage spikes. This may require a smaller external pulldown resistor in some applications.
x = Bit identifier, 4 to 7 for port P1
During programming activity and during blowing the fuse, the pin TDO/TDI is used to apply the test input for JTAG circuitry.

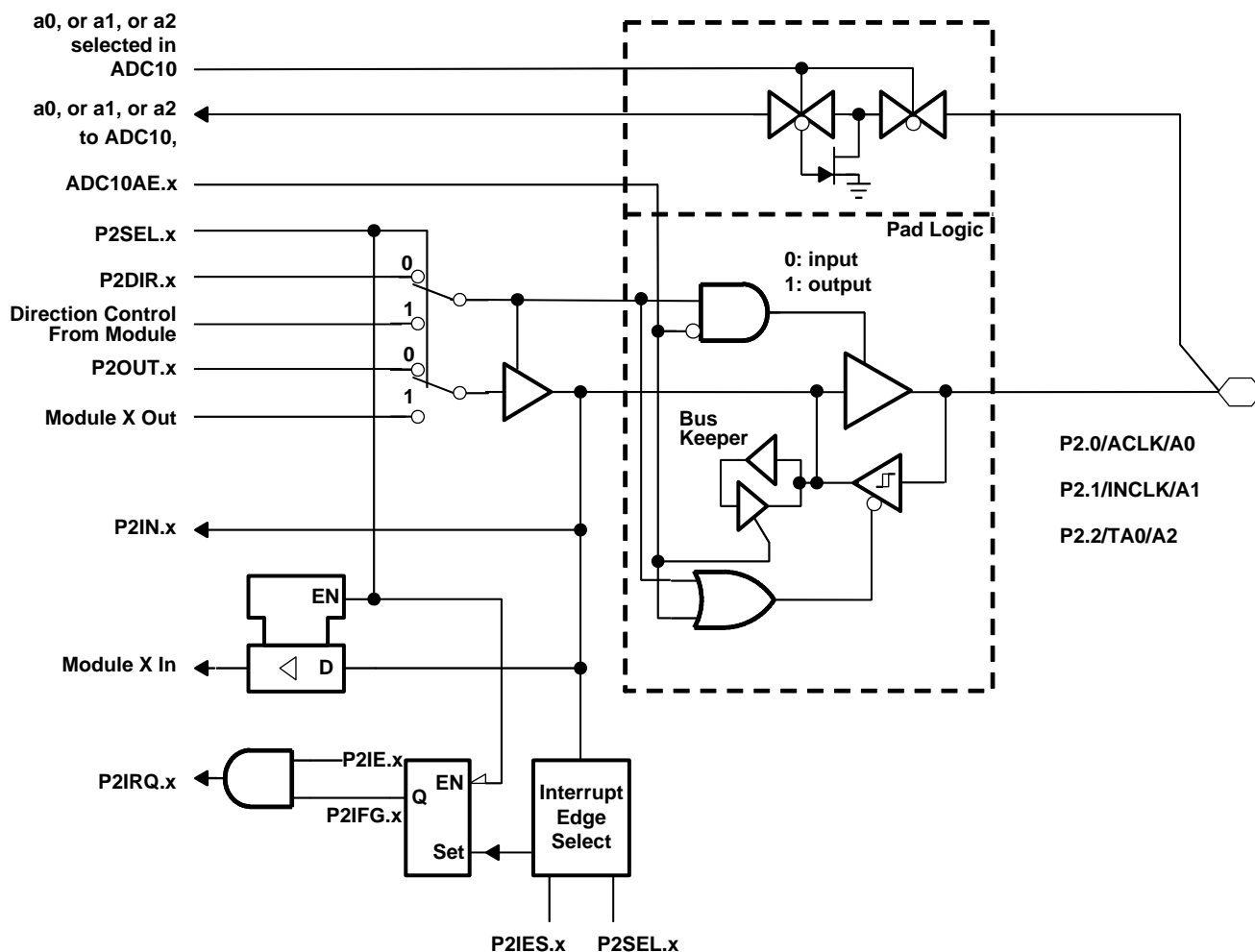
PnSel. x	PnDIR. x	DIRECTION CONTROL FROM MODULE	PnOUT. x	MODULE X OUT	PnIN. x	MODULE X IN	PnIE. x	PnIFG. x	PnIES. x
P1Sel. 4	P1DIR. 4	P1DIR. 4	P1OUT. 4	SMCLK	P1IN. 4	unused	P1IE. 4	P1IFG. 4	P1IES. 4
P1Sel. 5	P1DIR. 5	P1DIR. 5	P1OUT. 5	Out0 signal †	P1IN. 5	unused	P1IE. 5	P1IFG. 5	P1IES. 5
P1Sel. 6	P1DIR. 6	P1DIR. 6	P1OUT. 6	Out1 signal †	P1IN. 6	unused	P1IE. 6	P1IFG. 6	P1IES. 6
P1Sel. 7	P1DIR. 7	P1DIR. 7	P1OUT. 7	Out2 signal †	P1IN. 7	unused	P1IE. 7	P1IFG. 7	P1IES. 7

† タイマ_A からの (又はへの) 信号

アプリケーション情報

入力／出力図 (続き)

ポート P2、P2.0 ～ P2.2、シュミット・トリガ入力／出力



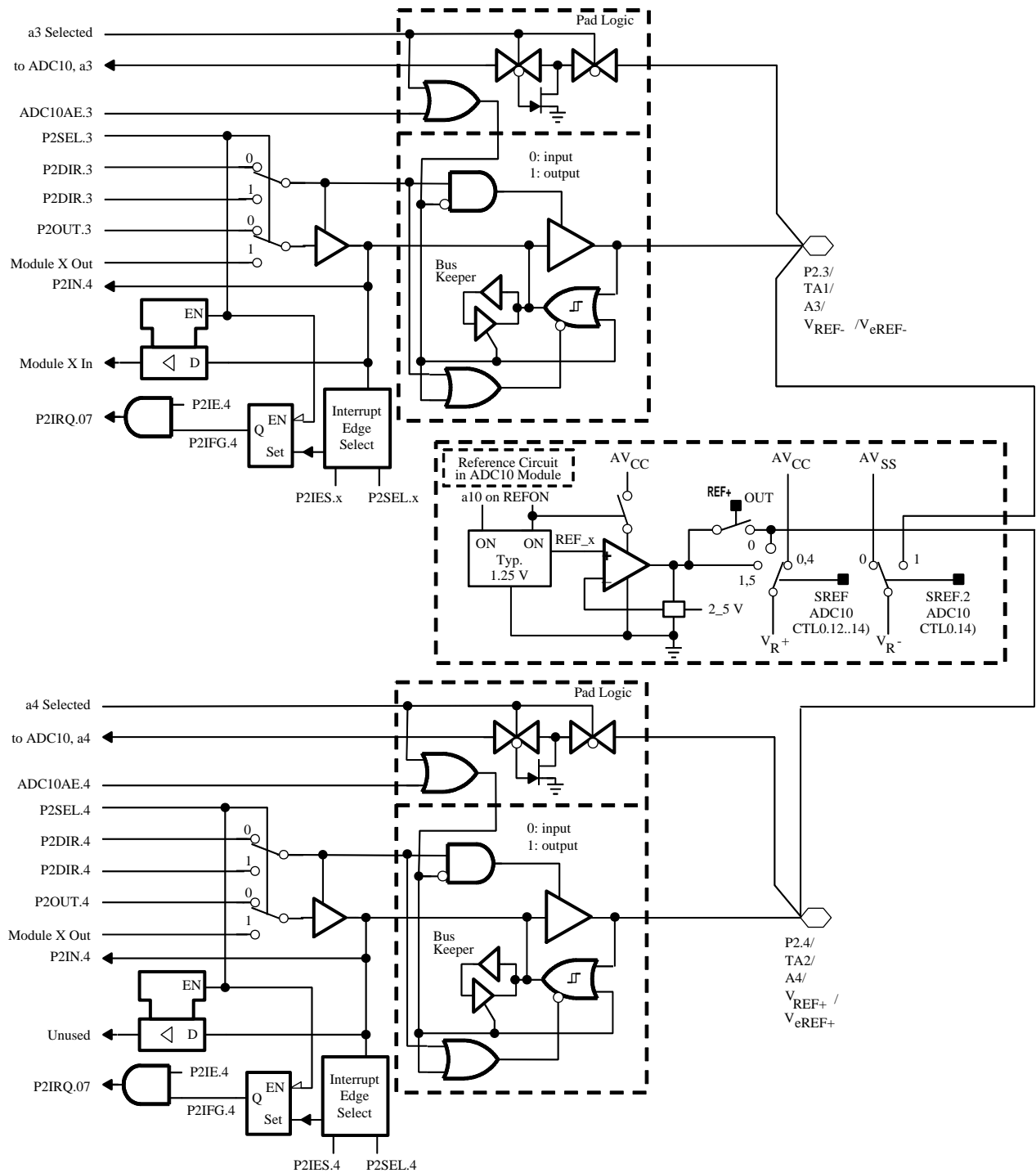
PnSel. x	PnDIR. x	DIRECTION CONTROL FROM MODULE	PnOUT. x	MODULE X OUT	PnIN. x	MODULE X IN	PnIE. x	PnIFG. x	PnIES. x
P2Sel. 0	P2DIR. 0	P2DIR. 0	P2OUT. 0	ACLK †	P2IN. 0	unused	P2IE. 0	P2IFG. 0	P1IES. 0
P2Sel. 1	P2DIR. 1	P2DIR. 1	P2OUT. 1	V _{SS}	P2IN. 1	INCLK †	P2IE. 1	P2IFG. 1	P1IES. 1
P2Sel. 2	P2DIR. 2	P2DIR. 2	P2OUT. 2	OUT0 signal †	P2IN. 2	CCIOB †	P2IE. 2	P2IFG. 2	P1IES. 2

† タイマ_A

アプリケーション情報

入力／出力図 (続き)

ポート P2、P2.3 ~ P2.4、シュミット・トリガ入力／出力



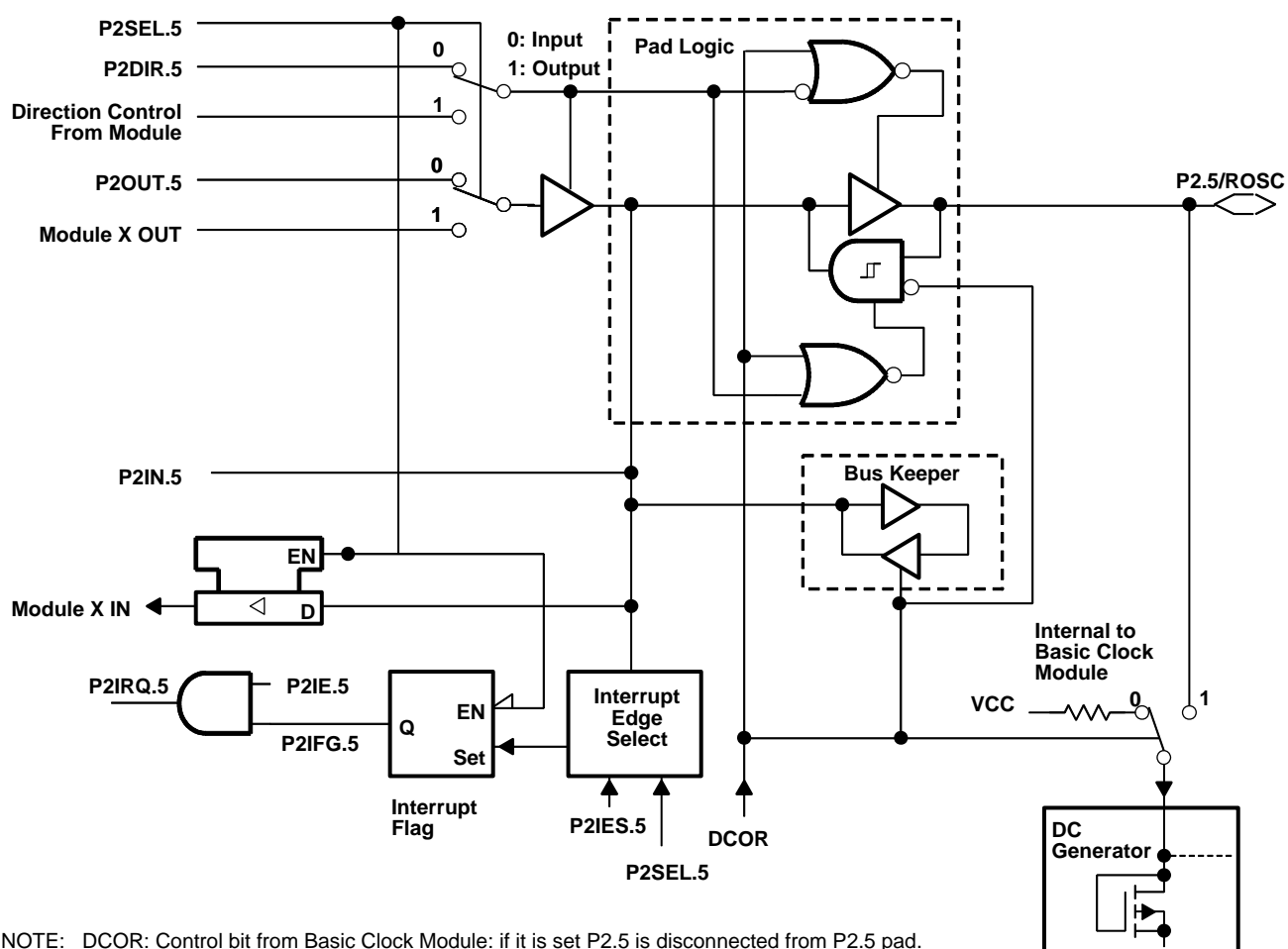
アプリケーション情報

ポート P2、P2.3 ~ P2.4、シュミット・トリガ入力/出力 (続き)

PnSel. x	PnDIR. x	DIRECTION CONTROL FROM MODULE	PnOUT. x	MODULE X OUT	PnIN. x	MODULE X IN	PnIE. x	PnIFG. x	PnIES. x
P2Sel. 3	P2DIR. 3	P2DIR. 3	P2OUT. 3	Out1 signal †	P2IN. 3	CCI1B †	P2IE. 3	P2IFG. 3	P1IES. 3
P2Sel. 4	P2DIR. 4	P2DIR. 4	P2OUT. 4	Out2 signal †	P2IN. 4	Unused	P2IE. 4	P2IFG. 4	P1IES. 4

† タイマ_A

入力/出力図 (続き)

ポート P2、P2.5、シュミット・トリガ入力/出力及び Basic Clock モジュール用 R_{osc} 機能

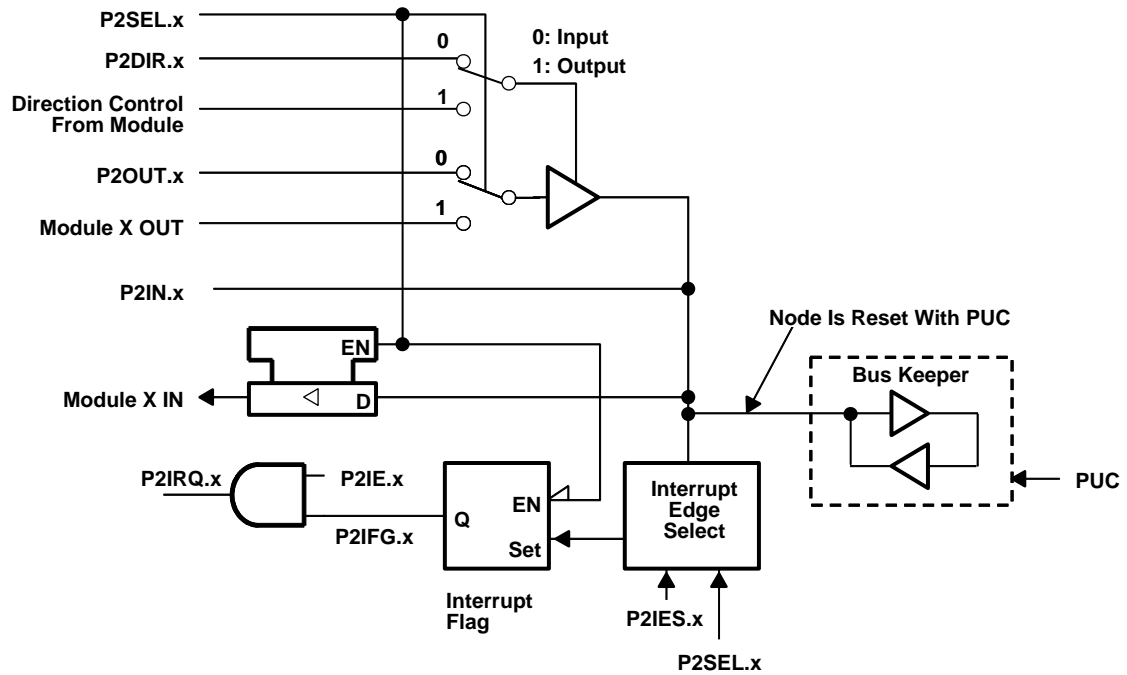
NOTE: DCOR: Control bit from Basic Clock Module: if it is set P2.5 is disconnected from P2.5 pad.

PnSel. x	PnDIR. x	DIRECTION CONTROL FROM MODULE	PnOUT. x	MODULE X OUT	PnIN. x	MODULE X IN	PnIE. x	PnIFG. x	PnIES. x
P2Sel. 5	P2DIR. 5	P2DIR. 5	P2OUT. 5	V _{ss}	P2IN. 5	unused	P2IE. 5	P2IFG. 5	P2IES. 5

アプリケーション情報

入力／出力図 (続き)

ポート P2、ボンドされていないビット P2.6、P2.7



NOTE: x = Bit/identifier, 6 to 7 for port P2 without external pins

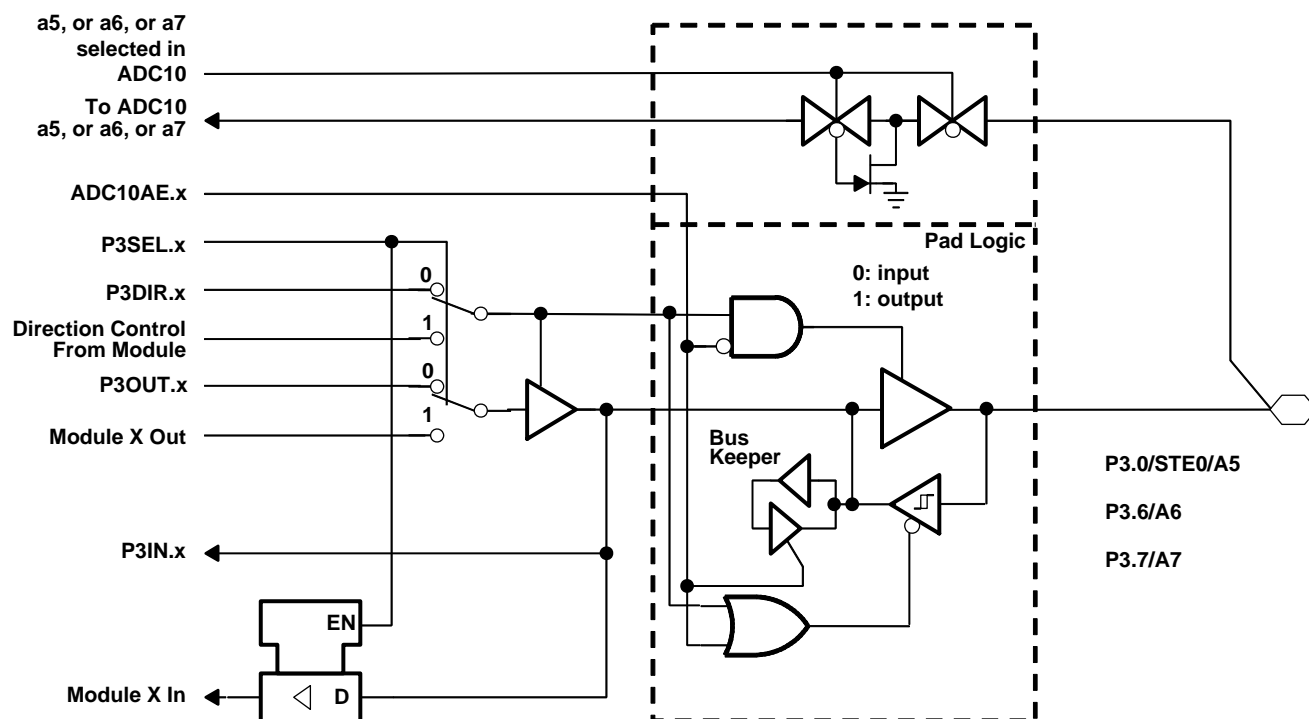
P2Sel. x	P2DIR. x	DIRECTION CONTROL FROM MODULE	P2OUT. x	MODULE X OUT	P2IN. x	MODULE X IN	P2IE. x	P2IFG. x	P2IES. x
P2Sel. 6	P2DIR. 6	P2DIR. 6	P2OUT. 6	V _{SS}	P2IN. 6	unused	P2IE. 6	P2IFG. 6	P2IES. 6
P2Sel. 7	P2DIR. 7	P2DIR. 7	P2OUT. 7	V _{SS}	P2IN. 7	unused	P2IE. 7	P2IFG. 7	P2IES. 7

(注) ポート P2 のボンドされていないビット 6 及び 7 は、割り込みフラグとして使用することができます。それらの割り込みフラグは、ソフトウェアのみで制御することができ、ソフトウェア割り込みとして機能します。

アプリケーション情報

入力／出力図 (続き)

ポート P3、P3.0、P3.6、P3.7 シュミット・トリガ入力／出力



NOTE: x (0,6,7)

PnSel. x	PnDIR. x	Direction Control From Module	PnOUT. x	Module X OUT	PnIN. x	Module X IN
P3Sel. 0	P3DIR. 0	V _{SS}	P3OUT. 0	V _{SS}	P3IN. 0	STE0 †
P3Sel. 6	P3DIR. 1	P3DIR. 6	P3OUT. 6	V _{SS}	P3IN. 6	Unused
P3Sel. 7	P3DIR. 2	P3DIR. 7	P3OUT. 7	V _{SS}	P3IN. 7	Unused

† USART0

入力／出力図 (続き)

0: Input
1: Output

Logic diagram of the P3.1/SIM00 pad logic. The diagram shows the internal circuitry of the pad, including multiplexers, inverters, and a Schmitt trigger. Inputs include SYNC, MM, STC, STE, P3SEL.1, P3DIR.1, DCM_SIMO, P3OUT1, (SI)MO0, P3IN.1, and SI(MO)0. The output is P3.1/SIM00. A legend indicates 0: Input and 1: Output.

0: Input
1: Output

Pad Logic

P3.2/SOMI0

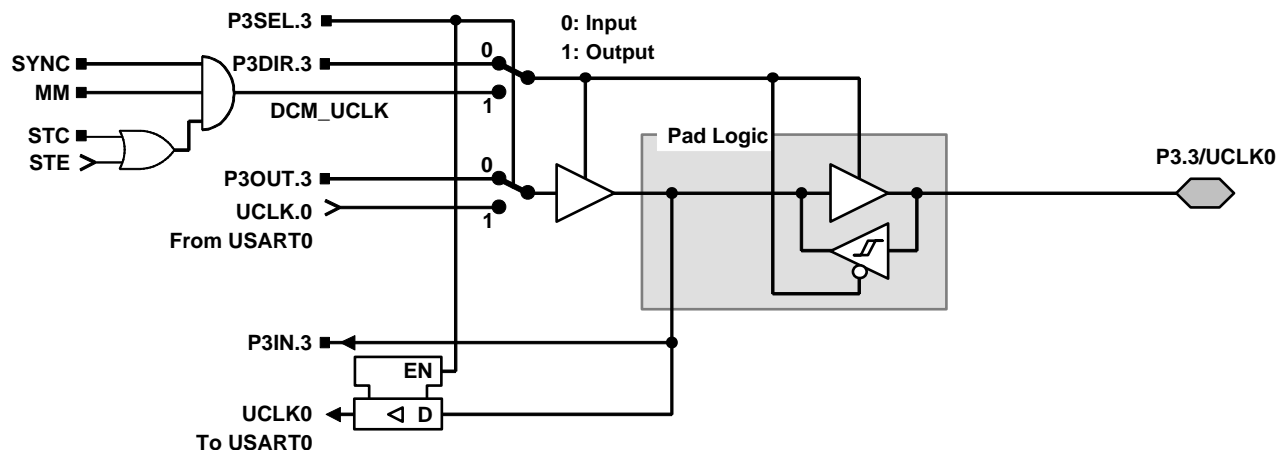
From USART0

To USART0

アプリケーション情報

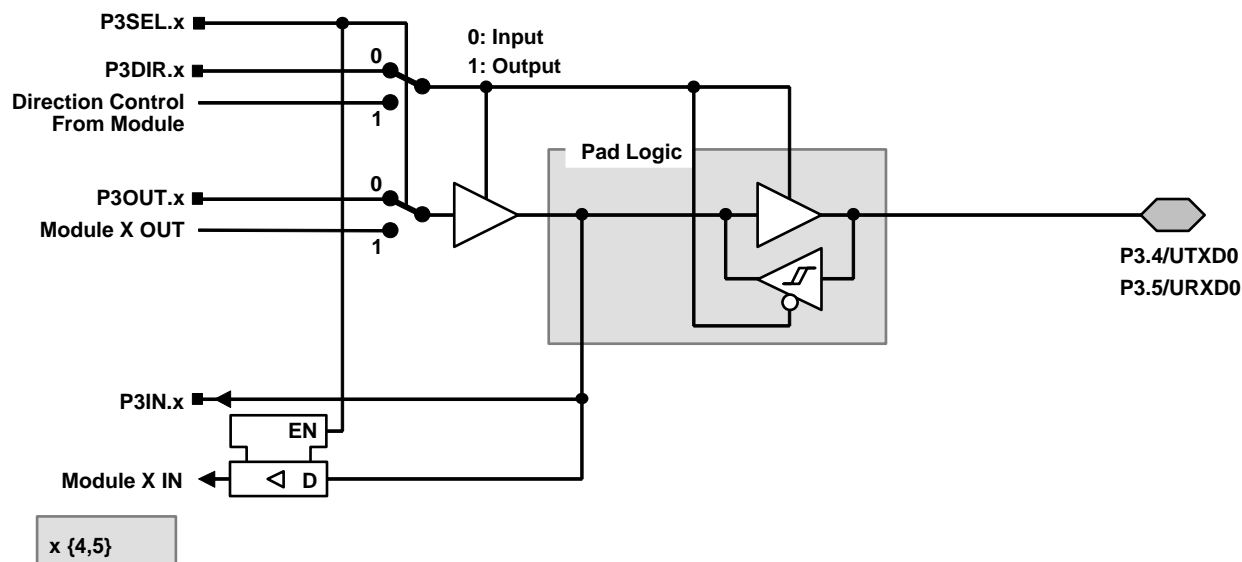
入力/出力図 (続き)

ポート P3、P3.3、シュミット・トリガ入力/出力



- (注) UART モード: UART クロックのみ入力することができます。UART モード及び UART 機能が選択された場合は、P3.3/UCLK0 は常に入力です。
- SPI、スレーブ・モード: UCLK0 に印加される印加されるクロックは、データをシフト・イン及びシフト・アウトするために使用されます。
- SPI、マスタ・モード: データをシフト・イン及びシフト・アウトするためのクロックが接続されたデバイスの P3.3/UCLK0 端子に供給されます。(スレーブ・モード)

ポート P3、P3.4、P3.5 シュミット・トリガ入力/出力



PnSel. x	PnDIR. x	DIRECTION CONTROL FROM MODULE	PnOUT. x	MODULE X OUT	PnIN. x	MODULE X IN
P3Sel. 4	P3DIR. 4	V _{CC}	P3OUT. 4	UTXD0 †	P3IN. 4	Unused
P3Sel. 5	P3DIR. 5	V _{SS}	P3OUT. 5	V _{SS}	P3IN. 5	URXD0 ‡

† USART0 モジュールからの出力

‡ USART0 モジュールへの入力

JTAG ヒューズ・チェック・モード

MSP430 デバイスは、TEST 端子上にヒューズを持っており、パワー・オン・リセット (POR) 直後の一回目に JTAG にアクセスしてヒューズの導通をテストするヒューズ・チェック・モードを装備しています。機能させている場合、ヒューズが切られていなければ、3 V で 1 mA、5 V で 2.5 mA の I_{TF} チェック電流が TEST 端子からグラウンドに流れます。誤ってヒューズ・チェック・モードを起動させたり、システムの総消費電流を増加させたりしないよう注意して下さい。

テスト又はプログラミング・セッションの後、TEST 端子が再びロー・レベルになると、ヒューズ・チェック・モード及び検出電流が終了します。

パワー・アップの後の TMS の最初の立ち下がりエッジを伴って、又は TMS がロー・レベルに保持された状態でのパワー・アップ後、ヒューズ・チェック・モード機能が起動します。次の TMS の立ち上がりエッジでヒューズ・チェック・モードを停止します。停止後、ヒューズ・チェック・モードは、次の POR が発生するまで休止します。各 POR 後に、ヒューズ・チェック・モードが動作することになります。

ヒューズ・チェック電流は、ヒューズ・チェック・モードが動作していて、TMS がロー・レベル (図 10 参照) の時に発生します。従って、TMS をハイ・レベル (初期設定条件) にすることにより、電流の流出を防止することができます。

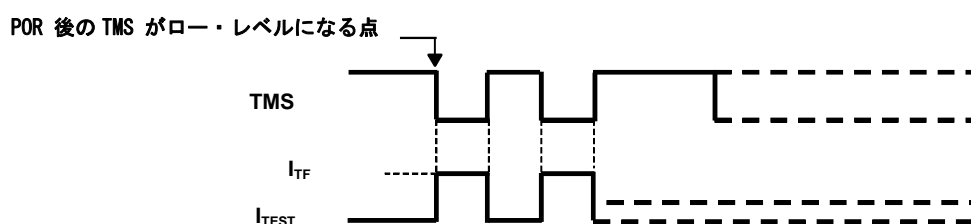


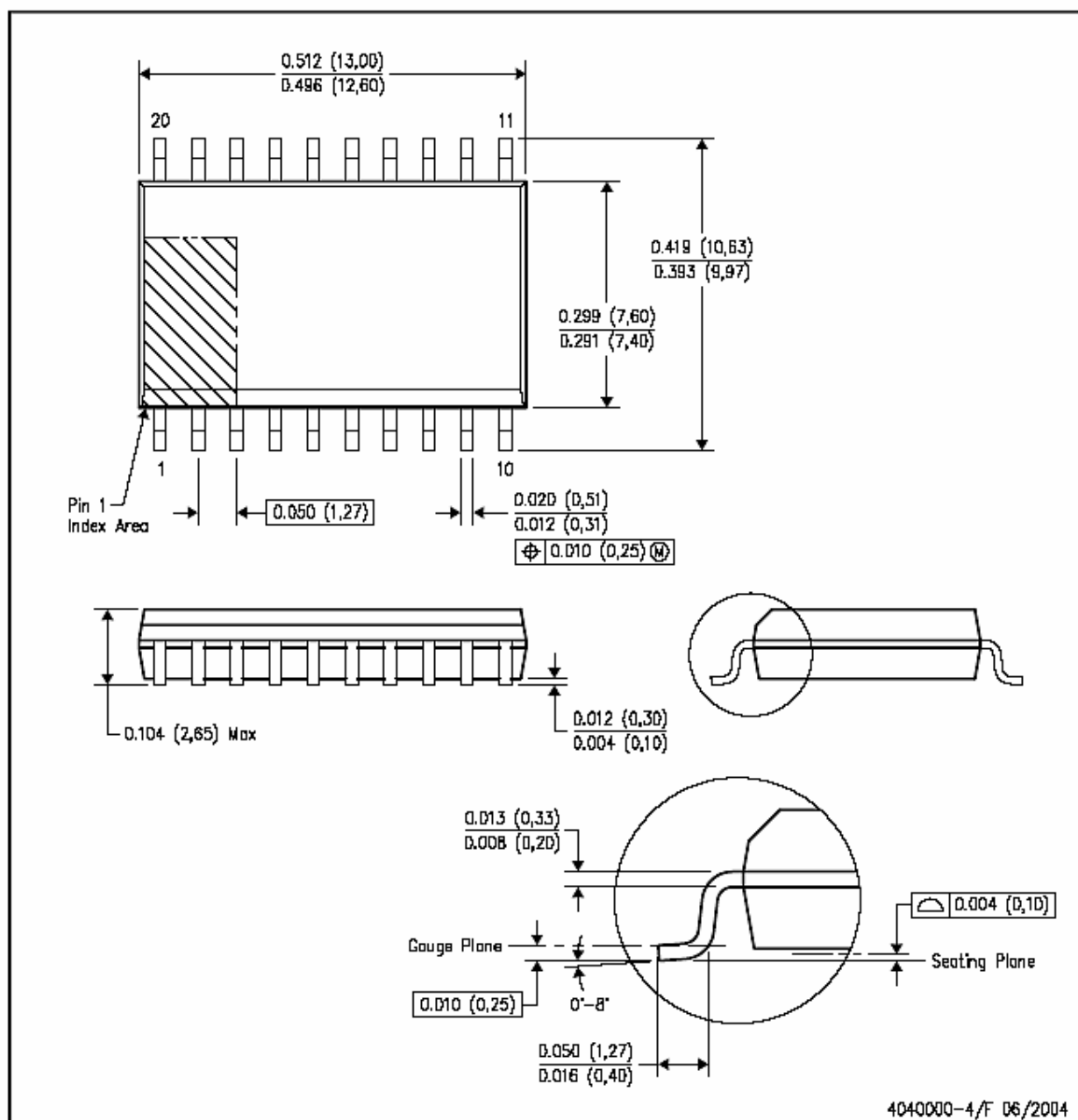
図 10. ヒューズ・チェック・モード電流、MSP430F11x2、MSP430F12x2

(注)

JTAG ヒューズが切断され、256 ビットのブートローダ・アクセス・キーが使用された場合、コード及び RAM データ保護が保証されます。詳細は、ブートストラップ・ローダのセクションを参照して下さい。

DW (R-PDSO-G20)

PLASTIC SMALL-OUTLINE PACKAGE



(注 A) すべての寸法の単位はインチ (mm) とします。

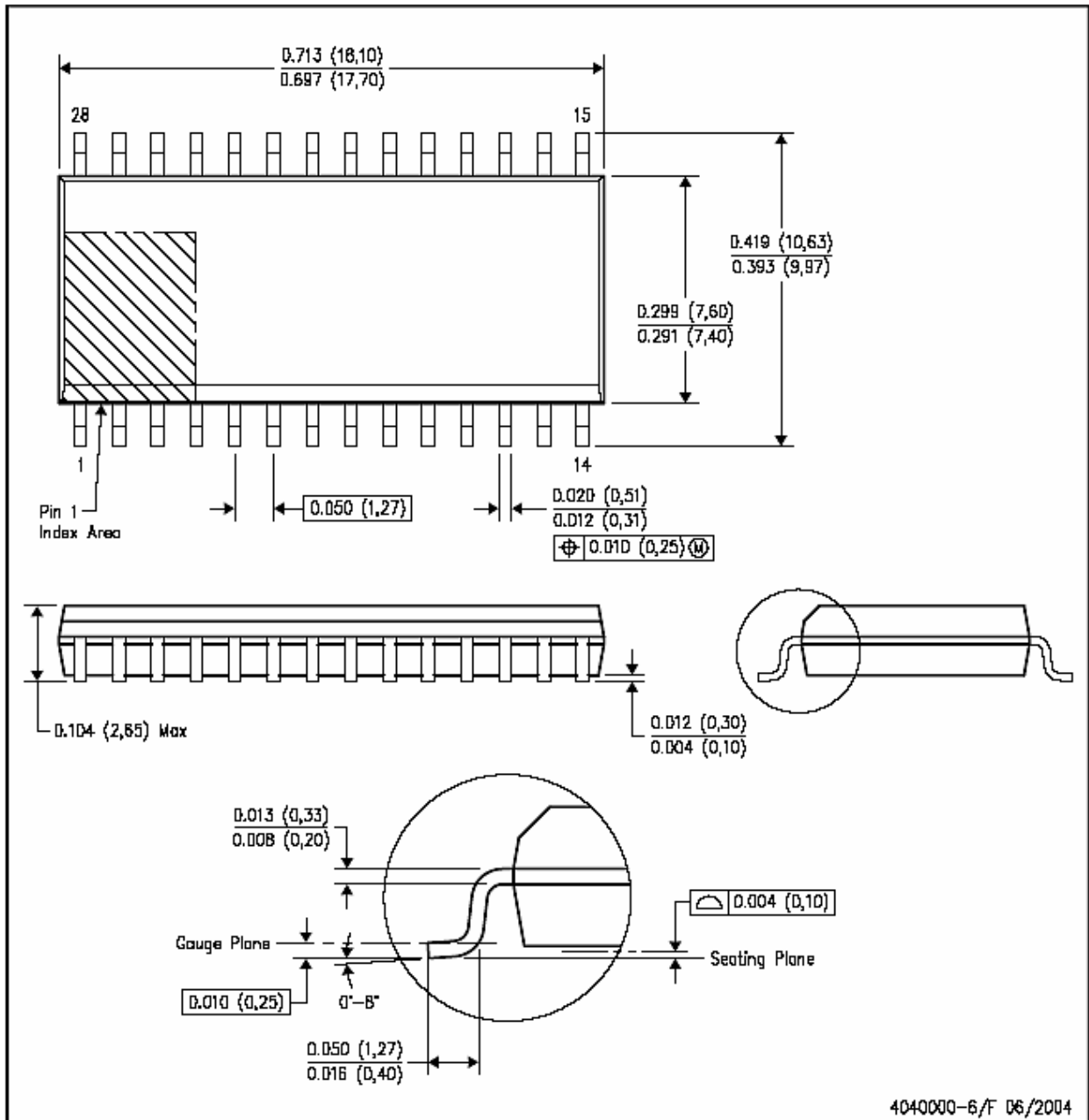
(注 B) この図面は予告なく変更されることがあります。

(注 C) ボディ寸法は 0.006 (0,15) 以下のモールド・フラッシュ又は突起を含みません。

(注 D) JEDEC MS-013 variation AC に相当します。

DW (R-PDSO-G28)

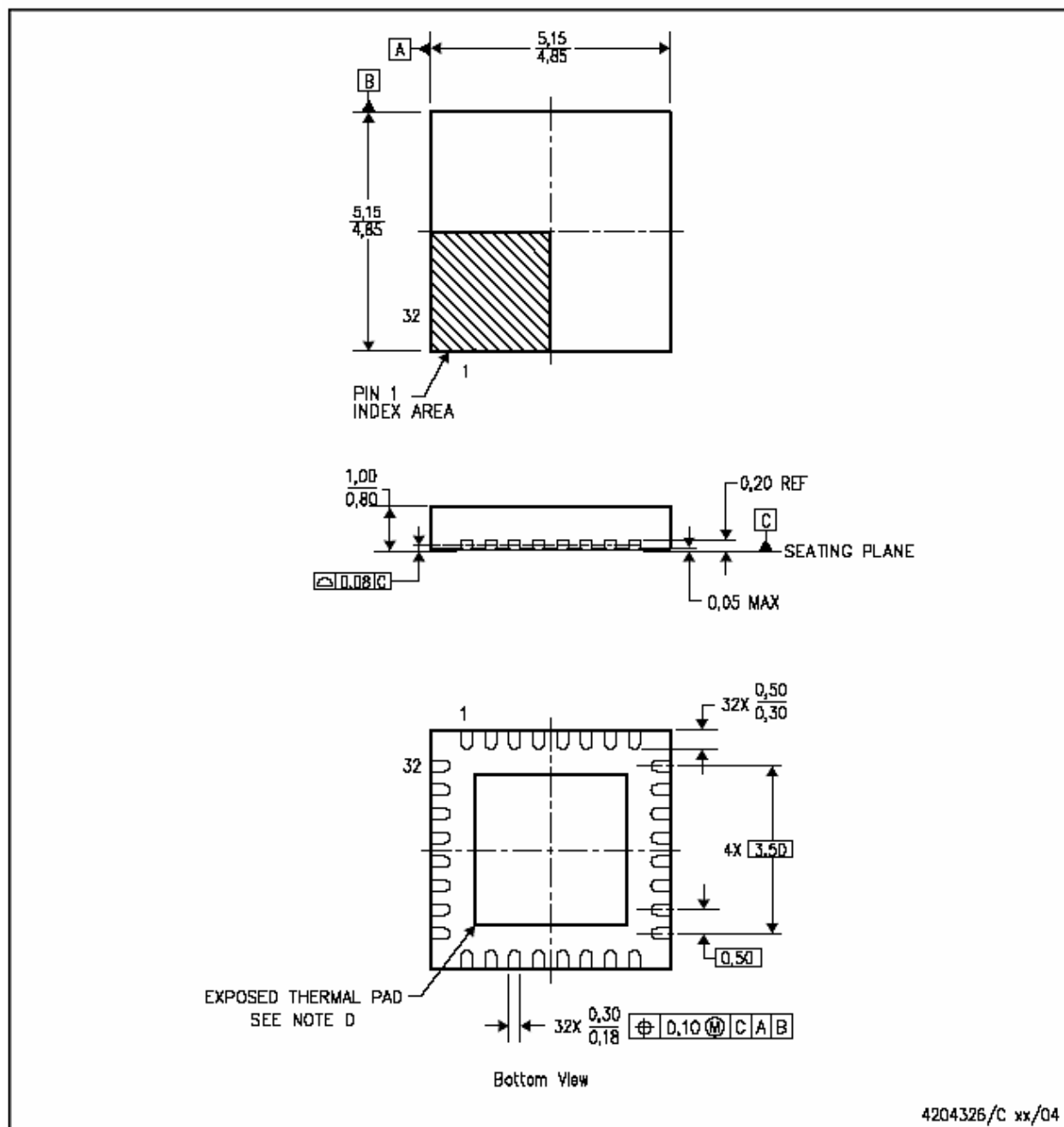
PLASTIC SMALL-OUTLINE PACKAGE



- (注 A) すべての寸法の単位はインチ (mm) とします。
 (注 B) この図面は予告なく変更されることがあります。
 (注 C) ボディ寸法は 0.006 (0,15) 以下のモールド・フラッシュ又は突起を含みません。
 (注 D) JEDEC MS-013 variation AE に相当します。

RHB (S-PQFP-N32)

PLASTIC QUAD FLATPACK



(注 A) すべての寸法の単位は mm とします。

(注 B) この図面は予告なく変更されることがあります。

(注 C) QFN (Quad Flatpack No-Lead) パッケージ構造

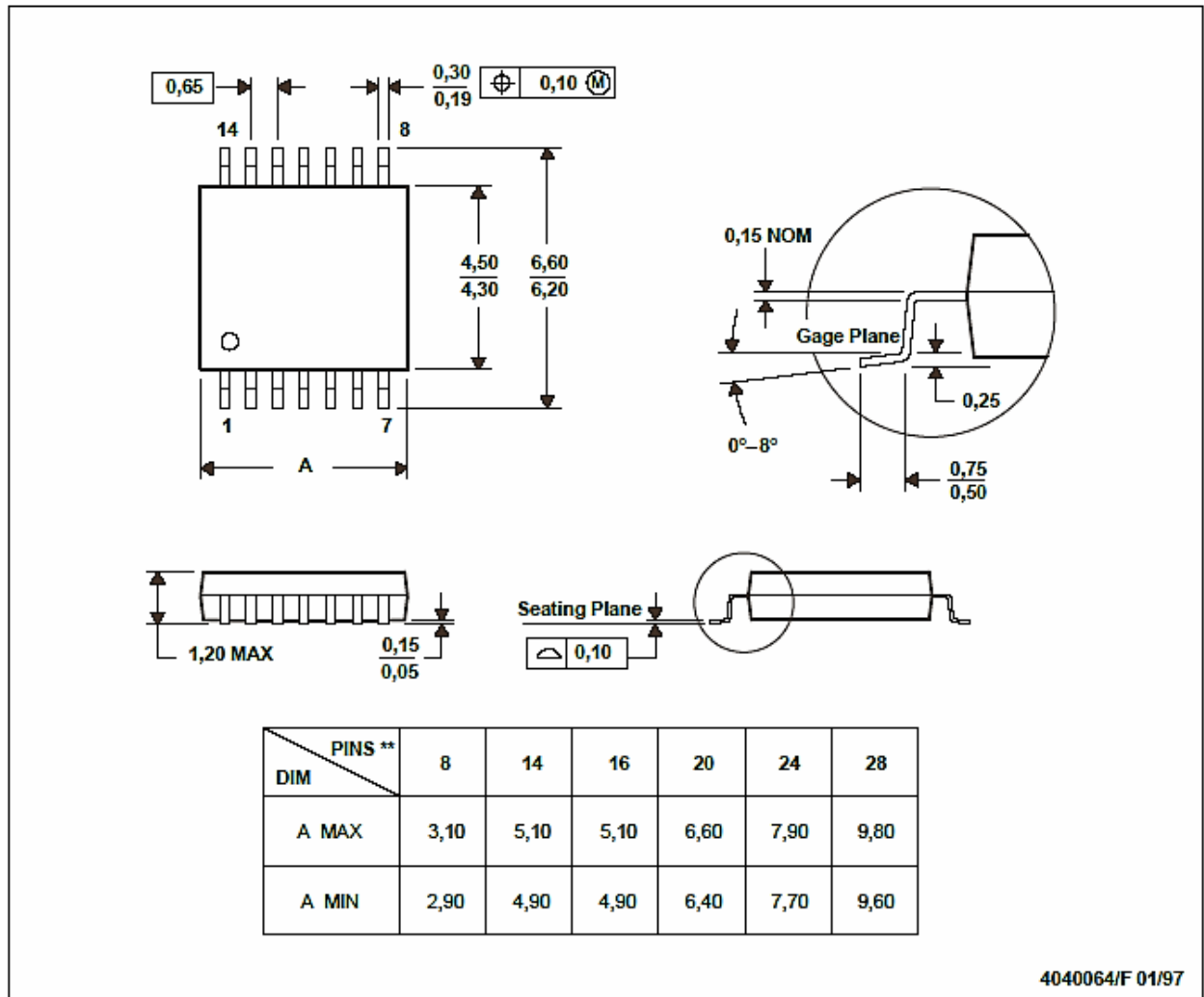
(注 D) パッケージの放熱パッドは、熱的及び機械的性能のためにプリント基板に半田付けしなければなりません。
露出した放熱パッドの寸法に関するの詳細は、製品のデータ・シートを参照して下さい。

(注 E) JEDEC MO-220 に相当します。

PW (R-PDSO-G**)

PLASTIC SMALL-OUTLINE PACKAGE

14 PINS SHOWN



(注 A) すべての寸法の単位は mm とします。

(注 B) この図面は予告なく変更されることがあります。

(注 C) ボディ寸法は 0,15 以下のモールド・フラッシュ又は突起を含みません。

(注 D) JEDEC MO-153 に相当します。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
MSP430F1122IDW	Active	Production	SOIC (DW) 20	25 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	M430F1122
MSP430F1122IDW.B	Active	Production	SOIC (DW) 20	25 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	M430F1122
MSP430F1122IDWR	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	M430F1122
MSP430F1122IDWR.B	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	M430F1122
MSP430F1122IPW	Active	Production	TSSOP (PW) 20	70 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	430F1122
MSP430F1122IPW.B	Active	Production	TSSOP (PW) 20	70 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	430F1122
MSP430F1122IPWR	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	430F1122
MSP430F1122IPWR.B	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	430F1122
MSP430F1122IRHBT	Active	Production	VQFN (RHB) 32	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	MSP430 F1122
MSP430F1122IRHBT.B	Active	Production	VQFN (RHB) 32	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	MSP430 F1122
MSP430F1132IDW	Active	Production	SOIC (DW) 20	25 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	M430F1132
MSP430F1132IDW.B	Active	Production	SOIC (DW) 20	25 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	M430F1132
MSP430F1132IDWR	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	M430F1132
MSP430F1132IDWR.B	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	M430F1132
MSP430F1132IPW	Active	Production	TSSOP (PW) 20	70 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	430F1132
MSP430F1132IPW.B	Active	Production	TSSOP (PW) 20	70 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	430F1132
MSP430F1132IPWR	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	430F1132
MSP430F1132IPWR.B	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	430F1132
MSP430F1132IRHBR	Active	Production	VQFN (RHB) 32	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	MSP430 F1132
MSP430F1132IRHBR.B	Active	Production	VQFN (RHB) 32	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	MSP430 F1132
MSP430F1132IRHBT	Active	Production	VQFN (RHB) 32	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	MSP430 F1132
MSP430F1132IRHBT.B	Active	Production	VQFN (RHB) 32	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	MSP430 F1132
MSP430F1222IDW	Active	Production	SOIC (DW) 28	20 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	M430F1222
MSP430F1222IDW.B	Active	Production	SOIC (DW) 28	20 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	M430F1222
MSP430F1222IDWR	Active	Production	SOIC (DW) 28	1000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	M430F1222

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
MSP430F1222IDWR.B	Active	Production	SOIC (DW) 28	1000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	M430F1222
MSP430F1222IPW	Active	Production	TSSOP (PW) 28	50 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	M430F1222
MSP430F1222IPW.B	Active	Production	TSSOP (PW) 28	50 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	M430F1222
MSP430F1222IPWR	Active	Production	TSSOP (PW) 28	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	M430F1222
MSP430F1222IPWR.B	Active	Production	TSSOP (PW) 28	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	M430F1222
MSP430F1222IRHBR	Active	Production	VQFN (RHB) 32	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	MSP430 F1222
MSP430F1222IRHBR.B	Active	Production	VQFN (RHB) 32	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	MSP430 F1222
MSP430F1222IRHBT	Active	Production	VQFN (RHB) 32	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	MSP430 F1222
MSP430F1222IRHBT.B	Active	Production	VQFN (RHB) 32	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	MSP430 F1222
MSP430F1232CY.B	Active	Production	DIESALE (Y) 0	650 NOT REQUIRED	-	Call TI	Call TI	-40 to 85	
MSP430F1232IDW	Active	Production	SOIC (DW) 28	20 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	M430F1232
MSP430F1232IDW.B	Active	Production	SOIC (DW) 28	20 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	M430F1232
MSP430F1232IDWR	Active	Production	SOIC (DW) 28	1000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	M430F1232
MSP430F1232IDWR.B	Active	Production	SOIC (DW) 28	1000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	M430F1232
MSP430F1232IPW	Active	Production	TSSOP (PW) 28	50 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	M430F1232
MSP430F1232IPW.B	Active	Production	TSSOP (PW) 28	50 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	M430F1232
MSP430F1232IPWR	Active	Production	TSSOP (PW) 28	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	M430F1232
MSP430F1232IPWR.B	Active	Production	TSSOP (PW) 28	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	M430F1232
MSP430F1232IPWRG4	Active	Production	TSSOP (PW) 28	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	M430F1232
MSP430F1232IPWRG4.B	Active	Production	TSSOP (PW) 28	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	M430F1232
MSP430F1232IRHBR	Active	Production	VQFN (RHB) 32	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	MSP430 F1232
MSP430F1232IRHBR.B	Active	Production	VQFN (RHB) 32	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	MSP430 F1232
MSP430F1232IRHBRG4	Active	Production	VQFN (RHB) 32	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	MSP430 F1232
MSP430F1232IRHBRG4.B	Active	Production	VQFN (RHB) 32	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	MSP430 F1232

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
MSP430F1232IRHBT	Active	Production	VQFN (RHB) 32	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	MSP430 F1232
MSP430F1232IRHBT.B	Active	Production	VQFN (RHB) 32	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	MSP430 F1232

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
MSP430F1122IDWR	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1
MSP430F1122IPWR	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
MSP430F1122IRHBT	VQFN	RHB	32	250	180.0	12.4	5.3	5.3	1.5	8.0	12.0	Q2
MSP430F1132IDWR	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1
MSP430F1132IPWR	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
MSP430F1132IRHBR	VQFN	RHB	32	3000	330.0	12.4	5.3	5.3	1.5	8.0	12.0	Q2
MSP430F1132IRHBT	VQFN	RHB	32	250	180.0	12.4	5.3	5.3	1.5	8.0	12.0	Q2
MSP430F1222IDWR	SOIC	DW	28	1000	330.0	32.4	11.35	18.67	3.1	16.0	32.0	Q1
MSP430F1222IPWR	TSSOP	PW	28	2000	330.0	16.4	6.9	10.2	1.8	12.0	16.0	Q1
MSP430F1222IRHBR	VQFN	RHB	32	3000	330.0	12.4	5.3	5.3	1.5	8.0	12.0	Q2
MSP430F1222IRHBT	VQFN	RHB	32	250	180.0	12.4	5.3	5.3	1.5	8.0	12.0	Q2
MSP430F1232IDWR	SOIC	DW	28	1000	330.0	32.4	11.35	18.67	3.1	16.0	32.0	Q1
MSP430F1232IPWR	TSSOP	PW	28	2000	330.0	16.4	6.9	10.2	1.8	12.0	16.0	Q1
MSP430F1232IPWRG4	TSSOP	PW	28	2000	330.0	16.4	6.9	10.2	1.8	12.0	16.0	Q1
MSP430F1232IRHBR	VQFN	RHB	32	3000	330.0	12.4	5.3	5.3	1.5	8.0	12.0	Q2
MSP430F1232IRHBRG4	VQFN	RHB	32	3000	330.0	12.4	5.3	5.3	1.5	8.0	12.0	Q2

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
MSP430F1232IRHBT	VQFN	RHB	32	250	180.0	12.4	5.3	5.3	1.5	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
MSP430F1122IDWR	SOIC	DW	20	2000	356.0	356.0	45.0
MSP430F1122IPWR	TSSOP	PW	20	2000	353.0	353.0	32.0
MSP430F1122IRHBT	VQFN	RHB	32	250	213.0	191.0	35.0
MSP430F1132IDWR	SOIC	DW	20	2000	356.0	356.0	45.0
MSP430F1132IPWR	TSSOP	PW	20	2000	353.0	353.0	32.0
MSP430F1132IRHBR	VQFN	RHB	32	3000	353.0	353.0	32.0
MSP430F1132IRHBT	VQFN	RHB	32	250	213.0	191.0	35.0
MSP430F1222IDWR	SOIC	DW	28	1000	350.0	350.0	66.0
MSP430F1222IPWR	TSSOP	PW	28	2000	350.0	350.0	43.0
MSP430F1222IRHBR	VQFN	RHB	32	3000	353.0	353.0	32.0
MSP430F1222IRHBT	VQFN	RHB	32	250	213.0	191.0	35.0
MSP430F1232IDWR	SOIC	DW	28	1000	350.0	350.0	66.0
MSP430F1232IPWR	TSSOP	PW	28	2000	350.0	350.0	43.0
MSP430F1232IPWRG4	TSSOP	PW	28	2000	350.0	350.0	43.0
MSP430F1232IRHBR	VQFN	RHB	32	3000	353.0	353.0	32.0
MSP430F1232IRHBRG4	VQFN	RHB	32	3000	353.0	353.0	32.0
MSP430F1232IRHBT	VQFN	RHB	32	250	213.0	191.0	35.0

TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
MSP430F1122IDW	DW	SOIC	20	25	507	12.83	5080	6.6
MSP430F1122IDW.B	DW	SOIC	20	25	507	12.83	5080	6.6
MSP430F1122IPW	PW	TSSOP	20	70	530	10.2	3600	3.5
MSP430F1122IPW.B	PW	TSSOP	20	70	530	10.2	3600	3.5
MSP430F1132IDW	DW	SOIC	20	25	507	12.83	5080	6.6
MSP430F1132IDW.B	DW	SOIC	20	25	507	12.83	5080	6.6
MSP430F1132IPW	PW	TSSOP	20	70	530	10.2	3600	3.5
MSP430F1132IPW.B	PW	TSSOP	20	70	530	10.2	3600	3.5
MSP430F1222IDW	DW	SOIC	28	20	506.98	12.7	4826	6.6
MSP430F1222IDW.B	DW	SOIC	28	20	506.98	12.7	4826	6.6
MSP430F1222IPW	PW	TSSOP	28	50	530	10.2	3600	3.5
MSP430F1222IPW.B	PW	TSSOP	28	50	530	10.2	3600	3.5
MSP430F1232IDW	DW	SOIC	28	20	506.98	12.7	4826	6.6
MSP430F1232IDW.B	DW	SOIC	28	20	506.98	12.7	4826	6.6
MSP430F1232IPW	PW	TSSOP	28	50	530	10.2	3600	3.5
MSP430F1232IPW.B	PW	TSSOP	28	50	530	10.2	3600	3.5

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月